

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
G11C 11/22

(45) 공고일자 1999년06월 15일  
(11) 등록번호 10-0201734  
(24) 등록일자 1999년03월 16일

(21) 출원번호	10-1996-0000910	(65) 공개번호	특1996-0030238
(22) 출원일자	1996년01월04일	(43) 공개일자	1996년08월 17일
(30) 우선권주장	95-000065 1995년01월04일	일본(JP)	
	95-000065 1995년01월04일	일본(JP)	

(73) 특허권자  
닛폰 덴기 가부시끼가이샤 가네꼬 히사시  
일본국 도쿄도 미나토구 시바 5쵸메 7방 1고  
고이케 히로키

(72) 발명자  
일본국 도쿄도 미나토구 시바 5-7-1 닛폰 덴키 (주)내  
이병호, 최달용

(74) 대리인  
이병호, 최달용

심사관 : 김용주

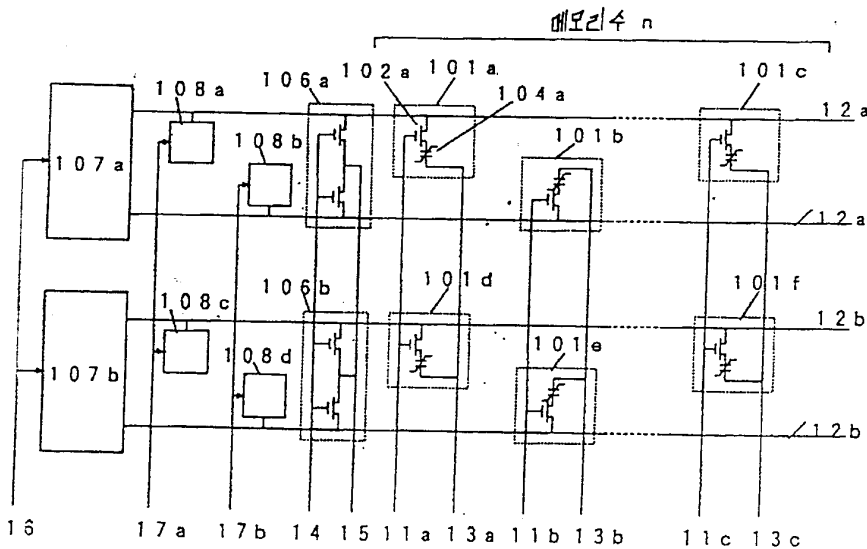
(54) 강유전체 메모리 장치 및 그 동작 제어 방법

요약

강유전체를 이용한 불휘발성 메모리 장치에 있어서 종래 문제로 되었던 것 즉, 메모리 셀에서 판독할 경우, 강유전체의 분극 반전 전하 이외의 노이즈 전하에 의해, 강유전체 캐패시터 양전극간에 충분한 전압이 걸리지 않는 문제를 해결하고자 하는 것이다.

메모리 셀(101)에서 데이터를 판독할 경우에, 데이터 신호선(12)/(12)의 전압 변동을 억제하고, 강유전체 캐패시터(104)의 양 전극간에 확실하게 항전압 이상의 전압을 거는 수단으로서, 데이터 신호선 1개 마다 접속된 메모리 셀 수를 조절함으로써, 강유전체 메모리 장치를 안정적으로 동작시킨다.

대표도



명세서

[발명의 명칭]

강유전체 메모리 장치 및 그 동작 제어 방법

[도면의 간단한 설명]

제1도는 본 발명의 제1의 실시예인 데이터 신호선의 기생용량치를, 그리고 각 데이터 신호선에 접속된 메모리 셀 수로 조절한 강유전체 메모리 장치의 회로도.

제2도는 제1도의 동작 타이밍 차트.

제3도는 본 발명의 제2의 실시예에서는 데이터 신호선이 기생 용량치를, 각 데이터 신호선에 접속된 메모리 셀 수로 조절한 강유전체 메모리 장치의 회로도.

리 셀 수에 이해 조절하는 강유전체 메모리 장치의 회로도이다.

제4도는 제3도의 동작 타이밍 차트.

제5도는 2개의 트랜지스터와 2개의 강유전체 캐패시터로 구성된 회로를 도시.

제6도는 제5도의 강유전체 캐패시터의 양전극간에 걸린 전압V와 분극 전하 Q사이의 관계를 도시.

제7도는 제5도의 메모리 셀을 이용한 강유전체 메모리 장치의 메모리 셀 배열 회로예를 도시.

제8도는 제7도의 동작 타이밍-차트.

제9도는 1개의 트랜지스터와 1개의 강 유전체 캐패시터로 구성된 회로를 도시.

제10도는 제9도의 강유전체 캐패시터의 양 전극간에 걸린 전압V 와 자발 분극 전하 Q사이의 관계를 도시.

제11도는 제9도의 메모리 셀을 이용한 강유전체 메모리 장치의 메모리 배열 회로예를 도시.

제12도는 제11도의 동작 타이밍-차트.

제13도는 IT/IC 형 메모리를 이용한 플레이트 비구동형 강유전체 메모리 장치의 메모리 셀 배열 회로를 도시.

제14도는 제13도이 동작 타이밍-차트.

제15도는 데이터 신호 free-charge balance제어 회로를 도시.

제16도는 플레이트 구동형 강유전체 메모리 장치에 있어서, 메모리 셀로부터 데이터를 판독할 때, 데이터 신호선이 전압 변동을 도시.

제17도는 플레이트 비구동형 강유전체 메모리 장치에 있어서, 메모리 셀로부터 판독할 때, 데이터 신호선의 전압 변동을 도시.

제18도는 데이터 신호 기생 용량치 및 강유전체 캐패시터의 상유전체 성분 용량치와 강유전체 메모리 장치의 동작가능 범위와의 관계를 도시.

\*도면의 주요부분에 대한 부호의 설명

11, 11a, 11b, 11c : 선택 신호선

12, 12a, 12b, 12, 12a, 12b, : 데이터 신호선

13, 13a, 13b, 13c : 플레이트선

14 : 데이터 신호선 프리차지 제어신호선

15 : 데이터 신호선 프리차지 전원선

16 : 센스 앰프 제어 신호선

17a, 17b : 기준 레벨 발생 회로 제어 신호선

22 : 데이터 신호선밸런스 제어 신호선

23 : 메모리 셀 내부 마디점

101, 101a, 101b, 101c, 101e, 101f : 강유전체 메모리셀

102, 102a, 103, 103a : 메모리셀 스위칭 트랜지스터

104, 104a, 105, 105a : 강유전체 캐패시터

106a, 106b : 데이터 신호선 프리차지 회로

107a, 107b : 센스 앰프 회로

108a, 108b, 108c, 108d : 기준 레벨 발생회로

116, 116a, 116b : 데이터 신호선 프리차지 밸런스 제어회로

1117, 118 : 데이터 신호선 프리차지용 트랜지스터

119 : 데이터 신호선 밸런스용 트랜지스터

v : 전압Q : 강유전체 분극 전하량

ve : 강유전체 캐패시터 전극간에 가하는 전압

Qo, Q1 : 강유전체 캐패시터에서 출력되는 전하량

Qr : 강유전체의 잔류 분극 전하 VDL0 : 데이터 신호선 전압 초기값

VDL : 데이터 신호선 전압 최종값 VS0 : 메모리셀 내부 마디점 전압 초기값

VPL0 : 플레이트 선전압 초기값 VPL : 플레이트 선전압 최종값

Qi : 메모리셀 어레이계의 총 전하량 Qf : 메모리셀 어레이계의 초종 총 전하량

EC : 강유전체의 항전계 VC : 강유전체의 항전압

Vm : 플레이트션 증간 전압 설정값

VSIG : 메모리셀에서 판독 출력되는 신호 전압값

VSE : 센스 앰프가 정상으로 데이터 증폭가능한 취소 신호 전압값

CD : 데이터 신호선 기생 용량값

CS : 강유전체 캐패시터의 상유전체 성분 용량값

VB00T : 전원전압

VCC : 전원전압

GND : 접지전압

n : 데이터 신호선에 접속된 메모리셀 수

[발명의 상세한 설명]

[산업상의 이용분야]

이 발명은 강유전체를 이용한 메모리 장치 및 그 동작 제어 방법에 관한다.

[종래의 기술]

근래, 지루콘티타늄산염(PZT)등의 히스테리 특성을 갖는 강유전체 재료를 메모리셀에 쓰고 전원을 절단해도 기억을 유지하는 기능을 갖는 불휘발성 메모리가 실현되고 있다.

이같은 메모리 장치의 예로서 특개소 63-201998호 공보, 1988년 2월의 고체 회로 국제회의(International Solid-State Circuits Conference, ISSCC) 예고집 130 페이지에서 131 페이지, 1994년 2월의 고체소자 회로 국제 회의 268 페이지에서 269 페이지에 보고되어 있는 것 등이있다.

이들 보고를 기초로 종래의 불휘발성 강유전체 메모리 장치의 회로구성 및 그 동작에 대해서 설명한다.

제5도에 특개소63-201998 호 공보에 기재되고 있는 2개의 트랜지스터 및 2 개의 캐패시터에서 1개의 메모리셀을 구성하는 형(이하, 2T/2C 형이라 부르기로 한다)의 강유전체 메모리셀의 회로를 도시한다.제5도에 있어서(11)은 메모리 셀의 선택 신호선(이하, 간단히 선택 신호선이라 부른다.), (13)은 플레이트션, (12), /12)는 데이터 신호선, (101)는 메모리셀, (102), (103)은 메모리 셀의 스위칭 트랜지스터, (104), (105)는 강유전체 캐패시터이다. 이같은 2T/2C 형 메모리셀에 있어서 강유전체 캐패시터 (104)와 (105)에 항상 반대방향의 분극 방향을 갖게 데이터가 기록된다. 이 반대 방향의 분극을 가진 캐패시터에서의 전하를 각각 데이터 신호선(12), (/12) · 상에 판독 출력하는 것에 의해서 데이터 신호선에 차전압을 발생케 하며 그것을 차동형 증폭 회로인 센스 앰프로 증폭한다.

제5도엔 강유전체 캐패시터 (104), (105)은 히스테리시스 특성 모델을 도시한다. 강유전체 캐패시터의 양 전극간의 전압 V 에 대한 자발분극 전하 Q 의 관계를 도시하고 있다. 예컨대 강유전체 캐패시터(104), (105)의 분극이 각각 A, B 의 상태에 있을 때를 데이터1 역의 경우를 데이터0으로 대응시킨다. 이때, 강유전체 캐패시터의 양 전극간에  $v_e$ 의 전압을 가하면 데이터 1의 경우, 캐패시터(104)에서  $Q_1$ 의 전하가 캐패시터(105)에서는  $Q_0$  전하가 각각 대응하는 데이터 신호선(12) , (/12)상에 출력되고 이 전하가 위에 말한 것 같은 데이터 신호선쌍의 차전압을 발생시키는 것이다.

즉 전하가  $Q_r$  과 전하  $Q_0$ ,  $Q_1$  사이에는 이상적으로

$2 \times Q_r = |Q_1 - Q_0| \cdots (1)$ 의 관계가 있다.

이같은 강유전체 캐패시터를 사용한 메모리 장치에선 강유전체 캐패시터의 양 전극간에 가하는 외부전압이 0 으로 되어도 강유전체의 내부에 발생하고 있는 자발분극이 데이터를 유지하고 있기 때문에 전원이 절단되어도 기억을 유지하는 수위 불휘발성 기억동작이 실현된다.

제7도에 제5도의 형의 메모리 셀을 쓴 강유전체 메모리 장치의 메모리 셀 어레이의 부분 회로예를 도시한다.

제7도에 있어서(11a 내지 c)는 선택 신호선, (12a, b, /12a, b)은 데이터 신호선, (13a 내지 13c)는 플레이트션, (14)는 데이터 신호선 프리차지 제어신호선, (15)는 데이터 신호선 프리차지 전원선, (16)은 센스 앰프 제어 신호선이다.(101a 내지 101f)는 메모리 셀, (102a, 103a)는 메모리 셀의 스위칭 트랜지스터, (104a, 105a)는 강유전체 캐패시터,(106a, b)는 데이터 신호선 프리차지 회로, (107a, b)는 센스 앰프이다.

제8도조에 제7도의 메모리 장치의 동작 타이밍도 예를 도시한다. 이하, 제23도와 제24도를 참조하면서 메모리 셀(101a)에 주목한 경우의 강유전체 메모리 장치의 판독 출력 동작 및 기록 동작에 대해서 설명한다. 또한, 제8도 이하, 이 명세서 기재의 동작 타이밍도에 있어서 특히 별도 지적이 없는 한 하이레벨 H에 상당하는 레벨은 메모리 장치 외부에서 공급되는 전원 전압, 또는 메모리 장치내부에 설정된 전압 발생 회로에서 발생하는 저압중의 어느 하나이며 로우레벨 L에 상당하는 레벨은 접지 전압이라고 본다. 이것들의 전압의 값은 경우에 따라서 5V 나 3V등 여러가지 값을 취할 수 있다.또, 참고로서 데이터 1을 판독할 경우의 제8도의 (1) 내지 (6) 각 기간 종료 시점에서의 강유전체 캐패시터(104a), (105a)은 분극 상태를 타이밍도의 밑에 나타낸다.

제8도중(1) 내지(3)의 기간은 메모리셀에서 데이터를 판독 출력하는 동작이다. 우선 기간(1)에서 데이터 신호선 프리차지 제어 신호(14)를 로우 레벨로 데이터 신호선 프리차지 상태를 해제한다. 여기에선, 데이터 신호선 프리차지 레벨은 접지 전압으로 하고 있다. 다음에 기간(2)에 있어서 선택 신호선(11a)과 플레

이트선(13a)을 각각 하이레벨로 올리고 메모리셀(101a)에서 데이터 신호선(12a), (/12a)상에 데이터를 출력한다. 이때 출력되는 데이터 신호는 강유전체 캐패시터 내부의 분극 상태에 따라서 결정되고 제24도에선 앞서 말했듯이 데이터 판독되고 있는 모양을 나타내고 있다. 그후, 기간(3)에 있어서 센스 앰프 제어 신호선(16)을 활성화하고 데이터 신호선대 (/12a)간은 전압을 센스 증폭한다. 계속하는 기간(4) 내지 (6)은 판독 출력한 데이터를 메모리 셀에 재차 되돌려 기록하는 동작이다. 기간(2)의 시점에서 판독된 메모리 셀의 데이터는 파괴되고 있으므로 이같이 재기록 동작이 필요로 된다. 또한, 메모리 장치 외부에서 입력되는 데이터를 메모리셀에 기록하는 경우엔(3)의 기간에 데이터 신호선 쌍(12a), (/12a)상에 소망의 데이터에 대응하는 전압을 설정하고나서 다음의 기간(4) 이후의 동작을 행한다.

기간(4)에 있어서 플레이트선(13a)을 로우레벨로 한다. 다음의 기간(5)에 있어서 센스 앰프 제어 신호선(16)을 로우 레벨로하므로써 센스 앰프를 비활성으로 하고 다시 프리차지 제어 신호선(14)을 하이 레벨로 하고 데이터 신호선 레벨을 접지 전압으로 한다. 이같이 하므로써 메모리 캐패시터의 분극을 데이터 판독 출력 전의(1)의 상태로 되돌릴 수 있다.

최후로 기간(6)에 있어서 선택 신호선(11a)을 로우레벨을 내리고 메모리 셀 트랜지스터를 비도통으로 하고 메모리 셀로의 액세스 동작들 완료한다. 데이터 0이 메모리 셀(101a)에 기억되는 경우에는, 캐패시터(104a)의 분극 상태가 제8도의 경우와 반대가 된다. 여기에서 상기의 회로 동작과 강유전체 캐패시터의 특성과의 관계에 대해서 설명한다. 예컨대, 제8도의(2)의 기간에서 선택 신호선(11a)을 하이레벨로 하고 스위칭 트랜지스터 (102a), (103)를 도통시키고 플레이트선(13a)을 하이레벨로 상승시킨 상태에서 제21도에 있어서 강유전체 캐패시터에 (-ve)의 전압을 가한 상태에 상당한다. 이때,  $Q_1$  또는  $Q_0$ 의 전하가 데이터 신호선(12a)상에 출력된다. 그런데, 이대로의 상태에선 1, 0 중의 어느것이 기억되고 있는 경우에도 강유전체 캐패시터의 분극 상태는 제22도에 도시하는 점에 있고 1 또는 0은 구별이 되지 않는다.

그래서, 판독 출력된 1, 0 데이터에 따라서 강유전체 캐패시터에 +ve, 0의 전압을 가하고 데이터를 되돌려 기록하는 동작이 필요하다. 이것이 제8도의 (4)-(5)은 동작에 상당한다. 이같이 강유전체 메모리 셀을 써서 불휘발성 기억 동작을 실현하기 위해선 강유전체 캐패시터의 양전극간에 정부 양방향의 전압을 가할 필요가 있다는 것에 주의한다.

또한, 메모리 기억용량의 고밀도화를 목적으로 1개의 트랜지스터와 1기의 강유전체 캐패시터 메모리 셀을 구성하는 것(이하, 1T/1C형이라 부른다.)도 있으며 이같은 강유전체 메모리 장치의 예로선 1994년 2월은 고체 소자 회로 국제 회의 예고집268 페이지에서269 페이지에 보고되고 있는

것이 있다.

제9도에 1T/1C형의 강유전체 메모리 셀 회로를 도시한다. (11)은 선택 신호선, (12)는 데이터 신호선, (13)은 플레이트선, (101)은 강유전체 메모리 셀, (102)는 메모리셀 스위칭 트랜지스터, (104)는 강유전체 캐패시터이다. 이후, 이미 설명한 도면에 쓰인 회로 요소에 대응하는 것은 같은 기호를 써서 설명을 생략한다.

제10도에는 제9도의 강유전체 캐패시터(104)의 히스테리시스 특성 모델을 도시한다. 1T/1C형 메모리셀에선 2T/2C형 메모리셀과 다르며, 강유전체 2개의 안정 상태 A/B를 각각 데이터 1/0에 대응시킨다.

제9도에 도시하는 1T/1C형의 메모리셀을 쓴 메모리셀 어레이의 부분 회로예를 제27도에 도시한다. 이 경우는 메모리셀에서의 신호 전압은 예컨대 메모리셀(101a)이 선택된 경우엔 데이터 신호선(12a)상만에 나타난다. 이같이 1T/1C형 메모리셀을 사용할 때는 2T/2C형의 경우와 다르며 센스 증폭 동작을 행할 때의 기준 레벨을, 특별히 수단을 두고, 쌍이 되는 데이터 신호선(/12a)상에 발생시킬 필요가 있다. 제27도에선 그 기준 레벨을 발생하는 회로(108a 내지 108d)와 그 제어 신호선(17a-b)이 부가되고 있다. 기준 레벨의 구체적인 발생 방법은 예컨대 상술의 문헌, 1994년 2월의 고체소자 회로 국제회의 예원고집 268 페이지에 기재된 것이 있다. 기준레벨 발생 방법의 요점은 메모리셀에서 1에 대응하는 신호를 판독 출력했을 때의 데이터 신호 전압과 0에 대응하는 신호를 판독 출력했을 때의 데이터 신호선 전압과의 중간의 전압을 발생하는데 있다.

제12도에 제11도의 회로에 있어서 메모리 셀(101a)에 주목했을 때의 동작 타이밍도 예를 도시한다. 참고로서 데이터1을 판독 출력하는 경우의 제29도에 있어서의 (1) 내지 (6)의 각 기간 종료시점에서의 강유전체 캐패시터(104a)의 분극 상태를 타이밍도의 밑에 도시한다.

데이터 신호선(12a)에 신호를 판독 출력하는 경우 쌍이되는 데이터 신호선(/12a)상에 기준 레벨을 발생시키기 위해 기준 레벨 발생 회로(108b)의 제어 동작이 가해지고 회로(108b)에서 발생하는 기준 레벨이 데이터 신호선(/12a)상에 판독 출력되고 있다. 이점을 제외하면 동작은 제8에 도시한 2T/2C형 메모리 셀의 동작과 마찬가지로다.

이상의 예에 있어서 모두 플레이트선(13)을 모두 레벨에서 하이레벨로 구동하는 것에 의해서 강유전체 캐패시터의 양전극 간에 정부 양방향의 전압을 가하고 데이터를 판독 출력하는 방식을 취하고 있다. 한편에서 플레이트선을 어떤 중간 전압으로 설정하므로써 강유전체 캐패시터의 강유전체 캐패시터의 양 전극간에 정부 양방향의 전압을 가하고 데이터를 판독하는 방식을 취할 수 있다. 제31도에 그같은 메모리 장치의 메모리 셀 어레이 부분 회로예를 도시한다. 제31도에 있어서(116a, b)는 데이터 신호선 밸런스 제어 회로, (22)는 데이터 신호선 밸런스 제어 신호선, 기타는 제11도와 마찬가지로다.

제14도는 제13도의 동작 타이밍도 예이다.

플레이트선(13)이 하이레벨 전압과 중간의 전압으로 고정되고 있는 것에 주의한다. 제31도와 제32도를 참조하면서 메모리셀(101a)을 주목했을 경우의 판독 출력 동작 및 기록 동작에 대해서 설명한다. 참고로서 (1) 내지 (7)의 각 기간 종료시점에서의 캐패시터(104a)의 분극 상태도 동작 타이밍도의 밑에 나타내어 둔다.

우선, 기간(1)에서 데이터 신호선 프리차지 제어신호(14)를 로우레벨로 하므로써 데이터 신호선 프리차지 상태를 해제한다. 여기에서도 프리차지 레벨은 접지 전압으로 하고 있다. 다음에 기간(2)에 있어서 선택

신호선(11a)을 하이 레벨로 올리고 메모리셀(101a)에서 데이터 신호선(12a)상에 데이터를 출력한다. 여기에서 제12도의 동작과 상이한 것은 플레이트선(13)을 구동하지 않는 것이다.

데이터 신호선 프리차지 레벨이 접지 전압, 플레이트선이 중간 전압( $V_m$ 로 한다.)이기 때문에 기간(2)에서 메모리 셀 트랜지스터(102a)가 도통상태로 되었을때 강유전체 태패시터(104a)의 양전극간에 플레이트선에서 데이터 신호선으로의 방향을 전압의 정의 방향으로 거의 ( $-V_m$ )의 전압이 가해진다. 그러면 강유전체 캐패시터 (104a)에서 분극의 상태에 따른 신호전압이 데이터 신호선(12a)상에 판독 출력된다. 동시에 대로되는 데이터 신호선(/12a)상에는 회로(108b)에 의해서 기준 레벨을 발생시킨다. 계속하는 기간(3)에 있어서 센스 앰프 제어 신호(16)를 활성화하고 데이터 신호선 쌍(12a)는 (/12a)간의 차전압을 센스 증폭한다.

메모리 장치 외부에서 입력한 데이터를 메모리 셀에 기록하는 경우엔 기간(4)에 소망의 데이터에 대응하는 전압을 데이터 신호선쌍(12a), (/12a)에 설정해준다. 기간(5)에 있어서 센스 앰프 제어 신호선 신호선(16)들 로우레벨로 하는 것에 의해 센스 앰프의 비활성으로 하고 또한, 데이터 신호선 밸런스 제어 신호선(22)을 하이레벨로 하고 데이터 신호선 레벨을 플레이트선과 같은 중간 전압  $V_m$ 으로 한다. 이렇게 하므로서 메모리 셀 캐패시터의 분극을 데이터 판독 출력전 (1)의 상태로 되돌릴 수 있다.

기간(6)에서 선택 신호선(11a)을 로우 레벨로 내리고 메모리셀 트랜지스터를 비도통을 한 후, 기간(7)에서 데이터 신호선쌍(12a, /12a)을 접지 전압으로 프리차지한 상태로 하고 메모리셀로의 액세스 동작의 1사이클을 완료한다. 강유전체 캐패시터에서 판독 출력되는 신호 전압은 강유전체 캐패시터의 양전극간에 전압값으로 의존해서 일반적으로 양전극간에 가해지 전압값이 클수록 신호 전압도 크다. 위에 말한 예외 같은 강유전체 메모리 장치의 동작에선 강유전체 캐패시터의 양전극간 가해지는 전압은 플레이트선 설정 전압과 데이터 신호선의 전압 진폭에 관계한다. 따라서 플레이트선 설정 전압 및 데이터 신호선의 전압 진폭은 강유전체에서 판독 출력되는 신호 전압을 센스 앰프가 정상으로 데이터를 센스 증폭할 수 있는 값이면 어떻게 설정해도 좋다. 예컨대, 플레이트선의 설정 전압을 전원 전압의 1/2 로 데이터 신호선의 진폭을 접지 전압과 전압 전압간으로 하는 방법이 있다. 전원 전압은 메모리 장치 외부에서 공급되는 것이어도 좋으며 메모리 장치 내부의 전압 발생 회로에서 발생된 전압이어도 좋다.

또, 상기 예에서는, 데이터 신호선의 프리차지 레벨을 접지 전압으로하지만, 이 전압은, 플레이트선 설정 전압  $V_m$  과 다른 전압으로 되면, 즉, 선택 신호(11a)를 하이 레벨로 할 때에, 강유전체 캐패시터의 양 전극간에 0이 아닌 전압이 걸리면, 어느 전압이라도 좋다.

제15도의 데이터 신호선 프리차지 밸런스 제어회로(116a, b)의 구체적 회로를 도시한다. 데이터 신호선 프리차지용 트랜지스터(117), (118)는 제23도나 제27도와 마찬가지로 그것에 덧붙여서 데이터 신호선 밸런스용 트랜지스터(119)가 설치되고 있다. 데이터 신호선 쌍(12), (/12)이 각각 전원 전압과 접지 전압으로 되어 있는 상태에서 트랜지스터(119)를 도통시킨면 데이터 신호선 쌍(12), (/12)은 거의 동등한 기생용량값을 갖기 때문에 데이터 신호선 전압은 전원전압의 1/2로 된다. 플레이트선 설정 전압이 전원 전압의 1/2의 경우엔 이같은 회로가 유효하다.

제13, 14도에는 IT/IC 형의 메모리 셀을 이용하여 설명하였으며 플레이트 선을 구동시키기 위해 동작시키는 강유전체 메모리 장치는 메모리 셀은 형태가 된다.

제7도의 2T/2C 형의 메모리 셀도 각각 대응되는 신호선을 제14도와 같이 구동 제어하므로 같은 동작이 가능하다.

상기한 제8, 12, 14 도의 예에서는 데이터 신호선은 free-charge level 을 접지 전하로 하고, 이 전압은 선택 신호선(11a)을 하이 레벨로 할 때, 강유전체 캐패시터의 양 전극간에 0이 아닌 전압이 걸리는 값으로 했을 때가 좋고, 접지 전압에는 한계가 없어진다.

[발명이 해결해야 할 과제]

종래의 강유전체 메모리 장치에는 메모리 셀에서 데이터를 판독하는 경우에, 다음과 같이 가솔한 사정에 의해, 강유전체 캐패시터의 양전극가에 충분한 전압이 걸리지 않는다는 문제점이 있다.

제8도 12도에서 설명한 것처럼, 플레이트 선을 구동시키고 동작시키는 형태(이하 플레이트 구동형이라고 부른다)의 강유전체 메모리 장치에 있어서, 메모리 셀로부터 데이터를 판독할 때에는, 비트선이 플로우팅 된다. 따라서 플레이트선을 로우 레벨에서 하이레벨로 구동시킬 경우에, 메모리 셀의 강유전체 캐패시터의 집어넣은 커플링에 의해 데이터 신호선 전압이 변화되고, 강유전체 캐패시터의 양전극 사이에 항전계 EC로 강유전체의 막후를 높여서 얻어진 전압에 의해 환산한 항전압 VC 이상의 전압이 걸리진 않게 되었으며, 강유전체의 분극 반전이 일어나진 않을 경우가 발생한다.

이것을 제16도를 이용하여 자세히 설명하겠다. 데이터 신호선의 기생용량치 CD, 강유전체 캐패시터의 강유전체 성분의 용량치를 CS라고 한다.

선택 신호선(11)을, 메모리셀 스위칭 트랜지스터(102)가 비도통, 즉 메모리 셀(101)이 비선택 상황이기 때문에, 트랜지스터(102)가 도통하는 전압  $V_{B00T}$  를 선택 신호선(11)에 부여한 상태이다. 그리고 플레이트선(13)을 초기상태의  $V_{PLO}$ 로부터 최종 상태의 전압  $V_{PL}$  에 구동할 때에는 데이터 신호선(12)의 초기 전압을  $V_{DLO}$ , 최종 전압을  $V_{DL}$ , 트랜지스터(102)와 강유전체 캐패시터(104)가 접속되고 있는 마디점(23)은 초기전압을  $V_{S0}$ , 최종 전압은 트랜지스터(102)가 도통되고 있기 때문에  $V_{DL}$  로 된다고 하면,

초기 상태의 제16도의 전전하  $Q_i$  는

$$Q_i = CS \times (V_{S0} - V_{PLO}) + CD \times V_{DLO} \dots (2)$$

최종 상태의 계의 전전하  $Q_f$  는

$$Q_f = CS \times (V_{DL} - V_{PL}) + CD \times V_{DL} \dots (3)$$

$Q_i = Q_f$  여야 한다는 조건에서 최종 상태에 있어서의 강유전체 캐패시터의 양 전극간에 가하는 전압은 절

대값1 VPL-VDL 1 을 구하면

[식 5]

$$|VPL - VDL| = \left| \frac{CS \times (VPL0 - VSO) + CD \times (VPL - VDLO)}{CD + CS} \right| \dots (4)$$

로 된다. 한편 이 1 VPL - VDL 1은 강유전체 캐패시터의 항전압 보다 크게해야 되므로

$$|VPL - VDL| \geq VC \dots (5)$$

여기에서 데이터 신호선을 접지 전압 GND 프리차지, 즉 VDLO=0, 또, VSO, VPL0어느 것이나 다 GND 였다고 하면(4), (5)식은 다음 같이 된다.

[식6]

$$\frac{CD \times VPL}{CD + CS} \geq VC \dots (6)$$

만약 VC=1.5V, VPL = 3.3V라 하면, (5)식은  $CD \geq 0.833... \times CS... (7)$ 로 된다.

(7)식은 데이터 신호선의 기생용량 CD 에 하한이 되며, CD가 그 하한 값 이상이 아니면 강유전체 캐패시터의 양 전극간에 VC 이상의 저압이 가하지 않는다는 것을 나타내고 있다. 이같이 플레이트선을 구동함으로써 강유전체 캐패시터를 거친 커플링에 의해서 데이터 신호선의 전압이 변동하기 때문에 일반적으로 (4), (5)식에 나타내는 조건을 만족하지 않으면 메모리셀에서 충분한 판독 출력 신호 전압이 얻어지지 않는다.

한편, 제14도에서 설명한 것 같은 플레이트선은 구동시키지 않고 동작시키는 형(이하, 플레이트 비구동형이라 부른다.)의 강유전체 메모리 장치에 있어서도 메카니즘은 상기의 플레이트 구동형과 다르나 그 경우와 마찬가지로 문제가 발생한다.

플레이트 비구동형의 강유전체 메모리 장치가 있어선 메모리셀에 액세스하고 있지 않는 상태에선 기억 데이터를 파괴하지 않기 위해 강유전체 캐패시터의 양전극간에 가하는 전압을 0으로 해 둘 필요가 있다. 즉, 플레이트선을 중간 전압으로 설정하고 있으면 강유전체 캐패시터의 대극의 마디점, 즉, 메모리셀 스위칭 트랜지스터와 강유전체 캐패시터를 접속한 마디점도 같은 중간 전압으로 되어있다.

이 상태에서 메모리셀에서 데이터를 판독 출력하기 위해선 선택 신호선을 하이레벨로 올리면 우선, 데이터 신호선상에 강유전체 캐패시터와 메모리셀의 스위칭 트랜지스터와의 접속 마디점에 저장되고 있는 전하가 데이터 신호선상에 출력되기 때문에 데이터 신호선 전압이 그 프리차지 레벨에서 변동한다.

이 때문에 강유전체 캐패시터의 양 전극간에 항전압 VC 이상의 전압이 가해지지 않게 되며 강유전체의 분극 반전이 일어나지 않게 되는 경우도 일어날 수 있다.

제16도와 마찬가지로 제17도를 참고로 이 문제에 대해서 상세하게 설명한다. 제17도가 제16도와 상이한 점은 플레이트선(13)의 전압이 일정값 VPLC이라는 것이다.

여기에서 선택 신호선(11)을 메모리셀 스위칭 트랜지스터 (102)가 비도통, 즉 메모리셀(101)이 비선택으로 되어 있는 초기 상태에서, (102)가 도통하는 전압 VB00T 를 선택 신호선(11)에 부여한 최종 상태로 이동하는 경우에 대해서 생각한다.

플레이트 선의 전압 VPLC를 제거하고 제16도와 마찬가지로의 기호를 쓰면, 초기 상태의 제34도의 계의 전전하 Qi는

$$Qi = CS \times (VSO - VPLC) + CD \times VDLO \dots (8)$$

최종 상태의 계의 전전하 Qf는,

$$Qf = CS \times (VSO - VPLC) + CD \times VDL \dots (9)$$

Qi=Qf여야 한다는 조건에서 최종 상태에 있어서의 강유전체 캐패시터의 양 전극간에 가해지는 전압의 절대값 |VPLC-VDL| 을 구하면

[식7]

$$|VPLC - VDL| = \left| \frac{CS \times (VPLC - VSO) + CD \times (VPLC - VDLO)}{CD + CS} \right| \dots (10)$$

로 된다. 플레이트 구동형의 경우와 마찬가지로 이 |VPLC-VDL| 는 강유전체 캐패시터의 항전압 보다 커야되므로

$$|V_{PLC}-V_{DL}| \geq V_C \dots (11)$$

여기에서 또, 데이터 신호선을 접지 전압 GND 프리차지, 즉  $V_{DL0}=0$ , 또,  $V_{S0}$ ,  $V_{PLC}$  어느 것도 전원 전압  $V_{CC}$ 의 1/2였다고 하면 (10), (11)식은 다음같이 된다.

[식8]

$$\frac{1}{2} \times \frac{CD \times V_{CC}}{CD+CS} \geq V_C \dots (12)$$

$V_C=1.5V$ ,  $V_{CC}=3.3V$ 라면, (12)식은

$$CD \geq 10 \times CS \dots (13) \text{ 이 된다.}$$

(13)식도 (7)식과 같이 데이터 신호선의 기생용량치  $CD$ 에 하한치를 표시했다. 이와 같이 플레이트 비구동형의 강유전체 메모리 장치에도, 일반적으로 (10), (11)식에 표시한 조건을 만족하지 않으면, 메모리 셀에서 충분히 판독된 신호전압이 얻어지지 않는다는 것을 알 수 있다.

이상의 것은 데이터 신호선의 기생 용량값  $CD$ 의 하한값에 대한 의논이었다. 그런데, 메모리 셀에서 판독 출력되는 신호 전하를 데이터 신호선상에 출력하고 신호 전압으로 하는 판독 출력 방식의 경우엔 신호 전압  $V_{SIG}$ 은, 예컨대, (1T/1C)형은 메모리 셀을 쓴 경우, 제26도이 있어서의 전하  $Q_0$  및  $Q_1$  또는 전하  $Q_r$ 를 써서,

[식 9]

$$V_{SIG} = \frac{Q_1 - Q_0}{CD + CS} = \frac{2 \times Q_r}{CD + CS} \dots (14)$$

로 된다. 여기에서 관계식(1)을 이용했다.

1T/1C 형 메모리를 이용하여, 레퍼런스 회로에 의한 레퍼런스 레벨을 발생하고 판독하는 방식의 경우에는 제10도에 있는 전하  $Q_0$  와  $Q_1$ , 또는 전하  $Q_r$ 를 이용하고, (1)식을 사용하면,

$$V_{SIG} = \frac{1}{2} \times \left| \frac{Q_1 - Q_0}{CD + CS} \right| = \frac{Q_r}{CD + CS} \dots (15)$$

가 된다. 인자(1/2)는 기준 레벨이 데이터 0판독 출력시의 데이터 신호선의 전압과 데이터 1판독 출력시의 데이터 신호선의 전압의 바로 중간의 전압으로 설정된 경우를 의미하고 있다. 기준 레벨이 그 중간의 값에서 어긋날 때는 인자(1/2)가 아니고 0보다 크고 1보다 작은 어느 값으로 된다.

식(14) 나 (15)의  $V_{SIG}$ 는 센스앰프가 정상으로 데이터 증폭할 수 있는 최소 전달값  $V_{SE}$ 를 웃돌아야 하므로

$$V_{SIG} \geq V_{SE} \dots (16)$$

즉, (16)식은 기생 용량값  $CD$ 가 어느 정도 이상으로 되면  $V_{SIG}$ 가 과도하게 작아지고 센스앰프가 정상으로 데이터를 증폭가능한 최소 전압값을 밑돌게 되며 동작 불가능으로 되는 것을 의미하고 있다. 이런 것에서 기생 용량값  $CD$ 에는 상한값도 있다는 것을 알 수 있다.

여기까지 말해온것에서 일반적으로 강유전체메모리 장치에 있어서 기생 용량값  $CD$ 와 용량값  $CS$ 와의 관계에 대해서 제36도에 도시하는 관계가 있다. 제18도에서 일점 쇄선이 플레이트 구동형 유전체 메모리 장치에 있어서의 기생 용량값  $CD$ 의 하한값을 점선이 플레이트 비구동형 강유전체 메모리 장치에 있어서의 기생 용량값  $CD$ 의 하한값을 각각 나타내며 또, 실선은 센스앰프가 정상으로 데이터 증폭가능으로 되는 신호 전압을 메모리 셀에서 얻기 위해서 필요한 기생 용량값  $CD$  상한값을 나타내고 있다. 해칭이 가해진 부분은 이 플레이트 구동형 및 비구동형 각각의 동작 모드에 있어서의 동작가능 범위로 된다.

이상, 말한바와 같이 강유전체 메모리 장치에 있어서 메모리 셀에서 데이터를 판독할때 그 동작 방식에 의해서 메카니즘의 차이는 있다고 해도 데이터 신호선의 전압 변동이 일어나기 때문에 어떤 조건하에선 강유전체 캐패시터의 양전극 간에 분극이 반전하는 전압인 항전압이 가해진진 않으며 정상 데이터 판독 동작이 행해지지 않는다는 문제점이 있었다.

이 발명의 목적은 상기 문제점을 해결하고 안정된 동작이 가능한 강유전체 메모리 장치 및 그 동작 제어 방법을 제공하는데 있다.

[과제를 해결하기 위한 수단]

본 발명의 강유전체 메모리 장치는 가유전체 메모리 장치는 강유전체 재료를 사용한 강유전체 캐패시터, 데이터의 입출력을 행하는 데이터 신호선, 어드레스 신호에 대응해서 선택되는 선택 신호선, 상기 강유전체 캐패시터와 상기 데이터 신호선 간에 설치되며 또한, 상기 선택 신호선에 의한 선택 개 제어되는 스위치 수단으로 이루어지며 상기 강유전체의 분극 상태를 기억 데이터에 대응시키고 상기 강유전체 캐패시터의

양전극간에 0이 아닌 제1의 전압을 가했을때, 상기 강유전체 캐패시터와 상기 데이터 신호선 간에 흐르는 전류가 상기 강유전체 캐패시터의 분극의 상태에 의해서 상이하다는 것을 이용하고 상기 전류의 전류의 상기 기억 데이터에 의한 차이를 검지하고, 또는 상기 전류의 차이에 따라 상기 데이터 신호선 상에 나타나는 전압의 차이를 검지하는 것으로, 기억된 데이터의 판독을 행하는 메모리 셀, 상기 복수의 메모리 셀이 접속된 상기 데이터 신호선을 상기 기억되었던 데이터에 의한 전류의 차이를 검지하는 회로인 전류형 센스앰프 또는 상기 전압의 차이를 검지하는 회로인 전압형 센스앰프에 입력한 단위 메모리 셀 어레이, 상기 단위 메모리 셀 어레이를 복수 배열한 메모리 셀 어레이를 가지며 상기 신호 선택선을 상기 메모리 셀이 선택 상태로 되는 제2의 전압으로 설정하고 상기 메모리 셀에서 데이터를 데이터 신호선상에 판독할 때, 상기 강유전체 캐패시터의 분극에 의한 전류이외의 요인에 의해서 상기 데이터 신호선에 대해서 흘러 들어가는 전하를 흡수하는 수단을 구비하고 상기 강유전체 캐패시터의 양전극간에 상기 강유전체 캐패시터의 항전계이상의 전계를 가하는 것을 특징으로 한다.

본 발명은 상기 강유전체 메모리 장치의 동작 제어방법에 관하여, 상기 강유전체 캐패시터에 기억되는 데이터를 판독할 때에, 데이터 신호의 전압을 제3의 전압에 설정하고, 플레이트 선의 전압을, 데이터를 판독하기 전의 전압인 제4의 전압으로부터 제3의 전압과 다른 제5의 전압으로 구동하고, 선택 신호의 전압을 상기한 메모리 셀이 선택 상태가 되는 제2에 전압으로 설정하고, 상기 강유전체 캐패시터의 제1과 제2 단자간에 전압차를 발생시키기 때문에, 상기 데이터 신호선상에, 상기 메모리 셀이 기억한 데이터에 대응하는 신호를 출력하는 것을 특징으로 한다.

[작용]

본 발명은 메모리 셀로부터 데이터를 판 데이터 신호선의 전압 변동을 억제하고, 강유전체 캐패시터의 양전극간에 확실하게 항전압 이상의 전압을 거는 수단으로서, 각 데이터 선에 접속되는 메모리 셀수를 조절하기 때문에 강유전체 메모리를 안정되게 동작시킨다.

[실시에]

이 발명은 실시예에 있어서 도면을 써서 설명한다.

우선 제1의 실시예에 있어서 제1도를 이용하여 설명하자. 제1도는 제11,12도에서 설명된 IT/IC 형 메모리 셀을 이용한 구동형의 강유전체 메모리 장치에, 본 발명을 적용시킨 예이다.

여기에서는 사기이 (4), (5)식에 표시된 관계를 만족시키기 위해 데이터 신호선의 기생 용량치 CD 를 설정한다.

구체적으로 각 데이터 신호선에 접속된 메모리 셀수(n 이 된다)에 의해 용량치CD 를 조절하는 것이 가능하다.

메모리 셀수에 대응하는 데이터를 판독 및 입력시키는 동작의 타이밍 차트를 제2도에 표시이며, 이것은 제12도의 바와 같은 동작을 하기 때문에 설명을 생략한다.

n의 결정 방법의 예에 관해서 설명한다.

조건식 (4), (5)와 여기서 부터 도출된 (6), (7)식은 CD 의 하한치를 결정하기 때문에 그것은 각 데이터 접속되는 메모리 셀 수의 하한치를 결정한다.

예를들면, 기생 용량치 CS 가 200fF, 각 메모리 셀에 데이터 신호부분의 기생용량 5fF, 센스 앰프와 free-charge회로 등의 메모리 셀 부분을 제거한 부분의 데이터 신호선 기생 용량이 50fF 가 되는 강유전체 메모리 장치를 판정하는 식 (7)을 적용하고(따라서 동작 전압 등의 조건은(7)식의 가정에 따른다.), 플레이트 구동형의 동작이 가능하도록 하는 각 데이터 신호선 주변에 접속된 메모리 셀 수의 하한치를 구하면,

$$50\text{fF} + 50\text{fF} \times n \geq 0.833 \cdots \times 200\text{fF} \cdots(17)$$

제13, 제14도에 표시된 플레이트 비구동형의 강유전체 메모리 장치에도, 본 발명을 본 발명을 적용시킬 수 있다.

제3도에는 그 회로를, 제4도에는 그 동작 타이밍 차트를 표시했다.

이 경우에는, 상기한 (10), (11) 식에 나타난 관계를 만족시키도록, 제1의 실시예와 같이 각 데이터 신호선에 접속된 메모리 셀 수를 설정한다.

메모리 셀 수에 대응하는 데이터를 판독하고 입력하는 동작은 제14도와 동일하기 때문에, 설명을 생략한다.

n 의 결정 방법은 용량치 CS 등의 조건으로서, 플레이트 구동형의 경우와 동일한 경우를 예로 들면, 조건식(10), (11) 그리고 여기에서 도출된 (12), (13)식을 만족시키기 위해, n을 결정한다.

상기 조건식에 대해(13) 식을 적용하고 (따라서 동작 전압 등의 조건은(13)식은 기정에 따른다.)

$$50\text{fF} + 5\text{fF} \times n \geq 10 \times 200\text{fF} \cdots(19)$$

$$n \geq 390 \dots(20)\text{이 얻어진다.}$$

한편, 제1은 실시예 및 제2의 실시예에 대해서도, 각 데이터 신호선 마다 접속된 메모리 셀 수의 상한치는 발명이 해결해야 할 과제 의 항에 기술된 것처럼, 정상적으로 데이터 증폭 동작이 가능한 신호 전압을 센스 앰프가 메모리 셀로부터 얻을 수 있는 조결로부터 결정된다.

우선 2T/2C 형의 메모리 셀에 대해 생각해 보다 예를 들면, 센스-앰프부 및 메모리 셀1 개 마다 데이터 신호선 기생 용량치, CS값이 상기한 가정에 딸고, 가정에 따르고, 센스 앰프가 정상적으로 데이터 증폭을 할 수 있는 최소 전압치가 100mv, 제6도의 (Q<sub>i</sub> - Q<sub>o</sub>)가 1000fC 가 되는 강유전체 메모리 장치에 관해

(14), (16)식을 적용하면,

$$1000 \text{ fC}/(50\text{fF} + 5\text{fF} \times n + 200\text{fF}) \geq 100\text{mv} \cdots(21)$$

$1950 \geq n \cdots(22)$ 가 얻어진다.

다음에는 1T/1C 형은 메모리 셀에 대해 생각해 보자.

상기한 2T/2C 형 메모리 셀의 경우와 같은 가정을 하면,

(15), (16) 식을 적용하면,

$$(1/2) \times 1000\text{fC}/(50\text{fF} + 5\text{fF} \times n + 200\text{fF}) \geq 100\text{mv} \cdots(23)$$

$950 \geq n \cdots(24)$ 가 얻어진다.

위와 같이, n에 대한 제한을 보면, 그 조건을 만족시키기 위한 메모리는 셀 배열 구성, 즉, 구체적으로 데이터 신호마다 메모리 셀 수를 결정하는 것에 의해 본 발명은 적용된다.

위에서 설명한 본 발명의 실시예에 있어서는 메모리 셀인 1T/1C 형과 2T/2C 형을 예로 들었으며, 본 발명의 적용은 그 메모리 셀에 제한되어 있지는 않다. 데이터를 판독할 때 강유전체 캐패시터의 양전극간에 전압을 걸었을 경우, 강유전체 캐패시터의 양 전극에 접속된 절점의 전압 변동이 문제가 되는 변동이 문제가 되는 동작 방식을 취하는 강유전체 메모리 장치에 본 발명은 상기의 실시예와 동일하게 적용가능하다. 또한 위에서 기술한 각각의 실시예와 같은 것을 조합하여 만든 본 발명은 메모리 장치를 실현하는 것도 가능하다.

본 발명은 메모리 셀로부터 데이터를 판독할 경우, 메모리 셀 선택 신호선을 활성화시킬 때에, 메모리 셀의 강유전체 캐패시터의 양전극간과 강유전체에, 분극 반전을 행하기 위해 충분한 전압을 거는 방법이며, 각 데이터 신호선에 접속된 메모리 셀 수에 제한을 가하고, 메모리 장치로서의 다른 동작, 예를 들면, 메모리 셀의 선택 제어 방법, 데이터 신호 free-charge 방식, 센스 증폭의 구체적 방법과 reference level 발생 방식 등에 의존 않고 적용된다.

## (57) 청구의 범위

### 청구항 1

강유전체 재료를 이용한 강유전체 캐패시터, 데이터의 입출력을 실행하는 신호선, 어드레스 신호에 대응하여 선택되는 선택 신호선, 상기 강유전체 캐패시터와, 상기 데이터 신호선과의 사이에 설치되고, 또한 상기 선택 신호선에 의해 선택 제어되는 스위치 수단으로 이루어지고, 상기 강유전체 캐패시터의 분극 상태를 기억 데이터에 대응시키고, 상기 강유전체 캐패시터의 양전극간에 제1전압을 걸었을 때, 상기 강유전체 캐패시터와 상기 데이터 신호선간에 흐르는 전류가 상기 강유전체 캐패시터의 분극 상태에 의해 다르게 되는 것을 이용하고, 상기 전류의 상기 기억 데이터에 의한 차이를 검지하거나 또는 상기 전류의 차이에 의해 상기 데이터 신호선상에 나타나는 전압의 차이를 검지하는 것으로, 기억되어 있던 데이터의 판독을 행하는 메모리 셀, 상기 복수의 메모리셀이 접속된 상기 데이터 신호선을, 상기 기억되어 있던 데이터에 의한 전류의 차이를 검지하는 회로인 전류형 센스 앰프 또는 상기 전압의 차이를 검지하는 회로인 전압형 센스 앰프에 입력한 단위 메모리 셀어레이, 상기 단위 메모리 셀어레이를 복수 배열한 메모리 셀 어레이를 갖으며, 상기 선택 신호선을 상기 메모리셀이 선택상태로 되는 제2의 전압으로 설정하고, 상기 메모리셀로부터 데이터를 데이터 신호선상에 판독할 때에, 상기 강유전체 캐패시터의 분극에 의한 전류 이위의 요인을 의해 상기 데이터 신호선 전압이 변동하는 것을 억제하기 위해, 상기 데이터 신호선의 기생 용량치를 제어하는 수단을 구비하는 것을 특징으로 하는 강유전체 메모리 장치.

### 청구항 2

제1항에 있어서, 상기 메모리 셀이 1개 이상의 강유전체 캐패시터와 1개 이상의 트랜지스터로 이루어진 것을 특징으로 하는 강유전체 메모리 장치.

### 청구항 3

제2항에 있어서, 상기 메모리 셀이 1개의 강유전체 캐패시터와 1개의 트랜지스터로 이루어지고, 상기 강유전체 캐패시터의 제1 및 제2단자를 각각 상기 트랜지스터의 소스 단자 및 플레이트선에 접속하고, 상기 트랜지스터의 드레인 단자를 데이터 신호선에 접속하며, 상기 트랜지스터의 게이트 단자를 선택 신호선에 접속한 것을 특징으로 하는 강유전체 메모리 장치.

### 청구항 4

제2항에 있어서, 상기 메모리셀이 2개의 강유전체 캐패시터와 2개의 트랜지스터로 이루어지고, 제1강유전체 캐패시터의 제1 및 제2단자를 각각 제1트랜지스터의 소스 단자 및 플레이트선에 접속하고, 상기 제1트랜지스터의 드레인 단자를 제1데이터 신호선에 게이트 단자를 선택 신호선에 각각 접속하고, 제2 강유전체 캐패시터의 제1 및 제2 단위를 각각 제2트랜지스터의 소스 단자 및 플레이트선에 접속하고, 상기 제2 트랜지스터의 드레인 단자를 제2데이터 신호선에, 게이트 단자를 선택 신호선에 각각 접속한 것을 특징으로 하는 강유전체 메모리 장치.

### 청구항 5

제2항에 있어서, 상기 메모리셀이 1개의 강유전체 캐패시터와 2개의 트랜지스터로 이루어지고, 상기 강유전체 캐패시터의 제1및제2단자를 각각 제1 및 제2의 트랜지스터의 소스 단자에 접속하고, 제1 트랜지스터의 드레인 단자를 제1 데이터 신호선에, 게이트 단자를 선택 신호선에 각각 접속하고, 제2트랜지스터의 드레인 단자를 제2 데이터 신호선에, 게이트 단자를 선택 신호선에 각각 접속한 것을 특징으로 하는 강유

전체 메모리 장치.

#### 청구항 6

제1항 내지 제5항중 어느 한 항에 기재된 강유전체 메모리 장치의 동작을 제어하는 방법에 있어서, 상기 강유전체 캐패시터에 기억되어 있는 데이터를 판독할 때에, 데이터 신호선의 전압을 제3의 전압에 설정하고, 플레이트선의 전압을 데이터 판독 동작전의 전압인 제4전압에서, 제3의 전압과 다른 제5전압에 구동하고, 선택 신호선의 전압을 상기 메모리 셀이 선택 상태로 되는 제3의 전압으로 설정하여, 상기 강유전체 캐패시터의 제1과 제2단자에 전압차를 발생시킴으로써, 상기 데이터 신호선상에, 상기 메모리셀이 기억하고 있는 데이터에 대응하는 신호를 출력시키는 것을 특징으로 하는 강유전체 메모리 장치의 동작 제어 방법.

#### 청구항 7

제6항에 있어서, 상기 데이터 신호선의 기생용량치를 CD, 상기 강유전체 캐패시터의 상유전체 성분의 용량치를 CS, 상기 강유전체 캐패시터의 항전계의 상기 강유전체의 막두께를 곱하여 전압에 환산한 값인 항전압을 VC, 제4의 전압을 VPLO, 제5의 전압을 VDL, 제3의 전압을 VDLO, 메모리셀내의 스위치 수단과 강유전체 캐패시터를 접속한 절정의 데이터 판독 동작전의 전압을 VSO로 한 경우, 각각의 량 간에

$$\left| \frac{CS \times (VPLO - VSO) + CD \times (VPL - VDLO)}{CD + CS} \right| \geq VC$$

로 되는 관계가 성립하도록 상기 데이터 신호선의 기생용량치 CD를 상기 데이터 신호선에 접속되는 메모리셀 수에 의해 설정하는 것으로, 데이터 판독시에 상기 플레이트선을 구동하는 것에 의한 데이터 신호선 전압 변동을 억제하고, 상기 강유전체 캐패시터의 제1 과 제2의 전압간에 항전계 이상의 전계를 거는 것을 특징으로 하는 강유전체 메모리 장치의 동작 제어방법.

#### 청구항 8

제1항 내지 제5항중 어느 한 항에 기재된 강유전체 메모리 장치의 동작을 제어하는 방법에 있어서, 상기 메모리 셀에 기억되어 있는 데이터를 판독할 때에, 상기 데이터 신호선의 전압을 제3의 전압에 설정하고, 상기 플레이트선의 전압을 일정 전압이고 또한 제3의 전압과 다른 제6의 전압에 설정하고, 상기 선택 신호선의 전압을 상기 메모리 셀이 선택 상태로 되는 제2의 전압에 설정하여, 상기 강유전체 캐패시터의 제1과 제2의 단자간에 전압차를 발생시킴으로써, 상기 데이터 신호선상에, 상기 메모리 셀이 기억하고 있는 데이터에 대응하는 신호를 출력시키는 강유전체 메모리 장치의 동작 제어방법.

#### 청구항 9

제8항에 있어서, 상기 데이터 신호선의 기생용량치를 CD, 상기 강유전체 캐패시터의 상유전체 성분의 용량치를 CS, 상기 강유전체 캐패시터의 항저계에 상기 강유전체의 막두께를 곱하여 전압에 환산한 값인 항전계를 VC, 제6의 전압을 VPLC, 제3의 전압을VDLO, 상기 메모리셀 내의 스위치 수단과 상기 강유전체 캐패시터를 절정의 데이터 판독 동작전의 전압을 VSO로한 경우, 각각의 량 간에

$$\left| \frac{CS \times (VPLC - VSO) + CD \times (VPLC - VDLO)}{CD + CS} \right| \geq VC$$

로 되는 관계가 성립하도록, 상기 데이터 신호선의 기생 용량치 CD를 상기 데이터 신호선에 접속되는 상기 메모리 셀의 수에 의해 설정함으로, 데이터 판독시의 데이터 신호선 전압 변동을 억제하고, 상기 강유전체 캐패시터의 제1과 제2의 전극간에 항전계 이상의 전계를 거는 것을 특징으로 하는 강유전체 메모리 장치의 동작 제어 방법.

#### 청구항 10

제6항에 있어서, 상기 데이터 신호선의 기생 용량치를 CD, 상기 강유전체 캐패시터의 항유전체 성분의 용량치를 CS, 상기 강유전체 캐패시터의 잔류 분극 전하를 Qr, 상기 전압형 센스 앰프가 정상에 데이터를 증폭 가능한 최소의 신호 전압인 전압 분해능을 VSE로 한 경우, 각각의 량간에

$$\frac{Qr}{CD + CS} \geq VSE$$

로 되는 관계가 성립하도록, 상기 데이터 신호선의 기생 용량치 CD를 상기 데이터 신호선에 접속되는 상기 메모리 셀의 수에 의해 설정하는 것을 특징으로 하는 강유전체 메모리 장치의 동작 제어 방법.

#### 청구항 11

제6항에 있어서, 상기 데이터 신호선의 기생 용량치를 CD, 상기 강유전체 캐패시터의 항유전체 성분의 용량치를 CD 상기 강유전체 캐패시터의 잔류 분극 전하를 Qr, 상기 전압형 센스 앰프가 정상에 데이터를 증폭 가능한 최소의 신호 전압인 전압 분해능을 VSE 로 한 경우, 각각의 량간에,

$$\frac{2 \times Q_r}{CD + CS} \geq VSE$$

로 되는 관계가 성립되도록, 상기 데이터 신호선의 기생 용량치 CD를 상기 데이터 신호선에 접속되는 상기 메모리 셀의 수에 의해 설정하는 것을 특징으로 하는 강유전체 메모리 장치 및 상기 강유전체 메모리 동작 제어 방법.

**청구항 12**

제8항에 있어서, 상기 데이터 신호선의 기생 용량치를 CD, 상기 강유전체 캐패시터의 항유전체 성분의 용량치를 CS, 상기 강유전체 캐패시터의 잔류 분극 전하를 Qr, 상기 전압형 센스 앰프가 정상에 데이터를 증폭 가능한 최소의 신호 전압인 전압 분해능을 VSE로 한 경우, 각각의 량간에

$$\frac{Q_r}{CD + CS} \geq VSE$$

로 되는 관계가 성립하도록, 상기 데이터 신호선의 기생 용량치 CD를 상기 데이터 신호선에 접속되는 상기 메모리 셀의 수에 의해 설정하는 것을 특징으로 하는 강유전체 메모리 장치의 동작 제어 방법.

**청구항 13**

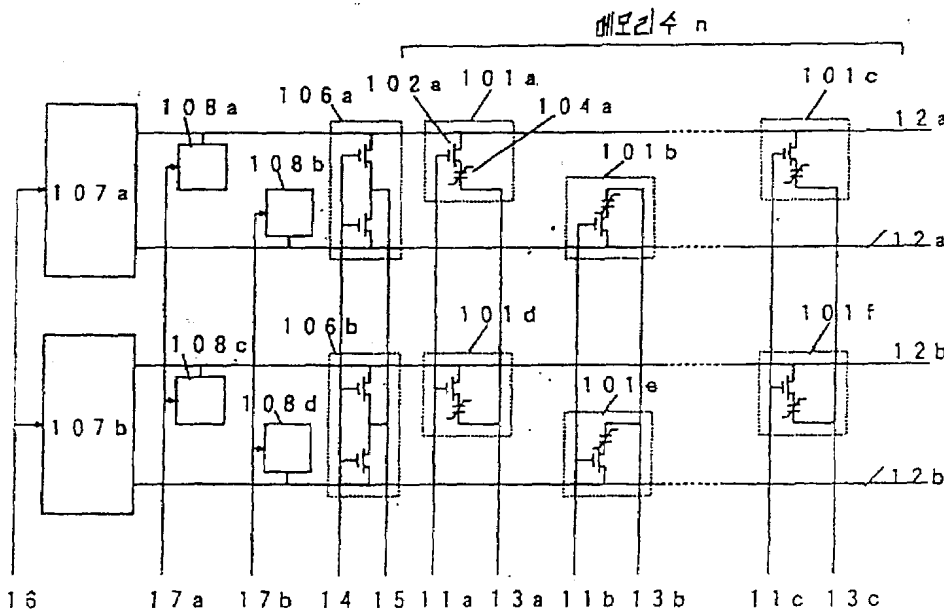
제8항에 있어서, 상기 데이터 신호선의 기생 용량치를 CD, 상기 강유전체 캐패시터의 항유전체 성분이 용량치를 CD, 상기 강유전체 캐패시터의 잔류 분극 전하를 Qr, 상기 전압형 센스 앰프가 정상에 데이터를 증폭 가능한 최대의 신호 전압인 전압 분해능을 VSE로 한 경우, 각각의 량간에,

$$\frac{2 \times Q_r}{CD + CS} \geq VSE$$

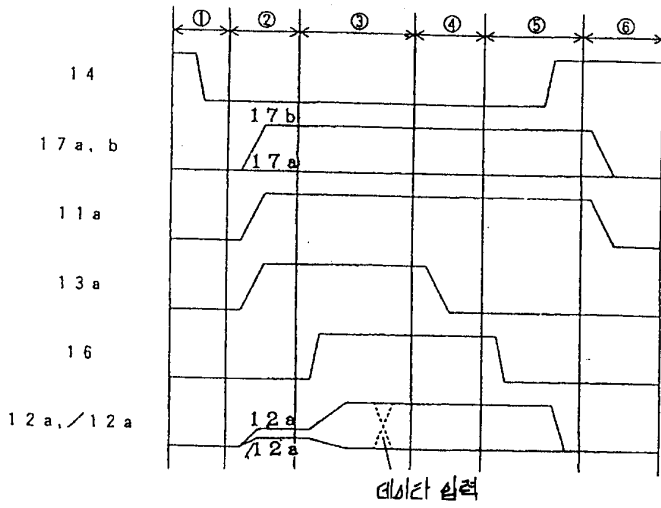
로 되는 관계가 성립되도록, 상기 데이터 신호선의 기생 용량치 CD를 상기 데이터 신호선에 접속되는 상기 메모리 셀의 수에 의해 설정하는 것을 특징으로 하는 강유전체 메모리 장치 및 상기 강유전체 메모리 동작 제어 방법.

**도면**

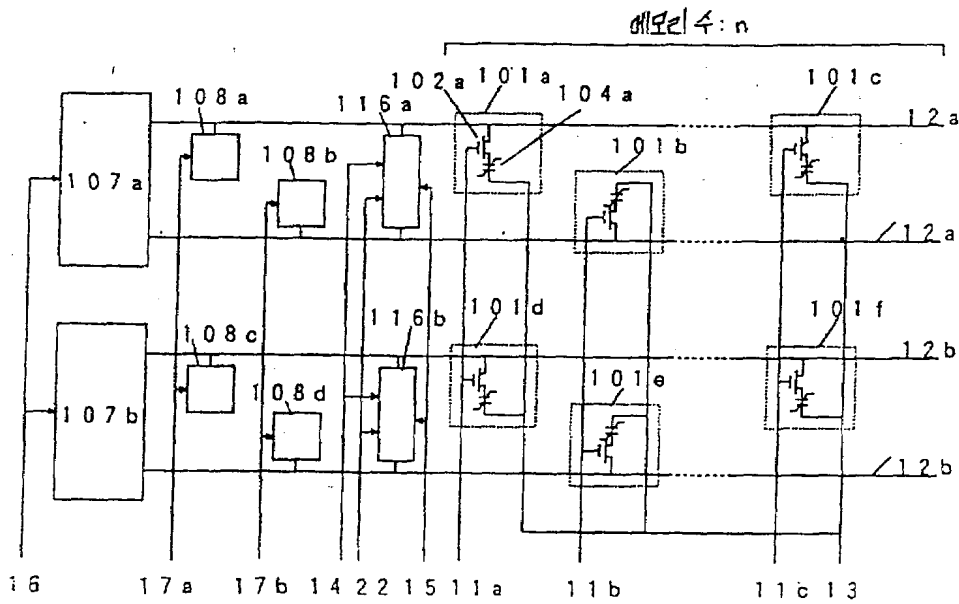
**도면1**



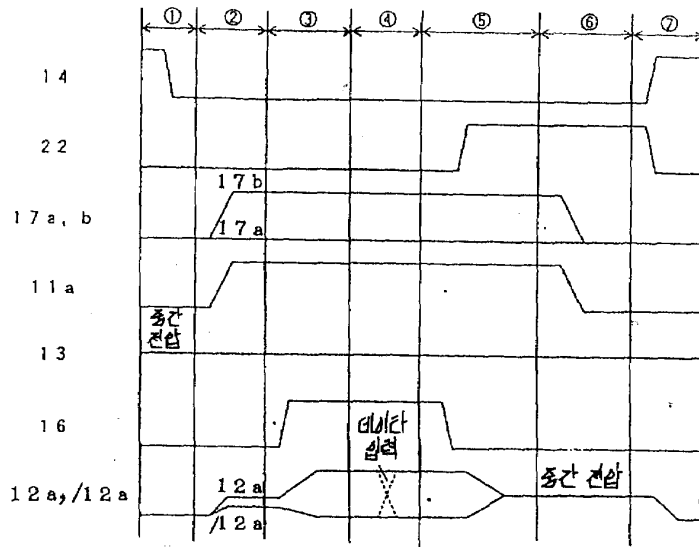
도면2



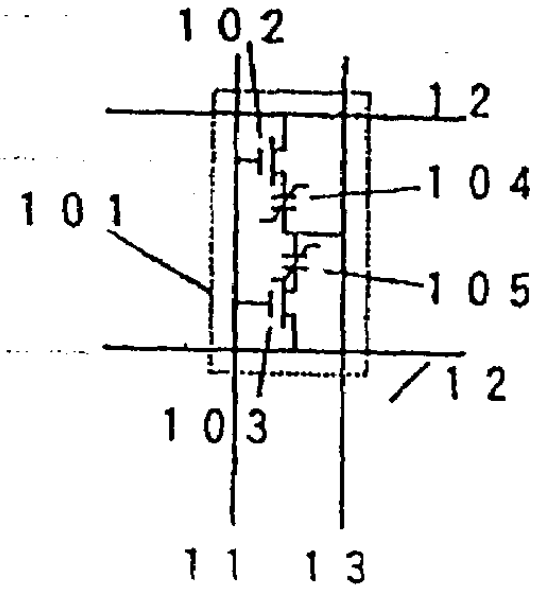
도면3



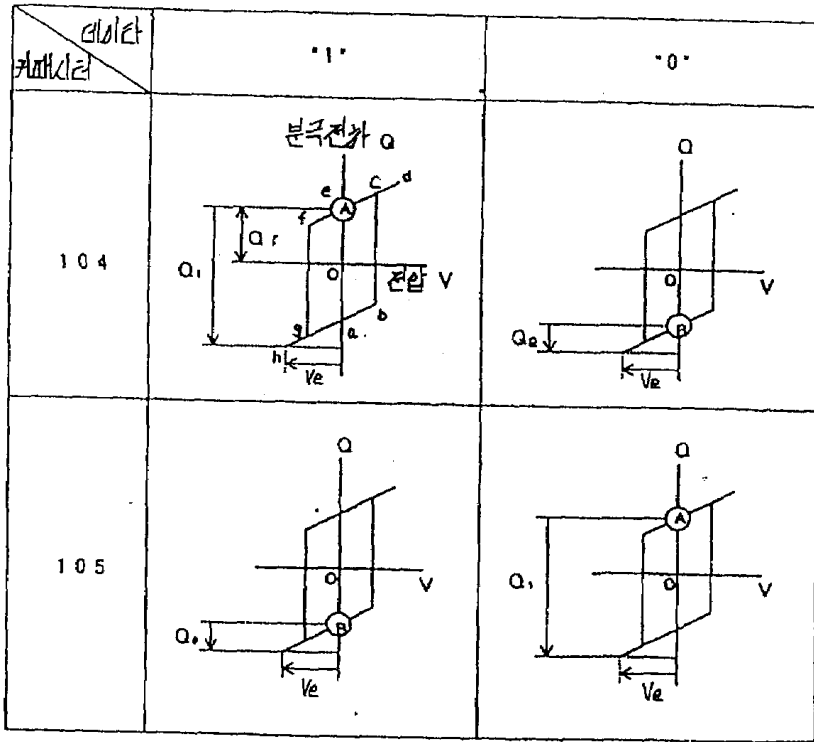
도면4



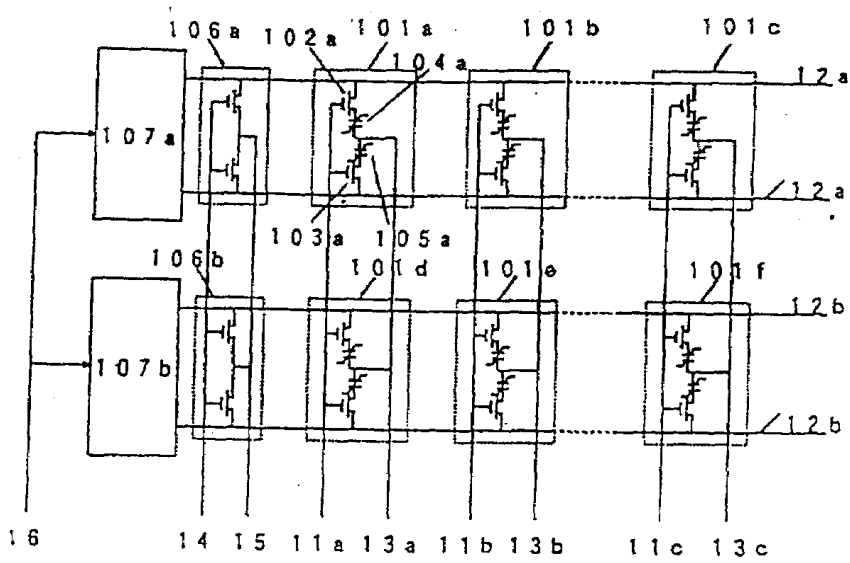
도면5



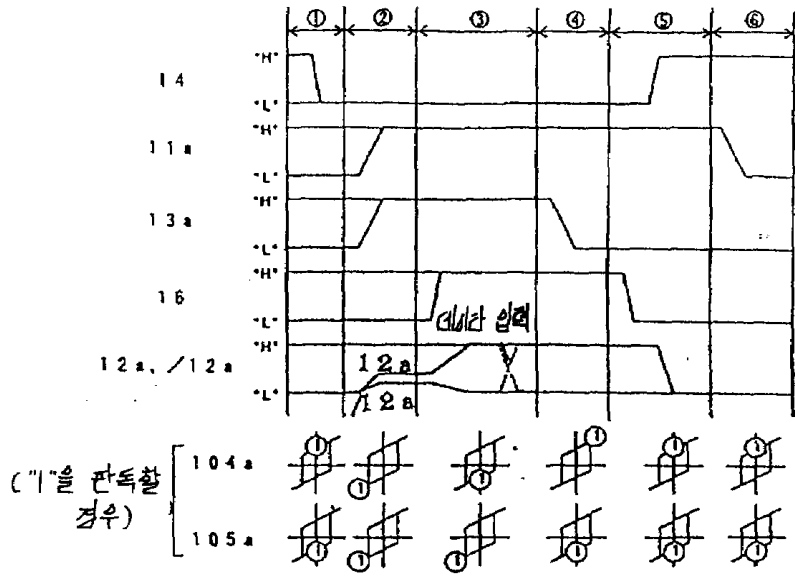
도면6



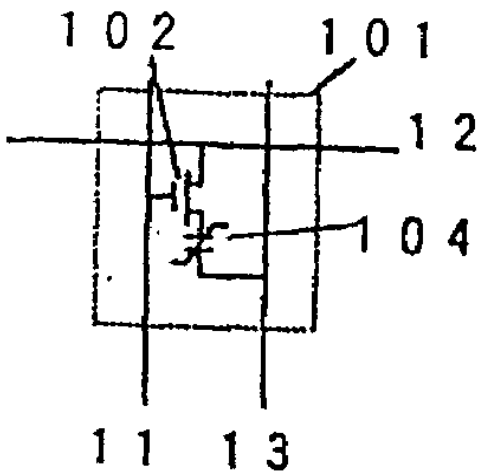
도면7



도면8



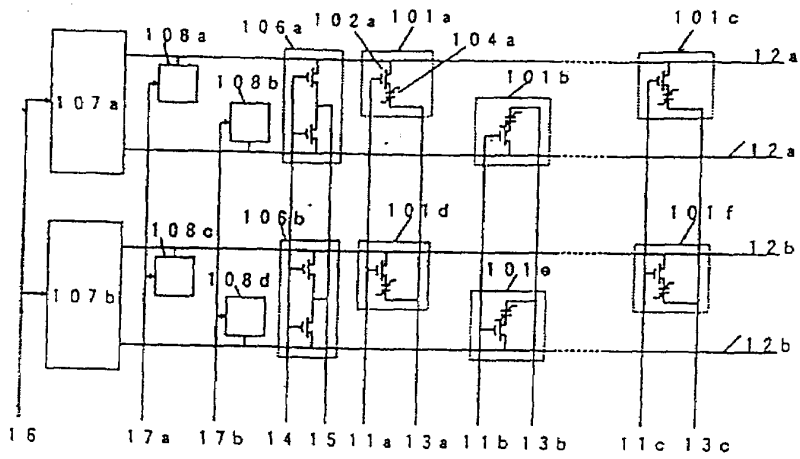
도면9



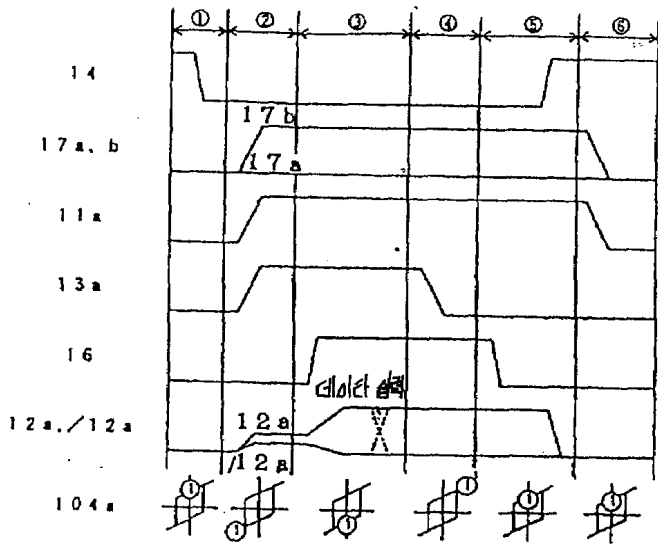
도면10

	카운터		
	카운터	'1'	'0'
104		<p>분극 전압 <math>Q</math></p> <p>전압 <math>v</math></p>	

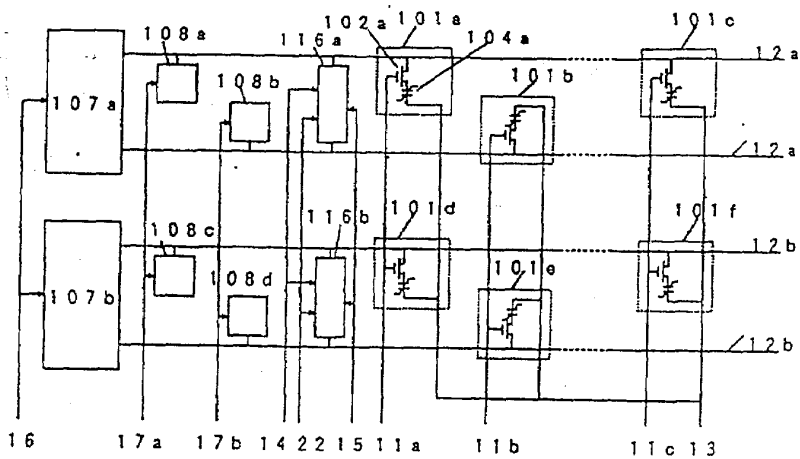
도면11



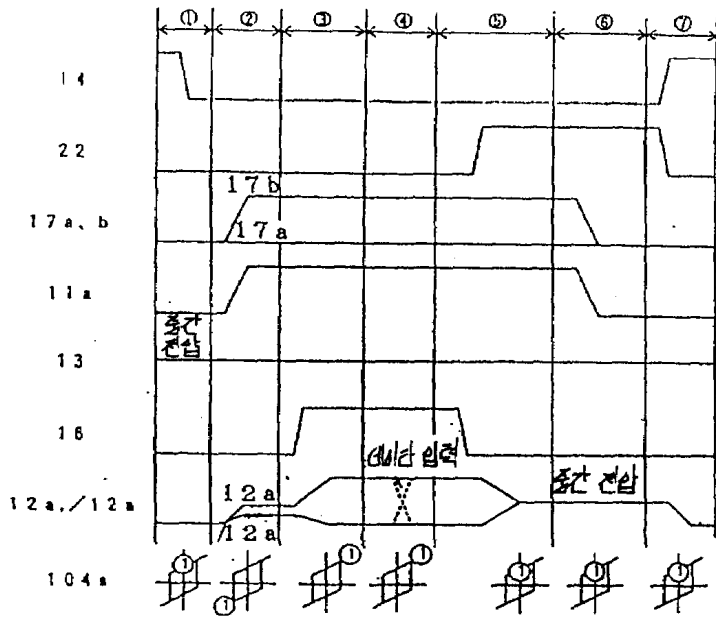
도면12



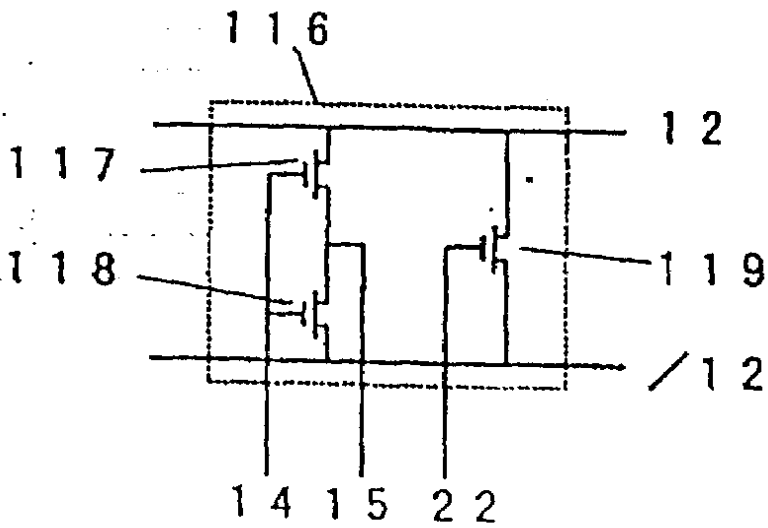
도면13



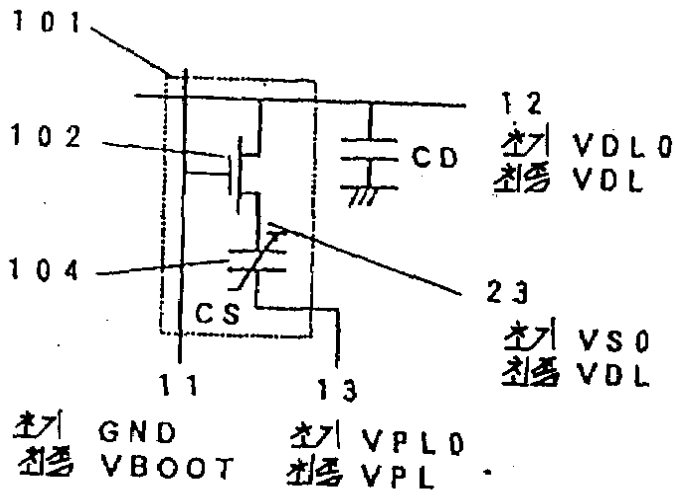
도면14



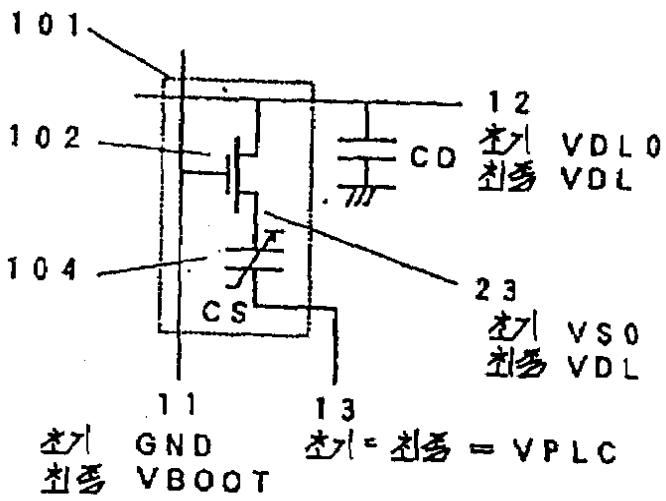
도면15



도면16



도면17



도면 18

