



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년04월22일
(11) 등록번호 10-2797771
(24) 등록일자 2025년04월15일

(51) 국제특허분류(Int. Cl.)
H01S 5/042 (2006.01) G01S 7/481 (2006.01)
(52) CPC특허분류
H01S 5/042 (2013.01)
G01S 7/4814 (2013.01)
(21) 출원번호 10-2021-7038946
(22) 출원일자(국제) 2020년04월21일
심사청구일자 2023년01월17일
(85) 번역문제출일자 2021년11월29일
(65) 공개번호 10-2022-0012860
(43) 공개일자 2022년02월04일
(86) 국제출원번호 PCT/US2020/029119
(87) 국제공개번호 WO 2020/223061
국제공개일자 2020년11월05일
(30) 우선권주장
62/839,982 2019년04월29일 미국(US)
(56) 선행기술조사문헌
KR101184338 B1

(73) 특허권자
이피션트 파워 컨버전 코퍼레이션
미국, 캘리포니아 90245, 엘세건도, 스위트 230,
노스 퍼시픽 코스트 하이웨이 909
(72) 발명자
채프먼, 마이클
미국 90808 캘리포니아주 롱 비치 클라크 애비뉴
4315
아난스, 라비
미국 92677 캘리포니아주 라구나 니구엘 아일 로
알 드라이브 31812
리, 에드워드
미국 92833 캘리포니아주 풀러튼 케이틀린 스트리트
1819
(74) 대리인
양영준, 김연송, 백만기

전체 청구항 수 : 총 11 항

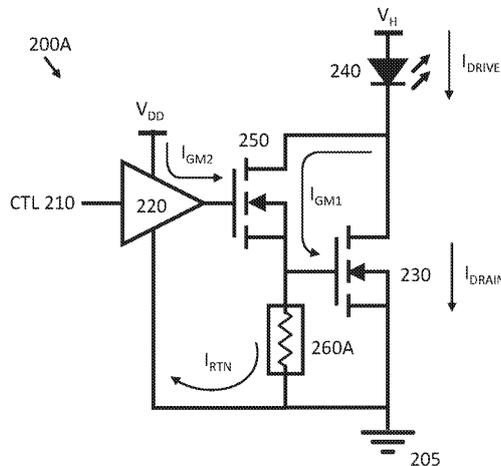
심사관 : 홍성의

(54) 발명의 명칭 게이트 전류 재사용을 이용한 GaN 레이저 다이오드 구동 FET

(57) 요약

2개의 인헨스먼트 모드 GaN FET들로 구성된 출력단을 가진 라이다 응용용 레이저-다이오드 드라이버. 출력단은 레이저 다이오드의 캐소드에 접속된 드레인 및 접지에 접속된 소스를 가진 종래의 공통-소스 구성의 드라이버 GaN FET를 포함한다. 드라이버 GaN FET의 게이트는 전치-드라이버에 의해 직접 구동되는 대신, 소스-팔로어 구성의 실질적으로 더 작은 제2 GaN FET의 소스에 의해 구동된다. 소스-팔로어 GaN FET는 양극성 디바이스들에 사용되는 달링턴(Darlington) 접속과 유사하게, 공통-소스 드라이버 GaN FET의 드레인에 접속된 드레인을 갖는다. 전치-드라이버로부터의 입력 구동 신호가 소스-팔로어 GaN FET의 게이트에 인가된다. 이에 의해, 드라이버 GaN FET를 턴온시키는데 필요한 전류가 전치-드라이버에 대한 전원 공급부 대신, 레이저 다이오드를 통한 주 전원 공급부로부터 인출되어, 전체 전류 효율을 향상시킨다.

대표도 - 도2a



명세서

청구범위

청구항 1

제1 공급 전압에 접속된 제1 단자 및 제2 단자를 갖는 부하를 위한 드라이버 회로로서,

상기 부하의 상기 제2 단자에 접속된 드레인, 접지에 접속된 소스, 및 게이트 구동 전류를 수신하는 게이트를 갖는 공통-소스 구성으로 접속된 제1 FET;

상기 부하의 상기 제2 단자에 접속된 드레인, 상기 제1 FET의 상기 게이트에 접속된 소스, 및 게이트를 갖는 소스-팔로어 구성으로 접속된 제2 FET; 및

제2 공급 전압에 의해 급전되며, 그리고 제어 신호를 수신하는 입력 및 상기 제2 FET의 상기 게이트에 접속된 출력을 갖는 전치-드라이버를 포함하되, 상기 전치-드라이버는 상기 제어 신호에 따라서 상기 제2 FET를 구동하고 상기 제1 FET에 대한 상기 게이트 구동 전류가 상기 제1 공급 전압에 의해 제공되어 상기 부하를 통해 그리고 상기 제2 FET를 통해 흐르는, 드라이버 회로.

청구항 2

제1항에 있어서,

상기 부하는 레이저 다이오드를 포함하는, 드라이버 회로.

청구항 3

제1항에 있어서,

상기 제1 FET는 인헨스먼트 모드 GaN FET이고, 상기 제2 FET는 인헨스먼트 모드 GaN FET인, 드라이버 회로.

청구항 4

제3항에 있어서,

상기 전치-드라이버, 상기 제1 FET, 및 상기 제2 FET는 단일 반도체 칩 상으로 통합되는, 드라이버 회로.

청구항 5

제3항에 있어서,

상기 제1 FET의 게이트 폭은 상기 제2 FET의 게이트 폭보다 실질적으로 더 큰, 드라이버 회로.

청구항 6

제3항에 있어서,

상기 제2 FET의 상기 소스와 접지 사이에 접속된 제2 부하를 더 포함하는, 드라이버 회로.

청구항 7

제6항에 있어서,

상기 제2 부하는 저항을 포함하는, 드라이버 회로.

청구항 8

제6항에 있어서,

상기 제2 부하는 동기 풀다운 스위치를 포함하는, 드라이버 회로.

청구항 9

제6항에 있어서,

상기 제2 부하는 다이오드로서 구성된 제3 FET를 포함하고 상기 제1 FET의 상기 게이트에 접속된 게이트를 가지며, 상기 제3 FET와 상기 제1 FET 사이에 전류 미러를 형성하고, 상기 제3 FET는 인헨스먼트 모드 GaN FET인, 드라이버 회로.

청구항 10

제9항에 있어서,

상기 전류 미러는 상기 제3 FET를 통한 드레인-소스 전류를 상기 제1 FET를 통한 상기 드레인-소스 전류보다 실질적으로 더 작게 되도록 하는 전류 미러 비를 갖는, 드라이버 회로.

청구항 11

제9항에 있어서,

상기 전치-드라이버, 상기 제1 FET, 상기 제2 FET, 및 상기 제3 FET는 단일 반도체 칩 상으로 통합되는, 드라이버 회로.

발명의 설명

기술 분야

[0001] 1. 발명의 분야

[0002] 본 발명은 일반적으로, 질화갈륨(GaN) 전계 효과 트랜지스터(FET)를 구동하기 위한 전치-드라이버를 포함하는 출력단, 좀더 자세하게는, 라이다 응용용 레이저 다이오드 드라이버로서 사용하기 위한 출력단에 관한 것이다.

배경 기술

[0003] 2. 관련 기술의 설명

[0004] 레이저 다이오드를 구동하기 위한 전형적인 출력단은 레이저 다이오드의 캐소드에 접속된 구동 FET의 드레인 및 접지에 접속된 구동 FET의 소스를 가진 공통-소스 구동 FET를 이용하여 구현된다. 구동 FET의 게이트는 게이트의 큰 커패시턴스를 극복하고 구동 FET를 턴온시키기에 충분한 임펄스 전류 능력(impulse current capability)을 가진 전치-드라이버에 의해 구동된다. 제1 공급 전압에 의해 급전되는 전치-드라이버는 구동 FET를 턴온시키기 위해 제어 신호를 수신하고 구동 FET의 게이트 단자를 구동하기 위해 제1 공급 전압으로부터 게이트 전류를 발생시킨다. 구동 FET가 턴온되고, 구동 GaN FET를 통한 구동 전류가 제1 공급 전압보다 큰 제2 공급 전압으로부터 인출된다.

[0005] 도 1은 레이저 다이오드를 구동하기 위한 전치-드라이버 및 GaN 전력 FET를 포함하는 종래의 출력단의 개략도를 예시한다. 회로(100)는 전치-드라이버(120), GaN FET(130), 및 레이저 다이오드(140)를 포함한다. 이 예에서는, 다이오드(140)가 부하이지만, 다른 구현예들은 다른 부하들을 포함할 수도 있다. 전치-드라이버(120)는 GaN FET(130)가 턴온되어야 함을 표시하는 제어 신호 CTL(110)를 수신하고 공급 전압(V_{DD})으로부터 게이트 전류(I_{GM1})를 발생시킨다. 전치-드라이버(120)는 I_{GM1} 을 GaN FET(130)의 게이트 단자에 인가하고, 이는 턴온시켜, V_{DD} 보다 높은 전압인 공급 전압(V_H)으로부터 다이오드(140)를 통한 구동 전류(I_{DRIVE})를 인출시킨다.

[0006] V_{DD} 로부터 인출된 게이트 전류(I_{GM1})는 회로(100)의 효율을 감소시키고 큰 복귀 전류(I_{RTN})를 발생시킨다. I_{RTN} 과 조합하여 전치-드라이버(120)와 접지 노드(105) 사이 및 구동 FET(130)와 접지 노드(105)사이의 전기 접속들에 대한 기생 임피던스는 접지 노드(105) 상에서의 전압 강하들, 접지 바운스, 및 링잉(ringing)을 일으킬 수 있다. 접지 바운스는 I_{RTN} 과 같은 고전류 펄스들로부터의 전압의 리플들(ripples)을 나타내는 접지 트레이스들에 응답하여 발생한다. 접지 바운스가 충분히 커지면, 구동 FET(130)가 턴온되어야 함을 표시하는 CTL(110)에 응답하여 전치-드라이버(120)가 적합한 게이트 전류(I_{GM1})를 발생시키지 않도록, 전치-드라이버(120)에서 여러 전압들을 발생시킬 수도 있다.

발명의 내용

해결하려는 과제

- [0007] 본 발명은 공통-소스 구성의 제1 GaN FET 및 소스-팔로어 구성의 제2 GaN FET를 포함하는 드라이버 회로를 제공함으로써, 위에서 설명된 바와 같은 접지 노드들 상에서의 증가된 전력 소비, 접지 바운스, 및 링잉의 단점들을 해결한다.
- [0008] 보다 구체적으로, 본원에서 설명된 바와 같이, 본 발명은 (제1 전원 공급부 전압으로부터) 구동될 부하에 접속된 드레인 및 접지에 접속된 소스를 갖는 공통-소스 구성으로 접속된 제1 GaN FET를 포함하는 부하(예컨대, 레이저 다이오드)용 드라이버 회로를 포함한다. 드라이버 회로는 또한 부하에 접속된 드레인 및 제1 GaN FET의 게이트 단자에 접속된 소스를 갖는 소스-팔로어 구성으로 접속된 실질적으로 더 작은 제2 GaN FET를 포함한다. 제2 공급 전압에 의해 급전되는 전치-드라이버가 제어 신호에 따라서 제2 GaN FET를 구동하여, 제1 GaN FET에 대한 게이트 구동 전류가 제1 공급 전압에 의해 제공되고 부하를 통해서 그리고 제2 GaN FET를 통해서 흘러, 전체 회로 효율을 향상시킨다.
- [0009] 다음으로, 구현에 및 엘리먼트들의 조합의 다양한 신규 세부 사항들을 포함하여, 본원에서 설명되는 상기 및 다른 바람직한 특징들을, 첨부 도면들을 참조하여 보다 구체적으로 설명하고 청구범위에 적시한다. 특정의 방법들 및 장치들은 청구범위의 제한들이 아니라, 단지 예시로서 나타난 것으로 이해되어야 한다. 통상의 기술자들이 주지하고 있는 바와 같이, 본원에서의 교시들의 원리들 및 특징들은 청구범위의 범위로부터 이탈함이 없이 다양하고 수많은 실시형태들에서 이용될 수도 있다.

도면의 간단한 설명

- [0010] 본 개시내용의 특징들, 목적들, 및 이점들은 도면들과 함께 취해질 때 이하에 개시된 상세한 설명으로부터 더욱 명백해질 것이며, 도면 중 유사한 참조 부호들은 전반에 걸쳐서 대응하여 식별된다:
 도 1은 레이저 다이오드를 구동하기 위한 종래의 회로의 개략도를 예시한다.
 도 2a 및 도 2b는 본 발명의 제1 실시형태에 따른, 게이트 전류 재사용을 이용한 본 발명의 드라이버 회로의 개략도들을 예시한다.
 도 3은 본 발명의 제2 실시형태에 따른, 게이트 전류 재사용을 이용한 본 발명의 드라이버 회로의 개략도를 예시한다.

발명을 실시하기 위한 구체적인 내용

- [0011] 다음의 상세한 설명에서, 특정의 실시형태들을 참조한다. 이들 실시형태들은 통상의 기술자들이 이들을 실시할 수 있도록 충분히 상세하게 설명된다. 다른 실시형태들이 이용될 수도 있으며 다양한 구조적, 논리적, 및 전기적 변화들이 이루어질 수도 있는 것으로 이해되어야 한다. 다음 상세한 설명에서 개시된 특징들의 조합들은 최광의의 의미의 교시들을 실시하는데 필요하지 않을 수도 있으며, 대신 단지 본 교시들의 특히 대표적인 예들을 설명하기 위해서 교시된다.
- [0012] 도 2a 및 도 2b는 본 발명의 일 실시형태에 따른, 게이트 전류 재사용을 이용한 드라이버 회로의 개략도들을 예시한다. 회로들(200A 및 200B)은 각각 전치-드라이버 회로(220), 공통-소스 구성의 구동 FET 트랜지스터(230), 레이저 다이오드(240), 소스-팔로어 FET 트랜지스터(250), 및 부하(260A/260B)를 포함한다. 이 예에서, 레이저 다이오드(240)는 구동 트랜지스터(230)에 의해 구동되는 부하이지만, 다른 구현예들은 다른 부하들을 포함할 수도 있다. FET 트랜지스터들(230 및 250)은 바람직하게는 도시된 바와 같은 인헨스먼트 모드(enhancement mode) GaN FET들이며, 단일 반도체 칩에 통합될 수도 있다. 구동 GaN FET(230)는 GaN FET(250)보다 실질적으로 더 커서, 즉, GaN FET(250)의 게이트 폭이 구동 GaN FET(230)의 게이트 폭보다 훨씬 더 작아서, GaN FET(250)의 게이트 커패시턴스가 GaN FET(230)의 게이트 커패시턴스보다 훨씬 더 작다.
- [0013] 전치-드라이버 회로(220)는 구동 GaN FET(230)가 턴온되어야 하고 공급 전압(V_{DD}) 및 접지 노드(205)에 접속됨을 표시하는 제어 신호 CTL(210)을 수신한다. 전치-드라이버 회로(220)의 출력은 소스-팔로어로서 구성되는 GaN FET(250)의 게이트 단자에 접속된다. GaN FET(250)의 게이트 단자는 전치-드라이버 회로(220)에 의해 발생하는 게이트 전류(I_{GM2})에 의해 구동된다. GaN FET(250)의 드레인 단자는 레이저 다이오드(240)의 캐소드 및 구동 FET(230)의 드레인 단자에 접속되며, GaN FET(250)의 소스 단자는 부하(260A/260B) 및 구동 GaN FET(230)의 게이트 단자에 접속된다. 부하는 도 2a에 나타난 바와 같은 저항(260A), 또는 도 2b에 나타난 바와 같은 동기

플다운 스위치(260B)로 구현될 수도 있다.

[0014] 레이저 다이오드(240)의 애노드는 공급 전압(V_{DD})보다 높은 제2 공급 전압(V_H)에 접속된다. 구동 GaN FET(230)의 드레인 단자는 다이오드(240)의 캐소드 및 GaN FET(250)의 드레인 단자에 접속되며, 구동 FET(230)의 소스 단자는 접지 노드(205)에 접속된다. 구동 FET(230)의 게이트 단자는 GaN FET(250)를 통한 드레인-소스 전류인 게이트 전류(I_{GM1})에 의해 구동된다.

[0015] 구동 FET(230)가 턴온되어야 함을 표시하는 CTL(210)에 응답하여, 전치-드라이버 회로(220)는 공급 전압(V_{DD})으로부터 구동 전류(I_{GM2})를 발생시켜 GaN FET(250)의 게이트 단자에 인가한다. GaN FET(250)의 게이트 커패시턴스가 구동 FET(230)의 게이트 커패시턴스보다 훨씬 더 작기 때문에, 구동 전류(I_{GM2})가 구동 전류(I_{GM1})보다 훨씬 더 작으며, 이는 전치-드라이버(220)의 전류 소비 및 V_{DD} 를 통한 전류 인출을 감소시키고 시스템 효율을 증가시킨다. GaN FET(250)는 턴온되어, 더 높은 공급 전압(V_H)으로부터 다이오드(240)를 통해 전류(I_{DRIVE})를 인출한다. GaN FET(250)를 통한 드레인-소스 전류는 구동 GaN FET(230)의 게이트 단자에 인가되는 게이트 전류(I_{GM1})이다.

[0016] 게이트 전류(I_{GM1})는 더 낮은 공급 전압(V_{DD})보다, 구동 GaN FET(230)를 턴온시키는데 필요한 큰 전류 임펄스를 잘 공급할 수 있는, 더 높은 공급 전압(V_H)으로부터 인출된다. 게다가, 게이트 전류(I_{GM1})는 레이저 다이오드(240)를 통해서 인출되며, 다이오드 구동 전류(I_{DRIVE}) 및 광 출력 전력에 기여한다. 구동 GaN FET(230)는 턴온되어 드레인-소스 전류(I_{DRAIN})를 인출하며, 이는 다이오드(240)를 통한 구동 전류(I_{DRIVE})를 크게 증가시킨다. 게이트 전류(I_{GM2})는 도 1에 나타난 구동 GaN FET(130)의 게이트 단자에 인가되는 게이트 전류(I_{GM1}) 미만이며, 이는 복귀 전류(I_{RTN}) 및 연관된 해로운 효과들, 예컨대 접지 노드(205) 상에서의 링잉, 접지 바운스, 및 전압 강하들을 감소시킨다. 부하(260)는 복귀 전류(I_{RTN})로부터 접지 노드(205) 상에서의 링잉, 접지 바운스, 및 전압 강하들을 추가로 감소시킨다.

[0017] 도 3은 본 발명의 제2 실시형태에 따른, 게이트 전류 재사용을 이용한 드라이버 회로의 개략도를 예시한다. 회로(300)는 도 2에 나타난 회로(200)와 유사하지만, 전류 미러(370)로서 배열된 GaN FET(360) 및 구동 GaN FET(330)와 함께, 부하(260A 또는 260B) 대신 다이오드로서 구성된 제3 인헨스먼트 모드 GaN FET를 포함한다. GaN FET들(330, 350, 및 360)은 단일 반도체 칩 상으로 통합될 수도 있다. 전류 미러(370)의 전류 비는 다음과 같이 나타낼 수도 있으며:

$$\frac{I_{DRAIN_330}}{I_{DRAIN_360}} = \frac{W_{330}}{W_{360}}$$

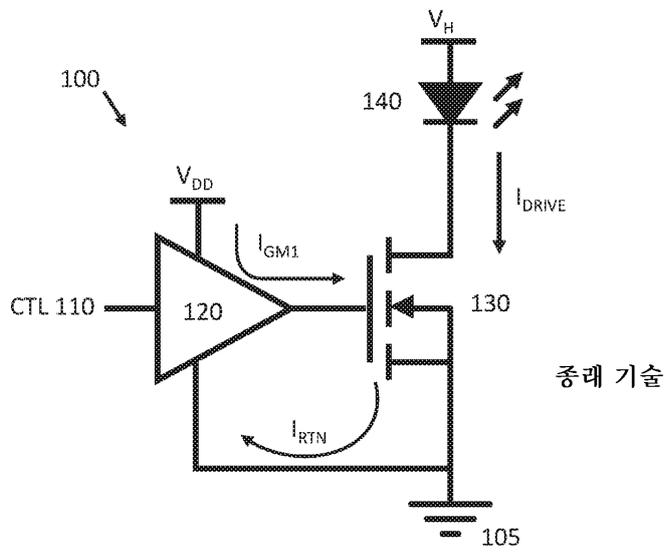
[0018] 여기서, I_{DRAIN_330} 은 구동 FET(330)를 통한 드레인-소스 전류를 나타내며, I_{DRAIN_360} 은 GaN FET(360)를 통한 드레인-소스 전류를 나타내고, W_{330} 은 구동 FET(330)의 게이트 폭을 나타내며, W_{360} 은 GaN FET(360)의 게이트 폭을 나타낸다.

[0020] 상당히 큰 비로, 단지 레이저 다이오드(340)를 통한 구동 전류(I_{DRIVE})의 부분만이 더 작은 GaN FET들(350 및 360)을 통한 게이트 구동 경로로 우회된다. 전류 미러(370)를 구현하기 위한 제3 GaN FET(360)의 사용은 게이트 구동 경로를 통한 그리고 구동 GaN FET(330)를 통한 전류에 대한 정확한 제어 및 명확하게-정의된 전류 비를 가능하게 한다. 구동 GaN FET(330)가 게이트 구동 경로에서 더 작은 GaN FET들(350 및 360)보다 훨씬 더 크기 때문에, 구동 GaN FET(330)는 대전류들을 더 잘 견딜 수 있다. 따라서, 구동 GaN FET(330)를 통해 구동 전류(I_{DRIVE})의 더 큰 부분 및 GaN FET들(350 및 360)을 통해 더 작은 부분을 우회하는 것이 바람직하다.

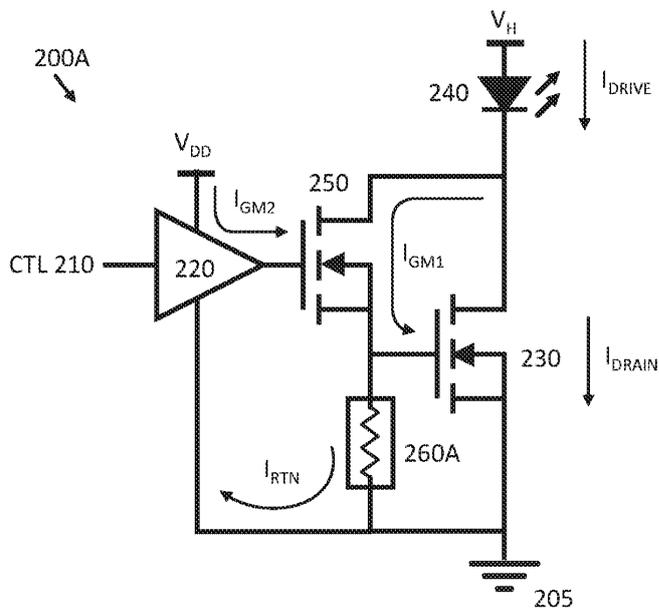
[0021] 상기 설명 및 도면들은 단지 본원에서 설명되는 특징들 및 이점들을 달성하는 특정 실시형태들을 예시하는 것으로 간주되어야 한다. 특정의 프로세스 조건들에 대한 수정들 및 치환들이 이루어질 수 있다. 따라서, 본 발명의 실시형태들은 전술한 설명 및 도면들에 의해 제한되는 것으로 간주되지 않는다.

도면

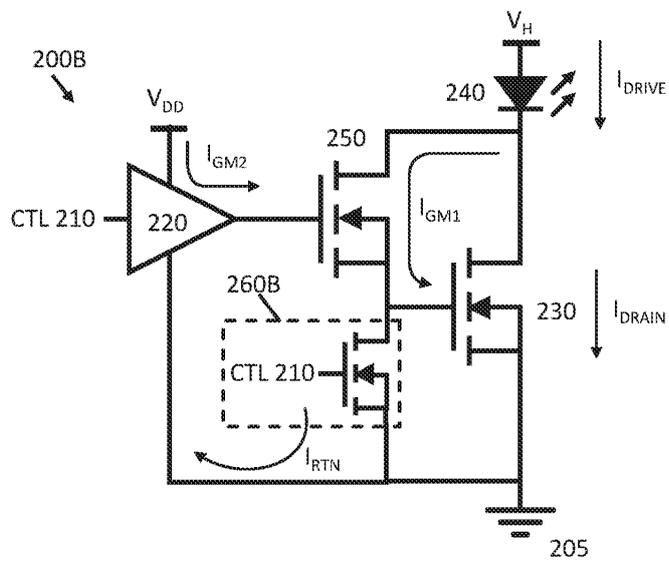
도면1



도면2a



도면2b



도면3

