



(12) 发明专利

(10) 授权公告号 CN 108140406 B

(45) 授权公告日 2022. 03. 22

(21) 申请号 201680058030.5

(22) 申请日 2016.08.25

(65) 同一申请的已公布的文献号
申请公布号 CN 108140406 A

(43) 申请公布日 2018.06.08

(30) 优先权数据
62/236,008 2015.10.01 US
15/246,371 2016.08.24 US

(85) PCT国际申请进入国家阶段日
2018.03.30

(86) PCT国际申请的申请数据
PCT/US2016/048771 2016.08.25

(87) PCT国际申请的公布数据
W02017/058417 EN 2017.04.06

(73) 专利权人 高通股份有限公司
地址 美国加利福尼亚州

(72) 发明人 E·乔斯 M·德罗普

(74) 专利代理机构 上海专利商标事务所有限公
司 31100

代理人 唐杰敏 陈炜

(51) Int.Cl.
G11C 11/406 (2006.01)
G06F 13/16 (2006.01)

(56) 对比文件
CN 101000798 A,2007.07.18
CN 101000798 A,2007.07.18
US 2015085594 A1,2015.03.26
US 2005265103 A1,2005.12.01
US 2005259493 A1,2005.11.24
CN 102214152 A,2011.10.12
CN 1375831 A,2002.10.23
CN 1574082 A,2005.02.02
CN 101026003 A,2007.08.29
JP H07182857 A,1995.07.21
US 7209402 B2,2007.04.24

审查员 许金明

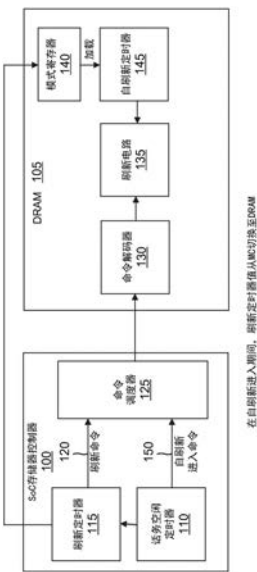
权利要求书2页 说明书4页 附图5页

(54) 发明名称

用于存储器的自刷新的方法及相关设备

(57) 摘要

一种存储器控制器,被配置成在转换到其中DRAM使其刷新循环自触发的自刷新操作模式之前,向DRAM传达对最新近的存储器控制器触发的刷新循环何时发生的指示。



1. 一种将存储器控制器从睡眠操作模式转换到活跃操作模式的方法,包括:

在所述存储器控制器处,接收对动态随机存取存储器DRAM的最新近的DRAM触发的自刷新循环的自刷新区间的剩余部分的指示,其中在所述睡眠操作模式期间所述DRAM的自刷新循环是至少部分地基于所述DRAM的自刷新区间来周期性地触发的,并且其中所述最新近的DRAM触发的自刷新循环的所述自刷新区间的所述剩余部分小于所述自刷新区间;

在所述存储器控制器中,对所述最新近的DRAM触发的自刷新循环的所述自刷新区间的所述剩余部分计时;

响应于对所述最新近的DRAM触发的自刷新循环的所述自刷新区间的所述剩余部分计时而从所述存储器控制器触发所述DRAM中的初始刷新循环;

对所述存储器控制器的空闲时段计时;以及

响应于对所述空闲时段的计时超过阈值,而将所述存储器控制器从所述活跃操作模式转换回到所述睡眠操作模式。

2. 如权利要求1所述的方法,进一步包括:

其中在所述存储器控制器处接收对所述最新近的DRAM触发的自刷新循环的所述自刷新区间的所述剩余部分的所述指示包括从所述DRAM中的寄存器读取所述指示。

3. 如权利要求1所述的方法,进一步包括:

在所述初始刷新循环的触发之后,根据刷新区间来周期性地触发所述DRAM的附加的存储器控制器触发的刷新循环。

4. 如权利要求3所述的方法,其中,所述刷新区间等于所述自刷新区间。

5. 如权利要求1所述的方法,进一步包括:

响应于对所述DRAM的温度的指示而减小所述最新近的DRAM触发的自刷新循环的所述自刷新区间的所述剩余部分。

6. 一种存储器控制器,包括:

刷新定时器,其配置成响应于来自动态随机存取存储器DRAM的对如由所述DRAM触发的最新近的自刷新循环何时发生的指示而对所述最新近的自刷新循环的自刷新区间的一部分计时,其中在所述存储器控制器的睡眠操作模式期间所述DRAM的自刷新循环是至少部分地基于所述DRAM的自刷新区间来周期性地触发的,并且其中所述最新近的自刷新循环的所述自刷新区间的所述部分小于所述自刷新区间;以及

命令调度器,其配置成响应于由所述刷新定时器对所述最新近的自刷新循环的所述自刷新区间的所述部分的所述计时而触发所述DRAM中的初始的存储器控制器触发的刷新循环,其中所述刷新定时器被进一步配置成:

在触发所述初始的存储器控制器触发的刷新循环之后,根据刷新区间来周期性地触发附加的存储器控制器触发的刷新循环,

响应于确定所述存储器控制器应当进入所述睡眠操作模式而将当前刷新循环的刷新区间的剩余部分写入所述DRAM的模式寄存器中。

7. 如权利要求6所述的存储器控制器,其中,所述刷新定时器被配置成从所述DRAM中的寄存器读取所述指示。

8. 如权利要求6所述的存储器控制器,其中,所述指示包括:对所述最新近的自刷新循环的所述自刷新区间的期满部分或所述最新近的自刷新循环的所述自刷新区间的剩余部

分的第一指示。

9. 如权利要求6所述的存储器控制器,其中,所述刷新定时器被进一步配置成:响应于对所述DRAM的温度的指示而减小所述最新近的自刷新循环的所述自刷新区间的所述部分。

10. 一种动态随机存取存储器DRAM,包括:

自刷新定时器,其配置成:响应于来自转换到睡眠操作模式的存储器控制器的对如由所述存储器控制器触发的最新近的刷新循环何时发生的指示而对自刷新区间的剩余部分计时,其中在所述睡眠操作模式期间所述DRAM的自刷新循环是至少部分地基于所述DRAM的自刷新区间来周期性地触发的,并且其中所述自刷新区间的所述剩余部分小于所述自刷新区间;以及

刷新电路,其配置成:响应于所述自刷新定时器对所述自刷新区间的所述剩余部分计时而刷新所述DRAM。

11. 如权利要求10所述的DRAM,其中,所述刷新电路被进一步配置成:响应于所述自刷新定时器对附加的自刷新区间计时而在自刷新循环中刷新所述DRAM。

12. 如权利要求11所述的DRAM,进一步包括:

模式寄存器,其中所述自刷新定时器被配置成:响应于来自所述存储器控制器的关于所述存储器控制器已经从所述睡眠操作模式转换到活跃操作模式的第二指示而将对最新近的自刷新循环何时发生的第一指示写入所述模式寄存器。

13. 如权利要求10所述的DRAM,进一步包括:

配置成解码来自所述存储器控制器的刷新命令的命令解码器。

14. 一种方法,包括:

当存储器控制器在当前刷新循环中仍然具有用于动态随机存取存储器DRAM的剩余部分时将所述存储器控制器从活跃操作模式转换到睡眠操作模式,其中在所述活跃操作模式期间所述DRAM的刷新循环是至少部分地基于所述DRAM的刷新区间来周期性地触发的,并且其中所述当前刷新循环中的所述剩余部分小于所述DRAM的所述刷新区间;

在转换到所述睡眠操作模式之前从所述存储器控制器将所述当前刷新循环中的所述剩余部分传达至所述DRAM;以及

响应于所述DRAM中对所述当前刷新循环中的所述剩余部分计时而触发所述DRAM中的自刷新循环。

15. 如权利要求14所述的方法,进一步包括:在所述存储器控制器保持处于所述睡眠操作模式中时,触发所述DRAM中的附加的自刷新循环。

16. 如权利要求14所述的方法,其中,传达所述当前刷新循环中的所述剩余部分包括所述存储器控制器写入所述DRAM内的寄存器。

17. 如权利要求14所述的方法,进一步包括:

将所述存储器控制器从所述睡眠操作模式转换回到所述活跃操作模式;以及

在所述存储器控制器中,在所述存储器控制器转换回到所述活跃操作模式之前,从所述DRAM读取对最后自刷新循环何时被触发的指示。

用于存储器的自刷新的方法及相关设备

[0001] E·乔斯和M·德罗普

[0002] 相关申请的交叉引用

[0003] 本申请要求2016年8月24日提交的美国申请No.15/246,371的优先权,其要求2015年10月1日提交的美国临时申请No.62/236,008的权益,其通过引用被纳入于此。

技术领域

[0004] 本申请涉及存储器,并且尤其涉及存储器控制器与对应的存储器之间的自刷新定时器同步。

[0005] 背景

[0006] 动态随机存取存储器(DRAM)相对廉价,因为每个存储器单元仅需要存取晶体管和电容器。相反,静态随机存取存储器(SRAM)每存储器单元需要至少六个晶体管,并且因此更昂贵。DRAM因此是许多电子设备(诸如智能手机)中的大容量存储的首选存储器。尽管DRAM显著地更便宜,但是每个存储器单元使用的相对较小的电容器会随时间泄漏电荷,因此有必要周期性地刷新其内容。在DRAM的刷新循环中,存储器单元的内容被读出以便可以恰适地对存储器单元的电容器充电。DRAM根据其刷新调度来有规律地刷新是关键的,否则它可能会丢失其存储器内容。

[0007] 根据需要的刷新区间的刷新操作的实施可由充当主处理器与对应DRAM之间的接口的存储器控制器来执行。在常规的桌面应用和相关应用中,存储器控制器通常被包含在与接受DRAM集成电路的存储器槽相关联的单独的集成电路中。这种自立存储器控制器可以在正常操作期间独立于主处理器而保持被供电。但在诸如智能电话之类的现代移动设备应用中,存储器控制器与主处理器一起被集成到片上系统(SoC)内。减小SoC的功耗是智能电话设计中的主目标,因为消费者不想要持续地对其设备充电。因此,移动设备SoC实现其中存储器控制器被完全地或部分地下电的睡眠模式是常规的。但是用于SoC的相关联的DRAM集成电路必须在睡眠模式期间保持被供电,以便其可以保持其存储器内容。因此,移动设备和相关设备中的DRAM的刷新调度在活跃操作模式期间由存储器控制器控制并且在空闲或睡眠操作模式期间由DRAM自身控制。为了在两种类型的刷新调度管理之间进行区分,存储器控制器管理的刷新调度可被标记为操作的“刷新模式”,而DRAM控制的刷新调度可被标记为操作的“自刷新模式”。

[0008] 尽管移动设备中刷新调度的该拆分控制允许SoC通过进入睡眠模式来节省功率,但是它与刷新循环的不必要触发相关联。例如,在操作的刷新模式期间,DRAM不跟踪刷新调度定时,因为该刷新调度定时是由存储器控制器管理的。在恢复操作的自刷新模式之际,DRAM因此触发刷新操作。但是在切换到操作的自刷新模式之前,存储器控制器可能刚刚触发了刷新操作,使得在转换到自刷新模式之际由DRAM自动触发刷新操作是不必要的。类似地,存储器控制器在恢复操作的刷新模式和终止自刷新模式时触发刷新操作。取决于DRAM中最后的刷新循环的定时,在转换到刷新模式之际由存储器控制器自动触发刷新操作也可能是不必要的。这些不必要的刷新循环不必要地消耗功率。另外,由于DRAM不可用于读和写

访问直至完成刷新循环,所以它们增大了存储器等待时间。增大的等待时间和功耗这一问题在现代SoC中加重,这些SoC被设计成更频繁地进入睡眠模式以最小化功耗。

[0009] 相应地,本领域中,在其中存储器控制器和存储器自身两者可以控制刷新调度的系统中存在对改进的刷新调度的需要。

[0010] 概述

[0011] 为了提供改进的刷新调度,提供了一种存储器控制器,该存储器控制器被配置成:在进入睡眠操作模式之前,向其对应的DRAM通知最新近的存储器控制器触发的刷新循环是何时由该存储器控制器触发的。给定该信息,则DRAM可以在该存储器控制器处于睡眠操作模式时相应地调度自刷新循环。因此阻止DRAM触发自刷新循环,直至自从该最新近的存储器控制器触发的刷新循环的触发以来的刷新区间期满。

[0012] 类似地,DRAM被配置成:在该存储器控制器从睡眠操作模式转换到活跃操作模式之际,向该存储器控制器通知最新近的自刷新循环是何时由该DRAM触发的。该存储器控制器随后可在活跃操作模式期间相应地调度后续的存储器控制器触发的刷新循环。因此阻止该存储器控制器触发刷新循环,直至自从该最新近的自刷新循环的触发以来的自刷新区间期满。

[0013] 除了向DRAM提供关于最后刷新循环何时被触发的信息之外,该存储器控制器还可向该DRAM提供关于该DRAM的温度的信息。该DRAM可随后响应于温度测量而将从该存储器控制器传送至该DRAM的刷新循环的剩余部分减小。

[0014] 附图简述

[0015] 图1解说了根据本公开的一方面的在进入操作的自刷新模式期间的存储器控制器和DRAM。

[0016] 图2解说了根据本公开的一方面的在退出操作的自刷新模式期间的存储器控制器和DRAM。

[0017] 图3A是根据本公开的一方面的用于从DRAM的存储器控制器控制的刷新模式转换到DRAM的自刷新模式的操作方法的流程图。

[0018] 图3B是根据本公开的一方面的用于从DRAM的自刷新模式转换到DRAM的存储器控制器控制的刷新模式的操作方法的流程图。

[0019] 图4解说了根据本公开的一方面的包括图1和图2的存储器控制器和DRAM的设备。

[0020] 本公开的各实施例及其优势通过参考以下详细描述而被最好地理解。应当领会,相同参考标记被用来标识在一个或多个附图中所解说的相同元件。

[0021] 详细描述

[0022] 现在转到附图,图1中示出了在进入操作的自刷新模式(其中MC 100进入睡眠操作模式,同时DRAM 105管理其刷新循环)期间的SoC存储器控制器(MC) 100和DRAM集成电路105。在一实施例中,MC 100包括话务空闲定时器110,其对从最后访问(读或写操作)在DRAM 105上被执行时起的空闲时段进行计时。如果该空闲时段不超过空闲阈值,则MC 100继续在操作的刷新模式中操作,其中MC 100控制DRAM 105中的刷新循环的调度。为此,MC 100包括刷新定时器115,其对从DRAM 105的最后存储器控制器触发的刷新循环以来的延迟进行计时。如果该延迟等于DRAM 105的刷新区间,则刷新定时器115向命令调度器125断言刷新命令(cmd) 120。作为响应,命令调度器125命令DRAM 105中的命令解码器130来触发刷新电路

135以执行刷新循环。以此方式,刷新定时器115在操作的刷新模式期间以由刷新区间确定的速率来周期性地触发DRAM 105中的刷新循环。

[0023] 如果话务空闲定时器110超时从而指示由于缺乏活动而已经超过空闲阈值,则话务空闲定时器110可向命令调度器125断言自刷新命令(cmd) 150。进而,命令调度器125命令命令解码器130以命令DRAM 105进入操作的自刷新模式。同时,话务空闲定时器110断言自刷新命令150,它还触发刷新定时器115以写入DRAM 105中的模式寄存器140,以便向DRAM 105通知何时发生最后存储器控制器触发的刷新循环。该通信可通过刷新定时器115将自最后(最新近)的存储器控制器触发的刷新循环以来期满的时间或当前刷新区间中剩余的时间写入模式寄存器140中来执行。替换地,刷新定时器115可以使自最新近的存储器控制器触发的刷新循环以来的当前刷新区间的剩余部分(若存在)数字化。例如,刷新定时器115可以使用三比特数字化,使得它可以以1/8的增量来估计当前刷新区间的剩余部分。替换地,刷新定时器115可以使用四比特数字化(1/16的增量)或更低阶或更高阶的数字化。以下讨论将不失一般性地假定刷新定时器115将经数字化的当前刷新区间的剩余部分写入模式寄存器140中,因为这需要相对较少的比特并且因此是带宽高效的。

[0024] DRAM 105随后可以通过将来自模式寄存器140的经数字化估计的当前刷新区间的剩余部分加载到自刷新定时器145中来进入操作的自刷新模式。例如,如果刷新定时器115已经指示当前刷新区间存在1/8剩余,则自刷新定时器145可在触发DRAM刷新电路135中的初始DRAM触发的自刷新循环之前,倒计时到刷新区间的刚刚1/8。在触发该初始自刷新循环之后,自刷新定时器145随后将从完整刷新区间倒计时以供触发后续自刷新循环。随后,DRAM 105将管理其自刷新循环,直至SoC存储器控制器100恢复正常操作并且退出睡眠模式。

[0025] 刷新定时器115还可以向DRAM 105通知用于刷新区间的当前温度乘数。DRAM存储器单元中电容器的泄漏随着温度增大。因此,无论在存储器控制器触发的刷新循环中还是在由DRAM控制的自刷新循环中,随着温度增大而减小刷新区间可以是有利的。与当前刷新区间的剩余部分一样,刷新区间中的这种减少也可使用一定数目的比特来数字化并且由经数字化的温度乘数来表示。例如,假设温度乘数被数字化成3比特数字。在室温下,经数字化的温度乘数可等于1,因为指示刷新区间的没有减小。随着温度的增大,经数字化的温度乘数可能会从1逐渐减小。因此,刷新定时器115也可以将数字化温度乘数写入模式寄存器140或DRAM 105中的另一寄存器(未解说)中,类似于由存储器控制器100将刷新循环剩余部分写入模式寄存器140。

[0026] 在响应于SoC存储器控制器100退出睡眠模式以恢复正常(活跃)操作而从操作的自刷新模式转换到刷新模式时,自刷新定时器145可以将经数字化的当前刷新区间的剩余部分(若有)写入模式寄存器140(或另一合适的寄存器)中,如图2中示出的。随后,刷新定时器115可以读取模式寄存器140的内容,使得它在转换到刷新模式之际,从用于初始刷新循环的刷新区间的剩余部分倒计时。在刷新定时器115根据如通过从模式寄存器140读取而通知的任何剩余部分来触发初始刷新循环之后,刷新定时器115将随后使用整个刷新区间来倒计时,以供任何后续的存储器控制器触发的刷新循环直至到操作的自刷新模式的另一转换。注意,自刷新定时器145还可将当前经数字化的温度乘数写入模式寄存器140或另一类似的寄存器中。刷新定时器115随后将结合来自模式寄存器140的剩余刷新区间部分一起使

用该乘数。例如,假设模式寄存器140指示最后的DRAM触发的刷新循环在刷新区间的1/2之前发生。如果DRAM 105由于升高的DRAM温度而指示温度乘数为1/2,则刷新定时器115随后将不从默认(室温)刷新区间的1/2倒计时,而是由于来自升高的温度的减小而从默认刷新区间的1/4倒计时。

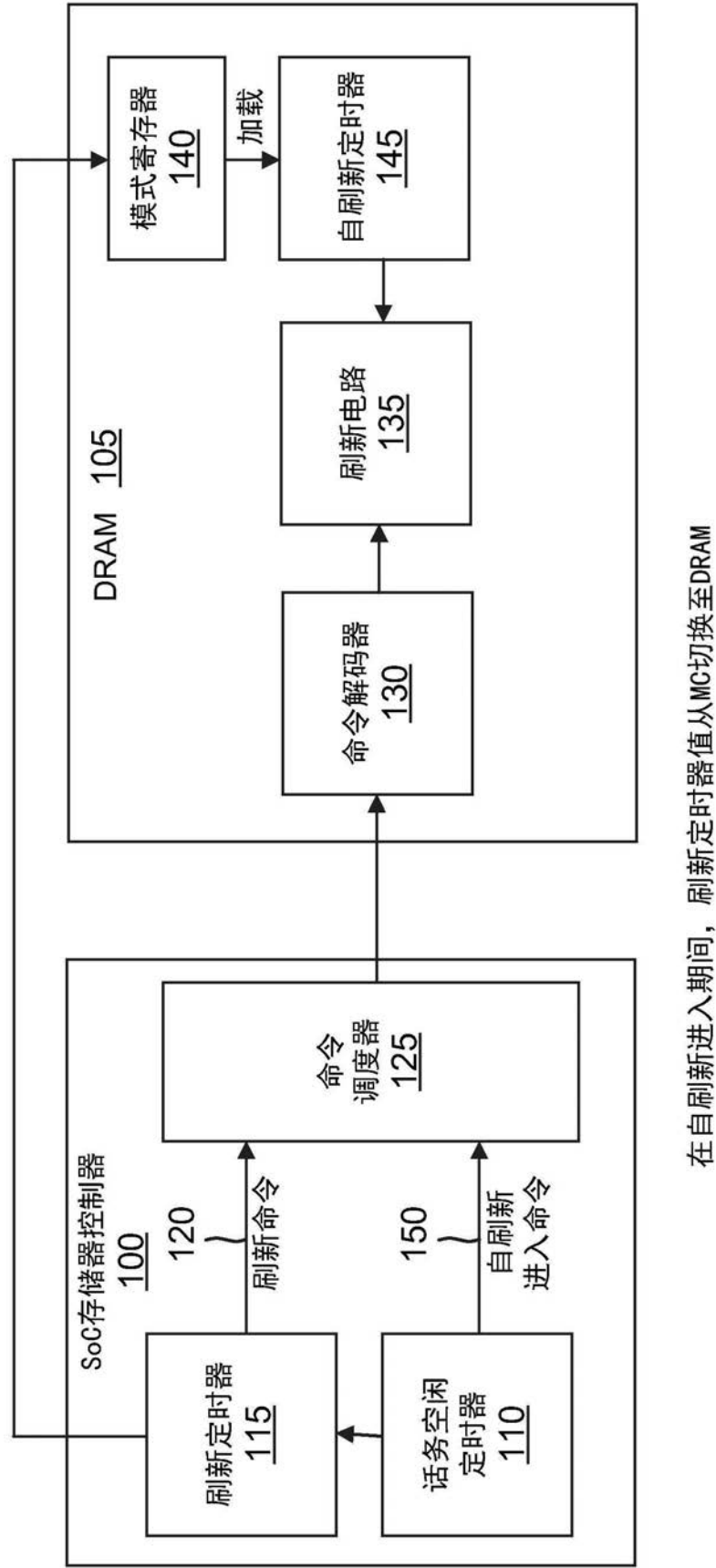
[0027] 图3A是诸如关于图1讨论的操作的刷新模式到自刷新模式的流程图。该方法包括动作300,该动作300在存储器控制器在当前刷新循环中仍然具有用于DRAM的剩余部分时将存储器控制器从活跃操作模式转换到睡眠操作模式。将图2的存储器控制器100从活跃操作模式转换到睡眠操作模式是动作300的示例。该方法进一步包括动作305,该动作305在转换到睡眠操作模式之前将当前刷新循环中的剩余部分从存储器控制器传达至DRAM。通过刷新定时器115写入模式寄存器140从而标识当前刷新循环的剩余部分是动作305的示例。最后,该方法包括动作310,该动作310响应于DRAM中对当前刷新循环中的剩余部分的倒计时而触发DRAM中的自刷新循环。自刷新定时器145中的倒计时和由刷新电路135进行的自刷新循环的后续触发是动作310的示例。

[0028] 图3B是示出用于从操作的自刷新模式进入操作的刷新模式的方法的流程图。该方法包括将存储器控制器从睡眠操作模式转换到活跃操作模式的动作315。将图2中的存储器控制器100从睡眠操作模式转换到活跃操作模式是动作315的示例。该方法还包括动作320,该动作320在存储器控制器处从动态随机存取存储器(DRAM)接收对自DRAM的最新近的DRAM触发的自刷新以来的自刷新区间的剩余部分的指示。由刷新定时器115读取模式寄存器140是动作320的示例。此外,该方法包括在存储器控制器中,对自刷新区间的剩余部分倒计数的动作325。由刷新定时器115对如从模式寄存器140检索到的自刷新区间的剩余部分倒数是动作325的示例。最后,该方法包括动作330,该动作330响应于对自刷新区间的剩余部分的倒计时而从存储器控制器触发DRAM中的刷新循环。由命令调度器125触发DRAM 105中的刷新循环是动作330的示例。

[0029] 如图4中示出的,存储器控制器100可被纳入设备400内的片上系统(SoC) 405内。设备400可包括蜂窝电话、智能电话、个人数字助理、平板计算机、膝上型计算机、数码相机、手持式游戏设备、或其他合适设备。SoC 405内的存储器控制器100在系统总线415上与DRAM 105通信。SoC还在系统总线415上与诸如传感器之类的外围设备410通信。显示器控制器425也耦合至系统总线415。显示器控制器425进而耦合至驱动显示器435的视频处理器430。SoC 405还可包括在DRAM 105中或附近的温度传感器440以监视DRAM 105的温度。

[0030] 结合本公开所描述的方法或算法的步骤可直接在硬件中、在由处理器执行的软件模块中、或在这两者的组合中体现。如果在软件中实现,则各功能可被存储在计算机可读介质上的一条或更多条指令或代码上。示例性计算机可读介质被耦合到处理器,以使得处理器能从/向该计算机可读介质读取/写入信息。替换地,计算机可读介质可以被整合到处理器。

[0031] 如本领域普通技术人员至此将领会的并取决于手头的具体应用,可以在本公开的设备的材料、装置、配置和使用方法上做出许多修改、替换和变动而不会脱离本公开的范围。有鉴于此,本公开的范围不应当被限定于本文所解说和描述的特定实施例(因为其仅是作为本公开的一些示例),而应当与所附权利要求及其功能等同方案完全相当。



在自刷新进入期间，刷新定时器值从MC切换至DRAM

图1

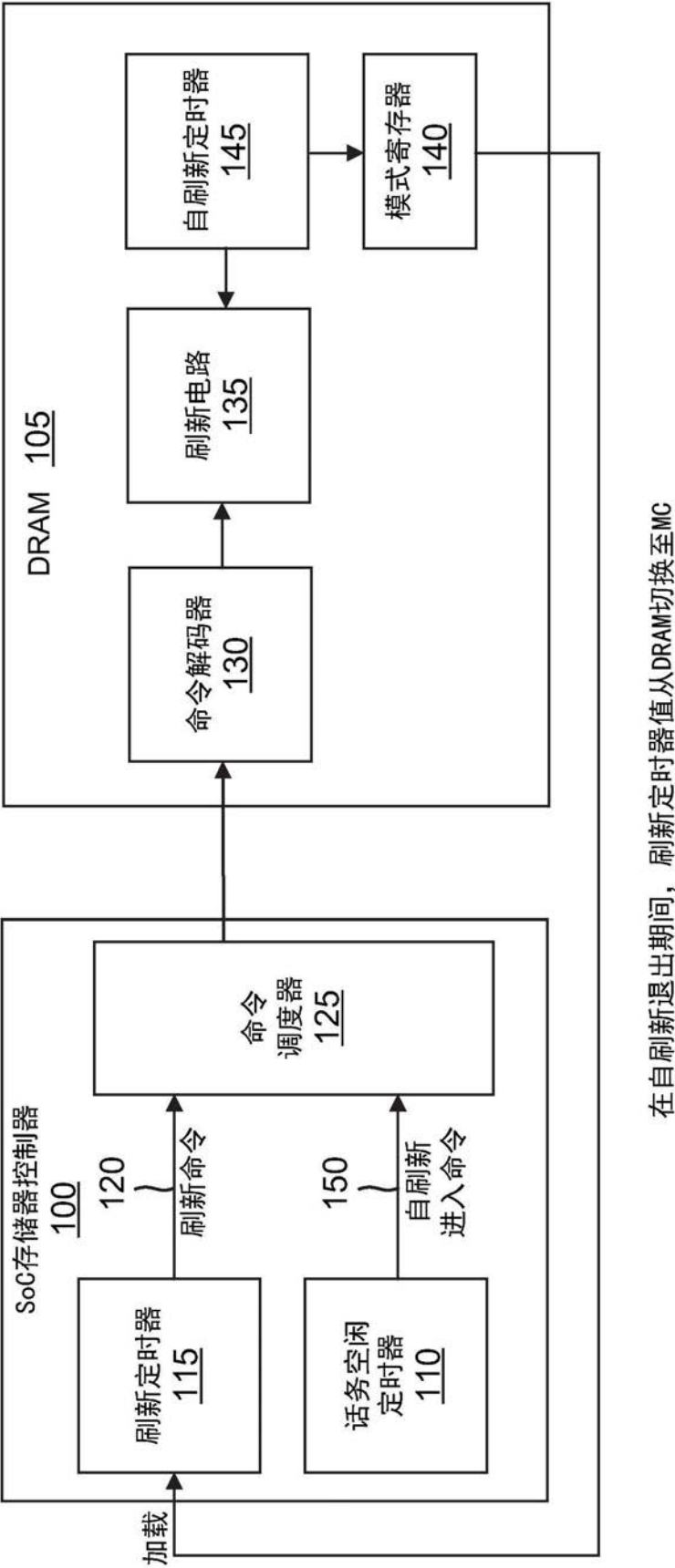


图2

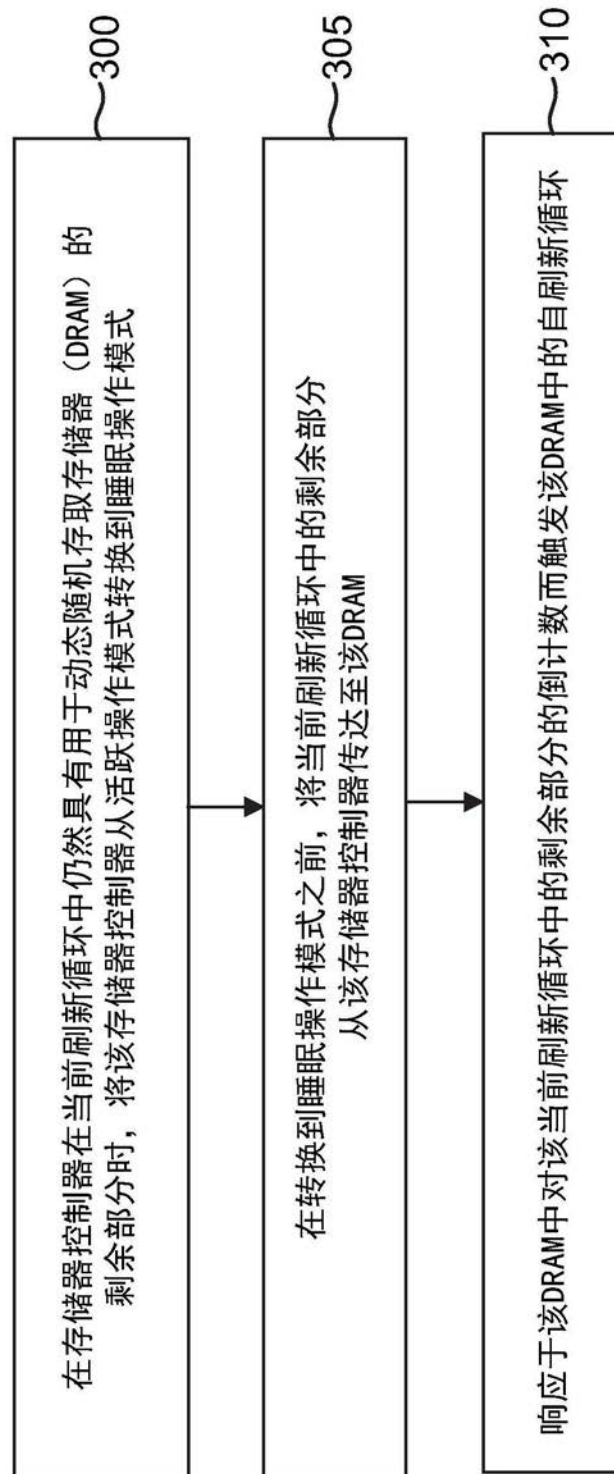


图3A

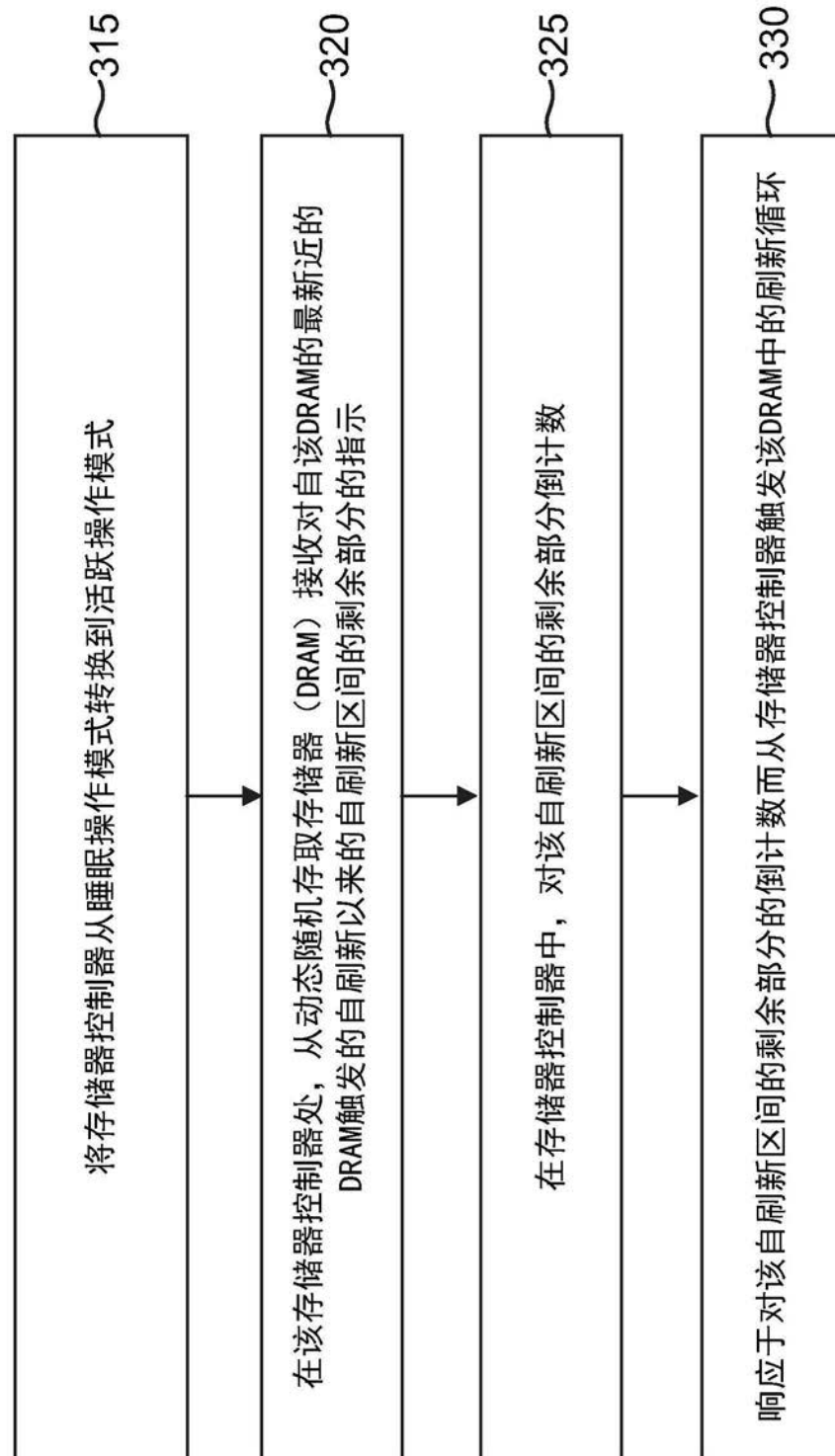


图3B

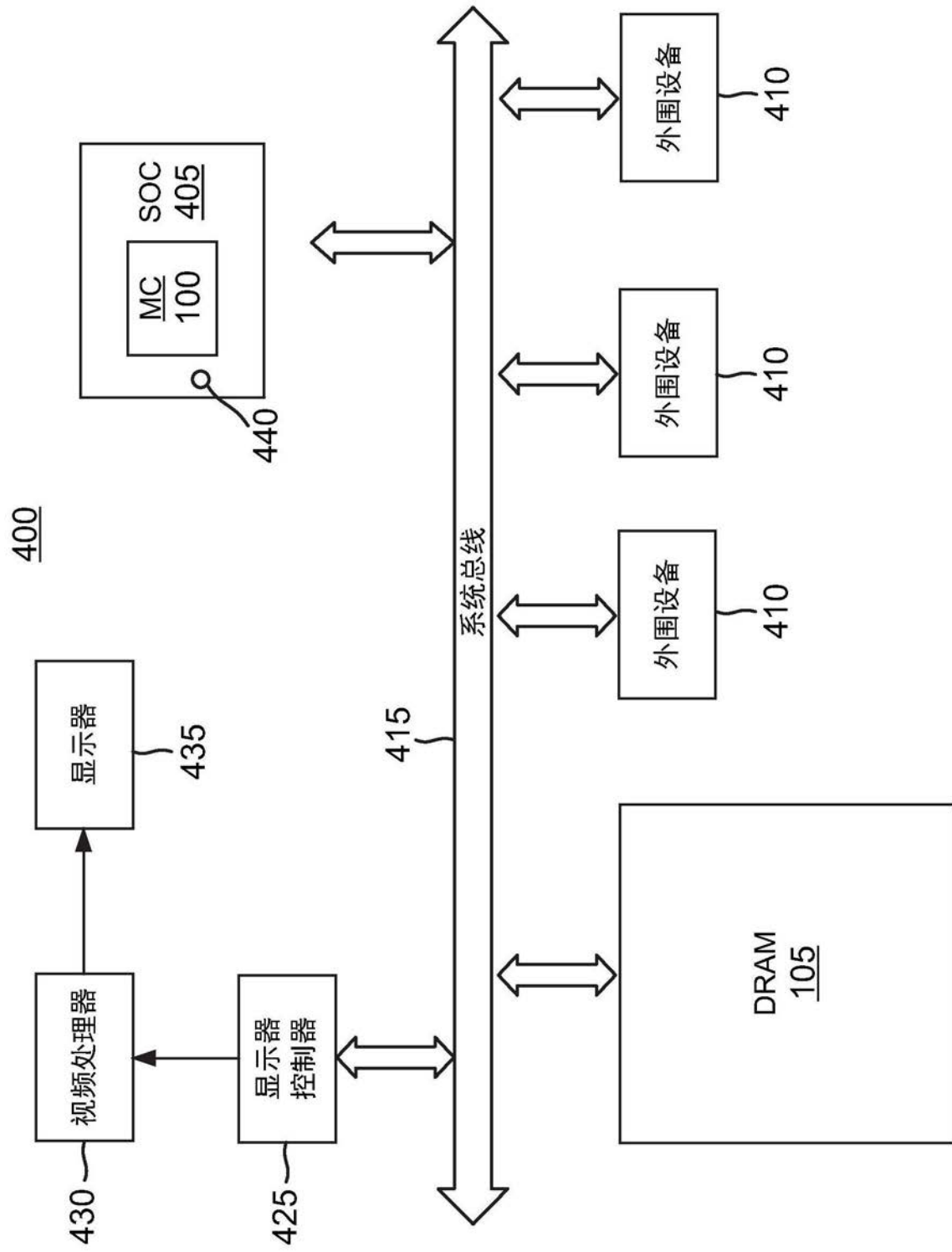


图4