(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 5/14

(45) 공고일자 1999년02월01일
(11) 등록번호 특0161358
(24) 등록일자 1998년08월24일

(21) 출원번호 특1994-004965
(22) 출원일자 1994년03월14일
(65) 공개번호 특1994-022550
(43) 공개일자 1994년10월21일
(30) 우선권주장 93-078533 1993년03월15일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바 사또 후미오
일본국 가나가와껭 가와사끼시 사이와이꾸 호리까와쪼 72 반지
(72) 발명자 미야모또 준이찌
일본국 가나가와껭 가와사끼시 사이와이꾸 고무까이 도시바쪼 1 가부시끼가이샤 도시바 리서치 앤드 디벨롭먼트 센터 내
아쯔미 시게루
일본국 가나가와껭 가와사끼시 사이와이꾸 고무까이 도시바쪼 1 가부시끼가이샤 도시바 리서치 앤드 디벨롭먼트 센터 내
이또 야스오
일본국 가나가와껭 가와사끼시 사이와이꾸 고무까이 도시바쪼 1 가부시끼가이샤 도시바 리서치 앤드 디벨롭먼트 센터 내
(74) 대리인 구영창, 주성민

심사관 : 김용주

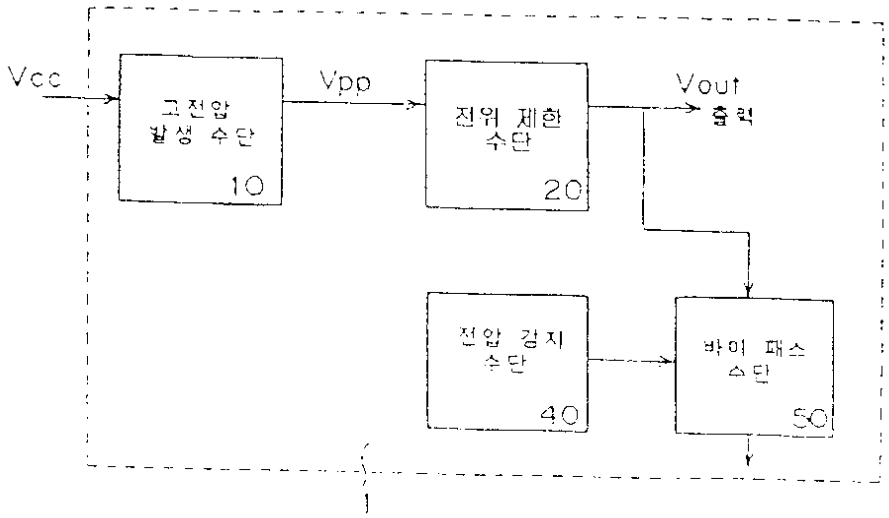
(54) 고전압 발생 장치

요약

전원 전압에 의존하지 않는 안정한 고전압을 발생하는 고전압 발생 장치를 제공한다.

본 발명의 고전압 발생 장치는, 예를 들면 반도체 기판(1)에 형성된다. 고전압 발생 수단(10)으로부터 얻어진 고전압을 전위 제한 수단(20)에 입력한다. 그 전위 제한 수단의 출력 전압을 전압 검지 수단(40)으로 검지하고, 그 정보를 바이패스 수단(50)에 피드백 시킴으로써, 전위 제한 수단의 출력 전류의 기준치를 초과하는 값을 이 바이패스 수단을 통하여 외부로 흘린다.

대표도



명세서

[발명의 명칭]

고전압 발생 장치

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예의 고전압 발생 장치의 블록도.

제2도는 제2실시예의 고전압 발생 장치의 회로도.

제3도는 제3실시예의 고전압 발생 장치의 회로도.

제4도는 제4실시예의 고전압 발생 장치에 이용하는 차동 증폭기의 회로도.

제5도는 본 발명 실시예의 고전압 발생 장치에 이용하는 차동 증폭기의 회로도.

제6도는 본 발명 실시예의 고전압 발생 장치에 이용하는 정전류원의 회로도.

제7도는 본 발명 실시예의 부전압을 발생시키는 고전압 발생 장치의 회로도.

제8도는 종래 및 본 발명에 이용하는 고전압 발생 회로도.

제9도는 종래의 고전압 발생 장치의 블록도.

제10도는 종래의 고전압 발생 장치의 회로도.

제11도는 종래의 리미터 회로를 설명하는 특성도.

* 도면의 주요부분에 대한 부호의 설명

1 : 고전압 발생 회로 2 : 리미터 회로

3 : 참조 전위 4, 11 : 정 전류원

5 : 전류 바이패스 회로(MOSFET) 6 : 디프레션형 MOSFET

7 : 정전류원의 일단의 전위 9 : 차동 증폭기

10 : 고전압 발생 수단 12 : PMOSFET

13 : 참조 전위 생성 회로 20 : 전위 제한 수단

40 : 전압 검지 수단 50 : 바이패스 수단

[발명의 상세한 설명]

본 발명은 고전압 발생 반도체 장치에 관한 것으로서, 특히 반도체 장치 등에 조립되는 고전압 발생 회로의 전위를 안정시키는 리미터의 개량에 관한 것이다.

종래의 단일 전원으로 동작하는 반도체 장치, 예를 들면, 전기적으로 기입 가능한 일괄 소거형 불휘발성 메모리 [Flash EEPROM(Electrically Erasable and Programmable Read Only Memory)]는 고전압 발생 장치를 구비하고 있다. 이 불휘발성 메모리는 데이터의 소거를 데이터 기입과 마찬가지로 전기적으로 행하는 불휘발성 메모리가 EEPROM이고, 칩 내부의 모든 메모리 데이터를 일괄하여 소거하는 것이 플래쉬 EEPROM이다. EEPROM 셀의 소거/기입에는 약 20V 정도의 고전압이 필요하지만, 소거/기입 동작시에 흐르는 F-N(Fowlor-Nordheim) 전류는 대단히 작기 때문에, 이 고전압원의 전류 용량은 작다. 따라서, EEPROM에서는 5V에서 20V를 만드는 이 고전압 발생 회로를 내장하는 것도 가능하기 때문에, EPROM과 같이 12.5V의 고전압 전원을 외부에 준비할 필요가 없다. 즉, 메모리가 형성되어 있는 반도체 기판의 외부에서 보면, EEPROM은 소거와 기입이 반도체 기판에 형성된 직접 회로 내에서 5V로 실시가 가능하다.

이와 같이 단일 전원으로 동작하는 반도체 장치에서 사용되는 고전압은 제9도에 도시한 고전압 발생 수단과 리미터 수단으로 이루어지는 시스템의 고전압 발생 장치에 의해 형성된다. 예를 들면, 외부에서 5V의 전원 전압 Vcc를 고전압 발생 수단(10)에 입력하여 전압 V_{pp}를 출력한다. 이 출력 전압 V_{pp}를 전위 제한 수단(20)에 입력하여 반도체 장치에 이용되는 고전압 Vout을 출력한다. 이 출력은 전위 제한 수단에 의해 전위 변동의 영향이 적고 안정되어 있다. 이 고전압 발생 수단의 종래 예의 하나인 차지 펌프(charge pump) 회로를 제7도에 도시한다. 고전압 발생 회로(1)는 드레인과 게이트를 접속한 MOS 트랜지스터를 N + 1단 직렬접속한 차지 펌프이고, Vcc=5V로부터 V_{pp}～20V를 만들 수 있다. 차지 펌프는 2상 클럭 Φ1 및 Φ2에 의해 Vcc로부터 전하가 전송되어 고전압 V_{pp}를 발생한다. 이 고전압 발생 회로(1)의 출력 전압 V_{pp}를 안정시키기 위하여 통상은 전위 제한 수단으로서 리미터 회로(2)를 고전압 발생 회로의 출력단에 접속한다. 예를 들면, 리미터 회로(2)는 1개 또는 그 이상의 다이오드가 직렬 접속되어 구성된다.

전압을 안정시키는 리미터 회로를 구비한 고전압 발생 장치의 종래 예를 제10도에 도시한다. 예를 들면, 반도체 기판에 형성된 고전압 발생 회로(1)에 외부로부터 5V의 전압 V_{cc}가 공급되어 약 20V가 출력된다. 이 고전압 발생 회로(1)의 출력단에 리미터 회로(2)가 접속된다. 이 도면에서는 다이오드로서 5～10V에서 브레이크 다운하는 제너 다이오드를 이용한다. 고전압 발생 회로의 전류(I_{pp})의 공급능력은 예를 들면, 링크 오실레이터가 공급하는 2상 클럭 Φ1, Φ2의 전위 V, 링크 오실레이터의 발진 주파수 f 및 콘덴서 C의 용량의 곱 fCV에 비례한다. 따라서, 이 전류 I_{pp}(차지 펌프 전류)를 증가시키기 위해서는 링크 오실레이터의 발진 주파수 f를 높이든가, 출력 전위 V를 크게 하든가, 콘덴서 용량 C를 크게 하면 좋다.

상술한 바와 같이, 차지 펌프 전류 I_{pp}는 fCV에 비례하고 있다. 2상 클럭 Φ1, Φ2는 Vcc계의 발진기, 예를 들면 링크 오실레이터로 발생되기 때문에 그 출력 전위 V는 Vcc와 동일하고, 발진 주파수 f도 Vcc에 거의 비례하기 때문에, 이 차지 펌프 전류 I_{pp}는 거의 V_{cc}^2에 의존하게 된다. 제11도(a)에 그 I_{pp} - Vcc 곡선을 도시한다. 상술한 바와 같이, 전류 I_{pp} 는 Vcc^2 에 의존하고 있다. 그리고, 전원 전압 Vcc 자체 반도체 칩에 구성되어 있는 각종 회로의 동작에 영향을 받아 변동한다. 도면에 도시한 바와 같이, 전원 전압 Vcc를 5V로 하면, 그 값은 예를 들면, ±0.5V는 변동하기 때문에 출력 전류 I_{pp}는 그것에 따라서 상당히

크게 변화한다. 한편, 제11도(b)에 도시한 바와 같이, 제너 다이오드의 내부 저항에 의해서 브레이크다운 전압보다 높은 곳에는, 이 다이오드에 걸리는 입력 전압 V_z는 다이오드에 흐르는 전류 I_z에 크게 의존하고, 게다가 그 값은 반도체 장치의 제조 공정 상의 편차에 영향을 받기 쉽다. 그 결과 본래 안정적으로 공급되지 않으면 안되는 고전압 V_{pp}가 전원 전압 Vcc에 크게 의존하고 게다가 반도체 장치의 제조 공정의 영향을 받기 쉬워, 반도체 메모리의 기입/소거 특성이 불안정해지는 하나의 요인이 되고 있다.

이와 같이 제너 항복을 이용한 정전압 소자, 제너 다이오드는 상당히 넓은 범위에 걸쳐 전압이 일정하기 때문에 정전압 전원으로서 이용할 수 있다. 또한, 제너 다이오드를 이용한 정전압원은 출력 전류의 최대치에 제한이 있지만, 이 다이오드 바이폴라 트랜지스터를 병렬 접속하여 그 출력 전류 과잉분을 이 트랜지스터로부터 흘려버리는 것도 알려져 있다. 그러나 바이폴라 트랜지스터에서는 베이스 전류가 유입되기 때문에 제어가 어렵고, 출력 전류의 변동을 충분히 적게 하는 것이 곤란하고, 또한 부전압 전원을 조정할 수 없다. 또 예를 들면, EEPROM 등의 MOS 트랜지스터를 주체로 한 반도체 장치에 바이폴라 트랜지스터를 형성하는 것은 제조가 복잡해져 고집적화된 MOS형 반도체 장치를 형성하기에는 불리하였다.

본 발명은 이와 같은 사정에 의해 이루어진 것으로, 전원 전압 Vcc에 의존하지 않는 안정한 고전압 V_{pp}를 발생하는 고전압 발생 장치를 제공한다.

본 발명은 고전압 발생 수단에서 얻어지는 고전압을 전위 제한 수단에 입력하고, 그 전위 제한 수단의 출력 전압을 검지하고, 그 정보를 바이패스 수단에 피드백 시킴으로써, 전위 제한 수단의 출력 전류 기준치의 초과분을 이 바이패스 수단을 통하여 외부로 흘리는 것을 특징으로 하고 있다. 즉, 본 발명의 고전압 발생 장치는 외부에서 전원 전압을 입력함으로써 고전압을 출력하는 고전압 발생 수단과, 상기 고전압 발생 수단의 출력 전압을 입력하여 이 출력 전압의 전위를 제한하는 전위 제한 수단과, 상기 전위 제한 수단의 출력 전압을 검지하는 전압 검지 수단과, 상기 고전압 발생 수단의 출력이 소정의 값을 초과하였을 때에 상기 고전압 발생 수단의 출력 전류를 바이패스시키는 바이패스 수단을 구비하고, 상기 전압 검지 수단의 출력은 상기 바이패스 수단에 피드백 시키는 것을 제1의 특징으로 한다. 또한 전원 전압이 입력되는 고전압 발생 회로와, 일단이 상기 고전압 발생 회로의 출력단에 접속된 리미터 회로와, 일단이 상기 리미터 회로에 직렬 접속되고 타단이 접지 전위에 접속된 정전류원 또는 저항과, 상기 정전류원 또는 저항의 양단의 전위차를 검지하는 검지 회로와, 상기 검지 회로에 의해 검지한 전위차를 피드백시켜 그 결과를 기초로 상기 고전압 발생 회로의 출력이 소정의 값을 초과하였을 때에 상기 고전압 발생 회로의 출력 전류를 바이패스시키는 전류 바이패스 회로를 구비하고 있는 것을 제2의 특징으로 한다.

상기 전류 바이패스 회로는 게이트가 상기 정전류원 또는 저항의 일단에 접속되고, 드레인이 상기 고전압 발생 회로의 출력단에 접속된 MOSFET로 구성되고, 상기 고전압 발생 회로의 출력이 소정의 전위에 이르러 상기 정전류원 또는 저항의 전위차가 기준치를 초과하였을 때에 상기 MOSFET가 온(on) 상태로 되고, 상기 고전압 발생 회로의 출력 전류 내에서 소정 값을 초과하는 값을 이 MOSFET에 바이패스시킬 수 있다. 상기 검지 회로는 상기 정전류원 또는 저항을 한 입력으로 하고, 참조 전위를 다른 입력으로 하고, 출력이 상기 MOSFET의 게이트에 접속된 차동 증폭기를 이용할 수 있다. 상기 차동 증폭기는 PMOSFET를 입력으로 하는 1쌍의 CMOSFET로 구성된 전류 미러 회로일 수 있다. 상기 참조 전위는 전원 전압이 입력되는 부하와 그 부하에 직렬 접속된 정전류원 또는 저항으로 구성된 참조 전위 생성 회로로부터 생성될 수 있다. 상기 고전압 발생 회로의 출력단과 상기 MOSFET의 드레인 간에는 디프레션형 MOSFET를 삽입시킬 수 있다.

전위 제한 수단의 출력 전압을 검지하고, 그 정보를 바이패스 수단에 피드백 시킴으로써 전위 제한 수단의 출력 전류 기준치를 초과하는 값을 바이패스 수단을 통하여 외부로 흘린다. 또한, 리미터 회로에 직렬 접속된 정전류원 또는 저항 양단의 전위차를 검지하고, 그 일단의 전압이 정전류원 또는 저항의 소정 설정 전류치 I_{cs}를 초과하면, 고전압 발생 회로의 출력 전류 I_{pp} 내의 설정 전류치를 초과하는 값은 전류 바이패스 회로를 통하여 접지 전위로 흐르기 때문에 리미터 회로의 다이오드 전압을 소정의 값으로 고정할 수 있다.

이하, 본 발명의 실시예를 도면을 참조하여 설명한다.

우선, 제1도의 고전압 발생 장치를 도시한 블록도를 참조하여 제1실시예를 설명한다. 반도체 기판(1)에 형성되는 고전압 발생 장치는 고전압 발생 수단, 전위 제한 수단, 전압 검지 수단 및 바이패스 수단으로 이루어지는 시스템으로 형성된다. 예를 들면, 외부에서 5V의 전원 전압 Vcc를 고전압 발생 수단(10)에 입력하여 전압 Vpp를 출력한다. 이 출력 전압 Vpp를 전위 제한 수단(20)에 입력하여, 반도체 기판 내에서 이용되는 고전압 Vout를 출력한다. 전위 제한 수단(20)의 출력은 전압 검지 수단(40)에 의해 검지되고 그 값이 바이패스 수단(50)에 피드백 된다. 그리고, 그 결과에 의해 출력 전류 I_{pp}의 기준치를 초과하는 변동분은 바이패스 수단(50)으로부터 외부로 배출되기 때문에 이 전위 제한 수단(20)의 출력은 종래보다 전위 변동의 영향이 적고 안정되어 있다.

다음에, 제2도를 참조하여 제2실시예를 설명한다. 도면은 안정화된 리미터 회로를 구비한 고전압 발생 장치를 도시한 회로도이다. 예를 들면, 전기적으로 기입 가능한 일괄 소거형 불휘발성 메모리는 고전압 발생 회로를 구비하고 있다. 불휘발성 메모리는 그 셀의 소거/기입에 약 20V 정도의 고전압이 필요하지만, 소거/기입 동작시에 흐르는 F-N 전류는 대단히 적기 때문에 이 고전압원의 전류 용량은 작다. 따라서, EEPROM에서는 5V에서 20V를 만드는 이 고전압 발생 회로를 내장할 수 있기 때문에, 메모리가 형성되어 있는 반도체 기판의 밖에서 보면 EEPROM은, 소거나 기입이, 반도체 기판에 형성된 직접 회로 내에서, 단일의 5V로 구성할 수도 있다. 이 고전압 발생 회로(1)은 차지 펌프 회로로 이루어지고, 이 구조는 제7도에 도시한 종래의 것과 같다. 차지 펌프 회로(1)는 드레인과 게이트를 접속한 MOS 트랜지스터를 N + 1단 직렬 접속하여 이루어지고, MOS 트랜지스터의 소스는 콘덴서 C의 노드 전극에 접속된다. 그리고, MOS 트랜지스터의 게이트에는 구동전압이 인가되는 콘덴서 C의 전극에 접속된다.

예를 들면, 이 차지 펌프는 링크 오실레이터에 의해 발진 주기를 제어할 수 있는 구동 전압 Φ1, Φ2로 구동된다. 즉, 이 고전압 발생 회로는 2상 클럭 Φ1 및 Φ2에 의해 Vcc(5V)로부터 전하가 전송되어, 고전압 Vpp(~20V)를 발생시킨다. 제2도에서는 이 고전압 발생 회로(1)의 출력인 Vpp를 안정시키기 위하여, 리미터 회로(2)를 고전압 발생 회로(1)의 출력단에 접속한다. 리미터 회로(2)는 1개 또는 그 이상의 제너

다이오드가 직렬 접속되어 구성된다. 리미터 회로는 이 구성물에 한정되지 않는다. 다이오드나 제너 다이오드 외에 MOS 트랜지스터나 이들을 조합한 회로로 이루어지는 리미터로서 일반적으로 알려져 있는 것을 이용한다. 이 외에 순방향 다이오드를 온도 보상하는 것 등이 알려져 있다. 리미터 회로(2)에는 직렬로 정전류원(4)이 접속되어 있다. 정전류원(4)에는 디프레션형 MOSFET를 이용한다. 고전압 발생 회로(1)의 출력단에는 리미터 회로(2)에 병렬로 전류 바이패스 회로(5)가 접속된다. 전류 바이패스 회로(5)는 NMOSFET로 이루어지고, 이 MOSFET(5)의 드레인에 과도 전압이 인가되는 것을 방지하기 위해 상기 출력단과 MOSFET(5)와의 사이에 디프레션형 MOSFET(6)를 삽입한다.

MOSFET(5)의 게이트는 리미터 회로(2)와 정전류원(4)와의 사이에 접속되고, 정전류원(4)의 일단의 전압(7)을 검지할 수 있게 되어 있다. 여기에서, 정전류원(4)의 설정 전류치 Ics를 설정한다. 고전압 발생 회로(1)의 출력 전류 Ipp가 이 설정 전류치 Ics보다 작으면, 정전류원(4)의 전압(7)은 전류 바이패스 회로의 NMOSFET(5)의 임계치 전압(Vth) 보다 충분히 낮아지기 때문에 이 전압(7)에 의해 NMOSFET(5)는 온(ON)되지 않는다. 그러나, 이 출력 전류 Ipp가 상기 설정 전류치 Ics보다 커지면, 정전류원(4)의 일단의 전압(7)은 급격히 상승하고, 그 결과 NMOSFET는 온(ON)된다. 따라서, 이 출력 전류 Ipp의 상기 설정 전류치 Ics를 초과하는 값은 전부 디프레션형 MOSFET(6)과 NMOSFET(5)를 통하여 접지 전위로 흐른다. 이 때문에 리미터 회로의 제너 다이오드(2)를 흐르는 전류는 항상 제11도(b)에 도시한 일정 전류 Ics로 바이어스 되고, 그 전압은 항상 VL로 고정된다. 또한, 설정 전류치 Ics를 충분히 낮은 값으로 억제하면, 저항의 효과는 볼 수 없고, 제조공정 상의 편차에 의한 영향도 낮게 억제할 수 있다. 여기에서 이용한 고전압 발생 회로(1)가 제1도의 고전압 발생 수단(20)에 상당하고, 리미터 회로(2)가 전위 제한 수단(20)에 상당한다.

정전류원(4) 및 정전류원(4)의 일단의 전압(7)을 검지하는 게이트를 갖춘 MOSFET(5)가 전압 검지 수단(40)을 구성하고, 상기 MOSFET(5) 자체가 바이패스 수단(50)을 구성하고 있다. 상술한 디프레션형 MOSFET(6)은 전류 바이패스 회로에 필수적인 구성 요소는 아니지만, 전류 바이패스 회로의 NMOSFET(5)의 드레인에 과도한 전압이 인가되는 것을 방지하기 때문에 이 회로에 조립하는 것은 유리하다. 이 실시예는 각 회로의 구성 소자를 적게 하는 이점은 있지만, 정전류원(4)에 걸리는 전압(7)의 변화에 대한 디프레션형 MOSFET(6) 및 NMOSFET(5)를 흐르는 전류 ID의 응답이 제곱 특성이 되기 때문에 고전압 발생 회로(1)의 출력 전압 Vpp의 Vcc 의존성이 모두 없어지는 것은 아니다.

다음에, 제3도를 참조하여 제3실시예를 설명한다. 이 실시예의 각 회로의 구성 소자의 수는 증가하지만, 고전압 발생 회로(1)의 출력 전압 Vpp의 Vcc 의존성이 개량되는 것에 특징이 있다. 리미터 회로와 정전류원은 제2도와 같은 구성이다. 즉, 리미터 회로(2)는 1개 또는 복수의 제너 다이오드를 복수 개 직렬 접속하여 이루어지고, 고전압 발생 회로(1)의 출력단에 접속된다. 정전류원(4)는 디프레션형 MOSFET로 이루어지고, 리미터 회로(2)와 직렬로 접속된다. 전류 바이패스 회로(5)는 NMOSFET로 이루어지고, 고전압 발생 회로(1)의 출력단에 리미터 회로(2)에 병렬로 접속된다. 전류 바이패스(5)의 MOSFET의 드레인에 과도 전압이 인가되는 것을 방지하기 위하여 상기 출력단과 MOSFET(5)와의 사이에 디프레션형 MOSFET(6)을 삽입한다. 제1실시예에서는, MOSFET(5)의 게이트가 리미터 회로(2)와 정전류원(4)와의 사이에 접속되고, 정전류원(4)의 일단의 전압(7)을 검지할 수 있도록 되어 있지만, 여기에서는, 리미터 회로(2)와 정전류원(4)의 사이 및 NMOSFET(5)의 게이트간에 차동 증폭기(9)가 정전류원(4)의 일단의 전압(7)을 검지하는 전류 검지 회로로서 삽입되어 있다.

이 정전류원(4)의 일단의 전압(7)은 이 차동 증폭기(9)의 플러스 측에 입력되고, 그 마이너스 측에는 참조 전위(3)가 입력된다. 차동 증폭기(9)의 출력은 NMOSFET(5)의 게이트에 입력되어 있다. 참조 전위(3)은 부하(12)와 이 부하에 직렬로 접속된 정전류원(11)으로 구성된 참조 전위 생성 회로(13)로 형성된다. 부하(12)는, 예를 들면 게이트가 접지된 PMOSFET로 이루어지며, PMOSFET(12)의 드레인은 디프레션형 MOSFET(6)의 게이트와 접속되어 있다. 이 참조 전위 생성 회로(13)의 정전류원(11)은 디프레션형 MOSFET로 구성되고, 그 드레인이 차동 증폭기(9)의 마이너스 측에 접속되어 있다. 이 참조 전위 생성 회로(13)에는 외부로부터 전원 전압 Vcc가 인가되어 참조 전위(3)을 생성하고 있다. 고전압 발생 회로(1)에 의해 전원 전압 Vcc로부터 출력 전압 Vpp를 형성하는 경우에서, 출력 전압 Vpp가 원하는 전압까지 승압되지 않아, 그 결과 차동 증폭기(9)의 플러스 측에 입력되는 정전류원(4)의 일단의 전압(7)이, 마이너스 측에 입력되는 참조 전위(3)보다 낮으면, 정전류원(4)의 전압은 NMOSFET(5)의 임계치 전압(Vth)보다 충분히 낮기 때문에, NMOSFET(5)는 온 되지 않는다.

출력 전압 Vpp가 원하는 전압까지 승압되고 차동 증폭기(9)의 플러스 측에 입력되는 정전류원(4)의 일단의 전압(7)이 마이너스 측에 입력되는 참조 전위(3)보다 크고, 전류원(4)을 흐르는 전류가 참조 전위 생성 회로의 정전류원(11) 보다 커진 순간에 NMOSFET(5)는 온(ON)되고, 전류 ID가 흐른다. 이 네가티브 피드백 회로에 의해 리미터 회로(2)의 제너 다이오드는 일정 전류로 바이어스 되고, 그 결과 고전압 발생 회로(1)의 출력 전압 Vpp는 그 출력 전류 Ipp에 의존하지 않고 일정하게 유지된다. 이 차동 증폭기를 이용하는 이 실시예에서는 리미터 회로(2)의 제너 다이오드의 바이어스 전류치는 충분히 낮은 것이 바람직하다. 차동 증폭기에 입력되는 전압은 전원 전압 Vcc 이하의 증폭기의 감도가 좋은 영역에 설정 가능하고, 또한 출력 전압도 NMOSFET(5)의 임계치 전압 Vth 정도이기 때문에 전원 전압 Vcc보다 낮다. 즉, 차동 증폭기의 동작 범위는 전원 전압 Vcc 이하에서 알맞고, 고내압의 전원 시스템으로 회로를 구성할 필요가 없다. 이 때문에 소자의 점유 면적이 적어, 고성능의 소자로 구성하는 것이 가능하다. 게다가, 이 고전압 발생 장치에서의 전압을 검지하는 능력은 제2도의 것보다 우수하고, 검지 결과의 피드백도 빠르다. 또한, 참조 전위 생성 회로(13)은 전원 전압 Vcc를 이용할 수 있기 때문에 구조를 간단하게 할 수 있다.

다음에, 제4도를 참조하여 제4실시예를 설명한다. 제3실시예에서는 정전류원 양단의 전위차를 검지하고, 그 정보를 고전압 발생 회로의 출력 전류를 바이패스 시키는 전류 바이패스 회로에 피드백시키는 것으로서 차동 증폭기를 이용하고 있지만, 이 실시예에서는 이 차동 증폭기의 내부에 간단한 구조를 갖는 전류 미러 회로를 이용하고 있다. 제4도는 그 회로도이다. 이 실시예에서는, CMOS 구조의 전류 미러를 이용하고 있지만, 이것을 2단구성으로 하여 그 감도를 높일 수 있다. 이 외에, 제5도와 같이 제3도의 차동 증폭기를 몇 개인가 조합한 증폭기를 이용하는 것도 가능하다. 여기에 이용한 고전압 발생 회로(1)가 제1도의 고전압 발생 수단(20)에 상당하고, 리미터 회로(2)가 전위 제한 수단(20)에 상당한다. 정전류원(4) 및 이것에 연결되는 차동 증폭기(9)가 전압 검지 수단(40)을 구성하고, 상기 MOSFET(5)가 바이패스 수단(50)을

구성하고 있다.

차동 증폭기는 상술한 바와 같이 전원 전압 Vcc 이하에서 동작하고, 게다가 접지 전위에 가까운 곳에서 동작시킬 필요가 있기 때문에, 이 전류 미러 회로는 도면에서 도시한 바와 같이 입력 부분이 P형 MOSFET로 되어있다.

상술한 실시예에서 정전류원은 디프레션형 NMOSFET로 구성되어 있지만, 인핸스먼트형 NMOSFET를 사용하고, 그 게이트에 중간 전위를 부여하여 5극관 영역에서 동작시키는 구조(제6도)를 이용할 수 있다.

이상, 상기 실시예에서는 정전원으로부터 정(正)의 고전압을 발생시키고 있지만, 이 고전압 발생 장치가 NMOSFET를 이용한 것이기 때문이고, 이 고전압 발생 장치에서 NMOSFET를 PMOSFET로 바꾸고, PMOSFET를 NMOSFET로 바꾸면 부(負)의 고전압을 발생시킬 수 있다.

제8도에 부전위 발생 회로를 이용한 고전압 발생 장치의 실시예를 설명한다. 상기와 같이 여기에서 사용하는 MOSFET는 부전위 발생 회로(1)과 같이 디프레션형에서도 인핸스먼트형에서도 P형을 이용하고 있다. 특히 불휘발성 메모리에서는, 고집적화에 따른 반도체 칩 내에서 정(正)부(負)의 전압을 발생하는 케이스가 증가 한다고 전해지고 있는데, 본 발명의 고전압 발생 장치는 이들의 요구에 충분히 부응할 수 있다.

또한, 이 실시예에서는 정전류원을 이용하여 설명했지만, 이것을 저항으로 치환하는 것도 가능하다. 그러나, 반도체 장치에 있어서 현재는 저항에 반도체 기판의 확산 영역을 사용하고 있다. 이 구조의 저항은 비교적 저항치가 낮기 때문에 소정의 저항치를 얻기에는 큰 면적이 필요하여 반도체 장치의 고집적화, 미세화에 유리하지 않다. 또한 이 저항은 반도체 기판의 일부에 형성되므로 기판 바이어스의 영향을 받는 경우가 많다. 따라서, 예를 들면 저항 재료에 폴리실리콘이나 아몰퍼스 실리콘을 이용하면 면적을 크게 하지 않으면서 기판 바이어스 영향도 없는 저항을 형성할 수 있다.

이상과 같이 본 발명의 고전압 발생 장치로부터 전원 전압에 영향받지 않는 안정한 출력 전압이 얻어짐과 더불어 이 고전압 발생 장치를 반도체 기판에 조립함으로써 소형화되고 동시에 단일 전원으로 동작하는 반도체 장치를 용이하게 얻을 수 있게 된다. 또한, 본원 청구 범위의 각 구성 요건에 병기한 도면 참조부호는 본원 발명의 이해를 용이하게 하기 위한 것이고, 본원 발명의 기술적 범위를 도면에 도시한 실시예에 한정하는 의도로 병기한 것은 아니다.

리미터 회로 등의 전위 제한 수단의 출력 전압을 검지하고 그 정보를 바이패스 수단에 피드백 시킴으로써 전위 제한 수단의 출력 전류 기준치를 초과하는 값을 이 바이패스 수단을 통하여 외부로 흘리기 때문에, 전원 전압 Vcc로부터 이것에 의존하지 않는 안정한 고전압 V_{pp}를 생성시킬 수 있다.

(57) 청구의 범위

청구항 1

전원 전압 Vcc가 입력되는 고전압 발생 회로(1), 일단이 상기 고전압 발생 회로(1)의 출력단에 접속된 리미터 회로(2), 일단이 상기 리미터 회로(2)에 직렬 접속되고 타단이 접지 전위에 접속된 정전류원 또는 저항(4), 상기 정전류원 또는 저항(4)의 양단의 전위차를 검지하는 검지 회로(5, 9), 및 상기 검지 회로(5, 9)에 의해 검지한 전위차를 피드백시키고, 그 결과를 기초로 하여 상기 고전압 발생 회로(1)의 출력이 소정의 값을 초과하였을 때에 상기 고전압 발생 회로(1)의 출력 전류 Ipp를 바이패스시키는 전류 바이패스 회로(5)를 구비하고 있는 것을 특징으로 하는 고전압 발생 장치.

청구항 2

제1항에 있어서, 상기 전류 바이패스 회로(5)는 게이트가 상기 정전류원 또는 저항(4)의 일단에 접속되고, 드레인이 상기 고전압 발생 회로(1)의 출력단에 접속된 MOSFET(5)로 이루어지고, 상기 고전압 발생 회로(1)의 출력이 소정의 전위에 도달하여 상기 정전류원 또는 저항(4)의 전위차가 기준치를 초과하였을 때에 상기 MOSFET(5)가 온(ON) 상태로 되고, 상기 고전압 발생 회로(1)의 출력 전류 Ipp 내에서 소정의 값을 초과한 값을 이 MOSFET(5)에 바이패스시키는 것을 특징으로 하는 고전압 발생 장치.

청구항 3

제2항에 있어서, 상기 검지 회로(5, 9)는 상기 정전류원 또는 저항(4)을 하나의 입력으로 하고, 참조 전위(3)를 다른 입력으로 하며, 출력이 상기 MOSFET(5)의 게이트에 접속된 차동 증폭기(9)로 이루어지는 것을 특징으로 하는 고전압 발생 장치.

청구항 4

제3항에 있어서, 상기 차동 증폭기(9)는 PMOSFET를 입력으로 하는 1쌍의 CMOSFET로 구성된 전류 미러 회로로 이루어지는 것을 특징으로 하는 고전압 발생 장치.

청구항 5

제3항 또는 제4항에 있어서, 상기 참조 전위(3)는 전원 전압 Vcc가 입력되는 부하(12)와 이 부하(12)에 직렬 접속된 정전류원 또는 저항(11)로 구성된 참조 전위 생성 회로(13)에서 생성되는 것을 특징으로 하는 고전압 발생 장치.

청구항 6

제2항 내지 제4항 중 어느 한 항에 있어서, 상기 고전압 발생 회로(1)의 출력단과 상기 MOSFET(5)의 드레인 간에는 디프레션형 MOSFET(6)이 삽입되어 있는 것을 특징으로 하는 고전압 발생 장치.

청구항 7

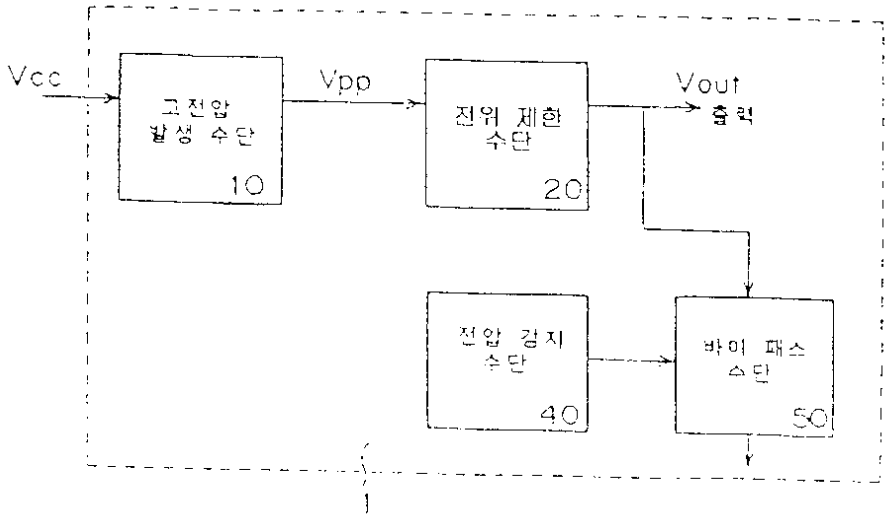
고전압 발생 장치에 있어서, 공급 전압을 승압시키는 승압 회로, 상기 승압 회로의 출력 전압을 제한하기 위해 상기 승압 회로의 출력 단자에 접속되고, 제한 수단, 및 상기 제한 수단과 제2 공급 전압간에 접속되며 정전류원을 갖는 부하 회로를 포함하는 리미터 회로, 및 상기 제한 수단과 상기 부하 회로간의 전위차에 응답하여 상기 승압 회로의 출력 전류를 상기 제2 공급 전압에 바이패스시키는 바이패스 회로를 포함하는 고전압 발생 장치.

청구항 8

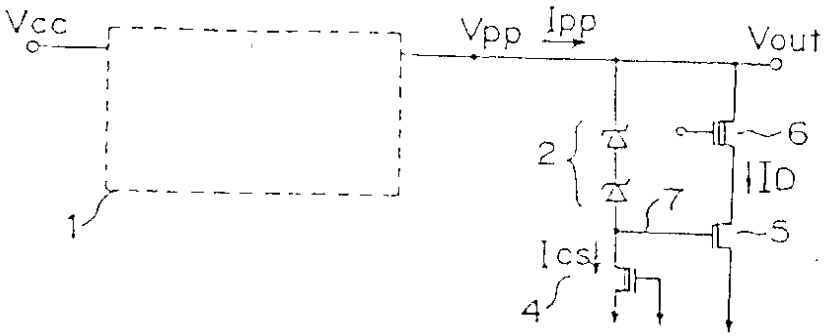
고전압 발생 회로에 있어서, 공급 전압을 승압시키는 승압 회로, 상기 승압 회로의 출력 전압을 제한하며, 내부 전위차를 제공하는 리미터 회로, 및 상기 리미터 회로의 내부 전위차에 응답하여 상기 승압 회로의 출력 전류의 전류 성분을 바이패스시키는 바이패스 회로를 포함하며, 상기 바이패스 회로는 자신의 제어 단자에서 수신된 상기 내부 전위차에 응답하여 온되는 스위칭 회로를 포함하는 고전압 발생 회로.

도면

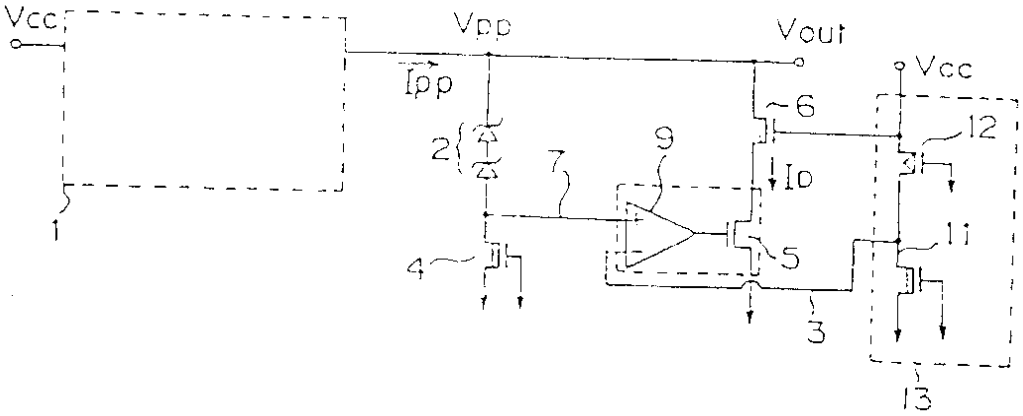
도면1



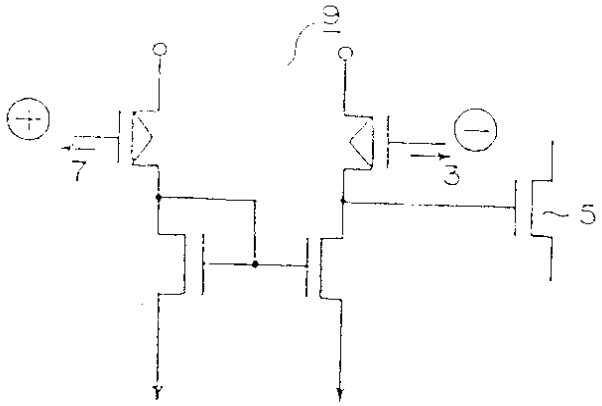
도면2



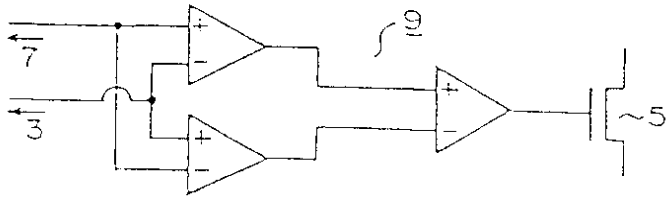
도면3



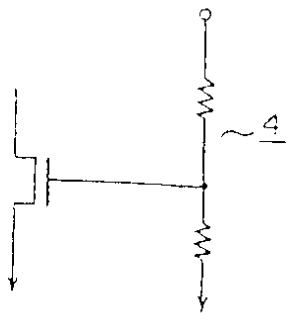
도면4



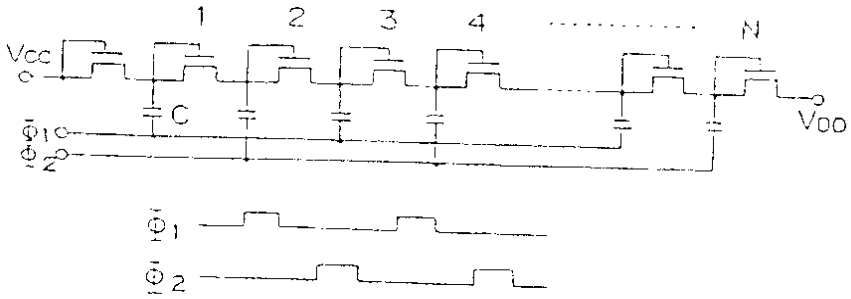
도면5



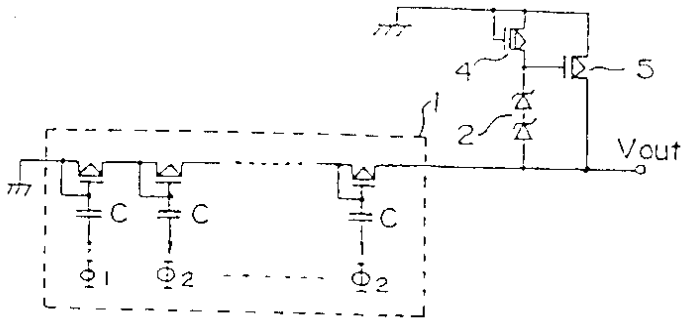
도면6



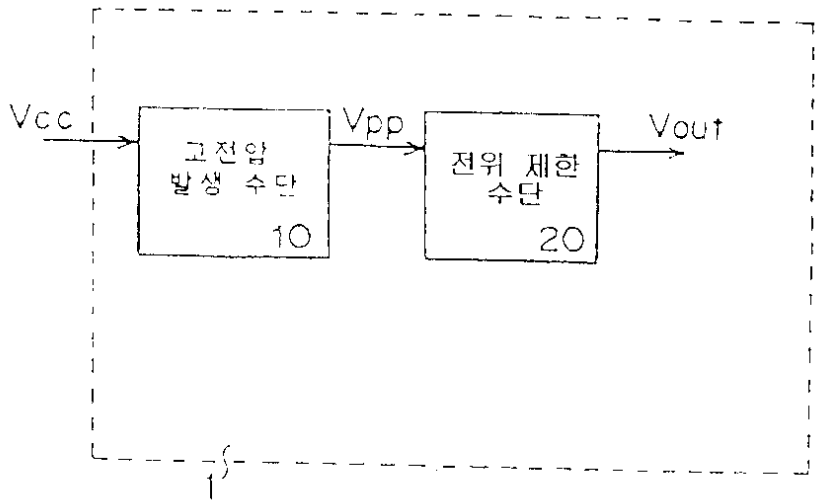
도면7


1
2
3
4
N
Vcc
C
Voo
Φ1
Φ2
Φ1
Φ2

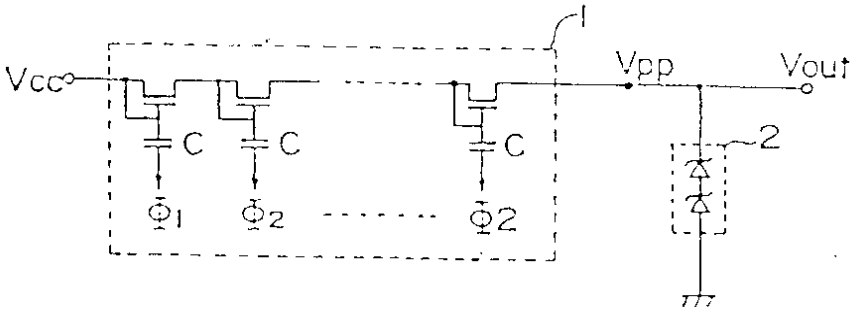
도면8


4
5
2
Vout
C
C
C
Φ1
Φ2
Φ2

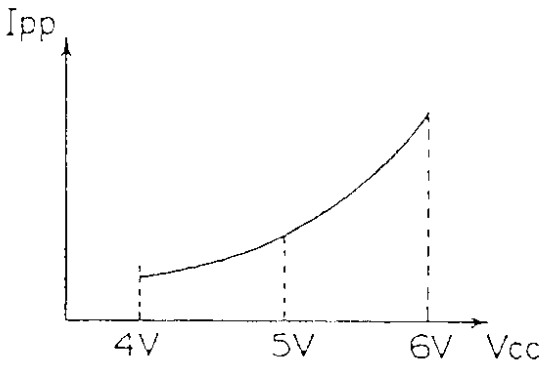
도면9


Vcc
고전압
발생 수단
10
Vpp
전위 제한
수단
20
Vout
1

도면10



도면11a



도면11b

