



(12) 发明专利

(10) 授权公告号 CN 102696196 B

(45) 授权公告日 2015.04.01

(21) 申请号 201080058942.5

H04L 7/00(2006.01)

(22) 申请日 2010.12.21

(56) 对比文件

(30) 优先权数据

2009-295616 2009.12.25 JP

CN 1851821 A, 2006.10.25,

US 2002/0122436 A1, 2002.09.05,

CN 1601432 A, 2005.03.30,

(85) PCT国际申请进入国家阶段日

2012.06.25

审查员 高菲

(86) PCT国际申请的申请数据

PCT/JP2010/007404 2010.12.21

(87) PCT国际申请的公布数据

W02011/077706 EN 2011.06.30

(73) 专利权人 佳能株式会社

地址 日本东京

(72) 发明人 桃井昭好 森下浩一

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 陈华成

(51) Int. Cl.

H04L 7/02(2006.01)

G06F 13/42(2006.01)

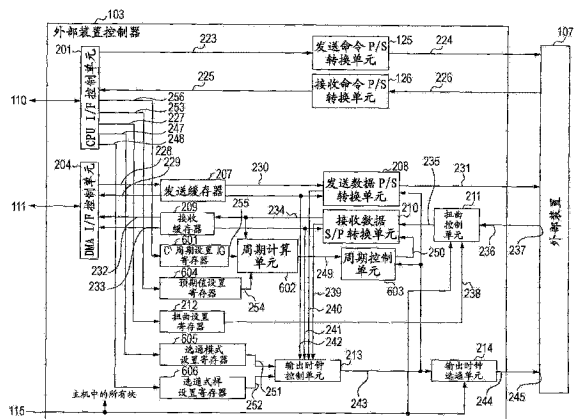
权利要求书2页 说明书17页 附图24页

(54) 发明名称

信息处理设备或信息处理方法

(57) 摘要

如果外部装置控制器从外部装置接收的数据相对于外部装置控制器的输出时钟延迟一个周期或更多,利用现有配置可能未必检测到延迟。在调整外部装置控制器的数据锁存时刻时,根据预定选通信息进行外部装置控制器的输出时钟的选通或释放选通,从而改善用于调整数据锁存时刻的校准的精确度。



1. 一种信息处理设备,包括:  
供应单元,配置成向外部装置供应时钟;  
指令单元,配置成指示所述外部装置输出预定式样的数据;  
接收单元,配置成接收与所述时钟同步地从所述外部装置输出的数据;以及  
控制单元,配置成在接收根据来自所述指令单元的指令从所述外部装置输出的预定式样的数据期间,中止所述供应单元的时钟供应。
2. 根据权利要求1所述的信息处理设备,还包括保持单元,配置成保持所述接收单元接收的数据和发出所述保持单元不能够保持数据的通知,  
其中所述控制单元包括  
第一控制单元,配置成使所述供应单元响应于来自所述保持单元的所述通知停止时钟的供应,  
第二控制单元,配置成使所述供应单元根据选通信息停止时钟的供应,所述选通信息表示要在哪个时刻停止时钟的供应,以及  
选择单元,配置成使所述第一控制单元和所述第二控制单元之一选择性地起作用,并在所述接收单元的数据锁存时刻被调整时,使所述第二控制单元在所述接收单元接收数据期间起作用。
3. 根据权利要求2所述的信息处理设备,还包括:  
存储单元,配置成保持要由所述接收单元锁存的式样作为预期值;以及  
比较单元,配置成比较在所述选择单元使所述第二控制单元起作用时所述接收单元接收的式样与所述存储单元中保持的所述预期值。
4. 根据权利要求2所述的信息处理设备,还包括:  
计算单元,配置成从所述式样计算测试信号,  
存储单元,配置成存储测试信号作为预期值,所述测试信号能由所述计算单元从要由所述接收单元锁存的式样计算,且  
比较单元,配置成比较所述计算单元从所述接收单元接收的校准式样计算的测试信号和所述存储单元中存储的预期值。
5. 根据权利要求3或4所述的信息处理设备,其中所述式样包括多个比特串,且其中所述多个比特串中的预定数量的连续比特串值中的每个都与相邻的值不同。
6. 根据权利要求5所述的信息处理设备,其中所述预定数量大于或等于与所述信息处理设备和所述外部装置之间能发生的延迟量对应的周期数。
7. 根据权利要求3所述的信息处理设备,其中所述比较单元确定所述接收单元接收的式样与所述预期值匹配,并确定所述接收单元的数据锁存时刻的调整已经完成。
8. 根据权利要求2所述的信息处理设备,其中所述第一控制单元和所述第二控制单元中的每个都利用控制信号控制所述供应单元的时钟供应。
9. 根据权利要求3所述的信息处理设备,其中在所述保持单元能够保持的数据的量大于或等于从所述外部装置输出的式样的数据的量时,在所述式样写入在所述保持单元中之后,所述比较单元比较所述保持单元中保持的式样与所述预期值。
10. 根据权利要求3所述的信息处理设备,其中在所述保持单元能够保持的数据的条数小于从所述外部装置输出的式样的数量的情况下,在与所述保持单元接收条数小于从所

述外部装置输出的式样的数量的数据的周期对应的每个预定周期,所述比较单元比较所述保持单元中保持的式样与所述预期值。

11. 根据权利要求 2 所述的信息处理设备,其中所述接收单元在开始接收从所述外部装置输出的数据时输出状态信号,且

其中所述选择单元基于所述状态信号检测所述接收单元当前是否正在接收数据。

12. 根据权利要求 2 所述的信息处理设备,其中所述第二控制单元控制所述供应单元以周期性地停止时钟的供应。

13. 根据权利要求 2 所述的信息处理设备,还包括识别单元,配置成确定与所述外部装置通信的类型,

其中在能确定所述外部装置是预定类型时,所述选择单元在所述接收单元的数据锁存时刻被调整时使所述第二控制单元起作用。

14. 根据权利要求 2 所述的信息处理设备,还包括识别单元,配置成确定与所述外部装置通信的类型,

其中在能确定所述外部装置不是预定类型时,所述选择单元在所述接收单元的数据锁存时刻被调整时使所述第一控制单元起作用。

15. 根据权利要求 2 所述的信息处理设备,其中所述保持单元包括先进先出缓存器,且其中所述通知基于表示所述先进先出缓存器的剩余容量信息的信号。

16. 根据权利要求 2 所述的信息处理设备,其中所述选通信息表示所述第二控制单元使时钟供应开始停止的时刻、取消时钟供应中止的时刻以及时钟供应停止的时段中的至少一个。

17. 根据权利要求 2 所述的信息处理设备,其中所述第二控制单元使所述时钟供应在所述接收单元已经接收的校准式样的值改变的时刻中的至少一个时刻开始停止。

18. 根据权利要求 2 所述的信息处理设备,其中所述第二控制单元在所述接收单元已经接收的校准式样的值改变的时刻中的至少一个时刻取消时钟供应的中止。

19. 一种信息处理方法,包括:

供应步骤,向外部装置供应时钟;

指示步骤,指示所述外部装置输出预定式样的数据;

接收步骤,接收与所述时钟同步地从所述外部装置输出的数据;以及

控制步骤,在接收根据所述指示步骤中的指令从所述外部装置输出的预定式样的数据期间中止所述供应步骤中的时钟供应。

## 信息处理设备或信息处理方法

### 技术领域

[0001] 本发明涉及信息处理设备或信息处理方法,其中诸如外部装置控制器的信息处理设备向外部装置供应时钟,并在其中锁存与时钟同步地从外部装置输出的外部设备数据。

### 背景技术

[0002] 如 PTL 1 公开的那样,有一种用于包括外部装置控制器的信息处理设备的技术,其中当外部装置连接到信息处理设备以便能够与其通信时,从信息处理设备的外部装置控制器向外部装置供应操作时钟。这里,通常,设置外部装置以与从外部装置控制器供应的时钟同步地输出数据,并且外部装置控制器配置成在其中锁存从外部装置输出的数据。

[0003] 利用以上方法,外部装置控制器暂时停止向外部装置的时钟供应(对应于时钟选通),从而允许暂时停止从外部装置向外部装置控制器供应数据。例如,在数据累积到外部装置控制器中的接收缓冲器的允许容量时,外部装置控制器能够停止供应时钟以停止供应数据,从而即使在缓冲器容量小时,也可以根据需要防止缓冲器的溢出。

[0004] 这里,如果外部装置控制器从外部装置接收的数据相对于外部装置控制器的输出时钟延迟一个周期或更多周期,则可能难以利用 PTL1 公开的配置检测延迟存在与否。

[0005] 引用列表

[0006] 专利文献

[0007] PTL 1:日本专利特开 No. 59-173839

### 发明内容

[0008] 因此,本发明提供一种信息处理设备或信息处理方法,其检测延迟的存在与否,即使相对于外部装置控制器的输出时钟发生一个周期或更多周期的延迟。

[0009] 在本发明的一方面中,一种信息处理设备包括:供应单元,配置成向外部装置供应时钟;指令单元,配置成指示所述外部装置输出预定式样的数据;接收单元,配置成接收与所述时钟同步地从所述外部装置输出的数据;以及控制单元,配置成在接收根据来自所述指令单元的指令从所述外部装置输出的预定式样的数据期间,中止所述供应单元的时钟供应。

### 附图说明

[0010] 图 1 是本发明示范性实施例中的外部装置控制器的配置图。

[0011] 图 2A 是扭曲控制单元的配置图。

[0012] 图 2B 是扭曲控制单元的时序图。

[0013] 图 3A 是周期控制单元的配置图。

[0014] 图 3B 是周期控制单元的时序图。

[0015] 图 4A 是校准过程的流程图。

[0016] 图 4B 是输出时钟控制单元的配置图。

- [0017] 图 5 是接收校准式样期间基于选通式样的输出时钟选通的时序图。
- [0018] 图 6 是示出周期指数与接收到的校准式样之间的相关性的时序图。
- [0019] 图 7 是示出周期指数与接收到的校准式样之间的相关性的时序图。
- [0020] 图 8 是示出选通周期数与接收到的校准式样之间的相关性的时序图。
- [0021] 图 9 是示出选通周期数与接收到的校准式样之间的相关性的时序图。
- [0022] 图 10 是示出选通周期数与接收到的校准式样之间的相关性的时序图。
- [0023] 图 11 是示出选通操作之间的周期数与接收到的校准式样之间的相关性的时序图。
- [0024] 图 12 是示出选通操作之间的周期数与接收到的校准式样之间的相关性的时序图。
- [0025] 图 13 是示出选通操作之间的周期数与接收到的校准式样之间的相关性的时序图。
- [0026] 图 14 是示出选通操作之间的周期数与接收到的校准式样之间的相关性的时序图。
- [0027] 图 15 是示出选通开始位置、选通结束位置与接收到的校准式样之间的相关性的时序图。
- [0028] 图 16 是示出选通开始位置、选通结束位置与接收到的校准式样之间的相关性的时序图。
- [0029] 图 17 是示出选通开始位置、选通结束位置与接收到的校准式样之间的相关性的时序图。
- [0030] 图 18 是使用正确周期设置时外部装置控制器和外部装置所处理的信号的时序图。
- [0031] 图 19 是包括外部装置控制器的系统配置的示意图。
- [0032] 图 20 是示出实际接收的校准式样和与实际周期数的差异之间的关系的范例的表格。
- [0033] 图 21A 示出外部装置控制器的配置。
- [0034] 图 21B 是示出命令或数据的格式的时序图。
- [0035] 图 22 是校准过程的流程图。
- [0036] 图 23 是校准过程的时序图。
- [0037] 图 24 是外部装置控制器处理的信号的时序图。

### 具体实施方式

[0038] 下面将参考附图描述本发明的示范性实施例。首先,下面将描述解决在外部装置控制器从外部装置接收的数据相对于外部装置控制器的输出时钟延迟一个周期或更多周期时可能导致的问题的示范性实施例。

[0039] 图 19 是包括与外部装置 107 通信的信息处理设备的系统的方框图。特定用途集成电路(ASIC) 100 是具有与外部装置 107 通信的功能的大规模集成(LSI)电路,包括中央处理单元(CPU) 101、动态随机存取存储器(DRAM)控制器 104、直接存储器存取(DMA)控制器 102、外部装置控制器 103 和时钟发生器 105。此外,充当振荡单元的时钟发生器 105 产

生并供应由 CPU 101、DMA 控制器 102、外部装置控制器 103 和 DRAM 控制器 104 使用的时钟 (cpu\_clock 113、dmac\_clock 114、host\_clock 115、dram\_clock 116)。CPU 101 经由 CPU 接口(I/F) 110 执行到外部装置控制器 103、DMA 控制器 102 和 DRAM 控制器 104 的寄存器访问。DMA 控制器 102 经由 CPU I/F110 执行来往于 DRAM 控制器 104 的数据传输。DRAM 控制器 104 经由 DRAM I/F 117 执行来往于 DRAM 106 的数据传输。外部装置控制器 103 经由 DMA I/F 111 执行来往于 DMA 控制器 102 的数据传输。此外,外部装置控制器 103 经由外部装置 I/F 112 执行来往于外部装置 107 的数据传输。

[0040] 接下来将描述外部装置控制器。图 1 示出本发明示范性实施例中的外部装置控制器 103 的配置。

[0041] 外部装置控制器 103 从时钟发生器 105 接收主机时钟 115(host\_clk)。主机时钟 115 连接到外部装置控制器 103 中的每个块(block),外部装置控制器 103 的每个块与主机时钟 115 同步地操作。

[0042] 在接收来自 CPU 101 的、要发送到卡的数据或命令以及寄存器访问的同时,CPU I/F 控制单元 201 向 CPU 101 发送从卡接收的命令或数据。DMA I/F 控制单元 204 从 DMA 控制器 102 接受要发送到外部装置 107 的数据,且还向 DMA 控制器 102 发送从外部装置 107 接收的数据。

[0043] 外部装置控制器 103 经由发送命令并行到串行转换单元(以下称为“发送命令 PS 转换单元”)125 和接收命令串行到并行转换单元(以下称为“接收命令 SP 转换单元”)126 与外部装置 107 交换命令。首先,CPU I/F 控制单元 201 经由 CPU I/F 110 向发送命令 PS 转换单元 125 发送从 CPU 101 接收的并行格式发送命令 223(s\_cmd\_reg)。发送命令 PS 转换单元 125 将接收到的并行格式发送命令 223 转换成串行格式发送命令 224 (s\_cmd\_data),并向外部装置 107 发送串行格式的发送命令 224。

[0044] 外部装置 107 对接收到的串行格式发送命令 224 进行解码,并检测发送命令。此外,外部装置 107 向外部装置控制器 103 发送表示发送命令检测结果的检测信息作为串行格式的接收命令 226 (r\_cmd\_data)。

[0045] 接收命令 SP 转换单元 126 接收从外部装置 107 输出的串行格式的接收命令 226,将串行格式的接收命令 226 转换成并行格式的接收命令 225 (r\_cmd\_reg),并经由 CPU I/F 控制单元 201 和 CPU I/F 110 向 CPU 101 发送并行格式的接收命令 225。

[0046] 此外,外部装置控制器 103 经由发送缓存器 207、发送数据并行到串行转换单元 208、扭曲控制单元 211、接收数据串行到并行转换单元(以下称为“接收数据 SP 转换单元”)210 和接收缓存器 209 与外部装置 107 交换数据。外部装置控制器 103 还包括输出时钟控制单元 213 和输出时钟选通单元 214,以便解除输出时钟 244 从而停止从外部装置 107 供应数据。外部装置控制器 103 还包括选通模式设置寄存器 605 和选通式样设置寄存器 606,用于进行有效周期调节。

[0047] 外部装置控制器 103 还包括用于扭曲调节(校正)的扭曲控制单元 211 和扭曲设置寄存器 212。这里,术语“扭曲调节(校正)”是指利用一个周期之内的延迟(相对于主机时钟 115)调节(校正)要输入到接收数据 SP 转换单元 210 中的数据或外部装置控制器 103 (即扭曲控制单元 211)的数据锁存时刻。

[0048] 外部装置控制器 103 还包括周期设置寄存器 601、周期计算单元 602、周期控制单

元 603 和预期值设置寄存器 604,用于周期调整(校正)。这里,术语“周期调整(校正)”是指通过逐个周期地延迟接收使能信号 250 (rcv\_en) (相对于主机时钟 115) 来调整(校正)接收数据 SP 转换单元 210 的数据锁存中止时刻和数据锁存继续时刻,接收使能信号 250 是接收数据 SP 转换单元 210 的控制信号。

[0049] 扭曲设置寄存器 212 从 CPU I/F 控制单元 201 接收扭曲设定值 227(skew\_reg)并保持扭曲设定值 227。扭曲控制单元 211 从扭曲设置寄存器 212 接收扭曲选择值 238(skew\_sel),并根据设定值延迟从外部装置 107 接收的串行格式接收数据 236 (d2h\_data) (在下文中有时简称为“接收数据 236”)。

[0050] 周期设置寄存器 601 从 CPU I/F 控制单元 201 接收周期设定值 256 (cycle\_reg)并保持周期设定值 256。预期值设置寄存器 604 从 CPU I/F 控制单元 201 接收预期值设定值 253 (exp\_reg)并保持预期值设定值 253。图 20 中示出预期值设定值 253 的范例。在与实际周期数的差异为 0 时接收的式样匹配真值(从外部装置 107 输出的式样),而外部装置控制器 103 接收的式样根据进行校准时获得的周期设定值与正确周期设定值(对应于如下所述的周期延迟量)之间的差异而变化。周期计算单元 602 从周期设置寄存器 601 接收周期设定值 255 (cycle\_val)并从预期值设置寄存器 604 接收预期值 254 (exp\_pattern),并计算期望的周期设定值。具体而言,将接收的校准式样与预期值进行比较以判断是否发现匹配。确定与发现匹配时获得的预期值对应的周期设定值和正确周期设定值之间的差异。之后,将确定的差异增加到执行校准时获得的周期设定值以计算正确周期设定值。周期控制单元 603 从周期计算单元 602 接收正确周期选择值 249(cycle\_sel)。周期控制单元 603 还从输出时钟控制单元 213 接收输出时钟使能信号 243 (dev\_clk\_en) (时钟控制信号)。

[0051] 数据接收过程

[0052] 接下来,将描述外部装置控制器 103 从外部装置 107 接收数据(外部装置数据)的过程。

[0053] 在外部装置控制器 103 开始接收数据时,首先,外部装置控制器 103 执行上述命令发送/接收过程,以向外部装置 107 发送指示外部装置 107 发送数据的命令。此外,外部装置 107 向外部装置控制器 103 发送对所发送的命令的响应作为接收命令,并进一步发送数据。

[0054] 如下执行数据的接收。首先,由扭曲控制单元 211 接收从外部装置 107 发送的串行格式接收数据 236 (d2h\_data)。

[0055] 扭曲控制单元 211 执行串行格式的接收数据 236 和外部装置控制器 103 的时钟 115 (host\_clk) 之间的扭曲调节(其细节将在下面描述)。向接收数据 SP 转换单元 210 输入经过扭曲调节的接收数据 235 (d2h\_data\_1d)。

[0056] 接收数据 SP 转换单元 210 配置成能够接收由如下所述的周期控制单元 603 延迟从输出时钟控制单元 213 输出的输出时钟使能信号 243 而获得的接收使能信号 250 (其细节将在下面描述)。如果接收使能信号 250 已经设置为有效,则接收数据 SP 转换单元 210 接收输入的经过扭曲调节的接收数据 235,并将接收数据 235 转换成并行格式的接收数据 234 (r\_data\_buf)。

[0057] 接收数据 SP 转换单元 210 包括 K 级(未示出)移位寄存器(串行输入/并行输出触发器),其被配置成将以串行格式接收的数据发送为 K 比特并行格式数据。因此,如果继续

设置接收使能信号 250 为有效,则接收数据 SP 转换单元 210 每 K 个周期发送并行格式数据一次。这里,接收数据 SP 转换单元 210 在其中锁存来自外部装置 107 的数据(外部装置数据)的时刻可以对应于第一级(0 比特)触发器的锁存时刻(从外部装置 107 一侧观察时)。

[0058] 接收缓存器 209 充当保持单元,配置成能够利用接收缓存器已满信号 241 (r\_buff\_full)通知不能保持比当前其中保持的数据更多的数据。于是,如果接收使能信号 250 已经设置为有效且接收缓存器 209 的接收缓存器已满信号 241 已经被解除有效,则接收数据 SP 转换单元 210 向接收缓存器 209 发送并行格式的接收数据 234。如果接收使能信号 250 未被设置为有效,则接收数据 SP 转换单元 210 停止接收经扭曲调节的接收数据 235。

[0059] 在开始接收数据时,接收数据 SP 转换单元 210 设置接收状态信号 239 (rcv\_status)有效。接收数据 SP 转换单元 210 继续设置接收状态信号 239 有效,直到从外部装置 107 接收到最后一条数据为止,并在检测到经扭曲调节的接收信号 235 的末尾比特时解除接收状态信号 239 的有效。在接收数据 SP 转换单元 210 向接收缓存器 209 发送并行格式的接收数据 234 时,接收缓存器 209 解除接收缓存器为空信号 233 (r\_buff\_emp)的有效。

[0060] 接收缓存器 209 从接收数据 SP 转换单元 210 接收转换成并行格式的接收数据 234 (r\_data\_buff),并保持接收数据 234。这里,在接收缓存器 209 变满时,接收缓存器 209 向输出时钟控制单元 213 和接收数据 SP 转换单元 210 设置接收缓存器已满信号 241 有效。在接收缓存器 209 变空时,接收缓存器 209 向 DMA I/F 控制单元 204 设置接收缓存器为空信号 233 有效。

[0061] 响应于接收缓存器 209 的接收缓存器为空信号 233 的解除有效,DMA I/F 控制单元 204 检测到来自外部装置 107 的接收数据留在接收缓存器 209 中。然后,从接收缓存器 209 接收保持在接收缓存器 209 中的并行格式接收数据 232(r\_data\_dma)并发送到 DMA I/F 111。不过,在接收缓存器 209 变空时,停止数据接收。如果未停止数据接收,则可能发生接收缓存器 209 的缓存数据不足。因此,在接收缓存器 209 的接收缓存器为空信号 233 已经被设置为有效时,DMA I/F 控制单元 204 停止接收并行格式的接收数据 232 并停止向 DMA I/F 111 发送数据。

[0062] 如果接收缓存器 209 的接收缓存器为空信号 233 被解除有效,则 DMA I/F 控制单元 204 继续接收并行格式的接收数据 232,并继续向 DMA I/F 111 发送接收数据。

[0063] 另一方面,如果在接收缓存器 209 处于已满状态时新发生了向接收缓存器 209 中的写入,则发生接收缓存器 209 的缓存溢出,因此停止数据接收。在接收数据 SP 转换单元 210 当前正接收数据时,且在接收缓存器 209 已满时,输出时钟控制单元 213 解除输出时钟使能信号 243 的有效。

[0064] 通过接收状态信号 239 的设置有效来检测接收数据 SP 转换单元 210 中进行中的数据接收。在接收到第一条接收数据时,接收数据 SP 转换单元 210 设置接收状态信号 239 有效,继续设置其有效直到接收到最后一条数据为止,并在接收到最后一条数据时解除其有效。于是,在等候要接收的数据的状态(等候要检测的开始比特的状态)中,输出时钟使能信号 243 未被解除有效。

[0065] 响应于输出时钟 244 (dev\_clk)的解除有效,外部装置 107 停止发送接收数据 237 (d2h\_data')。继续停止数据接收,直到接收缓存器 209 的接收缓存器已满信号 241 (r\_buff\_full)被解除有效。在接收缓存器 209 的接收缓存器已满信号 241 (r\_buff\_full)解

除有效时,接收数据 SP 转换单元 210 继续接收数据。然后,输出时钟选通单元 214 解除输出时钟 244 的选通,外部装置 107 继续发送接收数据 237。

#### [0066] 扭曲校正配置

[0067] 接下来将描述用于扭曲校正的配置的细节。

[0068] 图 2A 是扭曲控制单元 211 的方框图。扭曲控制单元 211 从时钟发生器 105 (图 19)接收主机时钟 115 (host\_clk)。利用延迟元件 216 (第一延迟单元)延迟主机时钟 115,延迟元件 216 的数量为 N1,其输入和输出串联连接。每个延迟元件 216 的输出被输入到延迟选择单元 217,并基于扭曲选择值 238 (skew\_sel) 的值选择用于输出的延迟元件 216。

[0069] 向触发器 218 输入选定的具有延迟的时钟信号 246 (clk\_with\_skew) 作为时钟。从外部装置 107 发送的串行格式接收数据 236 (d2h\_data)被触发器 218 接收,并通过触发器 218 与具有延迟的时钟信号 246 (clk\_with\_skew)同步。从扭曲控制单元 211 向接收数据 SP 转换单元 210 输出同步的串行格式接收数据作为经扭曲调节的串行格式接收数据 235 (d2h\_data\_1d) (以下称为“经扭曲调节的接收数据”235)。

[0070] 扭曲控制单元 211 中的 N1 个延迟元件可导致与(主机时钟 115 的)一个时钟的 N1 分之一(即均分成 N1 份)相等的持续时间的延迟,或稍微更小的延迟。

[0071] 图 2B 示出在将扭曲设定值设置为 0、1 和 2 时扭曲控制单元 211 处理的信号时序图。如果使图 2B 中的信号对应于图 1 和 2A 中的符号,从顶部起依次绘制 host\_clk 115、d2h\_data 236、clk\_with\_skew 246 (skew\_sel 238=0、1、2) 和 d2h\_data\_1d 235 (skew\_sel 238=0、1、2)。

[0072] 在图 2B 的时序图中,当扭曲选择值 238 (skew\_sel) 为 0 和 1 时, d2h\_data 236 在 clk\_with\_skew 246 上升沿是可变的。因此,也使触发器 218 中锁存的数据 d2h\_data\_1d 235 是可变的,正常数据锁存不可实现。在扭曲选择值 238 为 2 时, d2h\_data 236 在 clk\_with\_skew 246 上升沿展现出稳定的输出数据。于是,锁存在触发器 218 中的数据 d2h\_data\_1d 235 也是正常的。利用如下所述的校准序列执行扭曲选择值 238 的调节。

#### [0073] 周期校正配置

[0074] 接下来,将描述用于校正周期延迟的配置细节。

[0075] 图 3A 示出周期控制单元 603 的示意性配置。周期控制单元 603 包括触发器 701 (第二延迟单元),其数量为 N2,每个触发器的输出与下一触发器的输入串联连接。每个触发器 701 将输出时钟使能信号 243 延迟一个时钟。周期控制单元 603 使触发器 701 将输入的输出时钟使能信号 243 延迟由周期设定值 256 指示的周期数。延迟的输出时钟使能信号 243 被输入到接收数据 SP 转换单元 210 作为接收使能信号 250。

[0076] 图 3B 示出周期控制单元 603 处理的各种信号的波形。在对与图 1 中的符号对应的图 3B 中的信号的描述中,从顶部起依次绘制 host\_clk 115、dev\_clk\_en 243 和 rcv\_en 250。周期控制单元 603 根据周期选择值 249 的值 (cycle\_sel = 0、1、2、3) 延迟输入的输出时钟使能信号 243,并输出延迟的输出时钟使能信号 243 作为接收使能信号 250。如果假设周期选择值 249 指示的值为 2,则周期控制单元 603 通过用选择器 702 选择已经通过两个触发器 701 的输出而将输出时钟使能信号 243 延迟两个周期,并输出所得信号作为接收使能信号 250。在图 3A 和 3B 的配置中,由于存在 N2 个触发器 701,所以可以将输出时钟使能信号 243 延迟一个周期的整数倍(最多 N2 个周期)。

[0077] 在本示范性实施例中,接收数据 SP 转换单元 210 基于接收使能信号 250 的解除有效确定数据锁存中止时刻,并在接收使能信号 250 被再次设置为有效时确定数据锁存继续时刻。

[0078] 选通模式设置寄存器 605 从 CPU I/F 控制单元 201 接收选通模式寄存器设定值 247(gate\_reg),并保持选通模式寄存器设定值 247。此外,选通模式设置寄存器 605 向输出时钟控制单元 213 输出接收的选通模式寄存器设定值 247 作为选通模式设定值 251(gate\_mode)。

[0079] 这里,本示范性实施例中的外部装置控制器 103 的选通模式包括两种模式:校准模式和正常数据传输模式。选通式样设置寄存器 606 从 CPU I/F 控制单元 201 接收选通式样寄存器设定值 248 (pattern\_reg),并保持选通式样寄存器设定值 248。此外,选通式样设置寄存器 606 向输出时钟控制单元 213 输出所接收到的选通式样寄存器设定值 248 作为选通式样 252 (gate\_pattern)。

[0080] 选通式样寄存器设定值 248 是用于产生时钟选通式样的信息(选通信息),并指示如何进行时钟选通。(更具体而言,该信息是表示下面在图 5 中描述的 L、N、S 和 E 的信息。)

[0081] 图 4B 示出在本示范性实施例中充当选择单元的输出时钟控制单元 213 的配置。第一时钟控制单元 221 (第一控制单元)接收接收缓存器已满信号 241 和接收状态信号 239,并执行与 PTL 1 中的描述类似的时钟控制。第二时钟控制单元 222 (第二控制单元)基于接收状态信号 239 和选通式样 252 执行如下所述的时钟控制(第一时钟控制模式)。此外,第三时钟控制单元 223 (第三控制单元)进行控制,以产生输出时钟使能信号 243,用于执行控制以输出外部装置控制器 103 的主机时钟 115,而不停止主机时钟 115 的供应(第二时钟控制模式)。

[0082] 首先,接收数据 SP 转换单元 210 向接收状态信号 239 增加表示接收状态(例如到目前为止已接收到接收数据 236 中的多少比特)的信息,并向输出时钟控制单元 213 发送所得的接收状态信号 239。第二时钟控制单元 222 基于增加到接收状态信号 239 的接收信息判断接收数据 SP 转换单元 210 已经收到多少比特。如果选通式样 252 不满足表示进行选通的条件,则产生输出时钟使能信号 243。

[0083] 时钟控制选择单元 220 是选择器,并使第一时钟控制单元 221、第二时钟控制单元 222 和第三时钟控制单元 223 之一根据来自选通模式设置寄存器 605 的选通模式设定值 251 表示的设定值有选择地起作用。

[0084] 命令 / 数据格式

[0085] 这里,将描述用于在外部装置控制器 103 和外部装置 107 之间发送和接收命令和数据的信号的格式。

[0086] 外部装置控制器 103 和外部装置 107 以图 21B 所示的格式相互交换串行格式的命令或串行格式的数据。在以下描述中,假设并行格式命令和并行格式数据都具有类似格式。

[0087] 首先,将参考图 21B 描述发送和接收串行格式发送命令 224 和串行格式接收命令 226 时处理的信号。发送命令 224 包括 1 比特的起始位、N 比特的发送命令、M 比特的循环冗余校验(CRC)和 1 比特的结束位。在检测到接收并行格式发送命令 223 时,首先,发送命令 PS 转换单元 125 发送 1 比特的起始位。接下来,将 N 比特的并行格式发送命令 223 转换成串行格式发送命令 224,并发送串行格式发送命令 224。除了发送串行格式发送命令 224

之外,发送命令 PS 转换单元 125 还计算 CRC。在发送串行格式发送命令 224 之后,发送所计算出的 M 比特 CRC。最后,发送 1 比特结束位,并完成命令的发送。

[0088] 串行格式接收命令 226 还具有图 21B 所示的格式。不过,因为接收命令和发送命令无需彼此匹配,所以接收命令和发送命令可以具有不同的命令长度或 CRC 长度。

[0089] 接收命令 SP 转换单元 126 检测到 1 比特起始位并开始接收命令。随后,N 比特的串行格式接收命令被接收并被转换成并行格式接收命令。接收命令 SP 转换单元 126 除了接收串行格式接收命令之外还计算 CRC。在接收到串行格式接收命令之后,将计算的 CRC 与要传送的 M 比特 CRC (循环冗余校验)比较,并检测 CRC 错误。最后,接收 1 比特结束位,并完成命令的接收。

[0090] 在从发送缓存器 207 接收并行格式发送数据 230 (s\_data\_buf)时,像发送命令 PS 转换单元 125 那样,发送数据 PS 转换单元 208 将并行格式发送数据 230 转换成串行格式发送数据 231 (h2d\_data)并向外部装置 107 发送串行格式发送数据 231。发送数据的长度或 CRC 的长度可以与发送命令中的那些不同。

[0091] 接收数据具有图 21B 所示的格式。不过,接收数据的长度或 CRC 的长度可以与发送命令中的那些不同。

[0092] 在检测到 1 比特起始位时,接收数据 SP 转换单元 210 开始接收数据。然后,接收数据 SP 转换单元 210 以与接收命令 SP 转换单元 126 类似的方式进行处理以将串行格式的经扭曲调节的接收数据 235 转换成并行格式接收数据 234,并向接收缓存器 209 发送并行格式的接收数据 234。发送数据 PS 转换单元 208 和接收数据 SP 转换单元 210 的 CRC 计算过程和比较过程类似于发送命令 PS 转换单元 125 和接收命令 SP 转换单元 126 的过程,因此省略其描述。

[0093] 校准

[0094] 接下来,将描述调节各种参数(扭曲设定值,周期设定值)以使外部装置控制器 103 能够正确地在其中锁存数据的校准过程。

[0095] 首先,将利用图 22 描述具有图 21A 所示的配置的外部装置控制器 103 中的校准流程。

[0096] 首先,在步骤 S101 中,响应于来自 CPU 101 的开始校准的指令,外部装置控制器 103 向外部装置 107 发送令外部装置 107 输出校准式样的发送命令。然后,外部装置 107 响应于用于校准的发送命令向外部装置控制器 103 发送接收命令。此外,外部装置 107 向外部装置控制器 103 发送预定校准式样以替代串行格式接收数据 237。外部装置控制器 103 根据上述数据接收流程接收校准式样。通过 DMA 控制器 102 和 DRAM 控制器 104 向 DRAM 106 中写入接收到的校准式样。

[0097] 在已经向 DRAM 106 中写入所有校准式样之后,在步骤 S102 中,CPU 101 将实际收到的校准式样与作为预期值事先存储在 DRAM106 中的校准式样等进行比较。如果 CPU 101 判定两个校准式样匹配,则可以认为扭曲设置是正确的。于是,完成了校准序列。如果两个校准式样不匹配,则可以认为扭曲设置是错误的。于是,在步骤 S103 中,CPU 101 在外部装置控制器 103 中设置不同的扭曲设定值 227,并再次执行校准序列(S101,S102)。重复执行以上过程,直到校准成功为止。

[0098] 这里,假设在外部装置 107 一侧事先存储校准式样且外部装置 107 在接收到开始

校准的命令时发送所存储的校准式样。

[0099] 这里,将描述完成扭曲调节时在步骤 S101 中处理的信号的波形。图 23 示出在接收数据 236 具有一个周期或更多周期的延迟时校准序列中的波形。这里,接收数据 236 具有一个或更多周期的延迟的情况可以是在外部装置控制器 103 和外部装置 107 之间发生 1/2 周期或更多周期的线延迟(wire delay)的情况。在与图 21A 和 2A 中的符号对应的图 23 中的信号描述中,从顶部起顺序绘制 dev\_clk 244、dev\_clk\_en243、d2h\_data 236、clk\_with\_skew 246、d2h\_data\_ld 235、host\_clk115、r\_data\_buff 234、dev\_clk' 245 和 d2h\_data' 237。在锁存时钟和锁存数据之间存在定时差异,这表明在参考时钟边缘在实际电路中锁存的情况下直到在触发器中锁存数据为止的延迟。该延迟可以在与本发明要解决的问题不直接相关的部分中导致,延迟量小。因此,如果接收数据被延迟一个周期或更多,则该延迟可以被忽略(排除)。此外,在图 23 中,未示出校准的最后一半期间的波形部分。

[0100] 在图 23 的范例中,输入到外部装置 107 的时钟 245 (dev\_clk') 相对于从外部装置控制器 103 输出的输出时钟 244 (dev\_clk) 延迟 1/2 周期。此外,外部装置控制器接收的接收数据 236 (d2h\_data) 相对于从外部装置 107 发送的接收数据 237 (d2h\_data') 延迟 1/2 周期。

[0101] 以上延迟被认为是由于外部装置 107 和外部装置控制器 103 之间的衬底上的往复延迟、外部装置 107 中的输出延迟、外部装置控制器 103 中的延迟等导致的。结果,在图 23 的范例中,外部装置控制器 103 中锁存的接收数据 236,作为响应于外部装置控制器 103 的输出时钟 244 从外部装置 107 输出的数据,包括一个周期的延迟。

[0102] 校准式样的尺寸一般远小于接收缓存器 209 的尺寸。于是,图 21A 所示的配置中的外部装置控制器 103 在校准期间不停止供应输出时钟。即使校准式样的尺寸大于接收缓存器 209 的尺寸,是否停止供应输出时钟可以取决于 DMA 控制器 102 的传送速率等。因此,可以更少可能发生校准期间停止供应输出时钟 244 的情形。

[0103] 参考图 23,由于 r\_data\_buff (0) 234 的内容与输入串行格式接收数据 d2h\_data 236 的内容一致,所以完成了校准过程。不过,如图 24 所示,在实际接收到数据时,可能发生锁存数据失败等。

[0104] 图 24 的时序图示出在如图 23 中那样接收数据 236 具有一个周期延迟的情况下,外部装置控制器 103 实际从外部装置 107 接收数据时的信号波形。由于图 24 所示的信号与图 21A 和 2A 中的那些之间的对应关系类似于图 23 中那样,所以将省略其描述。

[0105] 在图 24 中,在接收串行格式接收数据 236 中的“D0”时,发生接收缓存器 209 的接收缓存器已满信号 241 (图 24 中未示出)被设置为有效的情形。根据接收缓存器已满信号 241 的设置有效,输出时钟控制单元 213 解除输出时钟使能信号 243 (dev\_clk\_en)的有效。响应于输出时钟使能信号 243 的解除有效,输出时钟选通单元 214 对输出时钟 244 进行选通。尽管由输出时钟选通单元 214 对输出时钟 244 进行选通,但从外部装置 107 发送串行格式接收数据“D1”和“D2”。

[0106] 一开始,在从外部装置 107 向外部装置控制器 103 输入数据时,输入到接收缓存器 209 的数据(基于其发出接收缓存器已满信号 241)延迟 1/2 周期。在接收缓存器已满信号 241 被设置有效之后,除了直到输出时钟 244 被选通为止的延迟之外,直到外部装置 107 能够发现输出时钟 244 被选通为止还发生 1/2 周期的延迟。因此,直到外部装置 107 发现外

部装置控制器 103 做出的停止发送数据的请求为止,存在等于以上延迟之和的延迟,因此“D1”和“D2”被发送。

[0107] 响应于输出时钟使能信号 243 的解除有效,接收数据 SP 转换单元 210 立即停止接收串行格式接收数据 236。于是,接收数据 SP 转换单元 210 不再能够接收串行格式的接收数据“D1”。如图 24 所示,接收数据 SP 转换单元 210 接收并发送到接收缓存器 209 的并行格式接收数据 234 不包括“D1”。

[0108] 此外,在接收缓存器 209 的接收缓存器已满信号 241 被解除有效之后,输出时钟使能信号 243 被设置为有效且输出时钟 244 的选通被解除。由于基于下降沿进行选通,所以在解除选通之后 1/2 周期,输出时钟 244 上升。不过,尽管已经解除了输出时钟 244 的选通,但是由于外部装置 107 和外部装置控制器 103 之间的延迟,所以继续从外部装置 107 发送串行格式接收数据“D2”。

[0109] 同时,响应于输出时钟使能信号 243 的设置有效,接收数据 SP 转换单元 210 立即继续接收串行格式接收数据。这导致接收数据 SP 转换单元 210 接收串行格式接收数据“D2”两次。从并行格式接收数据 234 可以看出,D2 已经被接收两次。

[0110] 通过这种方式,如果在外部装置控制器 103 和外部装置 107 之间有一个周期或更多的往复延迟,则图 21A 所示的配置可以允许完成校准(图 23),但可能导致实际接收数据的失败(图 24)。

[0111] 从以上可以看出,图 21A 所示的外部装置控制器 103 可能无法检测校准序列中接收数据 236 中可能发生的一个周期或更多延迟是否存在。

[0112] 图 24 中的时标是基于如下假设:为了便于描述,从接收缓存器已满信号 241 设置有效到接收缓存器已满信号 241 被解除有效时的时间极短,且接收缓存器 209 极小,以易于描述。

[0113] 接下来,将参考图 4A 描述本示范性实施例的校准流程。在本示范性实施例的校准流程中,首先,在使第三时钟控制单元 223 工作时执行扭曲调节,然后在使第二时钟控制单元 222 工作时执行周期调节。如果已知校准式样的尺寸充分小于接收缓存器 209 的尺寸且已知在接收校准式样期间不发生时钟选通,则可以使用第一时钟控制单元 221 代替第三时钟控制单元 223。

[0114] 这里,术语“扭曲调节”意味着利用图 2A 所示的配置校正主机时钟 115 和接收数据 236 之间的相位偏移(相移)的调节。术语“周期调节”意味着利用图 3A 所示的配置校正主机时钟 115 和接收数据 236 之间的周期单位偏移的调节。在以下描述中,将周期偏移(对应于数据锁存时刻的偏移或数据锁存继续时刻的偏移)称为延迟周期数(周期延迟量)。

[0115] 首先,将描述扭曲调节流程。在步骤 S1201 中,CPU 101 将外部装置控制器 103 的时钟选通模式设置为其中不停止时钟供应的校准模式(其中使用第三时钟控制单元 223 的模式)。在步骤 S1202 中,CPU 101 指示外部装置控制器 103 获取校准式样。外部装置控制器 103 执行的校准式样获取过程类似于图 21A 所示的配置执行的过程。在完成校准式样的获取时,在步骤 S1203 中,CPU 101 将实际接收的校准式样与从只读存储器(ROM)或随机存取存储器(RAM)中读取的作为要接收的校准式样的校准式样进行比较。如果比较结果发现匹配,则可以认为扭曲设置是正确的。于是,扭曲调节流程结束。

[0116] 如果比较结果为没有发现匹配,则可以认为扭曲设置是错误的。在这种情况下,

在步骤 S1204 中, CPU 101 改变扭曲设置寄存器 212 的值以改变扭曲设置, 然后前进到步骤 S1202。改变扭曲设置, 重复执行步骤 S1202 和 S1203 的处理, 直到在步骤 S1203 中发现式样匹配为止。

[0117] 接下来, 将描述周期调节流程。在步骤 S1205 中, CPU 101 将外部装置控制器 103 的时钟选通模式设置为其中根据接收状态信号 239 表示的值和选通式样 252 而停止时钟的供应的校准模式(令第二时钟控制单元 222 工作的模式)。此外, CPU 101 设置外部装置控制器 103 中的选通式样寄存器设定值 248。在步骤 S1206 中, CPU 101 指示外部装置控制器 103 获取校准式样。外部装置控制器 103 执行的校准式样获取过程的概况类似于图 21A 所示的配置执行的过程。

[0118] 不过, 本示范性实施例的输出时钟控制单元 213 根据选通式样 252 发出输出时钟使能信号 243。然后, 输出时钟选通单元 214 在接收校准式样期间根据输出时钟使能信号 243 选通输出时钟 244。在周期计算单元 602 完成步骤 S1206 中的校准式样获取时, 该过程前进到步骤 S1207。然后, 在步骤 S1207 中, 周期计算单元 602 比较实际接收的校准式样与 CPU 101 从 DRAM 106 等读取的作为要接收的校准式样且存储在预期值设置寄存器 604 中的预期值。实际接收的校准式样可根据选通式样、校准式样(预期值)以及当前周期设定值与实际延迟周期之间的差异而不同。细节将在下文中描述。

[0119] 图 20 示出将“01010101”用作校准式样的范例。尽管细节将在下文中描述, 但是如果当前周期设定值和实际延迟周期数匹配, 则外部装置控制器 103 能够接收像“01010101”的校准式样。不过, 如果实际延迟周期数比当前校准式样大一个周期, 则接收像“01011101”的校准式样。在这种情况下, 周期计算单元 602 将通过上述过程接收的校准式样与要接收的校准式样(预期值)进行比较, 并检测是否存在延迟。如果存在延迟, 则利用发生延迟时获得的校准式样检测实际延迟周期数(参见图 20)。在 S1208 中, 周期计算单元 602(或 CPU101)将检测到的实际延迟周期数设置为周期设定值, 并完成周期调节流程。在校准序列结束时, 输出时钟控制单元 213 将模式切换到第三时钟控制模式以准备发送和接收数据。

[0120] 如上所述, 如果使校准式样的尺寸小于接收缓存器 209 的尺寸, 则接收缓存器 209 在校准序列期间不会变满。不过, 本示范性实施例的外部装置控制器 103 根据选通式样来选通输出时钟 244, 而与接收缓存器已满信号 241 的设置有效无关。如果周期设置或扭曲设置错误, 则原样获取错误的校准式样(以便允许识别校准尚未成功)。在利用图 4A 所示的流程完成校准之后, 为了将模式切换到使用第一时钟控制单元 221 的模式, CPU 101 进行设置以便令选通模式设置寄存器 605 在时钟控制选择单元 220 中存储“0”, 并准备发送和接收数据。

[0121] 利用以上过程, 即使在接收数据 236 中发生一个时钟周期或更多的延迟, 本示范性实施例中的外部装置控制器 103 也能够检测是否存在延迟。于是, 可以设置用于发送和接收数据的各种参数(扭曲设置, 周期设置), 而不会无法锁存数据。

[0122] 此外, 如图 4A 所示, 在利用扭曲调节但不执行时钟选通而调节周期内的延迟之后, 在基于选通式样进行时钟选通时调节周期内的延迟, 从而允许高效地校准。通过这种方式, 如果扭曲调节和周期调节不是分离的, 则有必要以轮询方式接收和比较校准式样(最多  $N1 \times N2$  次), 直到预期值和接收数据 236 匹配, 校准过程可能需要相当大量的时间。

[0123] 此外, 如果校准式样的尺寸充分小于接收缓存器 209 的尺寸, 则可以在图 4A 的步

骤 S1201 到 S1204 中利用第一时钟控制单元 221 代替第三时钟控制单元 223 来执行扭曲调节。这是因为即使在接收校准式样期间使用第一时钟控制单元 221,也不会发生时钟选通。即使在这种情况下,利用步骤 S1205 到 S1208 的处理,校准也比图 21A 所示的配置中更容易成功。亦即,可以减少执行校准的次数。

[0124] 校准式样和选通式样

[0125] 这里,将描述校准式样和选通式样之间的相关性。在完成校准过程时,假设周期设定值 256 指示的周期数与实际延迟的周期数一致。在图 24 的范例中,由于延迟周期是一个周期,所以要设置的正确周期设定值 256 表示的值为“1”。图 24 所示的波形对应于周期设定值 256 不经历周期调节时的那些波形。

[0126] 适当地设置输出时钟 244 的选通式样和校准式样可以相应地提高校准过程的精确度。例如,在图 24 的范例中,接收数据“D1”不可接收,而接收数据“D2”已被接收两次。通过这种方式,发生数据的替换。于是,如果利用不合意的校准式样(未考虑下述观点的式样)进行与接收数据 236 的比较,可能增加执行校准式样的接收和比较的次数,或者可能增大过程精确度降低的风险。例如,在扭曲调节和周期调节中,需要以轮询方式进行比较(最多  $N_1+N_2$  次),直到预期值和接收数据 236 匹配。

[0127] 在下面,将关于四个观点描述输出时钟 244 的选通式样和校准式样之间的相关性。通过考虑到这些观点使用校准式样,可以减少校准过程中用于比较的时间(最多  $N_1+1$  次)。

[0128] 可以根据校准式样和以下四个观点设置选通式样。利用用于校准的选通式样,如果用于停止接收数据 SP 转换单元 210 的数据锁存控制的控制信号(输出时钟使能信号 243)未延迟一定量的周期延迟,则可能导致冗余接收或无法锁存实际由外部装置控制器 103 接收的数据(接收数据 234)。图 20 示出在设置了期望的选通式样(例如“01010101”)的情况下,接收数据 SP 转换单元 210 接收的式样(接收数据 234)与周期延迟量之间的相关性。

[0129] (1) 实际延迟量和周期设定值之间的差异(在下文中,称为“延迟指数 M”)与接收到的校准式样之间的相关性

[0130] 将描述延迟指数 M 和接收到的校准式样之间的相关性,其中延迟指数  $M = (\text{实际延迟量}) - (\text{周期设定值})$ 。这里,术语“实际延迟量”是在周期设定值为“0”时(对应于已经执行扭曲调节但未执行周期调节的情况)接收数据 236 相对于输出时钟 244 延迟的周期数。

[0131] 图 6 和 7 示出在将接收使能信号 250 的改变时刻固定到无任何延迟的时刻时且在实际延迟量改变时并行格式接收数据 234 的波形。如果使图 6 和 7 中的信号对应于图 1 中的符号,从顶部开始,依次绘制 dev\_clk 244、dev\_clk\_en 243、dh2\_data 236、host\_clk 115、rcv\_en 250 和 r\_data\_buff 234。此外,图 6 和 7 示出了延迟指数 M 为 0、1、2 和 3 时的四组。

[0132] 在图 6 和 7 中,在接收到 D3 时进行输出时钟使能信号 243 的选通,并且输出时钟 244 被解除有效。如图 6 和 7 所示,接收到的校准式样(对应于 dh2\_data 236)根据延迟指数 M 而不同。在延迟指数满足  $M > 1$  时,相对于开始选通时接收的数据(在图 6 和 7 的范例中, D3)从一个周期之后的数据到 M 个周期之后的数据的范围被  $M+1$  个周期之后的数据替代。在  $M=0$  成立时,实际延迟量匹配周期设定值,接收到正确式样。

[0133] (2) 选通量(N)和接收到的式样之间的相关性

[0134] 将描述 N 和接收的校准式样之间的相关性(在已经执行扭曲调节且周期调节不正确的情况下),其中 N 是表示输出时钟 244 的选通持续期间的周期数的选通量(对于 N 的定义,参见图 5)。

[0135] 图 8、9 和 10 分别示出 N 为 3、2 和 1 时的校准期间的波形。参考图 8、9 和 10 中的 r\_data\_buff 234 的波形,可以看出与 N 值无关,M 周期的数据都被替代。不过,该数据由什么数据替代取决于 N 值。例如,如果 N=3,那么用 D4 代替 D1 到 D3,如果 N=2,那么用 D3 代替 D1 且用 D4 代替 D2 和 D3。此外,如果 N=1,那么,分别用 D2、D3 和 D4 代替 D1、D2 和 D3。

[0136] (3) 选通操作之间的周期(L)与接收到的式样之间的相关性

[0137] 将描述在执行多次选通时,L 和接收的校准式样之间的相关性(在已经执行扭曲调节且周期调节不正确的情况下),其中 L 是从一个选通时间到下一选通时间的周期(对于 L 的定义,参见图 5)。图 11、12、13 和 14 分别示出 L 为 1、2、3 和 4 时校准期间的波形。如果 L 大于或等于 M,多个选通操作可以视为独立的选通操作。亦即,对 M 个周期的数据替换发生与执行选通的次数相等的次数。否则,多次选通操作具有相互的相关性,并  $\{M * (\text{执行选通的次数}) - (M - L)\}$  条数据被连续地替代。

[0138] (4) 选通开始位置(S)、选通结束位置(E)和接收到的式样之间的相关性

[0139] 将描述 S、E 和接收的校准式样之间的相关性(在已经执行扭曲调节且周期调节不正确的情况下),其中 S 是选通开始位置,E 是选通结束位置(对于 S 和 E 的定义,参见图 5)。

[0140] 图 15、16 和 17 示出在 S 和开始比特之间的位置关系以及 E 和结束比特之间的位置关系改变时校准期间的波形。图 15 示出当选通开始位置 S 置于开始比特的检测之后且选通结束位置 E 置于结束比特的检测之前时的波形。图 16 示出当选通开始位置 S 置于开始比特的检测之前且选通结束位置 E 置于结束比特的检测之后时的波形。图 17 示出当选通开始位置 S 置于开始比特的检测之后且选通结束位置 E 置于结束比特的检测之后时的波形。

[0141] 如图 16 中所示,在周期性进行时钟选通以便与主机时钟 115 的一个周期同步时,如果不满足  $L > M$  且选通开始位置 S 置于开始比特之前的位置而选通结束位置 E 置于结束比特之后的位置时,该式样不适于校准。这是因为尽管周期调节不正确,但能够正确地接收数据。

[0142] 如果选通开始位置 S 置于开始比特之后或选通结束位置 E 置于结束比特之后,则在周期调节不正确的情况下数据没有被正确地接收。于是,可以看出这种选通式样适于校准。因此,在接收校准式样期间需要布置选通开始位置 S 和选通结束位置 E 中的仅一个,或者需要虑选通操作之间的周期 L。

[0143] 此外,尽管图 15、16 或 17 中未直接示出,但需要设置选通式样,使得选通开始位置 S 或选通结束位置 E 可以置于接收数据 SP 转换单元 210 接收的校准式样的值变化时的时刻(在输入下述预定数量的不同值期间的时段中)。亦即,设置选通式样从而在校准式样的值改变的时点之一输出时钟 244 的供应开始中止或其中止被取消。例如,值改变的时点是“01”(或“10”)的情况,设置选通式样使得选通开始位置 S 置于“01”中的“1”处(或“10”中的“0”处)且选通结束位置 E 置于“01”中的“0”处(或“10”中的“1”处)。

[0144] 如上所述,校准式样和选通式样具有以上相关性(1)到(4)。在图 6 和 7 的范例中,在接收校准式样中的“D3”的周期之后的周期期间执行选通。在该范例的情况下,由于周期

设定值和实际延迟之间的关系，“D4 到 D6”可能被“D5 到 D7”替代。因为该原因，即使校准式样中的“D4 到 D7”的所有值都相同，替换之前的值和替换之后的值也相同，这对于检测延迟(周期延迟)来说不是期望的。在图 6 和 7 的范例中，按照相关性(1)到(4)，校准式样中的“D4 到 D7”可以变为“0101”。

[0145] 以上设置是基于相关性(1)到(4)。要理解，即使“1”和“0”是相反的，也可以设置在这种情况下的对应预期值。

[0146] 此外，图 20 中示出使用以上校准式样(预期值)时与实际周期数的差异和接收的式样(接收数据 236)之间的关系。可以基于表示图 20 所示的延迟量与接收到的式样之间的关系的信息确定与实际周期数的差异。需要设置式样，使得可以根据 M 以 1:1 接收不同校准式样。因此，在使用根据相关性(1)到(4)的选通式样时，如果校准式样具有与较早输入到外部装置控制器 103 的值不同的预定数量的连续值(比特)(例如“1”或“0”)，则可以检测最大到预定数量周期的延迟。期望的是，与较早输入(到接收数据 SP 转换单元 210)的值不同的值(其数量大于或等于能够检测的延迟周期数)是连续的。在如上所述“D4 到 D7”是“0101”的情况下，在“101”部分中，可以确保与先前输入值不同的值是连续的。

[0147] 表示以上关系的延迟信息(例如图 20 所示的查找表格或简单序列)可以事先测试并存储在可以由 CPU 101 参考的 DRAM 106 或任何其他存储装置中，可以在确定周期延迟量时由 CPU 101 参考。

[0148] 接下来，图 18 中示出在利用图 1 的配置使用正确参数(扭曲设定值、周期设定值)操作时接收数据期间外部装置控制器 103 和外部装置 107 处理的信号的行为。类似于图 24 的范例，图 18 的范例示出周期延迟为一个周期时且完成校准并设置与一个周期对应的周期选择值 249(周期设定值 256)时的波形。注意，在接收数据 236 中导致的延迟是一个周期时，正确的周期选择值 249(周期设定值 256)表示的设置为 1。由于周期选择值 249 表示的设置为 1，所以利用周期控制单元 602 使接收使能信号 250 相对于输出时钟使能信号 243 延迟一个周期。

[0149] 在图 18 的范例中，在开始接收串行格式接收数据 236 的“D0”时输出时钟使能信号 243 被解除有效且输出时钟 244 被选通。尽管输出时钟 244 被选通，但是从外部装置 107 发送串行格式接收数据 236 的“D1”和“D2”。在输出时钟使能信号 243 的解除有效开始一个周期之后，接收使能信号 250 也被解除有效。响应于接收使能信号 250 的解除有效，接收数据 SP 转换单元 210 立即停止接收串行格式接收数据。

[0150] 于是，停止接收数据，而已经接收到经扭曲调节的接收数据 235 的“D1”。在观察并行格式接收数据 234 的第一比特数据时可以看出，已经成功接收“D1”，并已经成功调节了接收数据 SP 转换单元 210 的数据锁存中止时刻，以应对周期延迟。

[0151] 此外，在输出时钟使能信号 243 在其被解除有效一个周期之后被再次设置为有效，并响应于设置有效，解除输出时钟 244 的选通。这里，即使在释放输出时钟 244 的选通时，由于上述接收数据 236 中一个周期或更多的延迟，从外部装置 107 继续发送串行格式接收数据 236 的“D2”。

[0152] 基于周期设定值 256 指示的延迟量(一个周期)，在输出时钟使能信号 243 的设置有效一个周期之后接收使能信号 250 也被设置有效。响应于接收使能信号 250 的设置有效，接收数据 SP 转换单元 210 立即继续接收串行格式接收数据。于是，可以正确地接收串行格

式接收数据 236 的“D2”。在观察并行格式接收数据 234 的第一比特数据时可以看出,已经成功地正确接收了“D2”,并已经成功调节了接收数据 SP 转换单元 210 的数据锁存继续时刻,以应对周期延迟。

[0153] 如上所述,本示范性实施例能够抑制设置不正确的校准完成。因此,即使在接收数据 236 具有一个周期或更多延迟时也能够正确地检测接收数据 236。

[0154] 此外,根据本示范性实施例中的周期控制单元 603,一旦设置了正确的周期设定值 256,就可以延迟接收数据 SP 转换单元 210 的数据锁存中止时刻和数据锁存继续时刻,以便对应于外部装置控制器 103 和外部装置 107 之间发生的周期延迟量。这抑制了图 24 所示的数据锁存失败的发生。

[0155] 此外,尽管在前述示范性实施例中,扭曲控制单元 211 和周期控制单元 603 是单独配置的,但可以将扭曲调节和周期调节组合到单个配置中,或者组合到接收数据 SP 转换单元 210 中。此外,在扭曲调节中,通过输入已经校正偏移的时钟来进行调节。不过,可以将用于扭曲调节或周期调节的延迟配置(延迟元件,触发器)直接布置在用于供应数据的系统中,可以利用选择器等选择延迟量。

[0156] 此外,在前述示范性实施例中,未论述执行校准过程的时机。不过,可以利用类似于已知外部装置控制器的时机执行校准,从而实现本发明的效果。例如,可以在 ASIC 100 启动时,在对外部装置控制器 103 进行初始化时,以预定时间间隔(例如,在诸如安全数字扩展容量(SDXC)标准的标准中定义的 208MHz 下的 10msec 间隔),或者以预定数量周期的间隔,或者在 ASIC 100 检测到与外部装置 107 连接时,实施校准。

[0157] 此外,在前述示范性实施例中,已经将周期计算单元 602、周期设置寄存器 601 和预期值设置寄存器 604 描述为硬件,但也可以替代地利用 CPU 101 以软件实现。在这种情况下,CPU 101 从 DRAM 106 等读取并执行用于实现周期计算单元 602 的功能的程序。在 CPU 101 的高速缓存器(或 DRAM 106)中保留与各种寄存器对应的存储区,并在该存储区中存储上述存储于各种寄存器中的值。

[0158] 如果将外部装置 107 配置成可移除地连接到外部装置 I/F 112,则外部装置 107 和外部装置控制器 103 之间的上述线延迟可能具有大的延迟量变化。在实际中,可能包括除了线长度或材料和温度升高之外的各种因素例如接触不良导致的延迟。

[0159] 在上述示范性实施例中,未示出主机时钟 115 运行在哪个频率上作为范例。不过,随着运行频率增大,更加难以利用图 21A 所示的配置检测接收数据 236 中导致的一个周期或更多延迟,更可能发生校准失败。主机时钟 115 的频率据推测可以升高以便更迅速地在外部装置控制器 103 和外部装置 107 之间交换数据。因此,本发明也可以有助于实施高速和高可靠性的数据通信。

[0160] 此外,在前述示范性实施例中,周期计算单元 602 通过比较校准式样(接收数据 234)和预期值进行周期调节。不过,如在扭曲调节中那样,CPU 101 可以读取预期值并执行比较过程。

[0161] 此外,在前述示范性实施例中,接收数据 236 的数据部分(图 21B 中的 D0、D1.....)用于比较。不过,用作计算单元的接收数据 SP 转换单元 210 计算的 CRC 部分(图 21B 中的 CRC0、CRC1.....)可用于比较。在这种情况下,需要针对事先存储的校准式样事先计算和存储在扭曲设置和周期设置正确时接收的 CRC。

[0162] 在图 1 的图示中,外部装置控制器 103 和外部装置 107 利用 1 比特宽度的总线彼此通信。替代地,也可以使用 4 比特宽度的总线、8 比特宽度的总线等,并且可以应用本发明而限于总线宽度。不过,例如,在使用 4 比特宽度(8 比特)总线时,扭曲控制单元 211 可以具有四个触发器 218 和四个延迟选择单元 217,从而可以针对每 1 比特宽度进行扭曲调节。在这种情况下,接收数据 SP 转换单元 210 仅需要合并 4 比特序列,接收数据 SP 转换单元 210、接收缓存器 209 等可能需要用于对 4 比特数据重新排序以匹配要从外部装置 107 输出的数据的配置。

[0163] 此外,在前述示范性实施例中,仅描述了主机时钟 115 具有单个运行频率的范例。不过,可以通过识别外部装置 107 而切换运行频率。例如,可以在时钟发生器 105 和外部装置控制器 103 之间设置用于划分主机时钟频率的分频器电路、乘法器电路等,以切换要输入到外部装置控制器 103 的主机时钟的频率。在这种情况下,除了时钟发生器 105 之外,分频器电路或乘法器电路也用作振荡单元的一部分。

[0164] 在这种情况下,在上述校准不成功时,可以将输入到外部装置 107 的主机时钟 115 降低到较低频率,从而使得与外部装置 107 的通信可以稳定化。校准不成功的情况的范例可以包括上述校准每单位时间发生预定或更多次数的情况,以及校准所需时间需要预定或更多时间的情况(例如,轮询操作所需的次数或更多)。此外,在设计外部装置 I/F 112 的物理连接器形状以配合标准中指定的特定类型的外部装置 107 的情况下,可以使用标准的特定类型中指定的频率作为要在分频电路或乘法器电路中切换的频率(例如,如果在 208MHz 校准不成功,则可以将频率切换到 100MHz)。这确保了在相同类型的外部装置随着版本而具有不同的运行频率时可以保持外部装置控制器 103 的后向兼容性。

[0165] 当在符合 SDXC 标准的外部装置 107 中利用本发明时,可以在发送和接收数据之前识别外部装置 107 的标准(或外部装置 107 和外部装置控制器 103 之间的通信类型)。在这种情况下,CPU 101 进行上述命令的发送和接收,以指示返回表示外部装置 107 的类型(或通信类型)的识别信息。根据识别信息,取决于识别标准,CPU 101 可以令上述振荡单元将频率切换到用于 SDXC 的高频(208MHz)或其他情况的低频(50Hz 或 20Hz)。如果可以判定一个频率下的通信如此之低从而,如上所述,一个周期或更多延迟不影响正在使用的数据的接收,则可以停止用于校准的周期调节功能。

[0166] 这里,在将本发明应用于符合 SDXC 标准的外部装置 107 的情况下,外部装置 107 配置成向外部装置控制器 103 发送 64 字节校准式样。在这种情况下,外部装置控制器 103 可以处理用于 64 字节的校准式样。不过,注意力可以集中在 64 字节内包括与可检测的延迟周期量之前输入的值不同的连续值的部分。在这种情况下,在向 DRAM 106 写入外部装置控制器 103 接收的 64 字节校准式样之后,CPU 101 可以仅读取注意力所集中的部分的地址。此外,一些标准定义了外部装置 107 和外部装置控制器 103 之间可以允许的最大延迟量。于是,可以基于允许的延迟量设置彼此连续的不同值的数量(上述预定数量)。在这种情况下,可以事先设置比与允许延迟量对应的数量更大的数量作为上述预定数量。

[0167] 此外,前述示范性实施例中的发送缓存器 207 或接收缓存器 209 可以是先进先出(FIFO)缓存器。在这种情况下,可以基于表示 FIFO 缓存器的可用容量的信息(剩余容量信息)生成缓存器已满信号或缓存器已空信号,或者可以替代地原样使用剩余容量信息。在这种情况下,如果可以存储在充当接收缓存器 209 的 FIFO 缓存器中的数据量大于或等于校准

式样的数据量,则可以在 FIFO 缓存器中暂时写入校准式样,之后,CPU 101 可以直接使用校准式样进行比较。不过,如果可以存储在充当接收缓存器 209 的 FIFO 缓存器中的数据量小于校准式样的数据量,则可以以小于或等于 FIFO 缓存器容量的数据量为单位(针对每个预定周期)逐次比较校准式样。备选地,可以获得分支配置,其中在校准期间将数据逐次进行比较而不锁存在充当接收缓存器 209 的 FIFO 缓存器中。可以提供用于预定周期数据的比较器作为比较单元,该比较器具有与 CPU 101 分开的配置,且其配置有寄存器,预期值也以相同数据量为单位从该寄存器读取。否则,如果第三时钟控制单元 223 设计为在扭曲调节中不停止时钟,则接收缓存器 209 可能溢出。

[0168] 此外,可以配置前述示范性实施例中的诸如输出时钟使能信号 243 的控制信号,从而在使能信号被解除有效的时刻将禁用信号设置为有效。

[0169] 在前述示范性实施例中,已经在包括外部装置控制器 103 的信息处理设备的背景下描述了本发明。不过,也可以将本发明应用于信息处理设备中包括上述外部装置 107 的配置的情况,因此本发明适用于装置控制器。根据本发明的信息处理设备的范例可以包括诸如图像处理设备和计算处理设备的各种设备。

[0170] 此外,也可以通过执行以下过程来实施本发明:经由网络或各种存储介质向系统或设备供应实施前述示范性实施例的功能的软件(程序),系统或设备的计算机(或 CPU,微处理单元(MPU)等)读取并执行该程序。

[0171] 尽管已经参考示范性实施例描述了本发明,但要理解本发明不限于公开的示范性实施例。应将以下权利要求的范围赋予最宽的解释,以便涵盖所有这样的修改以及等价的结构和功能。

[0172] 本申请主张享有 2009 年 12 月 25 日提交的日本专利申请 No. 2009-295616 的权益,在此通过引用将其整体合并于此。

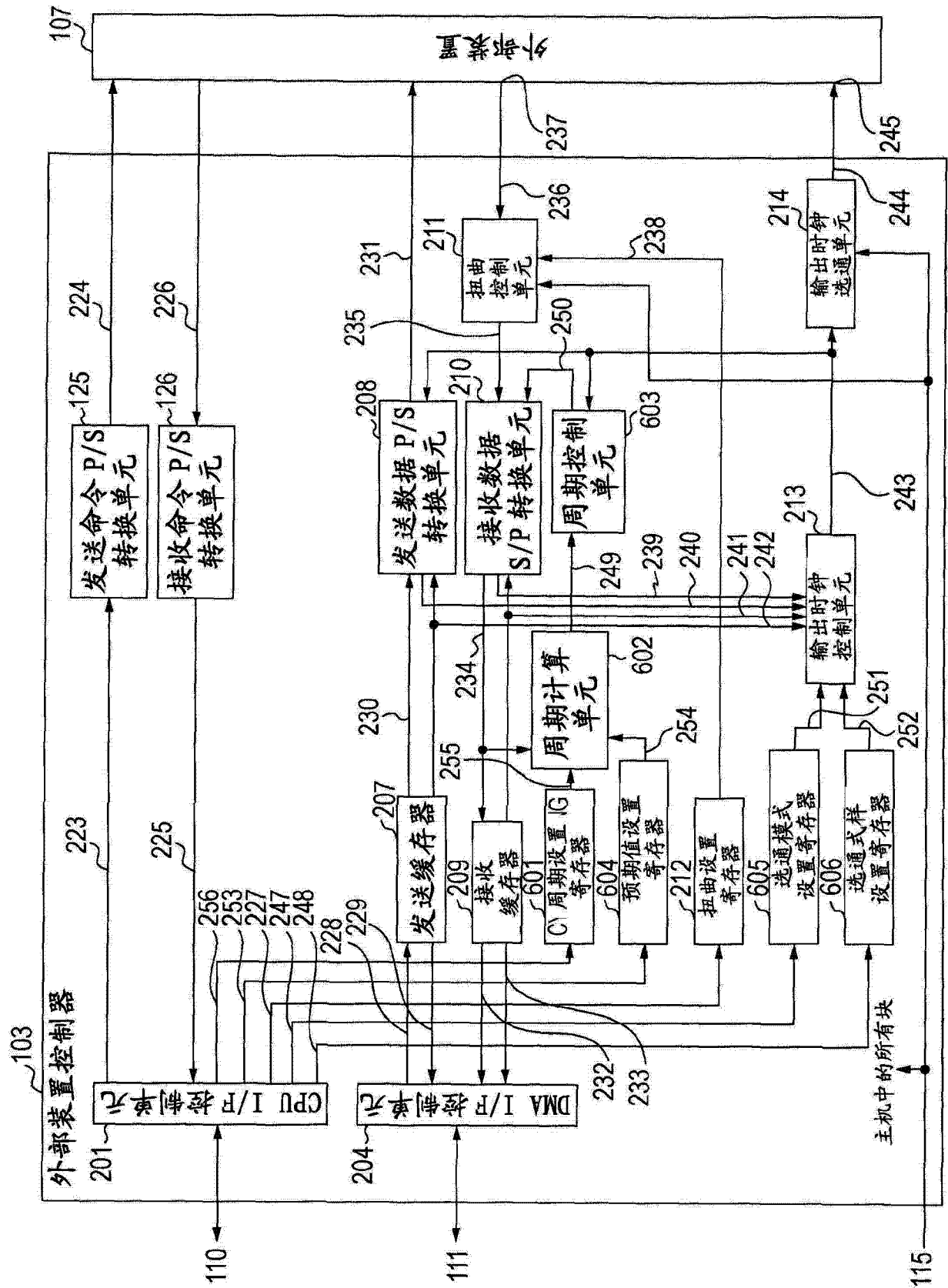


图 1

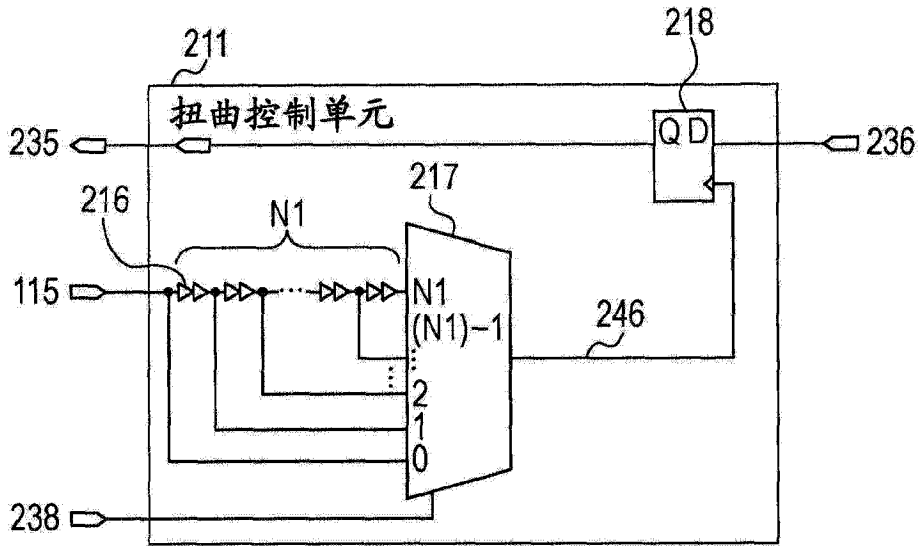


图 2A

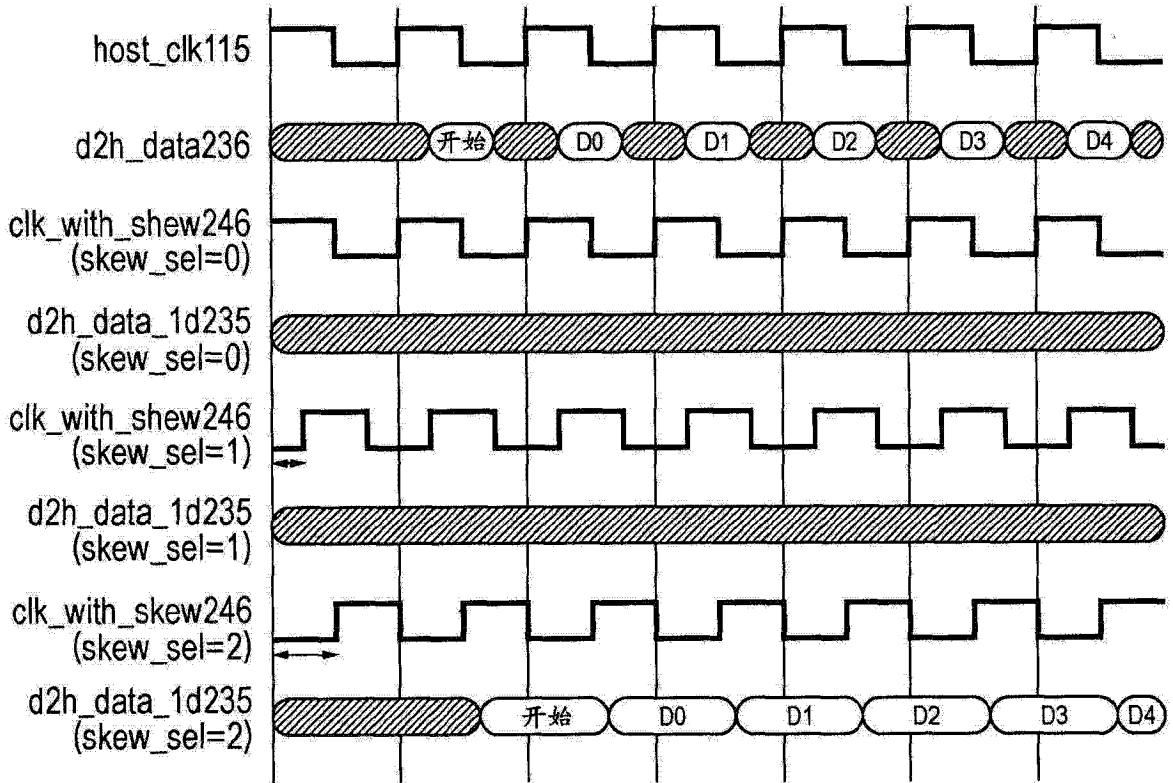


图 2B

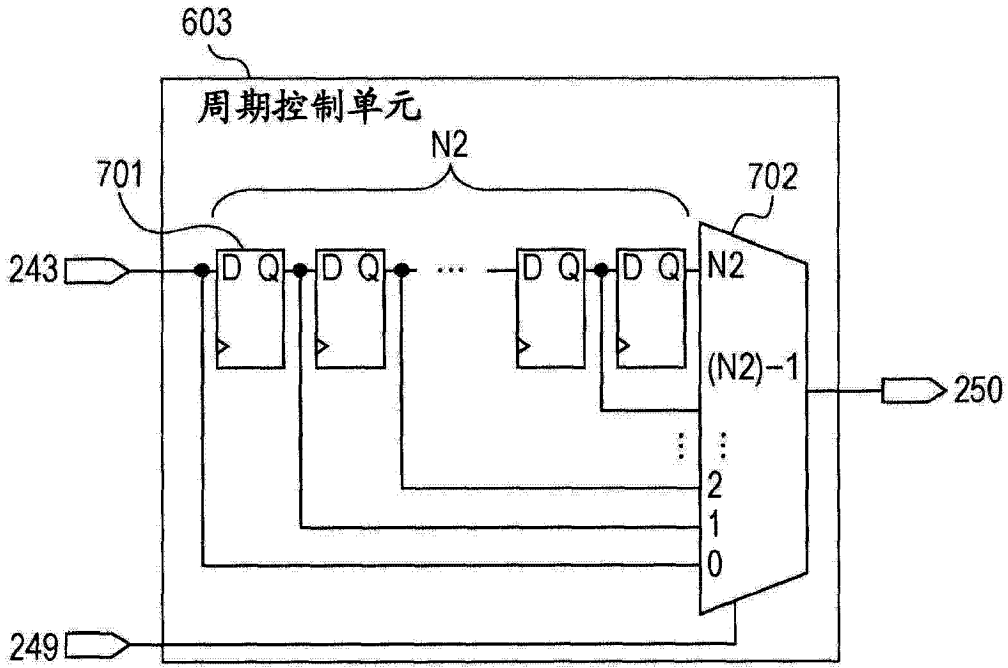


图 3A

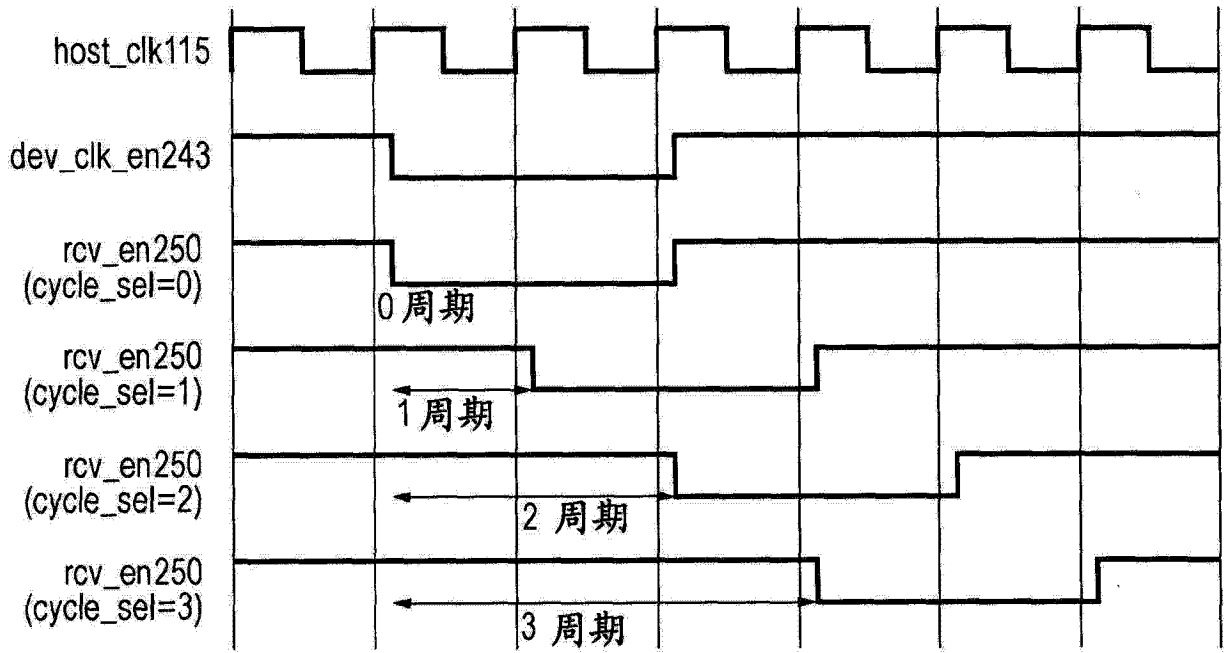


图 3B

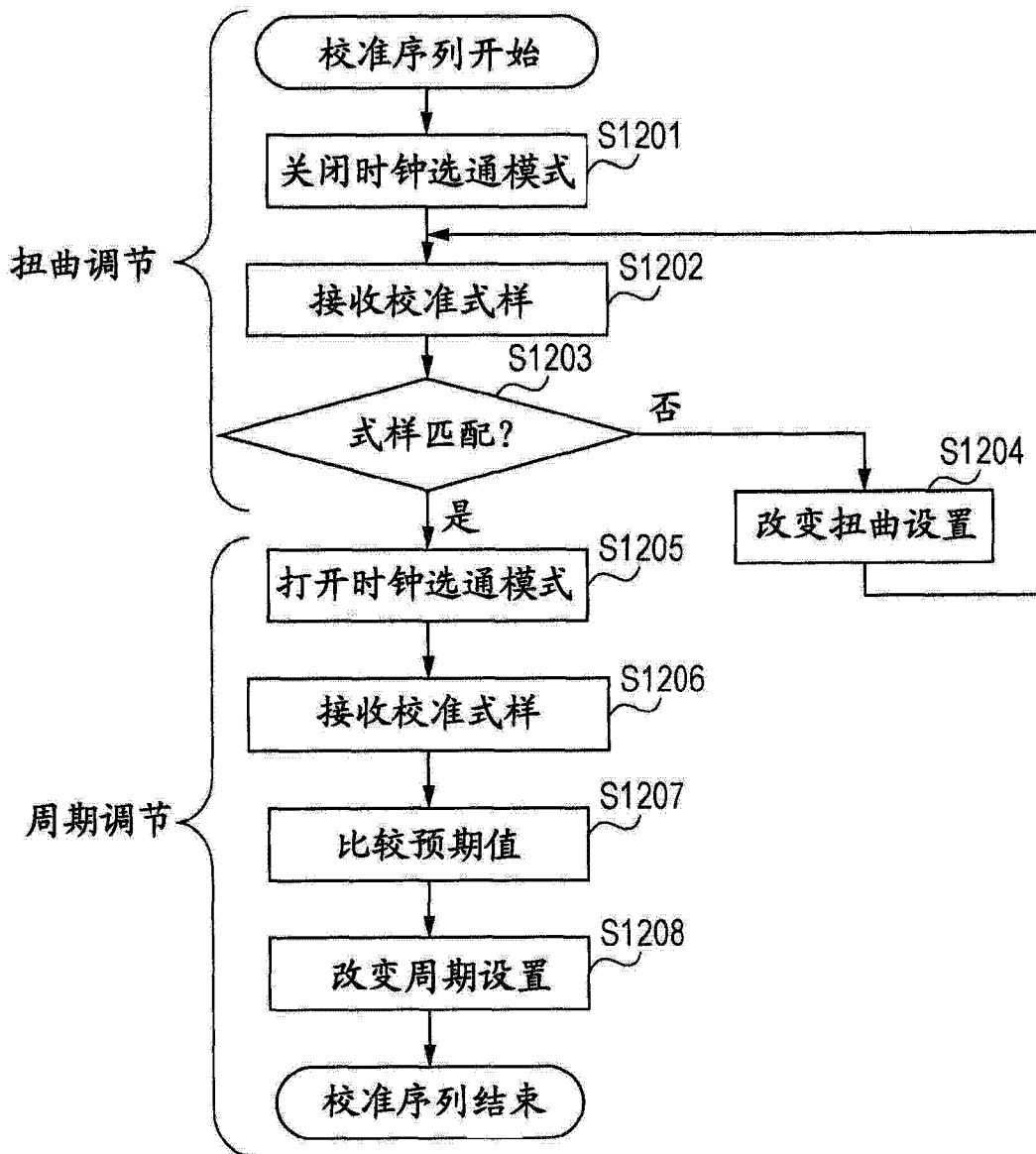


图 4A

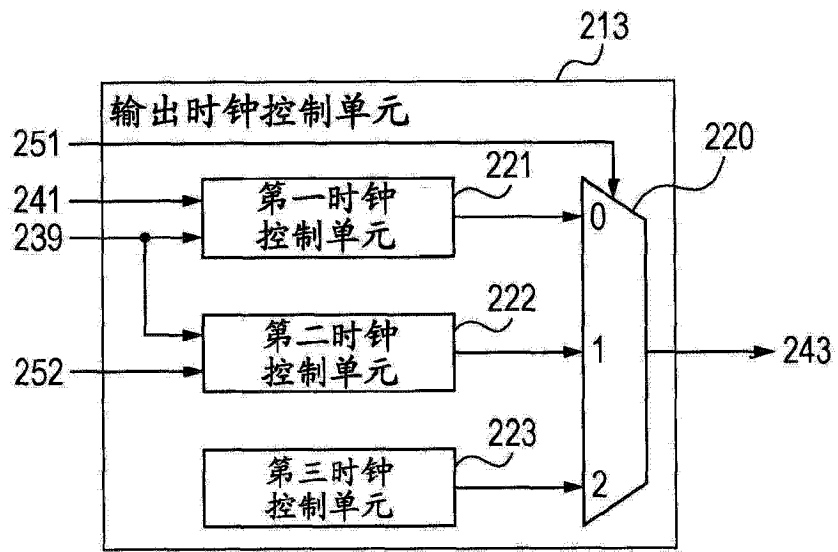


图 4B

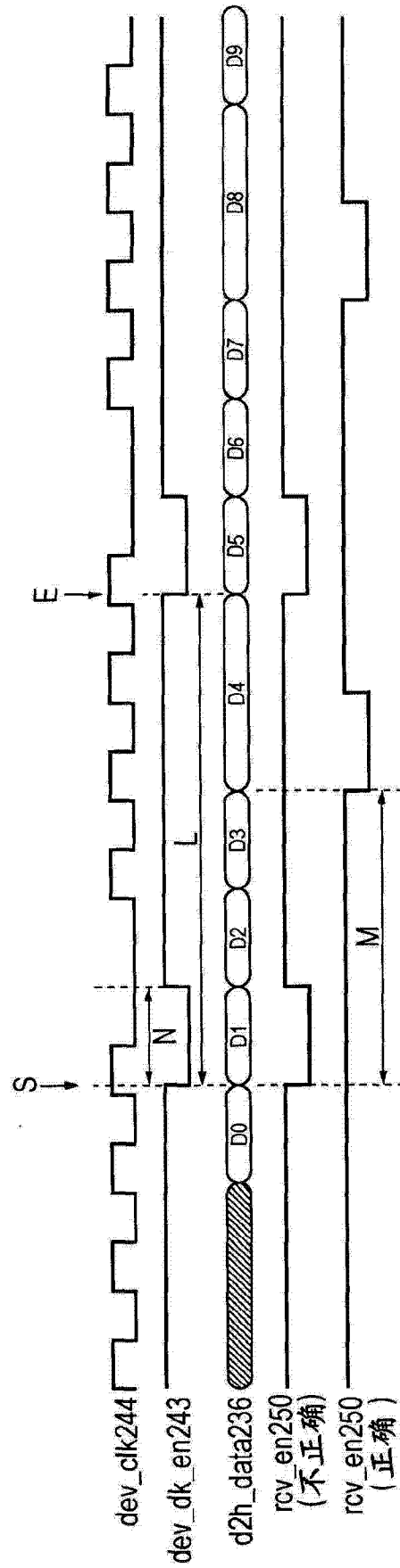


图 5

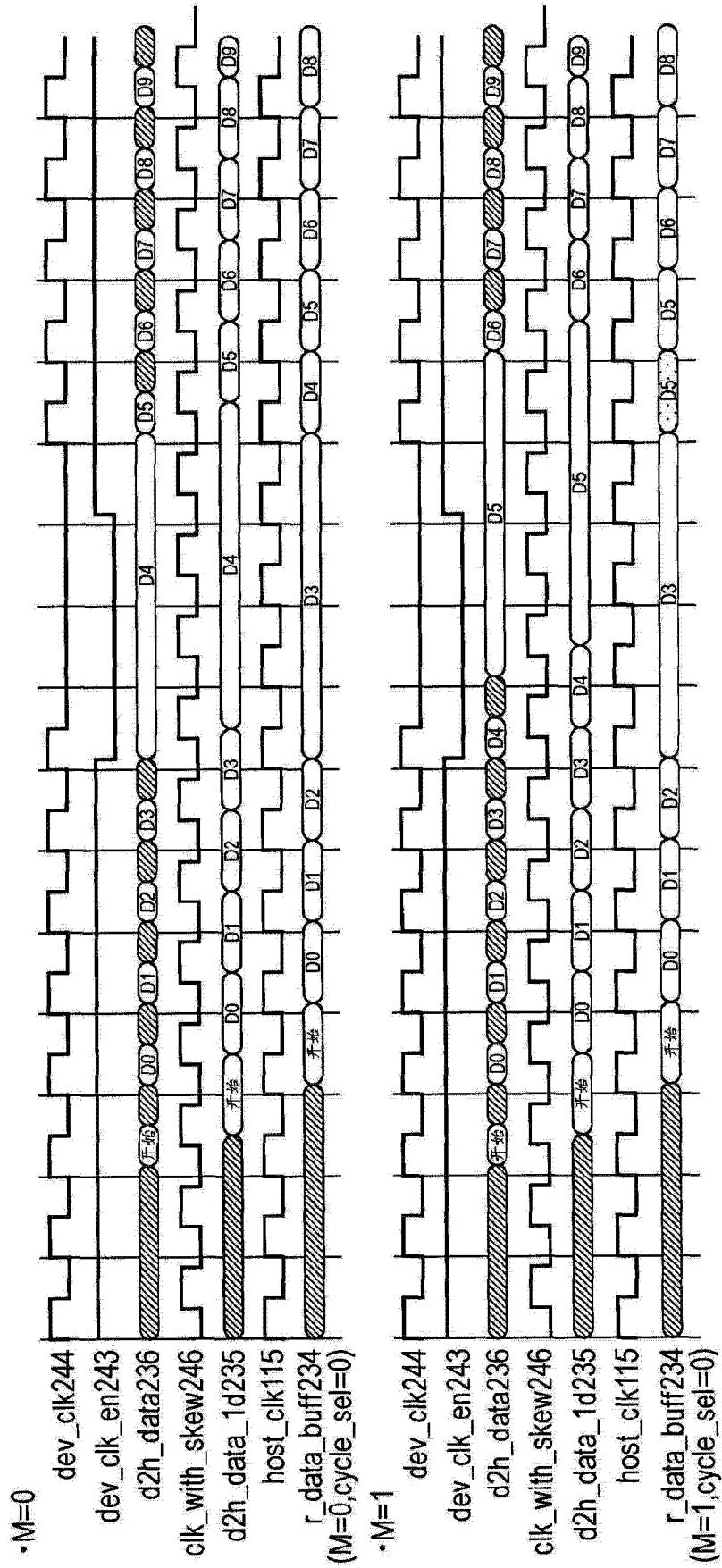


图 6

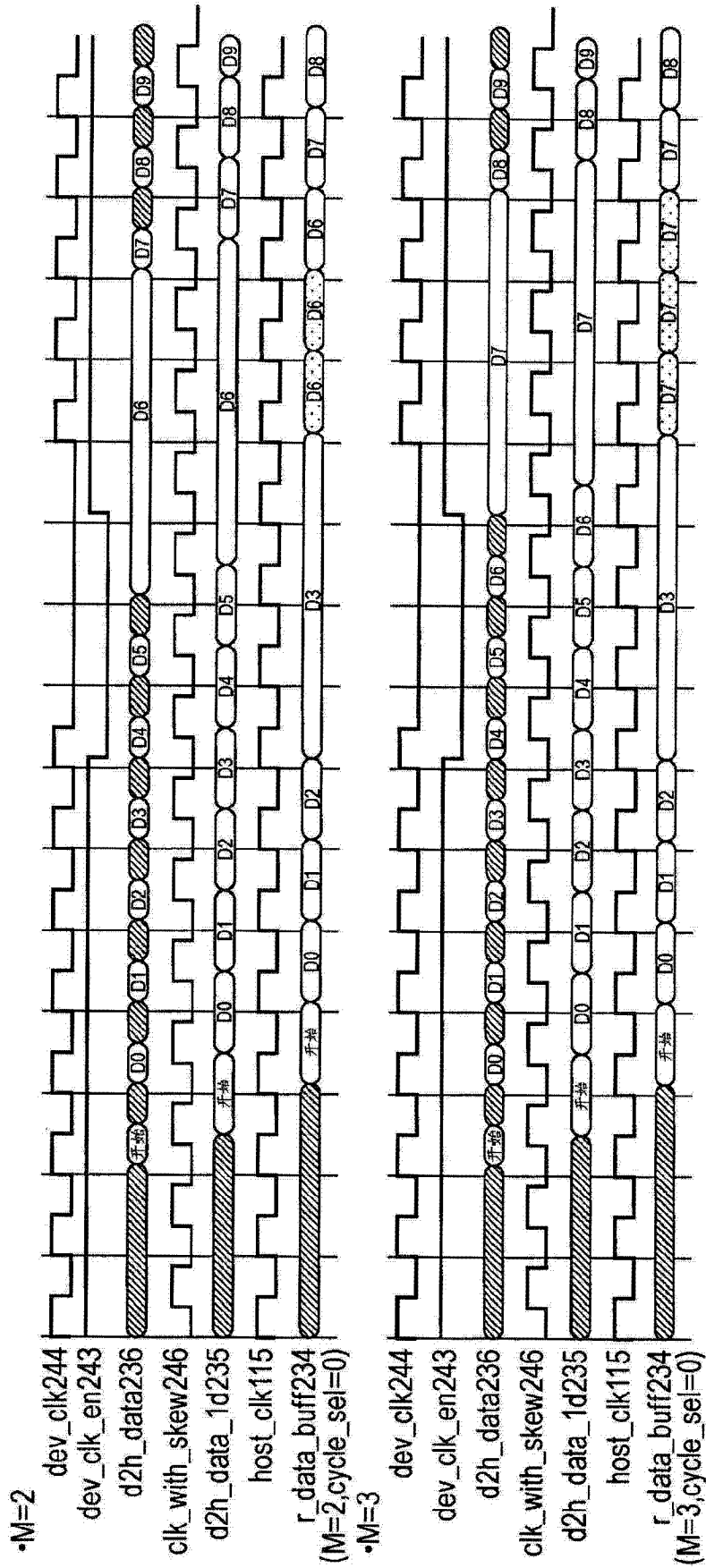


图 7

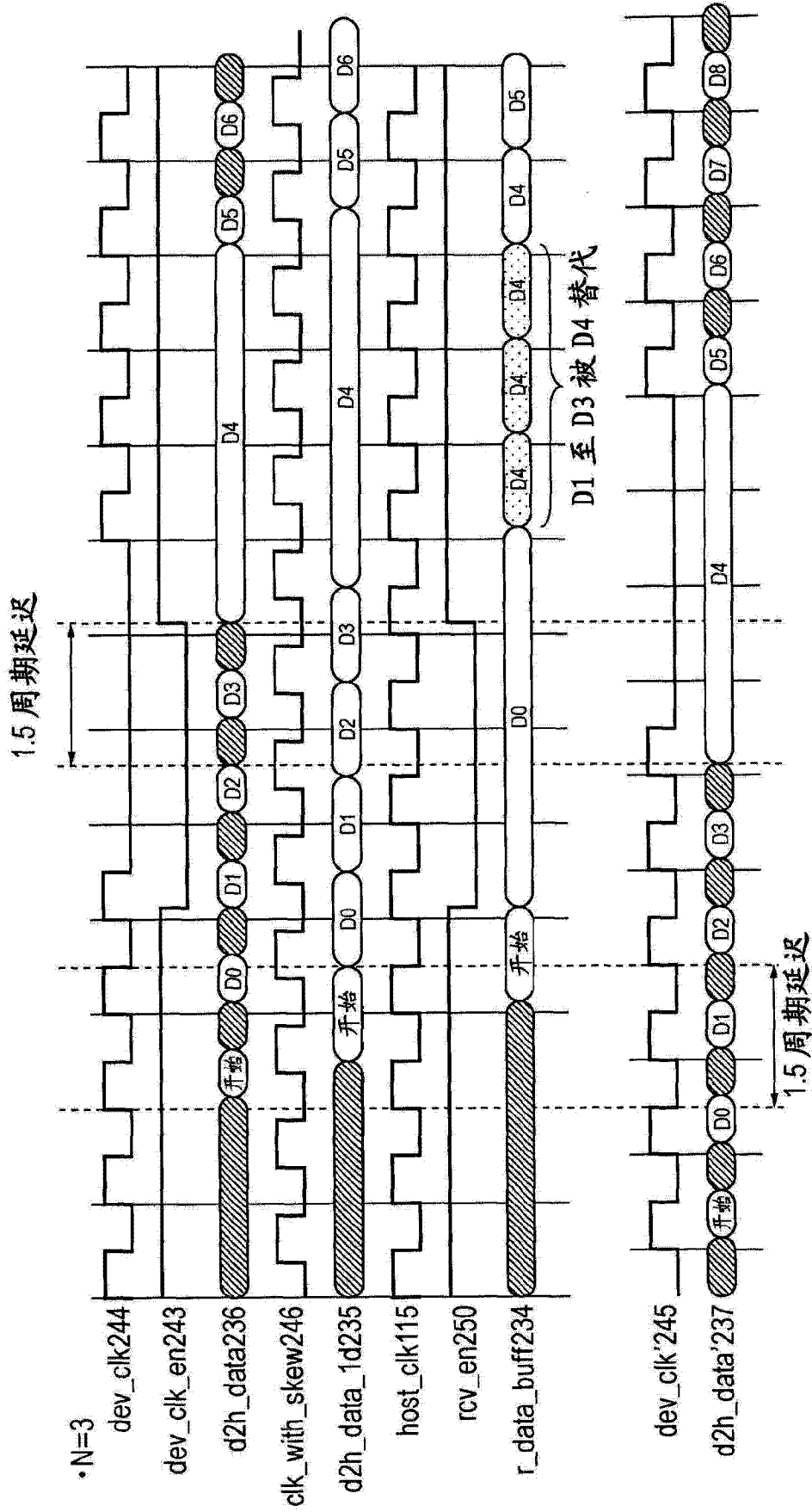


图 8

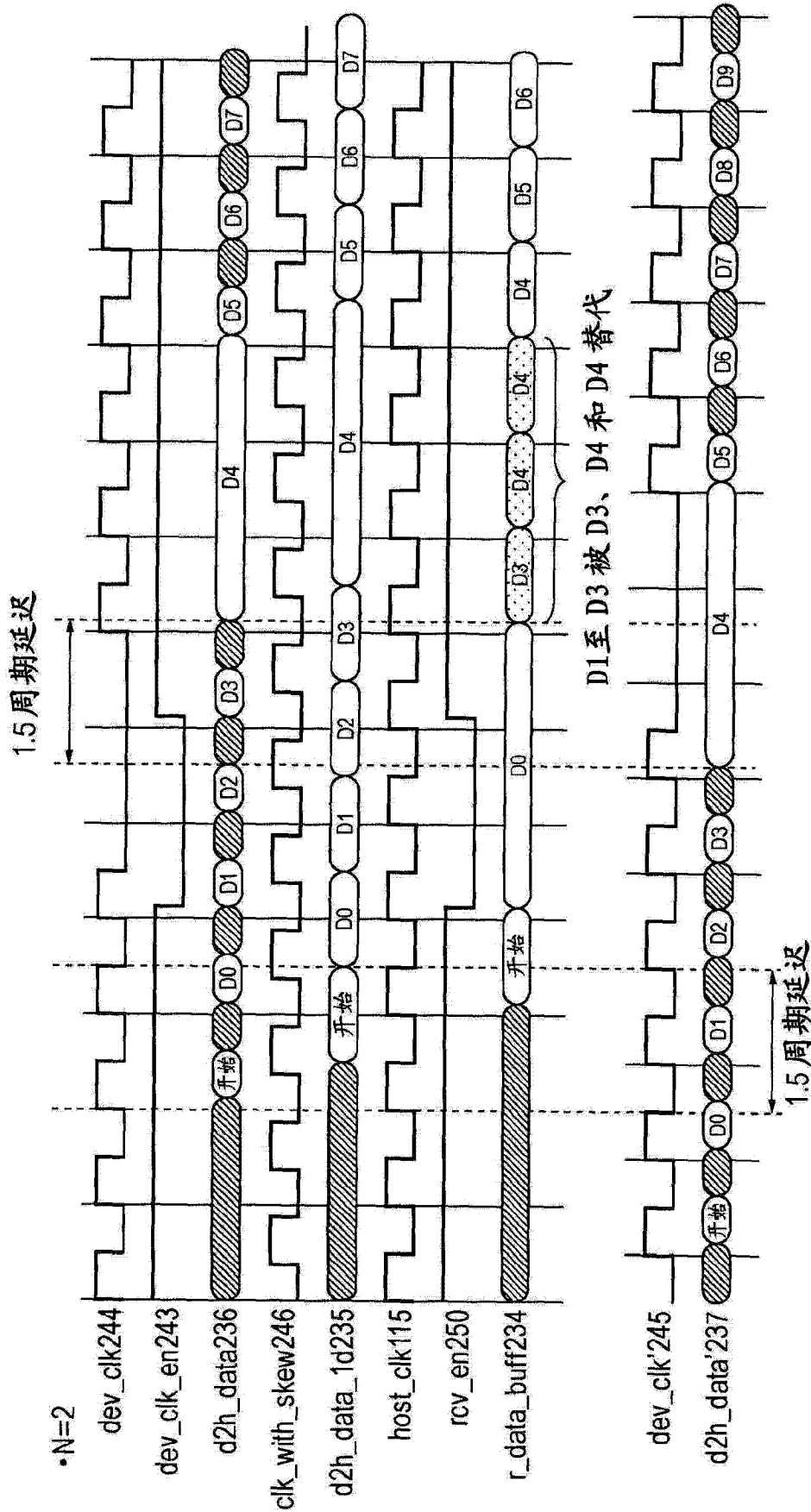


图 9

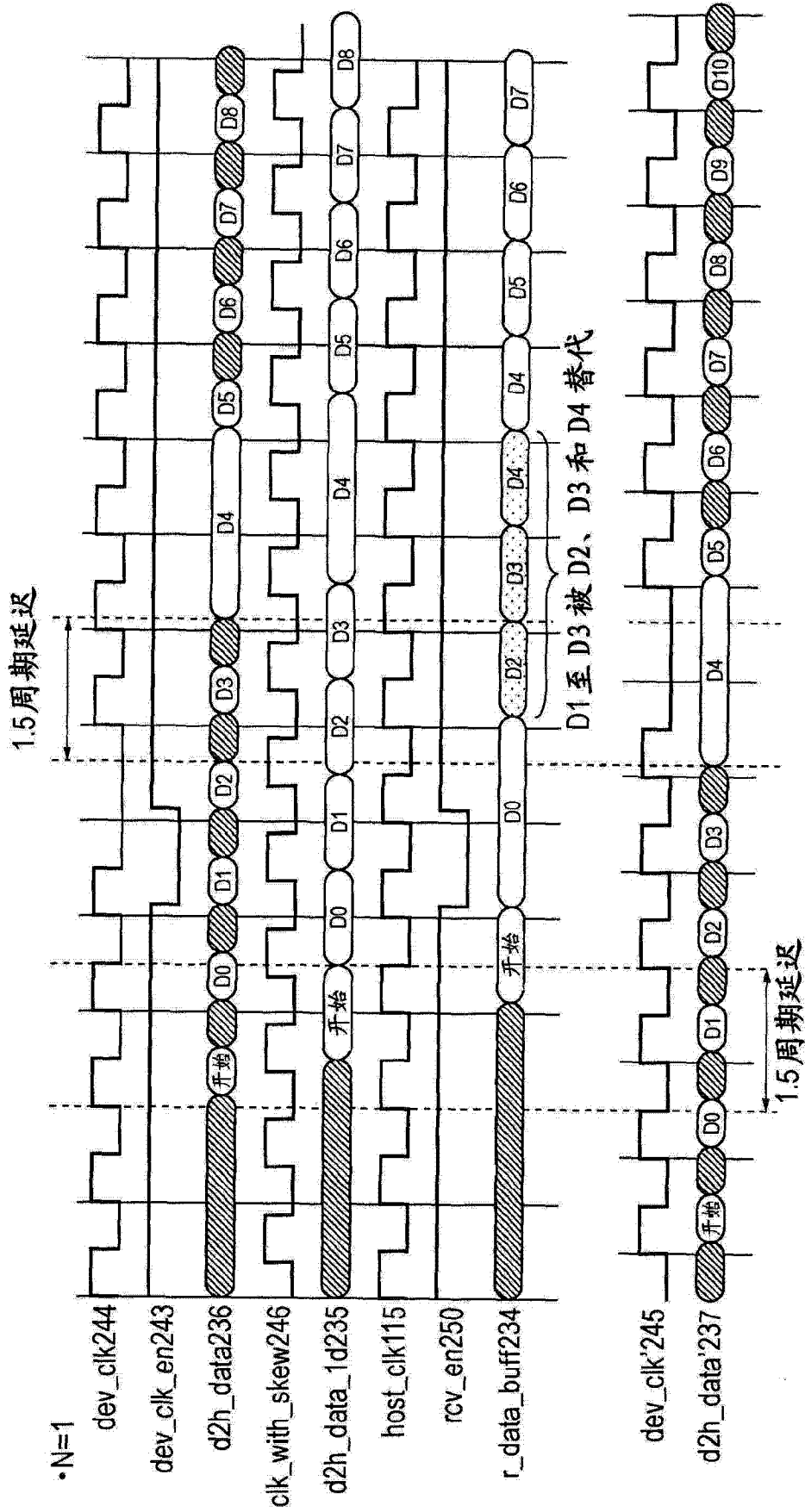


图 10

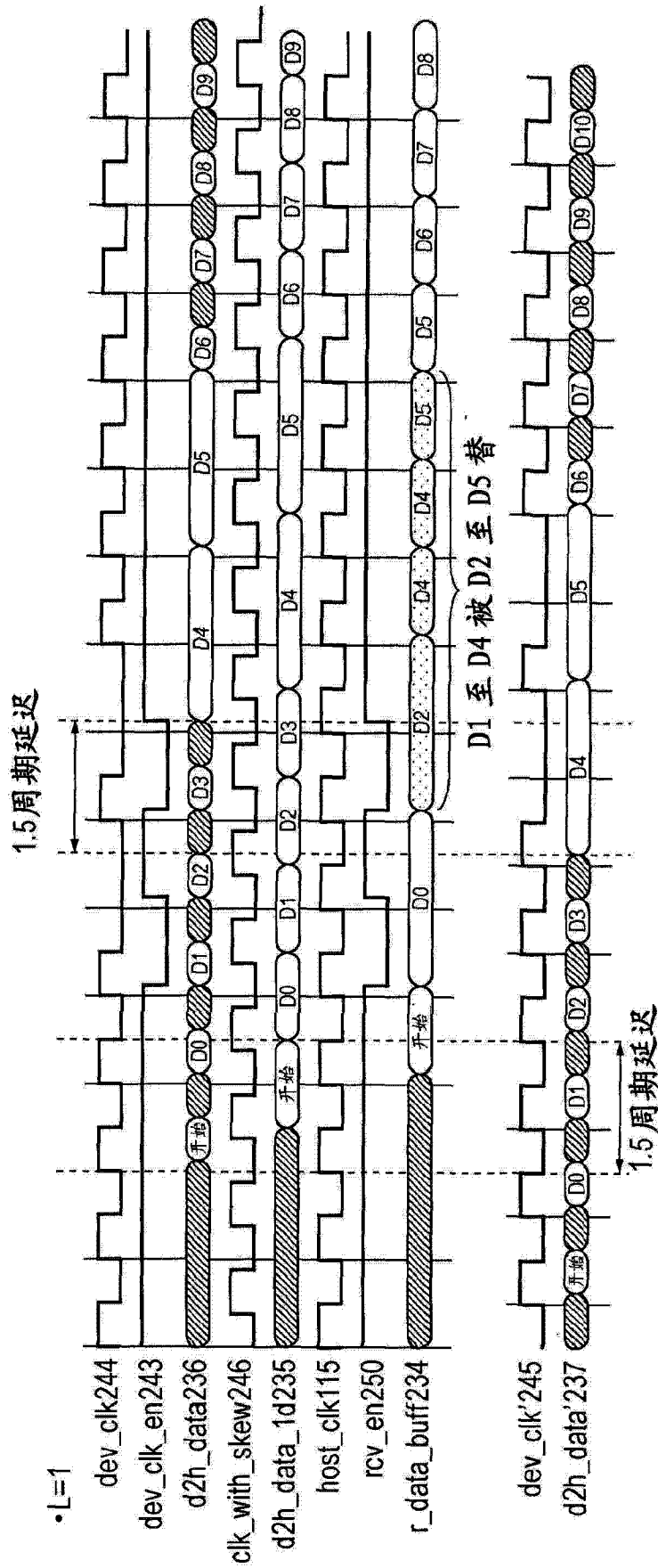


图 11

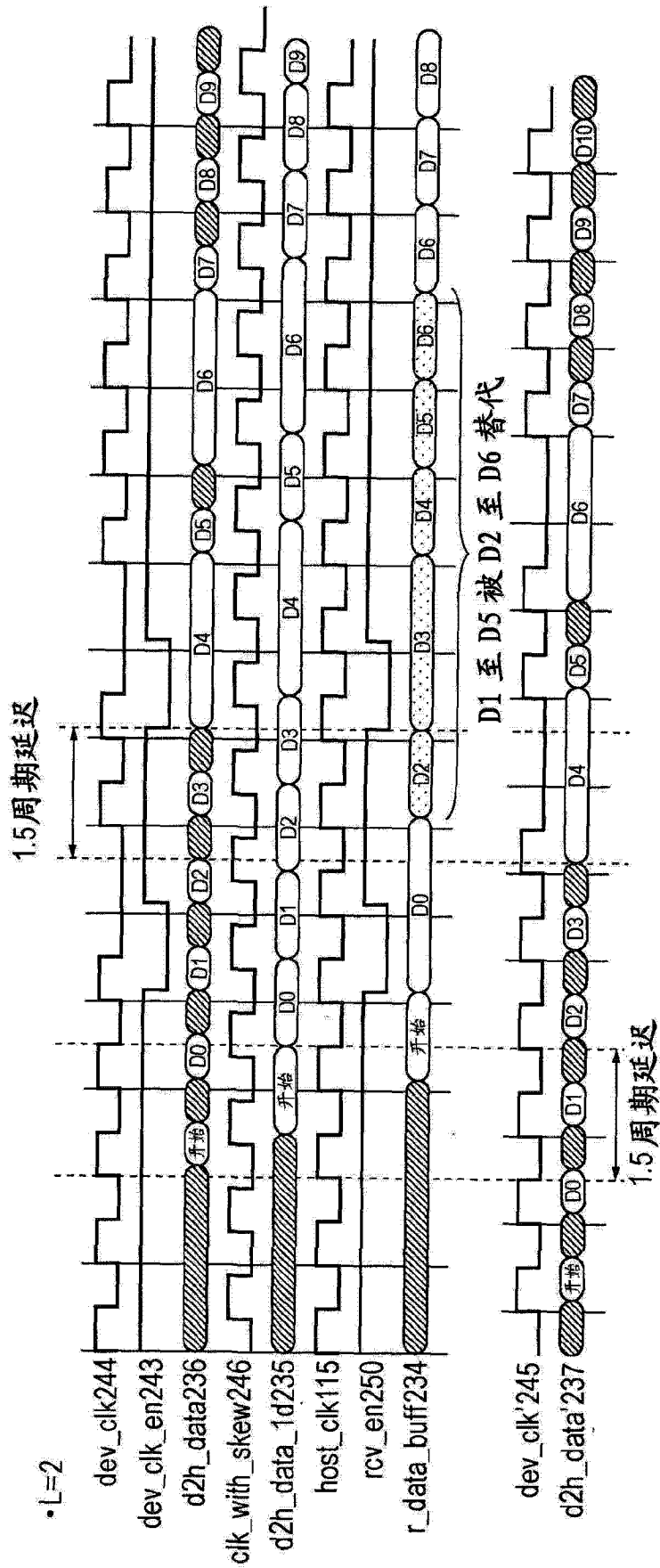


图 12

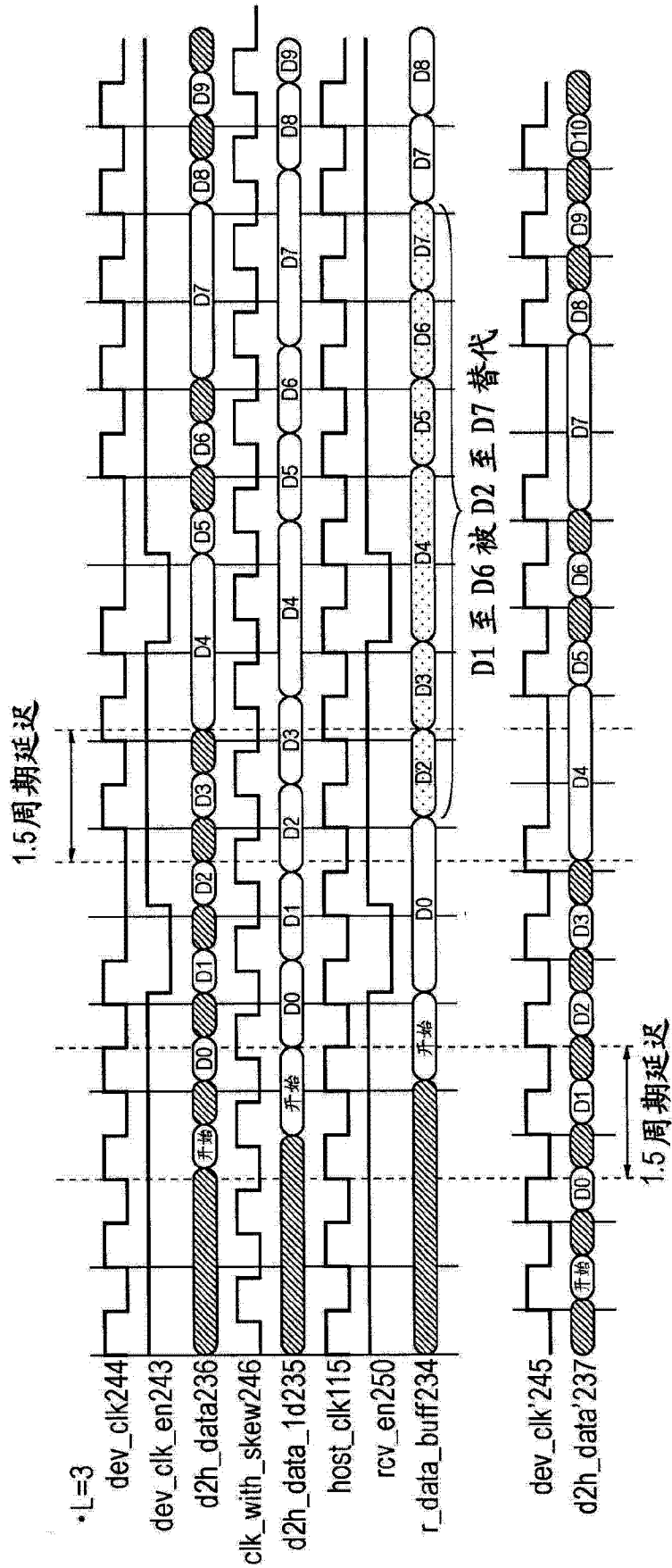


图 13

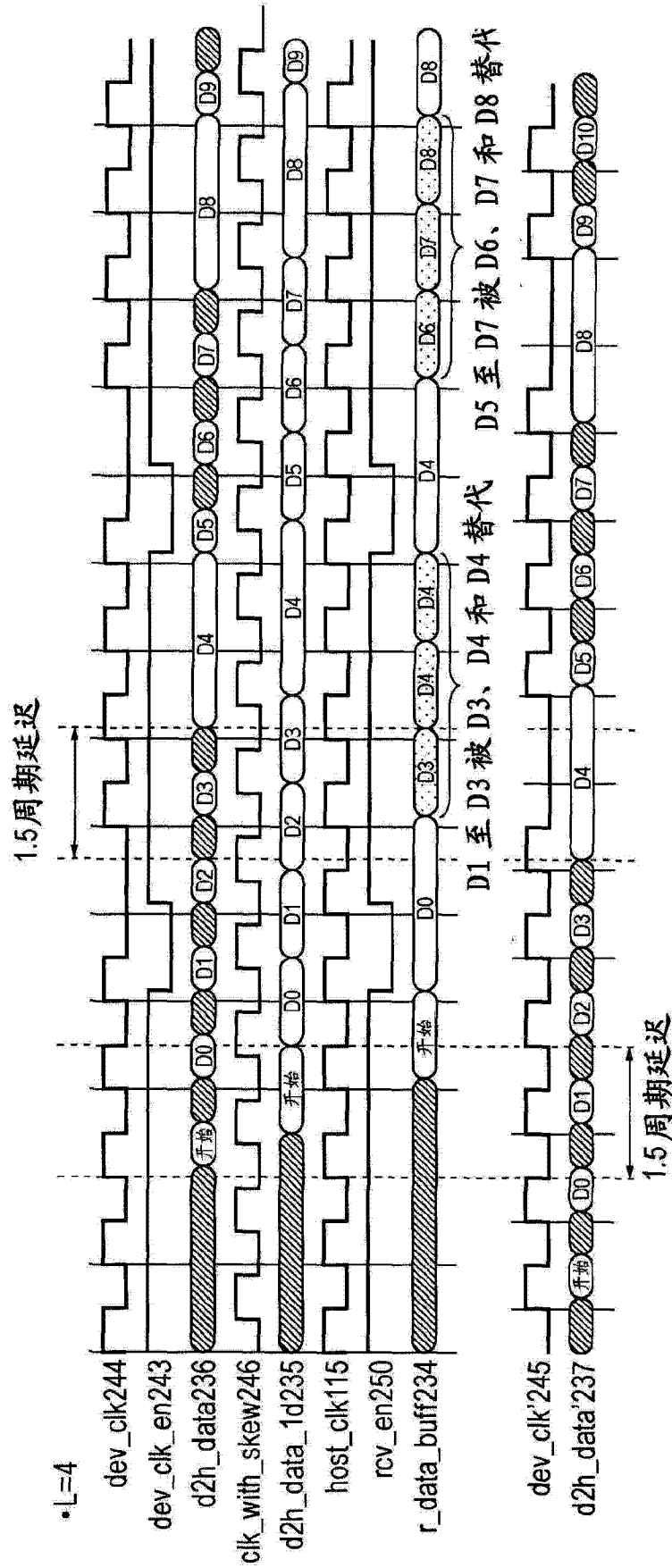


图 14

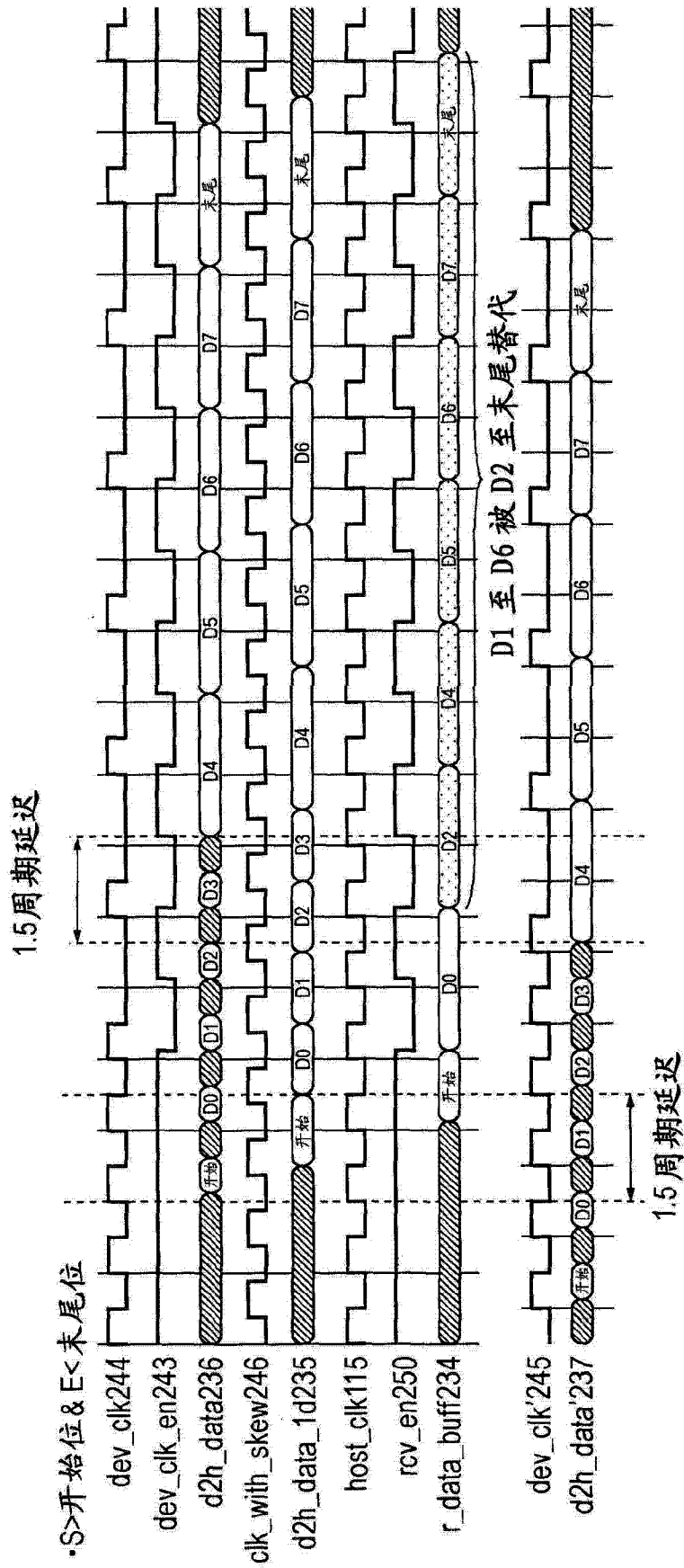


图 15

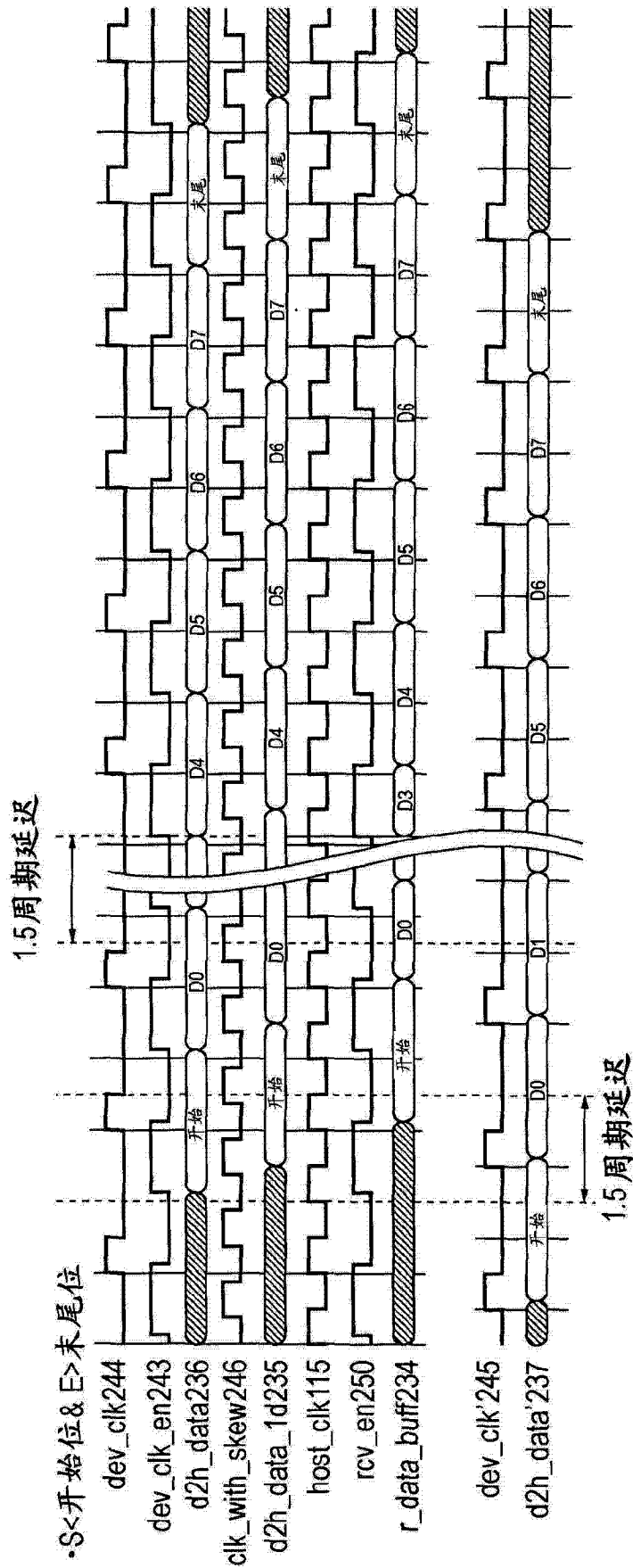


图 16

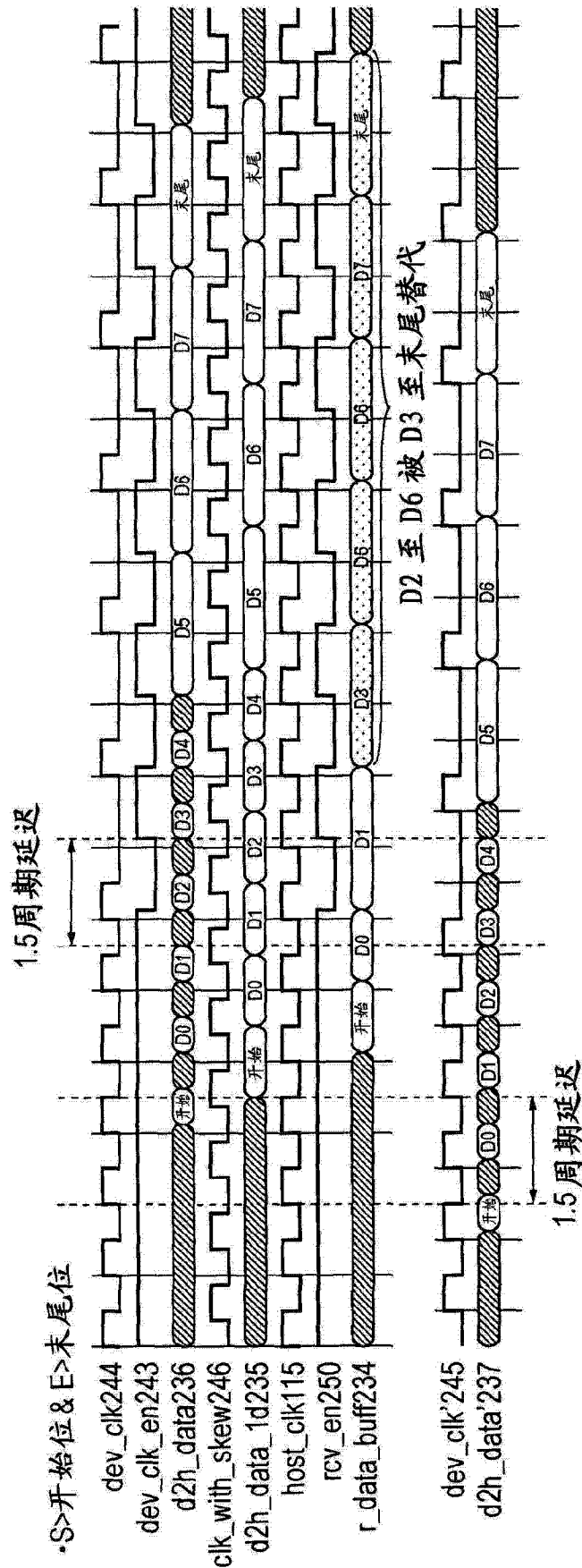


图 17

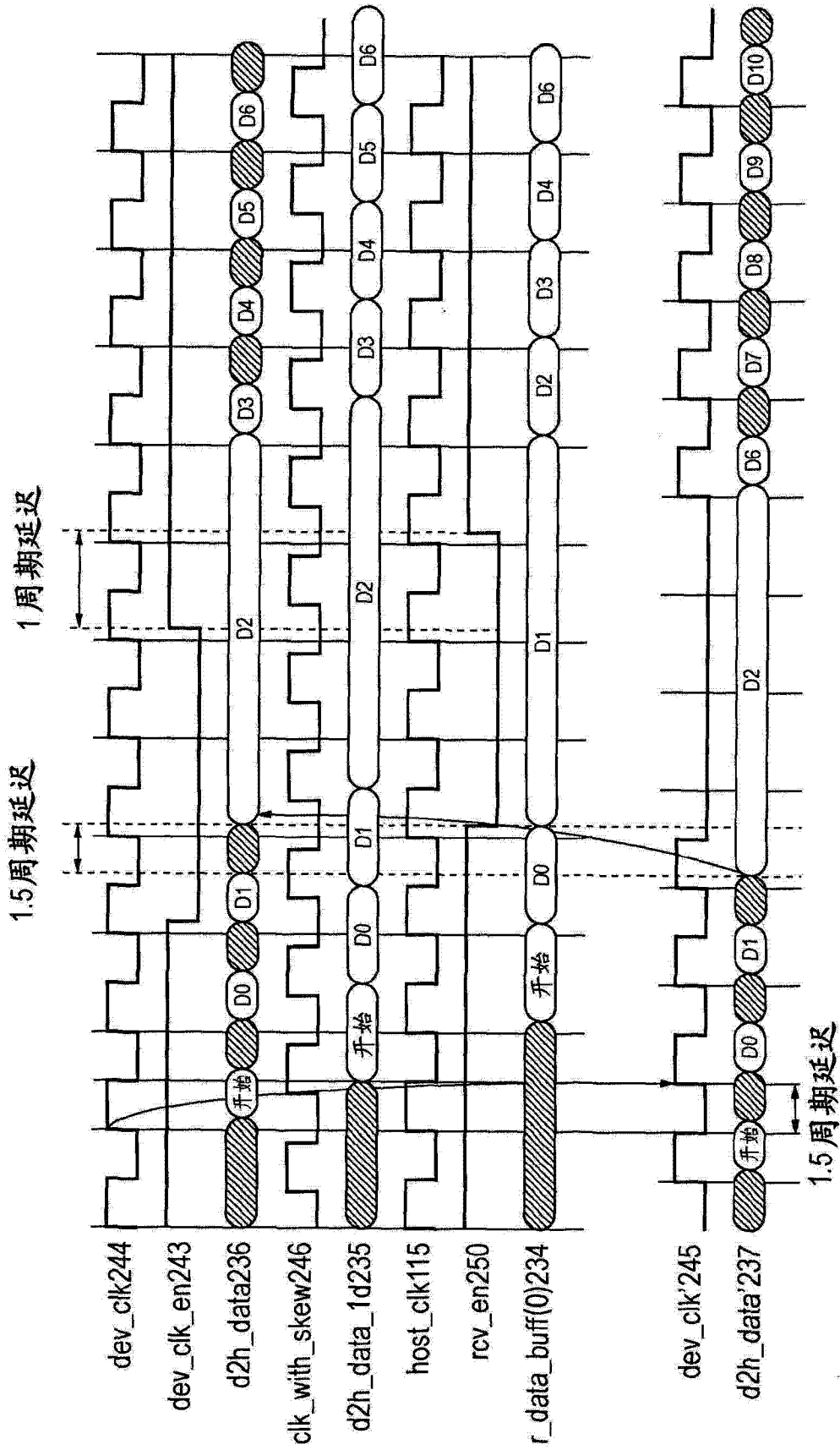


图 18

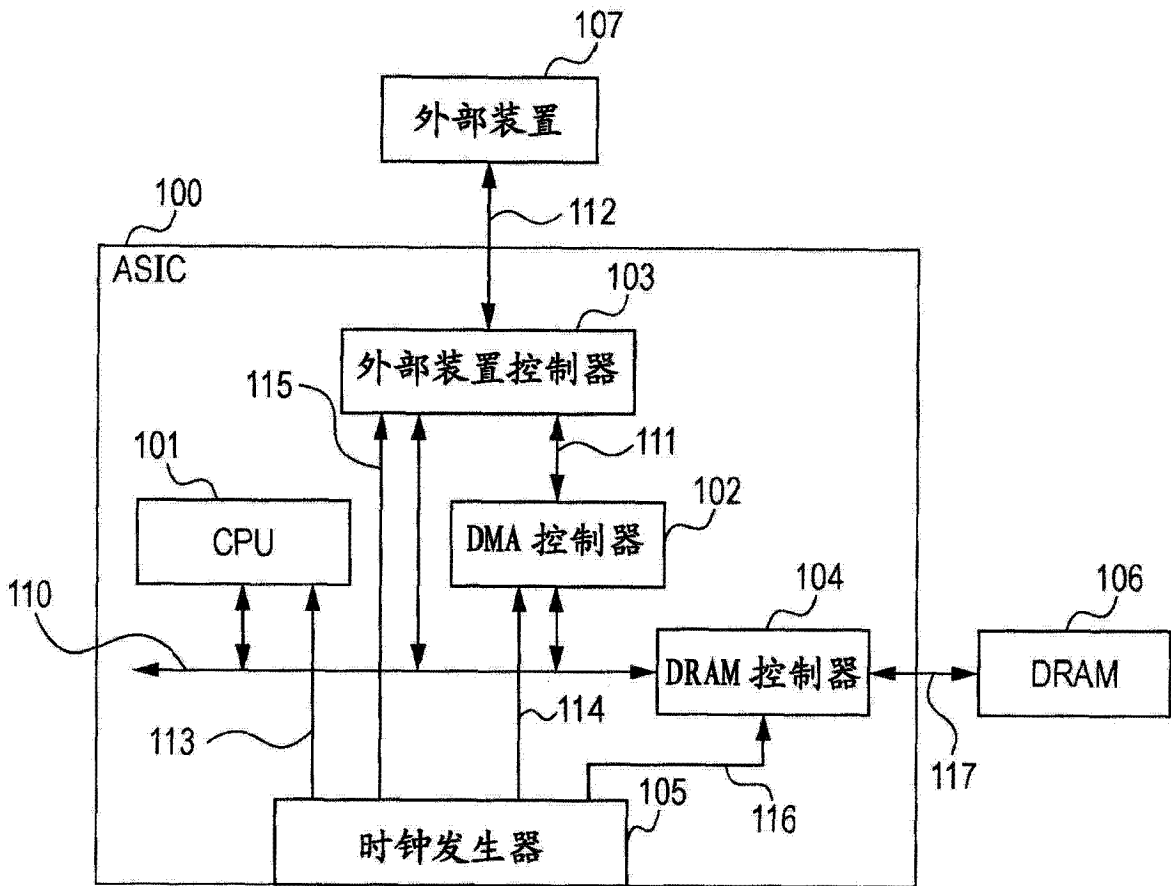


图 19

与实际周期数的差异	接收的式样
0	01010101
1	01011101
2	01010001
3	01011111

图 20

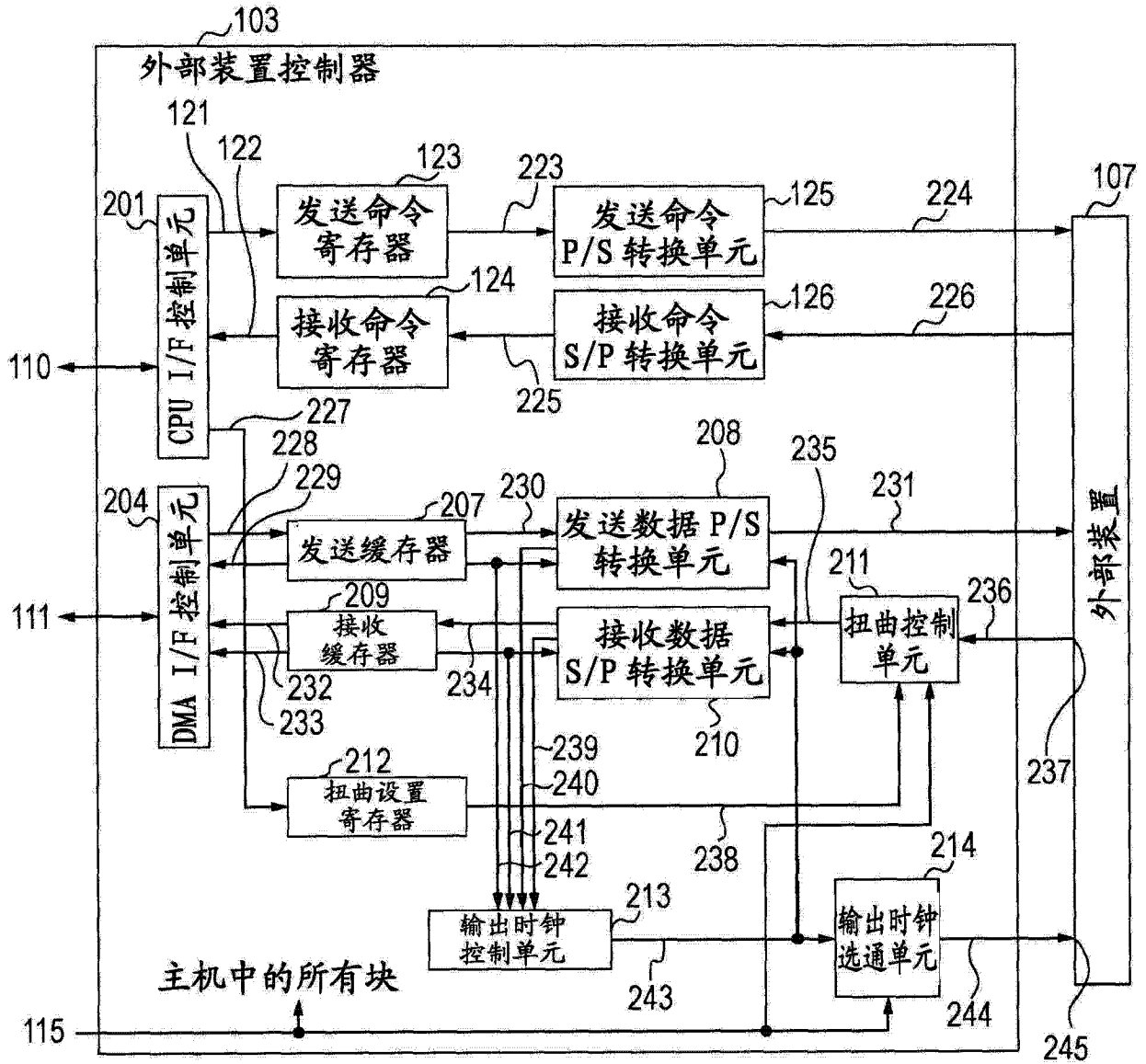


图 21A

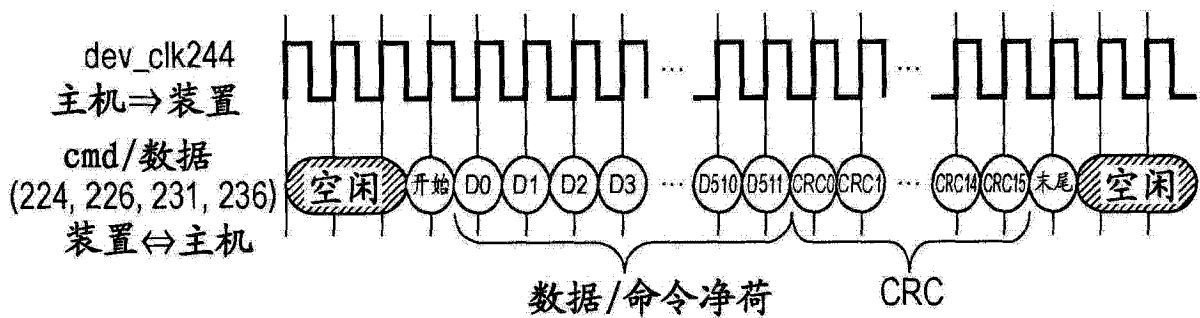


图 21B

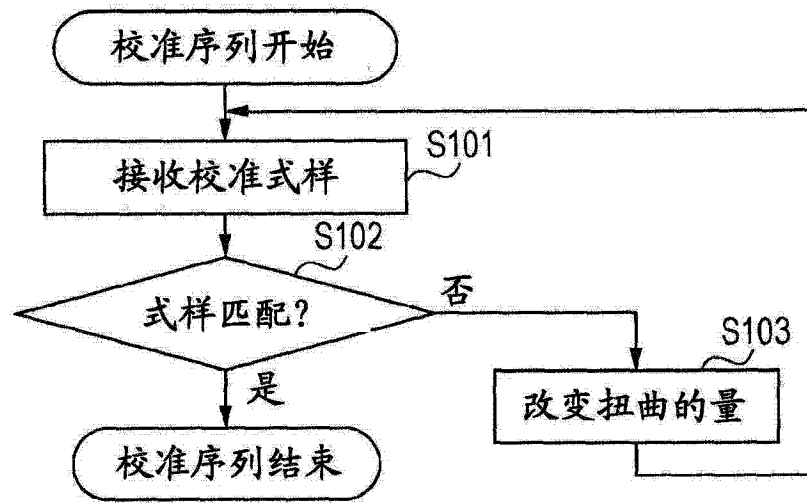


图 22

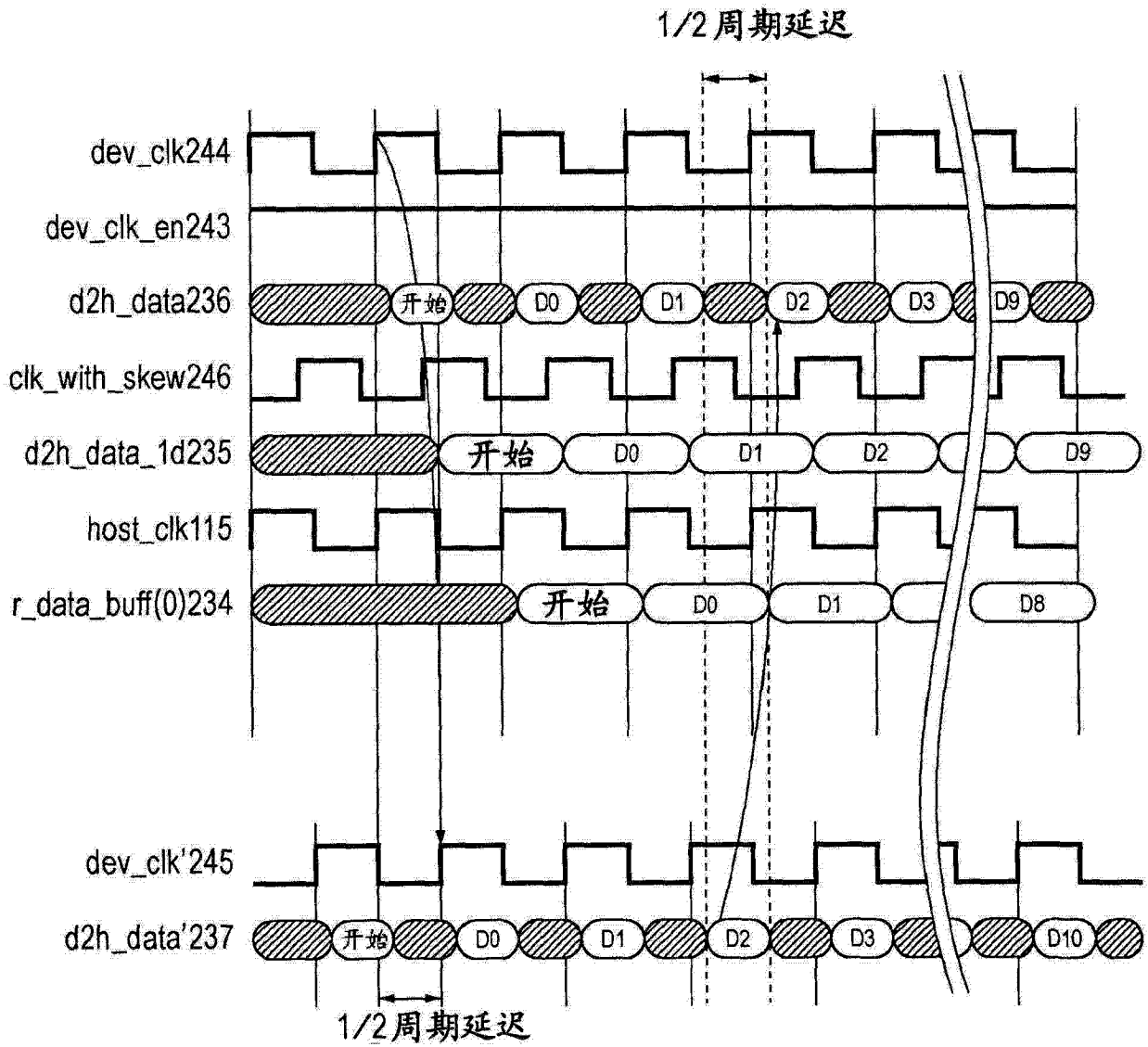


图 23

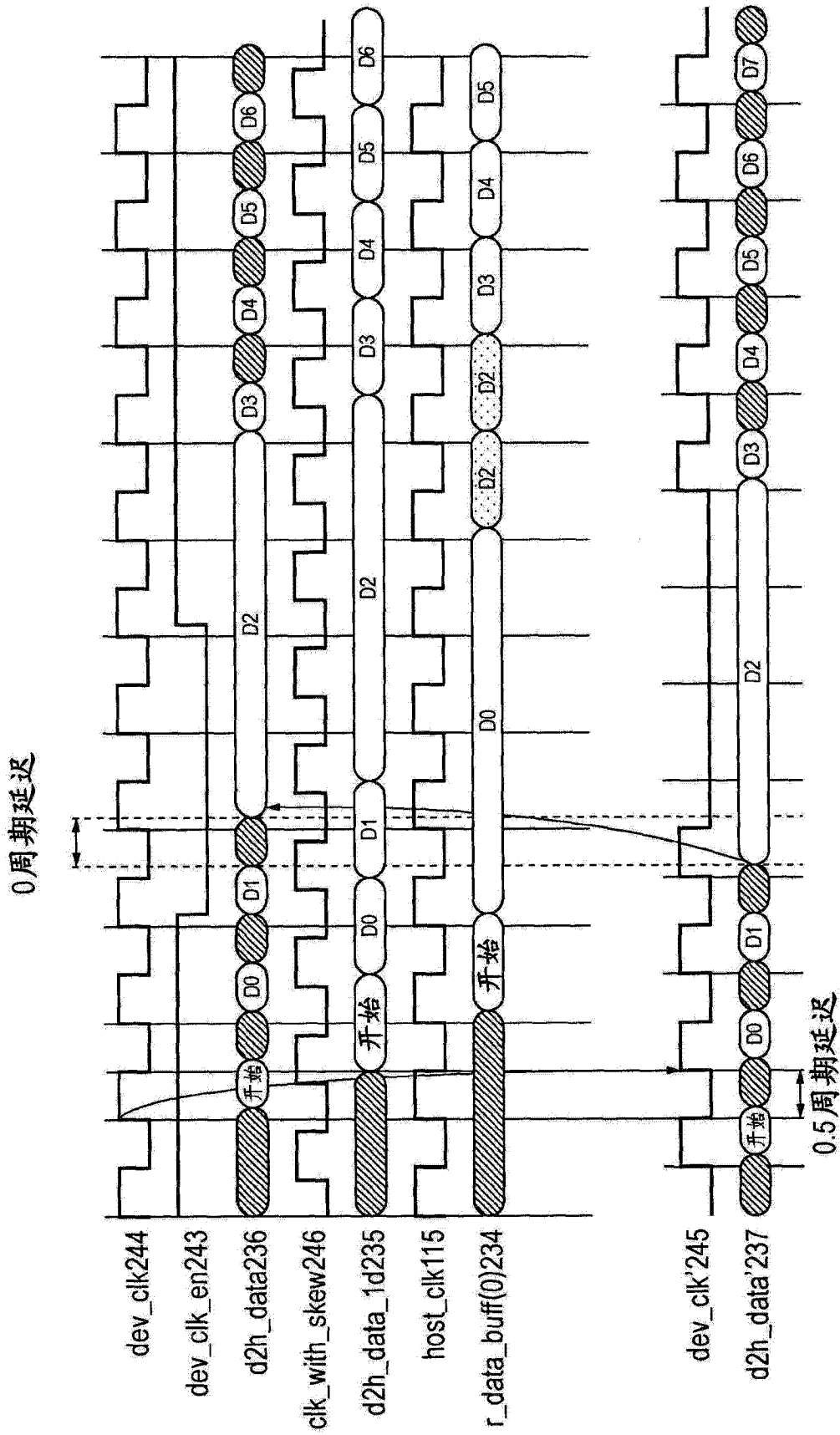


图 24