

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 5 月 25 日 (25.05.2023)



(10) 国际公布号
WO 2023/088013 A1

(51) 国际专利分类号:
H01L 21/336 (2006.01) **H01L 29/423** (2006.01)
H01L 29/78 (2006.01) **H01L 29/16** (2006.01)

(21) 国际申请号: PCT/CN2022/125793

(22) 国际申请日: 2022 年 10 月 18 日 (18.10.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202111363503.1 2021 年 11 月 17 日 (17.11.2021) CN
202122827400.8 2021 年 11 月 17 日 (17.11.2021) CN

(71) 申请人: 湖北九峰山实验室(HUBEI JIUFENGSHAN
LABORATORY) [CN/CN]; 中国湖北省武汉市

东湖高新技术开发区未来科技城 B4-5
楼, Hubei 430070 (CN)。

(72) 发明人: 袁俊 (YUAN, Jun); 中国湖北省武汉市东湖高新技术开发区未来科技城 B4-5 楼, Hubei 430070 (CN)。

(74) 代理人: 北京集佳知识产权代理有限公司 (UNITALEN ATTORNEYS AT LAW CO., LTD.); 中国北京市朝阳区建国门外大街 22 号赛特广场 7 层, Beijing 100004 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ,

(54) Title: SILICON CARBIDE SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 碳化硅半导体器件及其制作方法

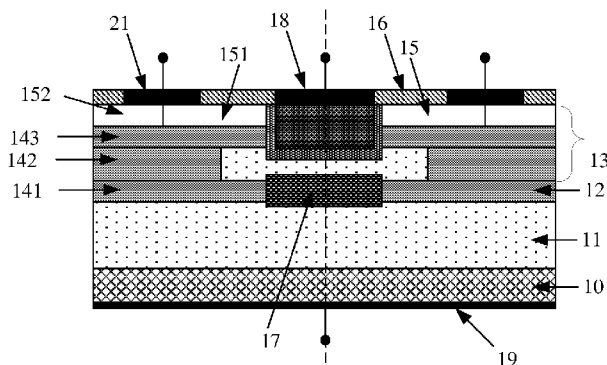


图 10

(57) Abstract: The present application discloses a silicon carbide semiconductor device and a manufacturing method therefor. An epitaxial wafer comprises a semiconductor substrate; a first epitaxial layer provided on the surface of the semiconductor substrate; a second epitaxial layer provided on the surface of the side of the first epitaxial layer facing away from the semiconductor substrate; and a third epitaxial layer provided on the surface of the side of the second epitaxial layer facing away from the first epitaxial layer. A gate is formed by means of a trench formed in the third epitaxial layer, and ion implantation can also be performed in the second epitaxial layer on the basis of the trench before the gate is formed, such that a doped region inverted with the second epitaxial layer is formed in the second epitaxial layer, thereby solving the problem that a silicon carbide semiconductor power device is inconvenient to form a large-depth doped region.

(57) 摘要: 本申请公开了一种碳化硅半导体器件及其制作方法, 外延片包括: 半导体基底; 设置在所述半导体基底表面的第一外延层; 设置在所述第一外延层背离所述半导体基底一侧表面的第二外延层; 设置在所述第二外延层背离所述第一外延层一侧表面的第三外延层。通过设置在第三外延层上的沟槽形成栅极, 而且还能够基于形成栅极之前的所述沟槽, 在所述第二外延层中进行离子注入, 以在所述第二外延层中形成与所述第二外延层反型的掺杂区, 解决了碳化硅半导体功率器件不便于形成较大深度掺杂区的难题。

LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN,
MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE,
PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE,
SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

碳化硅半导体器件及其制作方法

本申请要求于 2021 年 11 月 17 日提交中国专利局、申请号为 202111363503.1、发明名称为“碳化硅半导体器件及其制作方法”的中国专利申请
5 的优先权，其全部内容通过引用结合在本申请中。

本申请要求于 2021 年 11 月 17 日提交中国专利局、申请号为 202122827400.8、发明名称为“碳化硅半导体器件”的中国专利申请的优先权，
其全部内容通过引用结合在本申请中。

技术领域

本申请涉及半导体器件技术领域，更具体的说，涉及一种碳化硅（SiC）
10 半导体器件及其制作方法。

背景技术

随着科学技术的不断发展，越来越多的电子设备被广泛的应用于人们的日常生活以及工作当中，为人们的日常生活以及工作带来了巨大的便利，成为当今人们不可或缺的重要工具。

15 电子设备实现各种功能的主要结构是集成电路，而半导体器件是集成电路的重要组成部分电子元件。碳化硅半导体器件由于其在高功率应用领域的优良特性，成为半导体领域的一个主要发展方向。

由于碳化硅材料的特性，如果来实现较大注入深度的掺杂，高能量的离子注入会导致其晶格损伤，故现有制作方法中，在制作具有较大深度掺杂区的碳化硅半导体器件时，需要在外延片的制作过程中，先通过刻蚀以及离子注入在
20 先形成的外延层内形成所需掺杂区，然后形成后续外延层。

发明内容

有鉴于此,本申请提供了一种碳化硅半导体器件及其制作方法,方案如下:

一种碳化硅半导体器件的制作方法,包括:

提供一外延片,所述外延片包括:半导体基底;设置在所述半导体基底表面的第一外延层;设置在所述第一外延层背离所述半导体基底一侧表面的第二外延层;设置在所述第二外延层背离所述第一外延层一侧表面的第三外延层;

在所述第三外延层内形成阱区、源区以及沟槽;

基于所述沟槽,在所述第二外延层中进行离子注入,形成与所述第二外延层反型的掺杂区;所述掺杂区贯穿所述第二外延层;

10 在所述沟槽内形成栅极。

优选的,在上述制作方法中,所述第二外延层具有待注入区以及包围所述待注入区的第一层阱区;

在所述第三外延层内形成阱区、源区以及沟槽,包括:

通过离子注入,在所述第三外延层内依次形成第二层阱区、第三层阱区以及源区;所述第二层阱区位于所述第一层阱区与所述第三层阱区之间,所述源区位于所述第三层阱区背离所述第二层阱区的一侧;

在所述第三外延层背离所述第二外延层的一侧表面内形成所述沟槽;所述沟槽的底部位于所述第二外延层与所述第三层阱区之间;

其中,所述源区以及所述第三层阱区均与所述沟槽的侧壁接触;所述第二

—3—

层阱区与所述沟槽的侧壁具有间距。

优选的，在上述制作方法中，所述外延片的制作方法包括：

在所述半导体基底表面依次外延形成所述第一外延层、所述第二外延层以及所述第三外延层；

5 其中，所述第一外延层与所述第三外延层的掺杂类型相同，且与所述第二外延层为反型掺杂。

优选的，在上述制作方法中，还包括：

形成与所述源区连接的金属源极；

在所述半导体基底背离所述第一外延层的一侧表面形成金属漏极。

10 本申请还提供了一种如上述制作方法制备的碳化硅半导体器件，包括：

外延片，所述外延片包括：半导体基底；设置在所述半导体基底表面的第一外延层；设置在所述第一外延层背离所述半导体基底一侧表面的第二外延层；设置在所述第二外延层背离所述第一外延层一侧表面的第三外延层；

设置在所述第三外延层内的阱区、源区以及沟槽；

15 贯穿所述第二外延层的掺杂区，所述掺杂区所述第二外延层为反型掺杂，基于所述沟槽通过离子注入形成；

设置在所述沟槽内的栅极。

优选的，在上述碳化硅半导体器件中，所述第二外延层具有待注入区以及包围所述待注入区的第一层阱区；所述第三外延层内具有第二层阱区、第三层阱区以及所述源区；所述第二层阱区位于所述第一层阱区与所述第三层阱区之

20

—4—

间,所述源区位于所述第三层阱区背离所述第二层阱区的一侧;所述源区以及所述第三层阱区均与所述沟槽的侧壁接触;所述第二层阱区与所述沟槽的侧壁具有间距;所述沟槽位于所述第三外延层背离所述半导体基底的一侧表面内;所述沟槽的底部位于所述第二外延层与所述第三层阱区之间;

- 5 所述第三外延层的厚度不超过 $1\mu\text{m}$;所述沟槽的底部与所述第一外延层的距离小于 $1\mu\text{m}$ 。

优选的,在上述碳化硅半导体器件中,在所述沟槽的底部指向开口的方向上,所述沟槽的宽度满足均匀条件。

- 10 优选的,在上述碳化硅半导体器件中,在所述沟槽的底部指向开口的方向上,所述沟槽的宽度逐渐增大。

优选的,在上述碳化硅半导体器件中,所述掺杂区的宽度不大于所述沟槽的宽度。

优选的,在上述碳化硅半导体器件中,所述掺杂区、所述第一外延层与所述第三外延层的掺杂类型相同;

- 15 所述掺杂区的掺杂浓度大于所述第一外延层与所述第三外延层的掺杂浓度。

- 20 通过上述描述可知,本申请技术方案提供的碳化硅半导体器件及其制作方法中,外延片包括:半导体基底;设置在所述半导体基底表面的第一外延层;设置在所述第一外延层背离所述半导体基底一侧表面的第二外延层;设置在所述第二外延层背离所述第一外延层一侧表面的第三外延层。通过设置在第三外

—5—

延层上的沟槽形成栅极，而且还能够基于形成栅极之前的所述沟槽，在所述第二外延层中进行离子注入，以在所述第二外延层中形成与所述第二外延层反型的掺杂区，解决了碳化硅半导体功率器件不便于形成较大深度掺杂区的难题。

附图说明

5 为了更清楚地说明本申请实施例或相关技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据提供的附图获得其他的附图。

10 本说明书附图所绘示的结构、比例、大小等，均仅用以配合说明书所揭示的内容，以供熟悉此技术的人士了解与阅读，并非用以限定本申请可实施的限定条件，故不具技术上的实质意义，任何结构的修饰、比例关系的改变或大小的调整，在不影响本申请所能产生的功效及所能达成的目的下，均应仍落在本申请所揭示的技术内容得能涵盖的范围内。

图1为一种DMOSFET的结构示意图；

15 图2为一种UMOSFET的结构示意图；

图3为MOSFET开关瞬间的电压过冲及震荡现象的波形图；

图4-图10为本申请实施例提供的一种碳化硅半导体器件制作方法的工艺流程图；

图11为本申请实施例提供的一种碳化硅半导体器件的结构示意图；

20 图12为图10所示碳化硅半导体器件在开通瞬间的主要电流通路示意；

图13为图12所示碳化硅半导体器件等效寄生参数示意图；

图14为本申请实施例提供的一种碳化硅半导体器件在沟槽设计与掺杂区

离子注入面积的版图。

具体实施方式

下面将结合本申请实施例中的附图，对本申请中的实施例进行清楚、完整地描述，显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

SiC材料因其优良特性，在高功率方面具有强大的吸引力，成为高性能功率MOSFET的理想材料之一。SiC垂直功率MOSFET器件主要有横向型的双扩散DMOSFET以及垂直栅槽结构的UMOSFET。

10 如图1所示，图1为一种DMOSFET的结构示意图，包括：n+（n型重掺杂）的基底2；设置在基底2表面上的n-（n型轻掺杂）的漂移区3；位于漂移区3内的p型阱区4；以及位于p型阱区内的源区5，源区5包括n+掺杂区51和p+（p型重掺杂）掺杂区52。漂移区3表面上设置有栅极介质层7，栅极介质层7表面上具有栅极8。基底2背离漂移区3的一侧表面具有漏极1。

15 DMOSFET结构采用了平面扩散技术，采用难熔材料，如多晶硅栅作掩膜，用多晶硅栅的边缘定义p基区和n+源区。DMOS的名称就源于这种双扩散工艺。利用p型基区和n+源区的侧面扩散差异来形成表面沟道区域。

20 如图2所示，图2为一种UMOSFET的结构示意图，与图1所示结构不同在于，UMOSFET中设置有U型槽，U型槽的表面覆盖有栅极介质层7，栅极8填充在U型槽内。垂直栅槽结构的UMOSFET，其命名源于U型沟槽结构。该U型沟槽结构利用反应离子刻蚀在栅区形成。U型沟槽结构具有较高的沟道密度（沟道密度定义为有源区沟道宽度），这使得器件的开态特征电阻显著减小。

平面型SiC MOSFET经过行业内多年的研究，已经有一些厂商率先推出了商业化产品。对于普通横向型DMOSFET结构而言，现代技术进步已经达到了缩小MOS元胞尺寸而无法降低导通电阻的程度，主要原因是由于JFET颈区电阻的限制，即使采用更小的光刻尺寸，单位面积导通电阻也难以降到 $2\text{m}\Omega\cdot\text{cm}^2$ ，而沟槽结构可以有效解决这个问题。U型沟槽结构如图2所示，其采用了在存储器存储电容制各工艺中沟槽刻蚀技术，使导电沟道从横向变为纵向，相比普通结构消除了JFET颈电阻，大大增加了元胞密度，提高了功率半导体的电流处理能力。

然而，SiC UMOSFET在实际工艺制作和应用中仍然存在几个问题：

1)SiC漂移区的高电场导致栅极介质层上的电场很高，这个问题在槽角处加剧，从而在高漏极电压下造成栅极介质层迅速击穿；对于恶劣环境的静电效应以及电路中的高压尖峰耐受能力差。

2)由于SiC功率MOSFET主要应用在高压高频大电流领域，电路中的寄生参数会使得在高频开关过程中产生尖峰毛刺，如图3所示，图3为MOSFET开关瞬间的电压过冲及震荡现象的波形图，基于图3可知，造成器件电流通路上的瞬时过压同时增加了开关过程的损耗；或由于功率负载等变化形成大的浪涌电压，因此MOSFET抗浪涌电压能力和过压保护也非常重要。

因为常规MOSFET器件本身并不具备抗浪涌电压自抑制能力和过压保护能力，往往需要在实际应用中设计复杂的缓冲电路，浪涌电压抑制电路和过压保护电路。而这种外部匹配的抑制和过压保护电路往往有时间上的延迟，实际开关过程中的高频尖峰电压浪涌仍然由器件本身承受，有时会导致器件沟道区

的击穿失效，以及栅结构和电极欧姆接触区域的逐渐失效，引起器件可靠性问题。

3) 离子注入深度有限，导致很多针对性的沟槽栅极保护结构和抗浪涌设计从工艺上难以实现。一般用于形成栅极的沟槽深度在 $1\mu\text{m}$ - $2\mu\text{m}$ 以上，因为要
5 保护沟槽内栅极结构，掩埋型保护结构的实际制作工艺无法直接用离子注入完成，这是由于碳化硅工艺里，离子注入深度很难超过 $1\mu\text{m}$ 。现有技术一般是先通过刻蚀以及离子注入在先形成的外延层内形成所需掺杂区，然后形成两层特定结构的P型外延层，导致制作工艺复杂，且制作成本较高。

为使本申请的上述目的、特征和优点能够更加明显易懂，下面结合附图和
10 具体实施方式对本申请作进一步详细的说明。

如图4-图10所示，图4-图10为本申请实施例提供的一种碳化硅半导体器件制作方法的工艺流程图，该制作方法包括：

步骤 S11：如图 4 所示，提供一外延片，所述外延片包括：半导体基底 10；
设置在所述半导体基底 10 表面的第一外延层 11；设置在所述第一外延层 11
15 背离所述半导体基底 10 一侧表面的第二外延层 12；设置在所述第二外延层 12 背离所述第一外延层 11 一侧表面的第三外延层 13。

其中，所述外延片为碳化硅外延片，所述半导体基底 10 及其表面的各个外延层均为碳化硅材料。

步骤 S12：如图 5-图 8 所示，在所述第三外延层 13 内形成阱区、源区 15
20 以及沟槽 20；

步骤 S13：如图 9 所示，基于所述沟槽 20，在所述第二外延层 12 中进行

—9—

离子注入，形成与所述第二外延层 12 反型的掺杂区 17；所述掺杂区 17 贯穿所述第二外延层 12；

步骤 S14：如图 10 所示，在所述沟槽 20 内形成栅极 18。

其中，图 10 中仅是示出了半导体器件的一个元胞结构。所述半导体器件
5 可以为碳化硅 MOSFET 器件。实际产品中，所述半导体器件可以具有多个元胞结构。可以根据需求设置元胞数量以及布局方式，本申请实施例对此不作具体限定。

本申请实施例所述制作方法中，所述外延片的制作方法包括：在所述半导体基底 10 表面依次外延形成所述第一外延层 11、所述第二外延层 12 以及所述第三外延层 13；其中，所述第一外延层 11 与所述第三外延层 13 的掺杂类型相同，且与所述第二外延层 12 为反型掺杂。

可以设置所述半导体基底 10 为 n⁺型掺杂的碳化硅基底，所述第一外延层 11 以及所述第三外延层 13 均为 n-型掺杂的碳化硅外延层，所述第二外延层 12 为 p 型掺杂的碳化硅外延层。如是，p 型掺杂的第二外延层 12 为掩埋层，巧妙的采用具有该掩埋层的外延片，利用栅极 8 所需的沟槽 20，进行离子注入，
15 形成掺杂区 17，从而解决了沟槽栅极结构的屏蔽以及碳化硅材料注入工艺的难度。而且所述掺杂区 17 可以在器件电流通路中形成可以调制的 JFET 结构，自动调节器件电阻和自锁保护效应的同时还能够具有较小的器件元胞尺寸。

所述半导体器件中，阱区结构包括：第一层阱区 141、第二层阱区 142 和
20 第三层阱区 143。所述第二外延层 12 具有待注入区以及包围所述待注入区的第一层阱区 141；所述待注入区用于形成所述掺杂区 17。

—10—

步骤 S12 中，在所述第三外延层 13 内形成阱区、源区 15 以及沟槽 20，
包括：

首先，如图 5-图 7 所示，通过离子注入，在所述第三外延层 13 内依次形成第二层阱区 142、第三层阱区 143 以及源区 15；所述第二层阱区 142 位于所述第一层阱区 141 与所述第三层阱区 143 之间，所述源区 15 位于所述第三层阱区 143 背离所述第二层阱区 142 的一侧。

具体的，如图 5 所示，基于掩膜层 01，进行离子注入，在第三外延层 13 内形成第二层阱区 142，第二层阱区 142 包围一非注入区。基于图形化的所述掩膜层 01 形成所需的非注入区。沟槽 20 以及掺杂区 17 的垂直投影均在该非注入区内，且在平行于所述外延片的方向（即图 5-图 8 的水平方向）上，与该非注入区具有间距。进一步的，如图 6 所示，再次通过离子注入，在第二层阱区 142 上形成第三层阱区 143，第三层阱区 143 覆盖第二层阱区 142 及其包围的非注入区。进一步的，如图 7 所示，再次通过离子注入，在第三层阱区 143 上形成源区 15。

然后，如图 8 所示，在所述第三外延层 13 背离所述第二外延层 12 的一侧表面内形成所述沟槽 20；所述沟槽 20 的底部位于所述第二外延层 12 与所述第三层阱区 143 之间。

其中，所述源区 15 以及所述第三层阱区 143 均与所述沟槽 20 的侧壁接触；通过离子注入形成源区 15 时，离子注入区覆盖用于形成沟槽 20 的区域，故后续形成沟槽后，可以使得未被去除的源区 15 直接和沟槽 20 的侧壁接触。同样，通过离子注入形成第三层阱区 143 时，离子注入区覆盖用于形成沟槽 20 的区

域，故后续形成沟槽后，可以使得未被去除的第三层阱区 143 直接和沟槽 20 的侧壁接触。

所述第二层阱区 142 与所述沟槽 20 的侧壁具有间距。设置所述第二层阱区 142 所包围的非注入区的尺寸大于所述沟槽 20 的尺寸，设置所述沟槽 20 的垂直投影位于所述非注入区内，且与所述非注入区具有间距，即可以使得所述第二层阱区 142 与所述沟槽 20 的侧壁不接触，使得二者之间具有间距。

如图 10 所示，所述制作方法还包括：

形成与所述源区 15 连接的金属源极 21；

在所述半导体基底 10 背离所述第一外延层 11 的一侧表面形成金属漏极 19。

所述源区 15 包括掺杂类型相反的第一区域 151 和第二区域 152，所述源区 15 与第一区域 151 和第二区域 152 均接触。可以设置第一区域 151 是 n+型掺杂区，第二区域 152 为 p+型掺杂区。

本申请实施例所述制作方法形成的碳化硅半导体器件中，阱区结构包括三层，分别为第一层阱区 141、第二层阱区 142 和第三层阱区 143。最上层的第三层阱区 143 位于沟槽 20 左右两侧，且和沟槽 20 的侧壁接触。中间层的第二层阱区 142 包括位于沟槽 20 左右两侧的两部分，且与沟槽 20 的侧壁不接触。最下层的第一层阱区 141 位于沟槽 20 下方，与沟槽 20 无接触。

第二层阱区 142 的左右两部分与元胞结构竖向中轴线之间的距离大于第一层阱区 141 的左右两部分与元胞结构竖向中轴线之间的距离，具体的，元胞结构竖向中轴线为沟槽 20 的中轴线，如图 10 中虚线所示，相对于第二层阱区

142, 第一层阱区 141 更靠近所述中轴线。

可以通过所述掺杂区 17 可以在源漏极之间的电流路径上形成一个特定的 JFET 结构, 且 JFET 结构的导通特性, 可以通过所述掺杂区 17 的图形设计和离子注入浓度及图形轮廓进行优化调整, 以提高半导体器件的性能。

5 本申请技术方案通过在外延片中巧妙的涉及第二外延层 12 以及贯穿第二外延层 12 的所述掺杂区 17, 解决了 SiC 沟槽 MOSFET 栅氧结构的屏蔽和碳化硅材料中深注入工艺的难题, 同时, 所述掺杂区 17 还可以在器件的电流通路上引入了可以通过离子注入调制的 JFET 结构, 在自动调节器件导通电阻和自锁保护效应的同时, 还能够保持较小器件元胞尺寸。

10 通过上述描述可知, 基于本申请实施例所述制作方法形成的碳化硅半导体器件至少具有如下有益效果:

所述碳化硅半导体器件能够在元胞结构的电流通路上引入一 JFET 结构, 自动调节器件导通电阻和自锁保护效应的同时还能够保持较小器件元胞尺寸, 并且 JFET 结构的导通特性由所述掺杂区 17 的图形设计和离子注入浓度及图形轮廓进行优化调整, 设计和工艺灵活, 具有较好的可制造性。

15 利用具有掩埋层 (第二外延层 12) 的外延片和由所述掺杂区 17 注入调制的 JFET 结构, 在大的浪涌电压下可以自动扩展两侧的耗尽区从而增大 JFET 结构的导通电阻, 相当于一个缓冲器电路结构自行抑制浪涌尖峰; 同时在浪涌电压过大时, 两侧耗尽区域继续扩展而相互重叠, 起到封锁效应, 保护内部的沟槽表面的栅极介质层, 起到一定的尖峰电压过压保护作用。

20 虽然在引入 JFET 结构会增加一定的导通电阻, 却具有了开关缓冲和浪涌电压自抑制效果。

所述碳化硅半导体器件能增加器件对于浪涌电压和过电压的自抑制抗性，避免过压保护电路和过流保护电路由于实际作用上的时延造成的器件损坏和可靠性的减损。

同时也对电路开关过程中的尖峰抖动起到缓冲作用，减小开关损耗；可以减少电路设计中的缓冲电路及缓冲器电路结构，减少离散性的元器件，从而降低成本，也减少了实际模块体积，增强可靠性。

基于上述实施例，本申请另一实施例还提供了一种碳化硅半导体器件，可以采用上述实施例所述制作方法制备所述碳化硅半导体器件，其结构可以如图10所示，包括：

外延片，所述外延片包括：半导体基底 10；设置在所述半导体基底 10 表面的第一外延层 11；设置在所述第一外延层 11 背离所述半导体基底 10 一侧表面的第二外延层 12；设置在所述第二外延层 12 背离所述第一外延层 11 一侧表面的第三外延层 13；

15 设置在所述第三外延层内的阱区、源区 15 以及沟槽；

贯穿所述第二外延层 12 的掺杂区 17，所述掺杂区 17 与所述第二外延层为反型掺杂，基于所述沟槽通过离子注入形成；

设置在所述沟槽内的栅极 18。栅极 18 包括填充沟槽的填充介质以及位于填充介质表面的金属栅极。所述沟槽表面具有栅极介质层，形成栅极介质层后，20 在所述沟槽内形成栅极 18。填充介质可以为多晶硅等。在所述沟槽内形成栅

极介质层前，形成掺杂区 17。

其中，所述第二外延层 12 具有待注入区以及包围所述待注入区的第一层阱区 141；所述第三外延层 13 内具有第二层阱区 142、第三层阱区 142 以及所述源区 15；所述第二层阱区 142 位于所述第一层阱区 141 与所述第三层阱区 143 之间，所述源区 15 位于所述第三层阱区 143 背离所述第二层阱区 142 的一侧；所述源区 15 以及所述第三层阱区 143 均与所述沟槽的侧壁接触；所述沟槽的底部位于所述第二外延层 12 与所述第三层阱区 143 之间；所述第二层阱区 142 位于所述沟槽的两侧，与所述沟槽的侧壁具有间距。

所述碳化硅半导体器件中，所述第三外延层 13 的厚度不超过 $1\mu\text{m}$ ，这样第二层阱区 142 和第三层阱区 143 的离子注入深度均不超过 $1\mu\text{m}$ ，能够通过离子注入在碳化硅材料的第三外延层 13 内形成第二层阱区 142 和第三层阱区 143，且不造成晶格损伤。

本申请实施例中，所述沟槽的底部与所述第一外延层 11 的距离小于 $1\mu\text{m}$ ，以使得基于沟槽进行离子注入形成掺杂区 17 时，使得掺杂区 17 的离子注入深度小于 $1\mu\text{m}$ ，能够通过离子注入在碳化硅材料的第二外延层 12 内形成掺杂区 17，且不造成晶格损伤。掺杂区 17 和沟槽底部具有非零间距。

可选的，在所述沟槽的底部指向开口的方向（图 10 中由下至上的方向）上，所述沟槽的宽度满足均匀条件，即所述沟槽的宽度在该方向上均相同或是近似相同，也就是说，所述沟槽为矩形沟槽。一般的第二外延层 12 为厚度均匀的外延层，设置所述沟槽的宽度满足均匀条件，便于形成在所述方向上宽度均匀的掺杂区 17。

其他方式中，所述电子设备的结构还可以如图 11 所示，图 11 为本申请实施例提供的一种碳化硅半导体器件的结构示意图，该方式与图 10 所示结构不同在于，在所述沟槽的底部指向开口的方向上，所述沟槽的宽度逐渐增大，即所述沟槽为 V 型槽或是倒梯形槽。如果是 V 型沟槽，掺杂区 17 为 V 型结构，
5 如果为倒梯形沟槽，在离子注入窗口大于沟槽底部时，掺杂区如图 11 所示为倒梯形结构，如果离子注入窗口不大于沟槽底部，掺杂区为矩形结构。

本申请实施例中，所述掺杂区 17 的宽度不大于所述沟槽的宽度，以便于能够基于所述沟槽进行离子注入形成所述掺杂区 17，以降低离子注入的深度，

所述掺杂区 17、所述第一外延层 11 与所述第三外延层 13 的掺杂类型相同。
10

所述碳化硅半导体器件为 NMOS。所述半导体基底 10 为 n+型基底，所述第一外延层 11 与所述第三外延层 13 均为 n-型掺杂，所述第二外延层 12 为 p-型掺杂，所述掺杂区 17 为 n 型掺杂。本申请实施例中，掺杂浓度大小关系为 $n+ > n > n-$ ， $p+ > p > p-$ 。n-、n 和 n+为同型掺杂，都是第一类型掺杂。p-、p
15 和 p+为同型掺杂，都是第二类型掺杂。第一类型掺杂与第二类型掺杂为反型掺杂。

显然，所述碳化硅半导体器件还可以为 PMOS。可以基于需求设置掺杂类型，以形成 NMOS 或是 PMOS。

所述掺杂区 17 的掺杂浓度大于所述第一外延层 11 与所述第三外延层 13
20 的掺杂浓度。所述掺杂区 17 为 n+型掺杂。

如图12所示，图12为图10所示碳化硅半导体器件在开通瞬间的主要电流通

—16—

路示意，源漏极之间具有电流通路，图12所示中间虚线曲线表示电路通路，电流通过经过基于掺杂区17形成的JFET结构。由于电流迅速变化，在电路中产生高频尖峰电压，而与此同时由于电流通路上电压迅速变化，JFET结构的耗尽区域（图12中左右两条虚线曲线之间的区域）对应不同的电压变化情况，会迅速扩展或是收缩，JFET结构此时等效为一个可变电阻R和一个结电容C的并联结构，如图13所示，图13为图12所示碳化硅半导体器件等效寄生参数示意图。

通过具体的电路应用及器件电学模型模拟，选取合适的第二外延层12厚度d以及掺杂浓度，以及掺杂区17离子注入结构的图形设计和浓度及图形轮廓设计来优化调整，就可以得到合适的寄生参数值（所需的可变电阻R和一个结电容C），对实际应用于不同开关频率电路模块中时，起到有效的电压尖峰抑制作用，同时减小开通损耗。

本申请实施例中仅是以单个元胞结构对碳化硅半导体器件进行说明。显然在制作所述半导体器件时可以基于晶圆级工艺同时制作多个元胞结构，然后分割晶圆形成所述碳化硅半导体器件，所述碳化硅半导体器件具有多个元胞结构。

如图14所示，图14为本申请实施例提供的一种碳化硅半导体器件在沟槽设计与掺杂区离子注入面积的版图，掺杂区17的注入窗口位于沟槽20内，JFET结构的通道特性，可以由掺杂区17的图形设计、离子注入浓度以及图形轮廓设计进行调整。掺杂区17的注入窗口面积可以小于或是等于沟槽20的面积。

本说明书中各个实施例采用递进、或并列、或递进和并列结合的方式描述，每个实施例重点说明的都是与其他实施例的不同之处，各个实施例之间相同相似部分互相参见即可。

需要说明的是，在本申请的描述中，需要理解的是，术语“上”、“下”、“顶”、“底”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本申请和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本申请的限制。当一个组件被认为是“连接”另一个组件，它可以是直接连接到另一个组件或者可能同时存在居中设置的组件。

还需要说明的是，在本文中，诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来，而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的物品或者设备不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种物品或者设备所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括上述要素的物品或者设备中还存在另外的相同要素。

对所公开的实施例的上述说明，使本领域专业技术人员能够实现或使用本申请。对这些实施例的多种修改对本领域的专业技术人员来说将是显而易见的，本文中所定义的一般原理可以在不脱离本申请的精神或范围的情况下，在其它实施例中实现。因此，本申请将不会被限制于本文所示的这些实施例，而是要符合与本文所公开的原理和新颖特点相一致的最宽的范围。

权 利 要 求

1、一种碳化硅半导体器件的制作方法，其特征在于，包括：

提供一外延片，所述外延片包括：半导体基底；设置在所述半导体基底表面的第一外延层；设置在所述第一外延层背离所述半导体基底一侧表面的第二
5 外延层；设置在所述第二外延层背离所述第一外延层一侧表面的第三外延层；

在所述第三外延层内形成阱区、源区以及沟槽；

基于所述沟槽，在所述第二外延层中进行离子注入，形成与所述第二外延层反型的掺杂区；所述掺杂区贯穿所述第二外延层；

在所述沟槽内形成栅极。

10 2、根据权利要求 1 所述的制作方法，其特征在于，所述第二外延层具有待注入区以及包围所述待注入区的第一层阱区；

在所述第三外延层内形成阱区、源区以及沟槽，包括：

通过离子注入，在所述第三外延层内依次形成第二层阱区、第三层阱区以及源区；所述第二层阱区位于所述第一层阱区与所述第三层阱区之间，所述源
15 区位于所述第三层阱区背离所述第二层阱区的一侧；

在所述第三外延层背离所述第二外延层的一侧表面内形成所述沟槽；所述沟槽的底部位于所述第二外延层与所述第三层阱区之间；

其中，所述源区以及所述第三层阱区均与所述沟槽的侧壁接触；所述第二层阱区与所述沟槽的侧壁具有间距。

3、根据权利要求 1 所述的制作方法，其特征在于，所述外延片的制作方法包括：

在所述半导体基底表面依次外延形成所述第一外延层、所述第二外延层以及所述第三外延层；

5 其中，所述第一外延层与所述第三外延层的掺杂类型相同，且与所述第二外延层为反型掺杂。

4、根据权利要求 1-3 任一项所述的制作方法，其特征在于，还包括：

形成与所述源区连接的金属源极；

在所述半导体基底背离所述第一外延层的一侧表面形成金属漏极。

10 5、一种如权利要求 1-4 任一项所述制作方法制备的碳化硅半导体器件，其特征在于，包括：

外延片，所述外延片包括：半导体基底；设置在所述半导体基底表面的第一外延层；设置在所述第一外延层背离所述半导体基底一侧表面的第二外延层；设置在所述第二外延层背离所述第一外延层一侧表面的第三外延层；

15 设置在所述第三外延层内的阱区、源区以及沟槽；

贯穿所述第二外延层的掺杂区，所述掺杂区所述第二外延层为反型掺杂，基于所述沟槽通过离子注入形成；

设置在所述沟槽内的栅极。

6、根据权利要求 5 所述的碳化硅半导体器件，其特征在于，所述第二外延层具有待注入区以及包围所述待注入区的第一层阱区；所述第三外延层内具

20

— 20 —

有第二层阱区、第三层阱区以及所述源区；所述第二层阱区位于所述第一层阱区与所述第三层阱区之间，所述源区位于所述第三层阱区背离所述第二层阱区的一侧；所述源区以及所述第三层阱区均与所述沟槽的侧壁接触；所述第二层阱区与所述沟槽的侧壁具有间距；所述沟槽位于所述第三外延层背离所述半导体基底的一侧表面内；所述沟槽的底部位于所述第二外延层与所述第三层阱区之间；

所述第三外延层的厚度不超过 $1\mu\text{m}$ ；所述沟槽的底部与所述第一外延层的距离小于 $1\mu\text{m}$ 。

7、根据权利要求 5 所述的碳化硅半导体器件，其特征在于，在所述沟槽的底部指向开口的方向上，所述沟槽的宽度满足均匀条件。

8、根据权利要求 5 所述的碳化硅半导体器件，其特征在于，在所述沟槽的底部指向开口的方向上，所述沟槽的宽度逐渐增大。

9、根据权利要求 5 所述的碳化硅半导体器件，其特征在于，所述掺杂区的宽度不大于所述沟槽的宽度。

10、根据权利要求 5 所述的碳化硅半导体器件，其特征在于，所述掺杂区、所述第一外延层与所述第三外延层的掺杂类型相同；

所述掺杂区的掺杂浓度大于所述第一外延层与所述第三外延层的掺杂浓度。

A cross-sectional view of a substrate assembly. The assembly consists of several layers: a bottom-most solid black layer (1), a cross-hatched layer (2), a dotted layer (3), a horizontally-hatched layer (4), and a top white layer (5). A central opening is formed in the top layer (5) and extends through layers 4, 3, and 2. A central electrode (8) is positioned within this opening, extending from the top surface. The electrode (8) is surrounded by a vertical layer (7). On the top surface of the white layer (5), there are three circular features (6) and two rectangular features (52). Arrows point from the labels 1 through 8 to their respective components.

图 2

- 2/7 -

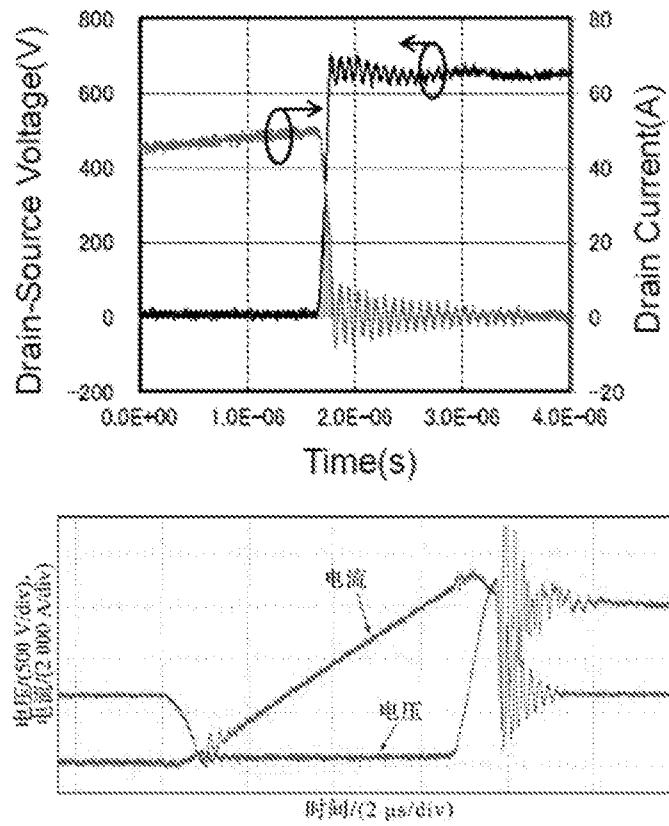


图 3

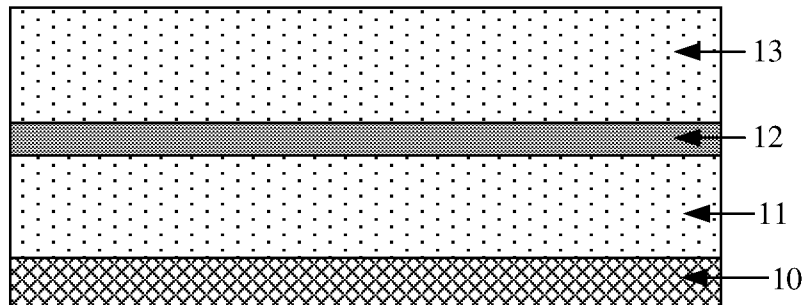


图 4

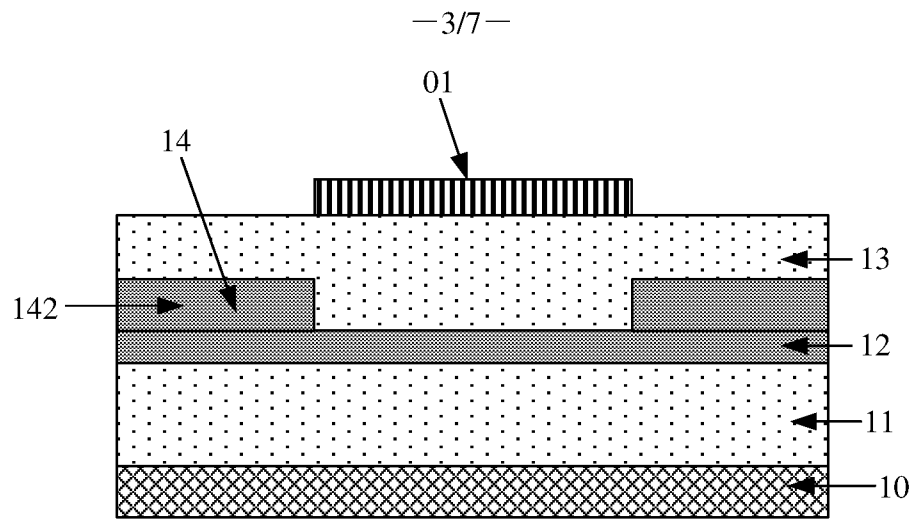


图 5

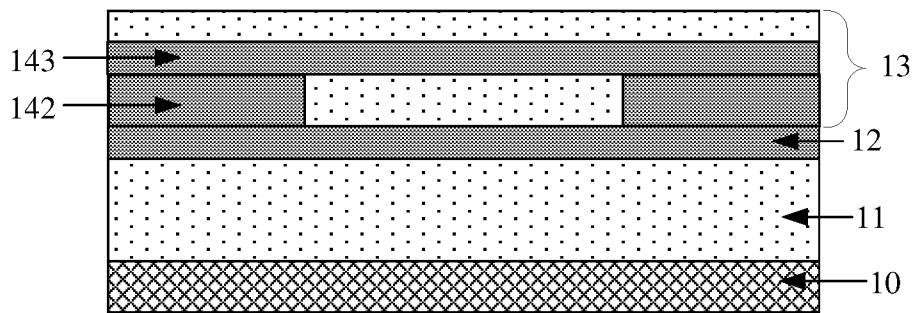


图 6

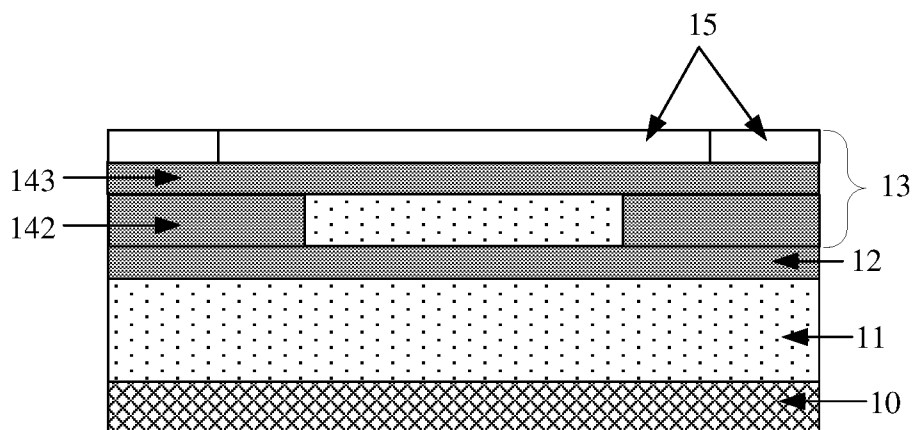


图 7

—4/7—

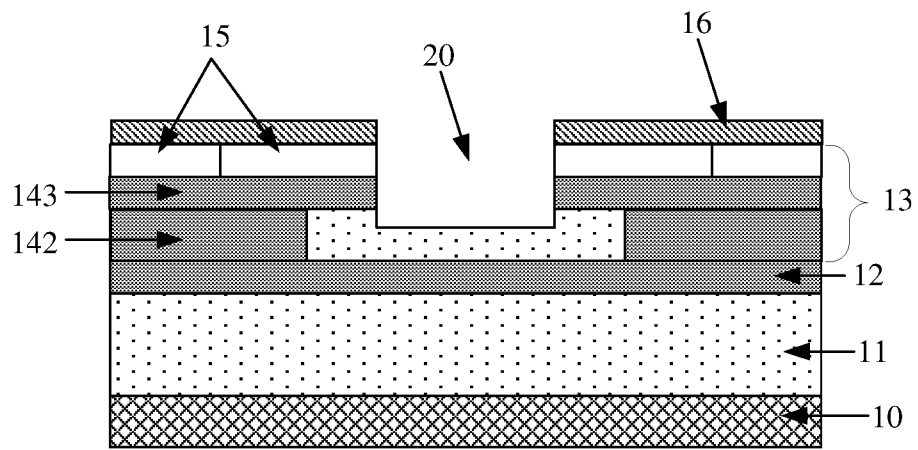


图 8

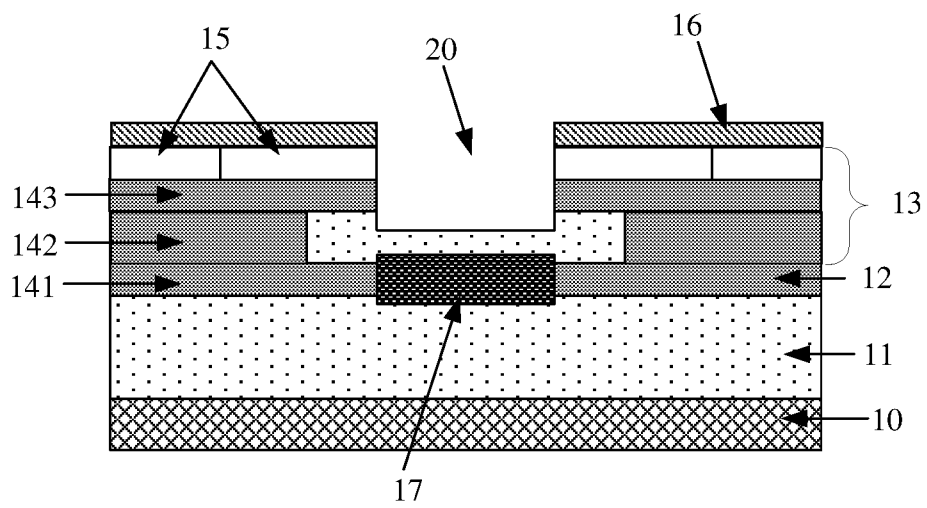


图 9

—5/7—

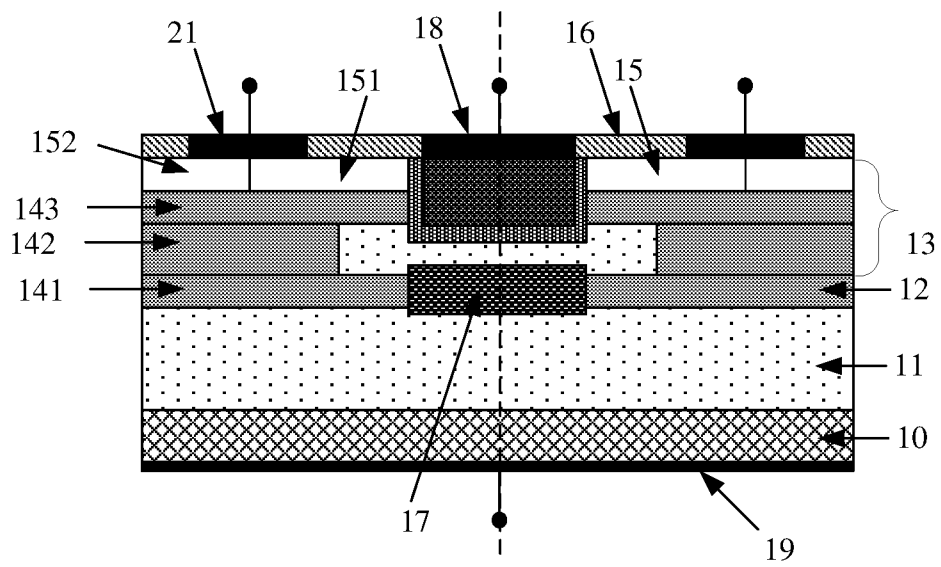


图 10

—6/7—

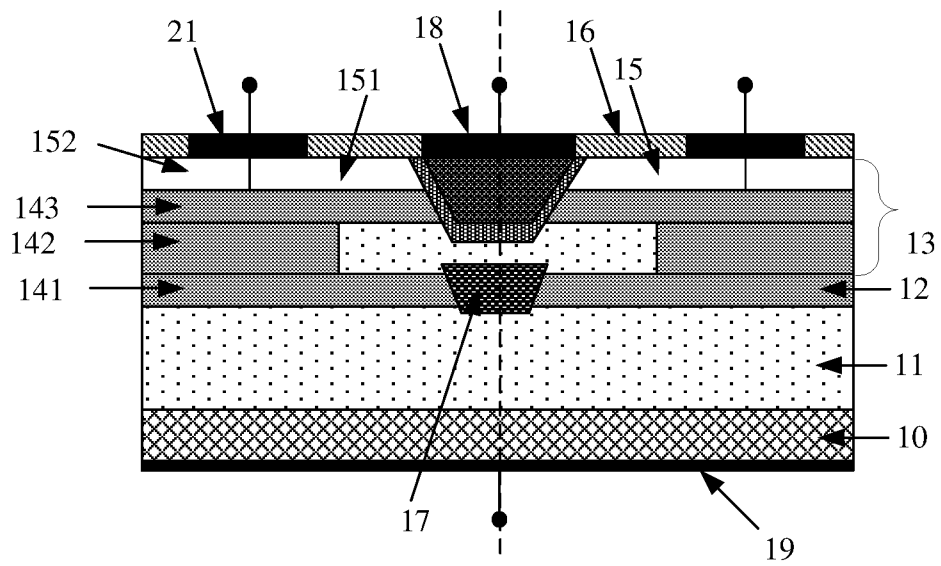


图 11

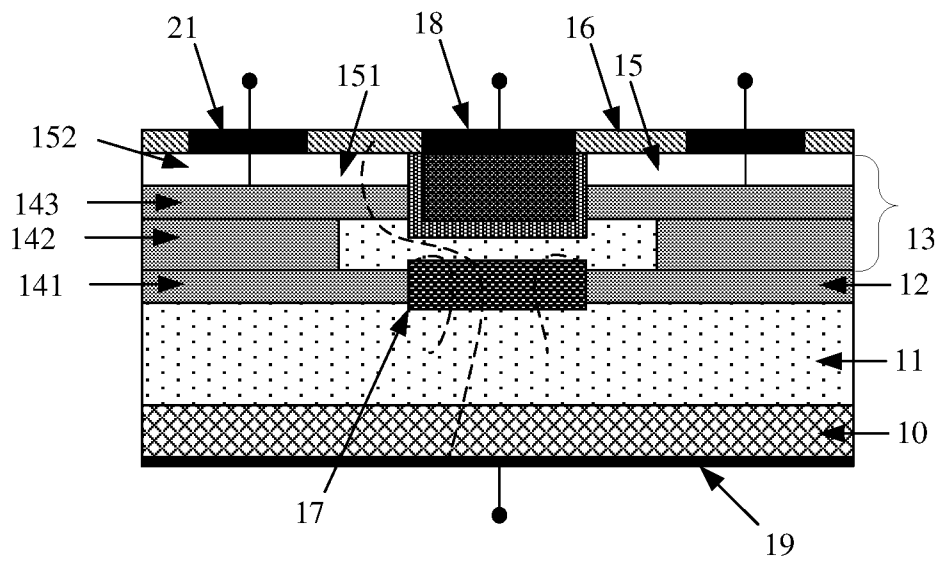


图 12

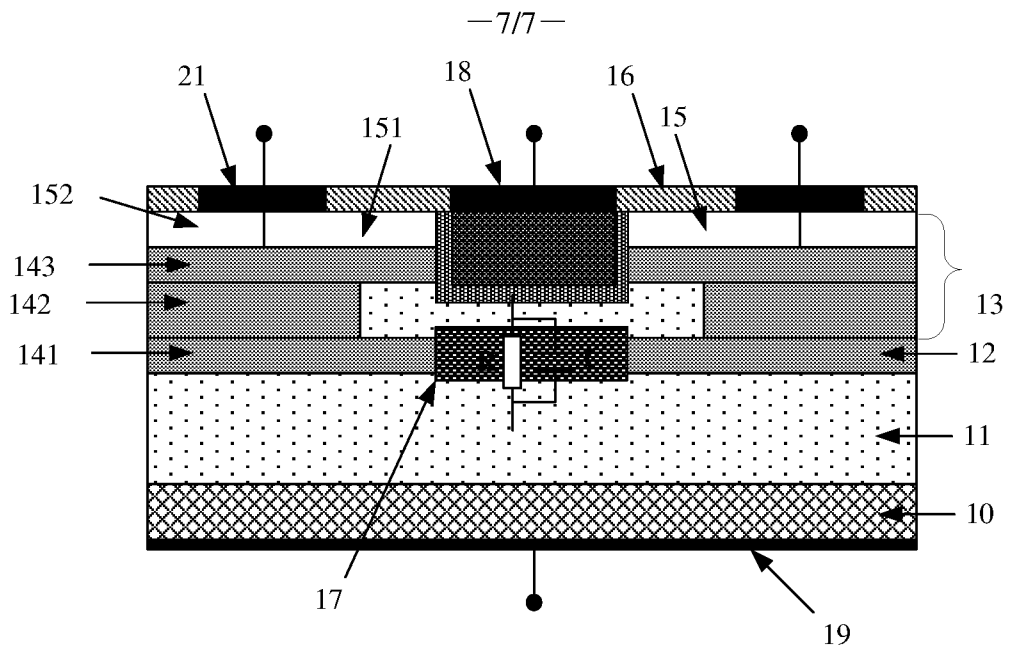


图 13

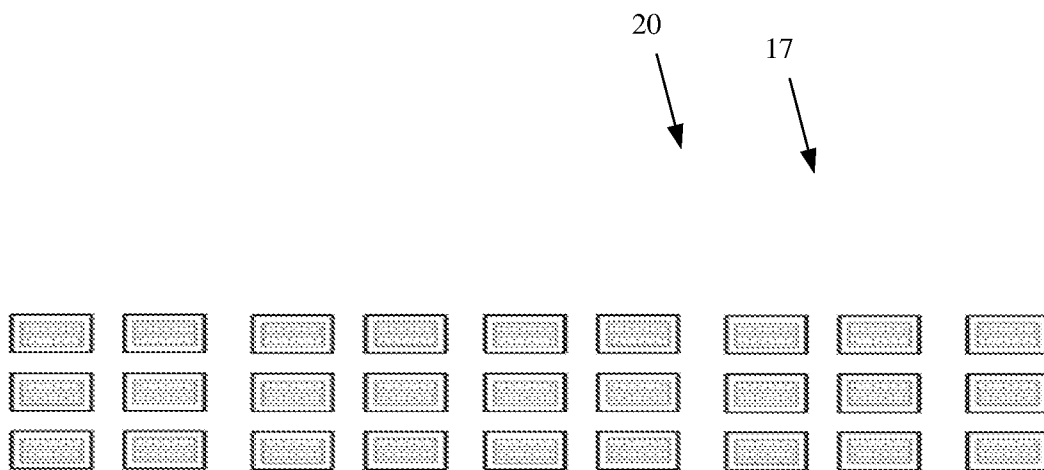


图 14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/125793

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336(2006.01)i; H01L 29/78(2006.01)i; H01L 29/423(2006.01)i; H01L 29/16(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT; ENTXT; ENTXTC; DWPI; CNKI: 碳化硅, 外延, 第一, 第二, 第三, 阱区, 源区, 沟槽, 离子注入, 掺杂区, 反型, 栅极, SiC, epitaxial, first, second, third, well region, source region, trench, ion implant, doped region, inverse type, gate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 114141627 A (LABORATORY IN JUHUAN MOUNTAIN OF HUBEI) 04 March 2022 (2022-03-04) claims 1-10, description, paragraphs 5-105, and figures 1-14	1-10
Y	CN 111048587 A (CSMC TECHNOLOGIES CORP.) 21 April 2020 (2020-04-21) description, paragraphs 5-57, and figures 1-3d	1-10
Y	CN 102110716 A (UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA) 29 June 2011 (2011-06-29) description, paragraphs 13-40, and figure 2c	1-10
Y	US 2004150039 A1 (INTERNATIONAL RECTIFIER CORP.) 05 August 2004 (2004-08-05) description, paragraphs 22-50, and figures 4-6	1-10
A	CN 111384179 A (FUJI ELECTRIC CO., LTD.) 07 July 2020 (2020-07-07) entire document	1-10
A	CN 111403487 A (ALPHA POWER SOLUTIONS LTD.) 10 July 2020 (2020-07-10) entire document	1-10
A	CN 104752506 A (HYUNDAI MOTOR CO.) 01 July 2015 (2015-07-01) entire document	1-10

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

25 November 2022

Date of mailing of the international search report

03 January 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/125793

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	114141627	A	04 March 2022	CN	216120213	U	22 March 2022
CN	111048587	A	21 April 2020	WO	2020078315	A1	23 April 2020
				EP	3869566	A1	25 August 2021
				US	2021167191	A1	03 June 2021
				CN	111048587	B	02 July 2021
				US	11387349	B2	12 July 2022
				EP	3869566	A4	13 July 2022
CN	102110716	A	29 June 2011	US	2012168856	A1	05 July 2012
				CN	102110716	B	05 March 2014
				US	8890280	B2	18 November 2014
US	2004150039	A1	05 August 2004	US	6979862	B2	27 December 2005
CN	111384179	A	07 July 2020	US	2020212183	A1	02 July 2020
				JP	2020107703	A	09 July 2020
				DE	102019216309	A1	02 July 2020
				US	10930741	B2	23 February 2021
CN	111403487	A	10 July 2020	CN	212113730	U	08 December 2020
CN	104752506	A	01 July 2015	US	2015187883	A1	02 July 2015
				KR	20150076840	A	07 July 2015
				DE	102014218007	A1	02 July 2015

国际检索报告

国际申请号

PCT/CN2022/125793

A. 主题的分类

H01L 21/336(2006.01)i; H01L 29/78(2006.01)i; H01L 29/423(2006.01)i; H01L 29/16(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTXT;ENTXT;ENTXTC;DWPI;CNKI: 碳化硅, 外延, 第一, 第二, 第三, 阱区, 源区, 沟槽, 离子注入, 掺杂区, 反型, 栅极, SiC, epitaxial, first, second, third, well region, source region, trench, ion implant, doped region, inverse type, gate

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 114141627 A (湖北九峰山实验室) 2022年3月4日 (2022 - 03 - 04) 权利要求1-10, 说明书第5-105段, 图1-14	1-10
Y	CN 111048587 A (无锡华润上华科技有限公司) 2020年4月21日 (2020 - 04 - 21) 说明书第5-57段, 图1-3d	1-10
Y	CN 102110716 A (电子科技大学) 2011年6月29日 (2011 - 06 - 29) 说明书第13-40段, 图2c	1-10
Y	US 2004150039 A1 (INTERNATIONAL RECTIFIER CORP.) 2004年8月5日 (2004 - 08 - 05) 说明书第22-50段, 图4-6	1-10
A	CN 111384179 A (富士电机株式会社) 2020年7月7日 (2020 - 07 - 07) 全文	1-10
A	CN 111403487 A (创能动力科技有限公司) 2020年7月10日 (2020 - 07 - 10) 全文	1-10
A	CN 104752506 A (现代自动车株式会社) 2015年7月1日 (2015 - 07 - 01) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年11月25日

国际检索报告邮寄日期

2023年1月3日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

吕媛

电话号码 86-(010)-62411020

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/125793

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	114141627	A	2022年3月4日	CN	216120213	U	2022年3月22日
CN	111048587	A	2020年4月21日	WO	2020078315	A1	2020年4月23日
				EP	3869566	A1	2021年8月25日
				US	2021167191	A1	2021年6月3日
				CN	111048587	B	2021年7月2日
				US	11387349	B2	2022年7月12日
				EP	3869566	A4	2022年7月13日
CN	102110716	A	2011年6月29日	US	2012168856	A1	2012年7月5日
				CN	102110716	B	2014年3月5日
				US	8890280	B2	2014年11月18日
US	2004150039	A1	2004年8月5日	US	6979862	B2	2005年12月27日
CN	111384179	A	2020年7月7日	US	2020212183	A1	2020年7月2日
				JP	2020107703	A	2020年7月9日
				DE	102019216309	A1	2020年7月2日
				US	10930741	B2	2021年2月23日
CN	111403487	A	2020年7月10日	CN	212113730	U	2020年12月8日
CN	104752506	A	2015年7月1日	US	2015187883	A1	2015年7月2日
				KR	20150076840	A	2015年7月7日
				DE	102014218007	A1	2015年7月2日