

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6727897号
(P6727897)

(45) 発行日 令和2年7月22日(2020.7.22)

(24) 登録日 令和2年7月3日(2020.7.3)

(51) Int.Cl. F I
HO 1 L 27/146 (2006.01) HO 1 L 27/146 A
 HO 1 L 27/146 D

請求項の数 26 (全 25 頁)

(21) 出願番号	特願2016-81833 (P2016-81833)	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成28年4月15日(2016.4.15)	(74) 代理人	100094112 弁理士 岡部 譲
(65) 公開番号	特開2016-219792 (P2016-219792A)	(74) 代理人	100101498 弁理士 越智 隆夫
(43) 公開日	平成28年12月22日(2016.12.22)	(74) 代理人	100106183 弁理士 吉澤 弘司
審査請求日	平成31年4月11日(2019.4.11)	(74) 代理人	100128668 弁理士 齋藤 正巳
(31) 優先権主張番号	特願2015-101704 (P2015-101704)	(72) 発明者	磯部 真里 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(32) 優先日	平成27年5月19日(2015.5.19)		
(33) 優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 固体撮像装置、固体撮像装置の製造方法、および撮像システム

(57) 【特許請求の範囲】

【請求項1】

固体撮像装置の製造方法であって、

第1の領域、第2の領域、第3の領域及び第4の領域を有する基板の上に、第1のトランジスタの第1のゲート電極と、前記第1のゲート電極に隣接する、第2のトランジスタの第2のゲート電極とを、前記第1のゲート電極が前記第1の領域の上に位置し、前記第2のゲート電極が前記第2の領域の上に位置し、前記第1のゲート電極と前記第2のゲート電極との間隙が前記第4の領域の上に位置するように形成する工程と、

前記第4の領域、前記第1のゲート電極及び前記第2のゲート電極を覆う絶縁体膜を成膜する工程と、

前記絶縁体膜の上に、前記第3の領域及び前記第4の領域を覆う遮光性の材料よりなる膜を成膜する工程と、

前記絶縁体膜を挟んでボイドの上に位置している前記遮光性の材料よりなる膜のうち、少なくとも前記第4の領域の上に位置する一部をエッチングで除去し、前記遮光性の材料よりなる膜から前記第3の領域の上に遮光部材を形成する工程と、

前記遮光部材、前記第1のゲート電極及び前記第2のゲート電極を覆う絶縁膜を形成する工程と、

前記絶縁膜を貫通して前記第1のトランジスタ及び前記第2のトランジスタのいずれかに接続するコンタクトプラグを形成する工程と、

前記絶縁膜の上に、前記コンタクトプラグに接続する配線を形成する工程と、

を有し、

前記遮光性の材料よりなる膜を成膜する工程において、前記絶縁体膜と前記第4の領域との間にボイドが存在する固体撮像装置の製造方法。

【請求項2】

前記遮光性の材料よりなる膜のエッチング時間に対する前記絶縁体膜のエッチング時間の比をa、前記遮光部材となる前記遮光性の材料よりなる膜と前記絶縁体膜のエッチング選択比をb、前記絶縁体膜の膜厚をt、前記遮光部材の膜厚を d_1 としたとき、

前記絶縁体膜が、 $a \times b \times d_1 \leq t$ を満たすように形成される請求項1に記載の固体撮像装置の製造方法。

【請求項3】

前記第4の領域は前記第1のトランジスタ及び前記第2のトランジスタで共有される不純物領域を含み、前記コンタクトプラグを形成する工程では、前記不純物領域の上に前記コンタクトプラグを形成しない請求項1または2に記載の固体撮像装置の製造方法。

【請求項4】

前記固体撮像装置は周辺回路を備え、

前記第1のトランジスタ及び前記第2のトランジスタは、前記周辺回路を構成する請求項1乃至3のいずれか1項に記載の固体撮像装置の製造方法。

【請求項5】

前記固体撮像装置は複数の画素回路を有する画素領域を備え、

前記画素回路は、

光電変換部からの電荷を電荷保持部に転送する第1の転送トランジスタと、

前記電荷保持部からの電荷を電荷電圧変換部に転送する第2の転送トランジスタと、

前記電荷電圧変換部の電位に応じた信号を出力する増幅トランジスタと、

を有し、

前記電荷保持部を含み、前記電荷保持部は前記遮光部材によって覆われている請求項1乃至4のいずれか1項に記載の固体撮像装置の製造方法。

【請求項6】

前記遮光部材は、前記第1の転送トランジスタのゲート電極と前記第2の転送トランジスタのゲート電極とを覆う請求項5に記載の固体撮像装置の製造方法。

【請求項7】

前記第1のゲート電極及び前記第2のゲート電極を形成する工程と前記絶縁体膜を成膜する工程の間に、

前記第1のゲート電極及び前記第2のゲート電極を覆う誘電体膜を成膜する工程と、

前記誘電体膜をエッチバックすることにより前記第1のゲート電極及び前記第2のゲート電極の側面上にサイドウォールスペーサを形成する工程と、

をさらに有する請求項1乃至6のいずれか1項に記載の固体撮像装置の製造方法。

【請求項8】

前記第1のゲート電極及び前記第2のゲート電極を形成する工程と前記絶縁体膜を形成する工程の間に、

前記第1のゲート電極及び前記第2のゲート電極を覆う第1の誘電体膜を形成する工程と、

前記第1の誘電体膜をエッチングすることにより前記第1のゲート電極及び前記第2のゲート電極の側面上に第1のサイドウォールスペーサを形成する工程と、

前記第1のサイドウォールスペーサを覆う第2の誘電体膜を形成する工程と、

前記第2の誘電体膜をエッチングすることにより前記第1のサイドウォールスペーサの上に第2のサイドウォールスペーサを形成する工程と、

をさらに有する、請求項1乃至6のいずれか1項に記載の固体撮像装置の製造方法。

【請求項9】

前記第1のサイドウォールスペーサを形成する工程と第2の誘電体膜を形成する工程の間に、前記第1のサイドウォールスペーサ、前記第1のゲート電極及び前記第2のゲート

10

20

30

40

50

電極を覆う第3の誘電体膜を形成する工程をさらに有し、

前記絶縁体膜を成膜する工程において、前記第1のサイドウォールスペーサと前記第2のサイドウォールスペーサとの間、前記絶縁体膜と前記第1のゲート電極の上面との間及び前記絶縁体膜と前記第2のゲート電極の上面との間に、前記第3の誘電体膜が位置する請求項8に記載の固体撮像装置の製造方法。

【請求項10】

第1の領域、第2の領域、第3の領域及び第4の領域を有する基板と、
前記第1の領域の上に位置する、第1のトランジスタの第1のゲート電極と、
前記第2の領域の上に位置し、前記第1のゲート電極に隣り合う、第2のトランジスタの第2のゲート電極と、

10

前記第3の領域、前記第4の領域、前記第1のゲート電極及び前記第2のゲート電極を覆う絶縁膜と、

前記絶縁膜と前記基板の間に配され、前記第3の領域、前記第4の領域、前記第1のゲート電極及び前記第2のゲート電極を覆う絶縁体膜と、

前記絶縁膜と前記第3の領域の間に設けられた遮光部材と、

前記絶縁膜の上に設けられた配線と、を備え、

前記絶縁体膜のうちの前記第3の領域を覆う部分が前記遮光部材と前記第3の領域の間に位置し、

前記第1のゲート電極と前記第2のゲート電極の間隙が前記第4の領域の上に位置し、
前記絶縁体膜のうちの前記第4の領域を覆う部分と前記第4の領域の間にボイドが存在する、固体撮像装置。

20

【請求項11】

前記絶縁膜と前記基板との間に配された絶縁体の一部が前記第1のゲート電極と前記第2のゲート電極の間の前記間隙に位置し、前記ボイドが前記絶縁体の前記一部と前記絶縁膜との間に位置する、請求項10に記載の固体撮像装置。

【請求項12】

前記絶縁体は、前記第1のゲート電極と前記第2のゲート電極の間に設けられたサイドウォールスペーサを含む、請求項11に記載の固体撮像装置。

【請求項13】

前記絶縁体は、前記サイドウォールスペーサと前記ボイドの間に位置する部分をさらに含む、請求項12に記載の固体撮像装置。

30

【請求項14】

前記サイドウォールスペーサは窒化シリコンからなり、前記第3の領域と前記遮光部材の間には窒化シリコン膜が位置する、請求項12または13に記載の固体撮像装置。

【請求項15】

前記絶縁体は、前記第1のゲート電極の上面の上に位置する第1の部分と、前記第2のゲート電極の上面の上に位置する第2の部分と、を含み、前記ボイドが前記第1の部分と前記第2の部分の間に位置する、請求項11乃至14のいずれか1項に記載の固体撮像装置。

【請求項16】

前記第3の領域と前記遮光部材の間には窒化シリコン膜が設けられており、前記窒化シリコン膜と前記遮光部材の間には酸化シリコン膜が設けられている、請求項10乃至15のいずれか1項に記載の固体撮像装置。

40

【請求項17】

前記絶縁体膜は前記ボイドに接する、請求項10乃至16のいずれか1項に記載の固体撮像装置。

【請求項18】

前記ボイドと前記絶縁膜の間には、前記遮光部材の材料と同じ材料からなる部材が存在しない、請求項10乃至17のいずれか1項に記載の固体撮像装置。

【請求項19】

50

前記遮光部材の材料は、タンゲステンまたはタンゲステンシリサイドである、請求項 10 乃至 18 のいずれか 1 項に記載の固体撮像装置。

【請求項 20】

複数の画素回路を有する画素領域と、前記画素領域の周辺に位置し、周辺回路が配された周辺領域と、を備え、前記第 3 の領域は前記画素領域に位置し、前記第 4 の領域は前記周辺領域に位置する、請求項 10 乃至 19 のいずれか 1 項に記載の固体撮像装置。

【請求項 21】

前記第 1 のトランジスタと前記第 2 のトランジスタは不純物領域を共有しており、前記ボイドは前記不純物領域の上に存在している請求項 10 乃至 19 のいずれか 1 項に記載の固体撮像装置。

10

【請求項 22】

前記画素回路は、
光電変換部の電荷を電荷保持部に転送する第 1 の転送トランジスタと、
前記電荷保持部の電荷を電荷電圧変換部に転送する第 2 の転送トランジスタと、
前記電荷電圧変換部に接続されたゲート電極を有する第 3 トランジスタと、
を含み、
前記第 1 の転送トランジスタのゲート電極と、前記遮光部材は前記電荷保持部と、前記第 2 の転送トランジスタのゲート電極と、を覆う、請求項 20 に記載の固体撮像装置。

【請求項 23】

前記第 1 のゲート電極と前記第 2 のゲート電極の間隔は、 $0.1 \mu\text{m}$ より大きく、 $0.3 \mu\text{m}$ より小さい、請求項 10 乃至 22 のいずれか 1 項に記載の固体撮像装置。

20

【請求項 24】

請求項 10 乃至 23 のいずれか 1 項に記載の固体撮像装置と、
前記固体撮像装置が出力する信号を処理する信号処理部と、
を有する撮像システム。

【請求項 25】

グローバル電子シャッタ機能を備えた CMOS イメージセンサと、
前記 CMOS イメージセンサが出力する信号を処理する信号処理部と、
を有する撮像システムであって、
前記 CMOS イメージセンサは、
第 1 の領域、第 2 の領域、第 3 の領域及び第 4 の領域を有する基板と、
前記第 1 の領域の上に位置する、第 1 のトランジスタの第 1 のゲート電極と、
前記第 2 の領域の上に位置し、前記第 1 のゲート電極に隣り合う、第 2 のトランジスタの第 2 のゲート電極と、
前記第 3 の領域、前記第 4 の領域、前記第 1 のゲート電極及び前記第 2 のゲート電極を覆う絶縁膜と、
前記第 3 の領域、前記第 4 の領域、前記第 1 のゲート電極及び前記第 2 のゲート電極を覆う絶縁体膜と、

30

前記絶縁膜と前記第 3 の領域の間に設けられた遮光部材と、を備え、
前記絶縁膜と前記基板の間に配され、前記絶縁体膜のうちの前記第 3 の領域を覆う部分が前記遮光部材と前記第 3 の領域の間に位置し、

40

前記第 1 のゲート電極と前記第 2 のゲート電極の間隙が前記第 4 の領域の上に位置し、前記絶縁体膜のうちの前記第 4 の領域を覆う部分と前記第 4 の領域の間にボイドが存在する、撮像システム。

【請求項 26】

前記 CMOS イメージセンサは画素回路及び周辺回路を備え、前記第 1 のトランジスタ及び前記第 2 のトランジスタは前記周辺回路に含まれる、請求項 25 に記載の撮像システム。

【発明の詳細な説明】

【技術分野】

50

【0001】

本発明は、固体撮像装置、固体撮像装置の製造方法、および撮像システムに関する。

【背景技術】

【0002】

CMOSイメージセンサ、CCDイメージセンサなどの固体撮像装置において、光電変換を行う光電変換部以外の部分に光が入射されるのを防ぐ遮光部材が設けられている。例えば、グローバル電子シャッタ（全画素一括同時露光）機能を備えたCMOSイメージセンサは、光電変換部から転送された電荷を保持する電荷保持部を有している。電荷保持部に光が入射して光電変換が起こると、光電変換された電荷がノイズとなり、画質が劣化する虞がある。このため、電荷保持部を遮光部材で覆い、光の入射を防いでいる。また、CCDイメージセンサにおいてもCMOSイメージセンサと同様に、読み出し部に光が入射するとノイズの原因となるため、読み出し部を遮光部材で覆っている。

10

【0003】

遮光部材を有する固体撮像装置においては、基板と遮光部材との間に光学的に透明な層間絶縁膜が存在するため、この層間絶縁膜を介して侵入する光を防ぐことによって遮光性能の向上が図られている。特許文献1では、遮光部材の下に配される絶縁膜をエッチングすることでこの絶縁膜の膜厚を薄くしている。遮光部材の下の絶縁膜を薄くして光電変換部と遮光部材の下面との距離を縮めることで、電荷保持部への光の漏れを抑制し、遮光性能の向上を図っている。

【先行技術文献】

20

【特許文献】

【0004】

【特許文献1】特開2012-248681号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ゲート電極間の間隔がある程度の大きさを有する場合には、隣り合うゲート電極上に絶縁膜を形成し、遮光膜を製膜した場合、ゲート電極間で絶縁膜が十分平らになる部分があるため、遮光膜をエッチングしても残渣は発生しにくい。一方、半導体プロセスの微細化により、ゲート電極間の間隔が狭くなる。この狭い間隔上に遮光部材となる遮光膜を成膜し、遮光膜をエッチングすると、狭い間隔の内部に遮光膜の残渣が存在する場合がある。このような残渣はリークの原因となり得る。特許文献1においては、遮光膜の下に絶縁膜を成膜することにより、ゲート電極間、配線間の凹部を埋め込み、段差を緩和している。これにより、遮光膜のエッチング残渣の発生を低減することができる。しかしながら、特許文献1においては、ある一定の間隔よりも狭い凹部を埋め込むことはできるものの、当該間隔以上の凹部を平坦に埋め込みきれず、細かい隙間が残り、この隙間の中に遮光部材が残ることがあった。たとえ埋め込む絶縁膜を厚くしたとしても、凹部の間隔によっては隙間が生じてしまい、残渣の発生を完全に防止することはできなかった。

30

【0006】

また、ゲート電極の段差に起因して、絶縁膜表面の平坦性が損ねられると、遮光部材およびその上に形成する構造体の平坦性も同様に悪化し、ひいては歩留まりも低下し得る。本発明の目的は、遮光部材による遮光性能を維持するとともに、歩留まりを向上しうる固体撮像装置、固体撮像装置の製造方法、および撮像システムを提供することにある。

40

【課題を解決するための手段】

【0007】

本発明の一実施形態に係る固体撮像装置の製造方法は、第1の領域、第2の領域、第3の領域及び第4の領域を有する基板の上に、第1のトランジスタの第1のゲート電極と、前記第1のゲート電極に隣接する、第2のトランジスタの第2のゲート電極とを、前記第1のゲート電極が前記第1の領域の上に位置し、前記第2のゲート電極が前記第2の領域の上に位置し、前記第1のゲート電極と前記第2のゲート電極との間隙が前記第4の領域の

50

上に位置するように形成する工程と、前記第4の領域、前記第1のゲート電極及び前記第2のゲート電極を覆う絶縁体膜を成膜する工程と、前記絶縁体膜の上に、前記第3の領域及び前記第4の領域を覆う遮光性の材料よりなる膜を成膜する工程と、前記絶縁体膜を挟んでボイドの上に位置している前記遮光性の材料よりなる膜のうち、少なくとも前記第4の領域の上に位置する一部をエッチングで除去し、前記遮光性の材料よりなる膜から前記第3の領域の上に遮光部材を形成する工程と、前記遮光部材、前記第1のゲート電極及び前記第2のゲート電極を覆う絶縁膜を形成する工程と、前記絶縁膜を貫通して前記第1のトランジスタ及び前記第2のトランジスタのいずれかに接続するコンタクトプラグを形成する工程と、

前記絶縁膜の上に、前記コンタクトプラグに接続する配線を形成する工程と、を有し、前記遮光性の材料よりなる膜を成膜する工程において、前記絶縁体膜と前記第4の領域との間にボイドが存在する。

10

【0008】

本発明の他の実施形態に係る固体撮像装置の製造方法は、前記遮光性の材料よりなる膜のエッチング時間に対する前記絶縁体膜のエッチング時間の比を a 、前記遮光部材となる前記遮光性の材料よりなる膜と前記絶縁体膜のエッチング選択比を b 、前記絶縁体膜の膜厚を t 、前記遮光部材の膜厚を d_1 としたとき、前記絶縁体膜が、 $a \times b \times d_1 > t$ を満たすように形成される。

【0009】

また、本発明の他の実施形態に係る固体撮像装置は、第1の領域、第2の領域、第3の領域及び第4の領域を有する基板と、前記第1の領域の上に位置する、第1のトランジスタの第1のゲート電極と、前記第2の領域の上に位置し、前記第1のゲート電極に隣り合う、第2のトランジスタの第2のゲート電極と、前記第3の領域、前記第4の領域、前記第1のゲート電極及び前記第2のゲート電極を覆う絶縁膜と、前記絶縁膜と前記基板の間に配され、前記第3の領域、前記第4の領域、前記第1のゲート電極及び前記第2のゲート電極を覆う絶縁体膜と、前記絶縁膜と前記第3の領域の間に設けられた遮光部材と、

20

前記絶縁膜の上に設けられた配線と、を備え、前記絶縁体膜のうちの前記第3の領域を覆う部分が前記遮光部材と前記第3の領域の間に位置し、前記第1のゲート電極と前記第2のゲート電極の間隙が前記第4の領域の上に位置し、前記絶縁体膜のうちの前記第4の領域を覆う部分と前記第4の領域の間にボイドが存在する。

30

【発明の効果】

【0010】

本発明によれば、固体撮像装置の遮光性能を維持したまま歩留まりを向上することができる。

【図面の簡単な説明】

【0011】

【図1】本発明の第1実施形態による固体撮像装置のブロック図である。

【図2】本発明の第1実施形態による固体撮像装置の構造を示す概略断面図である。

【図3】本発明の第1実施形態による固体撮像装置の製造方法を示す工程断面図である。

【図4】本発明の第2実施形態による固体撮像装置の構造を示す概略断面図である。

40

【図5】本発明の第2実施形態による固体撮像装置の製造方法を示す工程断面図である。

【図6】本発明の第3実施形態による固体撮像装置のブロック図である。

【図7】本発明の第3実施形態による固体撮像装置の構造を示す平面図である。

【図8】本発明の第3実施形態による固体撮像装置の構造を示す概略断面図である。

【図9】本発明の第3実施形態による固体撮像装置の製造方法を示す工程断面図である。

【図10】本発明の第3実施形態による固体撮像装置の製造方法を示す工程断面図である。

【図11】本発明の第3実施形態による固体撮像装置の製造方法を示す工程断面図である。

【図12】本発明の第4実施形態による撮像システムのブロック図である。

50

【発明を実施するための形態】

【0012】

(第1実施形態)

本発明の第1実施形態による固体撮像装置およびその製造方法について、図面を参照しながら説明する。図1は本実施形態に係る固体撮像装置のブロック図である。固体撮像装置は、行列状に配列された複数の画素回路1を有する画素領域10と、画素領域の周辺に位置し、周辺回路が配された周辺領域20を備える。画素回路1は光電変換を行う光電変換部、電荷を読み出すための読み出し部を備える。読み出し部は、電荷を転送する転送トランジスタ、電荷電圧変換部をリセットするトランジスタ、電荷電圧変換部の電位に応じた信号を出力する増幅トランジスタ、増幅トランジスタを選択するためのトランジスタを含む。また、読み出し部は光電変換部からの電荷を保持する電荷保持部を含み得る。光電変換部以外の回路部分、例えば電荷保持部は遮光部材によって入射光が遮られる。また、画素領域10には、分光感度特性を制御するためのカラーフィルタ、集光のためのマイクロレンズが光電変換部上に設けられており、各光電変換部間には混色を防ぐための遮光部材が形成され得る。さらに、画素領域10には、有効な画素以外に、光電変換部が遮光されたオプティカルブラック画素、光電変換部を有さないダミー画素などのように画像を出力しない画素が含まれ得る。

10

【0013】

周辺領域20は垂直走査回路21、列増幅回路22、水平走査回路23、出力部24を備える。垂直走査回路21は、画素回路1のトランジスタをオン(導通状態)またはオフ(非導通状態)に制御するための制御信号を供給する。垂直信号線11は、画素回路1の各列に設けられ、画素回路1からの信号を列ごとに読み出す。列増幅回路22は差動増幅回路およびサンプル・ホールド回路を備え、垂直信号線11に出力された画素信号を増幅する。水平走査回路23は、各列の増幅器に接続されたスイッチと、該スイッチをオンまたはオフに制御するための制御信号を供給する。出力部24はバッファアンプ、差動増幅器などから構成され、列増幅回路22からの画素信号を固体撮像装置の外部の信号処理部に出力する。出力された画素信号は信号処理部によって、アナログ/デジタル変換、入力データの補正などの処理が行われる。なお、固体撮像装置はアナログ/デジタル変換の機能を備えたいわゆるデジタルセンサであっても良い。

20

【0014】

図2は、本実施形態による固体撮像装置の概略断面図である。ここでは、平面視において隣り合う任意の2つの第1のトランジスタ206、第2のトランジスタ207が示されている。トランジスタ206、207は、一例では、画素回路1を構成するトランジスタである。なお、隣り合う2つのトランジスタ206、207は互いに隣り合う一対のゲート電極201、202を有し、これらのゲート電極201、202の間にはボイド302が存在している。このように間にボイド302が存在する一対のゲート電極を有するトランジスタは、画素回路1、周辺回路のいずれのトランジスタであっても良い。

30

【0015】

半導体基板100はX軸方向、Y軸方向を含むX-Y平面に平行な表面を有し、半導体基板100には、Z軸方向(第1の方向)に所定の厚さの第1導電型(例えばP型)のウェル101が設けられている。ウェル101が形成された半導体基板100の表面部には、活性領域を画定する素子分離領域102が設けられている。素子分離領域102により画定された活性領域には、ウェル101とは逆導電型(例えばN型)の不純物領域203、204、205が互いに離間して設けられている。

40

【0016】

不純物領域203と不純物領域204との間の半導体領域(チャンネル領域)上には、ゲート絶縁膜103を介してゲート電極201が設けられている。これにより、ソース/ドレイン領域を構成する不純物領域203、204とゲート電極201とを有するトランジスタ206が構成されている。ここで、ソース/ドレイン領域とは、トランジスタのソースおよびドレインの少なくともいずれかとして機能し得る半導体領域を意味する。トラン

50

ジスタの駆動方法によっては、同一の半導体領域がソースとして機能する場合とドレインとして機能する場合があります。同一の半導体領域が或るトランジスタのソースとして機能し、別のトランジスタのドレインとして機能する場合もある。同様に、不純物領域 204 と不純物領域 205 との間の半導体領域（チャンネル領域）上には、ゲート絶縁膜 103 を介してゲート電極 202 が設けられている。これにより、ソース/ドレイン領域を構成する不純物領域 204、205 とゲート電極 202 とを有するトランジスタ 207 が構成されている。これら 2 つのトランジスタ 206、207 は、一方のソース/ドレイン領域（不純物領域 204）を共有している。2 つのトランジスタ 206、207 のゲート電極 201、202 の間隔は例えば 1.0 μm 以下程度に狭くなっている。典型的にはゲート電極 201 とゲート電極 202 の間隔は、ゲート電極 201 とゲート電極 202 の厚さの和より小さく、0.5 μm 以下である。ゲート電極 201 とゲート電極 202 の間隔は、0.1 μm 以上でありうる。

10

【0017】

なお、ここでいう部材の厚さ、膜厚とは、半導体基板 100 の平面視に垂直な Z 軸方向（第 1 の方向）における長さを指す。半導体基板 100 上に後述するゲート電極、絶縁対膜、遮光部材などの層が積層される方向を Z 軸方向と定義し得る。以下の説明において、特に断り書きのない限り、部材の厚さ、膜厚は Z 軸方向の長さを指すものとする。

【0018】

トランジスタ 206、207 が設けられた半導体基板 100 上には、絶縁体膜 301 が設けられている。絶縁体膜 301 は、ゲート電極 201 とゲート電極 202 との間隙に完全には埋め込まれておらず、ゲート電極 201 とゲート電極 202 との間の領域の少なくとも一部はボイド（空孔）302 が形成されている。ゲート電極 201 とゲート電極 202 との間の領域の少なくとも一部にボイド 302 を形成することで、この領域上における絶縁体膜 301 の表面の平坦性を改善することができる。すなわち、ゲート電極 201 とゲート電極 202 とにより形成される下地の段差の影響が、ゲート電極 201 とゲート電極 202 との間の領域上の絶縁体膜 301 の表面部では緩和されている。絶縁体膜 301 上の一部の領域には、タングステンやタングステンシリサイド等の遮光性の材料よりなる遮光部材 308 が設けられている。ボイド 302 を形成することにより、絶縁体膜 301 表面を平坦化することができ、絶縁体膜 301 上に遮光膜をエッチングして遮光部材 308 を形成する際に残渣が生じるのを回避することができる。

20

30

【0019】

絶縁体膜 301 上には層間絶縁膜 310 が配されている。層間絶縁膜 310 および絶縁体膜 301 を貫通するコンタクトホールが形成され、コンタクトホール内にはコンタクトプラグ 311 a ~ c が設けられている。コンタクトプラグ 311 a はゲート電極 201 に接続され、コンタクトプラグ 311 b はゲート電極 202 に接続されている。また、コンタクトプラグ 311 c はソース/ドレイン領域（不純物領域 205）に接続されている。コンタクトプラグ 311 a ~ c は配線 312 a ~ c に接続されている。

【0020】

図 3 は、本発明の第 1 実施形態による固体撮像装置の製造方法を示す工程断面図である。図 3 (a) に示されるように、半導体基板 100 の表面部に、例えば S T I (Shallow Trench Isolation) 法、L O C O S (LOCAl Oxidation of Silicon) 法を用いて、活性領域を画定する素子分離領域 102 を形成する。次いで、イオン注入法により、半導体基板 100 の所定の領域に、ウェル 101 を形成する。

40

【0021】

ウェル 101 を形成した後、半導体基板 100 の活性領域の表面に、熱酸化法、C V D 法を用いて、例えば酸化シリコン膜等よりなるゲート絶縁膜 103 を形成する。ゲート絶縁膜 103 を形成した半導体基板 100 上の全面に、例えば C V D 法により、例えばポリシリコン膜を堆積する。フォトリソグラフィおよびドライエッチングを用いて、このポリシリコン膜をパターニングし、ポリシリコン膜よりなるゲート電極 201、202 を形成する。次に、ゲート電極 201、202 をマスクとしてイオン注入を行い、半導体基板

50

100内に、ゲート電極201、202に対して自己整合的に、ソース/ドレイン領域となる不純物領域203、204、205を形成する。

【0022】

このようにして、半導体基板100の活性領域に、不純物領域203、204とゲート電極201とを有するトランジスタ206と、不純物領域204、205とゲート電極202とを有するトランジスタ207とが形成される。

【0023】

次に、図3(b)に示されるように、トランジスタ206、207を形成した半導体基板100上に、例えば酸化シリコン膜等の絶縁体膜301を堆積する。この際、絶縁体膜301がゲート電極201とゲート電極202との間に完全には埋め込まれないように、絶縁体膜301を形成する。これにより、ゲート電極201とゲート電極202との間の領域の少なくとも一部にポイド302が形成される。典型的には、絶縁膜の成膜条件において、等方的な成分が多いほど、また、成膜速度が速いほど、狭い隙間にポイドが残り易くなる。このような点を考慮したうえで、ゲート電極201、202の間隔や膜厚に応じて絶縁体膜301の成膜条件を適宜設定することにより、ポイド302を残しつつ、絶縁体膜301を形成することができる。

【0024】

具体的な成膜条件としては、TEOS-O₂系やSiH₄-O₂系のガス種を用いた平行平板型プラズマCVD法など異方性や流動性の小さいCVD法を用いて成膜することが好ましい。これは、成膜速度が速くなることで、ゲート電極201とゲート電極202と絶縁体膜301との間に空隙であるポイド302が形成されやすくなる一方、ポイド302より十分狭い隙間が閉塞され、ポイド上の膜の窪みを低減することができるためである。

【0025】

本実施例では、ガス流量をTEOS:265sccm、O₂:2.5sccmとし、圧力を360Paとした。また、RF出力を、上部電極720W、下部電極320Wとし、成膜時間を4secとして、500相当のプラズマCVD酸化膜を成膜した。

【0026】

ゲート電極201、202のように狭い間隔で配置されたパターン上に、その間隔を埋め込むように絶縁体膜301を形成すると、ゲート電極201とゲート電極202との間の絶縁体膜301の表面部(ゲート電極201及び202と接する面と反対側の面)に、微細な窪みが形成される。この微細な窪みの中に後工程で膜が堆積されると、その後この膜をエッチングする際に完全に除去できず、残渣として残ることがある。特に、この膜が導電膜であると、この残渣によって配線間がショートし、不良の原因になる。ゲート電極201、202間にポイド302を残すように絶縁体膜301を形成することで、ゲート電極201、202間を埋め込むように絶縁体膜301を形成する場合と比較して、ゲート電極201、202間の領域上の窪みを低減することができる。

【0027】

次に、図3(c)に示すように、絶縁体膜301上に、スパッタ法、CVD法等を用いて、例えばタングステン、タングステンシリサイド等よりなる遮光膜309を形成する。さらに、遮光膜309を形成した後、フォトリソグラフィおよびドライエッチングを用いて、遮光膜309を所定の形状にパターンニングする。これにより、図3(d)に示すように、遮光膜309から遮光部材308を形成する。このパターンニングでは、遮光膜309のうちで、光電変換部の上に位置する部分は除去され得る。また、遮光膜309のうちで、後で形成されるコンタクト部の上に位置する部分も除去され得る。本例では、遮光膜309のうちで、ゲート電極201、202間の不純物領域204の上に位置する部分、つまり、ポイド302の上に位置する部分を除去するものとする。この際、絶縁体膜301の表面には遮光膜309の残渣が残るような窪みは形成されていない。すなわち、ゲート電極201、202間の領域上の絶縁体膜301の表面の平坦性を向上させることができ、遮光膜309のエッチング残渣を回避することができる。また、ゲート電極201、20

10

20

30

40

50

2間の不純物領域204上にて遮光膜309を除去する必要がない場合でも、絶縁体膜301の表面の平坦性が向上することによって、遮光部材308の平坦性を向上できるという効果が得られる。

【0028】

また、本実施形態によれば、絶縁体膜301の膜厚を薄くできるという効果も得られる。絶縁体膜301の表面の段差を緩和する他の手段としては、絶縁体膜301の膜厚を厚くすることが考えられる。しかしながら、絶縁体膜301の膜厚を厚くすると、遮光部材308と半導体基板100との間の距離が広がり、遮光性能が低下する。一方、本実施形態によれば、絶縁体膜301表面の段差を生じさせることなく、絶縁膜の膜厚を薄くすることができる。例えば、絶縁体膜301の膜厚をゲート電極201、202の厚さよりも薄くすることができる。このため、遮光部材308と半導体基板100との間の距離を短くし、遮光性能を向上することができる。

10

【0029】

なお、遮光性の観点からは、ゲート電極201上に形成されていない遮光部材308の下面の高さは、ゲート電極201、202の上面の高さよりも低いことが望ましい。すなわち、絶縁体膜301の膜厚は、ゲート絶縁膜103の膜厚とゲート電極201、202の膜厚とを足し合わせた膜厚よりも薄いことが望ましい。典型的には、ゲート絶縁膜103の膜厚はゲート電極201、202の膜厚と比較して薄いため、絶縁体膜301の膜厚は、ゲート電極201、202の膜厚よりも薄くすれば十分である。

【0030】

その後、図2に示すように、遮光部材308および複数のトランジスタのゲート電極201、202を覆う層間絶縁膜310を形成する。層間絶縁膜310にはエッチバック法やCMP法、リフロー法などによって平坦化処理が施される。そして、層間絶縁膜310および絶縁体膜301を貫通して半導体基板100やゲート電極201、202あるいは遮光部材308に達するコンタクトホールを形成する。コンタクトホール内に、タングステン等の導電材料を埋め込むことで、コンタクトプラグ311a~cを形成する。このコンタクトプラグ311a~cは、層間絶縁膜310および絶縁体膜301を貫通して複数のトランジスタ206、207のいずれかに接続する。一方、不純物領域204の上、つまり、ボイド302の上にはコンタクトプラグは形成されていない。ボイド302を貫通するようにコンタクトホールを設けると、コンタクトプラグ形成時にボイド302内に導電材料が入り込む場合があるが、ボイド302上にコンタクトホールを設けなければ、そのような事態は回避できる。不純物領域204にコンタクトプラグを接続する必要がある場合には、ボイド302から離れた位置にコンタクトプラグを形成するのがよい。コンタクトプラグ311a~cが通る部分は遮光膜309が除去されているため、コンタクトプラグ311a~cは遮光部材308から離れて形成される。遮光部材308に接続するコンタクトプラグ(不図示)をさらに形成することもできる。さらに、層間絶縁膜310の上に、コンタクトプラグ311a~cの各々に接続する配線312a~cを形成する。

20

30

【0031】

絶縁体膜301は遮光部材308をエッチングする際にエッチストッパ膜としても機能する。絶縁体膜301の膜厚が、遮光部材エッチング時にオーバーエッチングによりエッチングされる絶縁体膜301の厚さよりも薄いと、遮光部材308のエッチング時に半導体基板100の表面が露出し、半導体基板100にエッチングダメージが加わる。このエッチングダメージは、暗電流などの原因となる。

40

【0032】

ここで、第1のトランジスタ206のゲート電極201、絶縁体膜301、遮光部材308を積層するZ軸方向(第1の方向)において、絶縁体膜301の膜厚を t 、遮光部材308の膜厚を d_1 とする。また、遮光部材エッチング時のメインエッチング時間に対するオーバーエッチング時間の比を a 、遮光部材エッチング時の遮光部材308に対する絶縁体膜301の選択比を b とする。このとき、遮光部材エッチング時にエッチングされる絶縁体膜301の厚さは $a \times b \times d_1$ である。よって絶縁体膜301の膜厚 t は $a \times b \times$

50

d_1 以上であることが好ましい。

【0033】

また、遮光部材308と配線312a~cが接触すると、リークなどの原因となる。Z軸方向において、ゲート電極201、202の膜厚を d_2 、配線312a~cから半導体基板100までの距離のうち、最も小さい距離を d_3 、ゲート絶縁膜103の厚さを d_4 としたとき、絶縁体膜301の膜厚 t は $d_3 - (d_1 + d_2 + d_4)$ よりも薄いことが好ましい。

【0034】

遮光性の観点からは、絶縁体膜301の膜厚は厚ければ厚いほど遮光部材308と半導体基板100との距離が広がり遮光性能が低下するため、絶縁体膜301の膜厚 t は薄いほどよい遮光性能を示す。

10

【0035】

具体的な例を以下に述べる。遮光部材308にタングステンを使用した場合、十分な遮光能力を得るためには、膜厚 d_1 は $0.1\mu\text{m}$ 以上であることが好ましい。タングステンの透過率は $0.1\mu\text{m}$ 以上の厚さで 0.2% 以下となり十分な遮光能力を達成できる。

【0036】

遮光部材エッチング時のメインエッチング時間に対するオーバーエッチング時間の比 a を 0.1 、遮光部材308に対する絶縁体膜301の選択比 b が 0.1 であったとき、絶縁体膜301の膜厚 t は少なくとも 1.0nm 以上である必要がある。実際は製造ばらつきなども考慮する必要があるため、絶縁体膜厚は 5.0nm 以上であることが好ましい。

20

【0037】

また、遮光部材308の膜厚 d_1 が $0.1\mu\text{m}$ 、ゲート電極の膜厚 d_2 を $0.2\mu\text{m}$ 、配線312a~cと半導体基板100までの距離 d_3 を $0.6\mu\text{m}$ 、ゲート絶縁膜の膜厚 d_4 を 8.0nm とした場合、配線と接触しないためには絶縁体膜301の膜厚 t は少なくとも $0.3\mu\text{m}$ よりも薄いことが好ましい。実際は層間絶縁膜や遮光部材の製造ばらつきなどが発生し、絶縁体膜301の膜厚 t が厚くなるほど遮光性能が低下するため、絶縁体膜301の膜厚 t は、 $0.1\mu\text{m}$ 以下であることが好ましい。

よって、絶縁体膜301の膜厚は、 1nm 以上かつ $0.3\mu\text{m}$ 未満であることが好ましく、より好ましくは、 5nm 以上かつ $0.1\mu\text{m}$ 以下であることが好ましい。

【0038】

30

このように、本実施形態によれば、ゲート電極の間に形成される絶縁体膜の表面の窪みを低減することができ、この領域上に形成される構造体の下地の平坦性を向上することができる。特に、ゲート電極間の領域上に形成される導電膜をエッチングにより除去する場合にあっては、絶縁体膜の窪みに導電膜の残渣が残ることを抑制することができ、製造歩留まりの向上を図ることができる。

【0039】

(第2実施形態)

本発明の第2実施形態による固体撮像装置および製造方法について、図4、図5を用いて説明する。図4は、本実施形態による固体撮像装置の構造を示す概略断面図であり、図5は、本実施形態による固体撮像装置の製造方法を示す工程断面図である。図1~図3に示す第1実施形態による固体撮像装置と同様の構成要素には同一の符号を付し、説明を省略し或いは簡潔にする。

40

【0040】

図4に示されるように、本実施形態による固体撮像装置は、ゲート電極201、202の側面上にサイドウォールスペーサ304、305、306、307が形成されている点を除いて、図2に示す第1実施形態による固体撮像装置と略同様である。ゲート電極201、202の対向する側面上にサイドウォールスペーサ305、306が形成されているため、ボイド302はサイドウォールスペーサ305、306の間に形成される。本実施形態においても、ゲート電極201、202間の間隙に絶縁体膜301が埋め込まれずにボイド302が形成されていることで、ボイド302上における絶縁体膜301の表面の

50

平坦性を向上することができる。

【0041】

次に、本実施形態による固体撮像装置の製造方法について、図5を用いて説明する。図5(a)において、第1実施形態による固体撮像装置の製造方法と同様にして、半導体基板100に、ウェル101、素子分離領域102、第1のトランジスタ206、第2のトランジスタ207を形成する。全面に、CVD法等を用いて、例えば酸化シリコン膜よりなる誘電体膜303を形成する。続いて、図5(b)に示されるように、誘電体膜303をエッチバックし、ゲート電極201、202の側面上に、サイドウォールスペーサ304、305、306、307を形成する。なお、誘電体膜と絶縁体膜は便宜的に呼称を異ならせているだけのものであり、誘電体膜を構成する材料と絶縁体膜を構成する材料は同じであってもよい。

10

【0042】

次に、図5(c)に示されるように、サイドウォールスペーサ304、305、306、307を形成した半導体基板100上に、プラズマCVD法等を用いて、例えば酸化シリコン膜等の絶縁体膜301を堆積する。この際、ゲート電極201、202間におけるサイドウォールスペーサ305、306の間隙には絶縁体膜301が埋め込まれないように、絶縁体膜301を成膜する。これにより、ゲート電極201とゲート電極202との間の領域の少なくとも一部にボイド302を残存する。ゲート電極201、202間にボイド302を形成するように絶縁体膜301を成膜することにより、ゲート電極201、202間の領域上に形成される窪みを低減することができる。

20

【0043】

次いで、絶縁体膜301上に、スパッタ法、CVD法等により、タングステン、タングステンシリサイド等よりなる遮光膜を形成する。さらに、フォトリソグラフィおよびドライエッチングを用いて遮光膜を所定の形状にパターニングすることにより遮光部材308を形成する。ここでは、遮光膜のうちゲート電極201、202間の不純物領域204の上に位置する部分を除去する。この際、ゲート電極201、202間の領域上にある絶縁体膜301表面には窪みが生じないため、遮光膜のエッチング残渣を抑制することができる。

【0044】

また、ゲート電極201、202の側面上にサイドウォールスペーサ304、305、306、307を形成することにより、ゲート電極201、202の段差に緩やかな傾斜が設けられている。これにより、段差部、特に、サイドウォールスペーサ304上における遮光部材308の被覆性が向上し、遮光性能を向上することができる。さらに、第1実施形態と同様に、絶縁体膜301の膜厚を、ゲート電極201、202の膜厚とゲート絶縁膜103の膜厚とを足し合わせた膜厚よりも薄くし、遮光部材308と半導体基板100との距離を短くすることができる。これにより、良好な遮光性能を得ることができる。

30

【0045】

第1実施形態と同様に、絶縁体膜301は遮光部材エッチング時のエッチストップ膜でもあるため、絶縁体膜301の膜厚は、遮光部材エッチング時にエッチングされる絶縁体膜の厚さよりも厚いことが好ましい。なお、第1のトランジスタ206のゲート電極201、絶縁体膜301、遮光部材308を積層するZ軸方向(第1の方向)において、絶縁体膜301の膜厚を t 、遮光部材308の膜厚を d_1 とする。また、遮光部材エッチング時のメインエッチング時間に対するオーバーエッチング時間の比を a 、遮光部材エッチング時の遮光部材に対する絶縁体膜301のエッチング選択比を b とする。その場合、遮光部材エッチング時にエッチングされる絶縁体膜301の厚さは $a \times b \times d_1$ となるため、 t は $a \times b \times d_1$ 以上の厚さであることが好ましい。

40

【0046】

また、遮光部材308と配線が接触すると、リークなどの原因となる。Z軸方向において、ゲート電極201、202の膜厚を d_2 、配線312a~cから半導体基板100までの距離のうち最も小さい距離を d_3 、ゲート絶縁膜103の厚さを d_4 としたとき、絶

50

縁体膜 301 の膜厚 t は $d_3 - (d_1 + d_2 + d_4)$ よりも薄いことが好ましい。

なお、絶縁体膜 301 の成膜方法としては、第 1 実施形態と同じ方法を用いることができる。

【0047】

このように、本実施形態によれば、ゲート電極の間に形成される絶縁体膜の表面の窪みを低減することができ、この領域上に形成される構造体の下地の平坦性を向上することができる。特に、ゲート電極間の領域上に形成される導電膜をエッチングにより除去する場合にあっては、絶縁体膜の窪みに導電膜の残渣が残ることを抑制することができ、製造歩留まりの向上を図ることができる。また、ゲート電極の側面上にサイドウォールスペーサを形成することにより、遮光性能を向上することができる。

10

【0048】

(第 3 実施形態)

本発明の第 3 実施形態による固体撮像装置およびその製造方法について、図 6 ~ 図 11 を用いて説明する。図 6 は本実施形態の固体撮像装置のブロック図である。固体撮像装置は複数の画素回路 401 を含む画素領域 501 と、垂直走査回路 530、列増幅回路 531、水平走査回路 532 などの周辺回路を含む周辺領域 502 とを備える。図 6 の画素領域 501 には 2 行 2 列の画素回路 401 が示されているが、画素数は限定されない。画素回路 401 は、光電変換部 402、電荷保持部 403、電荷電圧変換部 404、電源部 405、画素出力部 407、第 1 および第 2 の転送トランジスタ $M1$ 、 $M2$ 、リセットトランジスタ $M3$ 、増幅トランジスタ $M4$ 、選択トランジスタ $M5$ 、オーバーフローレイン (以下、OFD と称する) のトランジスタ $M6$ を備える。光電変換部 402 は、マイクロレンズ、フォトダイオード等から構成され、入射光に応じた電荷を蓄積する。光電変換部 402 は OFD 用のトランジスタ $M6$ および第 1 の転送トランジスタ $M1$ に電氣的に接続されている。トランジスタ $M6$ はゲート電極に供給された制御信号 OFD (n) に応じて、光電変換部 402 の電荷を電源部 405 に排出する。

20

【0049】

第 1 の転送トランジスタ $M1$ は、ゲート電極に供給された制御信号 $TX1(n)$ に応じて、光電変換部 402 からの電荷を電荷保持部 403 に転送する。電荷保持部 403 は、転送トランジスタ $M1$ を介して転送された電荷を保持する。第 2 の転送トランジスタ $M2$ は、制御信号 $TX2(n)$ に応じて、電荷保持部 403 に保持された電荷を電荷電圧変換部 404 に転送する。リセットトランジスタ $M3$ は、制御信号 $RES(n)$ に応じて、電荷電圧変換部 404 の電圧を電源部 405 の電圧にリセットする。増幅トランジスタ $M4$ はゲート電極の電位に応じた信号を信号線 $OUT(m)$ に出力する。選択トランジスタ $M5$ は電源部 405 と増幅トランジスタ $M4$ との間に電氣的に接続されており、信号 $SEL(n)$ に応じて増幅トランジスタ $M4$ に電流を供給する。

30

【0050】

電源部 405 はリセットトランジスタ $M3$ のドレイン、選択トランジスタ $M5$ のドレイン、OFD のドレインと同一のノードとなっている。垂直走査回路 530 は制御信号 $RES(n)$ 、 $TX1(n)$ 、 $TX2(n)$ 、 $SEL(n)$ 、OFD (n) を単位画素回路に供給する。信号線 OUT から出力された信号は列増幅回路 531 に保持され、増幅、加算等の処理がなされる。水平走査回路 532 は列増幅回路 531 に保持された信号を順次、出力端子 OUT に出力させる。

40

【0051】

本実施形態による固体撮像装置におけるグローバルシャッターの動作を説明する。ある蓄積期間が経過した後に、光電変換部 402 にて生じた電荷は転送トランジスタ $M1$ を介して電荷保持部 403 へと転送される。電荷保持部 403 が信号電荷を保持している間、光電変換部 402 において再び電荷の蓄積が始まる。電荷保持部 403 の電荷は第 2 の転送トランジスタ $M2$ を介して電荷電圧変換部 404 へと転送され、増幅トランジスタ $M4$ の一端子である画素出力部 407 から信号として出力される。また、電荷保持部 403 にて信号電荷を保持している間に光電変換部 402 にて生じた電荷が電荷保持部 403 へ混

50

入しないように、OFDのトランジスタM6は光電変換部402の電荷を排出させ得る。リセットトランジスタM3は、電荷保持部403から信号電荷が転送される前に電荷電圧変換部404を所定の電位に設定する(リセット動作)。この時の電荷電圧変換部404の電位はノイズ信号として画素出力部407から列増幅回路531へ出力される。続いて、リセットトランジスタM3はオフとなり、光電変換に基づく信号が列増幅回路531へ出力される。列増幅回路531は、ノイズ信号と光電変換に基づく信号との差分の信号を出力することにより、ノイズ信号が除去された信号を生成する。

【0052】

図7は、本実施形態による固体撮像装置の画素領域501のZ軸方向から見た平面図である。図7には、画素領域501を構成する3行×3列の画素回路401が示されているが、画素数は限定されないことは上述したとおりである。各画素回路401には、素子分離領域102により、略逆S字状の活性領域102aが画定されている。活性領域102a上には、画素回路を構成するトランジスタM1～M6のゲート電極601～606が配置されている。すなわち、図7における活性領域102aの下側から、複数のゲート電極601、602、603、604、605が、活性領域102aを横断するように、この順番で配置されている。ここで、ゲート電極601は第1の転送トランジスタM1のゲート電極であり、ゲート電極602は第2の転送トランジスタM2のゲート電極である。ゲート電極603はリセットトランジスタM3のゲート電極であり、ゲート電極604は増幅トランジスタM4のゲート電極である。ゲート電極605は選択トランジスタM5のゲート電極である。平面視において、ゲート電極604、605は隣り合っている。

【0053】

ゲート電極601の下側の活性領域102aは、フォトダイオードにより構成される光電変換部402である。ゲート電極601とゲート電極602との間の活性領域102aは、光電変換部402から転送される電荷を一時的に保持する電荷保持部403である。光電変換部402と電荷保持部403との間に配される第1の転送トランジスタM1が形成されている。ゲート電極602とゲート電極603との間の活性領域102aは、電荷電圧変換部404である。

【0054】

活性領域102aは、光電変換部402と電源電圧線への接続部(ゲート電極603、604間の活性領域102a)との間で接続されており、この接続部上にOFDのトランジスタM6のゲート電極606が配置されている。電荷保持部403、ゲート電極601、602上には、遮光部材308が設けられている。図7において、黒の丸印は、上層の配線と接続するためのコンタクト部を模式的に表している。

【0055】

図8は、本実施形態による固体撮像装置の画素領域および周辺領域の概略断面図である。すなわち、図8の左側の画素領域501は、図7のA-A'線の電荷保持部403から選択トランジスタM5に至る断面を示しており、点線よりも右側の周辺領域502は列増幅回路等における隣接して設けられた任意の2つのトランジスタの断面を示している。図8には、X-Y平面に平行な断面図、Y-Z平面に平行な断面図が併せて示されている。

【0056】

半導体基板100内には、P型半導体領域により構成されるウェル101と、素子分離領域102とが設けられている。画素領域501には、素子分離領域102により、図7に示すような略逆S字状の活性領域102aが画定されている。周辺領域502には、素子分離領域102により、活性領域102bが画定されている。

【0057】

画素領域501の活性領域102aの表面部には、N型半導体領域421およびP型半導体領域431、N型半導体領域422、N型半導体領域423、N型半導体領域424、N型半導体領域425が、互いに離間して設けられている。N型半導体領域421は、電荷保持部403を構成する不純物領域である。P型半導体領域431は、N型半導体領

10

20

30

40

50

域 4 2 1 の表面保護層である。N 型半導体領域 4 2 2 は、電荷電圧変換部 4 0 4 を構成する不純物領域（浮遊拡散領域）である。N 型半導体領域 4 2 3 は、リセットトランジスタ M 3、増幅トランジスタ M 4 のドレインを構成する不純物領域である。N 型半導体領域 4 2 4 は、増幅トランジスタ M 4 のソース、選択トランジスタ M 5 のドレインを構成する不純物領域である。N 型半導体領域 4 2 5 は、選択トランジスタ M 5 のソースを構成する不純物領域であり、画素出力部 4 0 7 として機能する。

【 0 0 5 8 】

N 型半導体領域 4 2 1 と N 型半導体領域 4 2 2 との間の半導体基板 1 0 0 上には、ゲート絶縁膜 1 0 3 を介して、ゲート電極 6 0 2 が設けられている。これにより、N 型半導体領域 4 2 1、4 2 2 により構成されるソース/ドレイン領域と、ゲート電極 6 0 2 とを有する第 2 の転送トランジスタ M 2 が構成されている。また、N 型半導体領域 4 2 2 と N 型半導体領域 4 2 3 との間の半導体基板 1 0 0 上には、ゲート絶縁膜 1 0 3 を介して、ゲート電極 6 0 3 が設けられている。これにより、N 型半導体領域 4 2 2、4 2 3 により構成されるソース/ドレイン領域と、ゲート電極 6 0 3 とを有するリセットトランジスタ M 3 が構成されている。また、N 型半導体領域 4 2 3 と N 型半導体領域 4 2 4 との間の半導体基板 1 0 0 上には、ゲート絶縁膜 1 0 3 を介して、ゲート電極 6 0 4 が設けられている。これにより、N 型半導体領域 4 2 3、4 2 4 により構成されるソース/ドレイン領域と、ゲート電極 6 0 4 とを有する増幅トランジスタ M 4 が構成されている。また、N 型半導体領域 4 2 4 と N 型半導体領域 4 2 5 との間の半導体基板 1 0 0 上には、ゲート絶縁膜 1 0 3 を介して、ゲート電極 6 0 5 が設けられている。これにより、N 型半導体領域 4 2 4、4 2 5 により構成されるソース/ドレイン領域と、ゲート電極 6 0 5 とを有する選択トランジスタ M 5 が構成されている。

【 0 0 5 9 】

周辺領域 5 0 2 の活性領域 1 0 2 b の表面部には、N 型半導体領域 4 2 6、4 2 7、4 2 8 が互いに離間して設けられている。N 型半導体領域 4 2 6 と N 型半導体領域 4 2 7 との間の半導体基板 1 0 0 上には、ゲート絶縁膜 1 0 3 を介して、ゲート電極 6 0 7 が設けられている。これにより、N 型半導体領域 4 2 6、4 2 7 により構成されるソース/ドレイン領域と、ゲート電極 6 0 7 とを有する周辺トランジスタ 6 1 7 が構成される。また、N 型半導体領域 4 2 7 と N 型半導体領域 4 2 8 との間の半導体基板 1 0 0 上には、ゲート絶縁膜 1 0 3 を介して、ゲート電極 6 0 8 が設けられている。よって、N 型半導体領域 4 2 7、4 2 8 により構成されるソース/ドレイン領域と、ゲート電極 6 0 8 とを有する周辺トランジスタ 6 1 8 が構成される。周辺トランジスタ 6 1 7、6 1 8 の N 型半導体領域 4 2 6、4 2 7、4 2 8、ゲート電極 6 0 7、6 0 8 の表面部には、配線抵抗、拡散層抵抗、コンタクト抵抗等を低減するための金属シリサイド膜 4 3 2 が設けられている。金属シリサイド膜 4 3 2 としては、コバルトシリサイドやチタンシリサイド等を適用可能である。

【 0 0 6 0 】

画素領域 5 0 1 の半導体基板 1 0 0 上には、ゲート電極 6 0 2、6 0 3、6 0 4、6 0 5 の上面および側面を覆うように誘電体膜 7 0 1、7 0 2 が設けられている。誘電体膜 7 0 1、7 0 2 で覆われたゲート電極 6 0 2、6 0 3、6 0 4、6 0 5 の側面上には、サイドウォールスペーサ 7 0 3 a、7 0 4 が設けられている。

【 0 0 6 1 】

周辺領域 5 0 2 に配置された周辺トランジスタ 6 1 7、6 1 8 の一対のゲート電極 6 0 7、6 0 8 の側面上には、サイドウォールスペーサ 7 0 1 a が設けられている。また、周辺領域 5 0 2 の半導体基板 1 0 0 上には、側面がサイドウォールスペーサ 7 0 1 a で覆われたゲート電極 6 0 7、6 0 8 の上面および側面を覆うように、誘電体膜 7 0 3 が設けられている。サイドウォールスペーサ 7 0 1 a および誘電体膜 7 0 3 で覆われたゲート電極 6 0 7、6 0 8 の側面上には、サイドウォールスペーサ 7 0 4 が設けられている。

【 0 0 6 2 】

半導体基板 1 0 0 上の全面には絶縁体膜 3 0 1 が設けられている。一対のゲート電極 6

10

20

30

40

50

04、605の間隙は、絶縁体膜301によって埋め込まれておらず、ボイド801が形成されている。すなわち、第1および第2のゲート電極604、605、絶縁体膜301に囲まれた領域にボイド801が存在している。遮光部材308は平面視に垂直なZ軸方向において、ボイド801と絶縁体膜301を挟んで対向する位置には形成されていない。また、一对のゲート電極607、608の間隙は、絶縁体膜301によって埋め込まれておらず、ボイド802が形成されている。画素領域501の絶縁体膜301上には、電荷保持部403と第2の転送トランジスタM2のゲート電極602を覆うように、遮光部材308が設けられている。なお、図8には示されていないが、図2と同様に、絶縁体膜301上には、層間絶縁膜、層間絶縁膜および絶縁体膜301を貫通するコンタクトホール、コンタクトホールに接続された配線が設けられている。

10

【0063】

図9～図11は、本実施形態による固体撮像装置の製造方法を示す工程断面図である。図9(a)において、半導体基板100の表面部に、例えばSTI法、LOCOS法等により、活性領域102a、102bを画定する素子分離領域102を形成する。次に、イオン注入法により、画素領域501および周辺領域502の所定の領域に、P型半導体領域で構成されるウェル101を形成する。イオン注入法により、画素領域501の電荷保持部403の形成領域に、N型半導体領域421およびP型半導体領域431を形成する。

【0064】

半導体基板100の活性領域102a、102bの表面部に、例えば熱酸化法、CVD法を用いて、酸化シリコン膜等よりなるゲート絶縁膜103を形成する。ゲート絶縁膜103を形成した半導体基板100上の全面に、CVD法により、例えばポリシリコン膜を堆積する。次に、フォトリソグラフィおよびドライエッチングを用いて、ポリシリコン膜をパターニングし、ポリシリコン膜よりなるゲート電極602、603、604、605、607、608を形成する。イオン注入法により、画素領域501の半導体基板100内に、ゲート電極602、603、604、605に対して自己整合的に、N型半導体領域422、423、424、425を形成する。

20

【0065】

なお、ここではゲート電極602～608を形成する前にN型半導体領域421およびP型半導体領域431を形成する例を示しているが、ゲート電極602～608を形成した後にN型半導体領域421およびP型半導体領域431を形成してもよい。この場合、N型半導体領域421およびP型半導体領域431は、N型半導体領域422、423、424、425と同様、ゲート電極602に対して自己整合的に形成することも可能である。

30

【0066】

次に、ゲート電極602～608が形成された半導体基板100上の全面に、CVD法等により、酸化シリコン膜等の誘電体膜701を形成する。誘電体膜701は、酸化シリコン層と窒化シリコン層との積層構造にすることで、反射防止膜として用いてもかまわない。フォトリソグラフィにより画素領域501を覆うとともに周辺領域502を露出するフォトレジスト膜(図示せず)を形成後、このフォトレジスト膜をマスクとして周辺領域502の誘電体膜701をエッチバックする。これにより、画素領域501に誘電体膜701を残すとともに、周辺領域502のゲート電極607、608の側面上に、誘電体膜701(第1の誘電体膜)よりなるサイドウォールスペーサ(第1のサイドウォールスペーサ)701aを形成する。次いで、例えばアッシングにより、マスクに用いたフォトレジスト膜(図示せず)を除去する。

40

【0067】

次に、図9(b)において、周辺領域502に、ゲート電極607、608およびサイドウォールスペーサ701aをマスクとしてイオン注入を行う。これにより、ゲート電極607、608およびサイドウォールスペーサ701aに対して自己整合的に、ソース/ドレイン領域となるN型半導体領域426、427、428を形成する。次いで、全面に

50

、例えばCVD法等を用いて、誘電体膜702を成膜する。この誘電体膜702は、周辺領域502に金属シリサイド膜432を形成する際に画素領域501の保護膜として用いられる。誘電体膜702を成膜した後、フォトリソグラフィにより画素領域501を覆うとともに周辺領域502を露出するフォトレジスト膜(図示せず)を形成後、このフォトレジスト膜をマスクとして周辺領域502の誘電体膜702をエッチングする。これにより、誘電体膜702を、画素領域501に選択的に残存させる。次いで、例えばアッシングにより、マスクに用いたフォトレジスト膜(図示せず)を除去する。

【0068】

シリサイド(Self-ALigned silicide)プロセスにより、シリコンが露出している周辺領域502のゲート電極607、608およびN型半導体領域426の表面部に、金属シリサイド膜432を選択的に形成する。具体的には、例えばコバルト等の金属膜を堆積して熱処理を行い、この金属膜と接する部分のシリコンをシリサイド化した後、未反応の金属膜を除去する。これにより、金属シリサイド膜432が局所的に形成される。

10

【0069】

次に、図10(a)に示されるように、全面に、例えばスパッタリング法、CVD法等を用いて、誘電体膜(第1の誘電体膜)703を成膜する。フォトリソグラフィにより周辺領域502を覆うとともに画素領域501を露出するフォトレジスト膜(図示せず)を形成後、このフォトレジスト膜をマスクとして画素領域501の誘電体膜703をエッチバックする。これにより、周辺領域502に誘電体膜703を残すとともに、誘電体膜701、702で覆われた画素領域501のゲート電極602~605の側面上に、誘電体膜703よりなるサイドウォールスペーサ(第1のサイドウォールスペーサ)703aを形成する。次いで、例えばアッシングにより、マスクに用いたフォトレジスト膜(図示せず)を除去する。

20

【0070】

次に、図10(b)に示されるように、全面に、例えばCVD法等を用いて、酸化シリコン膜等の第2の誘電体膜を成膜した後、この誘電体膜をエッチバックする。これにより、誘電体膜701、702、サイドウォールスペーサ703aで覆われたゲート電極602~605の側面上に、サイドウォールスペーサ(第2のサイドウォールスペーサ)704を形成する。また、サイドウォールスペーサ701a、誘電体膜703で覆われたゲート電極607、608の側面上に、サイドウォールスペーサ704を形成する。この際、誘電体膜701、703を窒化シリコン膜とすることで、誘電体膜701、703をエッチングストップ膜として用いてもよい。

30

【0071】

このとき、ゲート電極602~608の側面を覆う膜の厚さとゲート電極602~608間の間隔に応じて、サイドウォールスペーサ704間に狭い隙間が生じ、あるいは生じなくなる。例えば、ゲート電極602~608の側面を覆う膜の厚さが0.2 μ mであるとすると、ゲート電極602~608の間隔が0.3 μ mよりも狭い場合に、サイドウォールスペーサ704間に狭い隙間が発生する。このような狭い隙間は、例えば、隣り合う一对のゲート電極の間であって、これらゲート電極間の不純物領域にコンタクト部を設ける必要のない場所に発生し得る。例えば、図10(b)において、狭い隙間は、第1のゲート電極604および第2のゲート電極605の間と、第1のゲート電極607および第2のゲート電極608の間とにおいて発生している。ここで、狭い隙間に直接遮光部材308を成膜し、エッチングして取り除こうとすると、上述したように遮光部材308の残渣が発生する虞がある。後述するように、本実施形態によれば、狭い隙間にボイドを形成することで、エッチングの残渣の発生を防ぐことができる。なお、第1のゲート電極604と第2のゲート電極605との間の不純物領域には、図6に示すように、コンタクト部は設けられていない。一方、ゲート電極602~608の間隔が0.4 μ mよりも大きい箇所には、このような狭い隙間は発生しない。

40

【0072】

次に、図11に示されるように、例えばプラズマCVD法等を用いて、酸化シリコン膜

50

等の絶縁体膜301を成膜する。この際、第1のゲート電極604と第2のゲート電極605との間の空隙、および第1のゲート電極607と第2のゲート電極608との間の空隙において、絶縁体膜301が埋め込まれないように、ボイド801、802を形成する。ボイド801、802を残すように絶縁体膜301を形成することで、ゲート電極604、605間およびゲート電極607、608間の領域上の窪みが低減される。

【0073】

具体的な成膜条件としては、TEOS-O₂系やSiH₄-O₂系のガス種を用いた平行平板型プラズマCVD法など異方性や流動性の小さいCVD法を用いて成膜することが好ましい。これは、成膜速度が速くなることで、ゲート電極604とゲート電極605と絶縁体膜301との間に空隙であるボイド801が形成されやすくなる一方、ボイド801より十分狭い隙間が閉塞され、ボイド上の膜の窪みを低減することができるためである。

10

【0074】

本実施例では、ガス流量をTEOS:265sccm、O₂:2.5sccmとし、圧力を360Paとした。また、RF出力を、上部電極720W、下部電極320Wとし、成膜時間を4secとして、500相当のプラズマCVD酸化膜を成膜した。

【0075】

次に、絶縁体膜301上に、スパッタ法、CVD法等を用いて、タングステンまたはタングステンシリサイド等よりなる遮光部材308を形成する。さらに、フォトリソグラフィおよびドライエッチングを用いることにより、遮光部材308を所定の形状にパターンニングする。

20

【0076】

パターンニングによって、電荷保持部403、転送トランジスタのゲート電極601および第2の転送トランジスタ612のゲート電極602上における遮光部材308は残り、他の箇所はエッチングにより除去される。この際、ゲート電極604、605間、およびゲート電極607、608間の領域上の絶縁体膜301の表面の平坦性は、第1、第2実施形態と同様に向上し、この部分に遮光部材308のエッチング残渣が生じることを防ぐことができる。

【0077】

また、ゲート電極602の側面上にサイドウォールスペーサ703a、704を積層することにより、ゲート電極602の段差を緩和することができる。これにより、遮光部材308の被覆性が向上し、遮光性能が向上する。さらに、増幅トランジスタM4の第1のゲート電極604と選択トランジスタM5の第2のゲート電極605の間には、ボイド801が形成される。空隙であるボイド801は、酸化シリコンや窒化シリコン等からなる誘電体膜703、704よりも誘電率が低い。このため、ゲート電極604、605間を誘電体膜703、704で埋め込む場合と比較してゲート電極604、605間の寄生容量を低減することができる。増幅トランジスタM4のゲート電極604の寄生容量が低減されることで、増幅回路の増幅効率の低下を抑制することができる。

30

【0078】

第1および第2実施形態と同様に、絶縁体膜301は遮光部材をエッチングする際にエッチストップ膜としても機能する。Z軸方向(第1の方向)において、絶縁体膜301の膜厚をt、遮光部材308の膜厚をd₁とし、遮光部材エッチング時のメインエッチ時間に対するオーバーエッチ時間の比をa、遮光部材エッチング時の遮光部材に対する絶縁体膜301のエッチング選択比をbとする。このとき、遮光部材エッチング時にエッチングされる絶縁体膜の厚さはa×b×d₁である。

40

【0079】

絶縁体膜301の膜厚tがa×b×d₁よりも薄いと、画素領域において遮光部材エッチング時に誘電体膜703の表面が露出する。誘電体膜703をフォトダイオードの反射防止膜として用いている場合、誘電体膜703がエッチングされて膜厚が変化すると、フォトダイオードの光学的特性が変化する恐れがある。そのため、絶縁体膜301の膜厚t

50

は $a \times b \times d_1$ 以上であることが好ましい。

【0080】

誘電体膜703をフォトダイオードの反射防止膜として用いない場合は、絶縁体膜301の膜厚 t と、誘電体膜703の膜厚 t' の和が $a \times b \times d_1$ よりも薄ければよい。

【0081】

遮光部材308と配線が接触するとリークなどの原因となるため、絶縁体膜301の膜厚 t は遮光部材と配線が接触しないような膜厚であることが好ましい。画素領域のゲート電極607～608の膜厚が異なる場合には、大きい方のゲート電極の膜厚と、誘電体膜703の膜厚の和を d_2 、半導体基板100と配線との距離のうち最も小さい距離(層間絶縁膜の膜厚)を d_3 、ゲート絶縁膜103の厚さを d_4 としたとき、絶縁体膜301の膜厚 t は $d_3 - (d_1 + d_2 + d_4)$ より薄いことが好ましい。

10

【0082】

遮光性の観点から、絶縁体膜301の膜厚は厚ければ厚いほど遮光部材308と半導体基板100との距離が広がり遮光性能が低下するため、絶縁体膜301の膜厚はできるだけ薄くするのが好ましい。

【0083】

具体的な例を以下に述べる。遮光部材308にタングステンを使用した場合、十分な遮光能力を得るためには、膜厚 d_1 は $0.1 \mu\text{m}$ 以上であることが好ましい。タングステンの透過率は $0.1 \mu\text{m}$ 以上の厚さで 0.2% 以下となり十分な遮光能力を達成できる。

【0084】

遮光部材エッチング時のメインエッチ時間に対するオーバーエッチ時間の比 a を 0.1 、遮光部材308に対する絶縁体膜301のエッチング選択比 b が 0.1 であったとき、絶縁体膜301の膜厚 t は少なくとも 1nm 以上である必要がある。実際は製造ばらつきなども考慮する必要があるため、絶縁体膜301の膜厚は 5nm 以上が好ましい。

20

【0085】

また、ゲート電極の膜厚 d_2 を $0.2 \mu\text{m}$ 、基板と配線との距離のうち最も小さい距離(層間絶縁膜の膜厚) d_3 を $0.6 \mu\text{m}$ 、ゲート絶縁膜103の厚さを 8.0nm とした場合、配線と接触しないためには絶縁体膜301の膜厚 t は少なくとも $0.3 \mu\text{m}$ よりも薄くすることが好ましい。実際は層間絶縁膜厚、遮光部材308の膜厚の製造ばらつき、絶縁体膜301の膜厚 t が厚くなることによる遮光性能の低下を考慮する必要があるため、実際の絶縁体膜301の膜厚 t は $0.1 \mu\text{m}$ より小さいことが好ましい。

30

よって、絶縁体膜301の膜厚は、 1nm 以上かつ $0.3 \mu\text{m}$ 未満であることが好ましく、より好ましくは、 5nm 以上かつ $0.1 \mu\text{m}$ 未満であることが好ましい。

【0086】

このように、本実施形態によれば、ゲート電極の間に形成される絶縁体膜の表面の窪みを低減することができ、この領域上に形成される構造体の下地の平坦性を向上することができる。特に、ゲート電極間の領域上に形成される導電膜をエッチングにより除去する場合にあっては、絶縁体膜の窪みに導電膜の残渣を抑制し、製造歩留まりを向上させることができる。さらに、ゲート電極の側面上にサイドウォールスペーサを形成することにより、遮光性能を向上することができる。

40

【0087】

本実施形態では、サイドウォールスペーサ間に狭い隙間が発生する条件として、ゲート電極間の間隔が $0.3 \mu\text{m}$ よりも狭い場合を例示したが、狭い隙間が発生するゲート電極間の間隔は、必ずしも $0.3 \mu\text{m}$ よりも狭い場合に限定されるものではない。ゲート電極の側面上に堆積される絶縁体膜の膜厚やサイドウォールスペーサの幅が変われば、これに応じてサイドウォールスペーサ間の隙間の幅も変わる。したがって、ボイドが残存するように絶縁体膜を形成する部位は、各固体撮像装置に求められるデザインルールやプロセス条件等に応じて、絶縁体膜上に形成される窪みの大きさを考慮しつつ、適宜設定することが好ましい。

【0088】

50

また、本実施形態では、画素領域501のゲート電極601～605を、誘電体膜701、702、サイドウォールスペーサ703a、704、絶縁体膜301で覆っている。しかし、ゲート電極601～605を覆う絶縁体膜・誘電体膜の構成は、これに限定されるものではない。例えば、サイドウォールスペーサ703a、704による段差の緩和度合いに応じて、積層するサイドウォールスペーサの数を適宜増減してもよい。或いは、誘電体膜701、702のいずれかを形成しなくてもよい。周辺領域502についても同様である。

【0089】

さらに、本実施形態では、画素領域501における増幅トランジスタM4、選択トランジスタM5のゲート電極の間にボイドを形成する例を示したが、他のトランジスタM1～M4、M6のゲート電極の間においてもボイドを形成しても良い。

【0090】

(第4実施形態)

本発明の第4実施形態に係る撮像システムを説明する。撮像システムとして、デジタルスチルカメラ、デジタルカムコーダ、複写機、ファクシミリ、携帯電話、車載カメラ、観測衛星などがあげられる。図12に、第4実施形態に係る撮像システムの例としてデジタルスチルカメラのブロック図を示す。

【0091】

図12において、撮像システムは、レンズの保護のためのバリア1001、被写体の光学像を固体撮像装置1004に結像させるレンズ1002、レンズ1002を通った光量を可変するための絞り1003、メカニカルシャッタ1005を備える。撮像システムは上述の第1～第3実施形態で説明した固体撮像装置1004をさらに備え、固体撮像装置1004はレンズ1002により結像された光学像を画像データとして変換する。ここで、固体撮像装置1004の半導体基板にはAD変換部が形成されているものとする。撮像システムはさらに信号処理部1007、タイミング発生部1008、全体制御・演算部1009、メモリ部1010、記録媒体制御I/F部1011、記録媒体1012、外部I/F部1013を備える。信号処理部1007は固体撮像装置1004より出力された撮像データに各種の補正やデータを圧縮する。タイミング発生部1008は固体撮像装置1004および信号処理部1007に各種タイミング信号を出力する。全体制御・演算部1009はデジタルスチルカメラ全体を制御し、メモリ部1010は画像データを一時的に記憶するためフレームメモリとして機能する。記録媒体制御I/F部1011は記録媒体に記録または読み出しを行う。記録媒体1012は着脱可能な半導体メモリ等から構成され、撮像データの記録または読み出しを行う。外部I/F部1013は外部コンピュータ等と通信するためのインターフェースである。ここで、タイミング信号などは撮像システムの外部から入力されてもよく、撮像システムは少なくとも固体撮像装置1004と、固体撮像装置1004から出力された撮像信号を処理する信号処理部1007とを有すればよい。

【0092】

(他の実施形態)

上述した実施形態は、本発明を実施するにあたっての具体例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されない。すなわち、本発明はその技術思想から逸脱することなく、様々な形で実施することができる。例えば、本発明は、トランジスタのゲート電極間の空隙のみならず、配線パターン間の微細スペースなど、遮光部材のエッチング残渣が生じる可能性のある回路構成に広く適用可能である。また、上述した実施形態では、信号電荷を電子とする固体撮像装置を例にして説明したが、本発明は、信号電荷を正孔とする固体撮像装置においても同様に適用することができる。なお、この場合、上述した半導体領域の導電型は、P型とN型とが逆になる。また、図6に示した固体撮像装置の画素回路の平面レイアウトは、一例を示したものであり、本発明を適用する固体撮像装置の画素回路の平面レイアウトは、これに限定されるものではない。さらに、画素回路の読み出し部の構成も、図6に示される例に限定されるものではない。

【0093】

また、第3実施形態では、グローバル電子シャッタ機能を持つCMOSイメージセンサを例に挙げて本発明を説明したが、本発明を適用しうる固体撮像装置はCMOSイメージセンサに限定されるものではない。例えば、本発明は、CCDイメージセンサにも適用可能である。CCDイメージセンサでは、光電変換部における光電変換によって発生した電荷を読み出して転送するための読み出し部上に、遮光部材が配置される。この遮光部材が堆積される下地構造および製造方法に、上述の実施形態と同様の構造および製造方法を適用可能である。なお、本明細書において「電荷保持部」とは、固体撮像装置がCCDイメージセンサである場合においては、上述の読み出し部をも意味するものとする。

【符号の説明】

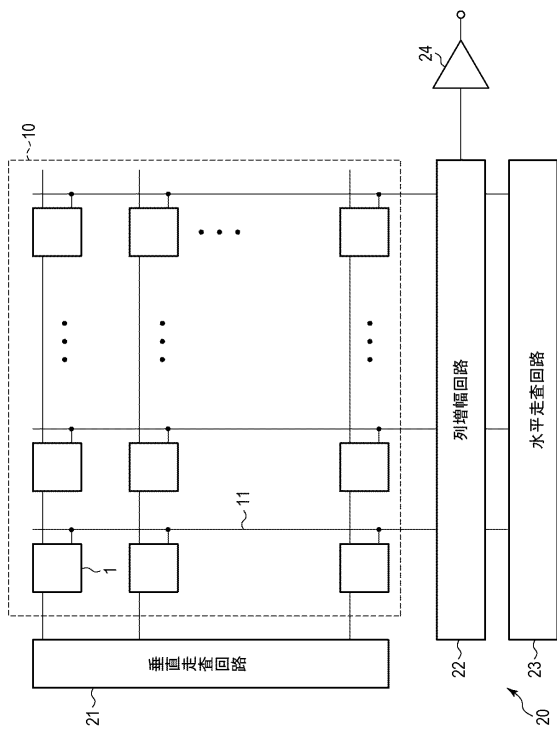
【0094】

- 100 半導体基板
- 101 ウェル
- 102 素子分離領域
- 103 ゲート絶縁膜
- 201、202、601～608 ゲート電極
- 203、204、205 不純物領域
- 301 絶縁体膜
- 303、701～703 誘電体膜
- 302、801、802 ボイド
- 304～307、701a、703a、704 サイドウォールスペーサ
- 308 遮光部材
- 421～425 N型不純物領域
- 432 P型不純物領域

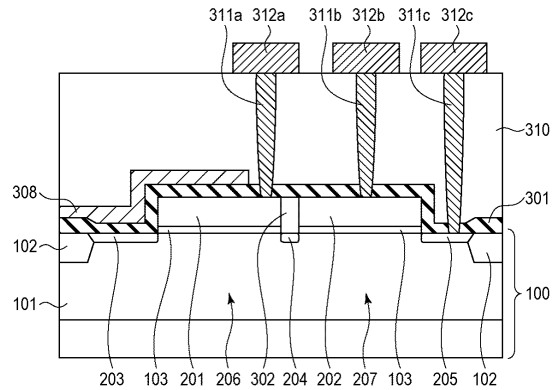
10

20

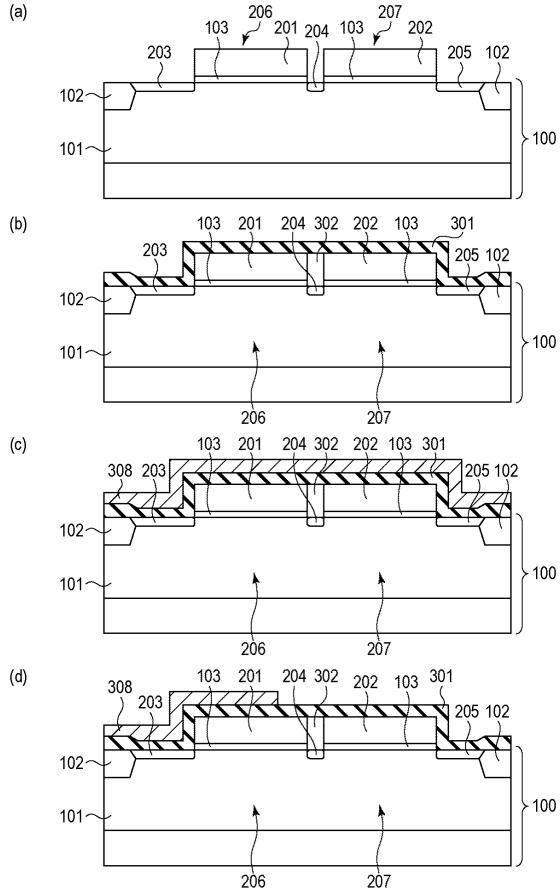
【図1】



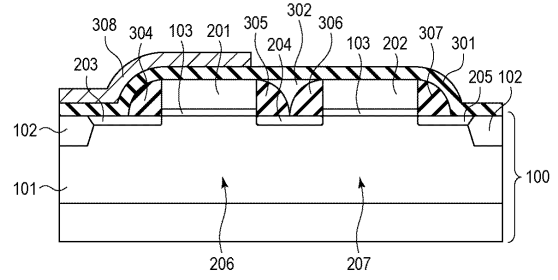
【図2】



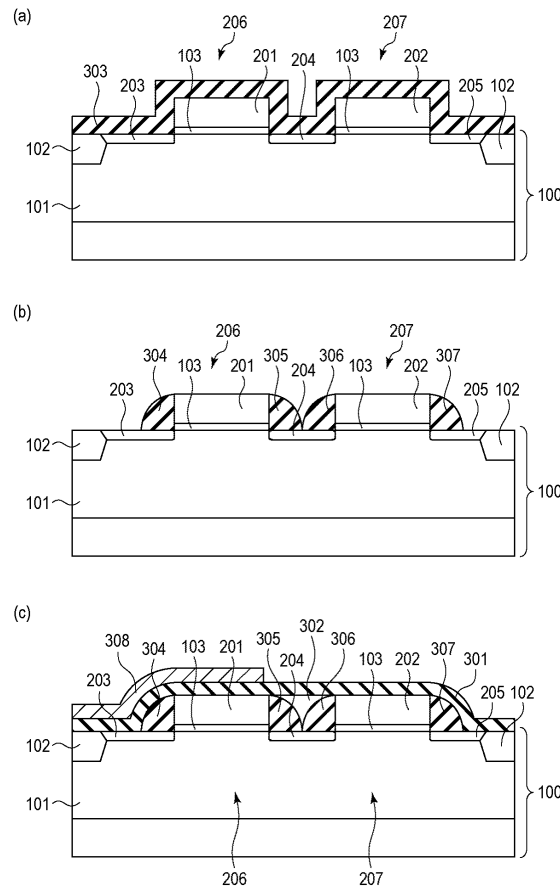
【図3】



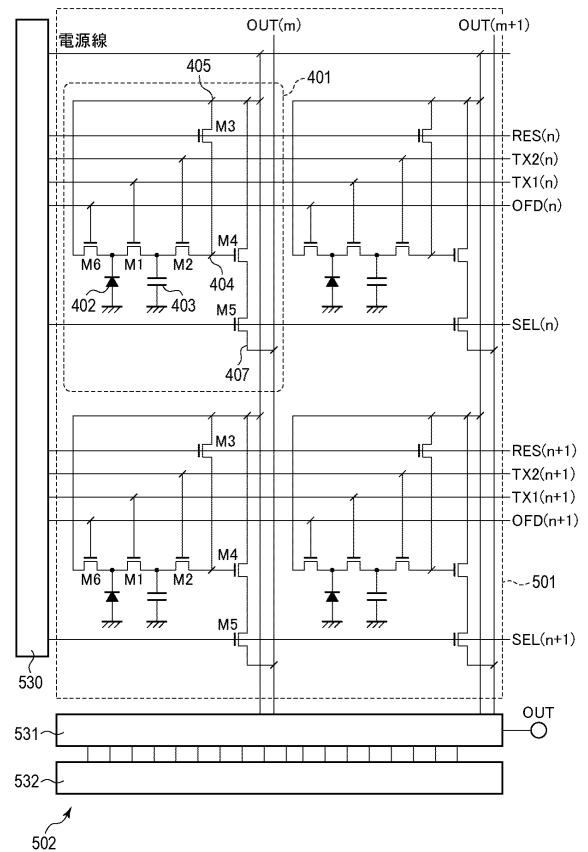
【図4】



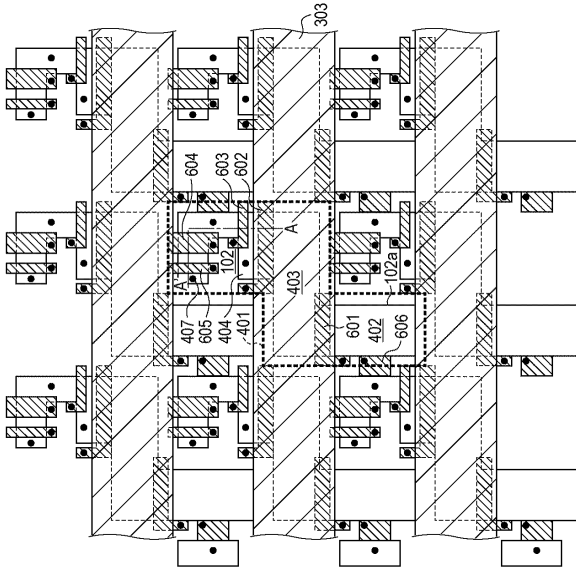
【図5】



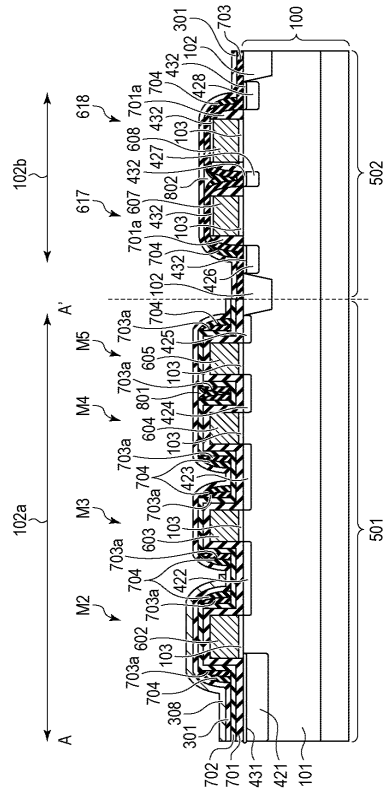
【図6】



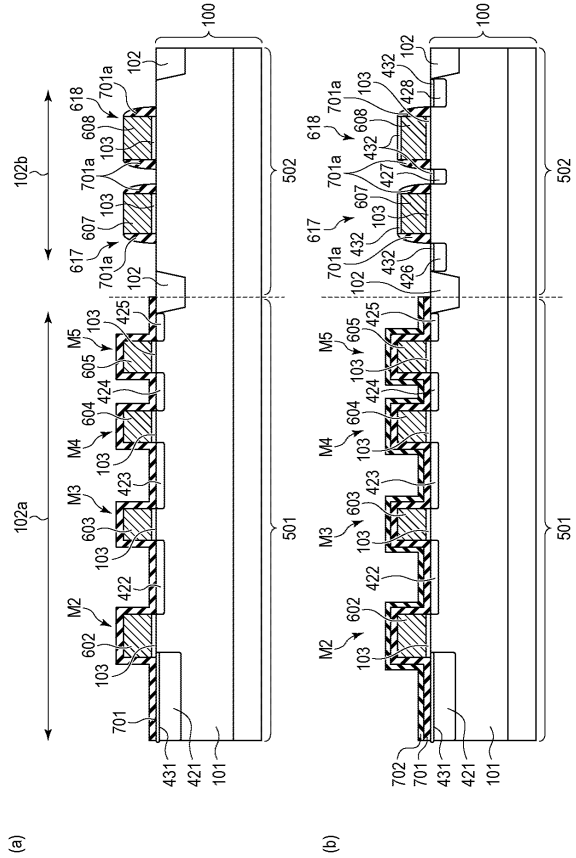
【 7 】



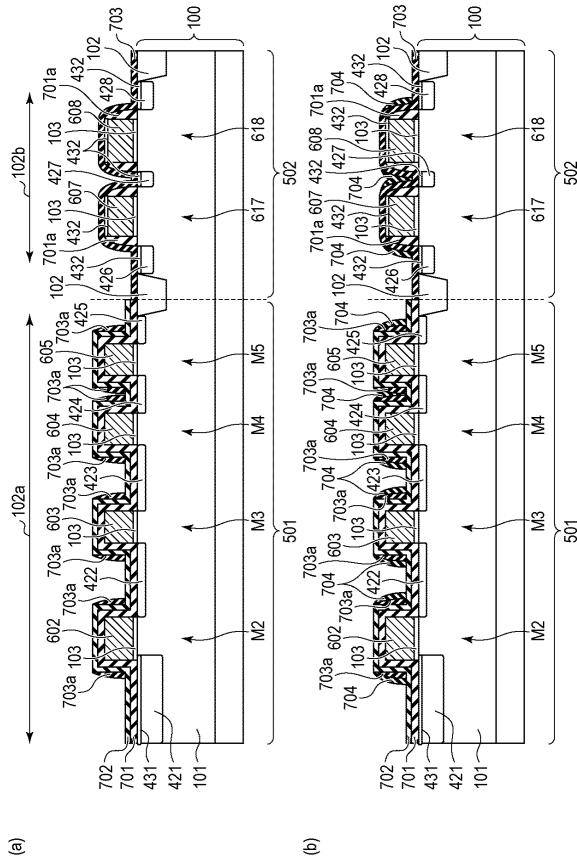
【 8 】



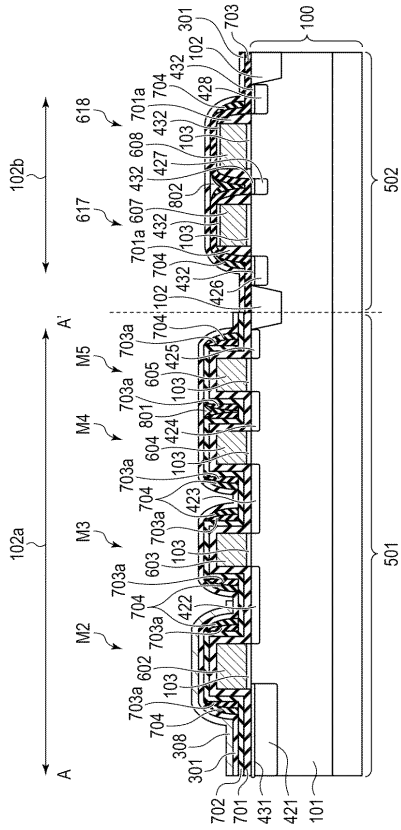
【 9 】



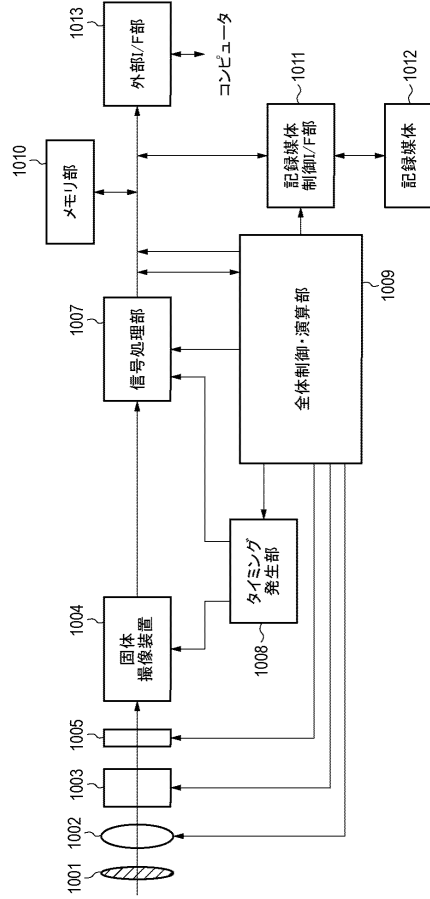
【 10 】



【図11】



【図12】



フロントページの続き

- (72)発明者 中塚 俊介
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 板橋 政次
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 関根 康弘
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 鈴木 翔
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 柴山 将隆

- (56)参考文献 特開2000-150857(JP,A)
特開2012-248679(JP,A)
特開2013-110285(JP,A)
特開2006-261355(JP,A)
特開2006-295071(JP,A)
特開2000-216371(JP,A)
特開2003-282853(JP,A)
特開2014-022421(JP,A)
特開平11-274300(JP,A)
特開2001-345439(JP,A)
特開2010-283859(JP,A)
特開2012-182426(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/146