



ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ,
ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(21), (22) Заявка: 2003136261/09, 06.03.2003

(24) Дата начала отсчета срока действия патента:
06.03.2003

(30) Приоритет: 15.03.2002 US 10/099,648

(43) Дата публикации заявки: 27.05.2005

(45) Опубликовано: 20.04.2006 Бюл. № 11

(56) Список документов, цитированных в отчете о
поиске: US 2001003207 A1, 07.07.2001. RU
2176813 C2, 27.10.1999. US 5719800 A,
17.02.1998.

(85) Дата перевода заявки РСТ на национальную
фазу: 16.12.2003

(86) Заявка РСТ:
US 03/06864 (06.03.2003)

(87) Публикация РСТ:
WO 03/079170 (25.09.2003)

Адрес для переписки:
129010, Москва, ул. Б. Спасская, 25, стр.3,
ООО "Юридическая фирма Городисский и
Партнеры", пат.пов. Ю.Д.Кузнецову, рег.№ 595

(72) Автор(ы):

ГРИНЬЕ Роберт (US),
ИНКЛИ Бенсон (US),
ШУЛЬТЦ Натан (US)

(73) Патентообладатель(и):

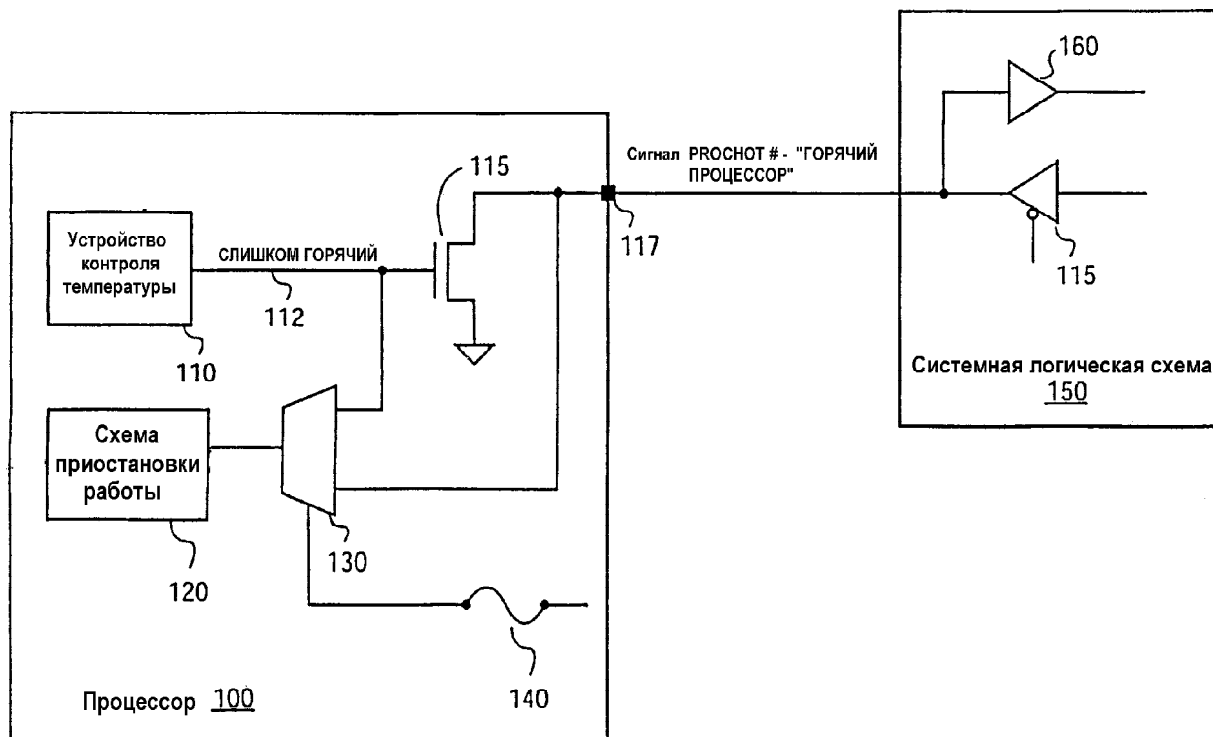
ИНТЕЛ КОРПОРЕЙШН (US)

(54) ИНТЕРФЕЙС УПРАВЛЕНИЯ ТЕМПЕРАТУРОЙ ПРОЦЕССОРА

(57) Реферат:

Изобретение относится к области электронных компонентов, а именно к интерфейсу управления температурой процессора. Технический результат - обеспечение надлежащего управления в случае перегрева процессора и/или возможностей синхронизации приостановки работы нескольких процессоров в случае перегрева одного из них. В одном варианте выполнения процессор включает в

себя двунаправленный интерфейс и выходную логическую схему для выдачи первого сигнала, указывающего внутреннюю высокую температуру на двунаправленном интерфейсе. Логическая схема приостановки работы приостанавливает операции процессора в случае, если указана внутренняя высокая температура или если принят внешний сигнал на двунаправленном интерфейсе. 4 н. и 17 з.п. ф-лы, 4 ил.



ФИГ.1



FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY,
PATENTS AND TRADEMARKS

(12) **ABSTRACT OF INVENTION**

(21), (22) Application: **2003136261/09, 06.03.2003**

(24) Effective date for property rights: **06.03.2003**

(30) Priority: 15.03.2002 US 10/099,648

(43) Application published: 27.05.2005

(45) Date of publication: 20.04.2006 Bull. 11

(85) Commencement of national phase: **16.12.2003**

(86) PCT application:
US 03/06864 (06.03.2003)

(87) PCT publication:
WO 03/079170 (25.09.2003)

Mail address:
129010, Moskva, ul. B. Spasskaja, 25, str.3,
OOO "Juridicheskaja firma Gorodisskij i
Partnery", pat.pov. Ju.D.Kuznetsovu, reg.№ 595

(72) Inventor(s):
GRIN'E Robert (US),
INKLI Benson (US),
ShUL'TTs Natan (US)

(73) Proprietor(s):
INTEL KORPOREJShN (US)

(54) INTERFACE FOR CONTROLLING PROCESSOR TEMPERATURE

(57) Abstract:

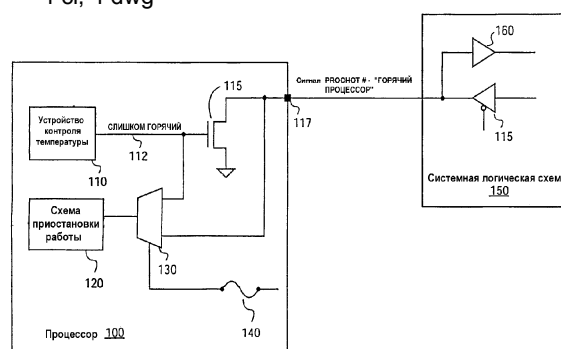
FIELD: engineering of electronic components, in particular, engineering of interface for controlling processor temperature.

SUBSTANCE: in accordance to one realization variant, processor includes two-directional interface and output logical circuit for outputting first signal, showing internal high temperature on two-directional interface. Logical circuit for halting operation stops operations of processor in case if high internal temperature is shown, or if external signal is received on two-directional interface.

EFFECT: appropriate control in case of processor overheating and/or possible synchronization of halting of operation of

several processors in case of overheating of one of them.

4 cl, 4 dwg



ФИГ.1

Область техники, к которой относится изобретение

Настоящее раскрытие относится к области электронных компонентов.

Более конкретно, настоящее раскрытие относится к интерфейсу управления температурой для такого электронного компонента, как процессор.

5 Уровень техники

Управление температурой электронных компонентов наглядно показывает продолжающуюся борьбу между миниатюризацией компонентов, с одной стороны, и ростом потребления энергии, с другой стороны. Современные микропроцессоры используют изощренные технологические приемы для сбережения потребляемой энергии и сами
10 проводят управляемую приостановку работы, когда температуры достигают определенных тепловых показателей.

Например, один процессор известного уровня техники включает штырек (вывод) для останова синхронизирующих импульсов, который позволяет системе остановить синхронизирующие импульсы процессора по разным причинам. Одним известным
15 применением этого вывода - это обеспечение периодического сигнала на выводе останова синхроимпульсов, заставляющего процессор периодически останавливаться и повторно запускаться (см. патент США № 5.560.001). Такая управляемая приостановка работы синхроимпульсов эффективно снижает рабочую скорость процессора, тем самым, как правило, снижая потребление мощности и температуру.

20 Кроме того, процессор известного уровня техники может сам иметь тепловые датчики и может сам выполнять инициированную изнутри приостановку работы. Когда инициированная изнутри приостановка работы проводится по соображениям теплоэнергетики, внешний сигнал может быть установлен (выдан) для оповещения системы (см., например, выходной сигнал PROCHOT# процессора Пентиум 4).

25 Эти механизмы, однако, могут и не обеспечить надлежащего управления и/или возможностей синхронизации для некоторых приложений.

Краткое описание чертежей

Настоящее изобретение иллюстрируется лишь в качестве примера, не ограничивающего объем притязаний, со ссылкой на сопроводительные чертежи.

30 Фиг.1 иллюстрирует одно воплощение системы, имеющей двунаправленный интерфейс для информирования о горячем процессоре.

Фиг.2 - блок-схема, иллюстрирующая операции системы, показанной на Фиг.1, согласно одному воплощению.

35 Фиг.3 иллюстрирует одно воплощение многопроцессорной системы, использующей интерфейс для информирования о горячем процессоре.

Фиг.4 - блок-схема, иллюстрирующая операции системы, показанной на Фиг.3, согласно одному воплощению.

Подробное описание

Нижеприведенное описание раскрывает технические приемы для интерфейса
40 управления температурой процессора. В нижеприведенном описании приведены многочисленные специфические подробности, такие как логические реализации, тактовые импульсы, наименование сигналов, типы и взаимозависимости компонентов системы, а также выборы логического разбиения/интеграции, для того, чтобы обеспечить более полное понимание настоящего изобретения. Специалистам в данной области техники
45 будет, однако понятно, что изобретение может быть реализовано без таких специфических подробностей. В других примерах управляющие структуры, а также схемы на уровне вентилях не были показаны подробно, чтобы не усложнять описание изобретения.

В одном воплощении предлагается двунаправленный интерфейс сигнала (PROCHOT#) (ПРОЦЕССОР ГОРЯЧИЙ) горячего процессора, чтобы обеспечить как наблюдение за
50 системой, так и управление системой за тепловым состоянием процессора. Такой двунаправленный интерфейс может быть использован, например, в настольных и мобильных системах, где ограниченные возможности управления и наблюдения должны быть компенсированы использованием дополнительных штырьков (выводов). В другом

воплощении интерфейс с двумя выводами для сигналов ПРОЦЕССОР ГОРЯЧИЙ и принудительного перевода горячего интерфейса (FORCERN#) (ПРИНУДИТЕЛЬНЫЙ ПЕРЕВОД ГОРЯЧЕГО ПРОЦЕССОРА) дает возможность системе как наблюдать, так и управлять установкой механизма приостановки работы.

5 «Процессор» может быть выполнен в виде одной интегральной схемы в некоторых воплощениях изобретения. В других воплощениях множество интегральных схем могут сообща образовывать процессор. В других воплощениях аппаратно-реализованные стандартные программы и стандартные программы системы программного обеспечения (например, стандартные программы двоичного перевода) могут сообща образовывать
10 процессор. Множество различных типов интегральных схем и других электронных компонентов могли бы извлечь преимущества от использования таких технических приемов управления температурой. Например, процессор 100 может быть процессором общего назначения (например, микропроцессором) или может быть процессором или устройством специального назначения. Например, цифровые процессоры сигналов, графические
15 процессоры, сетевые процессоры или какого-либо типа компонент специального назначения, которые могут быть использованы в системе, могли бы извлечь преимущества из «видимой» системной и управляемой приостановки работы.

Фиг.1 иллюстрирует один вариант осуществления процессора 100, имеющего двунаправленный интерфейс сигналов горячего процессора (узел 117 интерфейса
20 PROCHOT#). Интерфейсом может быть штырек (вывод), шарик или какой-либо другой тип соединителя или их набор, который может обеспечить, по меньшей мере, один узел интерфейса (интерфейсный узел) к другим компонентам. Процессор 100 включает логическую схему 110 контроля температуры, которая контролирует температуру самого процессора. Большое разнообразие известных или, иначе, доступных технических средств
25 контроля температуры может быть использовано. Например, может быть использована встроенная схема, контролирующая температуру. Кроме этого, могут быть использованы внешние датчики или средства оценки потребляемой мощности (например, счетчики рабочего состояния/устройства контроля, устройства контроля тока и т.д.). Устройство
30 110 контроля температуры соединено с выходной схемой запуска 115, которая возбуждает узел 117 интерфейса через сигнальную линию 112 сигналом «ТОО НОТ» (СЛИШКОМ ГОРЯЧИЙ). Сигнал «ТОО НОТ» также направляется к логической схеме 120 приостановки работы через мультиплексор 130. Мультиплексором управляют с помощью плавкой
перемычки 140, которая выбирает или однонаправленный, или двунаправленный режимы работы в иллюстрируемом воплощении.

35 В варианте осуществления по Фиг.1 системная логическая схема 150 связана с процессором 100 и может приводиться в действие через формирователь 115 или принимать через входной буфер 160 сигнал PROCHOT#. Сама системная логическая схема может включать в себя несколько тепловых датчиков для определения состояния, когда система в целом достигла неприемлемого уровня температуры, и может соответственно
40 выдавать сигнал PROCHOT#.

Операции для одного воплощения системы по Фиг.1 показаны на Фиг.2. На этапе 200 разделяются различные режимы работы. В некоторых вариантах осуществления полупроводниковые плавкие перемычки могут быть выжжены для выбора режима работы. Другие средства выбора, такие как регистры конфигурации и аналогичные средства, могут
45 быть также использованы для выбора режима работы. В режиме "только выхода" плавкая перемычка 140 заставляет мультиплексор 130 выбрать сигнал ТОО НОТ в качестве входного для логической схемы 120 приостановки работы. Таким образом, внешнее состояние сигнала PROCHOT# не учитывается, используя сигнал PROCHOT# в качестве действующего выходного сигнала лишь в случае, как показано на этапе 205. В
50 двунаправленном режиме с одинарным выводом как системная логическая схема 150, так и процессор 100 могут выдать сигнал PROCHOT# для управления приостановкой работы. Как показано на этапах 215 и 225, процессор 100 контролирует свою температуру и контролирует интерфейс PROCHOT#. Если температура не превышает выбранного

показателя, то процессор продолжает контроль температуры, как показано на этапе 220. Аналогичным образом, если сигнал PROCHOT# не установлен, то процессор 100 будет продолжать контролировать интерфейс, как показано на этапе 230. Если сигнал PROCHOT# установлен или если температура превышает выбранный показатель, то работа процессора приостанавливается посредством логической схемы 120 приостановки работы, как показано на этапе 240.

Приостановка работы, выполняемая логической схемой управляемой приостановки работы, может быть осуществлена любым соответствующим техническим известным или иначе доступным приемом. Например, тактовый импульс к устройству может быть периодически остановлен. Альтернативно, производительность обработки может быть снижена посредством ограничения производительности на какой-либо ступени конвейера. Альтернативно, тактовая частота может быть изменена. Эти или какие-либо другие технические приемы, эффективно снижающие производительность обработки процессором, могут быть использованы логической схемой приостановки работы.

В третьем режиме двунаправленная реализация PROCHOT# с двумя выводами может быть использована, как показано на этапе 210. Фиг.3 и 4 иллюстрируют другие подробности одного воплощения, использующего реализацию с двумя выводами. Реализация с двумя выводами может обеспечить как наблюдение за внутренним измерителем температуры процессора, так и выдачу команды приостановки работы. В реализации с одинарным выводом выдача команды приостановки работы будет накладывать маску на установление сигнала процессора на том же самом выводе штыря. В воплощении по Фиг.3 в целях наглядности показаны два процессора, но могут быть добавлены и другие процессоры. Оба процессора 300 и 350 имеют выводы FORCEPN# (ПРИНУДИТЕЛЬНЫЙ ПЕРЕВОД ПРОЦЕССОРА) и PROCHOT# (ПРОЦЕССОР ГОРЯЧИЙ). Сигнальные линии 364 и 362 передают пару сигналов FORCEPN#, выдаваемые системной логической схемой к процессорам 300 и 350, а сигнальные линии 302 и 352 передают соответственно сигналы PROCHOT# (ПРОЦЕССОР ГОРЯЧИЙ), выдаваемые процессорами 300 и 350 к системной логической схеме.

Процессор 300 включает в себя устройство контроля 310 для обнаружения слишком горячего состояния процессора 300 (или в некоторых воплощениях слишком большого потребления мощности). Каждый пронумерованный блок представляет собой элемент задержки, такой как триггер-защелка. Устройство 305 запуска связано с устройством 310 контроля для приема сигнала «TOO HOT» (СЛИШКОМ ГОРЯЧИЙ) от устройства 310 контроля и для выдачи сигнала PROCHOT# на сигнальной линии 302. Первый тракт к мультиплексору 330 принимает сигнал «TOO HOT» (СЛИШКОМ ГОРЯЧИЙ) через блок задержки 313-1 и блок задержки 313-2, и передает его далее к входу "w" мультиплексора 330. Второй тракт к мультиплексору 330 принимает сигнал «TOO HOT» через блок задержки 313-1, выходную схему 305 запуска (также тем самым считывая любые внешне установленные сигналы на сигнальной линии 302), через инвертирующий формирователь 307 и через блоки 314-2 и 314-3 задержки к входу "b" мультиплексора 330.

Третий тракт к мультиплексору включает в себя входы как от сигнальной линии 302 (PROCHOT#), так и от сигнальной линии 364, которая возбуждается системной логической схемой 360. Сигнальная линия 364 может быть сигнальной линией сигнала FORCEPN# (ПРИНУДИТЕЛЬНЫЙ ПЕРЕВОД ГОРЯЧЕГО ПРОЦЕССОРА) принудительного перевода горячего процессора, которая позволяет использовать внешние условия, чтобы определить, когда проводить операции приостановки работы. В одном воплощении система может пожелать начать приостановку работы множества процессоров одновременно (то есть в течение одного и того же периода тактового импульса для синхроимпульсов внешней шины) даже в случае, если оба процессора не могут одновременно сами проводить приостановку работы. В этом варианте осуществления может оказаться целесообразным согласовать задержки сигнала СЛИШКОМ ГОРЯЧИЙ к логической схеме 320 управляемой приостановки работы с задержкой, ожидаемой через тракт системной логической схемы. Например, в воплощении по Фиг.3 сигнал СЛИШКОМ ГОРЯЧИЙ «TOO

НОТ» проходит через блок 313-1 задержки, выходную схему 305 запуска, через блок 316-2 задержки, комбинационную логическую схему 363, блок 316-3 задержки в системную логическую схему 370, через блок 316-4 задержки, комбинационную логическую схему 371, блок 316-5 задержки назад к системной логической схеме 360, через блок 316-6

задержки, комбинационную логическую схему 367, блок 316-7 задержки, и затем во второй процессор 350. Предполагая, что второй процессор имеет идентичные логические схемы с логическими схемами, показанными для процессора 300, тракт передачи проходит через элементы, соответствующие входному буферу 309, двум дополнительным блокам 316-8 и 316-9 задержки, вентилю 311 ИЛИ, и входу "f" мультимплексора 330.

Аналогичным образом тракт передачи сигнала СЛИШКОМ ГОРЯЧИЙ, внутреннего для процессора 300, включает в себя 9 блоков задержки и вентиль 311 ИЛИ. Внутри процессора, в режиме с двумя выводами сигнал СЛИШКОМ ГОРЯЧИЙ проходит через блоки 313-1 и 313-2 задержки, а затем через блоки задержки с 315-3 по 315-9, и в вентиль 311 ИЛИ. Вентиль ИЛИ подает в мультимплексор 330 сигнал индикации о том, что должна быть проведена (управляемая) приостановка работы в случае, если или системная логическая схема 360 и 370 установит сигнал FORCEPH# на сигнальной линии 364, или если устройство 310 контроля укажет, что должна быть выполнена (управляемая) приостановка работы. Компоненты 360 и 370 системной логики могут быть локальными (360) и глобальными (370) управляющими интегральными схемами прикладной ориентации (ИСПО, ASIC). Для раскрытых технических приемов не является существенным, будет ли какая-либо или все логические схемы дискретными или интегральными. Логическая схема может быть включена в сами процессоры, или другие системные компоненты, такие как мосты шины, или в интегральные схемы ИСПО или аналогичные компоненты. Кроме этого, абсолютное число или длина различных задержек не является существенной, однако, обеспечение согласования задержек целесообразно в некоторых воплощениях.

В варианте осуществления по Фиг.3 два управляющих входа к мультимплексору ("плавкая перемика задеирования двунаправленного режима горячего процессора" и "плавкая перемика декодирования мультипроцессора МП") управляют выбором режима. Если плавкая перемика декодирования мультипроцессора МП укажет, что целесообразна мультипроцессорная реализация (с двумя выводами) PROCHOT#/FORCEPH# (ПРОЦЕССОР ГОРЯЧИЙ/ПРИНУДИТЕЛЬНЫЙ ПЕРЕВОД ГОРЯЧЕГО ПРОЦЕССОРА), то выбирают тракт передачи сигналов "f" к мультимплексору. Если плавкая перемика "плавкая перемика задеирования двунаправленного режима горячего процессора" укажет, что требуется только двунаправленный режим, то выбирают вход "b" мультимплексора. Если плавкие перемики указывают, что ни двунаправленный, ни мультипроцессорный (с двумя выводами) режимы не требуются, то используют режим "только выход", и выбирается тракт передачи сигналов "w" к мультимплексору.

Фиг.4 иллюстрирует операции мультипроцессорной системы, в которой выбран режим с двумя выводами (например, вход "f" на мультимплексоре 330 для варианта воплощения по Фиг.3). В блоке 400 воспринимается высокая температура (например, устройством 310 контроля). На этапе 410 выдают сигнал ПРОЦЕССОР ГОРЯЧИЙ к системной логической схеме. Как показано на этапе 420, внутренний сигнал СЛИШКОМ ГОРЯЧИЙ задерживается. В воплощении по Фиг.3 тракт передачи сигналов через элементы задержки 313-1, 313-2 и 315-3 по 315-9 создает задержки. Как показано на этапе 425, установленный сигнал ПРОЦЕССОР ГОРЯЧИЙ также распространяется через системную логическую схему, подвергаясь задержкам и приводя в результате к формированию сигнала ПРИНУДИТЕЛЬНЫЙ ПЕРЕВОД ГОРЯЧЕГО ПРОЦЕССОРА (FORCEPH#) для другого процессора (процессорам) в системе. Например, в варианте воплощения по Фиг.3 сигнал ПРИНУДИТЕЛЬНЫЙ ПЕРЕВОД ГОРЯЧЕГО ПРОЦЕССОРА может быть выдан к процессору 350 по сигнальной линии 362.

Благодаря задержке внутри первого процессора, которая предназначена для согласования задержки в тракте передачи через системную логику в дополнение к каким-либо внутренним задержкам, процессоры начинают приостановку работы синхронно, как

показано на этапах 430 и 435. Может оказаться целесообразным в некоторых системах иметь такую синхронизацию приостановки работы, чтобы поддерживать работу процессоров на однородной скорости, тем самым приблизительно уравнивая требования работы и проблемы управления температурой/энергией. Процессор
5 соответственно может быть принудительно переведен в состояние приостановки работы даже в случае, когда не требуется его перехода в состояние приостановки работы.

Таким образом были раскрыты технические приемы для интерфейса управления температурой процессора. Хотя некоторые приведенные в качестве примера варианты воплощения были описаны и показаны на сопроводительных чертежах, следует понять, что
10 такие варианты воплощения являются исключительно иллюстративными и не ограничивающими объема защиты изобретения, и что это изобретение не ограничивается специфическими структурами и устройствами, описанными и показанными здесь, поскольку различные другие модификации будут очевидны для специалистов средней квалификации в данной области техники после изучения приведенного здесь раскрытия.

Формула изобретения

1. Процессор, содержащий двунаправленный интерфейс, содержащий первый узел интерфейса для вывода первого сигнала и второй узел интерфейса для приема внешнего сигнала, когда разрешен режим с двумя выводами; выходную логическую схему для
20 выдачи упомянутого первого сигнала, указывающего на внутреннюю высокую температуру, на упомянутый двунаправленный интерфейс, логическую схему приостановки работы, соединенную с упомянутым двунаправленным интерфейсом, причем упомянутая логическая схема приостановки работы предназначена для выполнения операций приостановки работы упомянутого процессора в случае, если указана упомянутая
25 внутренняя высокая температура упомянутым первым сигналом или если принят внешний сигнал о превышении температуры на упомянутый двунаправленный интерфейс.

2. Процессор по п.1, в котором упомянутый двунаправленный интерфейс является единым узлом интерфейса.

3. Процессор по п.1, дополнительно содержащий первый тракт передачи для
30 упомянутого первого сигнала, второй тракт передачи для упомянутого внешнего сигнала, логическую схему выбора для выбора между первым трактом передачи, который игнорирует внешний сигнал в однонаправленном режиме, и упомянутым вторым трактом передачи, который учитывает упомянутый внешний сигнал в двунаправленном режиме интерфейса с одним выводом.

4. Процессор по п.3, в котором второй узел интерфейса является входом, а упомянутый двунаправленный интерфейс содержит логическую схему выбора для дополнительного
35 выбора третьего тракта передачи в двунаправленном режиме интерфейса с двумя выводами.

5. Процессор по п.4, в котором упомянутый третий тракт передачи содержит тракт
40 передачи внутреннего сигнала для упомянутого первого сигнала, имеющего первую задержку, тракт передачи внешнего сигнала для упомянутого внешнего сигнала, имеющего вторую задержку, причем упомянутая первая задержка совпадает со второй задержкой плюс внешняя задержка.

6. Процессор по п.1, в котором упомянутый двунаправленный интерфейс дополнительно
45 содержит один узел двунаправленного интерфейса, когда разрешен двунаправленный режим.

7. Процессор по п.6, дополнительно содержащий первый элемент задержки в первом тракте передачи упомянутого первого сигнала, второй элемент задержки во втором тракте передачи упомянутого внешнего сигнала, в котором упомянутая первая задержка в первом
50 элементе в упомянутом первом тракте передачи совпадает со второй задержкой упомянутого второго элемента в упомянутом втором канале тракта передачи плюс внешняя задержка.

8. Система управления тепловым состоянием одного или более процессоров,

содержащая первый процессор, содержащий двунаправленный интерфейс, содержащий первый узел интерфейса для вывода первого сигнала, указывающего на высокую температуру, и второй узел интерфейса для приема внешнего сигнала о превышении температуры, когда разрешен режим с двумя выводами; логическую схему приостановки работы для приостановки работы упомянутого первого процессора в ответ на внутренний сигнал или внешний сигнал, системную логическую схему для выдачи упомянутого внешнего сигнала.

9. Система по п.8, дополнительно содержащая второй процессор, содержащий первый узел интерфейса второго процессора для вывода внутреннего сигнала второго процессора, указывающего на высокую температуру второго процессора, второй узел интерфейса второго процессора для приема второго внешнего сигнала, логическую схему приостановки работы второго процессора для приостановки работы второго процессора в ответ на внутренний сигнал второго процессора или на второй внешний сигнал, в которой упомянутая системная логическая схема предназначена для выдачи упомянутого внешнего сигнала к упомянутому первому процессору в ответ на вывод вторым процессором внутреннего сигнала второго процессора, который указывает на высокую температуру упомянутого второго процессора.

10. Система по п.9, в которой упомянутый первый процессор дополнительно содержит первый элемент задержки в первом тракте передачи упомянутого внутреннего сигнала к упомянутой логической схеме приостановки работы, второй элемент задержки во втором тракте передачи упомянутого внешнего сигнала к упомянутой логической схеме приостановки работы, причем упомянутый первый элемент задержки предназначен для согласования со вторым элементом задержки плюс задержка системной логической схемы.

11. Система по п.10, в которой упомянутый первый процессор и упомянутый второй процессор предназначены для инициирования приостановки работы синхронно в ответ на упомянутый внутренний сигнал второго процессора.

12. Система по п.11, в которой упомянутый первый процессор и упомянутый второй процессор предназначены для инициирования приостановки работы в одном и том же одном периоде повторения тактовых импульсов.

13. Способ управления тепловым состоянием процессора, содержащий этапы: выдачу первого сигнала, указывающего измеренную внутреннюю высокую температуру процессора, на двунаправленный интерфейс, содержащий первый узел интерфейса для вывода первого сигнала и второй узел интерфейса для приема внешнего сигнала о превышении температуры, когда разрешен режим с двумя выводами; выполнение операций приостановки работы процессора в случае, если упомянутый первый сигнал выдан, или если внешний сигнал принят по упомянутому двунаправленному интерфейсу.

14. Способ по п.13, в котором этап выдачи содержит этапы проверки того, достигнут ли выбранный тепловой показатель, формирование первого сигнала, если достигнут упомянутый выбранный тепловой показатель.

15. Способ по п.13, в котором упомянутый узел интерфейса является одним узлом двунаправленного интерфейса.

16. Способ по п.13, дополнительно содержащий задержку первого сигнала и внешнего сигнала посредством различных трактов задержки.

17. Способ по п.13, дополнительно содержащий выбор или первого режима, использующего один узел двунаправленного интерфейса в качестве узла интерфейса, или второго режима, использующего два узла интерфейса.

18. Способ по п.17, дополнительно содержащий задержку во втором режиме первого сигнала, чтобы вызвать приостановку работы одновременно с другим процессором.

19. Способ управления тепловым состоянием одного или более процессоров, содержащий этапы: указание внутренне измеренной высокой температуры первого процессора через двунаправленный интерфейс, содержащий первый узел интерфейса для вывода первого сигнала и второй узел интерфейса для приема внешнего сигнала о превышении температуры, когда разрешен режим с двумя выводами; синхронизацию

приостановки работы первого процессора в ответ на внутренне измеренную высокую температуру первого процессора с приостановкой работы второго процессора.

20. Способ по п.19, в котором синхронизация содержит этапы приема упомянутого первого сигнала и выдачу второго сигнала ко второму процессору, задержку начала
5 операций приостановки работы, по меньшей мере, упомянутого первого процессора, чтобы обеспечить возможность синхронного выполнения операций приостановки работы упомянутого первого процессора и упомянутого второго процессора.

21. Способ по п.20, в котором задержка содержит предотвращение задержки работы первого процессора до того же самого периода повторения тактовых импульсов, в котором
10 второй процессор начинает приостановку работы.

15

20

25

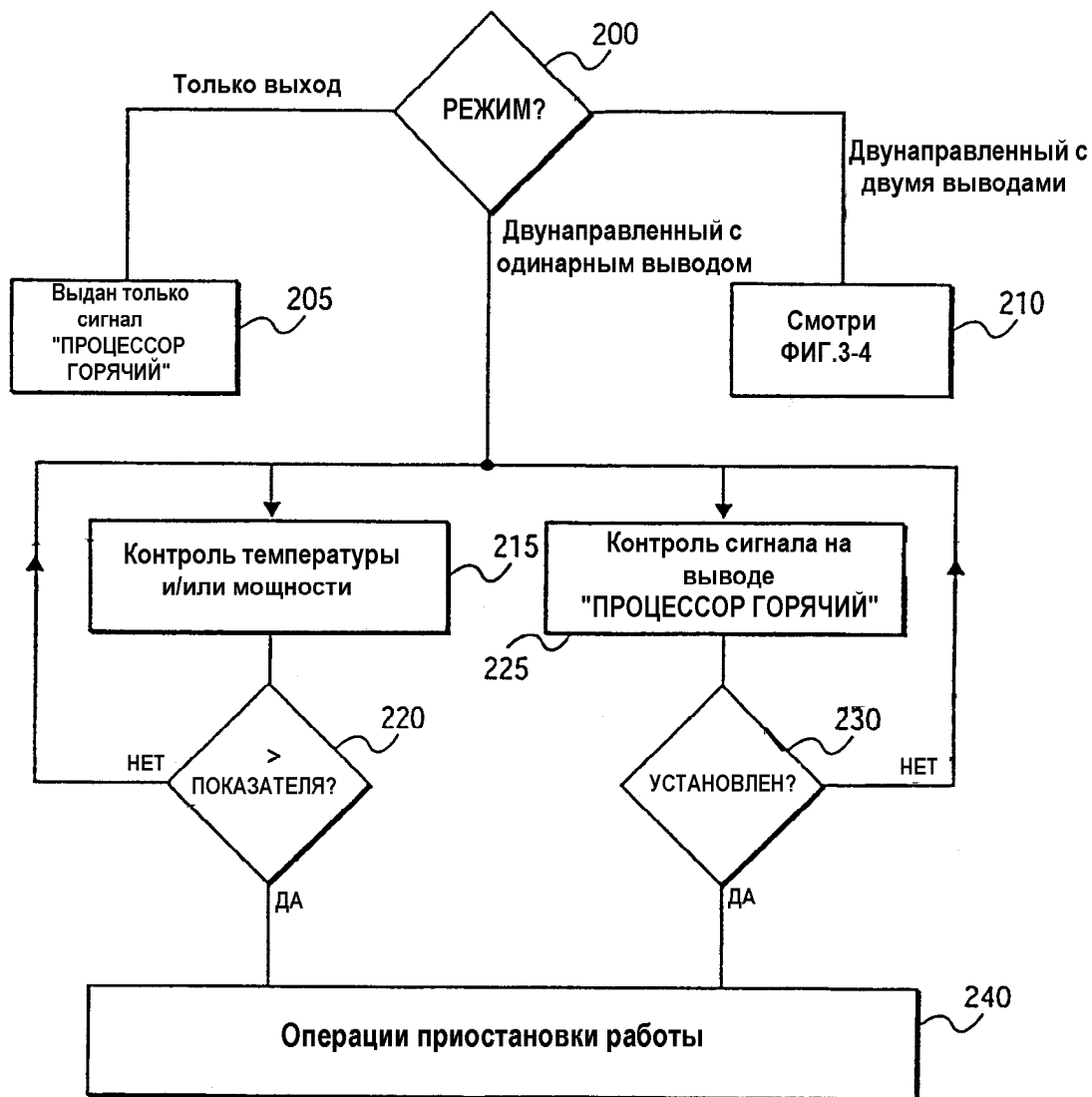
30

35

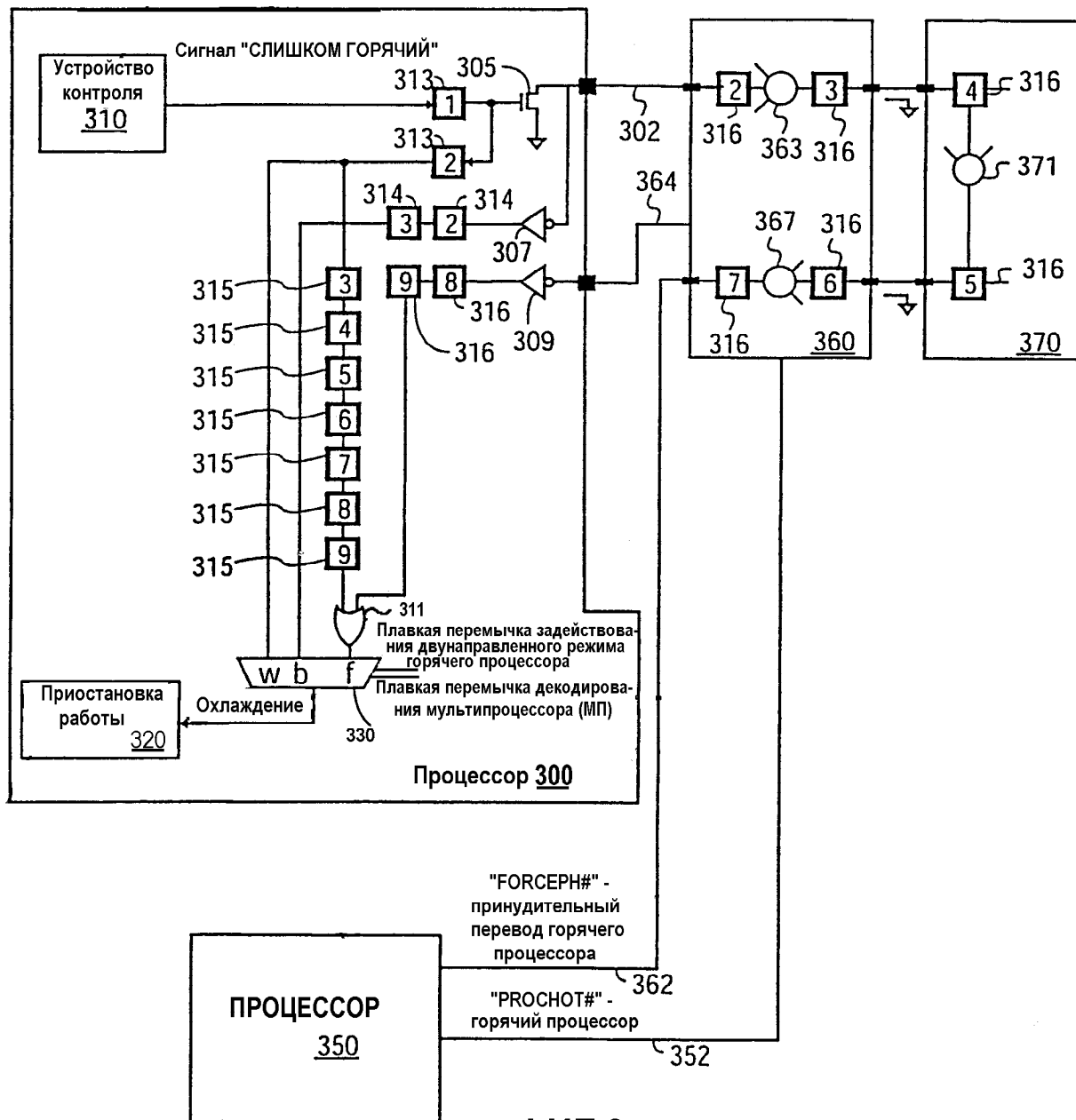
40

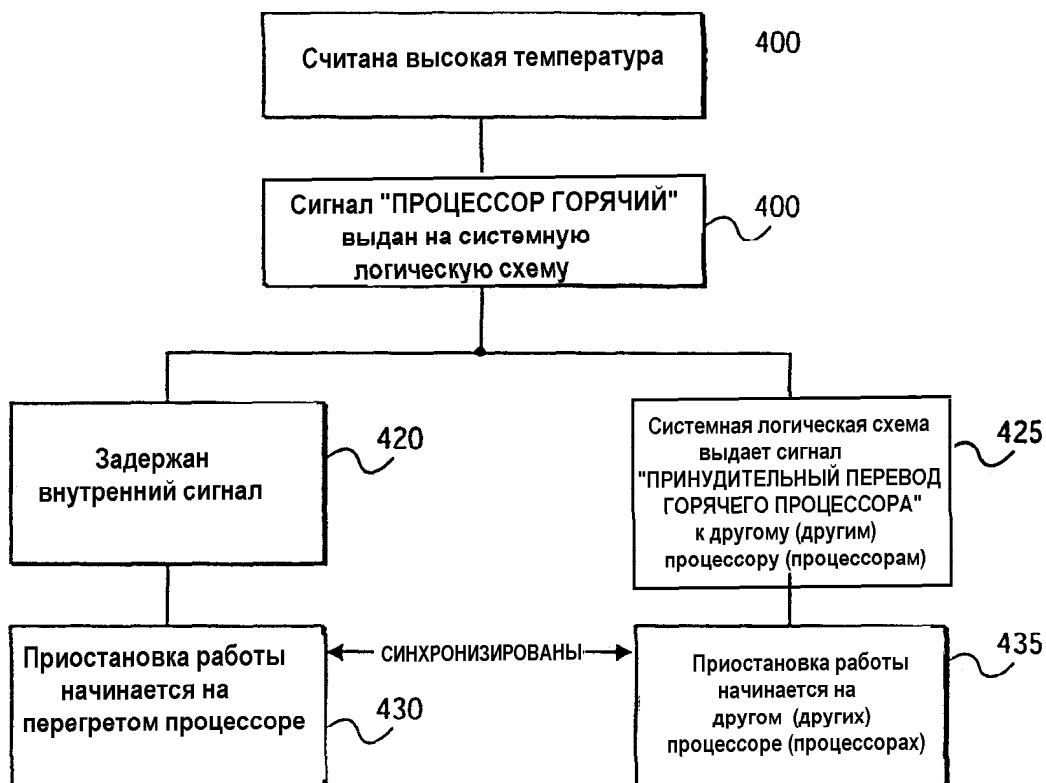
45

50



ФИГ.2





ФИГ.4