

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6429549号  
(P6429549)

(45) 発行日 平成30年11月28日 (2018.11.28)

(24) 登録日 平成30年11月9日 (2018.11.9)

(51) Int. Cl.	F I
<b>G06F 1/12 (2006.01)</b>	G06F 1/12
<b>G06F 1/06 (2006.01)</b>	G06F 1/06 590
<b>G06F 12/00 (2006.01)</b>	G06F 12/00 564A

請求項の数 18 (全 23 頁)

(21) 出願番号	特願2014-190384 (P2014-190384)	(73) 特許権者	000001007
(22) 出願日	平成26年9月18日 (2014. 9. 18)		キヤノン株式会社
(65) 公開番号	特開2016-62352 (P2016-62352A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成28年4月25日 (2016. 4. 25)	(74) 代理人	110001243
審査請求日	平成29年9月14日 (2017. 9. 14)		特許業務法人 谷・阿部特許事務所
		(72) 発明者	新妻 央章
			東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		審査官	豊田 真弓
		(56) 参考文献	特開平11-306074 (JP, A)
			特開平08-054955 (JP, A)

最終頁に続く

(54) 【発明の名称】 半導体集積回路、半導体集積回路を備えた装置、半導体集積回路におけるクロックの制御方法、並びにプログラム。

(57) 【特許請求の範囲】

【請求項1】

クロック信号を出力するクロック源と、  
 前記クロック源が出力した前記クロック信号を第1周波数又は前記第1周波数より小さい第2周波数で出力する周波数可変回路と、  
 前記周波数可変回路から出力されたクロック信号が入力される第1デバイスと、  
 前記周波数可変回路を介さずに前記クロック源から出力されたクロック信号が入力される第2デバイスと、前記第1デバイスと前記第2デバイスとの間のデータ転送を行うインターフェースと、を備え、  
 前記インターフェースは、  
 同期化回路を有し、  
 前記周波数可変回路が前記第2周波数のクロック信号を出力する場合には、前記同期化回路を介してデータ転送を行い、  
 前記周波数可変回路が前記第1周波数のクロック信号を出力する場合には、前記同期化回路を介さずにデータ転送を行う、  
 ことを特徴とする半導体集積回路。

【請求項2】

前記周波数可変回路は、前記クロック源から入力された前記クロック信号のトグルを間引く間引き回路である、ことを特徴とする請求項1に記載の半導体集積回路。

【請求項3】

前記周波数可変回路は、

所定の指示に従って、前記クロック源から入力された前記クロック信号を前記第 2 周波数で出力し、

他の所定の指示に従って、前記クロック源から入力された前記クロック信号を前記第 1 周波数で出力する、

ことを特徴とする請求項 1 又は 2 に記載の半導体集積回路。

【請求項 4】

前記第 1 デバイスは、CPU である、ことを特徴とする請求項 1 乃至 3 の何れか 1 項に記載の半導体集積回路。

【請求項 5】

前記第 2 デバイスは、メモリへのデータの書き込み又は前記メモリからデータの読み出しを制御するメモリコントローラである、ことを特徴とする請求項 1 乃至 3 の何れか 1 項に記載の半導体集積回路。

【請求項 6】

前記クロック源から出力されたクロック信号の周波数を分周する第 1 分周回路と、  
前記周波数可変回路から出力されたクロック信号の周波数を分周する第 2 分周回路と、  
をさらに備え、

前記第 1 分周回路から出力されたクロック信号は、前記第 2 デバイスに入力され、  
前記第 2 分周回路から出力されたクロック信号は、前記第 1 デバイスに入力される、  
ことを特徴とする請求項 1 乃至 5 の何れか 1 項に記載の半導体集積回路。

【請求項 7】

請求項 3 に記載の半導体集積回路を備え、  
通常モードと該通常モードよりも消費電力が低い省電力モードとで動作可能であり、  
前記通常モードから前記省電力モードに移行する際に、前記所定の指示が出力され、前記省電力モードから前記通常モードに移行する際に、前記他の所定の指示が出力される、  
ことを特徴とする装置。

【請求項 8】

前記装置は、スキャナ及び前記スキャナで読み取った画像データに対して画像処理を行うスキャナ画像処理手段を備えた装置である、ことを特徴とする請求項 7 に記載の装置。

【請求項 9】

前記装置は、プリンタ及びプリンタに出力される画像データに対して画像処理を行うプリンタ画像処理手段を備えた装置である、ことを特徴とする請求項 7 に記載の装置。

【請求項 10】

半導体集積回路におけるクロックの制御方法であって、  
周波数可変回路によって、クロック源が出力したクロック信号を第 1 周波数又は前記第 1 周波数より小さい第 2 周波数で出力するステップと、  
同期化回路を有するインターフェースによって、前記周波数可変回路から出力されたクロック信号が入力される第 1 デバイスと、前記周波数可変回路を介さずに前記クロック源から出力されたクロック信号が入力される第 2 デバイスとの間のデータ転送を行うステップであって、

前記周波数可変回路から前記第 2 周波数のクロック信号が出力された場合には、前記同期化回路を介してデータ転送を行い、

前記周波数可変回路から前記第 1 周波数のクロック信号が出力された場合には、前記同期化回路を介さずにデータ転送を行う、ステップと、

を含むことを特徴とするクロックの制御方法。

【請求項 11】

クロック信号を出力するクロック源と、  
前記クロック源から入力された前記クロック信号を第 1 周波数又は前記第 1 周波数より小さい第 2 周波数で出力する周波数可変回路と、

前記クロック源から出力された、前記周波数可変回路を介さない前記クロック信号の周

10

20

30

40

50

波数を分周する第 1 の分周回路と、

前記周波数可変回路から出力されたクロック信号の周波数を分周する第 2 の分周回路と

、

前記第 2 の分周回路から出力されたクロック信号が入力される第 1 デバイスと、

前記第 1 の分周回路から出力されたクロック信号が入力される第 2 デバイスと、

前記第 1 デバイスと前記第 2 デバイスとの間のデータ転送を行うインターフェースと、  
を備え、

前記インターフェースは、

同期化回路を有し、

前記周波数可変回路が出力するクロック信号の周波数に応じて、前記同期化回路を介  
したデータ転送、又は、前記同期化回路を介さないデータ転送を行う、 10

ことを特徴とする半導体集積回路。

【請求項 1 2】

前記周波数可変回路は、前記クロック源から入力された前記クロック信号のトグルを間  
引く間引き回路である、ことを特徴とする請求項 1 1 に記載の半導体集積回路。

【請求項 1 3】

前記周波数可変回路は、

所定の指示に従って、前記クロック源から入力された前記クロック信号を前記第 2 周  
波数で出力し、

他の所定の指示に従って、前記クロック源から入力された前記クロック信号を前記第  
1 周波数で出力する、 20

ことを特徴とする請求項 1 1 又は 1 2 に記載の半導体集積回路。

【請求項 1 4】

前記第 1 デバイスは、CPU である、ことを特徴とする請求項 1 1 乃至 1 3 の何れか 1  
項に記載の半導体集積回路。

【請求項 1 5】

前記第 2 デバイスは、メモリへのデータの書き込み又は前記メモリからデータの読み出  
しを制御するメモリコントローラである、ことを特徴とする請求項 1 1 乃至 1 3 の何れか  
1 項に記載の半導体集積回路。

【請求項 1 6】

30

請求項 1 3 に記載の半導体集積回路を備え、

通常モードと該通常モードよりも消費電力が低い省電力モードとで動作可能であり、

前記通常モードから前記省電力モードに移行する際に、前記所定の指示が出力され、前  
記省電力モードから前記通常モードに移行する際に、前記他の所定の指示が出力される、  
ことを特徴とする装置。

【請求項 1 7】

前記装置は、スキャナ及び前記スキャナで読み取った画像データに対して画像処理を行  
うスキャナ画像処理手段を備えた装置である、ことを特徴とする請求項 1 6 に記載の装置  
。

【請求項 1 8】

40

前記装置は、プリンタ及びプリンタに出力される画像データに対して画像処理を行うプ  
リンタ画像処理手段を備えた装置である、ことを特徴とする請求項 1 6 に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路におけるクロック間の位相を調整する技術に関する。

【背景技術】

【0002】

PC (Personal Computer) などの情報処理装置やMFP (Multi Function Printer) などの  
画像形成装置には半導体集積回路が使われている。一般に、これら装置に使用される半導 50

体集積回路は、CPU (Central Processing Unit) や各種周辺機能回路との間のデータ転送のために、内部にバス構造を有する。このような半導体集積回路内のバスにおいては、クロック同期で動作するFF (フリップフロップ) の同期回路でデータを受け渡す構成になっており、同期式のバスによるデータ転送を行う。同期回路設計においては、クロックのエッジの位置が一致する構成を前提とする回路設計を行うことによって、FFのセットアップ時間やホールド時間を検証して動作を保障するタイミング設計を行う。また、複数のクロックが使用される半導体集積回路においては、FFを動作させるクロック間の関係が、各クロック周波数の比率が自然数で、且つ、エッジ位置が一致する関係 (以下、同期関係) にある場合は高速な方の周期でタイミング設計を満足すれば同期回路としての正常な動作が保障できる。一方、FFを動作させるクロック間の関係が前述の同期関係にない場合 (非同

同期関係の場合) は、データを受け渡しする時間が極端に短くなり、FFのセットアップ時間やホールド時間を満足できなくなると正常なデータの受け渡しができなくなってしまう。そのため、一般に非同同期関係のクロックに対しては、ダブルラッチなどの同期化回路を設けることによって、正常なデータの受け渡しを実現している。

10

#### 【0003】

しかしながら、同期化回路を介してデータの受け渡しをする構成では、同期化回路を介さない構成に対して、データの受け渡しに要するクロックサイクルが増える。従って、データ転送が完了するまでの遅延時間が増加し、このような半導体集積回路を用いる機器の性能を低下させる。

#### 【0004】

20

この点、同期化回路によるデータ転送の遅延時間を防ぐための技術として、例えば特許文献1が提案されている。この特許文献1では、非同同期の関係にあるクロック間でのデータの受け渡しにおいて、クロック間のエッジ位置を示すイネーブル信号を用いることで、同期化回路を用いずに非同同期関係にあるクロック間の安全なデータ転送を実現している。

#### 【先行技術文献】

#### 【特許文献】

#### 【0005】

【特許文献1】特開2012-99921号公報

#### 【発明の概要】

#### 【発明が解決しようとする課題】

30

#### 【0006】

上記特許文献1の技術では、クロック間にエッジの位置が一致するタイミングが存在する必要がある。そのため、完全に非同同期の関係にあるクロック間のデータ転送は諦めざるを得なくなる。さらに、周波数が固定のクロックと可変のクロックを併用する同期回路の場合には、クロック間の同期関係は一意に定まらない。かといって、同期化回路を前提とした構成にすると、前述の通り、データ転送の遅延時間が増加して、半導体集積回路及びそれを備えた機器の性能低下を生じさせてしまう。

#### 【課題を解決するための手段】

#### 【0007】

本発明に係る半導体集積回路は、クロック信号を出力するクロック源と、前記クロック源が出力した前記クロック信号を第1周波数又は前記第1周波数より小さい第2周波数で出力する周波数可変回路と、前記周波数可変回路から出力されたクロック信号が入力される第1デバイスと、前記周波数可変回路を介さずに前記クロック源から出力されたクロック信号が入力される第2デバイスと、前記第1デバイスと前記第2デバイスとの間のデータ転送を行うインターフェースと、を備え、前記インターフェースは、同期化回路を有し、前記周波数可変回路が前記第2周波数のクロック信号を出力する場合には、前記同期化回路を介してデータ転送を行い、前記周波数可変回路が前記第1周波数のクロック信号を出力する場合には、前記同期化回路を介さずにデータ転送を行う、ことを特徴とする。

40

#### 【発明の効果】

#### 【0008】

50

本発明によれば、複数のクロックが同期関係と非同期関係のいずれの関係にある場合でも、円滑なデータ転送を保障することができる。

【図面の簡単な説明】

【0009】

【図1】半導体集積回路を備える装置の一例としての画像形成装置のシステム構成を示すブロック図である。

【図2】メインコントローラの内部構成を示すブロック図である。

【図3】実施例1に係る、クロック生成部の内部構成を示すブロック図である。

【図4】(a)はクロックゲート回路によってクロックの発振が停止される様子を説明する図であり、(b)はクロック間引き回路によってクロックが間引かれる様子を説明する図である。

10

【図5】クロック間引き回路が通常のクロックを出力する状態から、間引きクロックを出力する状態に移行する過程を説明する図である。

【図6】クロック間引き回路が間引きクロックを出力する状態から、通常のクロックを出力する状態に移行する過程を説明する図である。

【図7】省電力モード時における、メインコントローラの各機能モジュールへのクロックの供給状態を示す図である。

【図8】同期・非同期化I/Fの内部構成とその動作を説明する図である。

【図9】実施例1に係る、通常モードから省電力モードに移行する際の制御の流れを示すフローチャートである。

20

【図10】実施例1に係る、省電力モードから通常モードに復帰する際の制御の流れを示すフローチャートである。

【図11】実施例2に係る、クロック生成部の内部構成を示すブロック図である。

【図12】クロック選択回路が、第1クロック源を基に2分周する2分周回路の出力クロックを選択した状態から、第3クロック源の出力クロックを選択する状態に移行する過程を説明する図である。

【図13】クロック選択回路が第3クロック源の出力クロックを選択した状態から、第1クロック源を基に2分周した分周クロックを選択する状態に移行する過程を説明する図である。

【図14】実施例2に係る、通常モードから省電力モードに移行する際の制御の流れを示すフローチャートである。

30

【図15】実施例2に係る、省電力モードから通常モードに復帰する際の制御の流れを示すフローチャートである。

【発明を実施するための形態】

【0010】

以下、添付の図面を参照して、本発明を好適な実施例に基づいて詳細に説明する。なお、以下の実施例において示す構成は一例にすぎず、本発明は図示された構成に限定されるものではない。

【実施例1】

【0011】

40

図1は、本実施例に係る半導体集積回路を備える装置の一例としての画像形成装置のシステム構成を示すブロック図である。画像形成装置100は、コピー、プリンタ、FAXといった複数の機能を1台で実現するMFPである。画像形成装置100は、メインコントローラ101、ユーザインタフェースである操作部102、画像入力デバイスであるスキャナ103及び画像出力デバイスであるプリンタ104を備える。

【0012】

操作部102、スキャナ103及びプリンタ104は、それぞれメインコントローラ101に接続され、メインコントローラ101からの指示によって制御される。さらに、メインコントローラ101は、LAN(Local Area Network)106に接続され、このLAN106を介してPC105と接続される。

50

## 【 0 0 1 3 】

PC 1 0 5 は、一般的なコンピュータであり、PC 1 0 5 上で動作するアプリケーションによって作成された文書データ等の印刷指示（印刷ジョブ）が LAN 1 0 6 を介して画像形成装置 1 0 0 に対し送信される。

## 【 0 0 1 4 】

<メインコントローラの構成>

次に、画像形成装置 1 0 0 のメインコントローラ 1 0 1 について詳しく説明する。

## 【 0 0 1 5 】

図 2 は、メインコントローラ 1 0 1 の内部構成を示すブロック図である。画像形成装置 1 0 0 の全体を制御するメインコントローラ 1 0 1 は、スキャナ 1 0 3 やプリンタ 1 0 4 を制御する一方で、LAN 1 0 6 を介して、PC 1 0 5 との間で画像データやデバイス情報等の入出力を行う。

## 【 0 0 1 6 】

メインコントローラ 1 0 1 は、CPU 2 0 1、メモリコントローラ 2 0 2、DRAM 2 0 3、ROM (Read Only Memory) 2 0 4、クロック生成部 2 0 5、スキャナ画像処理部 2 0 6、プリンタ画像処理部 2 0 7、システムバス 2 0 8、イメージバス 2 0 9 を備える。さらに、各種インタフェースとして、操作部 I/F 2 1 0、LAN I/F 2 1 1、イメージバス I/F 2 1 2、デバイス I/F 2 1 3、同期・非同期 I/F 2 1 4 を備える。

## 【 0 0 1 7 】

CPU (Central Processing Unit) 2 0 1 は、システムバス 2 0 8 を介して、ROM 2 0 4、イメージバス I/F 2 1 2、メモリコントローラ 2 0 2、操作部 I/F 2 1 0、LAN I/F 2 1 1、同期・非同期 I/F 2 1 4 及びクロック生成部 2 0 5 と接続される。ROM 2 0 4 は、システムのブートプログラムや所定の実行プログラムなどが格納される読み出し専用のメモリである。DRAM (Dynamic Random Access Memory) 2 0 3 は、DDR3 などのデータ転送速度やデータ転送の仕様が規格化されている半導体メモリであり、CPU 2 0 1 のワークメモリとしての作業領域を提供するための随時読み書き可能な記憶領域である。また、DRAM 2 0 3 は、画像形成装置 1 0 0 の一時的な設定値や実行するジョブの情報などを記憶し、また、画像データを一時記憶するための画像メモリとしても使用される。メモリコントローラ 2 0 2 は、DRAM 2 0 3 を制御するコントローラであり、DRAM 2 0 3 とのデータの読み書きを行う。

## 【 0 0 1 8 】

操作部 I/F 2 1 0 は、操作部 1 0 2 との間で入出力を行うためのインタフェースである。操作部 I/F 2 1 0 は、操作部 1 0 2 に対して表示すべき画像データを出力し、また、ユーザが操作部 1 0 2 を介して入力した情報を、CPU 2 0 1 に伝送するために使用される。LAN I/F 2 1 1 は、LAN 1 0 6 と接続するためのインタフェースであり、LAN 1 0 6 に対して情報の入出力を行う。イメージバス I/F 2 1 2 は、システムバス 2 0 8 と画像データを高速で転送するイメージバス 2 0 9 とを接続するインタフェースであり、データ構造を変換するバスブリッジとして動作する。イメージバス 2 0 9 には、デバイス I/F 2 1 3、スキャナ画像処理部 2 0 6 及びプリンタ画像処理部 2 0 7 が接続される。デバイス I/F 2 1 3 4 は、スキャナ 1 0 3 及びプリンタ 1 0 4 とメインコントローラ 1 0 1 とを接続するインタフェースであり、画像データの形式の変換を行う。同期・非同期化 I/F 2 1 4 は、システムバス 2 0 8 とメモリコントローラ 2 0 2 間のデータ転送を行うインタフェースである。同期・非同期化 I/F 2 1 4 の詳細については後述する。

## 【 0 0 1 9 】

クロック生成部 2 0 5 は、水晶発振器や PLL (Phase Locked Loop) などの発振回路及び、該発振回路の出力クロックを分周する分周器などを備え、同期回路を動作させる各種クロックを生成して出力する。そして、クロック生成部 2 0 5 は、CPU 2 0 1、ROM 2 0 4、メモリコントローラ 2 0 2、DRAM 2 0 3、バス 2 0 8 及び 2 0 9、画像処理部 2 0 6 及び 2 0 7、各種 I/F などのメインコントローラ 1 0 1 内の各機能モジュールに各種クロックを供給する。クロック生成部 2 0 5 の構成及び、出力するクロックについての詳細は後述

する。なお、メインコントローラ 101 内の各機能モジュールは、例えば CMOS (Complementary Metal Oxide Semiconductor) の半導体集積回路によって構成される。

#### 【0020】

スキャナ画像処理部 206 は、スキャナ 103 から読み込んだ入力画像データに対して、補正、加工、編集等の画像処理を行う。プリンタ画像処理部 207 は、プリンタ 104 へ出力する印刷画像データに対して、色変換、フィルタ処理、解像度変換等の画像処理を行う。

#### 【0021】

<クロック生成部>

図 3 は、本実施例に係る、クロック生成部 205 の内部構成を示すブロック図である。クロック生成部 205 は、第 1 クロック源 300、第 2 クロック源 310、クロック間引き回路 320、クロック設定保持部 330 を備える。さらに、クロック生成部 205 は、複数の分周回路とクロックゲート回路 (2 分周回路 360a ~ 360c、4 分周回路 361a と 361b、8 分周回路 362、クロックゲート回路 370a ~ 370g) を備える。

10

#### 【0022】

第 1 クロック源 300 及び第 2 クロック源 310 は、水晶発振器や PLL などの発振回路であり、それぞれ独自の位相、周波数で発振するクロックを生成して出力する。

#### 【0023】

2 分周回路 360a ~ 360c、4 分周回路 361a 及び 361b、8 分周回路 362 は、それぞれ自己の前段にあるクロック源や分周回路の出力クロックを入力として、分周クロックを新たに生成する分周回路である。すなわち、2 分周回路 360a ~ 360c は周波数が入力クロックの  $1/2$  となる分周クロックを生成する。4 分周回路 361a と 361b は周波数が入力クロックの  $1/4$  となる分周クロックを生成する。8 分周回路 362 は周波数が入力クロックの  $1/8$  となる分周クロックを生成する。なお、本実施例においては分周回路の一例として、2 分周、4 分周、8 分周の分周回路を用いているが、分周数はこれに限定されるものではない。例えば、メインコントローラ 101 内の機能モジュールが必要とするクロックの周波数に応じて、3 分周や 16 分周の分周回路を備えてもよい。

20

#### 【0024】

クロックゲート回路 370a ~ 370g は、後述するクロック設定保持部 330 からのゲート制御信号に基づいて、トグルの有無を制御する。具体的には、ゲート制御信号によってクロックゲート機能を ON にしたときに、出力するクロックを Low レベルに固定してクロックの供給 (発振) を停止する。図 4 (a) は、クロックゲート回路によってクロックの発振が停止される様子を説明する図である。図 4 (a) において、破線の波形で示す部分は、クロックゲート機能を ON にしなかった場合 (ゲート機能を OFF にした場合) の通常のトグルするクロックを示す。クロック生成部 205 は、クロックゲート回路 370a ~ 370g を介して、DRAM クロック、メモリコントローラバスクロック、第 1 インタフェースクロック、CPU クロック、第 1 バスクロック、第 2 バスクロック、第 2 インタフェースクロックをそれぞれメインコントローラ 101 内の機能モジュールの同期回路に供給する。各クロックと各機能モジュールとの対応関係は以下の通りである。

30

- ・ DRAM クロック : DRAM 203
- ・ メモリコントローラバスクロック : メモリコントローラ 202、同期・非同期化 I/F 214
- ・ 第 1 インタフェースクロック : LAN I/F 211
- ・ CPU クロック : CPU 201
- ・ 第 1 バスクロック : ROM 204、システムバス 208、同期・非同期化 I/F 214
- ・ 第 2 バスクロック : スキャナ画像処理部 206、プリンタ画像処理部 207、イメージバス 209、イメージバス I/F 212、デバイス I/F 213
- ・ 第 2 インタフェースクロック : 操作部 I/F 210

40

50

これらのクロックはそれぞれ個別のクロックゲート回路 370a ~ 370g によってゲート制御することが可能であり、動作不要な機能モジュールの同期回路へのクロックの供給を個別に停止させることによって、画像形成装置 100 の消費電力を低減することができる。

#### 【0025】

クロック間引き回路 320 は、後述するクロック設定保持部 330 からの間引き制御信号に基づき、内部に備えるクロックゲート回路によって第 1 クロック源 300 の出力クロックを基にトグルを間引いたクロック（間引きクロック）を出力する。図 4（b）は、クロック間引き回路 320 によって、第 1 クロック源 300 から出力されたクロックが間引かれる様子を説明する図である。間引き制御信号によって、クロック間引きが ON になると、連続する 4 クロックサイクル中の 3 サイクルを間引いた 1 サイクル期間を周期的にトグルするクロックが出力されることが示されている。このとき、CPU クロックは、クロック間引き回路 320 からの出力クロックを 2 分周回路 360b によって 2 分周したものとなるので、通常時の周波数に対して 1/4 に低減した周波数（周期は 4 倍）のクロックとなる。なお、本実施例においてはクロック間引き回路の一例として、4 クロックサイクル中の 3 サイクルを間引いた 1 サイクル期間を周期的にトグルする例を説明したが、クロックの間引き方はこれに限定されるものではない。例えば、画像形成装置 100 の消費電力の低減のために必要なクロックの周波数に応じて、7 クロックサイクル中の 6 サイクルを間引くような構成であってもよい。動作を遅くしてもよい機能モジュールの同期回路に対して、このように低減した周波数のクロックを供給することによって、同期回路を動作させたまま画像形成装置 100 の消費電力を低減することができる。

#### 【0026】

クロック設定保持部 330 は、クロック間引き回路 320 及びクロックゲート回路 370a ~ 370g を制御する設定指示の内容を保持し、それぞれのクロック制御信号（間引き制御信号及びゲート制御信号）を出力する回路である。クロック設定保持部 330 が保持するクロック制御のための設定は、CPU 201 からシステムバス 208 を介してなされる。

#### 【0027】

< 通常クロック出力状態から間引きクロック出力状態への移行 >

図 5 は、クロック間引き回路 320 が通常のクロックを出力する状態から、間引きクロックを出力する状態に移行する過程を説明する図である。本実施例においては、DRAM クロック、メモリコントローラバスクロック、第 1 インタフェースクロック、CPU クロック、第 1 バスクロック及び第 2 バスクロックは、共通のクロック源である第 1 クロック源 300 を基に生成されるクロックである。そのため、これらのクロックは、図 5 において保線で示す「エッジ一致」のタイミングで立ち上がりエッジが一致する、相互に同期の取れた関係（以下、同期関係）のクロックを構成できる。従って、これらのクロックで動作する同期回路は、データ転送が発生するクロック間でのタイミング設計を行うことによって、同期回路の正常なデータ転送の動作を保障できる。一方、第 1 クロック源 300 とは独立したクロック源である第 2 クロック源 310 を基に生成される第 2 インタフェースクロックと上記クロック群とは、同期の取れていない関係（以下、非同期関係）となる。そのため、第 2 インタフェースクロックで動作する同期回路とのデータ転送にはデータの同期化回路が必要となる。

#### 【0028】

また、図 4 の例では、連続する 4 クロック中の 3 クロックを間引く例について説明したので、第 1 クロック源 300 を基に生成されるクロックと、当該第 1 クロック源 300 からクロック間引き回路 320 を介して生成されるクロックと、が同期関係となっている。しかし、クロック間引き回路 320 が、例えば、連続する 3 クロック中の 2 クロックを間引く場合、第 1 クロック源 300 を基に生成されるクロックと、当該第 1 クロック源 300 からクロック間引き回路 320 を介して生成されるクロックと、が非同期関係となる場合がある。この場合、クロック間引き回路 320 を介して生成されるクロックが供給され



る回路とのデータ転送にはデータの同期化回路が必要となる。

【 0 0 2 9 】

なお、クロック生成部 2 0 5 が出力するクロックの中で DRAM クロック、メモリコントローラバスクロック、第 1 インタフェースクロックは、クロック間引き回路 3 2 0 から出力されるクロックとは無関係の、周波数が固定のクロックである。これらは、周波数が動的に変化することが許可されない場合や、周波数が予め定められた所定の周波数でなければならない場合に使用されるクロックである。そして、CPU クロック、第 1 バスクロック、第 2 バスクロックは、クロック間引き回路 3 2 0 が出力するクロックを基に分周して生成される分周クロックであり、クロックの間引き設定にしたがって、周波数が可変のクロックである。図 5 に示す「クロック間引き ON」のタイミングでクロック間引き設定が ON になると、クロック間引き回路 3 2 0 が出力するクロックの周波数が低減する。このように、クロック間引き回路 3 2 0 が通常時の周波数から低減した周波数を出力するように変わる際、クロックの周波数比が変わるだけでなく、どのくらい間引くかによって位相もずれてしまう。図 5 の例では、メモリコントローラバスクロックと第 1 バスクロックは、周波数比 1 : 1 の関係から 4 : 1 の関係に変わるのみで、立ち上がりエッジが一致するタイミングが 4 サイクルに 1 回は存在している。

10

【 0 0 3 0 】

< 間引きクロック出力状態から通常クロック出力状態への移行 >

図 6 は、クロック間引き回路 3 2 0 が間引きクロックを出力する状態から、通常のクロックを出力する状態に移行する過程を説明する図である。図 6 に示す「クロック間引き OFF」のタイミングでクロック間引き設定が OFF になると、クロック間引き回路 3 2 0 が出力するクロックは通常時の周波数に戻る。このように、クロック間引き回路 3 2 0 から出力されるクロックの周波数が、低減した状態から通常の状態に戻る際に、上述したクロックの周波数比も元に戻る。例えば、上述のメモリコントローラバスクロックと第 1 バスクロックとの間の周波数比は、4 : 1 の関係から 1 : 1 の関係に戻り、立ち上がりエッジのタイミングは毎サイクル一致することになる。

20

【 0 0 3 1 】

< 画像形成装置における省電力制御 >

次に、画像形成装置 1 0 0 のメインコントローラ 1 0 1 による省電力制御について説明する。画像処理装置 1 0 0 は、その稼動状態に応じて消費電力の異なる 2 種類の動作モード（通常モードと省電力モード）を備える。画像形成装置 1 0 0 は、操作部 1 0 2 が所定の期間中にユーザからの操作を受け付けなかった場合や、印刷ジョブを実行しなかった場合に、通常動作状態である通常モードから、消費電力を低減した待機状態である省電力モードに移行する。従って、省電力モードにおいては印刷ジョブなどを実行することではなく、メインコントローラ 1 0 1 上の一部の機能モジュールは動作する必要のない状態、あるいは、動作速度を低減しても支障がない状態になる。すなわち、省電力モード下では、クロック生成部 2 0 5 がメインコントローラ 1 0 1 上の一部の機能モジュールに供給するクロックを停止、あるいは、周波数を低減することができる状態となっている。

30

【 0 0 3 2 】

図 7 は、省電力モード時における、メインコントローラ 1 0 1 の各機能モジュールへのクロックの供給状態を示す図である。図 7 において、クロック生成部 2 0 5 から出力される通常クロック（すなわち、低減されていない周波数のクロック）で動作するモジュールは、DRAM 2 0 3、メモリコントローラ 2 0 2、操作部 I/F 2 1 0、LAN I/F 2 1 1、同期・非同期化 I/F 2 1 4 である。そして、クロック生成部 2 0 5 から出力される間引きクロック（すなわち、低減された周波数のクロック）で動作するモジュールは、CPU 2 0 1、ROM 2 0 4 及びシステムバス 2 0 8 である。さらに、クロックゲート回路のゲート制御によりクロック生成部 2 0 5 からのクロック供給が停止することで、動作を停止するモジュールは、イメージバス I/F 2 1 2、デバイス I/F 2 1 3、スキャナ画像処理部 2 0 6、プリンタ画像処理部 2 0 7、イメージバス 2 0 9 である。

40

【 0 0 3 3 】

50

省電力モード時には、このようにクロック周波数の低減、或いは、クロック供給の停止によって、消費電力を通常モードよりも低く抑えることができる。そして、操作部 102 を介した復帰指示操作をユーザが行ったり、PC 105 から LAN 106 を介して印刷ジョブを受信すると、停止しているクロック供給が再開され、或いは低減されていたクロックの周波数が通常の周波数に戻される。これにより、画像形成装置 100 は、省電力モードから通常モードへと復帰し、印刷ジョブなどの処理の実行が可能な状態となる。

#### 【0034】

< 同期・非同期化 I/F >

続いて、同期・非同期化 I/F 214 の詳細について説明する。図 8 は、同期・非同期化 I/F 214 の内部構成とその動作を説明する図である。

10

#### 【0035】

図 8 (a) には、クロック生成部 205 から出力されるクロックのうち、DRAM クロック、メモリコントローラバスクロック、第 1 バスクロック、CPU クロックの供給先が示されている。DRAM クロックは、メモリコントローラ 202 を介して DRAM 203 に供給される。メモリコントローラバスクロックは、メモリコントローラ 202 と同期・非同期化 I/F 214 に供給される。第 1 バスクロックは、システムバス 208 と同期・非同期化 I/F 214 に供給される。そして、CPU クロックは、CPU 201 に供給される。

#### 【0036】

メモリコントローラ 202 内では、DRAM クロックとメモリコントローラバスクロックは、周波数比が 2 : 1 の固定された同期関係でデータのやり取りを行う。また、メモリコントローラ 202 を介して、DRAM 203 とのデータ転送に使用される DRAM クロックは、DRAM 203 の動作中に動的に周波数が変化することは好ましくない。そのため、DRAM クロック及び該 DRAM クロックと同期関係にあるメモリコントローラバスクロックは、周波数が固定である。

20

#### 【0037】

CPU クロックと第 1 バスクロックは、クロック間引き回路 320 における間引き制御によって、前述の図 5 で示したように周波数が低減される。CPU クロックと第 1 バスクロックは、周波数比（すなわち、同期関係）を維持したまま周波数が低減されるため、CPU 201 及びシステムバス 208 上のデータ転送は問題なく行うことができる。

#### 【0038】

30

続いて、同期・非同期化 I/F 214 の内部構成について説明する。同期・非同期化 I/F 214 は、バスインタフェース回路 801、第 1 データバス選択回路 802、同期化回路 803、第 2 データバス選択回路 804、メモリコントローラインタフェース回路 805、データバス設定保持回路 806 から構成される。

#### 【0039】

バスインタフェース回路 801 は、システムバス 208 側のバスプロトコルに則った同期のデータ転送を行う。

#### 【0040】

メモリコントローラインタフェース回路 805 は、メモリコントローラ 202 側のインタフェース仕様に基づいた同期のデータ転送を行う。

40

#### 【0041】

第 1 データバス選択回路 802 は、使用するデータバス（すなわち、同期化回路 803 と第 2 データバス選択回路 804 とのどちらとデータのやり取りを行うか）を、データバス選択制御信号に基づいて選択するセクタ回路である。

#### 【0042】

第 2 データバス選択回路 804 は、使用するデータバス（すなわち、第 1 データバス選択回路 802 と同期化回路 803 とのどちらとデータのやり取りを行うか）をデータバス選択制御信号に基づいて選択するセクタ回路である。

#### 【0043】

データバス設定保持回路 806 は、CPU 201 から送られてくるデータバス選択の設定

50

指示を保持し、保持したデータバス選択設定を第1データバス選択回路802と第2データバス選択回路804に対し、データバス選択制御信号として出力する。

【0044】

同期化回路803は、バスインタフェース回路801に供給されるクロック同期のデータとメモリコントローラインタフェース回路805に供給されるクロック同期のデータを、それぞれ受信する側のクロック同期のデータに変換する回路である。この同期化回路803は、例えばFIFO(First In First Out)のバッファで構成され、バスインタフェース回路801から入力したデータをメモリコントローラインタフェース回路805に出力し、メモリコントローラインタフェース回路805から入力したデータをバスインタフェース回路801に出力する。

10

【0045】

同期・非同期化I/F214に供給されたメモリコントローラバスクロックは、メモリコントローラインタフェース回路805と同期化回路803に供給される。また、同期・非同期化I/F214に供給された第1バスクロックは、バスインタフェース回路801と同期化回路803に供給される。

【0046】

ここで、メモリコントローラバスクロックは周波数が固定であるのに対し、第1バスクロックは周波数が可変であるため、省電力モードにおいてはメモリコントローラバスクロックと第1バスクロックとは同期関係でなくなるときがある。図8(b)は、第1バスクロックの周波数が通常時の周波数であって、メモリコントローラバスクロックと第1バスクロックとが同期関係にあるときの同期・非同期化I/F214内のデータバスの使用を示す図である。図8(b)において、第1データバス選択回路802と第2データバス選択回路804は、データ選択制御信号に従い、バスインタフェース回路801とメモリコントローラインタフェース回路805との間で直接にデータ転送を行う同期データバスを選択する。このとき、メモリコントローラインタフェース回路805に供給されるメモリコントローラバスクロックとバスインタフェース回路801に供給される第1バスクロックは、同じ位相かつ同じ周波数のクロックである。従って、システムバス208とメモリコントローラ202の間は、クロック同期で遅延のない高速なデータ転送を行うことができる。

20

【0047】

一方、図8(c)は、第1バスクロックの周波数が通常時よりも低減した周波数であって、メモリコントローラバスクロックと第1バスクロックとが同期関係にないときとの同期・非同期化I/F214内のデータバスの使用を示す図である。図8(c)において、第1データバス選択回路802と第2データバス選択回路804は、データ選択制御信号に従い、バスインタフェース回路801とメモリコントローラインタフェース回路805との間のデータ転送を、同期化回路803を介して行なう非同期データバスを選択する。このとき、メモリコントローラインタフェース回路805に供給されるメモリコントローラバスクロックとバスインタフェース回路801に供給される第1バスクロックとは、周波数のみならず位相も異なっている可能性がある。従って、同期化回路803を介することによって、入力側のインタフェース回路のクロックから出力側のインタフェース回路のクロックへの乗せ換えに要するデータ転送の遅延は生じるが、安全な(システムバス807とメモリコントローラ202との間でデータの消失など発生することのない)データ転送を行うことができる。なお、図4に示したように、同一のクロック源の4サイクルのうち3サイクルを間引いた間引きクロックから可変分周クロックを生成する本実施例の場合は、低減させた周波数においても立ち上がりエッジが一致するタイミングが存在することになる。この場合、理論的には同期化回路を経由する必要はないということになるが、省電力モードでは高速なデータ転送は要求されないので、同期化回路を介したデータバスを選択しても支障はない。

30

40

【0048】

<データバス制御・クロック制御>

50

次に、本実施例に係る、メインコントローラ 101 によるデータバス制御とクロック制御について、フローチャートを参照して説明する。

【0049】

まず、通常モードから省電力モードに移行する際の制御について、図 9 を参照して説明する。

【0050】

ステップ 901 において、メインコントローラ 101 内の CPU 201 は、通常モードから省電力モードに移行する原因が生じたかどうかを判定する。この原因には、例えば印刷ジョブの実行がないまま所定時間（例えば、15 分）が経過したこと等が挙げられる。このような所定の原因の発生が確認された場合は、ステップ 902 に進む。一方、このような所定の原因の発生が確認されない場合は、その監視を継続する。

【0051】

ステップ 902 において、CPU 201 は、非同期データバスを選択するデータバス選択設定の指示を、システムバス 208 を介して同期・非同期化 I/F 214 に送信する。

【0052】

ステップ 903 において、同期・非同期化 I/F 214 は、受信したデータバス選択設定指示の内容を保持すると共に、第 1 データバス選択回路 802 と第 2 データバス選択回路 804 に対し非同期データバスを選択する設定を行なう。これにより、バスインタフェース回路 801 とメモリインタフェース回路 805 との間のデータバスとして、同期化回路 803 を介したデータバスが選択される。データバスの設定が完了すると、同期・非同期化 I/F 214 は、例えば割り込み信号を用いて、CPU 201 にデータバスの設定完了を通知する。

【0053】

ステップ 904 において、CPU 201 は、特定のクロックのゲートを ON にする設定指示とクロックを間引く設定指示を、システムバス 208 を介してクロック生成部 205 に送信する。

【0054】

ステップ 905 において、クロック生成部 205 内のクロック設定保持部 330 は、受信した 2 種類の設定指示の内容を保持すると共に、所定の制御信号を出力する。すなわち、対応するクロックゲート回路にゲートを ON にするゲート制御信号を出力し、クロック間引き回路 320 に間引きを ON にする間引き制御信号を出力する。この場合において、前述の図 7 の状態を実現するための制御信号の詳細は以下の通りである。

【0055】

【表 1】

クロックの内容	制御信号
CPU に間引きクロックを供給	間引き ON、クロックゲート回路 370d にゲート OFF
ROM、システムバス、同期・非同期化 I/F 214 に間引きクロックを供給	間引き ON、クロックゲート回路 370e にゲート OFF
イメージバス、スキャナ画像処理部、プリンタ画像処理部、イメージバス I/F、デバイス I/F へのクロックの供給を停止	間引き OFF、クロックゲート回路 370f にゲート ON

【0056】

ステップ 906 において、クロック生成部 205 内の特定のクロックゲート回路（上述の例ではクロックゲート回路 370f）は、クロック設定保持部 330 からのゲート制御信号に基づいてゲートを ON にする。これにより、動作を停止しても構わない所定の機能モジュールへのクロックの供給が停止される。

## 【 0 0 5 7 】

ステップ 9 0 7 において、クロック生成部 2 0 5 内のクロック間引き回路 3 2 0 は、クロック設定保持部 3 3 0 からの間引き制御信号に基づいて間引きをONにする。これにより、動作速度を遅くしても構わない所定の機能モジュールに対し低減された周波数のクロックが供給される。こうして、省電力モードへの移行処理が完了する。

## 【 0 0 5 8 】

以上が、通常モードから省電力モードに移行する際の制御処理の内容である。なお、図 9 から明らかなように、ステップ 9 0 6 とステップ 9 0 7 は並列に処理される。これにより、画像形成装置 1 0 0 の消費電力を低く抑えながら、システムバス 2 0 8 とメモリコントローラ 2 0 2 との間でデータの消失などが発生することのない安全なデータ転送が可能となる。

10

## 【 0 0 5 9 】

次に、省電力モードから通常モードに復帰する際の制御について、図 1 0 を参照して説明する。

## 【 0 0 6 0 】

ステップ 1 0 0 1 において、メインコントローラ 1 0 1 内のCPU 2 0 1 は、省電力モードから通常モードに移行する原因が生じたかどうかを判定する。この原因には、例えばPC 1 0 5 からLAN 1 0 6 を介して印刷ジョブを受信したこと等が挙げられる。このような所定の原因の発生が確認された場合は、ステップ 1 0 0 2 に進む。一方、このような所定の原因の発生が確認されない場合は、その監視を継続する。

20

## 【 0 0 6 1 】

ステップ 1 0 0 2 において、CPU 2 0 1 は、停止されていた特定のクロックの供給を再開する設定指示と低減されていた特定のクロックの周波数を通常の周波数に戻す設定指示を、システムバス 2 0 8 を介してクロック生成部 2 0 5 に送信する。

## 【 0 0 6 2 】

ステップ 1 0 0 3 において、クロック生成部 2 0 5 内のクロック設定保持部 3 3 0 は、受信した 2 種類の設定指示の内容を保持すると共に、所定の制御信号を出力する。具体的には、対応するクロックゲート回路（上述の例では、クロックゲート回路 3 7 0 f）に対し、ゲートをOFFにするゲート制御信号を出力する。さらに、クロック間引き回路 3 2 0 に対し、間引きをOFFにする間引き制御信号を出力する。

30

## 【 0 0 6 3 】

ステップ 1 0 0 4 において、クロック生成部 2 0 5 内の特定のクロックゲート回路（上述の例では、クロックゲート回路 3 7 0 f）は、クロック設定保持部 3 3 0 からのゲート制御信号に基づいてゲートをOFFにする。これにより、クロックの供給が再開される。

## 【 0 0 6 4 】

ステップ 1 0 0 5 において、クロック生成部 2 0 5 内のクロック間引き回路 3 2 0 は、クロック設定保持部 3 3 0 からの間引き制御信号に基づいて間引きをOFFにする。これにより、通常の周波数のクロックの出力が再開される。

## 【 0 0 6 5 】

ステップ 1 0 0 6 において、CPU 2 0 1 は、同期データパスを選択するデータパス選択設定の指示を、システムバス 2 0 8 を介して同期・非同期化 I/F 2 1 4 に送信する。

40

## 【 0 0 6 6 】

ステップ 1 0 0 7 において、同期・非同期化 I/F 2 1 4 は、受信したデータパス選択設定指示の内容を保持すると共に、第 1 データパス選択回路 8 0 2 と第 2 データパス選択回路 8 0 4 に対して上述の同期データパスを選択する設定を行なう。これにより、バスインタフェース回路 8 0 1 とメモリコントローラインタフェース回路 8 0 5 との間のデータパスとして、同期化回路 8 0 3 を介さない（回路 8 0 1 と回路 8 0 5 との間で直接データ転送を行う）データパスが設定される。データパスの設定が完了すると、同期・非同期化 I/F 2 1 4 は、例えば割り込み信号を用いて、CPU 2 0 1 にデータパスの設定完了を通知する。こうして、通常モードへの復帰処理が完了する。

50

## 【 0 0 6 7 】

以上が、省電力モードから通常モードに移行する際の制御処理の内容である。なお、図 1 0 から明らかなように、ステップ 1 0 0 4 とステップ 1 0 0 5 は並列に処理される。これにより、通常モードへの復帰後に、システムバス 2 0 8 とメモリコントローラ 2 0 2 との間で遅延のないクロック同期のデータ転送が可能となる。

## 【 0 0 6 8 】

なお、上述の図 9 及び図 1 0 のフローチャートにおけるデータバスの選択・設定は、システムバス 2 0 8 と DRAM 2 0 3 との間でデータ転送が行なわれていない状態で行う必要がある。そのため、DRAM 2 0 3 が CPU 2 0 1 のワークメモリとして使用されている場合などは、上記フローの制御は、例えば CPU 2 0 1 が ROM 2 0 4 に格納されたプログラムを処理することによって実現される。

10

## 【 0 0 6 9 】

また、本実施例では、同期・非同期化 I/F 2 1 4 を独立した機能モジュールとして説明したが、メモリコントローラ 2 0 2 内に、同期・非同期化 I/F 2 1 4 に相当する機能を有する構成でもよい。

## 【 0 0 7 0 】

さらに、本実施例では、可変周波数のクロックで動作するシステムバス 2 0 8 と固定周波数のクロックで動作するメモリコントローラ 2 0 2 との間のデータ転送を円滑に行なうべく両者の間に同期・非同期化 I/F 2 1 4 を設ける構成としたが、この構成に限られない。可変周波数のクロックで動作する機能モジュールと固定周波数のクロックで動作する機能モジュールとの間で、同期と非同期のデータ転送が発生し得る状況下において、両機能モジュールの間に上述の同期・非同期化 I/F を設けることで同様の効果が得られる。

20

## 【 0 0 7 1 】

以上の通り本実施例によれば、複数の異なる種類のクロックが同期関係にない場合において、クロックのエッジ位置が相互に一致しない構成の下でもデータ転送が可能である。また、これらクロックが同期関係にある場合には遅延のないデータ転送を行うことができ、たとえ非同期関係にある場合でも安全なデータ転送を行うことができる。

## 【 実施例 2 】

## 【 0 0 7 2 】

実施例 1 は、周波数が固定のクロックと周波数が可変のクロックとの間のデータ転送において、同期用のデータバスと非同期用のデータバスを選択的に切り替える態様であった。そして、周波数が固定のクロックと周波数が可変のクロックのいずれも、共通の第 1 クロック源 3 0 0 から分周して生成されていた。そのため、異なる周波数のクロックであっても立ち上がりエッジが一致するタイミングが必ず存在し、クロック生成部 2 0 5 におけるクロックの生成の仕方を工夫することで、機能モジュール間のデータ転送を同期で扱うことができた。

30

## 【 0 0 7 3 】

しかしながら、省電力モード時に使用するための低減された周波数を、異なるクロック源（より低周波数のクロック源）を用いて生成する場合もある。この場合は、省電力モード時に用いるための同期関係にある周波数が低減されたクロックの生成が困難である。

40

## 【 0 0 7 4 】

そこで、省電力モード時の低減された周波数を異なるクロック源を用いて生成する場合における、機能モジュール間のデータ転送を円滑に行なうための態様を、実施例 2 として説明する。なお、実施例 1 と共通する部分（画像形成装置 1 0 0 の基本構成及びメインコントローラ 1 0 1 の内部構成）については説明を省略し、以下では、差異点（クロック生成部の内部構成と動作モードの移行制御）を中心に説明するものとする。

## 【 0 0 7 5 】

< クロック生成部 >

図 1 1 は、本実施例に係る、クロック生成部 2 0 5 ' の内部構成を示すブロック図である。本実施例のクロック生成部 2 0 5 ' は、第 1 クロック源 3 0 0、第 2 クロック源 3 1

50

0に加えて、第3クロック源1100を備える。また、クロック間引き回路320に代えてクロック選択回路1110を備え、該クロック選択回路1110の設定を行なうクロック設定保持部1120を備える。さらに、クロック生成部205'は、複数の分周回路とクロックゲート回路(2分周回路360a、360c、360d、4分周回路361aと361b、8分周回路362、クロックゲート回路370a~370g)を備える。

#### 【0076】

第3クロック源1100は、他のクロック源と同様に、水晶発振器やPLLなどで構成される発振回路であり、第1クロック源300の2分周クロックの周波数よりも低い周波数で発振する。例えば、第1クロック源300の周波数は1600MHz、第2クロック源310の周波数は20MHz、第3クロック源1100の周波数は50MHzといった具合である。上述の通り、第3クロック源1100は、省電力モード時の消費電力を低く抑える際に用いるクロックである。

10

#### 【0077】

クロック選択回路1110は、後述するクロック設定保持部1120からのクロック選択制御信号に基づいて、第1クロック源300を基に2分周する2分周回路360dの出力クロックと第3クロック源1100の出力クロックのどちらかを選択して出力する。省電力モード時には、動作を遅くしても構わない機能モジュールに対し周波数の低い第3クロック源のクロックを供給することによって、機能モジュールの同期回路を動作させたまま画像形成装置100の消費電力を低減することができる。

#### 【0078】

20

クロック設定保持部1120は、クロック選択回路1110及びクロックゲート回路370a~370gを制御する設定指示の内容を保持し、それぞれのクロック制御信号(選択制御信号及びゲート制御信号)を出力する回路である。クロック設定保持部1120が保持するクロック制御のための設定は、CPU201からシステムバス208を介してなされる。

#### 【0079】

<クロック選択回路によるクロックの切り替え>

まず、第1クロック源300を2分周した分周クロックを選択した状態から、第3クロック源1100の出力クロックを選択した状態へと切り替える場合について説明する。

#### 【0080】

30

図12は、クロック選択回路1110が、第1クロック源300を基に2分周する2分周回路360dの出力クロックを選択した状態から、第3クロック源1100の出力クロックを選択する状態に移行する過程を説明する図である。図12において破線で示す「選択切替」のタイミングで、第1クロック源300を2分周した分周クロックを選択した状態から、第3クロック源1100の出力クロックを選択した状態へと切り替わることで、クロック選択回路1110の出力クロックの周波数は低減する。

#### 【0081】

図12において、「選択切替」のタイミングの前では、クロック選択回路1110が選択しているクロックは、第1クロック源300を基に2分周した分周クロックである。このとき、DRAMクロック、メモリコントローラバスクロック、第1インタフェースクロック、CPUクロック、第1バスクロック、第2バスクロックは、共通の第1クロック源300を基に生成されたクロックである。そのため、これらのクロックは、図12における「選択切替」のタイミングで立ち上がりエッジが一致するクロック、すなわち同期関係にあるクロックとなる。従って、これらのクロックで動作する同期回路は、データ転送が行なわれるクロック間でのタイミング設計を行うことによって、その動作を保障できる。

40

#### 【0082】

一方、図12において、「選択切替」のタイミングの後では、クロック選択回路1110が選択しているクロックは、第3クロック源1100の出力クロックである。このとき、第1クロック源を基に生成される上述のクロック群と、第3クロック源を基に生成されるクロック群(CPUクロック、第1バスクロック、第2バスクロック)とは、位相及び周

50

波数が異なり、互いに非同期関係にある。従って、これらの非同期関係にあるクロック間で動作する回路においては、データ転送の遅延が生じたとしても、データの消失などが発生することなく安全にデータを転送するための同期化回路が必要となる。

【 0 0 8 3 】

次に、第3クロック源 1 1 0 0 の出力クロックを選択した状態から、第1クロック源 3 0 0 を2分周した分周クロックを選択した状態へと切り替える場合について説明する。

【 0 0 8 4 】

図13は、クロック選択回路 1 1 1 0 が第3クロック源 1 1 0 0 の出力クロックを選択した状態から、第1クロック源 3 0 0 を基に2分周した分周クロックを選択する状態に移行する過程を説明する図である。図13において破線で示す「選択切替」のタイミングで、第3クロック源 1 1 0 0 の出力クロックを選択した状態から、第1クロック源 3 0 0 を2分周した分周クロックを選択した状態に切り替わることで、クロック選択回路 1 1 1 0 の出力クロックの周波数は通常時の周波数に戻る。さらに、固定周波数のクロックであるDRAMクロック等のクロック群と可変周波数のクロックであるCPUクロック等のクロック群とが、図13における「エッジ一致」のタイミングで立ち上がりエッジが一致ようになる。これにより、第2インタフェースクロックを除くすべてのクロックの同期が取れた状態に戻る。

【 0 0 8 5 】

< データバス制御・クロック制御 >

続いて、本実施例に係る、メインコントローラ 1 0 1 によるデータバス制御とクロック制御について、フローチャートを参照して説明する。

【 0 0 8 6 】

まず、通常モードから省電力モードに移行する際の制御について、図14を参照して説明する。

【 0 0 8 7 】

ステップ 1 4 0 1 ~ ステップ 1 4 0 3 は、実施例1の図9のフローにおけるステップ 9 0 1 ~ ステップ 9 0 3 に対応する。すなわち、省電力モードに移行する原因が生じたかどうかの判定 ( S 1 4 0 1 )、非同期データバスを選択する設定指示の同期・非同期化 I/F 2 1 4 への送信 ( S 1 4 0 2 )、非同期データバスの選択設定 ( S 1 4 0 3 ) が実行される。

【 0 0 8 8 】

ステップ 1 4 0 4 において、CPU 2 0 1 は、特定のクロックのゲートをONにする設定指示と第3クロック源 1 1 0 0 の出力クロック選択の設定指示を、システムバス 2 0 8 を介してクロック生成部 2 0 5 ' に送信する。

【 0 0 8 9 】

ステップ 1 4 0 5 において、クロック生成部 2 0 5 ' 内のクロック設定保持部 1 1 2 0 は、受信した2種類の設定指示の内容を保持すると共に、所定の制御信号を出力する。すなわち、対応するクロックゲート回路に対しゲートをONにするゲート制御信号を出力し、クロック選択回路 1 1 1 0 に対し第3クロック源 1 1 0 0 の出力クロックの選択を指示する制御信号を出力する。

【 0 0 9 0 】

ステップ 1 4 0 6 は、実施例1の図9のフローにおけるステップ 9 0 6 に対応する。すなわち、クロック生成部 2 0 5 ' 内の対応するクロックゲート回路は、クロック設定保持部 1 1 2 0 からのゲート制御信号に基づいてゲートをONにする。これにより、動作を停止しても構わない所定の機能モジュールへのクロックの供給が停止される。

【 0 0 9 1 】

ステップ 1 4 0 7 において、クロック生成部 2 0 5 ' 内のクロック選択回路 1 1 1 0 は、クロック設定保持部 1 1 2 0 からの選択制御信号に基づいて、選択するクロックを切り替える。具体的には、第1クロック源 3 0 0 を2分周した分周クロックを選択した状態から、第3クロック源 1 1 0 0 の出力クロックを選択した状態へと切り替える。これにより



、動作速度を遅くしても構わない所定の機能モジュールに対し低減された周波数のクロックが供給される。こうして、省電力モードへの移行処理が完了する。

【 0 0 9 2 】

以上が、本実施例に係る、通常モードから省電力モードに移行する際の制御処理の内容である。これにより、システムバス 2 0 8 とメモリコントローラ 2 0 2 との間でデータの消失などが発生することのない安全なデータ転送が可能となる。

【 0 0 9 3 】

次に、省電力モードから通常モードに復帰する際の制御処理について、図 1 5 を参照して説明する。

【 0 0 9 4 】

ステップ 1 5 0 1 は、実施例 1 の図 1 0 のフローにおけるステップ 1 0 0 1 に対応する。すなわち、通常モードに移行する原因が生じたかどうかの判定 ( S 1 5 0 1 ) が実行される。

【 0 0 9 5 】

ステップ 1 5 0 2 において、CPU 2 0 1 は、停止されていた特定のクロックのゲートを OFF にする設定指示と第 1 クロック源 3 0 0 に基づく 2 分周クロック ( 通常時の周波数のクロック ) 選択の設定指示を、システムバス 2 0 8 を介してクロック生成部 2 0 5 ' に送信する。

【 0 0 9 6 】

ステップ 1 5 0 3 において、クロック生成部 2 0 5 ' 内のクロック設定保持部 1 1 2 0 は、受信した 2 種類の設定指示の内容を保持すると共に、所定の制御信号を出力する。具体的には、対応するクロックゲート回路に対しゲートを OFF にするゲート制御信号を出力し、クロック選択回路 1 1 1 0 に対し第 1 クロック源 3 0 0 を基に生成された 2 分周クロックの選択を指示する制御信号を出力する。

【 0 0 9 7 】

ステップ 1 5 0 4 は、実施例 1 の図 1 0 のフローにおけるステップ 1 0 0 4 に対応する。すなわち、クロック生成部 2 0 5 ' 内の特定のクロックゲート回路は、クロック設定保持部 1 1 2 0 からのゲート制御信号に基づいてゲートを OFF にする。これにより、クロックの供給が再開される。

【 0 0 9 8 】

ステップ 1 5 0 5 において、クロック生成部 2 0 5 ' 内のクロック選択回路 1 1 1 0 は、クロック設定保持部 1 1 2 0 からの選択制御信号に基づいて、選択するクロックを切り替える。具体的には、第 3 クロック源 1 1 0 0 の出力クロックを選択した状態から、第 1 クロック源 3 0 0 を 2 分周した分周クロックを選択した状態へと切り替える。これにより、通常時の周波数のクロックが出力される。

【 0 0 9 9 】

ステップ 1 5 0 6 及びステップ 1 5 0 7 は、実施例 1 の図 1 0 のフローにおけるステップ 1 0 0 6 及びステップ 1 0 0 7 に対応する。すなわち、同期データパスを選択する選択設定指示の送信 ( S 1 5 0 6 ) 、及び同期データパスを選択する設定 ( S 1 5 0 7 ) が実行される。こうして、通常モードへの復帰処理が完了する。

以上が、本実施例に係る、省電力モードから通常モードに復帰する際の制御処理の内容である。これにより、システムバス 2 0 8 とメモリコントローラ 2 0 2 との間で遅延のないクロック同期のデータ転送を行えるようになる。

【 0 1 0 0 】

以上のとおり本実施例によれば、通常モード時は、単一のクロック源を用いた同期関係にある複数のクロックによって遅延のない同期データ転送を行うことができる。また、省電力モード時は、より低周波数の独立したクロック源を用いて消費電力を低減しながら、非同期関係にあるクロックによって安全なデータ転送を行うことができる。

【 0 1 0 1 】

[ その他の実施形態 ]

10

20

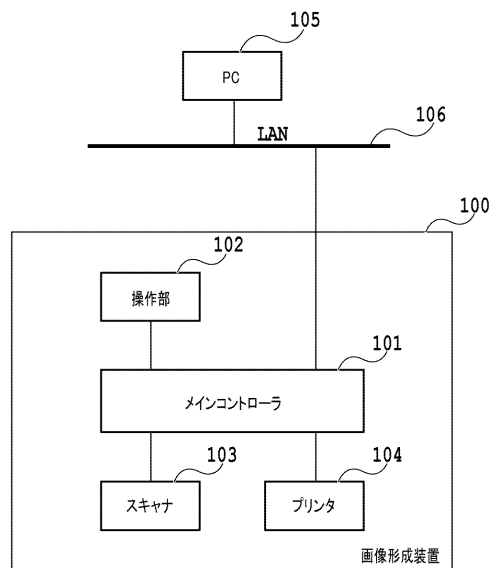
30

40

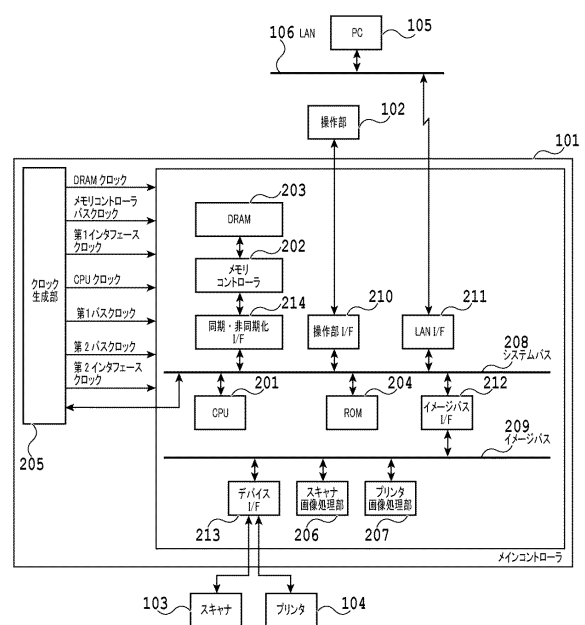
50

本発明は、以下の処理を実行することによっても実現される。すなわち、上述した実施形態の機能を実現するソフトウェア（プログラム）を、ネットワーク又は各種記憶媒体を介してシステムあるいは装置に供給し、そのシステムあるいは装置のコンピュータ（又はＣＰＵやＭＰＵ等）がプログラムを読み出して実行する処理である。

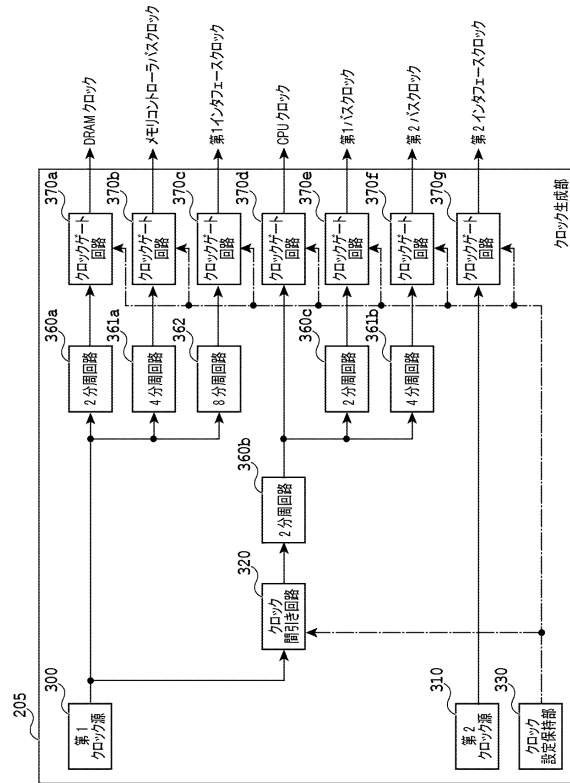
【 図 1 】



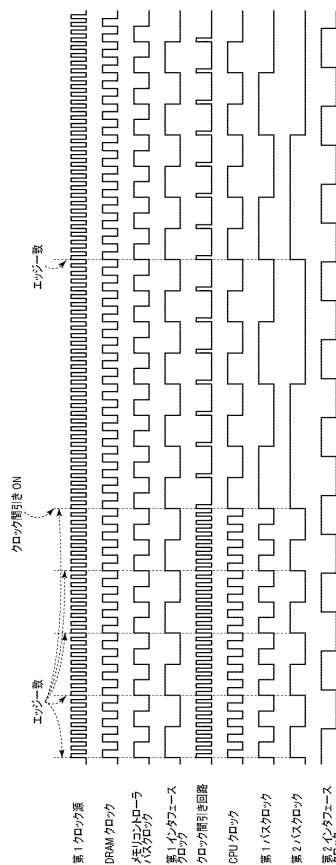
【圖 2】



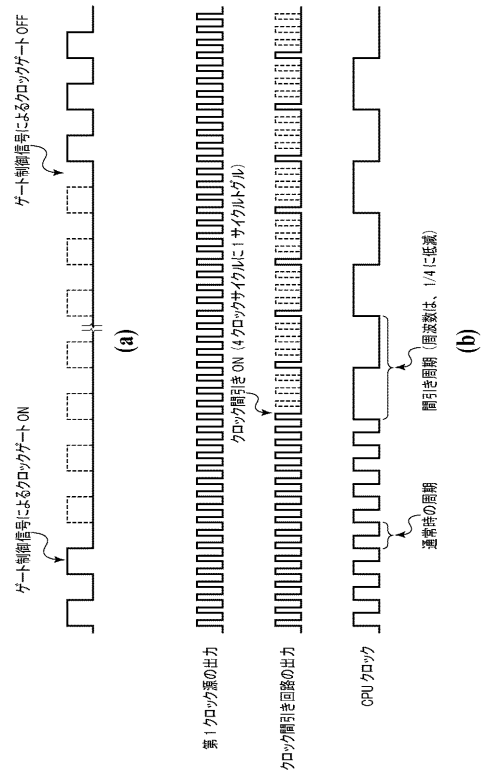
【図 3】



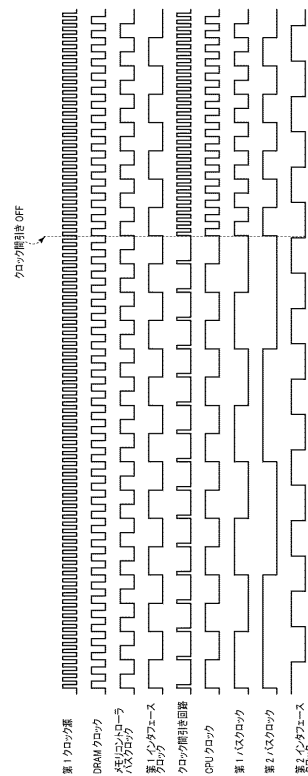
【図 5】



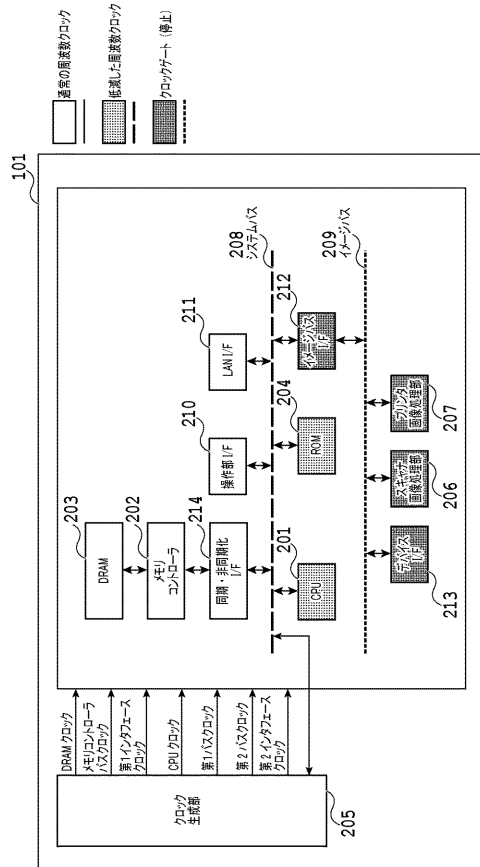
【図 4】



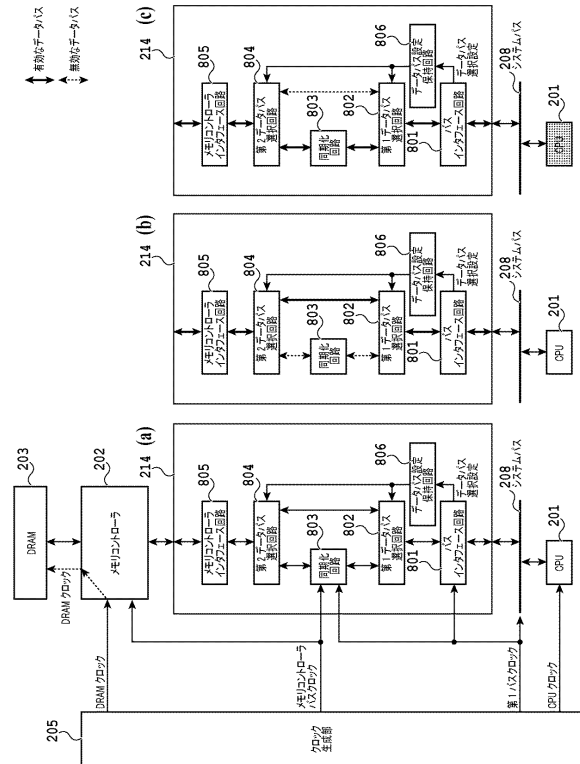
【図 6】



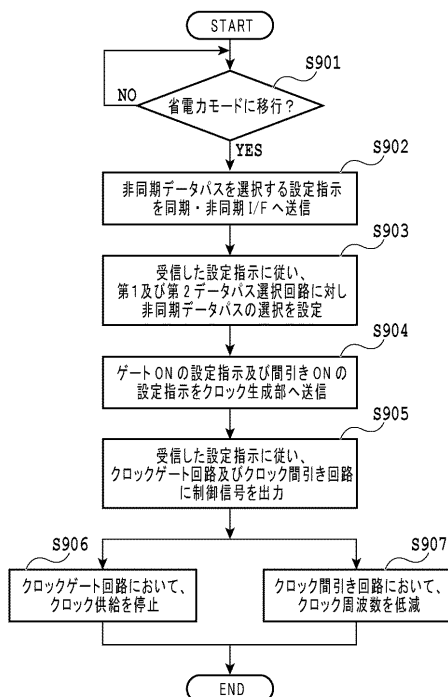
【圖 7】



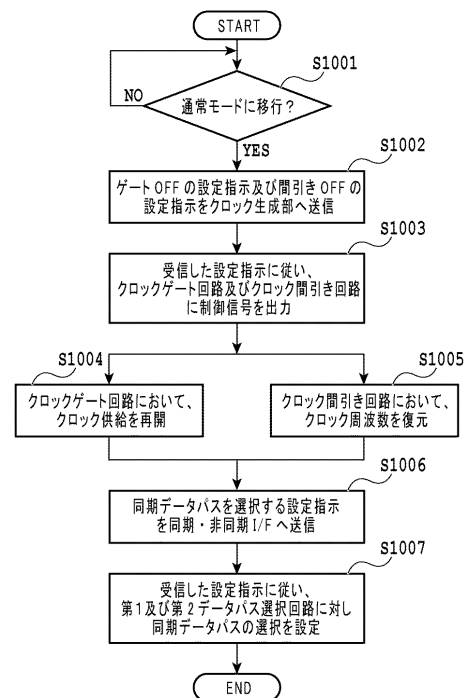
【 図 8 】



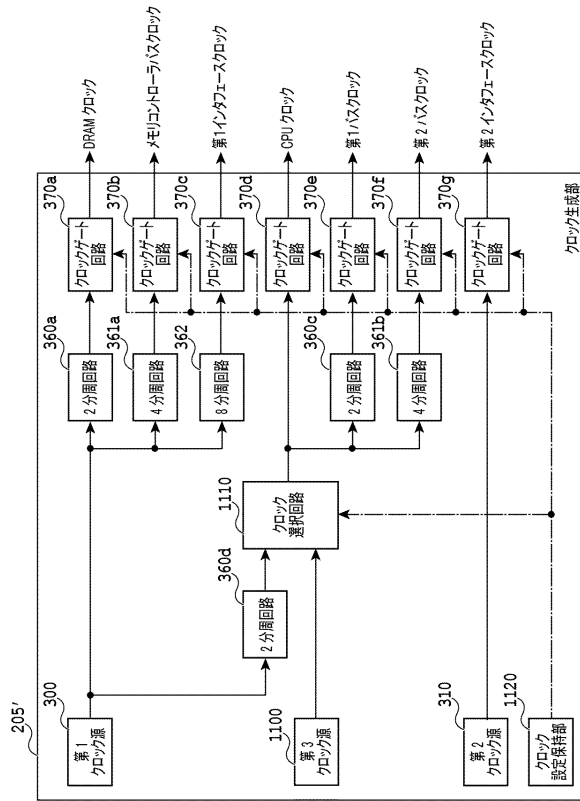
【 図 9 】



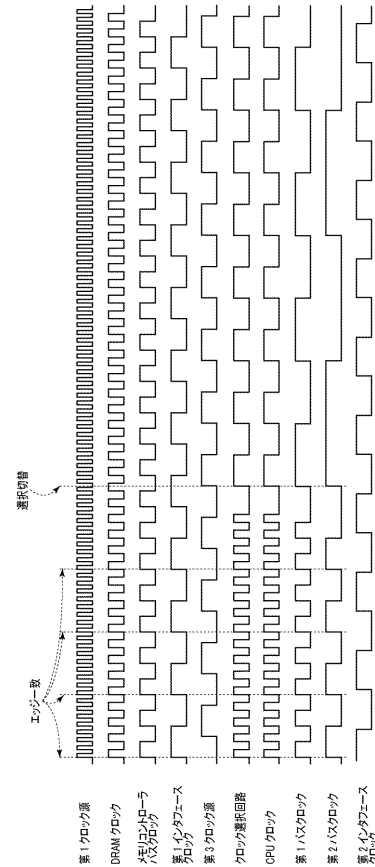
【 図 1 0 】



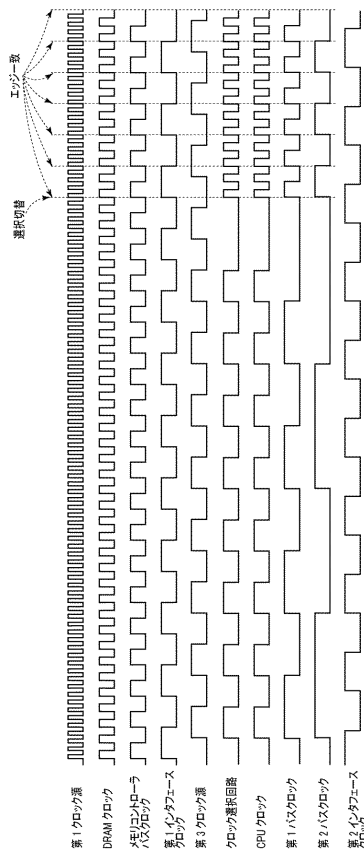
【図 1 1】



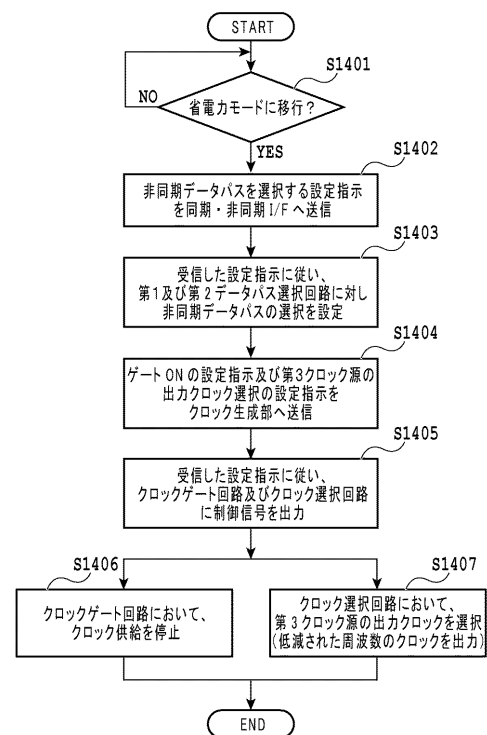
【図 1 2】



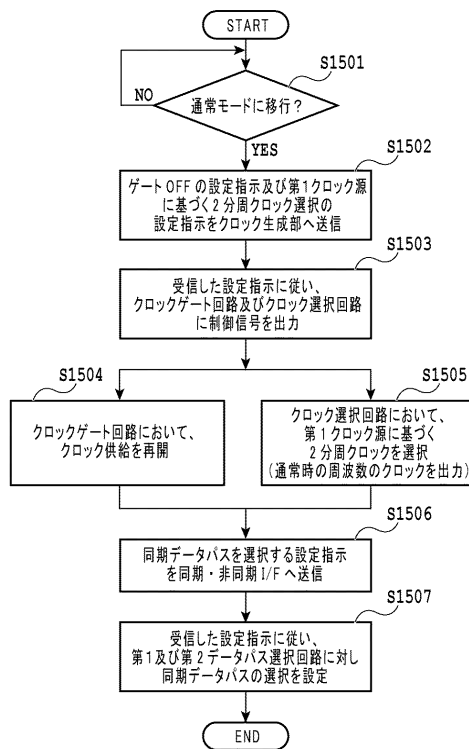
【図 1 3】



【図 1 4】



## 【図 15】



---

フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

G 0 6 F	1 / 1 2
G 0 6 F	1 / 0 6
G 0 6 F	1 2 / 0 0