



(12) 发明专利

(10) 授权公告号 CN 107112199 B

(45) 授权公告日 2021.08.17

(21) 申请号 201580069954.0

(72) 发明人 内海淳 后藤崇之 铃木毅典

(22) 申请日 2015.10.07

井手健介

(65) 同一申请的已公布的文献号

(74) 专利代理机构 中原信达知识产权代理有限公司 11219

申请公布号 CN 107112199 A

代理人 赵晶 高培培

(43) 申请公布日 2017.08.29

(51) Int.CI.

H01L 21/02 (2006.01)

(30) 优先权数据

B23K 20/00 (2006.01)

2014-259115 2014.12.22 JP

(85) PCT国际申请进入国家阶段日

(56) 对比文件

2017.06.21

CN 102782850 A, 2012.11.14

(86) PCT国际申请的申请数据

US 2007/0128825 A1, 2007.06.07

PCT/JP2015/078518 2015.10.07

CN 103460339 A, 2013.12.18

(87) PCT国际申请的公布数据

JP 特开2012-238729 A, 2012.12.06

W02016/103846 JA 2016.06.30

审查员 王春燕

(73) 专利权人 三菱重工工作机械株式会社

权利要求书2页 说明书9页 附图11页

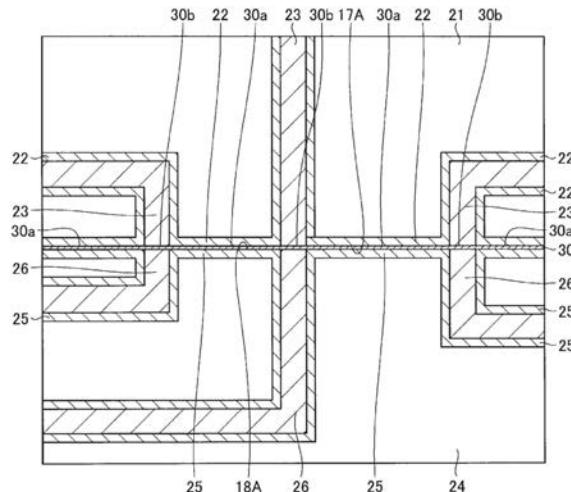
地址 日本滋贺县

(54) 发明名称

半导体装置及半导体装置的制造方法

(57) 摘要

一种半导体装置，将接合电极(23、26)及绝缘层(22、25)分别在表面(17A、18A)露出的晶圆进行常温接合而形成所述半导体装置，其特征在于，在表面(17A、18A)之间具备接合中间层(30)，所述接合中间层(30)单独表现出非导电性并且与接合电极(23、26)结合而表现出导电性。



1.一种半导体装置,具备:

第一导电件及第一绝缘件分别在半导体基材的作为接合面的平坦表面露出的第一基板、第二导电件及第二绝缘件分别在半导体基材的作为接合面的平坦表面露出的第二基板、设置于所述第一基板的平坦表面与所述第二基板的平坦表面之间的接合中间层这三层,

所述接合中间层是通过常温接合而将所述第一导电件与所述第二导电件以及所述第一绝缘件与所述第二绝缘件同时接合的同一层,

作为所述同一层的所述接合中间层单独表现出非导电性并且与所述第一导电件和所述第二导电件结合而表现出导电性,作为所述同一层的所述接合中间层在该同一层中具备保持非导电性并且将所述第一基板的所述第一绝缘件与所述第二基板的所述第二绝缘件彼此接合的部分即绝缘接合部和将所述第一基板的所述第一导电件与所述第二基板的所述第二导电件彼此接合的部分即导电接合部。

2.根据权利要求1所述的半导体装置,其特征在于,

所述接合中间层由非晶质半导体材料形成。

3.根据权利要求1所述的半导体装置,其特征在于,

至少一方的基板的所述接合面处的所述绝缘件的高度位置形成得比所述导电件低。

4.一种半导体装置的制造方法,是将导电件及绝缘件分别在半导体基材的接合面露出的一对基板彼此经由接合中间层进行常温接合而制造出的三层的半导体装置的制造方法,所述半导体装置的制造方法的特征在于,具备:

使所述基板的接合面分别活性化的工序;

在活性化后的所述接合面的至少一方形成单独表现出非导电性并且与所述导电件结合而表现出导电性的接合中间层的工序;及

经由所述接合中间层而将一对所述基板彼此在常温下压接的工序,

向半导体材料照射高速原子射束,使所述半导体材料溅射,由此在一方的所述基板的接合面形成了所述接合中间层,之后,向形成于该接合面的接合中间层照射高速原子射束,使形成该接合中间层的所述半导体材料的一部分溅射,由此在另一方的所述基板的接合面形成所述接合中间层。

5.根据权利要求4所述的半导体装置的制造方法,其特征在于,

具备在将一对所述基板压接之后将该基板以规定的温度进行加热的工序。

6.根据权利要求4所述的半导体装置的制造方法,其特征在于,

至少一方的所述基板的所述接合面处的所述绝缘件的高度位置形成得比所述导电件低,所述接合中间层在将所述基板彼此压接时由于所述导电件而断裂,将该导电件彼此直接接合。

7.一种半导体装置的制造方法,是将导电件及绝缘件分别在半导体基材的接合面露出的一对基板彼此经由中间接合层进行常温接合而制造出的三层的半导体装置的制造方法,所述半导体装置的制造方法的特征在于,具备:

使所述基板的接合面分别活性化的工序;

在活性化后的所述接合面的至少一方形成在同一层中单独表现出非导电性并且与所述导电件结合而表现出导电性的接合中间层的工序;及

经由所述接合中间层而将一对所述基板彼此在常温下压接的工序，

在将接合面被活性化后的一对基板加热的状态下向该一对基板的接合面供给原料气体,通过在该一对基板的接合面的化学反应而形成所述接合中间层。

8.一种半导体装置的制造方法,是将导电件及绝缘件分别在半导体基材的接合面露出的一对基板彼此经由接合中间层进行常温接合而制造出的三层的半导体装置的制造方法,所述半导体装置的制造方法的特征在于,具备:

使所述基板的接合面分别活性化的工序;

在活性化后的所述接合面的至少一方形成在同一层中单独表现出非导电性并且与所述导电件结合而表现出导电性的接合中间层的工序;及

经由所述接合中间层而将一对所述基板彼此在常温下压接的工序,

对蒸镀材料进行加热,进行气化或升华,附着于放置在分离位置的一对基板的接合面而形成所述接合中间层。

9.一种半导体装置的制造方法,是将导电件及绝缘件分别在半导体基材的接合面露出的一对基板彼此经由接合中间层进行常温接合而制造出的三层的半导体装置的制造方法,所述半导体装置的制造方法的特征在于,具备:

使所述基板的接合面分别活性化的工序;

在活性化后的所述接合面的至少一方形成单独表现出非导电性并且与所述导电件结合而表现出导电性的接合中间层的工序;及

经由所述接合中间层而将一对所述基板彼此在常温下压接的工序,

至少一方的所述基板的所述接合面处的所述绝缘件的高度位置形成得比所述导电件低,所述接合中间层在将所述基板彼此压接时由于所述导电件而断裂,将该导电件彼此直接接合。

10.根据权利要求9所述的半导体装置的制造方法,其特征在于,

具备在将一对所述基板压接之后将该基板以规定的温度进行加热的工序。

11.根据权利要求9所述的半导体装置的制造方法,其特征在于,

所述接合中间层通过半导体材料的蒸镀、溅射、或者化学气相生长而形成。

## 半导体装置及半导体装置的制造方法

### 技术领域

[0001] 本发明涉及将多个基板接合而形成的半导体装置、及半导体装置的制造方法。

### 背景技术

[0002] 近年来,关于半导体设备的高集成化,将同种或异种的半导体设备进行层叠化的三维集成化技术受到关注。在该三维集成化技术中,将电极、成为配线的导电件和绝缘件露出的基板的接合面彼此接合的技术变得重要。通常,作为两张基板的接合技术,已知有常温接合。常温接合是将接合的两张基板的接合面在真空气氛下进行活性化,通过将活性化后的接合面彼此进行压接而接合的技术。在常温接合中,不需要热处理,能够将接合材料(基板)彼此进行直接接合。因此,具有如下优点:能够抑制与热处理相伴的基板的膨胀等变形,在接合时,能够准确地进行两张基板的对准。

[0003] 然而,在上述的常温接合中,虽然能够将作为导电件的金属类彼此直接接合,但是无法将作为绝缘件而通常使用的氧化膜、氮化膜等直接接合。因此,以往,提出了利用附着于接合面的极微量金属,能够将导电件与绝缘件同时接合(混合接合)的常温接合方法(例如,参照专利文献1)。

[0004] 在先技术文献

[0005] 专利文献

[0006] 专利文献1:日本专利第4162094号公报

### 发明内容

[0007] 发明要解决的课题

[0008] 然而,在基板的接合面上形成有多个微细的导电件(电极),因此在以往的接合方法中,由于附着于接合面的金属,在接近的导电件(电极)间会产生泄漏电流,担心设备的动作上的问题。

[0009] 本发明鉴于上述情况而作出,其目的在于提供一种防止导电件间的泄漏电流的产生并能够将导电件与绝缘件同时接合的半导体装置、及半导体装置的制造方法。

[0010] 用于解决课题的方案

[0011] 为了解决上述的课题,实现目的,本发明涉及一种半导体装置,具备导电件及绝缘件分别在半导体基材的接合面露出的一对基板,将基板彼此进行常温接合,所述半导体装置的特征在于,在一对接合面之间具备接合中间层,所述接合中间层单独表现出非导电性并且与导电件结合而表现出导电性。

[0012] 根据该结构,由于在一对接合面之间具备接合中间层,因此能够将导电件及绝缘件分别同时接合。此外,接合中间层单独表现出非导电性并且与导电件结合而表现出导电性,因此能够确保导电件间的导电性,并确保绝缘件间的非导电性。因此,能够防止导电件间的泄漏电流的产生,能够实现半导体装置的稳定动作。

[0013] 另外,基板的绝缘件彼此也可以经由接合中间层而接合。根据该结构,能够将绝缘

件彼此牢固地接合。

[0014] 另外,接合中间层也可以由非晶质半导体材料形成。根据该结构,通过对半导体材料进行蒸镀、溅射或化学气相生长,能够在基板的接合面上简单地形成具有单独表现出非导电性并且与导电件结合而表现出导电性的性质的接合中间层。

[0015] 另外,也可以是,至少一方的基板的接合面处的绝缘件的高度位置形成得比导电件低。根据该结构,在将基板彼此压接时,该压接载荷作用于导电件,因此由于该导电件而接合中间层断裂。因此,通过将导电件彼此直接接合,在导电件间的接合中能够得到良好的电气特性及接合强度。

[0016] 另外,本发明涉及一种半导体装置的制造方法,是将导电件及绝缘件分别在半导体基材的接合面露出的一对基板彼此进行常温接合而制造出的半导体装置的制造方法,所述半导体装置的制造方法的特征在于,具备:使基板的接合面分别活性化的工序;在活性化后的接合面的至少一方形成单独表现出非导电性并且与导电件结合而表现出导电性的接合中间层的工序;及经由接合中间层而将一对基板彼此压接的工序。根据该结构,能够容易地实现将导电件及绝缘件分别同时接合的混合接合。

[0017] 另外,接合中间层也可以通过半导体材料的蒸镀、溅射、或者化学气相生长而形成。根据该结构,能够在基板的接合面简单地形成接合中间层。

[0018] 另外,也可以向半导体材料照射高速原子射束,使半导体材料溅射,由此在一方的基板的接合面形成了接合中间层,之后,向形成于该接合面的接合中间层照射高速原子射束,使形成该接合中间层的半导体材料的一部分溅射,由此在另一方的基板的接合面形成接合中间层。根据该结构,能够简化作业次序,能够在各基板的接合面上简单地形成接合中间层。

[0019] 另外,也可以是,至少一方的基板的接合面处的绝缘件的高度位置形成得比导电件低,接合中间层在将基板彼此压接时由于导电件而断裂,将该导电件彼此直接接合。根据该结构,通过将导电件彼此直接接合,在导电件间的接合中能够得到良好的电气特性及接合强度。

[0020] 另外,也可以具备在将一对基板压接之后将该基板以规定的温度进行加热的工序。根据该结构,能够实现导电件间的接合强度及电气特性的提高。

[0021] 发明效果

[0022] 根据本发明,能够防止导电件间的泄漏电流的产生,并将导电件和绝缘件同时接合。

## 附图说明

[0023] 图1是示意性地表示将本实施方式的半导体装置接合的常温接合装置的结构的剖视图。

[0024] 图2是示意性地表示接合前的第一晶圆和第二晶圆的结构的剖视图。

[0025] 图3是示意性地表示将第一晶圆与第二晶圆接合而形成的半导体装置的结构的剖视图。

[0026] 图4是示意性地表示将第一晶圆与第二晶圆接合后的状态的剖视图。

[0027] 图5是表示作为绝缘层的SiO<sub>2</sub>/SiO<sub>2</sub>的接合界面的透过型电子显微镜照片。

- [0028] 图6是表示作为接合电极的Cu/Cu的接合界面的透过型电子显微镜照片。
- [0029] 图7是表示测定点处的Si-L吸收端的EELS光谱的坐标图。
- [0030] 图8是表示测定点处的O-K吸收端的EELS光谱的坐标图。
- [0031] 图9是表示SiO<sub>2</sub>/SiO<sub>2</sub>间的电流与电压的关系的坐标图。
- [0032] 图10是表示测定点处的Si-L吸收端的EELS光谱的坐标图。
- [0033] 图11是表示测定点处的Cu-L吸收端的EELS光谱的坐标图。
- [0034] 图12是表示Cu/Cu间的电流与电压的关系的坐标图。
- [0035] 图13-1是表示将第一晶圆与第二晶圆接合的工序的工序说明图。
- [0036] 图13-2是表示将第一晶圆与第二晶圆接合的工序的工序说明图。
- [0037] 图13-3是表示将第一晶圆与第二晶圆接合的工序的工序说明图。
- [0038] 图13-4是表示将第一晶圆与第二晶圆接合的工序的工序说明图。
- [0039] 图13-5是表示将第一晶圆与第二晶圆接合的工序的工序说明图。
- [0040] 图13-6是表示将第一晶圆与第二晶圆接合的工序的工序说明图。
- [0041] 图14-1是表示将第一晶圆与第二晶圆接合的另外的工序的工序说明图。
- [0042] 图14-2是表示将第一晶圆与第二晶圆接合的另外的工序的工序说明图。
- [0043] 图14-3是表示将第一晶圆与第二晶圆接合的另外的工序的工序说明图。
- [0044] 图14-4是表示将第一晶圆与第二晶圆接合的另外的工序的工序说明图。
- [0045] 图15-1是示意性地表示另外的实施方式的第一晶圆与第二晶圆的接合前的结构的剖视图。
- [0046] 图15-2是示意性地表示将另外的实施方式的第一晶圆与第二晶圆接合后的状态的结构的剖视图。

### 具体实施方式

[0047] 以下,关于本发明的实施方式,参照附图进行说明。需要说明的是,没有通过以下的实施方式来限定本发明。而且,以下的实施方式中的构成要素包括本领域技术人员能够且容易置换的构成要素,或者实质上相同的构成要素。

[0048] 图1是示意性地表示将本实施方式的半导体装置接合的常温接合装置的结构的剖视图。如图1所示,常温接合装置10具备:真空腔室11;设置在该真空腔室11内的上侧台12、下侧台13;高速原子射束源(FAB:Fast Atom Beam)14、15;及真空排气装置16。

[0049] 真空腔室11是将内部从环境密闭的容器,真空排气装置16从真空腔室11的内部排出气体。由此,真空腔室11的内部成为真空气氛。此外,真空腔室11具备使该真空腔室11的内部空间与外部连通或分离的门(未图示)。

[0050] 上侧台12具备形成为圆板状的静电卡盘12A、及使该静电卡盘12A沿铅垂方向上下压接机构12B。静电卡盘12A在圆板的下端具备电介质层,向该电介质层施加电压,利用静电力而在该电介质层吸附并支承第一晶圆(基板)17。压接机构12B通过使用者的操作而使静电卡盘12A相对于真空腔室11沿铅垂方向平行移动。

[0051] 下侧台13是在其上表面支承第二晶圆(基板)18的台,具备未图示的移送机构。该移送机构利用使用者的操作而使下侧台13沿水平方向平行移动,使下侧台13以与铅垂方向平行的旋转轴为中心进行旋转移动。而且,下侧台13在其上端具备电介质层,也可以具备向

该电介质层施加电压并利用静电力在该电介质层吸附并支承第二晶圆18的机构。

[0052] 高速原子射束源14、15射出晶圆的表面的活性化所使用的中性原子射束(例如,氩Ar原子)。一方的高速原子射束源14朝向支承于上侧台12的第一晶圆17配置,另一方的高速原子射束源15朝向支承于下侧台13的第二晶圆18配置。通过照射中性原子射束而进行第一晶圆17及第二晶圆18的各表面的活性化。而且,也可以取代高速原子射束源14、15而将其他的活性化单元(例如,离子枪或等离子体)使用于各晶圆的活性化。

[0053] 接下来,说明使用常温接合装置10进行常温接合的半导体装置20。图2是示意性地表示接合前的第一晶圆和第二晶圆的结构的剖视图,图3是示意性地表示将第一晶圆与第二晶圆接合而形成的半导体装置的结构的剖视图。如图2所示,第一晶圆17具备层叠在第一半导体基材21上而形成的第一绝缘层(绝缘件)22、及形成在该第一绝缘层22上的第一接合电极(导电件)23。第一绝缘层22及第一接合电极23分别在第一晶圆17的表面17A露出形成,该表面17A作为接合面发挥作用。而且,第二晶圆18具备层叠在第二半导体基材24上而形成的第二绝缘层(绝缘件)25和形成在该第二绝缘层25上的第二接合电极(导电件)26。第二绝缘层25及第二接合电极26分别在第二晶圆18的表面18A露出形成,该表面18A作为接合面发挥作用。这些表面17A、18A形成为平坦面,表面17A、18A彼此紧贴。

[0054] 第一半导体基材21及第二半导体基材24使用例如单晶硅(Si),但是除此之外也可以使用单晶锗(Ge)、砷化镓(GaAs)或碳化硅(SiC)等材料。而且,第一半导体基材21及第二半导体基材24不仅可以使用同种的材料,也可以使用不同种的材料。

[0055] 第一绝缘层22及第二绝缘层25在表面17A、18A侧由半导体基材的氧化物、氮化物形成。具体而言,在使用单晶硅(Si)作为半导体基材的情况下,作为第一绝缘层22及第二绝缘层25,利用氧化炉、氮化炉、或者化学气相生长(CVD:Chemical Vapor Deposition:化学气相沉积)装置等的成膜来形成氧化硅膜( $\text{SiO}_2$ )、氮化硅膜( $\text{Si}_3\text{N}_4$ )。在本实施方式中,形成氧化硅膜( $\text{SiO}_2$ )。而且,第一接合电极23及第二接合电极26利用导电性优异的材料例如铜(Cu)形成。在该第一接合电极23及第二接合电极26上连接配线件而形成电子电路、各种元件。

[0056] 在将第一晶圆17与第二晶圆18接合的情况下,如图2、图3所示,使作为接合面的表面17A、18A相互相对,使用上述的常温接合装置10进行常温接合。这种情况下,将第一晶圆17的第一接合电极23与第二晶圆18的第二接合电极26接合,将第一晶圆17的第一绝缘层22与第二晶圆18的第二绝缘层25接合。在常温接合中,虽然第一接合电极23及第二接合电极26的金属类彼此能够接合,但是由于第一绝缘层22及第二绝缘层25是氧化硅膜( $\text{SiO}_2$ )、氮化硅膜( $\text{Si}_3\text{N}_4$ ),因此无法将它们直接接合。因此,在本结构中,如图4所示,在第一晶圆17的表面17A与第二晶圆18的表面18A之间设置用于将接合电极与绝缘层同时接合的接合中间层30。

[0057] 接合中间层30是用于将第一晶圆17的表面17A与第二晶圆18的表面18A接合的薄膜,由非晶质半导体材料(例如,非晶硅)形成。根据发明者的研究,判明了非晶质半导体材料(例如,非晶硅)虽然单独(单体)表现出非导电性,但是通过与金属类等结合而表现出导电性。因此,通过使用非晶质半导体材料作为接合中间层30,能够保持第一绝缘层22与第二绝缘层25之间的非导电性(绝缘性)并将第一绝缘层22与第二绝缘层25牢固地接合。此外,第一接合电极23与第二接合电极26之间的电气特性不会劣化,能够确保第一接合电极23与

第二接合电极26之间的导电性。即，接合中间层30形成具备：保持非导电性(绝缘性)并将第一绝缘层22与第二绝缘层25接合的区域(绝缘接合部30a)；及具有导电性并将第一接合电极23与第二接合电极26接合的区域(导电接合部30b)。

[0058] 接下来，具体说明接合中间层30。图5是表示作为绝缘层的SiO<sub>2</sub>/SiO<sub>2</sub>的接合界面的透过型电子显微镜照片，图6是表示作为接合电极的Cu/Cu的接合界面的透过型电子显微镜照片。透过型电子显微镜(TEM:Transmission Electron Microscope)是将电子射线向观察对象照射，并将透过了观察对象的电子形成的干涉像放大而进行观察的形式的电子显微镜。

[0059] 如图5所示，在作为第一绝缘层22及第二绝缘层25的SiO<sub>2</sub>/SiO<sub>2</sub>的接合界面上形成有非晶硅(a-Si)层作为接合中间层30(绝缘接合部30a)。而且，如图6所示，在作为第一接合电极23和第二接合电极26的Cu/Cu的接合界面上同样形成有非晶硅(a-Si)层作为接合中间层30(导电接合部30b)。这些接合中间层30都形成为厚度为7~9nm左右，在接合中间层30与SiO<sub>2</sub>或Cu之间观察不到空穴(空隙)的存在而能得到充分的紧贴状态。

[0060] 接合中间层30通过单晶硅的溅射而形成于绝缘层(SiO<sub>2</sub>)及接合电极(Cu)的接合面，将状态从单晶硅改变为非晶质(非晶)硅而形成。发明者对于接合中间层30内的测定点1及绝缘层(SiO<sub>2</sub>)内的测定点2这两处，进行了基于电子能量损失光谱法(EELS:Electron Energy-Loss Spectroscopy)的界面附近的状态分析。电子能量损失光谱法是通过测定电子透过薄片试料时由于与原子的相互作用而损失的能量，来分析物质的构成元素、电子构造的方法。

[0061] 图7是表示测定点处的Si-L吸收端的EELS光谱的坐标图，图8是表示测定点处的O-K吸收端的EELS光谱的坐标图。在该图7中，为了比较而示出单晶硅(c-Si)、非晶硅(a-Si)及氧化硅膜(SiO<sub>2</sub>)的同能量区域的光谱。如图7所示，接合中间层30内的测定点1处的Si-L吸收端的EELS光谱接近于单晶硅或非晶硅，未观察到SiO<sub>2</sub>的特征性的峰值。而且，在O-K吸收端的EELS光谱中，在接合中间层30中几乎未确认到氧原子O的存在。因此，接合中间层30不含有Si氧化物，此外，从图5所示的高分辨率像可知，在第一绝缘层22与第二绝缘层25之间形成的接合中间层30(绝缘接合部30a)为非晶硅。

[0062] 接下来，测定了在SiO<sub>2</sub>/SiO<sub>2</sub>间形成的接合中间层30(绝缘接合部30a)的电气特性。图9是表示SiO<sub>2</sub>/SiO<sub>2</sub>间的电流与电压的关系的坐标图。如该图9所示，可确认到，非晶硅相比单晶硅而电气特性差异较大，单独具有使电力不通过的非导电性。在此，非导电性是指电阻率为10<sup>5</sup>Ω·cm以上状态。

[0063] 另外，测定了经由接合中间层30而接合的SiO<sub>2</sub>/SiO<sub>2</sub>的接合强度。接合强度的测定通过将接合了的SiO<sub>2</sub>/SiO<sub>2</sub>的试料切割成12mm×12mm的尺寸的小片，并对该小片进行拉伸试验来进行。在试验时，将小片固定于夹具，变更对该夹具的拉伸载荷，并测定了小片断裂时的载荷。在拉伸试验中，虽然产生了断裂，但是该断裂由于小片与夹具在粘结界面处剥离而产生，SiO<sub>2</sub>/SiO<sub>2</sub>的接合被保持。断裂时的拉伸强度为25MPa以上，因此可认为基于接合中间层30的接合界面的强度为这以上。

[0064] 这样，在使用非晶硅(非晶质半导体材料)作为接合中间层30的结构中，得到了能够保持第一绝缘层22与第二绝缘层25之间的非导电性(绝缘性)并将第一绝缘层22与第二绝缘层25牢固地接合这样的结果。

[0065] 接下来,关于形成在Cu/Cu间的接合中间层30(导电接合部30b),进行了基于电子能量损失光谱法的界面附近的状态分析。作为测定点,是位于接合中间层30与Cu的交界附近的测定点A、位于接合中间层30内的厚度方向中央的测定点B、及位于测定点A与测定点B的厚度方向之间的测定点C这三个。图10是表示测定点处的Si-L吸收端的EELS光谱的坐标图,图11是表示测定点处的Cu-L吸收端的EELS光谱的坐标图。在该图11中,为了比较而示出铜(Cu)的同能量区域的光谱。

[0066] 如图10所示,接合中间层30内的测定点A~C处的Si-L吸收端的EELS光谱都为相同的形式,示出硅单独存在的情况。而且,如图11所示,在Cu-L吸收端的EELS光谱中,在接合中间层30内的任意的测定点A~C处都能够确认到铜的存在。

[0067] 此外,测定了形成于Cu/Cu间的接合中间层30的电气特性。图12是表示Cu/Cu间的电流与电压的关系的坐标图。如该图12所示,可认为即使在经由接合中间层30接合的情况下,在电压与电流之间也能得到直线性的关系,在Cu/Cu间能得到欧姆性(按照欧姆定律)的连接。而且,将Cu/Cu间直接接合时的电阻值为 $20(\text{m}\Omega)$ 以下,相对于此,在经由接合中间层30的接合中为 $25(\text{m}\Omega)$ 以下,为大致相同程度的结果。这一点与在 $\text{SiO}_2/\text{SiO}_2$ 间的接合中间层表现出非导电性的情况相比差异较大。这认为是因为如上所述,虽然局部性地为微量,但是在接合中间层30(导电接合部30b)的整个区域存在铜的缘故,并认为是在第一接合电极23与第二接合电极26的压接时而接合中间层30的非晶硅与各电极的铜进行了结合的缘故。

[0068] 这样,在使用非晶硅(非晶质半导体材料)作为接合中间层30的结构中,得到了能够确保第一接合电极23与第二接合电极26之间的导电性这样的结果。因此,本实施方式的半导体装置20在接合电极23、26及绝缘层22、25分别露出的表面17A、18A之间具备接合中间层30,因此能够实现将接合电极23、26及绝缘层22、25分别同时接合的混合接合。此外,接合中间层30单独表现出非导电性并且与接合电极23、26结合而表现出导电性,因此能够确保第一接合电极23与第二接合电极26之间的导电性,并确保第一绝缘层22与第二绝缘层25之间的非导电性。因此,能够防止在第一接合电极23与第二接合电极26之间流动的电流在第一绝缘层22与第二绝缘层25之间流动的情况,因此能够防止泄漏电流的产生,能够实现半导体装置20的稳定动作。

[0069] 接下来,说明半导体装置20的制造次序。图13-1~图13-6是表示将第一晶圆与第二晶圆接合的工序的工序说明图。作为前提,第一晶圆17和第二晶圆18分别通过另外的作业工序事先制造成接合电极23、26及绝缘层22、25分别在表面17A、18A露出的状态。

[0070] 如图13-1所示,第一晶圆17被搬运到常温接合装置10的真空腔室11内,该第一晶圆17以表面17A朝向铅垂下方的方式由上侧台12的静电卡盘12A支承。真空腔室11内维持成真空气氛。在此状态下,从高速原子射束源14朝向第一晶圆17的表面17A射出氩射束14a。该氩射束14a向第一晶圆17的表面17A照射,使该表面17A活性化。

[0071] 接下来,如图13-2所示,向真空腔室11内搬运裸晶圆31,该裸晶圆31载置于下侧台13的上表面。裸晶圆31由单晶硅形成,被使用作为生成接合中间层30时的溅射源。在此状态下,从高速原子射束源15朝向裸晶圆31射出氩射束15a。由此,裸晶圆31被溅射,从裸晶圆31弹出的硅原子上升,在第一晶圆17的表面17A上成膜出接合中间层30。在本实施方式中,进行规定时间(例如10min)的氩射束15a的照射,在第一晶圆17的表面17A上形成厚度为 $1\text{nm} \sim 50\text{nm}$ 左右的接合中间层30。该接合中间层30如上所述为非晶(非晶质)硅。

[0072] 接下来,如图13-3所示,从真空腔室11搬出裸晶圆31,取代于此而将第二晶圆18向真空腔室11内搬运。该第二晶圆18以表面18A朝向铅垂上方的方式载置于下侧台13的上表面。接下来,如图13-4所示,从高速原子射束源15朝向第二晶圆18的表面18A射出氩射束15a。该氩射束15a向第二晶圆18的表面18A照射,使该表面18A活性化。

[0073] 接下来,如图13-5所示,从高速原子射束源14朝向在第一晶圆17的表面形成的接合中间层30射出氩射束14a。这种情况下,形成接合中间层30的非晶硅的一部分作为溅射源发挥作用。通过氩射束14a的照射而接合中间层30溅射,从接合中间层30弹出的硅原子上升,在第二晶圆18的表面18A上也成膜接合中间层30。在本实施方式中,进行规定时间(例如10min)的氩射束14a的照射,在第二晶圆18的表面18A上形成厚度为1nm~50nm左右的接合中间层30。该接合中间层30也如上所述为非晶(非晶质)硅。在本实施方式中,将在第一晶圆17的表面形成的接合中间层30作为溅射源使用,因此在第二晶圆18的表面18A用中无需另行准备溅射源,并且向真空腔室11内的溅射源的出入减少,因此能够简化作业次序,能够在第一晶圆17及第二晶圆18的各表面17A、18A简单地形成接合中间层30。

[0074] 接下来,在进行了第一晶圆17与第二晶圆18的对准之后,如图13-6所示,使上侧台12的压接机构12B动作,由此使支承有第一晶圆17的静电卡盘12A向铅垂下方下降,将第一晶圆17与第二晶圆18压接。由此,第一晶圆17的表面17A与第二晶圆18的表面18A经由接合中间层30而接合,形成半导体装置20。接下来,在真空腔室11内以规定温度(例如50℃~400℃左右)将半导体装置20(第一晶圆17及第二晶圆18)加热。由此,促进第一接合电极23及第二接合电极26的铜(Cu)与接合中间层30的非晶硅的合金化,第一接合电极23与第二接合电极26的接合变得更加牢固,电气特性提高。

[0075] 如以上说明所述,本实施方式的半导体装置20的制造方法具备使第一晶圆17的表面17A和第二晶圆18的表面18A分别活性化的工序、在活性化后的表面17A、18A形成接合中间层30的工序、经由接合中间层30而将第一晶圆17与第二晶圆18压接的工序,因此能够容易地实现将接合电极23、26及绝缘层22、25分别同时接合的混合接合。

[0076] 此外,在本实施方式中,向裸晶圆31照射氩射束15a,使裸晶圆31溅射,由此在第一晶圆17的表面17A形成了接合中间层30之后,向在该表面17A形成的接合中间层30照射氩射束14a,使形成接合中间层30的非晶硅的一部分溅射,由此在第二晶圆18的表面18A形成接合中间层30,因此能够简化作业次序,能够在第一晶圆17及第二晶圆18的各表面17A、18A简单地形成接合中间层30。

[0077] 接下来,说明半导体装置20的另外的制造次序。图14-1~图14-4是表示将第一晶圆与第二晶圆接合的另外的工序的工序说明图。即使在这种情况下,作为前提,第一晶圆17和第二晶圆18也分别通过另外的作业工序事先制造成接合电极23、26及绝缘层22、25分别在表面17A、18A露出的状态。

[0078] 如图14-1所示,将第一晶圆17向常温接合装置10的真空腔室11内搬运,该第一晶圆17以表面17A朝向铅垂下方的方式由上侧台12的静电卡盘12A支承。同样,将第二晶圆18向真空腔室11内搬运,该第二晶圆18以表面18A朝向铅垂上方的方式载置于下侧台13的上表面。真空腔室11内维持成真空气氛。在此状态下,从高速原子射束源14、15分别朝向第一晶圆17的表面17A、第二晶圆18的表面18A射出氩射束14a、15a。该氩射束14a、15a向第一晶圆17的表面17A、第二晶圆18的表面18A分别照射,使该表面17A、18A活性化。

[0079] 接下来,如图14-2所示,将表面17A、18A活性化后的第一晶圆17及第二晶圆18从真空腔室11向成膜腔室40移送。这种情况下,第一晶圆17及第二晶圆18优选由真空的搬运通路搬运,以避免与外部气体(氧)接触。成膜腔室40是用于在第一晶圆17的表面17A及第二晶圆18的表面18A成膜上述的接合中间层30的腔室,在成膜腔室40内配置化学气相生长装置(未图示)。化学气相生长法在以规定条件将第一晶圆17及第二晶圆18加热的状态下,向第一晶圆17的表面17A及第二晶圆18的表面18A供给包含硅的原料气体,通过在这些表面17A、18A的化学反应而形成接合中间层30。在该化学气相生长法中,接合中间层30也由非晶(非晶质)硅形成。在该结构中,能够另行形成接合中间层30,因此能够实现接合工序的处理时间的缩短化。

[0080] 接下来,如图14-3所示,将形成有接合中间层30的第一晶圆17及第二晶圆18向真空腔室11内搬运。并且,第一晶圆17以接合中间层30朝向铅垂下方的方式由上侧台12的静电卡盘12A支承,第二晶圆18以接合中间层30朝向铅垂上方的方式载置于下侧台13的上表面。真空腔室11内维持成真空气氛。在此状态下,从高速原子射束源14、15分别朝向形成于第一晶圆17、第二晶圆18的接合中间层30、30射出氩射束14a、15a。该氩射束14a、15a向第一晶圆17、第二晶圆18的接合中间层30、30的表面分别照射,使该接合中间层30、30的表面活性化。

[0081] 接下来,进行了第一晶圆17与第二晶圆18的对准之后,如图14-4所示,使上侧台12的压接机构12B动作,由此使支承有第一晶圆17的静电卡盘12A向铅垂下方下降,将第一晶圆17与第二晶圆18压接。由此,第一晶圆17的表面17A与第二晶圆18的表面18A经由接合中间层30而接合,形成半导体装置20。接下来,在真空腔室11内将半导体装置20(第一晶圆17及第二晶圆18)以规定温度(例如50℃~400℃)加热。由此,促进第一接合电极23及第二接合电极26的铜Cu与接合中间层30的非晶硅的合金化,第一接合电极23与第二接合电极26的接合变得更加牢固,电气特性提高。

[0082] 接下来,说明另外的实施方式。图15-1是示意性地表示另外的实施方式的第一晶圆与第二晶圆的接合前的结构的剖视图,图15-2是示意性地表示将另外的实施方式的第一晶圆与第二晶圆接合后的状态的结构的剖视图。在上述的结构中,第一晶圆17的表面17A及第二晶圆18的表面18A分别形成为平坦面,这些表面17A、18A彼此紧贴地形成。相对于此,在本另外的实施方式中,如图15-1所示,层叠在第一半导体基材121上的第一绝缘层122和第一接合电极123在表面17A露出,第一绝缘层122的表面122A的高度位置形成得比第一接合电极123的表面123A的高度位置低。该高度位置之差t设定为与接合中间层30相同程度的1nm~100nm左右。同样,层叠在第二半导体基材124上的第二绝缘层125和第二接合电极126在表面18A露出,第二绝缘层125的表面125A的高度位置形成得比第二接合电极126的表面126A的高度位置低。该高度位置之差t设定为与接合中间层30相同程度的1nm~100nm左右。关于其他的结构,与上述的实施方式的结构相同,因此省略说明。

[0083] 根据该结构,在将第一晶圆17与第二晶圆18压接时,该压接载荷作用于第一接合电极123及第二接合电极126,因此如图15-2所示,接合中间层30由于第一接合电极123和第二接合电极126而断裂,将第一接合电极123与第二接合电极126彼此直接接合。由此,在第一接合电极123与第二接合电极126之间的接合中,能够得到良好的电气特性及接合强度。

[0084] 以上,说明了本发明的实施方式,但是本发明没有限定为上述实施方式。例如,在

上述实施方式中,将接合中间层30形成于第一晶圆17及第二晶圆18的表面17A、18A这两方,但也可以形成于一方。而且,在上述实施方式中,将第一接合电极123及第二接合电极126分别形成为比第一绝缘层122及第二绝缘层125突出的形状,但也可以是第一接合电极123或第二接合电极126的一方。而且,在上述实施方式中,说明了通过溅射或化学气相生长法而形成接合中间层30的结构,但也可以通过蒸镀来形成接合中间层30。蒸镀在真空容器之中,对蒸镀材料(例如硅)进行加热,进行气化或升华,附着于放置在分离的位置的基板的表面而形成薄膜。通过该方法,接合中间层30也由非晶(非晶质)硅形成。在该结构中,能够另行形成接合中间层30,因此能够实现接合工序的处理时间的缩短化。

- [0085] 标号说明
- [0086] 10 常温接合装置
- [0087] 11 真空腔室
- [0088] 12 上侧台
- [0089] 12A 静电卡盘
- [0090] 12B 压接机构
- [0091] 13 下侧台
- [0092] 14、15 高速原子射束源
- [0093] 14a、15a 氩射束
- [0094] 17 第一晶圆(基板)
- [0095] 17A 表面(接合面)
- [0096] 18 第二晶圆(基板)
- [0097] 18A 表面(接合面)
- [0098] 20 半导体装置
- [0099] 21、121 第一半导体基材
- [0100] 22、122 第一绝缘层(绝缘件)
- [0101] 23、123 第一接合电极(导电件)
- [0102] 24、124 第二半导体基材
- [0103] 25、125 第二绝缘层(绝缘件)
- [0104] 26、126 第二接合电极(导电件)
- [0105] 30 接合中间层
- [0106] 31 裸晶圆
- [0107] 40 成膜腔室
- [0108] 122A 表面
- [0109] 123A 表面
- [0110] 125A 表面
- [0111] 126A 表面

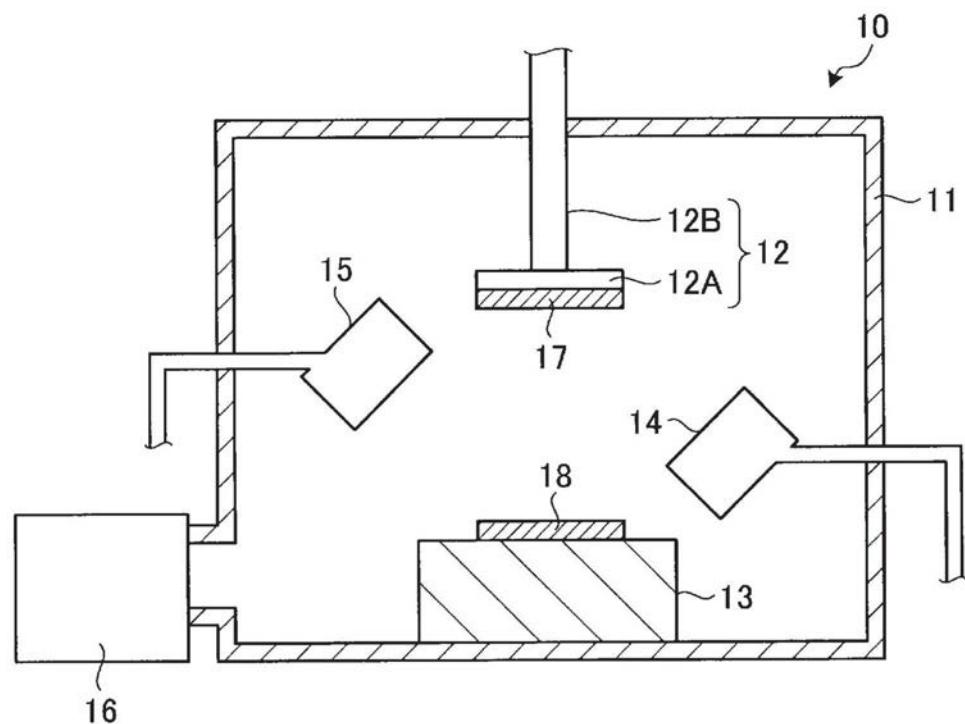


图1

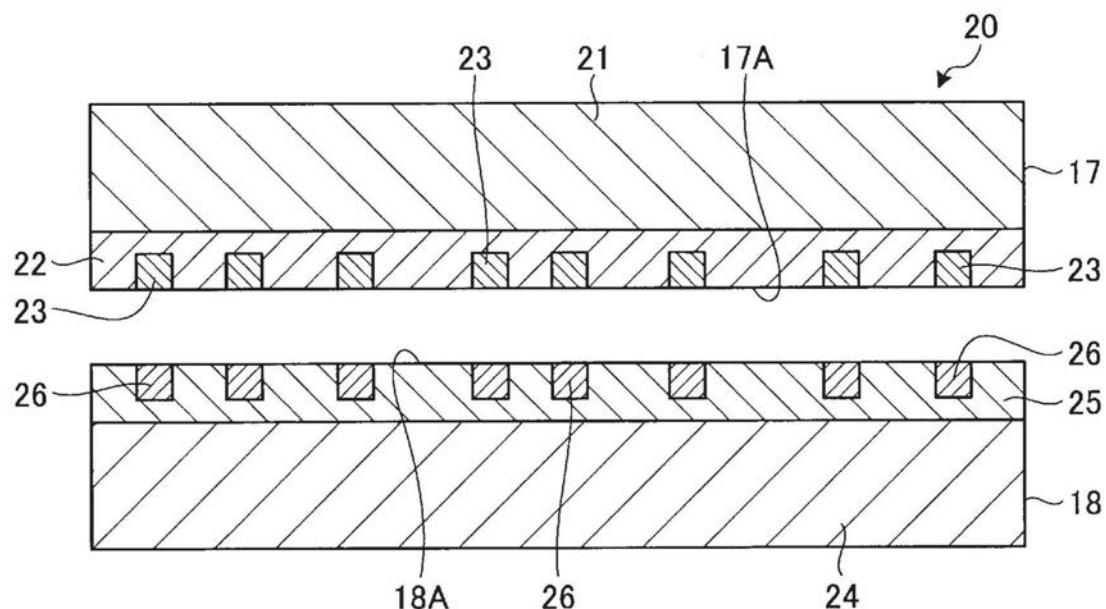


图2

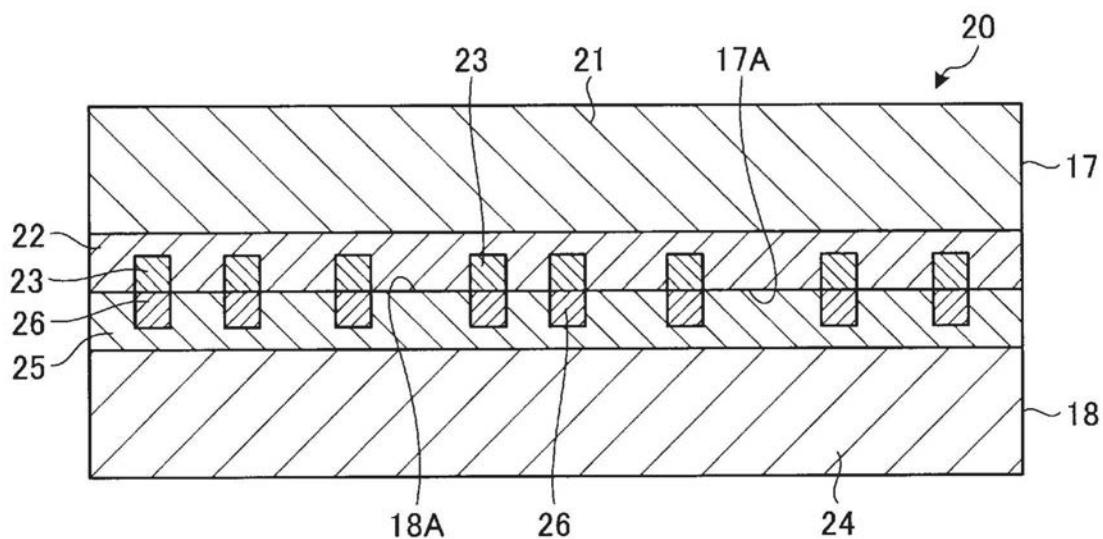


图3

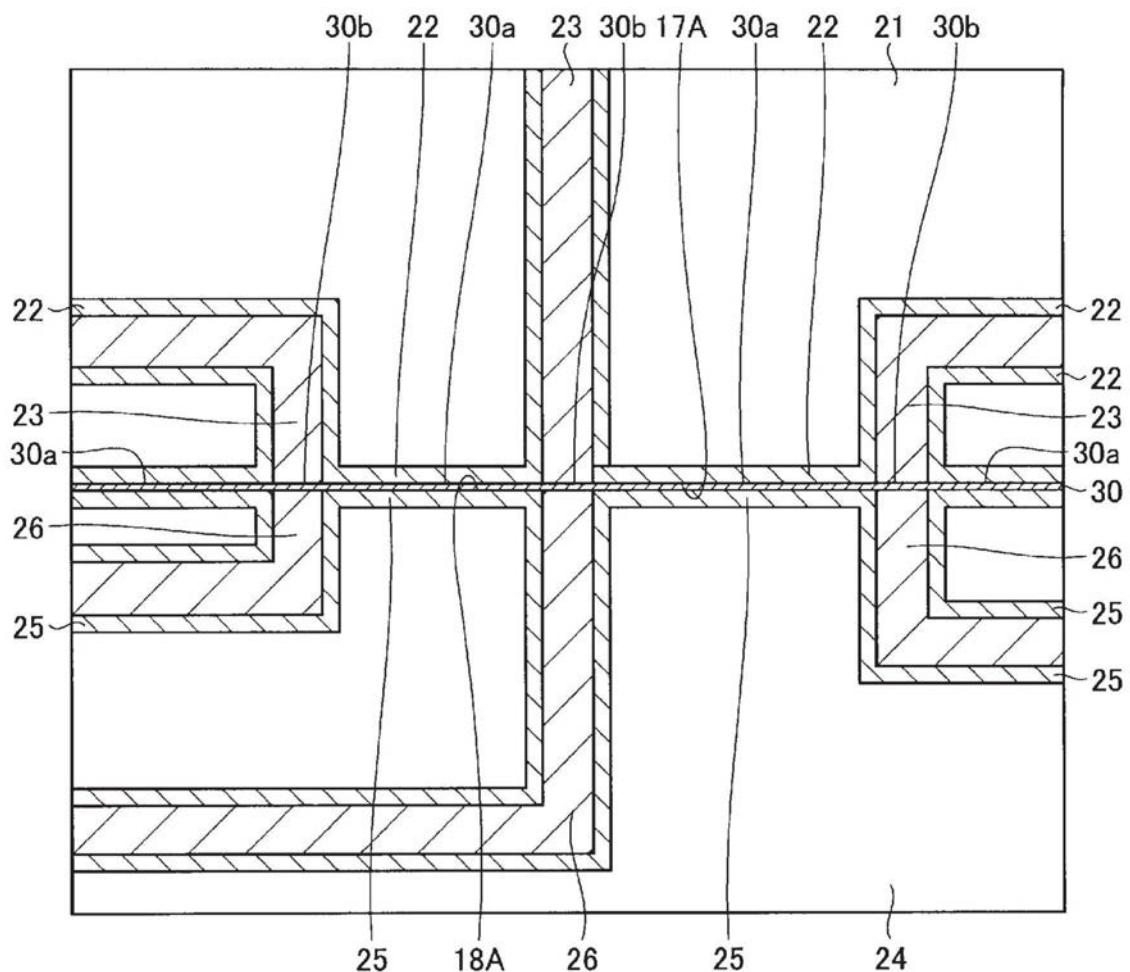


图4

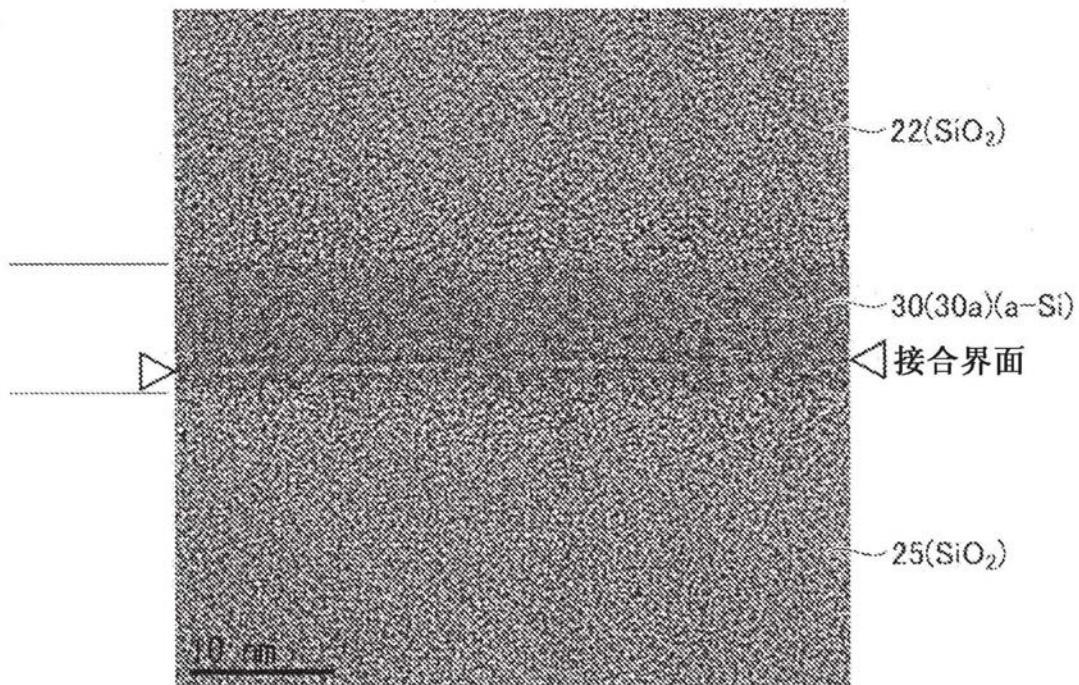


图5

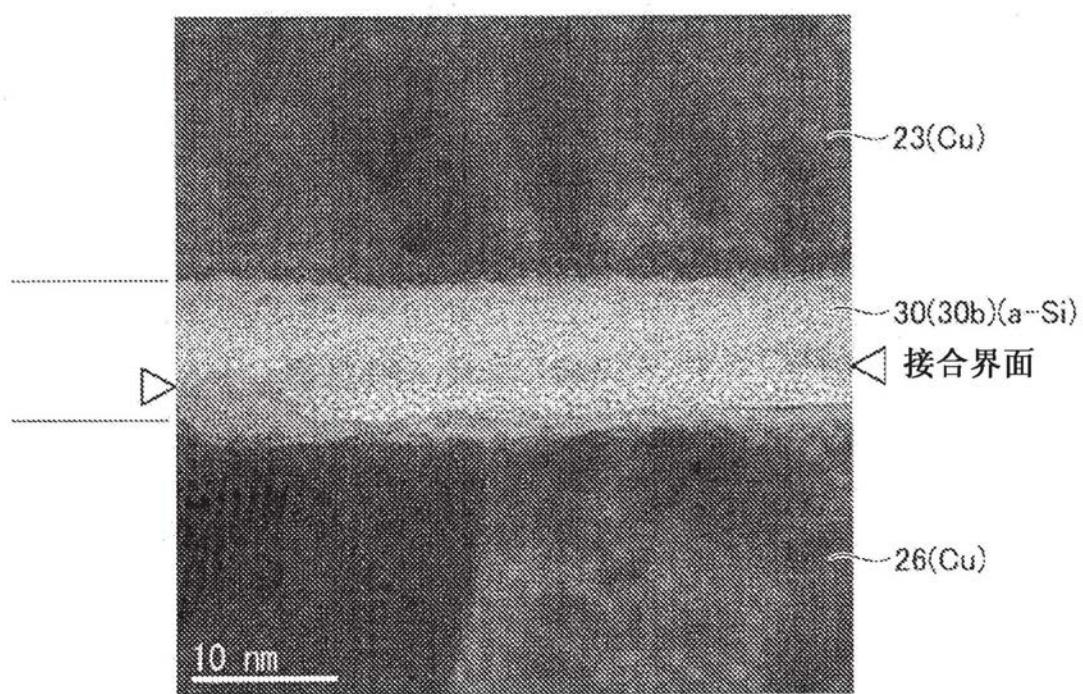


图6

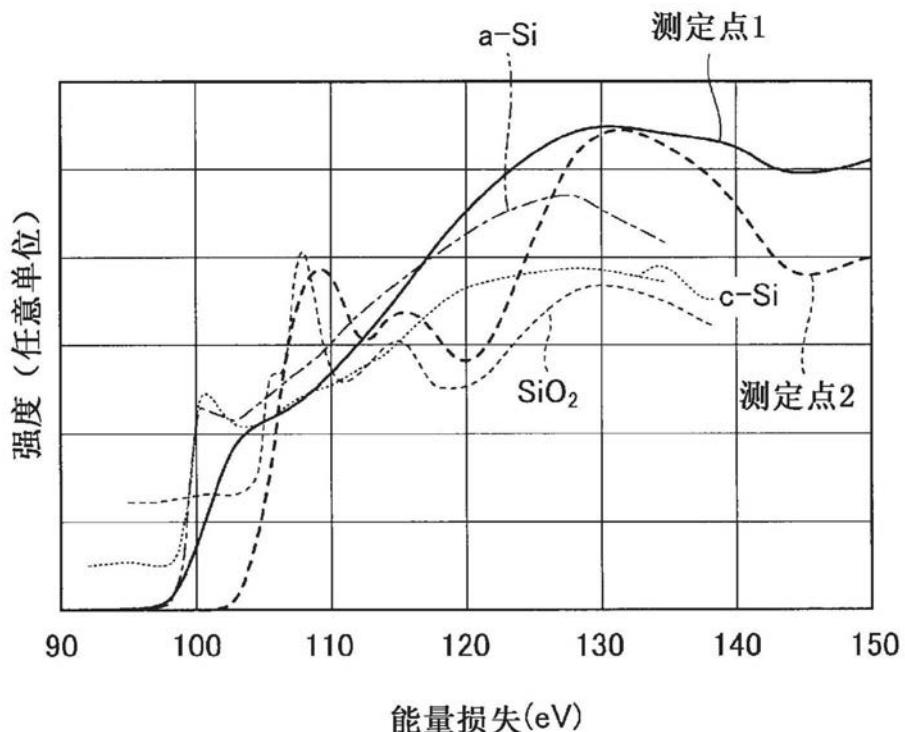


图7

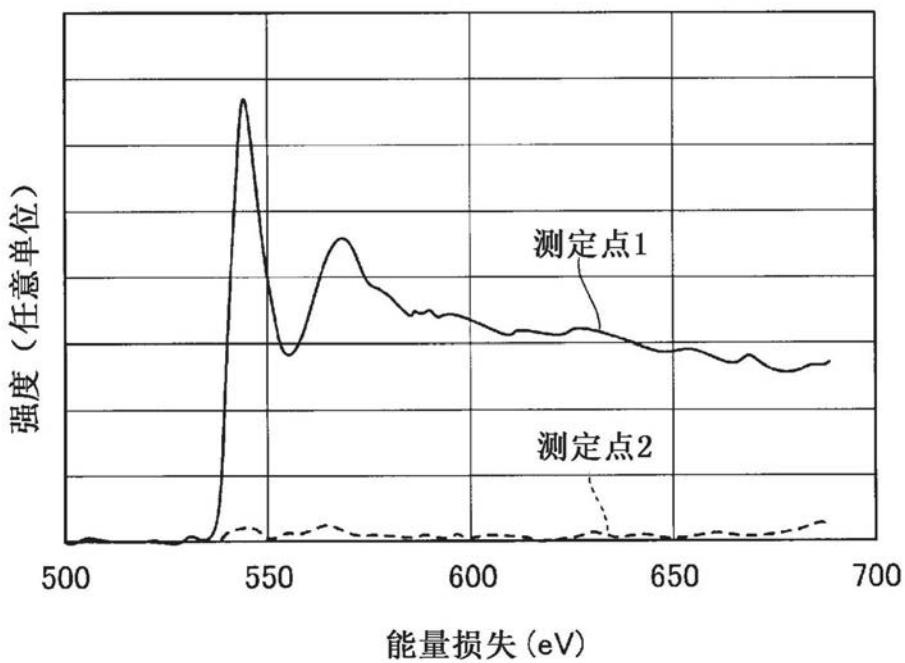


图8

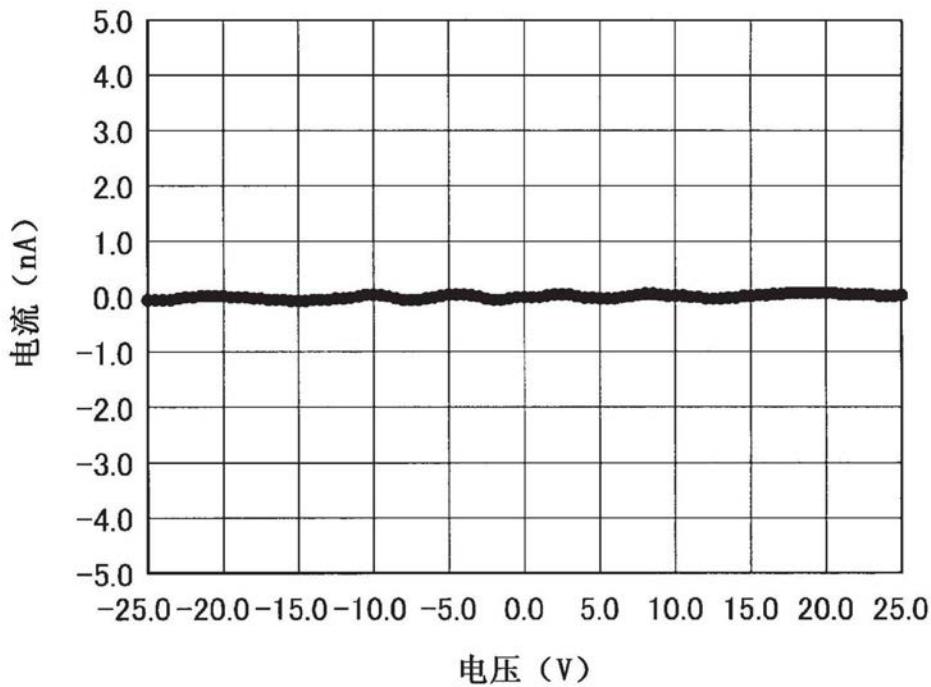


图9

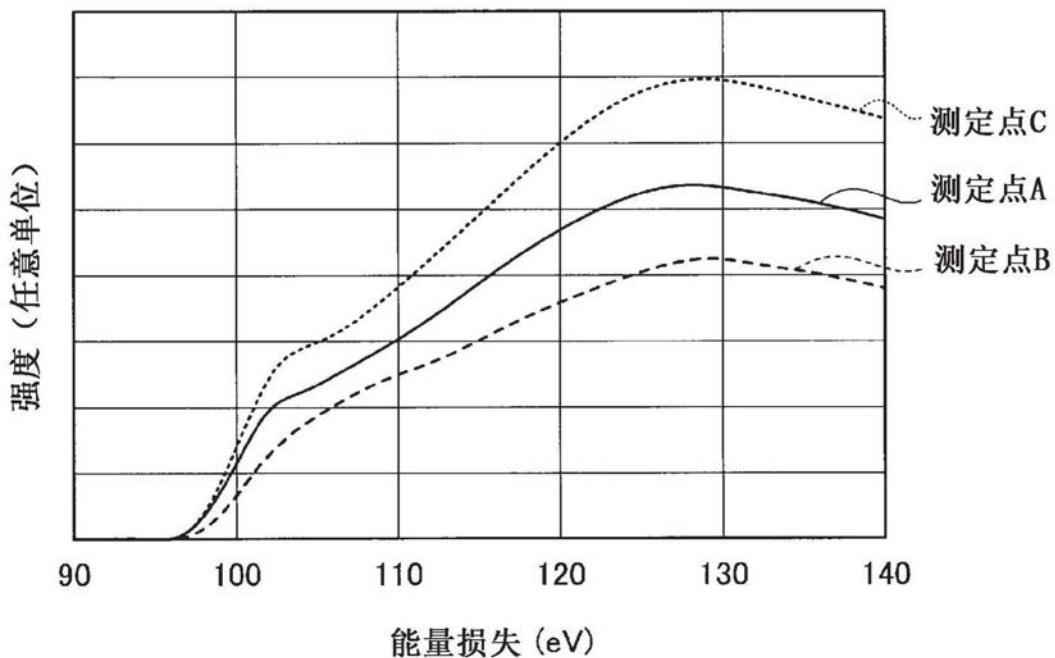


图10

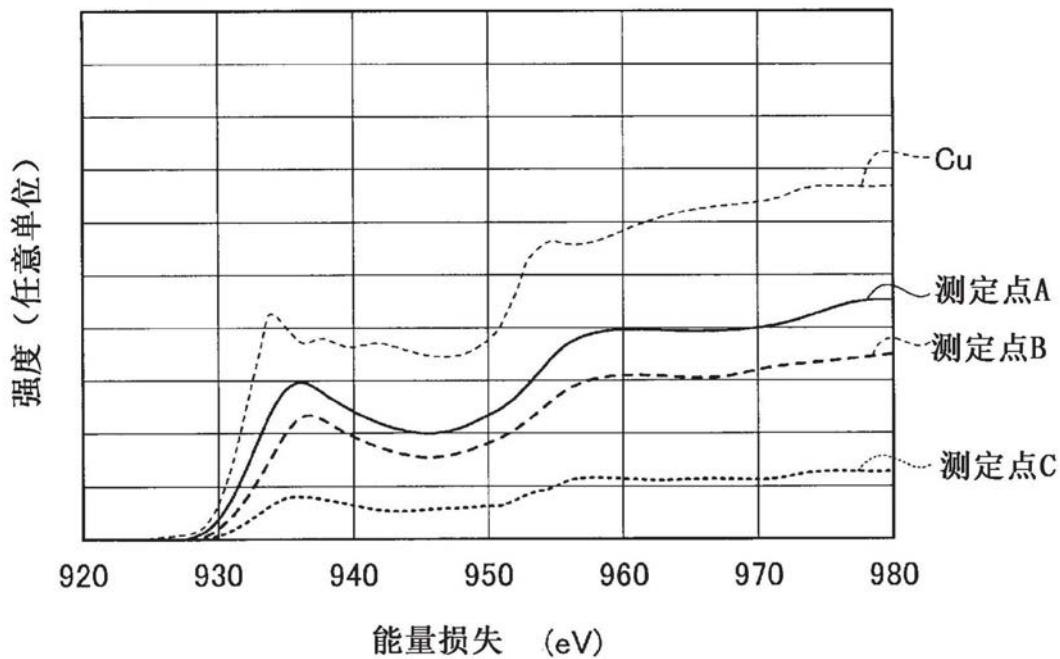


图11

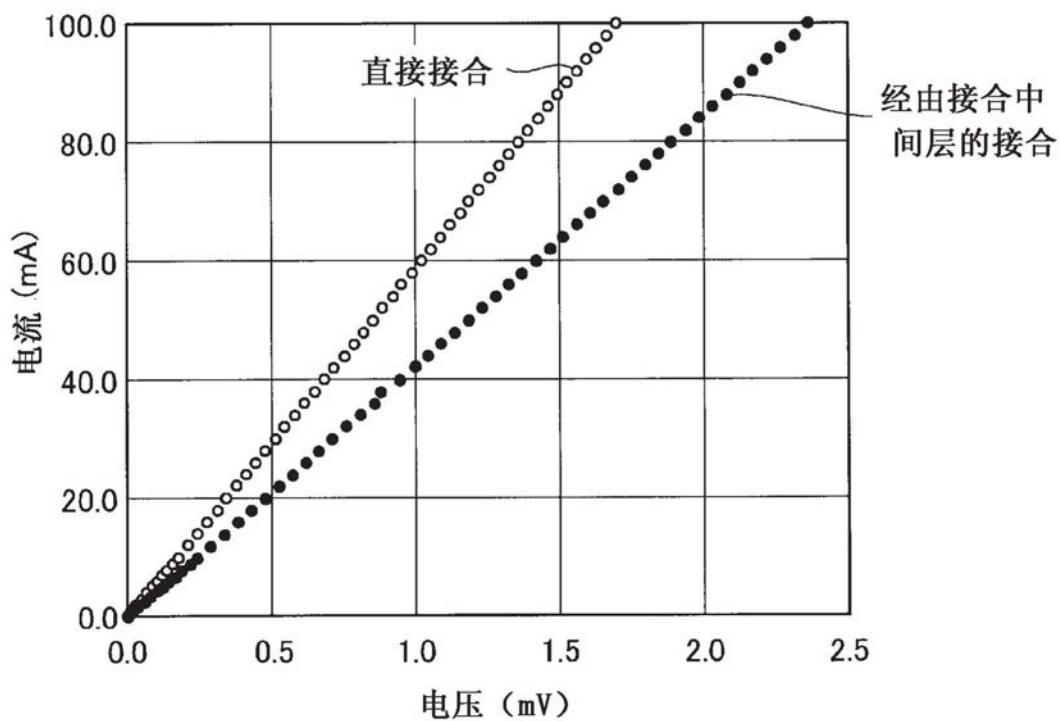


图12

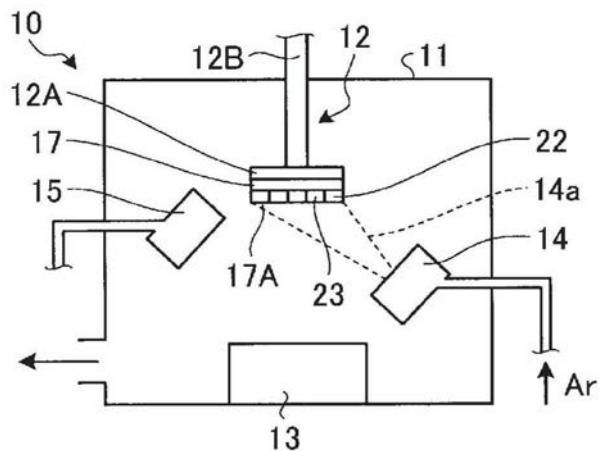


图13-1

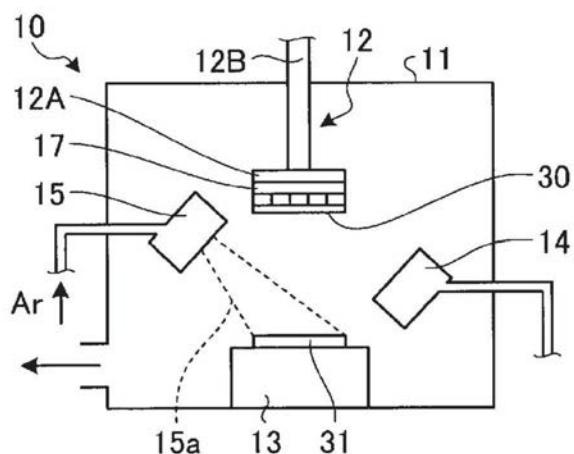


图13-2

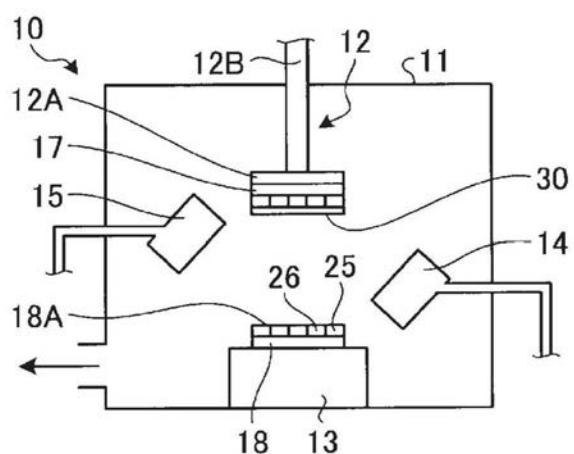


图13-3

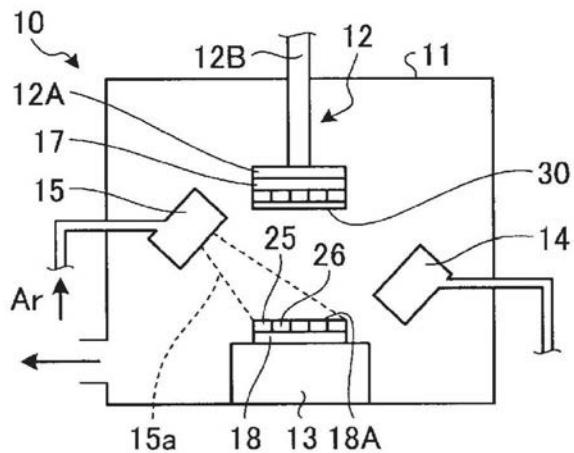


图13-4

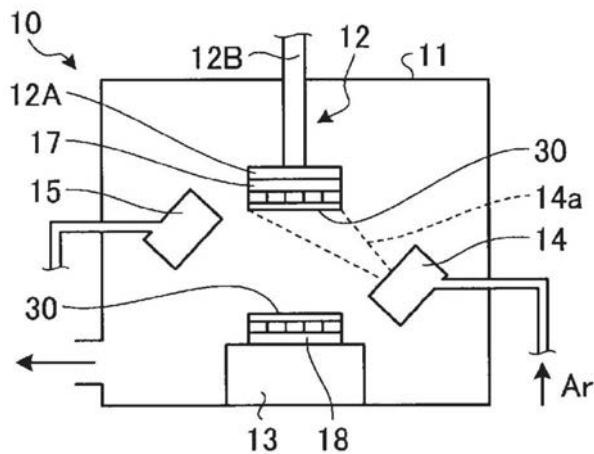


图13-5

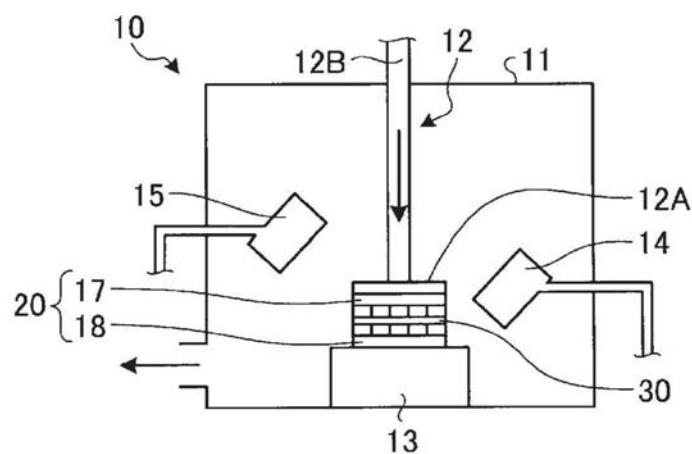


图13-6

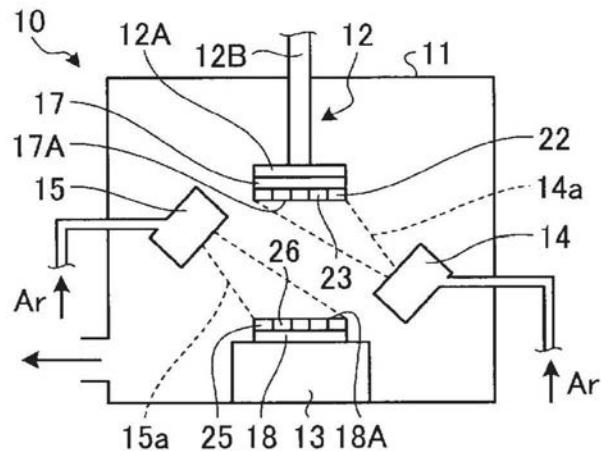


图14-1

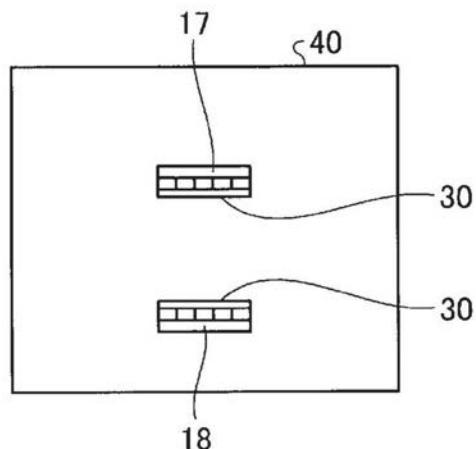


图14-2

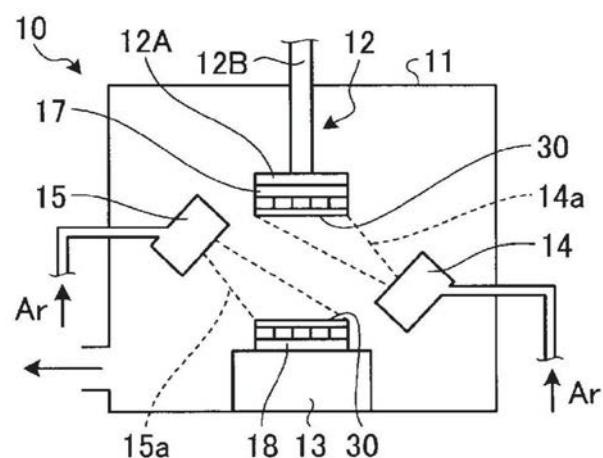


图14-3

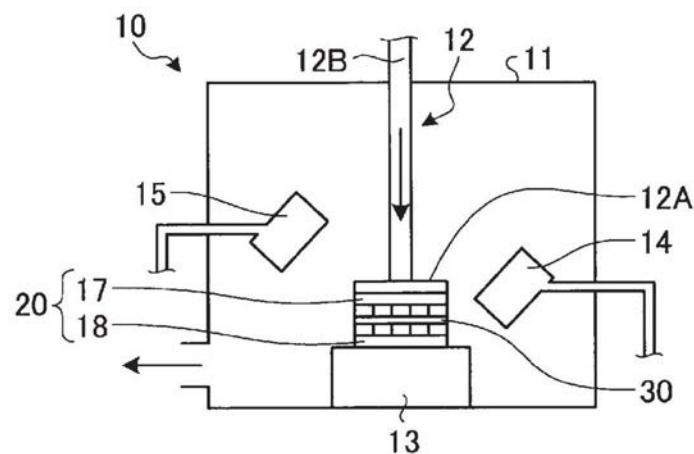


图14-4

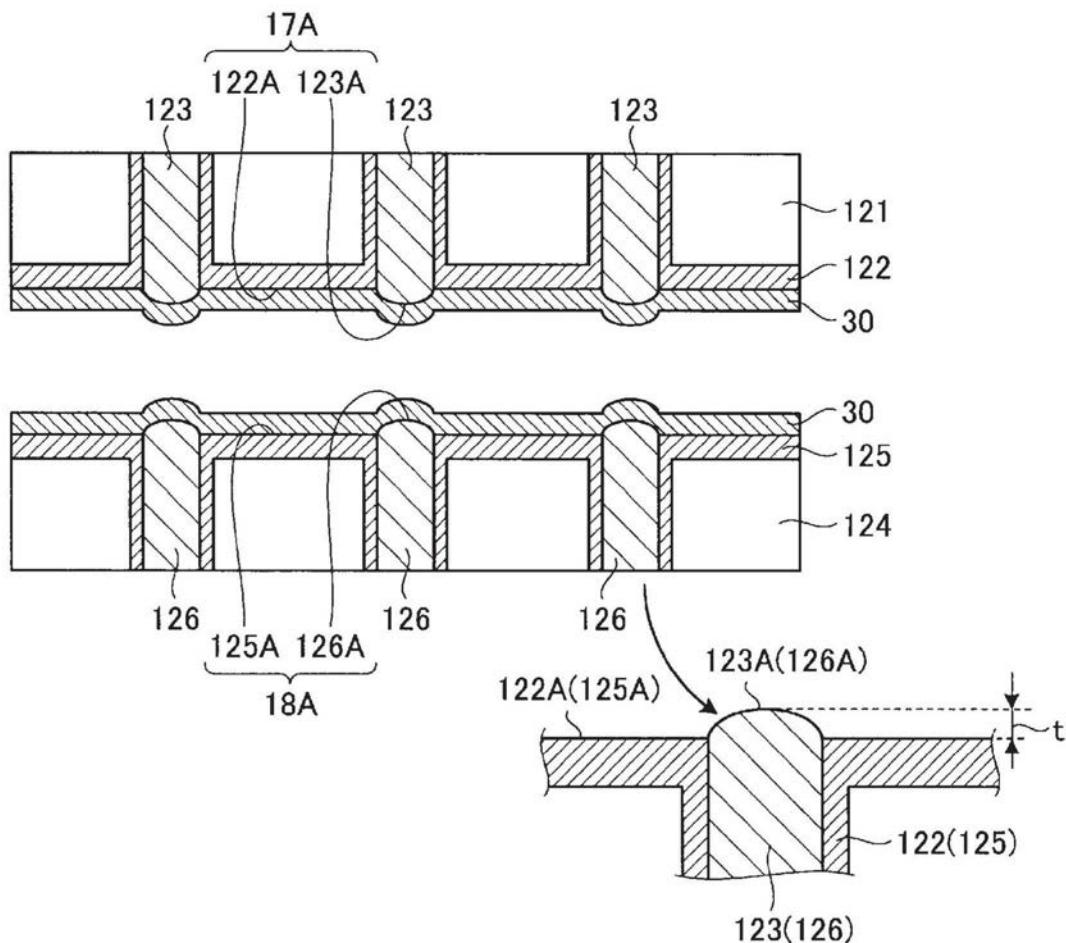


图15-1

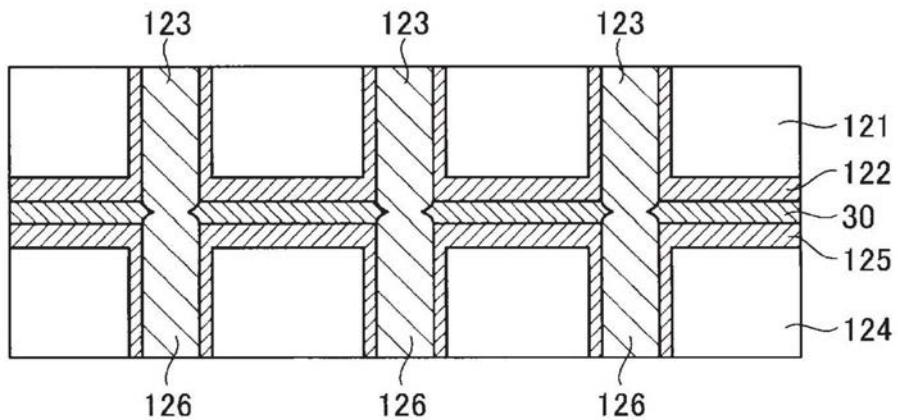


图15-2