



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202504443 A

(43)公開日：中華民國 114 (2025) 年 01 月 16 日

(21)申請案號：113122972

(22)申請日：中華民國 113 (2024) 年 06 月 20 日

(51)Int. Cl. : *H10B12/00 (2023.01)*

H10N97/00 (2023.01)

(30)優先權：2023/06/21 南韓

10-2023-0079934

(71)申請人：南韓商三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)

南韓

高麗大學校產學協力團 (南韓) KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION (KR)

南韓

(72)發明人：金泰均 KIM, TAEKYUN (KR) ; 沈載垣 SHIM, JAEWON (KR) ; 鄭在陳 CHUNG, JAEJIN (KR)

(74)代理人：林孟閱；盧珮君；陳怡如

申請實體審查：無 申請專利範圍項數：20 項 圖式數：22 共 55 頁

(54)名稱

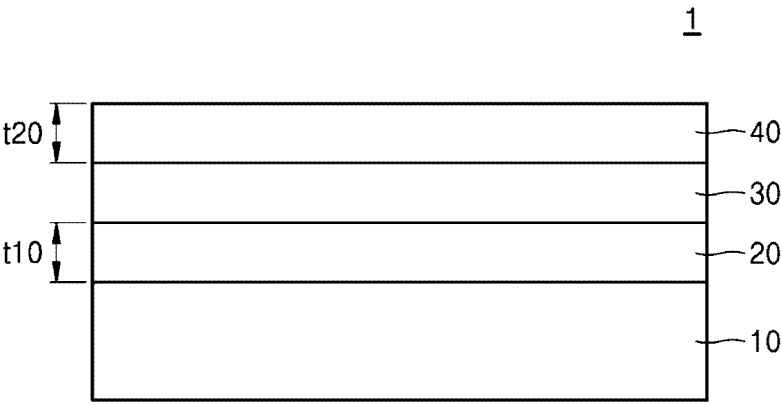
半導體裝置

(57)摘要

一種半導體裝置包括電容器，所述電容器包括：第一電極；第二電極；以及介電層，位於第一電極與第二電極之間，其中第一電極及第二電極中的至少一者包括奈米疊層電極，所述奈米疊層電極包括多個第一材料層及多個第二材料層，所述多個第一材料層與所述多個第二材料層交替佈置，所述多個第一材料層包含氧化銦 (In_2O_3)，所述多個第二材料層包含氧化鉬 (MoO_x)，所述多個第一材料層中的每一者具有介於約 2 埃至約 6 埃之間的厚度，且所述多個第二材料層中的每一者包括氧化鉬的單層。

A semiconductor device includes a capacitor including a first electrode, a second electrode, and a dielectric layer between the first electrode and the second electrode, where at least one of the first electrode and the second electrode includes a nanolaminate electrode, the nanolaminate electrode includes a plurality of first material layers and a plurality of second material layers, the plurality of first material layers and the plurality of second material layers being alternately arranged, the plurality of first material layers includes indium oxide (In_2O_3), the plurality of second material layers includes molybdenum oxide (MoO_x), each of the plurality of first material layers has a thickness between about 2 angstroms to about 6 angstroms, and each of the plurality of second material layers includes a monolayer of molybdenum oxide.

指定代表圖：



符號簡單說明：

1:半導體裝置

10:基板

20:第一電極

30:介電層

40:第二電極

t10、t20:厚度

【圖1】

【發明摘要】

【中文發明名稱】半導體裝置

【英文發明名稱】SEMICONDUCTOR DEVICE

【中文】一種半導體裝置包括電容器，所述電容器包括：第一電極；第二電極；以及介電層，位於第一電極與第二電極之間，其中第一電極及第二電極中的至少一者包括奈米疊層電極，所述奈米疊層電極包括多個第一材料層及多個第二材料層，所述多個第一材料層與所述多個第二材料層交替佈置，所述多個第一材料層包含氧化銦（ In_2O_3 ），所述多個第二材料層包含氧化鉬（ MoO_x ），所述多個第一材料層中的每一者具有介於約2埃至約6埃之間的厚度，且所述多個第二材料層中的每一者包括氧化鉬的單層。

【英文】A semiconductor device includes a capacitor including a first electrode, a second electrode, and a dielectric layer between the first electrode and the second electrode, where at least one of the first electrode and the second electrode includes a nanolaminate electrode, the nanolaminate electrode includes a plurality of first material layers and a plurality of second material layers, the plurality of first material layers and the plurality of second material layers being alternately arranged, the plurality of first material layers includes indium oxide (In_2O_3), the plurality of second

material layers includes molybdenum oxide (MoO_x), each of the plurality of first material layers has a thickness between about 2 angstroms to about 6 angstroms, and each of the plurality of second material layers includes a monolayer of molybdenum oxide.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

1:半導體裝置

10:基板

20:第一電極

30:介電層

40:第二電極

t10、t20:厚度

【特徵化學式】

無

【發明說明書】

【中文發明名稱】半導體裝置

【英文發明名稱】SEMICONDUCTOR DEVICE

【技術領域】

[相關申請案的交叉參考]

【0001】 本申請案基於且主張 2023 年 6 月 21 日在韓國智慧財產局提出申請的韓國專利申請案第 10-2023-0079934 號的優先權，所述韓國專利申請案的揭露內容全文併入本案供參考。

【0002】 本揭露的實例性實施例是有關於一種半導體裝置，且更具體而言是有關於一種包括電容器的半導體裝置。

【先前技術】

【0003】 端視半導體裝置的按比例縮小而定，在例如動態隨機存取記憶體（dynamic random access memory，DRAM）裝置中使用的電容器的大小亦在減小。洩漏電流會隨著電容器大小的減小而增大。

【0004】 在本背景技術部分中揭露的資訊在達成本申請案的實施例的製程之前或期間已為發明人所知或由發明人得出，或者是在達成實施例的製程中獲取的技術資訊。因此，所述資訊可能包含不形成公眾已知的先前技術的資訊。

【發明內容】

【0005】 提供一種包括在高頻區中電容相對高，同時藉由採用功

函數高的電極材料而具有減小的洩漏電流的電容器的半導體裝置。

【0006】 在以下說明中將部分地對附加態樣進行陳述，且所述附加態樣根據本說明將部分地變得顯而易見，或者可藉由實踐所呈現的實施例而得知。

【0007】 根據實例性實施例的態樣，一種半導體裝置可包括電容器，所述電容器包括：第一電極；第二電極；以及介電層，位於第一電極與第二電極之間，其中第一電極及第二電極中的至少一者包括奈米疊層電極，所述奈米疊層電極包括多個第一材料層及多個第二材料層，所述多個第一材料層與所述多個第二材料層交替佈置，所述多個第一材料層包含氧化銦 (In_2O_3)，所述多個第二材料層包含氧化鉬 (MoO_x)，所述多個第一材料層中的每一者具有介於約 2 埃至約 6 埃之間的厚度，且所述多個第二材料層中的每一者包括氧化鉬的單層。

【0008】 根據實例性實施例的態樣，一種半導體裝置可包括電容器，所述電容器包括：第一電極；第二電極；以及介電層，位於第一電極與第二電極之間，其中第一電極及第二電極中的至少一者包括奈米疊層電極，其中奈米疊層電極包括：多個第一材料層，包含氧化銦 (In_2O_3)；以及多個第二材料層，分別佈置於所述多個第一材料層中的兩個相鄰的第一材料層之間，所述多個第二材料層中的每一者包括氧化鉬 (MoO_x) 的單層，且奈米疊層電極具有介於約 4.95 電子伏特至約 5.05 電子伏特的功函數。

【0009】 根據實例性實施例的態樣，一種半導體裝置可包括：基板；

接觸結構，位於基板上；下部電極，位於接觸結構上，具有圓柱形狀，且包括第一奈米疊層電極；介電層，位於下部電極上；以及上部電極，位於介電層上，其中第一奈米疊層電極包括：多個第一材料層，包含氧化銦（ In_2O_3 ）；以及多個第二材料層，分別佈置於所述多個第一材料層中的兩個相鄰的第一材料層之間，所述多個第二材料層中的每一者包括氧化鉬（ MoO_x ）的單層，且第一奈米疊層電極具有介於約 4.95 電子伏特至約 5.05 電子伏特之間的功函數。

【0010】 根據實例性實施例的態樣，一種製造半導體裝置的方法可包括藉由重複進行材料層對的沈積循環 k 次而在基板上形成奈米疊層電極，所述材料層對包括第一材料層及第二材料層，其中所述材料層對的沈積循環包括：在基板上重複進行第一材料層沈積循環 m 次，第一材料層沈積循環包括對氧化銦（ In_2O_3 ）進行沈積；以及在基板上重複進行第二材料層沈積循環 n 次，第二材料層沈積循環包括對氧化鉬（ MoO_x ）進行沈積，其中 m 介於 10 至 30 的範圍內且 n 為 1。

【圖式簡單說明】

【0011】

結合附圖閱讀以下說明，本揭露的某些實例性實施例的以上及其他態樣、特徵及優點將變得更顯而易見，在附圖中：

圖 1 是示出根據一或多個實例性實施例的半導體裝置的剖視圖。

圖 2 是根據一或多個實例性實施例的圖 1 所示第一電極的剖視圖。

圖 3 是根據一或多個實例性實施例的圖 1 所示第二電極的剖視圖。

圖 4 是示出根據一或多個實例性實施例的製造奈米疊層電極的方法的時序圖。

圖 5 是示出根據一或多個實例性實施例的第一材料層沈積循環的流程圖。

圖 6 是示出根據一或多個實例性實施例的第二材料層沈積循環的流程圖。

圖 7 是根據一或多個實例性實施例的奈米疊層電極的 X 射線繞射分析曲線圖。

圖 8 是示出根據一或多個實例性實施例的奈米疊層電極的藉由紫外光電子光譜法（UPS）量測的結合能的曲線圖。

圖 9 是示出根據一或多個實例性實施例的奈米疊層電極的電阻率、載子濃度及遷移率的曲線圖。

圖 10 示出根據一或多個實例性實施例的奈米疊層電極的使用原子力顯微鏡（AFM）量測的表面形態的影像。

圖 11 是根據比較例的電容器的掃描電子顯微鏡影像。

圖 12 是根據一或多個實例性實施例的電容器的掃描電子顯微鏡影像。

圖 13 是根據比較例的電容器的能帶圖。

圖 14 是根據一或多個實例性實施例的電容器的能帶圖。

圖 15 是示出根據一或多個實例性實施例的電容相對於電容器頻率的曲線圖。

圖 16 是示出根據一或多個實例性實施例的電容器的高頻區中的電容的曲線圖。

圖 17 是示出根據一或多個實例性實施例的電容器的電流密度對電壓特性的曲線圖。

圖 18 是示出根據一或多個實例性實施例的半導體裝置的剖視圖。

圖 19 是根據一或多個實例性實施例的圖 18 所示部分 A 的放大圖。

圖 20 是示出根據一或多個實例性實施例的半導體裝置的剖視圖。

圖 21 是示出根據一或多個實例性實施例的半導體裝置的剖視圖。

圖 22 是示出根據一或多個實例性實施例的半導體裝置的剖視圖。

【實施方式】

【0012】 在下文中，將參照附圖詳細地對本揭露的實例性實施例進行闡述。在圖式中，相同的參考編號用於相同的組件且將不再對其冗餘說明予以贅述。本文中闡述的實施例為實例性實施例，且因此本揭露並非僅限於此且可以各種其他形式達成。

【0013】 本文中所使用的例如「...中的至少一者 (at least one of...)」等表達在位於一系列元件之後時修飾整個系列的元件而並非修飾所述系列中的個別元件。舉例而言，表達「a、b 及 c 中的至少一者」應被理解為僅包括 a、僅包括 b、僅包括 c、包括 a 與 b 兩者、包括 a 與 c 兩者、包括 b 與 c 兩者或包括全部的 a、b 及 c。

【0014】 圖 1 是示出根據一或多個實例性實施例的半導體裝置 1 的剖視圖。圖 2 是根據一或多個實例性實施例的圖 1 所示第一電極 20 的剖視圖。圖 3 是根據一或多個實例性實施例的圖 1 所示第二電極 40 的剖視圖。

【0015】 參照圖 1，半導體裝置 1 可包括基板 10、第一電極 20、介電層 30 及第二電極 40。舉例而言，第一電極 20、介電層 30 與第二電極 40 可構成電容器（例如，具有金屬-絕緣體-金屬（metal-insulator-metal，MIM）結構的電容器）。

【0016】 第一電極 20 可包括如參照圖 2 所述的奈米疊層電極 NE。奈米疊層電極 NE 可包括交替佈置的多個第一材料層 22 與多個第二材料層 24。

【0017】 在一些實施例中，所述多個第一材料層 22 可包含氧化銦（ In_2O_3 ）。舉例而言，所述多個第一材料層 22 可藉由原子層沈積（atomic layer deposition，ALD）製程形成，且所述多個第一材料層 22 中的每一者可具有約 2 埃至約 6 埃的第一厚度 t_{11} 。

【0018】 在一些實施例中，所述多個第二材料層 24 可包含氧化鉬（ MoO_x ）。舉例而言，所述多個第二材料層 24 可藉由 ALD 製程形

成且可具有約 1 埃或小於 1 埃的第二厚度 t_{12} 。

【0019】 舉例而言，所述多個第二材料層 24 中的每一者可包括氧化鋁的單層。在一些實施例中，所述多個第二材料層 24 中的每一者可形成如圖 2 中所示的連續延伸的單個層。在一些實施例中，所述多個第二材料層 24 中的每一者可被形成為佈置於第一材料層 22 的頂表面上的島狀顆粒或凝集體（aggregate）。

【0020】 舉例而言，氧化鋁的單層可指所有的作為氧化鋁而連續延伸的單個層、或者島狀顆粒或凝集體。舉例而言，可藉由重複進行 ALD 製程的第二材料層沈積循環 n 次來形成氧化鋁的單層，其中 n 可為 1。然而，在一些實施例中，可藉由重複進行 ALD 製程的第二材料層沈積循環 n 次來形成氧化鋁的單層，其中 n 可為自 1 至 5 之中的任一數目。

【0021】 可藉由以預定的比率重複實行用於形成所述多個第一材料層 22 中的每一者的第一材料層沈積循環及用於形成所述多個第二材料層 24 中的每一者的第二材料層沈積循環來形成第一電極 20。舉例而言，可重複實行第一材料層沈積循環及第二材料層沈積循環，使得實行第一材料層沈積循環直至第一材料層 22 被形成為具有約 2 埃至約 6 埃的第一厚度 t_{11} 為止，在此之後實行第二材料層沈積循環以形成氧化鋁的單層，在此之後實行第一材料層沈積循環直至第一材料層 22 被形成為具有約 2 埃至約 6 埃的第一厚度 t_{11} 為止，然後，在此之後實行第二材料層沈積循環，以形成氧化鋁的單層。可重複進行所述製程，直至構造出期望的結構為止。

第一電極 20 可具有例如約 10 奈米至約 50 奈米的厚度 t_{10} 。

【0022】 在一些實施例中，介電層 30 可包含作為高介電常數介電材料的金屬氧化物。在一些實施例中，介電層 30 可包含氧化鈦。在一些實施例中，介電層 30 可包含氧化鋯、氧化鉛、氧化鋮、氧化鋇、氧化釷、氧化鋇鈦、氧化鋇鋇鈦、氧化釷及氧化釷中的至少一者。

【0023】 第二電極 40 可包括如參照圖 3 闡述的奈米疊層電極 NE。奈米疊層電極 NE 可包括交替佈置的多個第一材料層 42 與多個第二材料層 44。

【0024】 在一些實施例中，所述多個第一材料層 42 可包含氧化銦 (In_2O_3)。舉例而言，所述多個第一材料層 42 可藉由 ALD 製程形成，且所述多個第一材料層 42 中的每一者可具有約 2 埃至約 6 埃的第一厚度 t_{21} 。

【0025】 在一些實施例中，所述多個第二材料層 44 可包含氧化鉬 (MoO_x)。舉例而言，所述多個第二材料層 44 可藉由 ALD 製程形成且可具有約 1 埃或小於 1 埃的第二厚度 t_{22} 。第二電極 40 可具有例如約 10 奈米至約 50 奈米的厚度 t_{20} 。

【0026】 舉例而言，所述多個第二材料層 44 中的每一者可包括氧化鉬的單層。在一些實施例中，所述多個第二材料層 44 中的每一者可形成如圖 3 中所示的連續延伸的單個層。在一些實施例中，所述多個第二材料層 44 中的每一者可被形成為佈置於第一材料層 42 的頂表面上的島狀顆粒或凝集體。

【0027】 在一些實施例中，圖 2 及圖 3 中所示的奈米疊層電極 NE 可具有約 4.95 電子伏特至約 5.05 電子伏特的功函數。由於奈米疊層電極 NE 以功函數相對高的氧化銮與氧化鉬的堆疊結構形成，因此奈米疊層電極 NE 可具有較根據比較例的電極（例如，氮化鈦（TiN））的功函數（例如，4.5 電子伏特）高的功函數。

【0028】 在一些實施例中，在 X 射線繞射分析結果中，圖 2 及圖 3 中所示的奈米疊層電極 NE 可在 $30.48 \pm 0.02^\circ$ 處展現出源自具有立方結構的氧化銮（222）平面的第一峰，且在 $35.43 \pm 0.02^\circ$ 處展現出源自氧化銮（400）平面的第二峰。在一些實施例中，圖 2 及圖 3 中所示的奈米疊層電極 NE 可具有 1 奈米或小於 1 奈米（例如，介於約 0.6 奈米至約 1.0 奈米的範圍內）的表面粗糙度。

【0029】 在一些實施例中，圖 2 及圖 3 中所示的奈米疊層電極 NE 可具有較氧化銮的載子濃度高或與氧化銮的載子濃度相等的載子濃度。另外，圖 2 及圖 3 中所示的奈米疊層電極 NE 可具有較氧化銮的電阻率低或與氧化銮的電阻率相等的電阻率。舉例而言，當奈米疊層電極 NE 的第一材料層 22 被形成為具有約 2 埃至約 6 埃的厚度 t_{11} 時，奈米疊層電極 NE 的電阻率可介於氧化銮的電阻率的約 0.1 倍至約 1 倍的範圍內。

【0030】 在一些實施例中，第一電極 20、介電層 30 與第二電極 40 可構成 MIM 型電容器，所述 MIM 型電容器可在自低頻區至高頻區的整個頻率範圍內具有相對高的電容值。舉例而言，所述電容器可具有在 1 千赫下的第一電容及在 1 百萬赫下的第二電容，且第

二電容可大於第一電容的 50% (例如, 大於第一電容的 80%)。另外, 相較於例如包含氮化鈦作為電極的電容器而言, 所述電容器可具有顯著更低的洩漏電流。

【0031】 在一些實施例中, 當奈米疊層電極 NE 的第一材料層 22 被形成為具有約 2 埃至約 6 埃的厚度 t_{11} , 而各自由氧化鋁的單層構成的第二材料層 24 分別形成於所述多個第一材料層 22 之間時, 奈米疊層電極 NE 可展現出高功函數、高載子遷移率、低電阻率及低表面粗糙度。此外, 包括奈米疊層電極 NE 的電容器可自低頻區至高頻區具有相對高的電容值且可具有明顯低的洩漏電流。

【0032】 圖 4 是示出根據一或多個實例性實施例的製造奈米疊層電極的方法 DP 的時序圖。圖 5 是示出根據一或多個實例性實施例的第一材料層沈積循環 DPA 的流程圖。圖 6 是示出根據一或多個實例性實施例的第二材料層沈積循環 DPB 的流程圖。

【0033】 參照圖 4 至圖 6, 製造奈米疊層電極的方法 DP 可為基於 ALD 製程的方法。舉例而言, 可藉由在反應腔室中對基板依序地且重複地實行第一材料層沈積循環 DPA 與第二材料層沈積循環 DPB 來形成奈米疊層電極。第一材料層沈積循環 DPA 及第二材料層沈積循環 DPB 可被統稱為材料層對的沈積循環。

【0034】 舉例而言, 如圖 4 中所示, 可藉由首先實行第一材料層的第一循環 DP_A1, 隨後實行第二材料層的第一循環 DP_B1, 隨後依序實行第一材料層的第二循環 DP_A2 與第二材料層的第二循環 DP_B2, 且隨後實行第一材料層的第 k 循環 DP_Ak 與第二材料

層的第 k 循環 DP_Bk 來形成奈米疊層電極，根據需要在其間進行各種重複操作以形成整體期望的結構。即，可重複進行 k 次材料層對的沈積循環。可慮及奈米疊層電極的總厚度、每一循環中材料層的生長速率及類似因素來確定 k 的範圍。

【0035】 如圖 5 中所示，第一材料層沈積循環 DPA 可包括依序包括以下步驟的單位循環：供應第一金屬源（例如，包括銦的金屬源）（操作 S12）、清洗（操作 S14）、供應第一氧源（操作 S16）及清洗（操作 S18）。如操作 S20 中所示，第一材料層沈積循環 DPA 可包括依序重複進行操作 S12 至操作 S18 m 次，其中 m 可近似介於 10 至 30 的範圍內。

【0036】 在一或多個實例性實施例中，在操作 S12 的供應第一金屬源中，可將第一金屬源供應至反應腔室中，且第一金屬源可包含包括銦的有機金屬前驅物。第一金屬源可包括三甲基銦 ($\text{In}(\text{CH}_3)_3$)（trimethyl indium, TMIIn）、[1,1,1-三甲基-N-(三甲基矽烷基)矽烷胺基]銦（[1,1,1-trimethyl-N-(trimethylsilyl)silanaminato]indium, InCA-1）、[3-(二甲基胺基)丙基]二甲基銦（[3-(dimethylamino)propyl]dimethylindium, DADI）及環戊二烯基銦（cyclopentadienyl indium, InCp）中的至少一者。在一些實施例中，第一金屬源可為 DADI，但並非僅限於此。舉例而言，可實行操作 S12 的供應第一金屬源達約 0.5 秒至約 3 秒的一段時間。

【0037】 此後，在操作 S14 的清洗中，可對未吸附於基板上的過量第一金屬源進行清洗及/或移除。

【0038】 在操作 S16 的供應第一氧源中，可將第一氧源供應於反應腔室中，且第一氧源可包括過氧化氫、氧氣、臭氧及氧電漿中的至少一者。第一氧源亦可被稱為反應物。在操作 S16 的供應第一氧源中，可在吸附於基板上的第一金屬源與第一氧源之間發生反應，以形成包含氧化銦的第一材料層。舉例而言，可實行操作 S16 的供應第一氧源達約 1 秒至約 20 秒的一段時間。

【0039】 此後，在操作 S18 的清洗中，可對未被吸附於基板上的過量第一氧源進行清洗及/或移除。

【0040】 舉例而言，可在依序包括如下步驟的單位循環期間形成厚度為近似 0.15 埃至 0.20 埃的氧化銦：供應第一金屬源（操作 S12）、清洗（操作 S14）、供應第一氧源（操作 S16）及清洗（操作 S18）。當第一材料層沈積循環 DPA 中的單位循環的重複次數 m 小於 10 時，第一材料層（氧化銦）可能難以被形成為具有足以結晶的厚度，且當 m 大於 30 時，第一材料層（氧化銦）被形成為具有過大的厚度，且因此奈米疊層電極可能會具有相對大的電阻率或相對低的功函數。

【0041】 如圖 6 中所示，第二材料層沈積循環 DPB 可包括依序包括以下步驟的單位循環：供應包括鋁的第二金屬源（操作 S32）、清洗（操作 S34）、供應第二氧源（操作 S36）及清洗（操作 S38）。如操作 S40 中所示，第二材料層沈積循環 DPB 可包括依序重複進行操作 S32 至操作 S38 n 次，其中 n 可為至少 1。

【0042】 在一些實施例中，在操作 S32 的供應第二金屬源中，可

將第二金屬源供應至反應腔室中，且第二金屬源可包含包括鉬的有機金屬前驅物。第一金屬源可包括雙(第三丁基亞胺基)雙(二甲基胺基)鉬 (bis(tert-butyylimido) bis(dimethylamido) molybdenum, TBDMMo)、雙(乙基苯)鉬、MoF₆、MoCl₆ 及 Mo(CO)₆ 中的至少一者。在一些實施例中，第二金屬源可為 TBDMMo，但並非僅限於此。舉例而言，可實行操作 S32 的供應第二金屬源達約 0.5 秒至約 5 秒的一段時間。

【0043】 此後，在操作 S34 的清洗中，可對未吸附於基板上的過量第二金屬源進行清洗及/或移除。

【0044】 在操作 S36 的供應第二氧源中，可將第二氧源供應於反應腔室中，且第二氧源可包括過氧化氫、氧氣、臭氧及氧電漿中的至少一者。第二氧源亦可被稱為反應物。在操作 S36 的供應第二氧源中，可在吸附於第一材料層上的第二金屬源與第二氧源之間發生反應，以形成包含氧化鉬的第二材料層。舉例而言，可在第一材料層上形成氧化鉬的單層。舉例而言，可實行操作 S36 的供應第二氧源達約 1 秒至約 20 秒的一段時間。

【0045】 此後，在操作 S38 的清洗中，可對未被吸附於基板上的過量第二氧源進行清洗及/或移除。

【0046】 舉例而言，可在依序包括以下步驟的單位循環期間形成厚度為近似 1 埃或小於 1 埃或者近似 0.15 埃至 0.20 埃的氧化鉬：供應第二金屬源（操作 S32）、清洗（操作 S34）、供應第二氧源（操作 S36）及清洗（操作 S38）。在第二材料層沈積循環 DPB 中，所

述單位循環的重複次數 n 可為 1。

【0047】 在一些實施例中，由氧化鋁的單層構成的第二材料層可被形成為佈置於第一材料層上且連續延伸的單個層，或者可被形成為佈置於第一材料層的頂表面上的島狀顆粒或凝集體。在一些實施例中，由於鋁原子的離子半徑相對小，因此鋁原子可被佈置成佔據其中在第一材料層內部未被銦原子佔據的填隙位置 (interstitial site)。

【0048】 和在第一材料層沈積循環 DPA 中重複進行單位循環的次數對應的 m 與和在第二材料層沈積循環 DPB 中重複進行單位循環的次數對應的 n 的比率可被確定成近似 10:1 至 30:1。舉例而言，當在近似 10:1 至 30:1 的範圍內實行第一材料層沈積循環 DPA 及第二材料層沈積循環 DPB 時，可將奈米疊層電極形成為具有高功函數、高載子遷移率、低電阻率及低表面粗糙度。

【0049】 在下文中，將參照圖 7 至圖 17 根據第一材料層沈積循環 DPA 的次數與第二材料層沈積循環 DPB 的次數的比率對奈米疊層電極的實體性質及電性質進行闡述。

【0050】 實驗例 1

【0051】 如表 1 中所示，以近似 30:1、20:1、10:1 及 5:1 中的每一者的比率在 ALD 設備中對基板實行第一材料層沈積循環 DPA 及第二材料層沈積循環 DPB，以形成總厚度為約 20 奈米的奈米疊層電極。作為比較例，僅實行第一材料層沈積循環 DPA 以形成由氧化銦 (In_2O_3) 構成的單層電極。

【0052】 [表 1]

編號	In ₂ O ₃ :MoO _x 組成比率	每循環的生長速率 (埃)	In ₂ O ₃ 單位厚度 (埃)
比較例	僅 In ₂ O ₃	0.16	
實施例 1	30:1	0.19	5.8
實施例 2	20:1	0.20	4.0
實施例 3	10:1	0.18	1.8
實施例 4	5:1	0.15	0.75

【0053】 圖 7 是根據一或多個實例性實施例的奈米疊層電極的 X 射線繞射分析曲線圖。

【0054】 參照圖 7，實施例 1 至實施例 4（表 1）的 X 射線繞射分析曲線圖與比較例（表 1）的 X 射線繞射分析曲線圖一起示出。實施例 1 至實施例 3 示出源自具有立方晶體結構的氧化銮的平面（222）的第一峰及源自所述氧化銮的平面（400）的第二峰。第一峰出現於 30.48±0.02°處，而第二峰出現於 35.43±0.02°處。可看出，比較例及實施例 4 不具有與源自平面（400）的第二峰對應的峰。此乃因在以近似 30:1、20:1 及 10:1 中的每一者的比率形成氧化鉬的單層的實施例 1 至實施例 3 的情形中，氧化鉬單層或鉬原子充當提高氧化銮的結晶度的中間層（插入層）或添加物元素。

【0055】 圖 8 是示出根據一或多個實例性實施例的奈米疊層電極的藉由紫外光電子光譜法（ultraviolet photoelectron spectroscopy，UPS）量測的結合能的曲線圖。

【0056】 參照圖 8，實施例 1 至實施例 4 的結合能與比較例 1（氧化銮）及比較例 2（氮化鈦）的結合能一起示出。在表 2 中示出由藉由紫外光電子光譜法（UPS）量測的結合能計算出的實施例 1 至

實施例 4 以及比較例 1 及比較例 2 的功函數。

【0057】 [表 2]

編號	In ₂ O ₃ :MoO _x 組成比率	結合能（電子伏特）	功函數（電子伏特）
比較例 1	僅 In ₂ O ₃	16.31	4.91
比較例 2	僅 TiN	16.77	4.45
實施例 1	30:1	16.27	4.95
實施例 2	20:1	16.19	5.03
實施例 3	10:1	16.17	5.05
實施例 4	5:1	15.88	5.34

【0058】 如表 2 中所示，隨著鉬含量的增大，功函數增大，且例如在分別以近似 30:1、20:1 及 10:1 的比率形成氧化鉬的單層的實施例 1 至實施例 3 情形中，可看出功函數相對高，分別為近似 4.95 電子伏特、5.03 電子伏特及 5.05 電子伏特。可確認，此為較比較例 1（氧化銦）及比較例 2（氮化鈦）中的每一者的功函數大的值。

【0059】 圖 9 是示出根據一或多個實例性實施例的奈米疊層電極的電阻率、載子濃度及遷移率的曲線圖。

【0060】 參照圖 9，可確認實施例 1 至實施例 3 中的每一者的電阻率、載子濃度及遷移率較比較例中的每一者的電阻率、載子濃度及遷移率更佳或相當於比較例中的每一者的電阻率、載子濃度及遷移率。具體而言，以近似 20:1 的比率形成氧化鉬的單層的實施例 2 示出最高的載子濃度、最高的電荷遷移率（例如，92.6 平方公分/伏·秒的電荷遷移率）及最低的電阻率（例如，240 微歐·公分的電阻率），進而示出最佳的電特性。即，作為實施例 1 至實施例 3，可看出厚度為約 2 埃至約 6 埃的氧化銦層與氧化鉬的單層重複形

成的奈米疊層電極具有最高的載子濃度及最低的電阻率。

【0061】 以近似 5:1 的比率形成氧化鋁的單層的實施例 4 示出較比較例低的載子濃度及遷移率以及最高的電阻率，且可推定此歸因於鋁含量的增大誘使氧化鋁發生非晶化或者歸因於自由載子遷移率因鋁的散射效應而減少。

【0062】 圖 10 示出根據一或多個實例性實施例的奈米疊層電極的使用原子力顯微鏡（atomic force microscopy，AFM）量測的表面形態的影像。

【0063】 參照圖 10，實施例 1 及實施例 2 具有較比較例的表面粗糙度值大的表面粗糙度值。即，在實施例 1 及實施例 2 中，隨著鋁含量的增大，氧化鋁層的結晶度提高，進而使表面粗糙度值增大，而相比之下，實施例 4 的表面粗糙度值最小。在以近似 5:1 的比率形成具有相對大量的鋁含量的氧化鋁的單層的實施例 4 的情形中，可推定表面粗糙度隨著非晶化被誘發而最大程度地減小。

【0064】 所有的實施例 1 至實施例 4 皆具有 1 奈米或小於 1 奈米的表面粗糙度，此可足夠低以藉由減少介電層與奈米疊層電極之間的介面處的陷阱位置來減少洩漏電流。

【0065】 實驗例 2

【0066】 如表 3 中所示，在 ALD 設備中在基板上形成根據實施例及比較例的電容器。

【0067】 [表 3]

	比較例	實施例
--	-----	-----

下部電極	TiN 20 奈米	$\text{In}_2\text{O}_3\text{:MoO}_x = 20\text{:}1$ ，20 奈米
介電層	TiO_2 21 奈米	TiO_2 21 奈米
上部電極	Ag 44 奈米	Ag 44 奈米

【0068】 圖 11 是根據比較例的電容器的掃描電子顯微鏡影像。圖 12 是根據一或多個實例性實施例的電容器的掃描電子顯微鏡影像。

【0069】 參照圖 11 及圖 12，可看出比較例（圖 11）及實施例（圖 12）中的每一者的下部電極皆被形成為以均勻的厚度覆蓋整個基板的連續材料層。另外，可看出下部電極與介電層之間的介面亦具有優異的介面性質而不存在介面缺陷元素（例如，空隙或接縫（seam））。

【0070】 圖 13 是根據比較例的電容器的能帶圖 EB_CO。圖 14 是根據實施例的電容器的能帶圖 EB_EX。

【0071】 參照圖 13，根據比較例的電容器的下部電極 TiN 的功函數 WF1 為 4.5 電子伏特，而下部電極 TiN 的功函數 WF1 與 4.2 電子伏特（其為介電層 TiO_2 的導電帶 EC）的差異相對小。因此，在下部電極與介電層之間的介面處，能帶偏移 BO_1 的值相對小。當下部電極與介電層之間的介面處的能帶偏移小時，可能會由於熱電子發射而出現洩漏電流。

【0072】 參照圖 14，根據所述實施例的電容器的下部電極（ $\text{In}_2\text{O}_3\text{:MoO}_x$ ）的功函數 WF2 為 4.95 電子伏特至 5.05 電子伏特，此與為 4.2 電子伏特的介電層（ TiO_2 ）的導電帶 EC 存在相對大的差異。因此，在下部電極與介電層之間的介面處，能帶偏移 BO_2 具有相對大的值。當下部電極與介電層之間的介面處的能帶偏移

大時，可能會顯著地減少或降低洩漏電流的發生。

【0073】圖 15 是示出根據一或多個實例性實施例的電容相對於電容器的頻率的曲線圖。圖 16 是示出根據一或多個實例性實施例的電容器的高頻區中的電容的曲線圖。

【0074】參照圖 15 及圖 16，根據比較例的電容器在低頻區中具有 800 皮法拉（pF）或大於 800 皮法拉的大電容值，但電容值隨著頻率的增大而逐漸減小，且在 1 百萬赫的高頻區中具有 240 皮法拉或小於 240 皮法拉的電容值。根據實施例的電容器在低頻區中具有約 950 皮法拉或大於 950 皮法拉的大電容值，即使頻率增大亦維持幾乎恆定的電容值，且在 1 百萬赫的高頻區中具有約 800 皮法拉或小於 800 皮法拉的電容值。

【0075】換言之，儘管實施例在低頻區中的電容值大於比較例在低頻區中的電容值，進而並未展現出顯著差異，但實施例在高頻區中的電容值具有相當於比較例在高頻區中的電容值的三倍的顯著更大的值。

【0076】一般而言，已知低頻區中的平衡串聯電阻分量表示與因介電弛豫（dielectric relaxation）引起的介電損耗對應的值，且隨著頻率的增大，串聯電阻及電感的影響變得佔主導，藉此減小電容及平衡串聯電阻受因電極引起的損耗的影響。根據實施例的下部電極在 1 百萬赫下具有為 0.243 的介電損耗係數，而根據比較例的下部電極在 1 百萬赫下具有為 1.31 的介電損耗係數。因此，由於根據實施例的高頻區中的下部電極具有較根據比較例的下部電

極顯著更低的介電損耗係數(即,由於根據實施例的下部電極的載子遷移率高且其電阻率低),因此根據實施例的下部電極可具有高電容值。

【0077】圖 17 是示出根據一或多個實例性實施例的電容器的電流密度對電壓特性的曲線圖。

【0078】參照圖 17,根據比較例的電容器在 1000 毫伏處示出 1.75×10^{-5} 的洩漏電流密度,而根據實施例的電容器在 1000 毫伏處示出 6.03×10^{-9} 的洩漏電流密度,其較比較例的洩漏電流密度低約 3000 倍。

【0079】用作介電層的氧化鈦的窄帶隙可能由於介電層與下部電極之間的介面處的肖特基放射 (Schottky emission) 而產生大的洩漏電流。然而,由於根據實施例的下部電極(被稱為 $\text{In}_2\text{O}_3:\text{MoO}_x$) 的功函數高,因此下部電極與介電層之間的勢壘可能會增大,以有效地阻擋洩漏路徑,藉此減小電容器的洩漏電流。

【0080】圖 18 是示出根據一或多個實例性實施例的半導體裝置 100 的剖視圖。圖 19 是根據一或多個實例性實施例的圖 18 所示部分 A 的放大圖。

【0081】參照圖 18 及圖 19,半導體裝置 100 可包括動態隨機存取記憶體 (DRAM) 元件,且可包括形成於基板 110 上的胞元電晶體及電性連接至所述胞元電晶體的電容器 CAP。

【0082】在基板 110 上可佈置有下部絕緣層 112,且在基板 110 上可佈置有接觸結構 114 以穿透下部絕緣層 112。接觸結構 114 可包

含導電材料。在下部絕緣層 112 上可佈置有具有暴露出接觸結構 114 中的每一者的頂表面的開口的蝕刻停止層 116。

【0083】電容器 CAP 可佈置於蝕刻停止層 116 上。電容器 CAP 可包括下部電極 120、介電層 130 及上部電極 140。下部電極 120 可具有圓柱形狀，下部電極 120 的底部的側壁可由蝕刻停止層 116 環繞，且下部電極 120 的底部可佈置於接觸結構 114 中的每一者的頂表面上。下部電極 120 可在豎直方向上以相對大的高度形成或者可具有大縱橫比，且在下部電極 120 的側壁上可佈置有支撐構件 118。介電層 130 可共形地佈置於下部電極 120 的內壁及外壁上。上部電極 140 可佈置於介電層 130 上以覆蓋下部電極 120。

【0084】在一些實施例中，下部電極 120 可包括交替佈置的多個第一材料層 122 與多個第二材料層 124。下部電極 120 可具有與參照圖 2 闡述的奈米疊層電極 NE 的結構相似的結構。舉例而言，所述多個第一材料層 122 各自可包含厚度為約 2 埃至約 6 埃的氧化鈾，而所述多個第二材料層 124 可包括包含氧化鈾的單層。

【0085】在一些實施例中，介電層 130 可包含作為高介電常數材料的金屬氧化物。在一些實施例中，介電層 130 可包含氧化鈦。在一些實施例中，介電層 130 可包含氧化鋯、氧化鉛、氧化鋁、氧化鈮、氧化鈹、氧化釷、氧化鋇、氧化鋇、氧化鋇、氧化鋇、氧化鋇及氧化鋇中的至少一者。

【0086】在一些實施例中，上部電極 140 可包括交替佈置的多個第一材料層 142 與多個第二材料層 144。上部電極 140 可具有與參

照圖 3 闡述的奈米疊層電極 NE 的結構相似的結構。舉例而言，所述多個第一材料層 142 各自可包含厚度為約 2 埃至約 6 埃的氧化鈾，而所述多個第二材料層 144 可包括包含氧化鈾的單層。

【0087】圖 20 是示出根據一或多個實例性實施例的半導體裝置 100A 的剖視圖。

【0088】參照圖 20，下部電極 120 可包括包含交替佈置的多個第一材料層 122 與多個第二材料層 124 的奈米疊層電極。上部電極 140A 可包含以下中的至少一者：金屬，例如鈳 (Ru)、鈦 (Ti)、鈹 (Ta)、鈮 (Nb)、銱 (Ir)、鉬 (Mo)、鎢 (W) 或類似材料；導電金屬氮化物，例如氮化鈦 (TiN)、氮化鈹 (TaN)、氮化鈮 (NbN)、氮化鉬 (MoN)、氮化鎢 (WN) 或類似材料；以及導電金屬氧化物，例如氧化銱 (IrO₂)、氧化鈳 (RuO₂)、氧化鋇鈳 (SrRuO₃) 或類似材料。

【0089】圖 21 是示出根據一或多個實例性實施例的半導體裝置 100B 的剖視圖。

【0090】參照圖 21，下部電極 120A 可具有佈置於接觸結構 114 的頂表面上且在豎直方向上延伸的柱形狀。介電層 130 可共形地佈置於下部電極 120A 的頂表面及側壁上。

【0091】在一些實施例中，下部電極 120A 可包括在豎直方向上延伸的積體材料層，且下部電極 120A 可包括參照圖 1 至圖 3 闡述的奈米疊層電極 NE。根據一些實施例中的製造方法，可藉由在基板上形成具有柱形狀開口的模具絕緣層且藉由使用參照圖 4 至圖 6

闡述的製造方法在所述開口中形成參照圖 1 至圖 3 闡述的奈米疊層電極 NE 來形成下部電極 120A。

【0092】 在一些實施例中，下部電極 120A 可包括在豎直方向上延伸的基柱、以及共形地佈置於所述基柱的側壁及頂表面上的電極層。所述基柱可包含以下中的至少一者：金屬，例如鈦 (Ru)、鈦 (Ti)、鉭 (Ta)、鈮 (Nb)、銱 (Ir)、鉬 (Mo)、鎢 (W) 或類似材料；導電金屬氮化物，例如氮化鈦 (TiN)、氮化鉭 (TaN)、氮化鈮 (NbN)、氮化鉬 (MoN)、氮化鎢 (WN) 或類似材料；以及導電金屬氧化物，例如氧化銱 (IrO₂)、氧化鈦 (RuO₂)、氧化鋇鈦 (SrRuO₃) 或類似材料，而電極層可包括參照圖 1 至圖 3 闡述的奈米疊層電極 NE。

【0093】 圖 22 是示出根據一或多個實例性實施例的半導體裝置 200 的剖視圖。

【0094】 參照圖 22，半導體裝置 200 可為包括形成於半導體基板 210 上的多個光電轉換區 PD 及佈置於半導體基板 210 的前面上的電容器 CAP 的全域快門 (global shutter) 型影像感測器。傳送閘極 TG 可被佈置成延伸至半導體基板 210 中且可被配置成對光電轉換區 PD 中所儲存的光電子進行控制。在半導體基板 210 的前表面上可進一步形成有畫素電晶體，且畫素電晶體可電性連接至電容器 CAP，且自每一畫素的光電轉換區 PD 傳送的電荷可儲存於電容器 CAP 中。電容器 CAP 可包括下部電極 220、介電層 230 及上部電極 240，且下部電極 220 及上部電極 240 中的至少一者可包

括參照圖 1 至圖 3 闡述的奈米疊層電極 NE。在半導體基板 210 的前表面上可佈置有前佈線層 FL，在前配線層 FL 上可佈置有覆蓋或至少部分地覆蓋前佈線層 FL 的前絕緣層 FI 及電容器 CAP，且
在半導體基板 210 的後表面上可佈置有濾色器 CF 及微透鏡 ML。

【0095】 以上說明中所提供的實施例中的每一者不排除與亦在本文中提供或未在本文中提供但與本揭露一致的另一實例或另一實施例的一或多個特徵相關聯。

【0096】 儘管已參照本揭露的實施例具體示出並闡述了本揭露，但應理解，在不背離以下申請專利範圍的精神及範圍的條件下，可對其作出形式及細節上的各種改變。

【符號說明】

【0097】

- 1、100、100A、100B、200:半導體裝置
- 10、110:基板
- 20:第一電極
- 22、42、122、142:第一材料層
- 24、44、124、144:第二材料層
- 30、130、230:介電層
- 40:第二電極
- 112:下部絕緣層
- 114:接觸結構
- 116:蝕刻停止層

118:支撐構件

120、120A、220:下部電極

140、140A、240:上部電極

210:半導體基板

A:部分

BO_1、BO_2:能帶偏移

CAP:電容器

CF:濾色器

DP:方法

DPA:第一材料層沈積循環

DP_A1:第一材料層的第一循環

DP_A2:第一材料層的第二循環

DP_Ak:第一材料層的第 k 循環

DP_B1:第二材料層的第一循環

DP_B2:第二材料層的第二循環

DP_Bk:第二材料層的第 k 循環

DPB:第二材料層沈積循環

EB_CO、EB_EX:能帶圖

EC:導電帶

FI:前絕緣層

FL:前配線層

ML:微透鏡

NE:奈米疊層電極

PD:光電轉換區

S12、S14、S16、S18、S20、S32、S34、S36、S38、S40:操作

t10、t20:厚度

t11:厚度/第一厚度

t12、t22:第二厚度

t21:第一厚度

TG:傳送閘極

WF1、WF2:功函數

【發明申請專利範圍】

【請求項1】 一種半導體裝置，包括：

電容器，包括：

第一電極；

第二電極；以及

介電層，位於所述第一電極與所述第二電極之間，

其中所述第一電極及所述第二電極中的至少一者包括奈米疊層電極，

其中所述奈米疊層電極包括多個第一材料層及多個第二材料層，所述多個第一材料層與所述多個第二材料層交替佈置，

其中所述多個第一材料層包含氧化銦（ In_2O_3 ），

其中所述多個第二材料層包含氧化鉬（ MoO_x ），

其中所述多個第一材料層中的每一者具有介於約 2 埃至約 6 埃之間的厚度，且

其中所述多個第二材料層中的每一者包括氧化鉬（ MoO_x ）的單層。

【請求項2】 如請求項1所述的半導體裝置，其中所述奈米疊層電極具有介於約10奈米至約50奈米之間的厚度。

【請求項3】 如請求項1所述的半導體裝置，其中所述奈米疊層電極具有介於約4.95電子伏特至約5.05電子伏特之間的功函數。

【請求項4】 如請求項1所述的半導體裝置，其中在X射線繞射分析結果中，所述奈米疊層電極在 $30.48 \pm 0.02^\circ$ 處展現出源自具有立

方結構的氧化銦（222）平面的第一峰，且在 $35.43 \pm 0.02^\circ$ 處展現出源自氧化銦（400）平面的第二峰。

【請求項5】 如請求項1所述的半導體裝置，其中所述介電層包含高介電常數介電金屬氧化物。

【請求項6】 如請求項1所述的半導體裝置，其中所述介電層包含氧化鈦（ TiO_2 ）。

【請求項7】 如請求項1所述的半導體裝置，其中所述奈米疊層電極包括約1奈米或小於1奈米的表面粗糙度。

【請求項8】 如請求項1所述的半導體裝置，其中所述電容器在約1千赫的第一頻率下具有第一電容，且在約1百萬赫的第二頻率下具有第二電容，所述第二電容大於所述第一電容的50%。

【請求項9】 如請求項8所述的半導體裝置，其中所述第二電容大於所述第一電容的80%。

【請求項10】 一種半導體裝置，包括電容器，所述電容器包括：
第一電極；
第二電極；以及
介電層，位於所述第一電極與所述第二電極之間，
其中所述第一電極及所述第二電極中的至少一者包括奈米疊層電極，

其中所述奈米疊層電極包括：

多個第一材料層，包含氧化銦（ In_2O_3 ）；以及

多個第二材料層，分別佈置於所述多個第一材料層中的兩

個相鄰的第一材料層之間，所述多個第二材料層中的每一者包括氧化鉬（ MoO_x ）的單層，且

其中所述奈米疊層電極具有介於約 4.95 電子伏特至約 5.05 電子伏特之間的功函數。

【請求項11】 如請求項10所述的半導體裝置，其中所述多個第一材料層中的每一者具有約2埃至約6埃的厚度，且

其中所述奈米疊層電極具有介於約 10 奈米至約 50 奈米之間的厚度。

【請求項12】 如請求項10所述的半導體裝置，其中在X射線繞射分析結果中，所述奈米疊層電極在 $30.48 \pm 0.02^\circ$ 處展現出源自具有立方結構的氧化銮（222）平面的第一峰，且在 $35.43 \pm 0.02^\circ$ 處展現出源自氧化銮（400）平面的第二峰。

【請求項13】 如請求項10所述的半導體裝置，其中所述介電層包含高介電常數介電金屬氧化物。

【請求項14】 如請求項10所述的半導體裝置，其中所述介電層包含氧化鈦（ TiO_2 ）。

【請求項15】 如請求項10所述的半導體裝置，其中所述奈米疊層電極包括1奈米或小於1奈米的表面粗糙度。

【請求項16】 如請求項10所述的半導體裝置，其中所述電容器在約1千赫的第一頻率下具有第一電容，且在約1百萬赫的第二頻率下具有第二電容，所述第二電容大於所述第一電容的50%。

【請求項17】 一種半導體裝置，包括：

基板；

接觸結構，位於所述基板上；

下部電極，位於所述接觸結構上，具有圓柱形狀，且包括第一奈米疊層電極；

介電層，位於所述下部電極上；以及

上部電極，位於所述介電層上，

其中所述第一奈米疊層電極包括：

多個第一材料層，包含氧化銦（ In_2O_3 ）；以及

多個第二材料層，分別佈置於所述多個第一材料層中的兩個相鄰的第一材料層之間，所述多個第二材料層中的每一者包括氧化鉬（ MoO_x ）的單層，且

其中所述第一奈米疊層電極具有介於約 4.95 電子伏特至約 5.05 電子伏特之間的功函數。

【請求項18】 如請求項17所述的半導體裝置，其中所述介電層包含氧化鈦（ TiO_2 ）。

【請求項19】 如請求項17所述的半導體裝置，其中所述多個第一材料層中的每一者具有介於約2埃至約6埃之間的厚度，且

其中所述第一奈米疊層電極具有介於約 10 奈米至約 50 奈米之間的厚度。

【請求項20】 如請求項17所述的半導體裝置，其中所述上部電極包括第二奈米疊層電極，

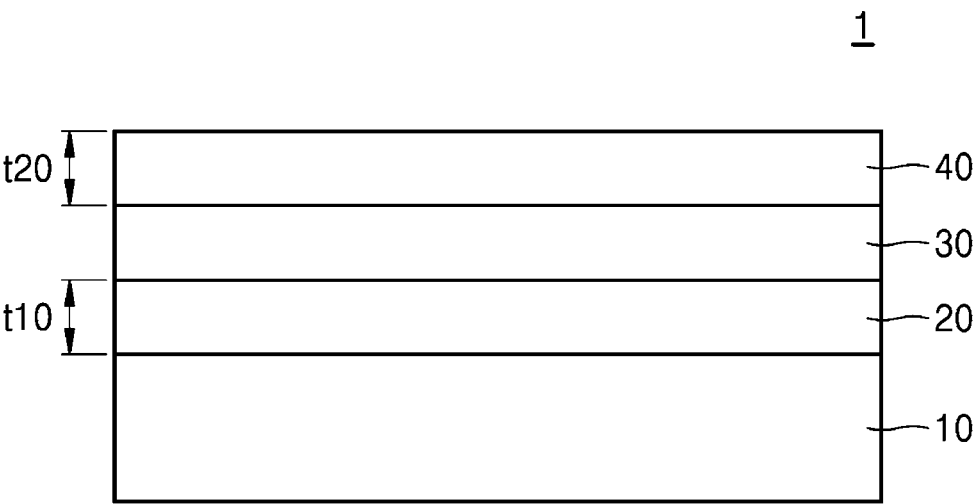
其中所述第二奈米疊層電極包括：

多個第三材料層，包含氧化銦（ In_2O_3 ）；以及

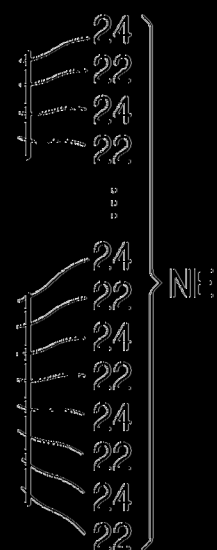
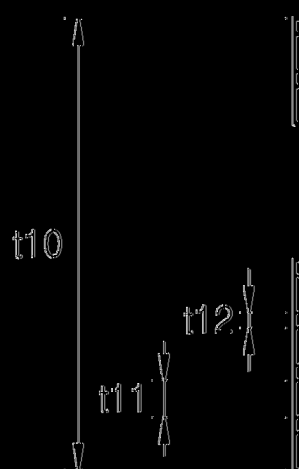
多個第四材料層，分別佈置於所述多個第三材料層中的兩個相鄰的第三材料層之間，所述多個第四材料層中的每一者包括氧化鉬（ MoO_x ）的單層，且

其中所述第二奈米疊層電極具有介於約 4.95 電子伏特至約 5.05 電子伏特之間的功函數。

【發明圖式】



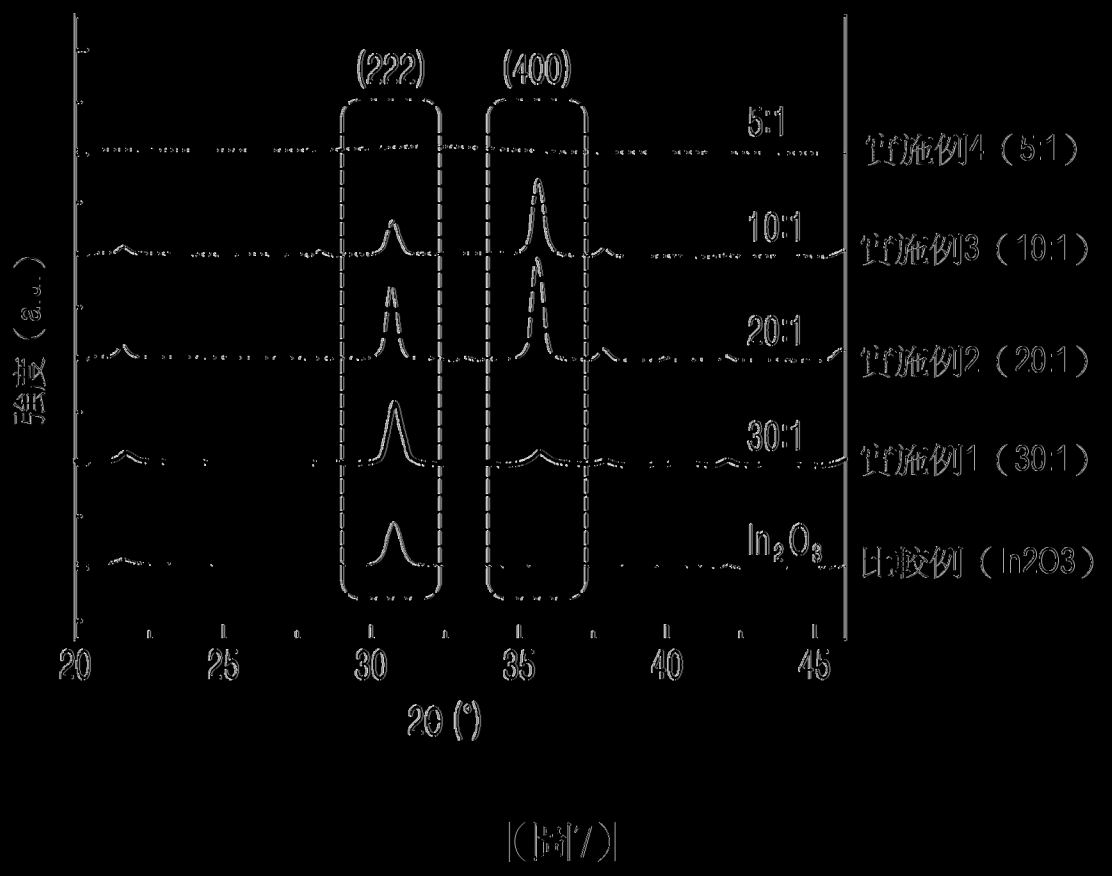
【圖1】

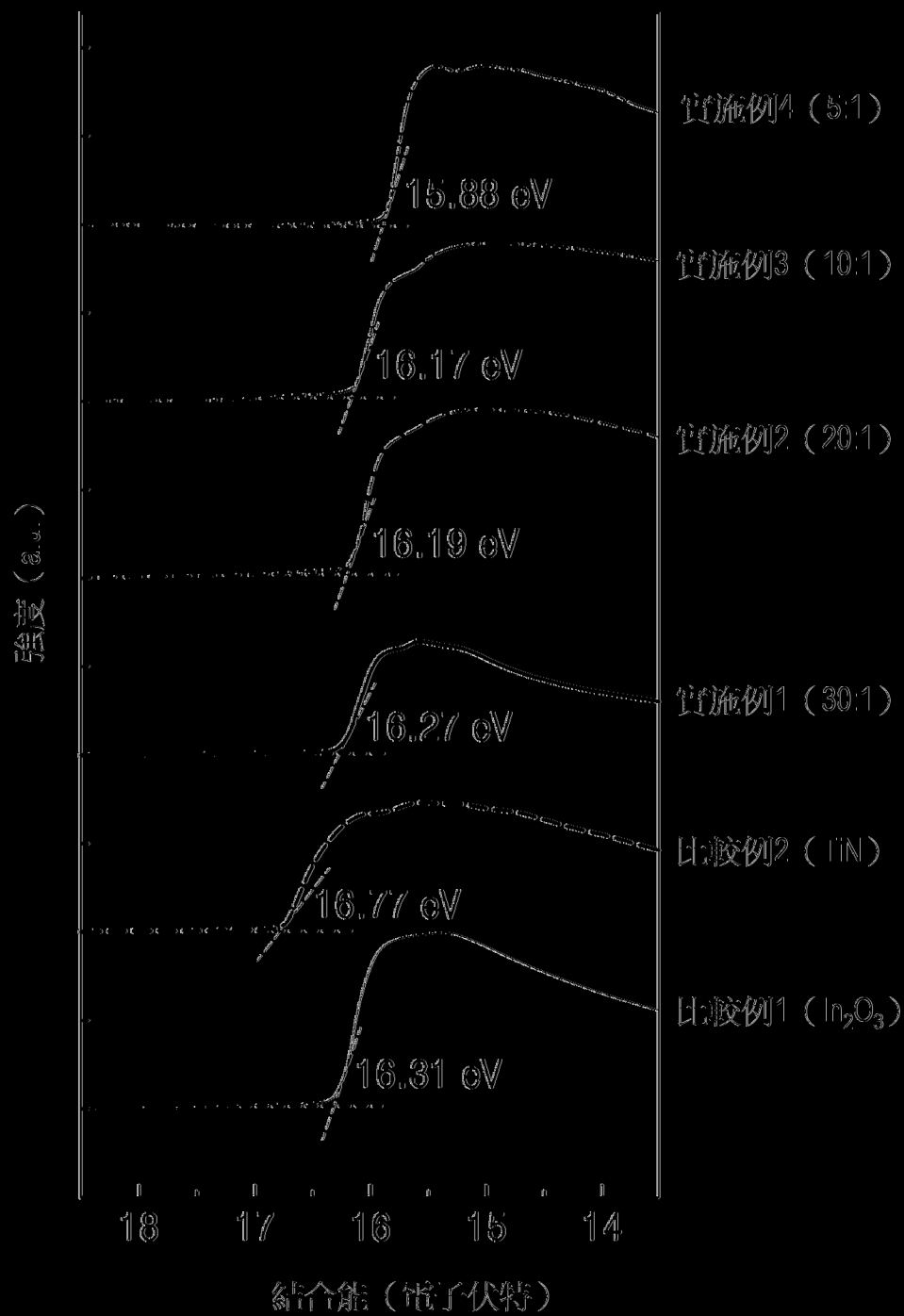

$$|(\hat{\mathbf{B}}_1^2)|$$

DP

DP_A1	DP_B1	DP_A2	DP_B2	...	DP_Ak	DP_Bk
-------	-------	-------	-------	-----	-------	-------

【圖4】





[(圖8)]

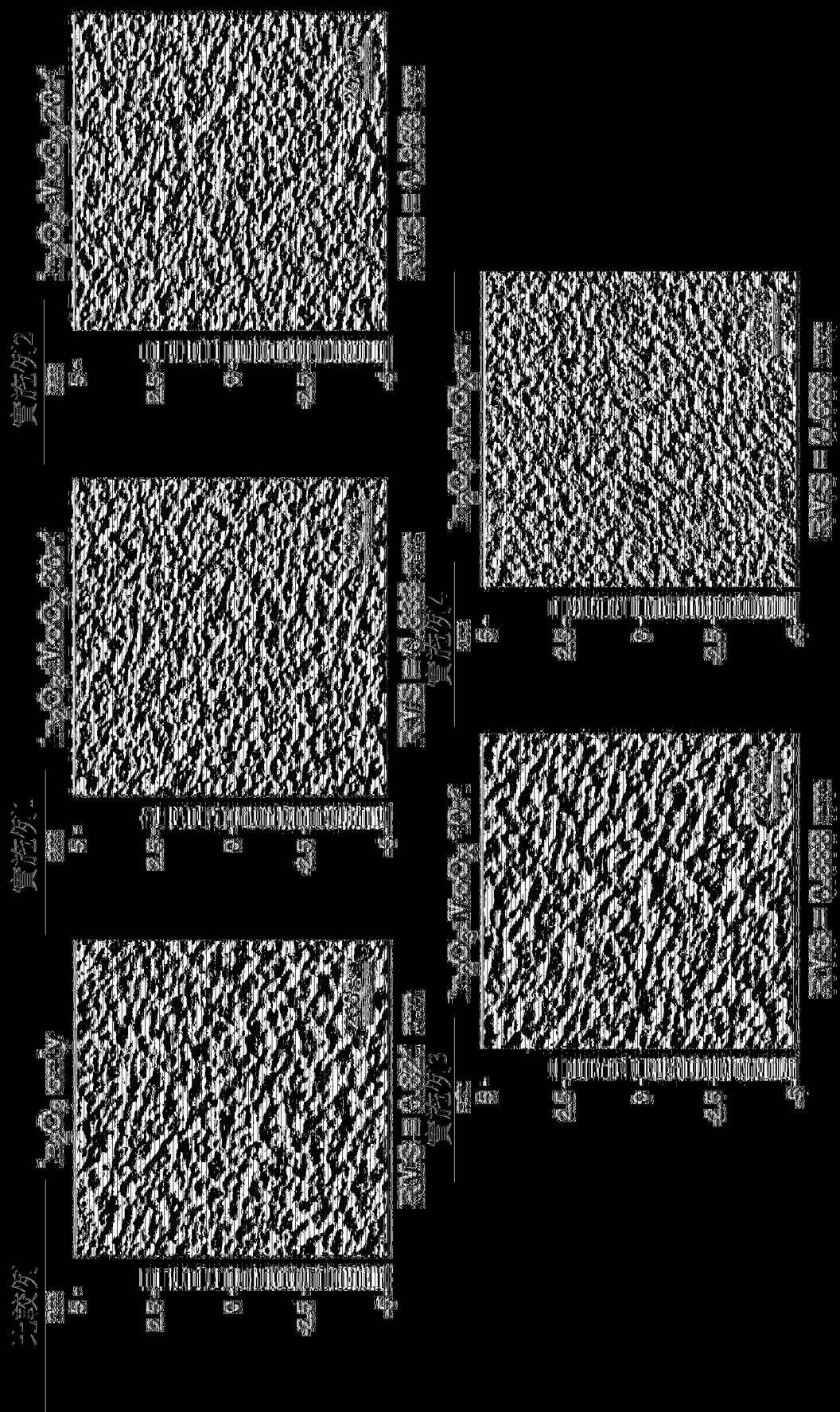
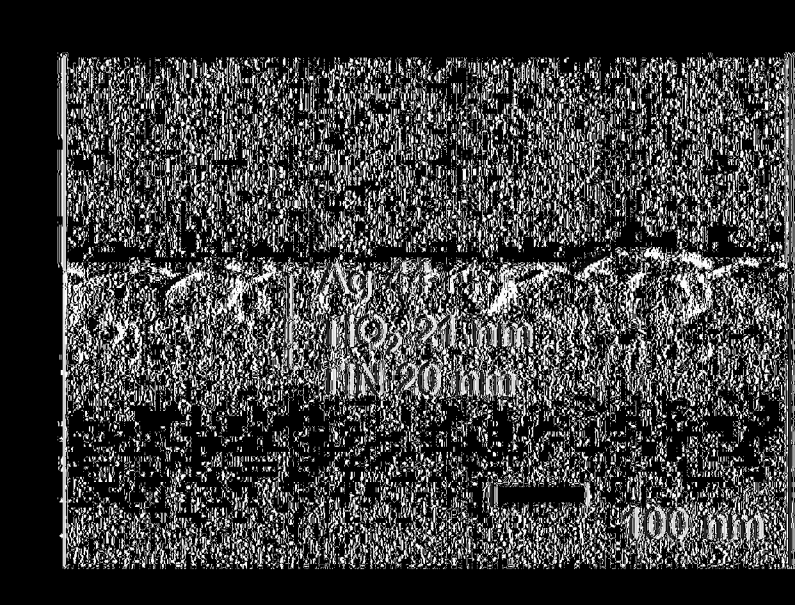


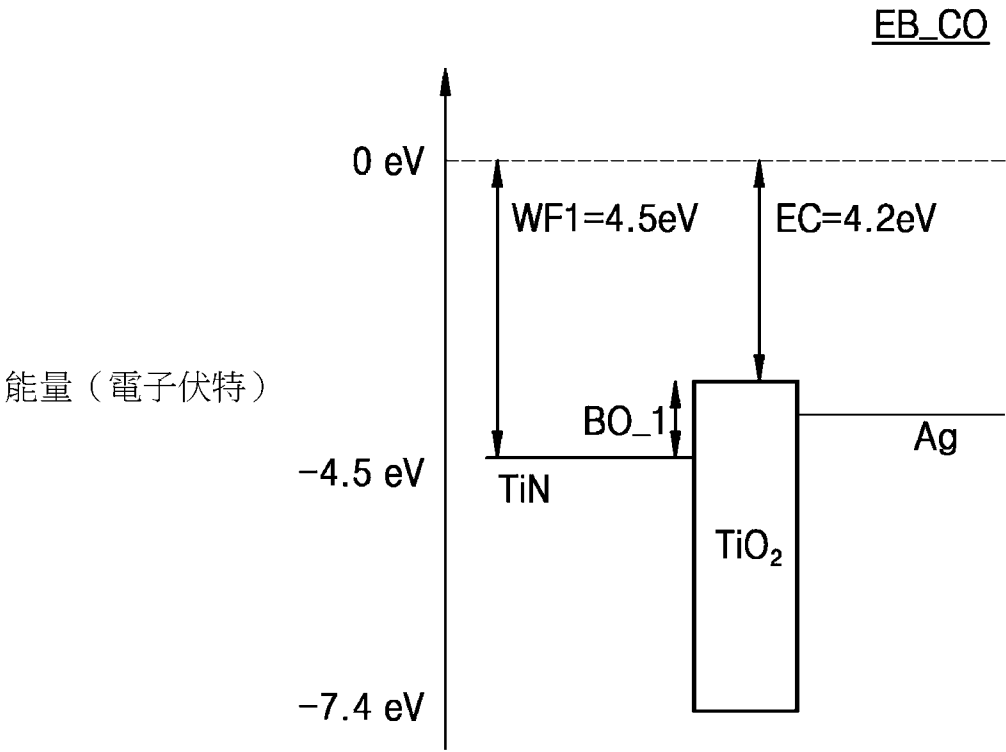
図10



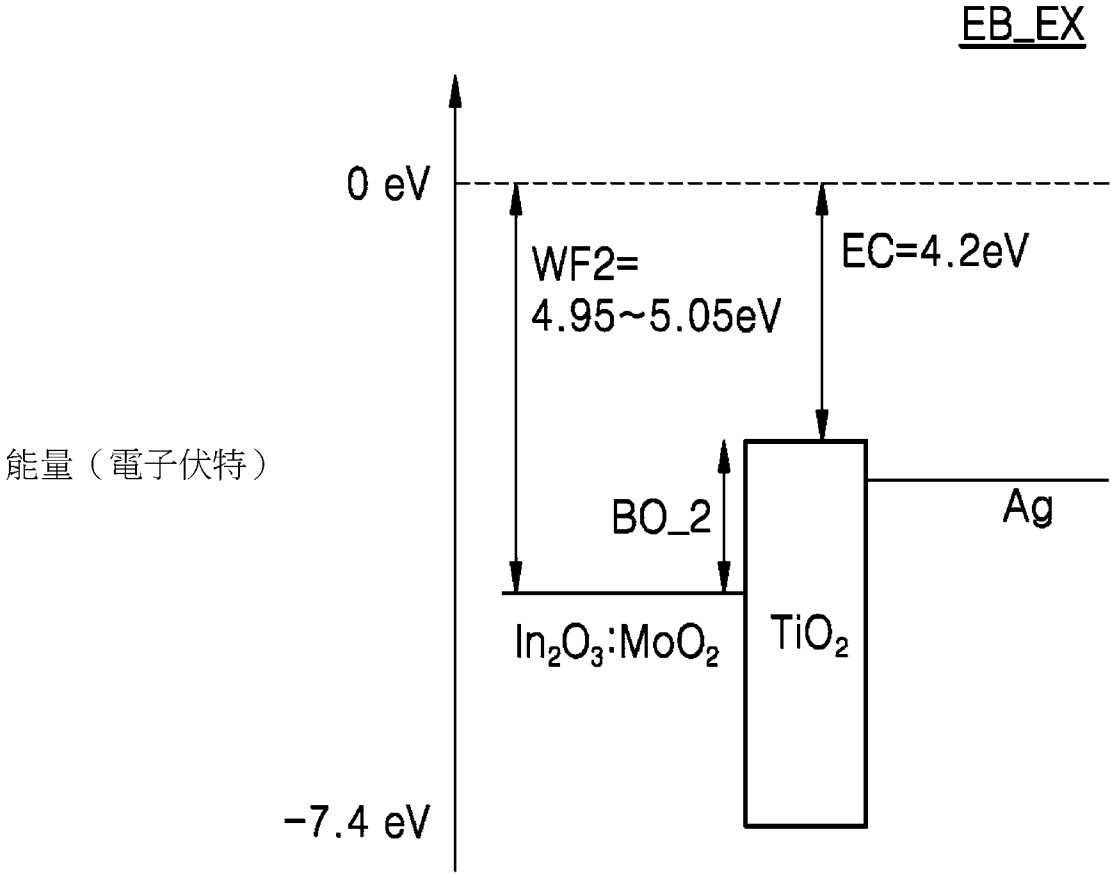
|(111)|



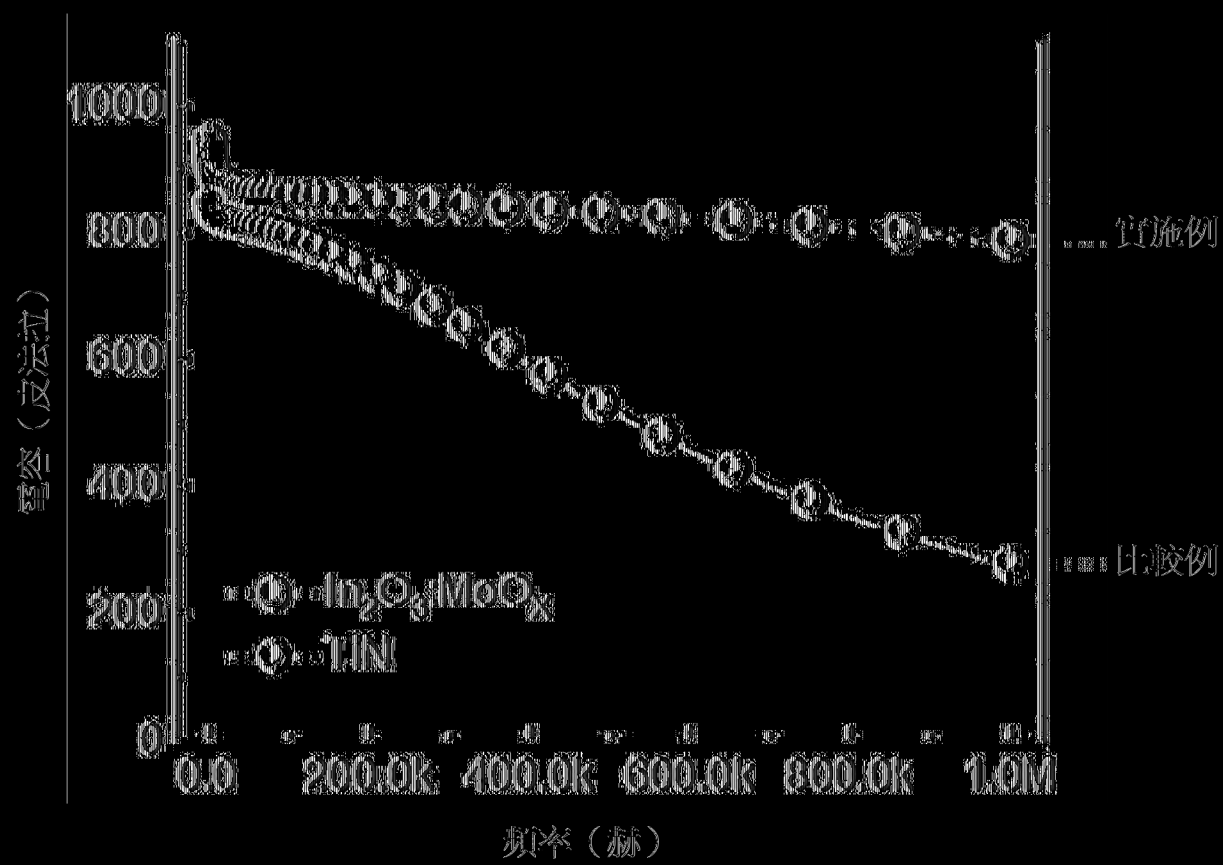
|(圖12)|



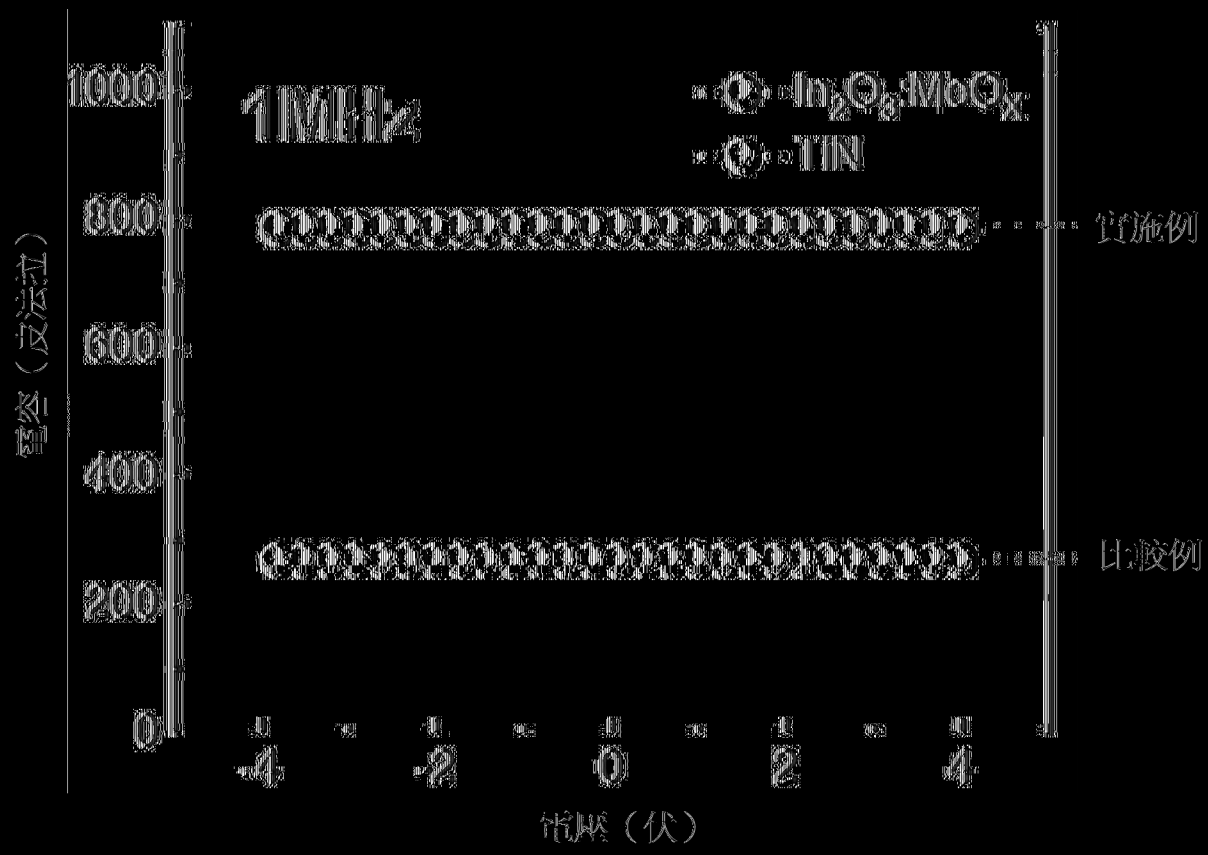
【圖13】



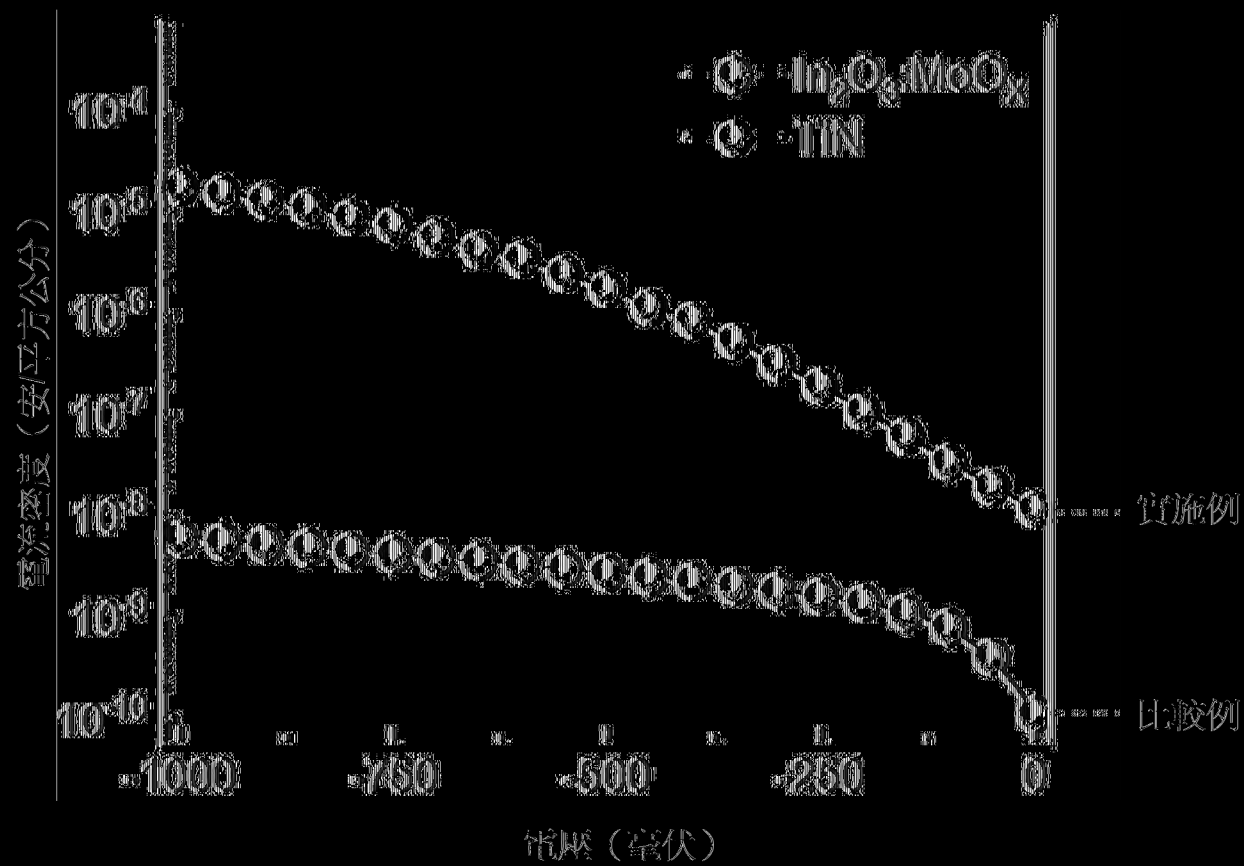
【圖14】



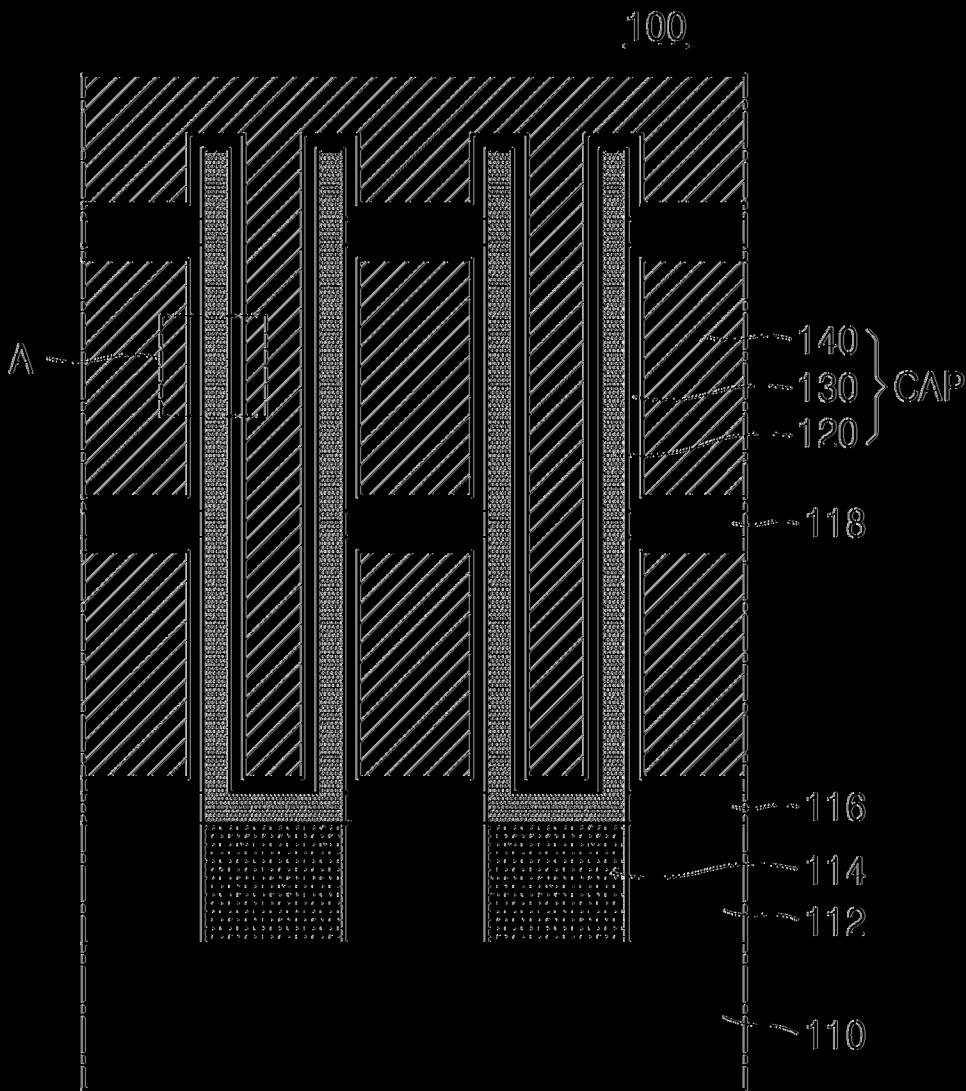
|(圖15)|

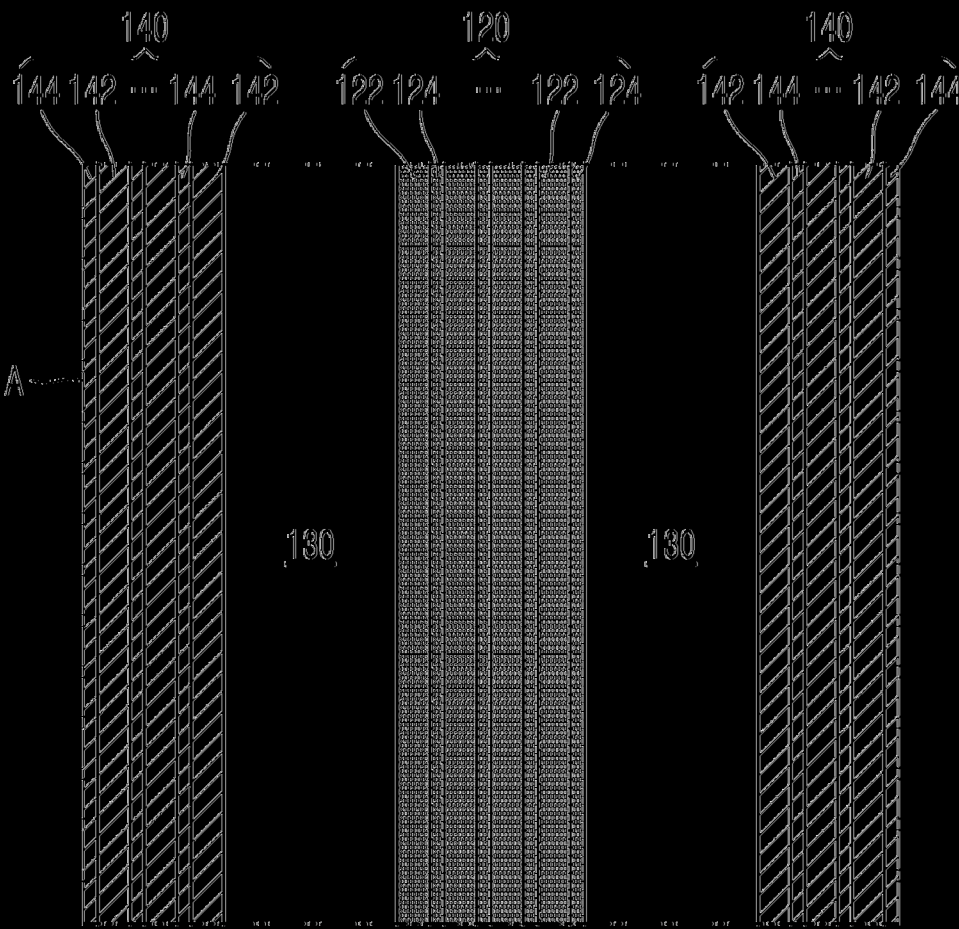


|(圖16)|

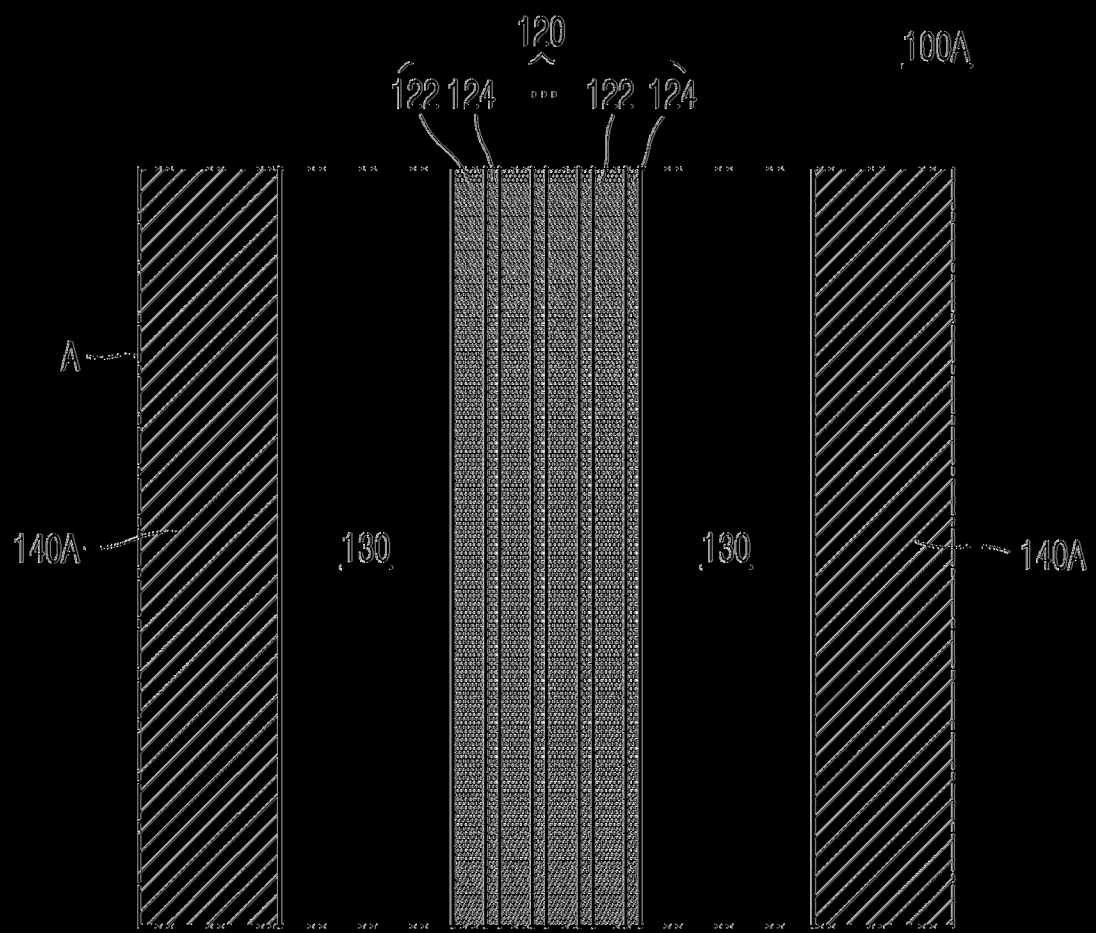


[(圖17)]

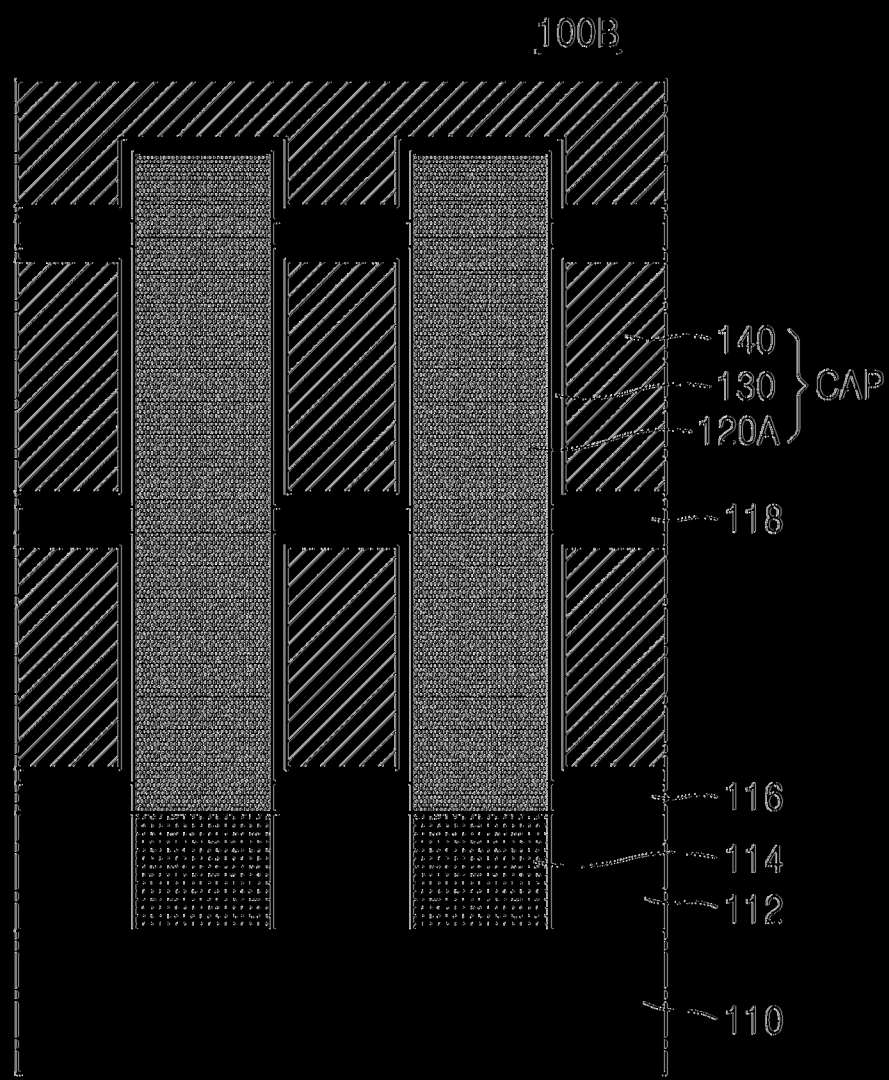

$$|(\hat{\Gamma}_{\text{H}}^{\text{H}})_{18})|$$



[(圖19)]



|(同20)|



|(H)|21|

