



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년01월14일

(11) 등록번호 10-1481571

(24) 등록일자 2015년01월06일

(51) 국제특허분류(Int. Cl.)

H01L 23/12 (2006.01) H01L 23/28 (2006.01)

(21) 출원번호 10-2007-0084031

(22) 출원일자 2007년08월21일

심사청구일자 2012년05월08일

(65) 공개번호 10-2009-0019523

(43) 공개일자 2009년02월25일

(56) 선행기술조사문헌

KR1020020043395 A*

KR1020070038798 A*

US20030122240 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

문성호

서울특별시 송파구 삼학사로16길 21, 301호 (석촌동)

강선원

서울 관악구 봉천로 466, 6층 605호 (봉천동, 해운대)

백승덕

경기도 화성시 병점중앙로170번길 20-5, 모닝하우스 403호 (진안동)

(74) 대리인

리앤목특허법인

전체 청구항 수 : 총 9 항

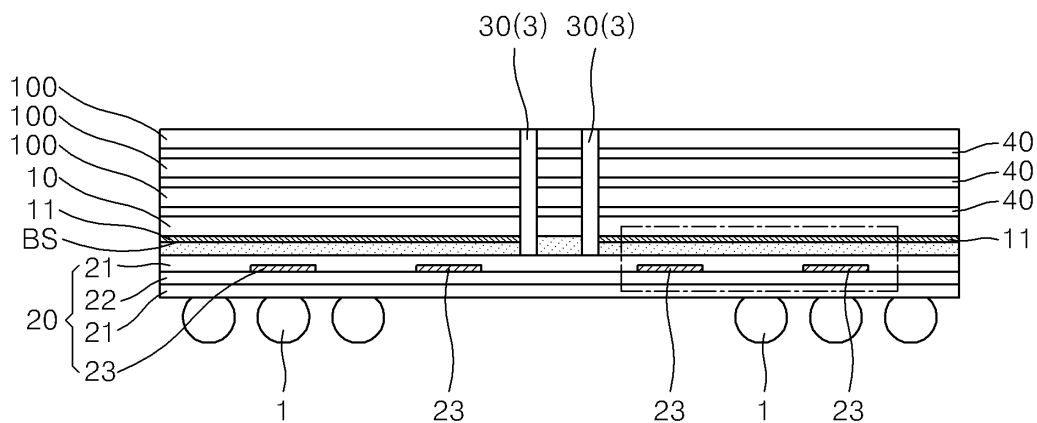
심사관 : 장기정

(54) 발명의 명칭 반도체 패키지 장치 및 그의 제작방법

(57) 요약

본 발명은 전력/접지 등 전기적인 특성을 향상시킬 수 있고, 임피던스 제어를 용이하게 하는 반도체 패키지 장치 및 그의 제작방법에 관한 것으로서, 본 발명의 반도체 패키지 장치는, 적어도 하나의 반도체 칩; 및 상기 반도체 칩이 실장되는 회로 기판;을 포함하고, 상기 반도체 칩의 일면에 전력/접지 특성 향상을 위한 적어도 하나의 도전면이 형성되는 것을 특징으로 하기 때문에 패키지 제작에 소요되는 비용을 절감하고, 전력 특성/접지 특성을 향상시켜서 시그널 라인에 대한 임피던스 제어를 용이하게 할 수 있게 하여 동작에 대한 신뢰성을 향상시키고, 노이즈를 방지하며, 오동작을 예방할 수 있는 효과를 갖는다.

대표도 - 도1



특허청구의 범위

청구항 1

적어도 하나의 반도체 칩;

상기 반도체 칩이 실장되는 회로 기판; 및

전력/접지 특성 향상을 위해 상기 반도체 칩의 일면에 형성되는 적어도 하나의 도전면;을 포함하고,

상기 도전면은 상기 반도체 칩의 후면에 3차원적으로 복층 적층되는 것을 특징으로 하는 반도체 패키지 장치.

청구항 2

제 1항에 있어서,

상기 반도체 칩은, 다수 개의 칩들이 전기적으로 서로 연결되는 칩 스택 패키지(Chip Stack Package) 타입인 것을 특징으로 하는 반도체 패키지 장치.

청구항 3

제 1항에 있어서,

상기 반도체 칩은, 칩들을 관통하는 쓰루 실리콘 비아(Through Silicon Via)를 통해 전기적으로 연결되는 것을 특징으로 하는 반도체 패키지 장치.

청구항 4

제 1항에 있어서,

상기 반도체 칩과 회로 기판 사이에 층간 접착층이 형성되는 것을 특징으로 하는 반도체 패키지 장치.

청구항 5

삭제

청구항 6

제 1항에 있어서,

상기 도전면은, 적어도 하나 이상의 금속재질로 이루어지는 메탈 플레인(Metal Plane)인 것을 특징으로 하는 반도체 패키지 장치.

청구항 7

제 1항에 있어서,

상기 도전면은, 전력 특성을 향상시키기 위한 파워 플레인(Power Plane), 접지 특성을 향상시키기 위한 그라운드 플레인(Ground Plane) 및 이들의 조합 중 적어도 하나로 이루어지는 것을 특징으로 하는 반도체 패키지 장치.

청구항 8

제 1항에 있어서,

상기 도전면과 상기 회로 기판을 전기적으로 서로 연결하는 연결장치;를 더 포함하여 이루어지는 것을 특징으로 하는 반도체 패키지 장치.

청구항 9

삭제

청구항 10

삭제

청구항 11

제 1항에 있어서,

상기 도전면은 상기 반도체 칩의 후면에 형성되는 것을 특징으로 하는 반도체 패키지 장치.

청구항 12

삭제

청구항 13

제 2항에 있어서,

상기 다수 개의 칩들은 각 칩의 일면에 도전면이 형성되는 것을 특징으로 하는 반도체 패키지 장치.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

명세서

발명의 상세한 설명

기술분야

[0001]

본 발명은 반도체 패키지 장치 및 그의 제작방법에 관한 것으로서, 더욱 상세하게는 전력/접지 등 전기적인 특성을 향상시킬 수 있고, 임피던스 제어를 용이하게 하는 반도체 패키지 장치 및 그의 제작방법에 관한 것이다.

배경기술

[0002]

일반적으로, 전자 제품의 소형화 추세가 진전됨에 따라 전자 제품에 사용되는 반도체 패키지의 발전 방향도 이에 부응하여 변화되고 있다. 최근 소형화에 초점을 맞추어 개발이 활발하게 이루어지는 반도체 패키지는 플립 칩 패키지(Flip chip package), 웨이퍼 레벨 패키지(Wafer level package) 및 웨이퍼 레벨 스택 패키지(Wafer level stack package) 등이 있다.

[0003]

특히, 고용량 집적이 가능하도록 다수 개의 반도체 칩을 회로 기판 상에 적층하는 칩 스택 패키지(Chip stack package)의 3D 적층기술이 널리 적용됨에 따라 반도체 칩과, 회로 기판에 형성된 시그널 라인(Signal line) 간의 전기적인 특성, 즉 패키지 소자의 임피던스(Impedance) 제어가 더욱 어려워지고, 이로 인하여 전력 특성/접지 특성이 나빠져서 동작에 대한 신뢰성이 떨어지고, 노이즈가 발생되거나 오동작이 일어나는 등의 문제점이 있었다.

발명의 내용

해결하고자하는 과제

[0004]

상기와 같은 문제점을 해결하기 위한 본 발명의 목적은, 회로 기판 상에 적층되는 반도체 칩의 일면에 전력/접지 특성의 향상시킬 수 있는 도전면을 형성하여 멀티 레이어(Multi-layer) 회로 기판 제작에 소요되는 추가 비

용을 절감하고, 전력 특성/접지 특성을 향상시켜서 시그널 라인에 대한 임피던스 제어를 용이하게 할 수 있게 하는 반도체 패키지 장치 및 그의 제작방법을 제공함에 있다.

과제 해결수단

- [0005] 상기 목적을 달성하기 위한 본 발명의 반도체 패키지 장치는, 적어도 하나의 반도체 칩; 및 상기 반도체 칩이 실장되는 회로 기판;을 포함하고, 상기 반도체 칩의 일면에 전력/접지 특성 향상을 위한 적어도 하나의 도전면이 형성되는 것을 특징으로 한다.
- [0006] 또한, 본 발명에 따르면, 상기 반도체 칩은, 다수 개의 칩들이 전기적으로 서로 연결되는 칩 스택 패키지(Chip Stack Package) 타입인 것이 바람직하다.
- [0007] 또한, 본 발명에 따르면, 상기 반도체 칩은, 칩들을 관통하는 쓰루 실리콘 비아(Through Silicon Via)를 통해 전기적으로 연결되는 것이 바람직하다.
- [0008] 또한, 본 발명에 따르면, 상기 도전면은, 적어도 하나 이상의 금속재질로 이루어지는 메탈 플레인(Metal Plane)인 것이 바람직하다.
- [0009] 또한, 본 발명에 따르면, 상기 도전면은, 적어도 전력 특성을 향상시키기 위한 파워 플레인(Power Plane), 접지 특성을 향상시키기 위한 그라운드 플레인(Ground Plane) 및 이들의 조합 중 어느 하나 이상을 선택하여 이루어지는 것이 바람직하다.
- [0010] 또한, 본 발명에 따르면, 상기 도전면과 상기 회로 기판을 전기적으로 서로 연결하는 연결장치;를 더 포함하여 이루어지고, 상기 연결장치는, 상기 반도체 칩들을 관통하는 쓰루 실리콘 비아(Through Silicon Via)인 것이 바람직하다.
- [0011] 또한, 본 발명에 따르면, 상기 도전면은 상기 반도체 칩의 후면(Backside)에 형성되고, 상기 회로 기판과 인접된 최하층 반도체 칩의 일면에 형성되거나, 상기 다수 개의 칩들은 각 칩의 일면에 도전면이 형성되는 것이 가능하다.
- [0012] 한편, 상기 목적을 달성하기 위한 본 발명의 반도체 패키지 장치의 제작방법은, 일측에 활성면을 형성하고, 타측에 도전면을 형성하는 반도체 칩 제작단계; 일면에 시그널 라인을 형성하는 회로 기판 제작단계; 및 상기 반도체 칩의 도전면과 상기 시그널 라인이 서로 대응되고, 전기적으로 서로 연결되도록 상기 반도체 칩을 상기 회로 기판에 실장하는 실장단계;를 포함하여 이루어지는 것을 특징으로 한다.
- [0013] 또한, 본 발명에 따르면, 상기 반도체 칩 제작단계에서, 상기 도전면은 웨이퍼 제작시 웨이퍼 백사이드에 형성되는 것이 바람직하다.

효과

- [0014] 이상에서와 같이 본 발명의 반도체 패키지 장치 및 그의 제작방법에 의하면, 패키지 제작에 소요되는 비용을 절감하고, 전력 특성/접지 특성을 향상시켜서 시그널 라인에 대한 임피던스 제어를 용이하게 할 수 있게 하여 동작에 대한 신뢰성을 향상시키고, 노이즈를 방지하며, 오동작을 예방할 수 있는 효과를 갖는 것이다.

발명의 실시를 위한 구체적인 내용

- [0015] 이하, 본 발명의 바람직한 여러 실시예들에 따른 반도체 패키지 장치 및 그의 제작방법을 도면을 참조하여 상세히 설명한다.
- [0016] 먼저, 본 발명의 바람직한 일 실시예에 따른 반도체 패키지 장치는, 도 1에 도시된 바와 같이, 반도체 칩(10)(100)(100)(100)과, 회로 기판(20)을 포함하여 이루어지는 것으로서, 상기 반도체 칩(10)의 일면, 특히, 후면(BS)(Backside)에 전력/접지 특성 향상을 위한 적어도 하나의 도전면(11)이 형성되는 것이다.
- [0017] 여기서, 상기 반도체 칩(10)은, 다수 개의 칩(100)(100)(100)들과 적층되어 전기적으로 서로 연결되는 칩 스택 패키지(Chip Stack Package) 타입인 것으로서, 칩(100)(100)(100)(100)들을 관통하는 쓰루 실리콘 비아(30)(Through Silicon Via)에 의해 전기적으로 연결되는 것이다.
- [0018] 특히, 본 발명의 상기 도전면(11)은 상기 회로 기판(20)의 시그널 라인(23)과 근접되는 최하층 반도체 칩(10)의 백사이드(BS)에 형성되는 것이다.

- [0019] 또한, 상기 쓰루 실리콘 비아(30)는, 칩(100)(100)(100)(10)들을 관통하여 전기적으로 서로 연결시키는 다양한 재질의 쓰루 비아(Through Via)가 적용될 수 있다.
- [0020] 또한, 이러한 상기 칩(100)(100)(100)(10)들과 회로 기판(20)을 서로 견고하게 고정시킬 수 있도록, 상기 반도체 칩(100)들 사이에 층간 접착층(40)이 형성될 수 있고, 상기 반도체 칩(10)과 회로 기판(20) 사이에 층간 접착층(40)이 형성되는 것이 바람직하다.
- [0021] 여기서, 이러한 상기 층간 접착층(40)은 각종 접착제(Adhesive)나 레진(Resin) 등의 각종 접착성 수지재질이 적용될 수 있다.
- [0022] 한편, 상기 회로 기판(20)은, 상기 반도체 칩(10)이 실장되는 것으로서, 도 1 및 도 2에 도시된 바와 같이, 솔더 레지스트(21)(Solder Resist)에 의해 보호되고, 상기 도전면(11)과 대응되도록 코어(22)(core)의 일면에 시그널 라인(23)(Signal Line)이 형성되며, 하면에 솔더볼(1)이 형성되는 것이다.
- [0023] 본 발명의 상술된 상기 도전면(11)은, 각종 도전재질로 제작되는 것이 가능하나, 바람직하기로는, 금속재질로 이루어지는 금속면(Metal Plane)인 것이다.
- [0024] 여기서, 이러한 상기 도전면(11)은, 웨이퍼의 표면에 금속면을 형성할 수 있는 이온주입, 확산, 스퍼터링, 도금, 금속면 접착 등 모든 공정의 적용이 가능하다.
- [0025] 아울러, 상기 도전면(11)은, 도 1, 도 2 및 도 3에 도시된 바와 같이, 기능적으로 구분할 때, 전력 특성을 향상시키기 위한 파워 플레인(Power Plane)이나 접지 특성을 향상시키기 위한 그라운드 플레인(Ground Plane) 중 어느 하나를 적용하거나, 도 4 및 도 5에 도시된 바와 같이, 전력 특성을 향상시키기 위한 파워 플레인(11a)(Power Plane)과, 접지 특성을 향상시키기 위한 그라운드 플레인(11b)을 동시에 적용하는 것이 모두 가능하다.
- [0026] 특히, 도 6에 도시된 바와 같이, 상기 시그널 라인(23)의 위치를 고려하여 전력 특성을 향상시키기 위한 파워 플레인(11a)(Power Plane)과, 접지 특성을 향상시키기 위한 그라운드 플레인(11b)을 상기 쓰루 실리콘 비(30)들을 중심으로 좌우 배치하는 것이 바람직하다.
- [0027] 여기서, 상기 쓰루 실리콘 비아(30)는, 상기 도전면(11)과 상기 회로 기판(20)을 전기적으로 서로 연결하는 연결장치(3)의 일종으로서, 상기 파워 플레인(11a)과 연결되는 파워 비아(30a), 상기 그라운드 플레인(11b)과 연결되는 그라운드 비아(30b) 및 상기 각종 시그널 라인(23)과 연결되는 시그널 비아(30c)를 포함하여 이루어질 수 있다.
- [0028] 따라서, 상기 쓰루 실리콘 비아(30)는, 상기 도전면(11)과, 상기 회로 기판(20)의 전력/접지망(도시하지 않음)(Power/ground NET)을 전기적으로 연결하는 역할을 할 수 있는 것이다.
- [0029] 또한, 도 6은 상기 파워 플레인(11a)과, 그라운드 플레인(11b)가 상기 쓰루 실리콘 비아(30)들을 중심으로 좌우 배치되고, 반도체 칩(10)의 후면(BS)에 동일 평면상에 단층 배치되는 것을 예시한 것이다.
- [0030] 이외에도, 도 4에 도시된 바와 같이, 상기 파워 플레인(11a)과, 그라운드 플레인(11b)이, 반도체 칩(10)의 후면(BS)에 3차원적으로 복층 적층되는 것도 가능하다.
- [0031] 여기서, 이러한 복층으로 적층되는 상기 파워 플레인(11a)과, 그라운드 플레인(11b) 사이에는 절화막, 산화막, 수지 절연막, 유리 절연막 등의 층간 절연막이 형성될 수 있다.
- [0032] 또한, 상기 도전면(11)은 인가되는 전원전압(VDD, VDDQ) 또는 접지전압(VSS, VSSQ)의 종류, 개수, 형태, 단자 위치에 따라 다양하게 배치될 수 있는 것이다.
- [0033] 따라서, 도 6에 도시된 바와 같이, 회로 기판(20) 상에 적층되는 반도체 칩(10)의 후면(BS)에 전력/접지 특성의 향상시킬 수 있는 넓은 면적의 도전면(11a)(11b)을 형성하여 멀티 레이어(Multi-layer) 회로 기판 제작하지 않고 고도 임피던스 제어를 용이하게 하고, 전력 특성/접지 특성을 향상시켜서 시그널 라인(23)에 대한 임피던스 제어를 용이하게 할 수 있는 것이다.
- [0034] 한편, 본 발명의 바람직한 일 실시예에 따른 반도체 패키지 장치의 제작방법은, 도 4에 도시된 바와 같이, 상술된 전면에 활성면(12)을 형성하고, 후면(BS)에 전력/접지 특성 향상을 위한 도전면(11)을 형성하는 반도체 칩(10) 제작단계와, 도 1에 도시된 바와 같이, 일면에 시그널 라인(23)을 형성하는 회로 기판(20) 제작단계 및 상기 반도체 칩(10)의 도전면(11)과 상기 시그널 라인(23)이 서로 대응되고, 전기적으로 서로 연결되도록 상기 반

본 발명은 상술한 실시예에 한정되지 않으며, 본 발명의 사상을 해치지 않는 범위 내에서 당업자에 의한 변형이 가능함은 물론이다.

예컨대, 도 7에 도시된 바와 같이, 상기 쓰루 실리콘 비아(30)는, 칩(100)(100)(100)(10)들의 에지 패드(Edge pad)를 관통하여 전기적으로 서로 연결시키는 다양한 위치의 쓰루 비아(Through Via)가 적용될 수 있다.

또한, 도 8에 도시된 바와 같이, 상기 도전면(11)은 상기 회로 기판(20)의 시그널 라인(23)과 근접되는 최하층 반도체 칩(10)의 백사이드(BS)에만 형성되는 것이 아니라, 상기 다수 개의 칩들(100)(100)(100)의 백사이드에 각각 도전면(11)(11)(11)이 형성되는 것도 가능하다.

따라서, 본 발명에서 권리를 청구하는 범위는 상세한 설명의 범위 내로 정해지는 것이 아니라 후술되는 청구범위와 이의 기술적 사상에 의해 한정될 것이다.

도 1은 본 발명의 바람직한 일 실시예에 따른 반도체 패키지 장치를 나타내는 단면도이다.

도 2는 도 1의 일점 쇄선 부분을 확대한 부분 확대 단면도이다.

도 3은 도 1의 최하층 반도체 칩을 나타내는 부분 확대 단면도이다.

도 4는 도 3의 다른 일례를 나타내는 부분 확대 단면도이다.

도 5는 본 발명의 바람직한 다른 실시예에 따른 반도체 패키지 장치를 나타내는 단면도이다.

도 6은 도 5의 최하층 반도체 칩의 후면을 나타내는 저면도의 일례이다.

도 7은 본 발명의 바람직한 또 다른 실시예에 따른 반도체 패키지 장치를 나타내는 단면도이다.

도 8은 본 발명의 바람직한 또 다른 실시예에 따른 반도체 패키지 장치를 나타내는 단면도이다.

도 9는 본 발명의 반도체 패키지 장치의 제작방법에서 반도체 칩 제작단계 중 웨이퍼 후면에 형성된 도전면의 일례를 나타내는 웨이퍼의 저면도이다.

(도면의 주요한 부호에 대한 설명)

1: 솔더볼 3: 연결장치

10: 반도체 칩 11: 도전면

11a: 파워 플레인 11b: 그라운드 플레인

12: 활성화면 20: 회로 기관

21: 솔더 레지스트 22: 코어

23: 시그널 라인 30: 쓰루 실리콘 비아

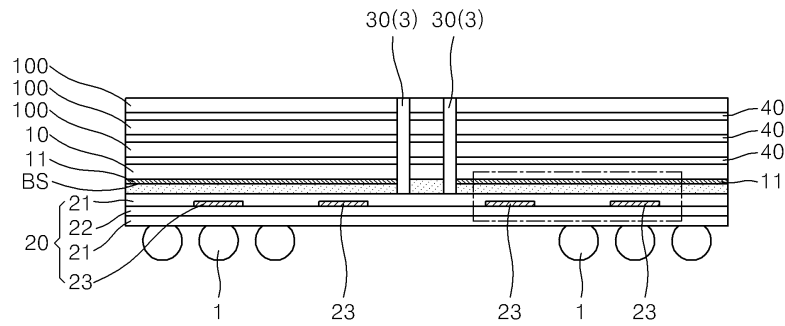
30a: 파워 비아 30b: 그라운드 비아

30c: 시그널 비아 BS: 후면

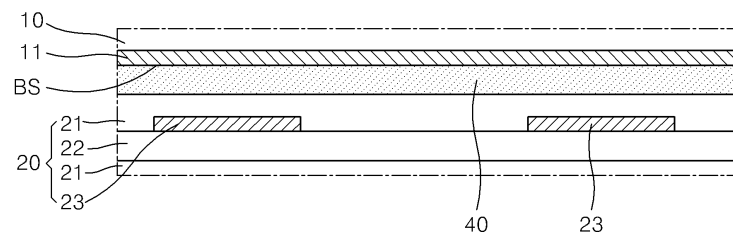
W: 웨이퍼

도면

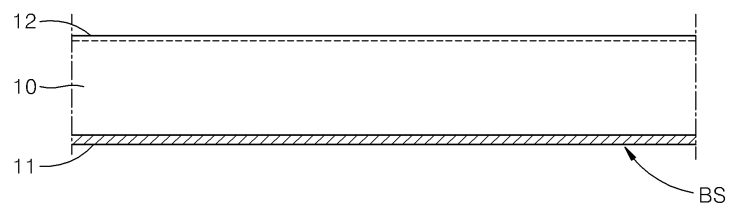
도면1



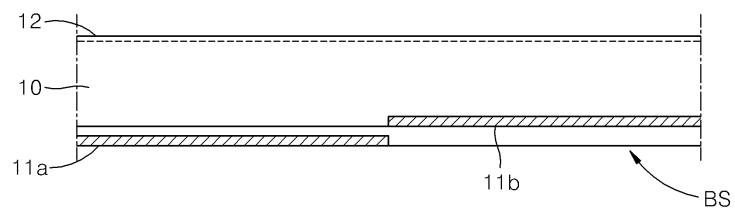
도면2



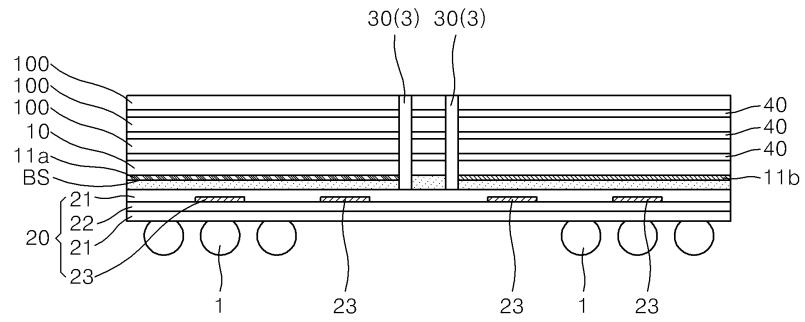
도면3



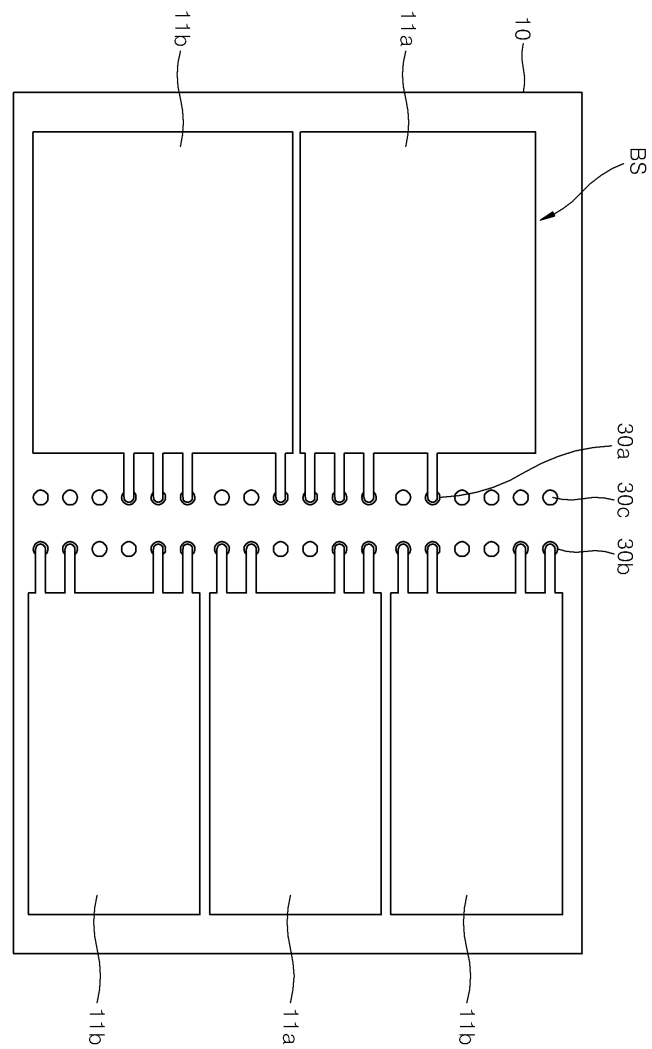
도면4



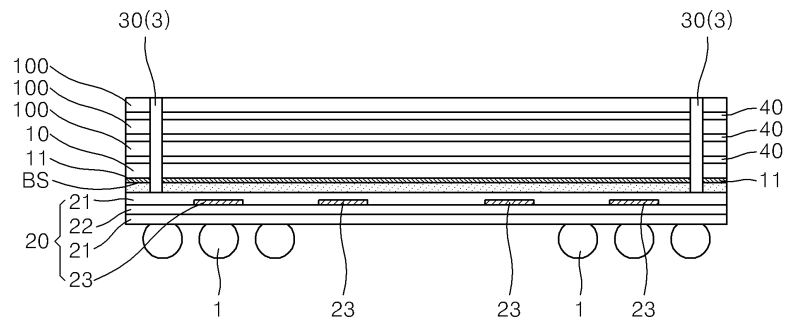
도면5



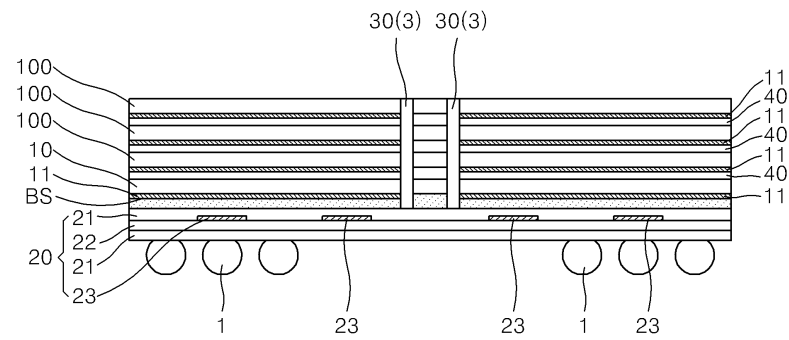
도면6



도면7



도면8



도면9

