



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0061134
(43) 공개일자 2022년05월12일

(51) 국제특허분류(Int. Cl.)
G05F 1/46 (2006.01) G05F 1/563 (2006.01)
G05F 1/59 (2006.01) G05F 3/18 (2006.01)
(52) CPC특허분류
G05F 1/468 (2013.01)
G05F 1/563 (2013.01)
(21) 출원번호 10-2022-7009007
(22) 출원일자(국제) 2020년09월21일
심사청구일자 없음
(85) 번역문제출일자 2022년03월17일
(86) 국제출원번호 PCT/US2020/051738
(87) 국제공개번호 WO 2021/055923
국제공개일자 2021년03월25일
(30) 우선권주장
62/903,632 2019년09월20일 미국(US)
16/674,577 2019년11월05일 미국(US)

(71) 출원인
텍사스 인스트루먼트즈 인코포레이티드
미국 75243 텍사스주 달라스 메일 스테이션 3999
노스 센트럴 익스프레스웨이 13588
(72) 발명자
하산, 메헤디
미국 75025 텍사스주 플라노 와시번 드라이브 8809
팔켄버그, 그랜트, 이반
미국 75231 텍사스주 달라스 넘버3402 메도우 로드 8213
(74) 대리인
양영준

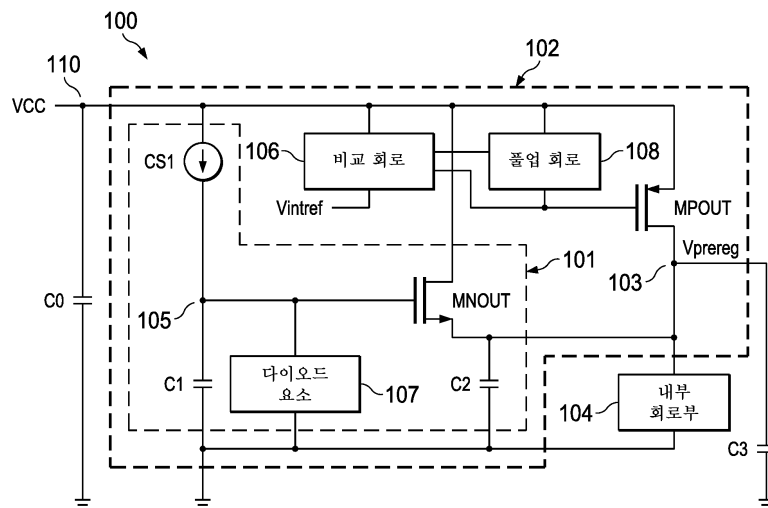
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 LDO를 위한 프리 레귤레이터

(57) 요약

전자 디바이스는, 상위 공급 전압(VCC)과 프리 레귤레이터 출력 노드(103) 사이에 결합된 전력 NFET(MNOUT) 및 상위 공급 전압과 하위 공급 전압(예컨대, 접지 평면) 사이에서 다이오드 요소(107, Z1)와 직렬로 결합된 전류원(CS1, MP2와 MP1)을 갖는 전압 레귤레이터 회로(102)를 포함한다. 전력 NFET의 게이트는 전류원과 다이오드 요소 사이의 제1 노드(105)에 결합된다. 바이패스 회로(106, 108, MPOUT)는 상위 공급 전압과 프리 레귤레이터 출력 노드 사이에 결합된 전력 PFET(MPOUT)를 포함한다. 비교 회로(106)는, 상위 공급 전압이 조절 임계 전압(예컨대, 약 4 V)을 초과할 때 바이패스 회로를 턴 오프하도록 결합된다.

대표도 - 도1



(52) CPC특허분류

G05F 1/59 (2013.01)

G05F 3/185 (2013.01)

명세서

청구범위

청구항 1

전자 디바이스로서,

상위 공급 전압과 프리 레귤레이터 출력 노드 사이에 결합된 전력 N-형 전계 효과 트랜지스터(N-type field effect transistor, NFET) 및 상기 상위 공급 전압과 하위 공급 전압 사이에서 다이오드 요소와 직렬로 결합된 전류원을 포함하는 전압 레귤레이터 회로 - 상기 전력 NFET의 게이트는 상기 전류원과 상기 다이오드 요소 사이의 제1 노드에 결합됨 -;

상기 상위 공급 전압과 상기 프리 레귤레이터 출력 노드 사이에 결합된 전력 P-형 전계 효과 트랜지스터(P-type field effect transistor, PFET)를 포함하는 바이패스 회로; 및

상기 상위 공급 전압이 조절 임계 전압을 초과할 때 상기 바이패스 회로를 턴 오프하도록 결합된 비교 회로를 포함하는, 전자 디바이스.

청구항 2

제1항에 있어서,

상기 전압 레귤레이터 회로는, 상기 전력 NFET의 게이트와 상기 하위 공급 전압 사이에 결합된 제1 커패시터; 및

상기 전력 NFET의 소스와 상기 하위 공급 전압 사이에 결합된 제2 커패시터를 추가로 포함하는, 전자 디바이스.

청구항 3

제1항에 있어서,

상기 다이오드 요소는 제1 제너 다이오드(Zener diode)를 포함하는, 전자 디바이스,

청구항 4

제3항에 있어서,

상기 비교 회로는,

상위 공급 전압과 하위 공급 전압 사이에서 제1 NFET와 직렬로 결합된 제1 저항기 및 제2 저항기; 및

상기 상위 공급 전압과 상기 하위 공급 전압 사이에서 제2 NFET와 직렬로 결합된 제1 PFET - 상기 제1 PFET는 함께 결합된 게이트 및 드레인을 가짐 - 를 포함하고,

제2 PFET는, 상기 전류원을 형성하도록 상기 제1 PFET의 게이트에 결합된 게이트를 갖는, 전자 디바이스.

청구항 5

제4항에 있어서,

상기 비교 회로는,

상기 상위 공급 전압과 상기 하위 공급 전압 사이에서 스위칭 PFET 및 제3 NFET와 직렬로 결합된 제3 PFET - 상기 제3 PFET의 게이트는 상기 제1 PFET의 게이트에 결합되고, 상기 제3 NFET의 게이트는 상기 제3 NFET의 드레인에 결합되고, 상기 스위칭 PFET의 게이트는 상기 제1 저항기와 상기 제2 저항기 사이의 제2 노드에 결합됨 -;

상기 상위 공급 전압과 상기 하위 공급 전압 사이에서 제4 NFET와 직렬로 결합된 제4 PFET - 상기 제4 PFET의 게이트는 상기 제1 PFET의 게이트에 결합되고 상기 제4 NFET의 게이트는 상기 제3 NFET의 게이트에 결합됨 -;

상기 상위 공급 전압과 상기 하위 공급 전압 사이에서 제5 NFET와 직렬로 결합된 제5 PFET - 상기 제5 PFET의 게이트는 상기 제1 PFET의 게이트에 결합되고, 상기 제5 NFET의 게이트는 상기 제4 PFET와 상기 제4 NFET 사이의 제3 노드에 결합되고, 상기 출력 PFET의 게이트는 상기 제5 PFET와 상기 제5 NFET 사이의 제4 노드에 결합됨 -;

상기 제5 NFET의 게이트와 상기 하위 공급 전압 사이에 결합된 제2 제너 다이오드;

상기 상위 공급 전압과 상기 전력 PFET의 게이트 사이에 결합된 제3 제너 다이오드; 및

상기 상위 공급 전압과 상기 전력 PFET의 게이트 사이에 결합된 제3 저항기

를 추가로 포함하는, 전자 디바이스.

청구항 6

제1항에 있어서,

상기 상위 공급 전압과 상기 전력 PFET의 게이트 사이에 결합된 풀업 회로(pullup circuit)를 추가로 포함하고, 상기 풀업 회로는 상기 비교 회로에 의해 제어되도록 결합되는, 전자 디바이스.

청구항 7

제6항에 있어서,

상기 풀업 회로는,

상기 상위 공급 전압과 상기 하위 공급 전압 사이에서 제7 PFET 및 제6 NFET와 직렬로 결합된 제6 PFET - 상기 제6 PFET의 게이트는 상기 제1 PFET의 게이트에 결합되고 상기 제6 NFET의 게이트는 상기 제3 NFET의 게이트에 결합됨 -;

상기 상위 공급 전압과 상기 하위 공급 전압 사이에서 제9 PFET, 제10 PFET 및 제7 NFET와 직렬로 결합된 제8 PFET - 상기 제8 PFET의 게이트는 상기 제8 PFET의 드레인에 결합되고, 상기 제9 PFET의 게이트는 상기 제9 PFET의 드레인에 결합되고, 상기 제10 PFET의 게이트는 상기 제10 PFET의 드레인에 그리고 상기 제7 PFET의 게이트에 결합되고, 상기 제7 NFET의 게이트는 상기 제3 NFET의 게이트에 결합됨 -; 및

상기 상위 공급 전압과 상기 제4 노드 사이에 결합된 제11 PFET - 상기 제11 PFET의 게이트는 상기 제6 PFET와 상기 제7 PFET 사이의 제6 노드에 결합됨 -

를 포함하는, 전자 디바이스.

청구항 8

제1항에 있어서,

상기 전자 디바이스는, 상기 전압 레귤레이터 회로, 상기 바이패스 회로 및 상기 비교 회로가 제조되는 집적 회로(integrated circuit, IC) 칩을 포함하는, 전자 디바이스.

청구항 9

제8항에 있어서,

상기 IC 칩은 적어도 하나의 회로에 전력을 제공하도록 결합된 LDO 레귤레이터를 추가로 포함하는, 전자 디바이스.

청구항 10

제9항에 있어서,

상기 IC 칩은,

AC/DC 변환기에 결합하기 위한 제1 핀;

접지 평면에 결합하기 위한 제2 핀;

배터리에 결합하기 위한 제3 핀; 및

상기 배터리로부터의 부스트된 출력 전압을 제공하기 위한 제4 핀
을 추가로 포함하는, 전자 디바이스.

청구항 11

제10항에 있어서,

상기 IC 칩은,

제1 복수의 핀들에 결합된 일산화탄소 검출 회로;

제2 복수의 핀들에 결합된 광 검출 회로;

제3 복수의 핀들에 결합된 혼 드라이버(horn driver); 및

상기 일산화탄소 검출 회로 및 상기 광 검출 회로로부터의 출력들을 수신하도록 결합된 멀티플렉서 - 상기 멀티플렉서는 상기 출력들을 통신하기 위한 제5 핀에 추가로 결합됨 -

를 추가로 포함하는, 전자 디바이스.

청구항 12

제11항에 있어서,

상기 전자 디바이스는 연기 검출기를 포함하고, 상기 연기 검출기는,

상기 제1 복수의 핀들에 결합된 일산화탄소 센서;

상기 제2 복수의 핀들에 결합된 광 센서;

상기 제3 복수의 핀들에 결합된 혼; 및

상기 IC 칩의 제4 복수의 핀들에 결합된 마이크로제어기 - 상기 제4 복수의 핀들은 상기 제5 핀을 포함함 -
를 추가로 포함하는, 전자 디바이스.

청구항 13

제11항에 있어서,

상기 IC 칩은 제5 복수의 핀들에 결합된 이온 검출 회로를 추가로 포함하고, 상기 멀티플렉서는 상기 이온 검출 회로로부터의 출력들을 수신하도록 추가로 결합되는, 전자 디바이스.

청구항 14

제13항에 있어서,

상기 전자 디바이스는 연기 검출기를 포함하고, 상기 연기 검출기는 상기 제5 복수의 핀들에 결합된 이온 센서
를 추가로 포함하는, 전자 디바이스.

청구항 15

낮은 드롭아웃(low dropout, LDO) 레귤레이터에 대한 프리 레귤레이터 회로를 동작시키는 방법으로서,

프리 레귤레이터 입력 노드에서, 하한과 상한 사이의 범위를 갖는 상위 공급 전압을 수신하는 단계 - 상기 상한
및 상기 하한은 적어도 10 볼트의 차이를 가짐 -;

상기 상위 공급 전압이 조절 임계 전압을 초과하는지 여부를 결정하는 단계;

상기 상위 공급 전압이 상기 조절 임계 전압을 초과하지 않을 때, 상기 LDO 레귤레이터에 결합되는 프리 레귤레
이터 출력 노드에 상기 상위 공급 전압을 직접 패스하는 단계; 및

상기 상위 공급 전압이 상기 조절 임계 전압을 초과할 때, 상기 상위 공급 전압을 조절하여 조절된 출력 전압을

상기 프리 레귤레이터 출력 노드에 제공하는 단계
를 포함하는, 방법.

청구항 16

제15항에 있어서,

상기 상위 공급 전압을 조절하는 단계는 다이오드 요소를 사용하여 전력 NFET의 게이트 전압을 제한하는 단계를 포함하는, 방법.

청구항 17

제16항에 있어서,

N-형 LDMOSFET를 상기 전력 NFET로서 사용하는 단계를 추가로 포함하는, 방법.

청구항 18

제15항에 있어서,

상기 하한은 약 2 볼트이고, 상기 상한은 약 15 볼트인, 방법.

청구항 19

제18항에 있어서,

상기 조절 임계 전압은 약 4 볼트인, 방법.

청구항 20

제15항에 있어서,

상기 조절된 출력 전압은 상기 조절 임계 전압 초과와 입력 전압들에 대해 일정한, 방법.

발명의 설명

배경 기술

[0001] 연기 검출기(smoke detector)와 같은 디바이스들에서, 다양한 전원들을 허용하기 위해 넓은 입력 전압 범위가 바람직하다. 예를 들어, 배터리 백업 및 직류(direct current, DC)로의 변환을 갖는 교류(alternating current, AC)를 사용하여 전력이 공급된 시스템은, 디바이스가 15 V AC/DC 공급원으로부터뿐만 아니라 2 V로 방전된 배터리로부터 동작되는 것을 필요로 한다. 전력원은 전형적으로, 디바이스 내의 다양한 증폭기들 및 드라이버들에 대한 전력을 관리하는 집적 회로(integrated circuit, IC)에 접속된다. 이러한 넓은 범위의 전력 공급 전압들에 걸쳐 동작할 수 있는 IC는 설계자들에게 많은 과제들을 제공한다.

발명의 내용

[0002] 개시된 실시예들은 패스 트랜지스터의 게이트 상의 단순한 클램프 다이오드를 사용하여 조절 임계 전압, 예컨대 4.0 볼트를 초과하는 상위 공급 전압들을 조절하는 프리 레귤레이터 회로(pre-regulator circuit)를 제공한다. 게이트를 클램프하는 것은, 출력 전압이 하류 회로들에 해를 끼치지 않을 것을 보장한다. 바이패스 스위치는 조절 임계 전압 미만의 상위 공급 전압들이 레귤레이터를 바이패스할 수 있게 한다. 비교 회로는 상위 공급 전압, 및 바이패스 회로를 열고 닫는 데 사용되는 내부적으로 생성된 기준 전압을 수신한다. 프리 레귤레이터 회로는 단순하고, LDO(low dropout) 내의 고 전압 디바이스들에 대한 필요성 없이 LDO의 입력 전압을 확장할 수 있다.

[0003] 일 양태에서, 전자 디바이스의 일 실시예가 개시된다. 전자 디바이스는, 상위 공급 전압과 프리 레귤레이터 출력 노드 사이에 결합된 전력 N-형 전계 효과 트랜지스터(N-type field effect transistor, NFET) 및 상위 공급 전압과 하위 공급 전압 사이에서 다이오드 요소와 직렬로 결합된 전류원을 포함하는 전압 레귤레이터 회로 - 전력 NFET의 게이트는 전류원과 다이오드 요소 사이의 제1 노드에 결합됨 -; 상위 공급 전압과 프리 레귤레이터 출력 노드 사이에 결합된 전력 P-형 전계 효과 트랜지스터(P-type field effect transistor, PFET)를 포함하는

바이패스 회로; 및 상위 공급 전압이 조절 임계 전압을 초과할 때 바이패스 회로를 턴 오프하도록 결합된 비교 회로를 포함한다.

[0004] 다른 양태에서, 낮은 드롭아웃(LDO) 레귤레이터에 대한 프리 레귤레이터 회로를 동작하는 방법의 일 실시예가 개시된다. 본 방법은, 입력 노드에서, 하한과 상한 사이의 범위를 갖는 상위 공급 전압을 수신하는 단계 - 상한 및 하한은 적어도 10 볼트의 차이를 가짐 -; 상위 공급 전압이 조절 임계 전압을 초과하는지 여부를 결정하는 단계; 상위 공급 전압이 조절 임계 전압을 초과하지 않을 때, LDO 레귤레이터에 결합되는 프리 레귤레이터 출력 노드에 상위 공급 전압을 직접 패스하는 단계; 및 상위 공급 전압이 조절 임계 전압을 초과할 때, 상위 공급 전압을 조절하여 조절된 출력 전압을 프리 레귤레이터 출력 노드에 제공하는 단계를 포함한다.

도면의 간단한 설명

[0005] 본 개시내용의 실시예들은, 유사한 참조부호들이 유사한 요소들을 나타내는 첨부 도면들의 피겨들에서 제한이 아니라 예로서 예시된다. 본 개시내용의 "일" 또는 "하나의" 실시예에 대한 상이한 참조들은 반드시 동일한 실시예에 대한 것은 아니며, 그러한 참조들은 적어도 하나를 의미할 수 있음에 유의해야 한다. 또한, 특정 특징, 구조 또는 특성이 일 실시예와 관련하여 설명될 때, 명시적으로 설명되든 아니든 다른 실시예들과 관련하여 그러한 특징, 구조 또는 특성을 이행하기 위해 그것은 통상의 기술자의 지식 내에 있다고 제안된다. 본 명세서에 사용된 바와 같이, "결합하다(couple or couples)"라는 용어는, 무선 접속들을 포함할 수 있는 "통신가능하게 결합됨"에서와 같이 간주되지 않는 한, 간접적이거나 직접적인 전기적 접속을 의미하도록 의도된다. 따라서, 제1 디바이스가 제2 디바이스에 결합하는 경우, 그러한 접속은 직접적인 전기적 접속을 통한 것이거나 또는 다른 디바이스들 및 접속들을 통해 간접적인 전기적 접속을 통한 것일 수 있다.

첨부 도면들은 본 개시내용의 하나 이상의 예시적인 실시예들을 예시하기 위해 명세서 내에 통합되고 그 일부를 형성한다. 본 개시내용의 다양한 이점들 및 특징들은 첨부된 청구범위와 관련하여 취해진 그리고 첨부된 도면들을 참조하여 이하의 상세한 설명으로부터 이해될 것이다.

도 1은 본 개시내용의 일 실시예에 따른 프리 레귤레이터 회로의 하이 레벨 블록도를 도시한다.

도 2는 본 개시내용의 일 실시예에 따른 프리 레귤레이터 회로의 구현예를 도시한다.

도 2a는 본 개시내용의 일 실시예에 따른 프리 레귤레이터 회로의 구현예를 도시한다.

도 3은 본 개시내용의 일 실시예에 따라 프리 레귤레이터 회로가 4 V의 입력 전압으로 파워업하고 부하가 인가됨에 따른 입력 및 출력 전압들을 도시한다.

도 4는 본 개시내용의 일 실시예에 따라 프리 레귤레이터 회로가 15 V의 입력 전압으로 파워업하고 부하가 인가됨에 따른 입력 및 출력 전압들을 도시한다.

도 5는 본 개시내용의 일 실시예에 따른 4 V의 입력 전압에서 동작할 때 저온 및 고온 둘 모두에서 프리 레귤레이터 회로의 대기 전류(quiescent current)를 도시한다.

도 6은 본 개시내용의 일 실시예에 따른 15 V의 입력 전압에서 동작할 때 저온 및 고온 둘 모두에서 프리 레귤레이터 회로의 대기 전류를 도시한다.

도 7은 본 개시내용의 일 실시예에 따른 프리 레귤레이터 회로를 활용하는 연기 검출기의 블록도를 도시한다.

도 8은 본 개시내용의 일 실시예에 따른 LDO 레귤레이터에 대한 프리 레귤레이터 회로를 동작시키는 방법을 도시한다.

도 9a는 종래 기술에 따른 LDO로 동작하는 연기 검출기를 도시한다.

도 9b는 종래 기술에 따른 스텝다운 DC-DC 변환기로 동작하는 연기 검출기를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0006] 본 발명의 특정 실시예들이 이제, 첨부 도면들을 참조하여 상세히 설명될 것이다. 본 발명의 실시예들의 이하의 상세한 설명에서, 다수의 특정 상세사항들이 본 발명의 더 완전한 이해를 제공하기 위해 기술된다. 그러나, 본 발명이 이들 특정 상세사항들 없이 실시될 수 있다는 것이 관련 기술 분야의 통상의 기술자에게 명백할 것이다. 다른 경우들에서, 설명을 불필요하게 복잡하게 하는 것을 회피하기 위해 잘 알려진 특징들은 상세히 설명되지 않았다.

- [0007] AC/DC 변환기를 통한 메인 전원 또는 배터리 중 어느 하나에 의해 전력이 공급될 수 있는 전형적인 연기 검출기에서, 넓은 범위의 입력 공급 전압들이 사용될 수 있다. 예를 들어, 연기 검출기는 12 볼트까지 단계적으로 내려가는 메인 전력으로 와이어링될 수 있다. 배터리들이 메인 전원으로서 또는 백업 전원으로서 활용될 때, 배터리들은 9 볼트 배터리일 수 있거나 또는 대안적으로, 2개의 AA 배터리들이 3 볼트를 공급하기 위해 필요할 수 있다. 입력 전원에 접속된 IC 칩은 임의의 신뢰성 이슈들을 허용하지 않고서 이러한 넓은 범위의 공급 전압들을 핸들링할 필요가 있다.
- [0008] 고 전압 디바이스들은 더 큰 면적들을 필요로 하고 고속의, 저 전류 애플리케이션들에 적합하지 않기 때문에, IC 내의 디바이스들이 그러한 넓은 전압 범위를 핸들링해야 할 필요성에 의해 어려움이 생성된다. 특히, 연기 검출기는 저 전력 디바이스로서 설계되어야 한다. 제품 안전 테스트 및 인증의 세계적 리더인 UL(Underwriters Laboratories)로부터의 인증을 획득하기 위해, 비-AC 전력공급형 연기 검출기는 가용용 3.3 V 리튬 배터리를 사용하여 10년의 수명을 가져야 한다. 추가로, 회로는, 입력 전원에서의 잠재적 가변성에도, 높은 신뢰성을 유지해야 한다.
- [0009] 대부분의 실제 애플리케이션들은, 더 높은 전압으로부터 고정된, 더 낮은 전압으로 단계적으로 내려가 IC의 내부 회로들이 그러한 넓은 범위의 입력 공급을 회피하고 더 낮은 전압을 위해 설계될 수 있도록 하는 고정형 스탬다운 DC-DC 변환기 또는 LDO를 제공함으로써 그 문제를 해결한다. 도 9a 및 도 9b는 2개의 그러한 종래 기술 해결책들을 도시한다.
- [0010] 도 9a에서, 종래 기술의 연기 검출기(900A)는 입력 노드(908)에서 AC/DC 전원(904) 및 배터리 전원(906)을 대안적인 상위 공급 전압들로서 수신하도록 결합되는 LDO 레귤레이터(902)를 포함한다. LDO 레귤레이터(902)는 또한, 내부 회로들, 증폭기들, 드라이버들 등을 포함할 수 있는, 연기 검출기 아날로그 프론트엔드(analog front end, AFE)(912)에 결합되는 출력 노드(910)에서 내부 공급 전압(Vinternal)을 제공하도록 결합된다. LDO 레귤레이터(902)는 입력 노드(908)와 출력 노드(910) 사이에 결합되어 출력 노드(910)에 제공되는 내부 공급 전압(Vinternal)을 조절하는 전력 P-형 전계 효과 트랜지스터(PFET)(Ma)를 포함한다. 차동 증폭기(914)가 입력 공급 전압에 결합되고, 출력 노드(910)에 용량성으로 결합된다. 차동 증폭기(914)는 기준 전압(Vref)을 수신하도록 결합되는 비-반전 입력을 갖는다. 차동 증폭기(914)의 반전 입력은, 출력 노드(910)와 접지 평면일 수 있는 하위 공급 전압 사이에 결합되는 저항기 분할기(918)를 통해 출력 노드(910)로부터 피드백을 수신하도록 결합된다.
- [0011] 도 9b에서, 종래 기술의 연기 검출기(900B)는 입력 노드(938)에서 AC/DC 전원(934) 및 배터리 전원(936)을 대안적인 상위 공급 전압들로서 수신하도록 결합되는 DC-DC 변환기(932)를 포함한다. DC-DC 변환기(932)는 또한, 내부 회로들, 증폭기들, 드라이버들, 등을 다시 포함할 수 있는, 연기 검출기 AFE(942)에 결합되는 출력 노드(940)에서 내부 공급 전압(Vinternal)을 제공하도록 결합된다. DC-DC 변환기(932)는 입력 노드(938)와 하위 공급 전압 사이에서 낮은 측 전력 N-형 전계 효과 트랜지스터(NFET)(M1s)와 직렬로 결합된 높은 측 전력 PFET(Mhs)를 포함하는데, 이때 스위치 노드(SW)가 높은 측 전력 PFET(Mhs)와 낮은 측 전력 NFET(M1s) 사이에 위치된다. 인덕터(L1)는 스위치 노드(SW)와 출력 노드(940) 사이에 결합되는데, 이때 커패시터(Cout)가 출력 노드(940)와 접지 평면일 수 있는 하위 공급 전압 사이에 결합된다. 논리 회로(944)는 높은 측 전력 PFET(Mhs)를 구동시키는 높은 측 드라이버들(946)에 결합되고, 또한 낮은 측 전력 NFET(M1s)를 구동시키는 낮은 측 드라이버들(948)에 결합된다.
- [0012] LDO 레귤레이터 또는 DC-DC 변환기 회로는 정확한 기준 전압들 및 바이어스 전류들을 필요로 하는 전용 회로, 및 증폭기이다. 이들 요건들은 전류 소비가 올라가게 한다. 필요한 넓은 전압 범위를 핸들링하기 위해 LDO 레귤레이터(902) 또는 DC-DC 변환기(932) 중 어느 하나를 설계하는 것은 추가적인 실리콘 면적, 더 높은 핀 카운트들, 및 더 많은 전력 소비를 필요로 한다. 추가적으로, LDO 레귤레이터(902) 또는 DC-DC 변환기(932)의 출력이 최저 전위 전원으로서 2 V로 고정되는 경우, 입력 공급 전압을 15 V로부터 2 V로 변환하는 것은 매우 비효율적이다. 입력 공급 전압을 3.6 V로부터 변환하는 것도 달리 사용될 수 있는 헤드룸(headroom)을 잃는 것을 의미한다. 아래에서 볼 수 있는 바와 같이, 개시된 프리 레귤레이터 회로는, 일단 상위 공급 전압이 조절 임계 전압을 초과하여 상승하면 상위 공급 전압을 조절하는 동안 상위 공급 전압의 더 낮은 값들에 대한 바이패스 회로를 제공함으로써 이러한 후자의 이슈를 다룬다.
- [0013] 도 1은 넓은 범위의 입력 전압들을 수신하도록 동작하고 더 낮은 범위 내에서 동작하는 출력 전압을 제공하는 프리 레귤레이터 회로(102)를 포함하는 시스템(100)의 하이 레벨 블록도를 제공한다. 프리 레귤레이터 회로(102)는 LDO 레귤레이터(902) 또는 DC-DC 변환기(932) 중 어느 하나만큼 더 높은 입력 전압들에서의 좋은 정확

도를 제공하지 않고, 대신에 내부 회로부(104)에 대한 손상을 방지하기에 충분히 낮은 출력 전압을 제공하는 단순한 회로를 활용하지만, 전력을 위한 회로들을 필요로 하지 않는다. 프리 레귤레이터 회로(102)를 따르는 LDO 회로는 고전압 디바이스들을 필요로 하지 않고, 저전압들에 대해서만 설계될 수 있다.

[0014] 프리 레귤레이터 회로(102)는, 상위 공급 전압(VCC)을 제공하는 프리 레귤레이터 입력 노드(110)와 하위 공급 전압 사이에 결합되고, 또한 프리 레귤레이터 출력 전압(Vprereg)을 시스템(100)에 대한 내부 회로부(104)에 제공하도록 결합된다. 내부 회로부(104)는 다시, 예컨대 LDO, 드라이버들 등을 포함할 수 있다. 전력 NFET(MNOUT)를 포함하는 전압 레귤레이터 회로(101)는, 상위 공급 전압(VCC)이, 일 실시예에서 약 4 V인 조절 임계 전압을 초과할 때 조절된 출력 전류를 제공하도록 조절 모드 동안 동작한다. 전압 레귤레이터 회로(101)는 또한, 전류원(CS1), 제1 커패시터(C1) 및 다이오드 요소(107)를 포함한다. 전력 NFET(MNOUT)는 상위 공급 전압(VCC)과 프리 레귤레이터 출력 노드(103) 사이에 결합된다. 전류원(CS1)은 상위 공급 전압(VCC)과 하위 공급 전압, 예컨대 접지 평면 사이에서 제1 커패시터(C1)와 직렬로 결합되는데, 이때 전력 NFET(MNOUT)의 게이트는 전류원(CS1)과 제1 커패시터(C1) 사이에 있는 제1 노드(105)에 결합된다. 다이오드 요소(107)는 전력 NFET(MNOUT)의 게이트와 하위 공급 전압 사이에 결합되고, 조절 모드 동안 프리 레귤레이터 출력 전압(Vprereg)을 다이오드 요소를 가로지르는 전압 강하에서 전력 NFET(MNOUT)의 게이트/소스 전압(Vgs)을 뺀 것과 동일한 값으로 조절할 것이다. 적어도 하나의 실시예에서, 전력 NFET(MNOUT)는 측방향 확산된 금속 산화물 반도체 전계 효과 트랜지스터(metal-oxide semiconductor field-effect transistor, LDMOSFET)이다.

[0015] 전력 NFET(MNOUT)의 전압 조절을 회피하기 위한 바이패스 회로가 전력 PFET(MPOUT)에 의해 제공되는데, 이는 또한 상위 공급 전압(VCC)과 프리 레귤레이터 출력 노드(103) 사이에 결합된다. 바이패스 회로는 또한, 전력 PFET(MPOUT)를 언제 턴 오프할지를 결정할 수 있는 비교 회로를 포함하고, 전력 PFET(MPOUT)가 빠르게 턴 오프되는 것을 보장하기 위해 풀업 회로(108)를 추가로 포함할 수 있다. 비교 회로(106)는 상위 공급 전압(VCC)에 의해 전력을 공급받고, 또한 내부 기준 전압(Vintref)을 수신한다. 비교 회로(106)의 제1 출력은 출력 PFET(MPOUT)의 게이트에 결합된다. 적어도 하나의 실시예에서, 풀업 회로(108)는 상위 공급 전압(VCC)과 전력 PFET(MPOUT)의 게이트 사이에 결합되고, 비교 회로(106)의 제2 출력을 수신한다.

[0016] 비교 회로(106)는 상위 공급 전압(VCC)을 내부 기준 전압(Vintref)과 비교하고, 전압들 또는 연관된 전류들 중 어느 하나를 비교할 수 있다. 상위 공급 전압(VCC)이 조절 임계 전압 이하일 때, 전력 PFET(MPOUT)는 턴 온되고, 매우 적은 전압 손실을 갖고 상위 공급 전압(VCC)을 프리 레귤레이터 출력 노드(103)로 패스한다. 이는, 전력 PFET(MPOUT)를 크고, 낮은 온-저항 트랜지스터(on-resistance transistor)로 만듦으로써 달성된다. 상위 공급 전압(VCC)이 조절 임계 전압을 초과할 때, 전력 PFET(MPOUT)는 턴 오프되어, 프리 레귤레이터 출력 전압(Vprereg)이 전력 NFET(MNOUT)에 의해 조절되게 한다. 원하는 경우, 전력 PFET(MPOUT)가 완전히 턴 오프되는 것을 보장하기 위해 그리고/또는 전력 PFET(MPOUT)를 더 빠르게 턴 오프하기 위해 풀업 회로(108)가 또한 제공될 수 있다.

[0017] 도 2는 프리 레귤레이터 회로(200)를 도시하는데, 이는 프리 레귤레이터 회로(102)의 특정 구현예로서 사용될 수 있다. 후술되는 바와 같이, 프리 레귤레이터 회로(200) 내에서, 적어도 하나의 실시예가 LDMOSFET인 전력 NFET(MNOUT)는 상위 공급 전압을 제공하는 프리 레귤레이터 입력 노드(201)와 프리 레귤레이터 출력 노드(214) 사이에 결합되고, 조절 모드에서 전압을 조절할 것이다. 전력 PFET(MPOUT)는 또한, 상위 공급 전압이 조절 임계 전압 미만일 때, 전력 NFET(MNOUT)를 통한 조절을 바이패스하는 바이패스 회로를 제공하도록 프리 레귤레이터 입력 노드(201)와 프리 레귤레이터 출력 노드(214) 사이에 결합된다.

[0018] 추가적으로, 제1 저항기(R1)는 상위 공급 전압(VCC)과 하위 공급 전압 사이에서 제2 저항기(R2) 및 제1 NFET(MN1)와 직렬로 결합된다. 제1 NFET(MN1)의 게이트 및 드레인은 함께 결합되어, 제1 NFET(MN1)가 다이오드로서 작용하게 한다. 일 실시예에서, 제2 저항기(R2)는 제1 저항기(R1)의 저항의 4.6배인 저항을 갖도록 크기가 정해진다. 제1 PFET(MP1)는 상위 공급 전압(VCC)과 하위 공급 전압 사이에서 제2 NFET(MN2)와 직렬로 결합된다. 제2 NFET(MN2)의 게이트는 제1 NFET(MN1)의 게이트에 결합되고, 제1 PFET(MP1)의 게이트 및 드레인은 함께 결합된다. 프리 레귤레이터 회로(200)가 턴 온될 때, 제1 전류(I1)는 제1 저항기(R1), 제2 저항기(R2) 및 제1 NFET(MN1)를 통해 유동하고, 제2 전류(I2)는 제1 PFET(MP1) 및 제2 NFET(MN2)를 통해 유동한다.

[0019] 프리 레귤레이터 회로(200)는 또한, 상위 공급 전압(VCC)과 하위 공급 전압 사이에서 제1 제너 다이오드(Z1)로 이루어진 다이오드 요소와 직렬로 결합된 제2 PFET(MP2)를 포함하고, 이때 전력 NFET(MNOUT)의 게이트는 제2 PFET(MP2)와 제1 제너 다이오드(Z1) 사이에 있는 제1 노드(202)에 결합되어 Vz의 게이트 전압을 수신한다. 일 실시예에서, 제1 PFET(MP1) 및 제2 PFET(MP2)에 의해 형성된 전류 미러는 도 1의 전류원(CS1)을 형성한다. 제1

커패시터(C1)는 전력 NFET(MNOUT)의 게이트와 하위 공급 전압 사이에 결합되고, 제2 커패시터(C2)는 프리 레귤레이터 출력 노드(214)와 하위 공급 전압 사이에 결합된다. 제3 PFET(MP3)는 상위 공급 전압(VCC)과 하위 공급 전압 사이에서 스위칭 PFET(MPSW) 및 제3 NFET(MN3)와 직렬로 결합된다. 스위칭 PFET(MPSW)의 게이트는 제1 저항기(R1)와 제2 저항기(R2) 사이의 제2 노드(204)에 결합되어 게이트 전압(Vb)을 수신하고, 제3 NFET(MN3)의 게이트와 드레인온은 함께 결합된다. 제2 PFET(MP2)의 게이트 및 제3 PFET(MP3)의 게이트는 각각 제1 PFET(MP1)의 게이트에 결합된다. 상위 공급 전압이 대체적으로 약 5 V인 제너 전압을 초과할 때, 제3 전류(I3)는 제2 PFET(MP2) 및 제1 제너 다이오드(Z1)를 통해 유동한다. 스위칭 PFET(MPSW)가 턴 온될 때, 제4 전류(I4)는 제3 PFET(MP3), 스위칭 PFET(MPSW) 및 제3 NFET(MN3)을 통해 유동한다.

[0020] 추가적으로, 제4 PFET(MP4)는 상위 공급 전압과 하위 공급 전압 사이에서 제4 NFET(MN4)와 직렬로 결합된다. 제4 PFET(MP4)의 게이트는 제1 PFET(MP1)의 게이트에 결합되고, 제4 NFET(MN4)의 게이트는 제3 NFET(MN3)의 게이트에 결합된다. 또한, 제5 PFET(MP5)는 상위 공급 전압(VCC)과 하위 공급 전압 사이에서 제5 NFET(MN5)와 직렬로 결합되고, 이때 제4 노드(208)가 제5 PFET(MP5)와 제5 NFET(MN5) 사이에 놓인다. 제5 PFET(MP5)의 게이트는 제1 PFET(MP1)의 게이트에 결합되고, 제5 NFET(MN5)의 게이트는 제4 PFET(MP4)와 제4 NFET(MN4) 사이의 제3 노드(206)에 결합되어 게이트 전압(Vp_{dn})을 수신한다. 제2 제너 다이오드(Z2)는 제5 NFET(MN5)의 게이트와 하위 공급 전압 사이에 결합된다.

[0021] 전력 PFET(MPOUT)의 게이트는 제5 PFET(MP5)와 제5 NFET(MN5) 사이의 제4 노드(208)에 결합되어 게이트 전압(Vg)을 수신한다. 제3 제너 다이오드(Z3) 및 제3 저항기(R3)는 각각 상위 공급 전압과 전력 PFET(MPOUT)의 게이트 사이에 결합된다. 제5 전류(I5)는, 스위칭 트랜지스터(MPSW)가 턴 온될 때 제4 PFET(MP4) 및 제4 NFET(MN4)를 통해 유동할 것이고, 제6 전류(I6)는, 제5 NFET(MN5)가 턴 온될 때 제5 PFET(MP5)를 통해 유동할 것이다.

[0022] 추가로, 제6 PFET(MP6) 및 제7 PFET(MP7)는 상위 공급 전압과 하위 공급 전압 사이에서 제6 NFET(MN6)와 직렬로 결합된다. 제6 PFET(MP6)의 게이트는 제1 PFET(MP1)의 게이트에 결합되고, 제6 NFET(MN6)의 게이트는 제3 NFET(MN3)의 게이트에 결합된다. 제8 PFET(MP8), 제9 PFET(MP9) 및 제10 PFET(MP10)는 각각 다이오드 결합되고, 상위 공급 전압과 하위 공급 전압 사이에서 제7 NFET(MN7)와 직렬로 추가로 결합된다. 제7 NFET(MN7)의 게이트는 제3 NFET(MN3)의 게이트에 결합되고, 제7 PFET(MP7)의 게이트는 제10 PFET(MP10)와 제7 NFET(MN7) 사이의 제5 노드(210)에 결합된다. 제6 NFET(MN6) 및 제7 PFET(MP7)가 온상태(on)일 때, 제7 전류(I7)는 제6 PFET(MP6), 제7 PFET(MP7) 및 제6 NFET(MN6)를 통해 유동한다. 유사하게, 제7 NFET(MN7)이 온상태일 때, 제8 전류(I8)는 제8 PFET(MP8), 제9 PFET(MP9), 제10 PFET(MP10) 및 제7 NFET(MN7)를 통해 유동한다. 마지막으로, 제11 PFET(MP11)는 상위 공급 전압과 제4 노드(208) 사이에 결합되고, 이때 제11 PFET(MP11)의 게이트는 제6 PFET(MP6)과 제7 PFET(MP7) 사이의 제6 노드(212)에 결합된다.

[0023] 프리 레귤레이터 회로(200)의 동작 동안, 제1 전류(I1)는 제1 NFET(MN1)의 게이트/소스 전압(Vgs), 저항기들(R1, R2)의 저항 및 상위 공급 전압(VCC)의 함수이다. 결과적으로, 저 전압 응용들에서, 제1 전류(I1)는 작고 낮은 전력 요건을 충족시키는 것을 돕는다. 제2 전류(I2) 내지 제8 전류(I8)는 또한, 제1 전류(I1) 내지 다양한 전류 미러들에 관련되고, 따라서 상위 공급 전압(VCC)이 낮을 때 낮게 유지된다.

[0024] 프리 레귤레이터 회로(200)의 실시예에서 알 수 있는 바와 같이, 회로는 대체적으로 4개의 섹션들: 제1 전류(I1) 및 제2 전류(I2)를 포함하는 제1 섹션(222), 제3 전류(I3), 제4 전류(I4) 및 제5 전류(I5)를 포함하는 제2 섹션(224), 제6 전류(I6) 및 출력 회로들 둘 모두를 포함하는 제3 섹션(226), 및 제7 전류(I7) 및 제8 전류(I8)를 포함하는 제4 섹션(228)으로 분할된다. 이하에서 더 상세히 설명되는 바와 같이, 예컨대, 4 V 미만의 저 전압 동작 동안, 제1 섹션(222) 및 제3 섹션(226)만이 전력을 소비한다. 일 실시예에서, 저 전압 구현들 동안 활성인 단순한 회로는 500 nA 미만의 전력을 사용할 수 있다. 상위 공급 전압(VCC) 상의 더 높은 전압들, 즉 조절 임계 전압 초과에서만, 제2 섹션(224) 및 제4 섹션(228)이 전력을 소비한다.

[0025] 도 2의 일 실시예에서, 4.0 볼트 미만의 동작들을 위해, 제1 전류(I1) 및 제2 전류(I2)가 그들 각자의 회로들을 통해 유동한다. 제4 PFET(MP4)는 온상태이고 제5 NFET(MN5)를 턴 온시키는 제3 노드(206)를 풀업하여, 제6 전류(I6)가 유동하게 한다. 상위 공급 전압(VCC)이 조절 임계 전압 미만일 때, 제3 PFET(MP3)를 가로지르는 전압 강하와 저항기(R1)를 가로지르는 전압 강하 사이의 차이는, 스위칭 PFET(MPSW)의 게이트/소스 전압(Vgs)이 실질적인 전류가 유동할 수 있게 하기에 충분히 크지 않도록 하는 것이다. 이것은, 제3 NFET(MN3) 및 제4 NFET(MN4)의 전류 미러가 턴 온되지 않고, 따라서 제4 전류(I4)가 유동하지 않는다는 것을 의미한다.

[0026] 스위칭 PFET(MPSW)와 관련하여 더 구체적으로, 게이트 전압(Vb)은 (VCC-I1*R1)와 동일하고, 여기서 R1은 저항기

(R1)의 저항을 나타낸다. 스위칭 PFET(MPSW)를 턴 온시키는데 필요한 R1을 가로지르는 전압은 $V_{gsmpsw} + V_{dsatmp3}$ 이고, 여기서 V_{gsmpsw} 는 스위칭 PFET(MPSW)의 게이트/소스 전압이고 $V_{dsatmp3}$ 은 제3 PFET(MP3)의 포화상태에서의 드레인/소스 전압이다. VCC의 낮은 값들에서, 스위칭 PFET(MPSW) 상의 게이트/소스 전압은 스위칭 PFET(MPSW)를 턴 온시키기에 충분히 높지 않다. 제3 NFET(MN3), 제4 NFET(MN4), 제6 NFET(MN6) 및 제7 NFET(MN7)는 모두 오프 되어, 제4 전류(I4), 제5 전류(I5), 제7 전류(I7) 및 제8 전류(I8)가 유동하는 것을 방지한다. 제4 NFET(MN4)가 오프되는 동안, 제4 PFET(MP4)는 제3 노드(206)를 풀업하고 제5 NFET(MN5)는 턴 온된다. 제5 NFET(MN5)는 제5 PFET(MP5)보다 더 높은 게이트/소스 전압을 가져서, 제4 노드(208) 및 전력 PFET(MPOUT) 상의 게이트 전압(V_g)이 낮게 풀링되어, 전력 PFET(MPOUT)를 완전히 턴 온시킨다.

[0027] VCC의 전압이 증가함에 따라, 제1 전류(I1)는 증가하고 그에 따라 $I1 \cdot R1$ 이 증가한다. $I1 \cdot R1$ 이 $V_{gsmpsw} + V_{dsatmp3}$ 을 초과하게 될 때, 스위칭 PFET(MPSW)는 턴 온된다. I1, R1, V_{gsmpsw} 및 $V_{dsatmp3}$ 의 값들은 따라서, 스위칭 PFET(MPSW)를 턴 온시키는 조절 임계 전압을 정의하도록 활용될 수 있어, 전류(I4)가 제3 NFET(MN3)로 유동하게 한다. 제3 NFET(MN3)가 다이오드 결합되고 제4 NFET(MN4)에 추가로 결합되기 때문에, 제4 전류(I4) 및 제5 전류(I5) 둘 모두가 유동한다. 제4 NFET(MN4)는 제4 PFET(MP4)보다 더 강한 트랜지스터이도록 설계되어, 제3 노드(206)가 낮게 풀링 된다. 제3 노드(206)는 제5 NFET(MN5)에 대한 게이트 전압(V_{pdn})을 제어하고, 그에 의해 제5 NFET(MN5)를 턴 오프시킨다. 제5 NFET(MN5)가 턴 오프되면, 제5 PFET(MP5)는 전력 PFET(MPOUT)에 대한 게이트 전압(V_g)을 상위 공급 전압(VCC)으로 풀업하고, 전력 PFET(MPOUT)를 턴 오프시킨다.

[0028] 상위 공급 전압(VCC)이 조절 임계 전압을 초과하게 되고 전력 PFET(MPOUT)가 턴 오프됨에 따라, 전력 NFET(MNOUT) 상의 소스 전압이 떨어져 전력 NFET(MNOUT)가 턴 온되게 한다. 전력 NFET(MNOUT)는, 제너 다이오드(Z1)의 전압에서 전력 NFET(MNOUT)의 게이트/소스 전압(V_{gs})을 뺀 것과 동일한 프리 레귤레이터 출력 전압(V_{prereg})을 제공할 수 있다. 제너 전압이 전형적으로 5 V이고 전력 NFET(MNOUT)의 게이트/소스 전압(V_{gs})이 약 1 볼트이어서, 전력 NFET(MNOUT)를 통한 프리 레귤레이터 출력 전압(V_{prereg})은 약 4 V로 조절된다. 이하에서 볼 수 있는 바와 같이, 프로세스 및 온도의 변동들 때문에, 전력 NFET(MNOUT)를 통한 프리 레귤레이터 출력 전압(V_{prereg})은 일부 경우들에서 약 5.4 V만큼 높을 수 있다. 일 실시예에서, 연기 알람의 내부 회로부에서 허용된 최대 게이트 전압은 약 6 V이어서, 프리 레귤레이터 출력 전압(V_{prereg})은 달리 필요한 만큼 아주 엄격하게 제어할 필요가 없다.

[0029] 스위칭 트랜지스터(MPSW)가 완전히 턴 온되고 전력 PFET(MPOUT)의 턴 오프를 시행할 때, 제6 NFET(MN6) 및 제7 NFET(MN7)는 또한 턴 온되어, 제6 PFET 내지 제11 PFET(MP6 내지 MP11)를 포함하는 클램프 회로를 활성화시킨다. 제8 PFET(MP8), 제9 PFET(MP9) 및 제10 PFET(MP10) 각각은 다이오드 결합되어, 제5 노드(210)에서의 전압이 $VCC - 3 \cdot V_{gs}$ 와 동일하게 되도록 한다. 제5 노드(210)에서의 전압이 제7 PFET(MP7)의 게이트에 제공되어, 제7 PFET(MP7)를 턴 온시켜 제6 노드(212)에서 $VCC - 2 \cdot V_{gs}$ 의 전압을 제공하고, 이는 이어서 제11 PFET(MP11)를 턴 온시킨다. 제11 PFET(MP11)를 턴 온시키는 것은 제4 노드(208)를 풀업하는 것을 도와, 게이트 전압(V_g)이 높아지게 하고 전력 PFET(MPOUT)가 빠르게 턴 오프되는 것을 보장한다.

[0030] 통상의 기술자는, 도 2의 회로에 대한 수정들이 개시된 프리 레귤레이터 회로(200)의 사상 내에서 제공될 수 있다는 것을 인식할 것이다. 도 2a의 프리 레귤레이터 회로(200A)는 하나의 그러한 변형을 도시한다. 프리 레귤레이터 회로(200A)는, 다이오드 요소(107)로서 제너 다이오드(Z1)의 사용이, 제너 다이오드(Z1)와 게이트 전압에 대한 대략 동일한 제한들을 제공하는 적층형 다이오드 연결된 NFET들(MN8 내지 MN12)에 의해 대체된다는 것을 제외하고 프리 레귤레이터 회로(200)와 동일하여, 프리 레귤레이터 회로(200A)는 프리 레귤레이터 회로(200)가 하는 것과 동일한 이익들을 제공한다.

[0031] 내부 회로부, 예컨대 도 1의 내부 회로부(104)에 필요한 전압은 매우 낮다는 것이 주목될 수 있다. 전통적인 LDO들은 대체적으로, 넓은 범위의 입력 전압 및 출력 전압 둘 모두에 걸쳐 작동하도록 설계된다. 이는, 넓은 입력 범위와 낮은 출력 범위가 요구되는 본 출원과 대조적이다. 2개의 동작 모드들, 예컨대 상위 공급 전압(VCC)이 조절 임계 전압을 초과할 때 조절 모드 및 상위 공급 전압(VCC)이 조절 임계 전압 미만일 때 바이패스 회로를 포함함으로써, 개시된 프리 레귤레이터, 예컨대 프리 레귤레이터 회로(102), 프리 레귤레이터 회로(200), 및 프리 레귤레이터 회로(200A) 중 임의의 것이 더 단순한 설계로 전압을 단계적으로 내릴 수 있다.

[0032] 개시된 프리 레귤레이터의 사용은 다음의 이점들 중 하나 이상을 초래할 수 있다:

[0033] • 회로는 어떠한 외부 기준 회로들 또는 전류원들도 필요로 하지 않음;

[0034] • 정상 온도들 및 프로세스에서 Li-ION 배터리 응용들 동안 매우 낮은 전류 소비가 존재하고, 따라서 연기 검출

기 응용들에 대해 연장된 배터리 수명을 허용함;

- [0035] • 조절 임계 전압 미만의 상위 전압 공급원(VCC)에 대해, 전력 PFET는 스위치로서 작용하고 VCC를 프리 레귤레이터 출력 노드로 직접 전달 함;
- [0036] • Li-ION 배터리 응용 동안 전력 PFET 상에 무시할 수 있는 전압 강하가 존재함;
- [0037] • 일단 상위 공급 전압(VCC)이 조절 임계 전압 초과이면, 프리 레귤레이터 출력은 제너 전압에 의해 제한되는 전력 NFET(MNOUT) 상의 게이트 전압(V_z)에 의해 제어됨; 프리 레귤레이터 출력 전압(V_{prereg})은 게이트 전압(V_z)에서 전력 NFET(MNOUT)의 게이트/소스 전압(V_{gs})을 뺀 것과 동일하고, 일단 출력이 이러한 값에 도달하면, 조절된 출력은 상위 공급 전압(VCC)에 대해 15 V만큼 높게 유지됨.
- [0038] 도 3은 회로가 4 V의 상위 공급 전압으로 턴 온됨에 따라, 그리고 이어서 다시 30 mA 부하가 인가됨에 따라 상위 공급 전압(VCC) 및 프리 레귤레이터 출력 전압(V_{prereg})의 시뮬레이션된 값들의 그래프(300)를 도시한다. 시뮬레이션들은 온도 및 트랜지스터 파라미터들에 걸친 변동들을 포함한다. 회로가 턴 온됨에 따라, 상위 전압 공급원(VCC)은, VCC가 4 V에 도달할 때까지 모든 실시예들에서 꾸준히 상승한다. 시뮬레이션들 전부가 4 V의 프리 레귤레이터 출력 전압(V_{prereg})까지 안정된 상승을 빠르게 달성하지만, 상이한 시뮬레이션들은, 프리 레귤레이터 출력 전압(V_{prereg})이 상승하기 시작하는 데 약간 상이한 시간들을 필요로 한다. 30 mA 부하가 인가될 때, 프리 레귤레이터 출력 전압(V_{prereg})의 작은 양의 분리가 보여진다. 부하가 제거될 때, 시뮬레이션들의 전부는 4 V의 안정된 출력으로 복귀한다. 30 mA의 전류에서, 프리 레귤레이터 출력 전압(V_{prereg})은 3.9348 V의 최소값과 3.956 V의 최대값 사이의 범위에 있고, 이때 전형적인 전압은 3.95 V이다. 전류가 1 μ A 미만일 때, 프리 레귤레이터 출력 전압(V_{prereg})은 3.999 V의 최소값과 4.0 V의 최대값 사이의 범위에 있고, 이때 전형적인 전압은 3.999 V이다.
- [0039] 도 4는 회로가 15 V의 상위 공급 전압으로 턴 온됨에 따라, 그리고 이어서 다시 30 mA 부하가 인가됨에 따라 상위 공급 전압(VCC) 및 프리 레귤레이터 출력 전압(V_{prereg})의 시뮬레이션된 값들의 그래프(400)를 도시한다. 시뮬레이션들은 다시, 온도 및 트랜지스터 파라미터들에 걸친 변동들을 포함한다. 회로 턴 온 시에, 상위 전압 공급원(VCC)은, VCC가 15 V에 도달할 때까지 모든 실시예들에서 꾸준히 상승한다. 프리 레귤레이터 출력 전압(V_{prereg})이 상승하기 시작하는 시간에서 약간의 작은 변동들 후, 프리 레귤레이터 출력 전압(V_{prereg})의 정상 상태는 상위 공급 전압이 단순히 통과될 때, 30 mA 부하의 인가 전 및 후 둘 모두보다 최대 전압에서 더 큰 변동을 보여준다. 30 mA의 전류에서, 프리 레귤레이터 출력 전압(V_{prereg})은 3.935 V의 최소값과 3.956 V의 최대값 사이의 범위에 있고, 이때 전형적인 전압은 3.945 V이다. 전류가 1 μ A 미만일 때, 프리 레귤레이터 출력 전압(V_{prereg})은 3.999 V의 최소값과 4.0 V의 최대값 사이의 범위에 있고, 이때 전형적인 전압은 3.999 V이다.
- [0040] 도 5는 4 V의 상위 공급 전압(VCC)에서 0 내지 85 $^{\circ}$ C 범위의 온도들 및 프로세스에서의 변동들에 걸쳐 프리 레귤레이터 회로(200)에 의해 소비된 총 대기 전류의 그래프(500)를 도시한다. 저온 범위는 그래프(500)의 좌측 상에 보여지는데, 여기서 대기 전류는 평균 1.13 μ A이고, 고온 범위는 우측 상에 보여지는데, 여기서 대기 전류는 평균 2.62 μ A이다. 전형적인 대기 전류는 1.66 μ A이다.
- [0041] 도 6은 유사하게, 15 V의 상위 공급 전압(VCC)에서 0 내지 85 $^{\circ}$ C 범위의 온도들 및 프로세스에서의 변동들에 걸쳐 프리 레귤레이터 회로(200)에 의해 소비된 총 대기 전류의 그래프(600)를 도시한다. 다시, 저온 범위는 그래프(600)의 좌측 상에 보여지는데, 여기서 대기 전류는 평균 5.88 μ A이고, 고온 범위는 우측 상에 보여지는데, 여기서 대기 전류는 평균 9.88 μ A이다. 15 V의 상위 공급 전압(VCC)에서 전형적인 대기 전류는 7.63 μ A이다. 15 V에서의 대기 전류는 4 V에서의 대기 전류만큼 좋지는 않지만, 회로가 15 V를 수신하고 있을 때, 시스템은 대체적으로 메인 전력을 사용하고 있고, 전류를 최소화할 필요성은 배터리 전력이 채용되고 있을 때만큼 중요하지 않다.
- [0042] 도 7은 본 개시내용의 일 실시예에 따른 프리 레귤레이터 회로(pre-LDO)(720)를 통합하는 연기 검출기(700)인 전자 디바이스의 블록도를 도시한다. 연기 검출기(700)는 프리 레귤레이터 회로(720)를 포함하는 다수의 회로들이 구현되는 IC 칩(701)을 포함하며, 프리 레귤레이터 회로는 프리 레귤레이터 회로(102) 및 프리 레귤레이터 회로(200) 중 하나에 도시된 회로들 및 도 8에서 논의되는 바와 같은 방법(들)을 사용하여 구현될 수 있다. IC 칩(701)은 또한, 일산화탄소 검출 회로(704), 광 검출 회로(706), 선택적 이온 검출 회로(708), 및 혼 드라이버(721)를 포함한다. 일 실시예에서, 광 검출 회로(706)는 또한, 제1 발광 다이오드(LED) 드라이버(712) 및 제2 LED 드라이버(714)를 포함한다. 일산화탄소 검출 회로(704)는 제1 복수의 핀들(705)에 결합되고; 광 검출 회로

(706)는 제2 복수의 핀들(707)에 결합되고; 혼 드라이버(721)는 제3 복수의 핀들(711)에 결합된다. 제4 복수의 핀들(713)의 일부인 제5 핀(P5)에 결합되는 멀티플렉서(710)는 일산화탄소 검출 회로(704) 및 광 검출 회로(706)의 각각으로부터 입력 신호들을 수신할 수 있다. 선택적 이온 검출 회로(708)가 제공될 때, 이온 검출 회로(708)는 제5 복수의 핀들(709)에 결합되고 멀티플렉서(710)는 또한, 이온 검출 회로(708)로부터 입력 신호들을 수신하도록 결합된다. 혼 드라이버(721)는 혼(729)을 구동시키도록 제공될 수 있다.

[0043] 4개의 특정 전원 핀들이 IC 칩(701)에 표기된다: 제1 핀(P1), 제2 핀(P2), 제3 핀(P3) 및 제4 핀(P4). 프리 레귤레이터 회로(720)는 제1 핀(P1)에 결합되고, 이는 또한 AC/DC 변환기(732)에 결합된다. 프리 레귤레이터 회로(720)는 또한 제2 핀(P2)(결합은 구체적으로 도시되지 않음)에 결합되어, 하위 공급 전압을 수신한다. DC/DC 부스트 변환기(702)는 제3 핀(P3)에 결합되어 배터리(BAT)로부터 인덕터(L)를 통해 전력을 수신하고, 또한 제4 핀(P4)에 결합되어 배터리 전력으로부터 부스트된 출력 전압(Vbst)을 제공한다. 제4 핀(P4)은 또한 제1 핀(P1)에 결합되고, 이는 배터리 전력에 의존할 때 부스트된 출력 전압(Vbst)을 프리 레귤레이터 회로(720)에 제공한다. 제2 핀(P2)은 접지 평면에 결합되지만, 회로들에 대한 내부 접속들은 구체적으로 도시되지 않는다.

[0044] 프리 레귤레이터 회로(720)는 프리 레귤레이터 출력 전압(Vprereg)을 제공하고, 이는 IC 칩(701) 상의 내부 회로들에 게이트-드라이버 공급 전압(Vcc)을 제공하는 데 사용될 것이다. 프리 레귤레이터 출력 전압(Vprereg)은 마이크로제어기(MCU) LDO 레귤레이터(716), 내부 LDO 레귤레이터(718) 및 Vcc 분할기(719)로 분배될 수 있다. MCU LDO 레귤레이터(716)는 MCU(730) 및 I/O 버퍼들(구체적으로 도시되지 않음)에 공급 전압을 제공하고; 내부 LDO 레귤레이터(718)는 데이터 코어 및 아날로그 블록들과 같은 내부 회로들, 예컨대 일산화탄소 검출 회로(704), 광 검출 회로(706) 및 이온 검출 회로(708)에 공급 전압을 제공하고; Vcc 분할기(719)는 멀티플렉서(710)에 공급 전압을 제공한다.

[0045] 연기 검출기(700)에서, 일산화탄소 검출 회로(704)는 제1 복수의 핀들(705)을 통해 일산화탄소 센서(722)에 결합되고; 제1 LED 드라이버(712) 및 제2 LED 드라이버(714)를 포함할 수 있는 광 검출 회로(706)는 제2 복수의 핀들(707)을 통해 광 센서(724) 및 LED들(726)에 결합되고; 이온 검출 회로(708)는 제5 복수의 핀들(709)을 통해 이온 센서(728)에 결합되고; 혼 드라이버(721)는 제3 복수의 핀들(711)을 통해 혼(729)에 결합된다. 일산화탄소 센서(722), 광 센서(724) 및 이온 센서(728)가 영역 내의 연기 및 일산화탄소를 검출하는 데 필요한 정보를 수집하면서, 혼(729)은 연기 또는 일산화탄소가 검출될 때 시끄러운 가청 경보를 제공한다. IC 칩(701)은 또한 제4 복수의 핀들(713)을 통해 마이크로제어기(730)에 결합되고, 이때 IC 칩(701)은 전력 및 정보 둘 모두를 마이크로제어기(730)에 공급하고 연기 검출기(700)의 동작의 다양한 양태들을 제어하기 위한 명령어들을 수신한다. 제4 복수의 핀들(713)의 일부인 제5 핀(P5)은 멀티플렉서(710)에 대한 경로를 제공하여 일산화탄소 검출 회로(704), 광 검출 회로(706), 및 이온 검출 회로(708)의 출력들을 MCU(730)에 제공한다.

[0046] 도 8은 LDO 레귤레이터에 대한 프리 레귤레이터 회로를 동작하는 방법(800)을 도시한다. 본 방법은, 전력 입력 노드에서, 적어도 10 볼트의 차이를 갖는 하한과 상한 사이의 범위를 갖는 상위 공급 전압을 수신하는 단계(805)로 시작한다. 일 실시예에서, 하한은 약 3.3 V이고 상한은 약 15 V이고, 따라서 차이는 약 12 볼트이다. 본 방법은, 상위 공급 전압이 조절 임계 전압을 초과하는지 여부를 결정한다(810). 일 실시예에서, 조절 임계 전압은 약 4 V이다. 상위 공급 전압이 조절 임계 전압을 초과하지 않을 때, 상위 공급 전압은 LDO 레귤레이터에 전력을 제공하도록 결합된 전력 출력 노드로 직접 패스된다(815). 상위 공급 전압이 조절 임계 전압을 초과할 때, 본 방법은 상위 공급 전압을 조절하여 조절된 전압을 전력 출력 노드에 제공한다(820).

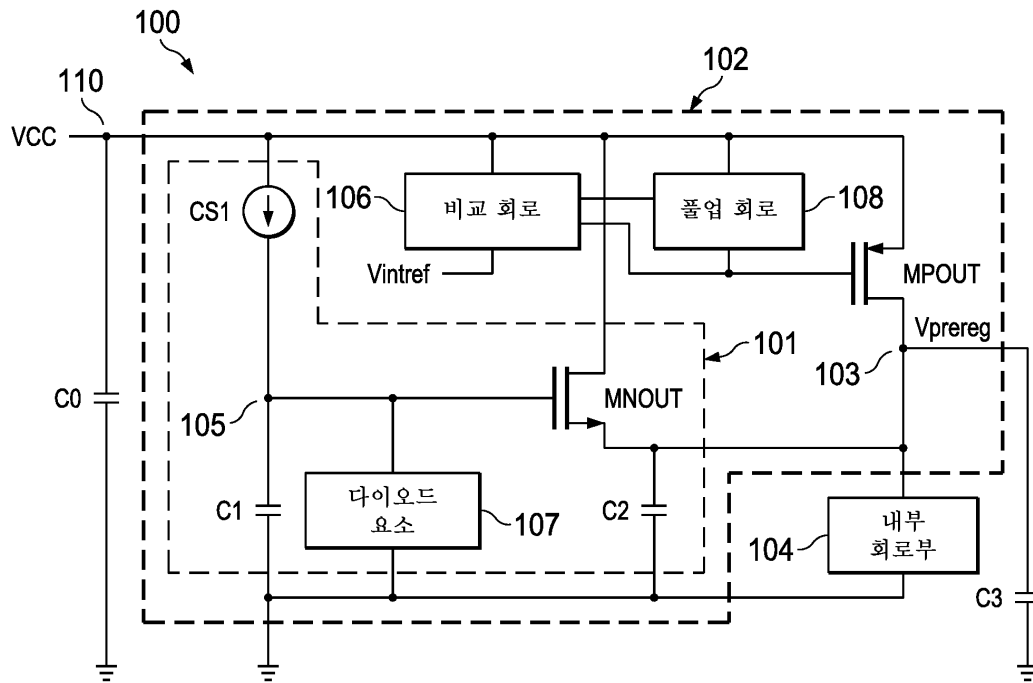
[0047] 출원인들은, 프리 레귤레이터 회로를 제공함으로써 고전압 디바이스들에 대한 필요성 없이 LDO 레귤레이터의 입력 전압을 확장하는 전자 디바이스 및 방법을 개시하였다. 전자 디바이스는 회로, IC 칩, 또는 시스템, 예컨대 연기 검출기일 수 있다. 프리 레귤레이터 회로는, 저 전압 배터리 입력이 제공될 때 매우 적은 전류를 소비하고, 배터리 응용들에 매우 적합하며, 최대 배터리 전압을 LDO 레귤레이터에 제공한다. 프리 레귤레이터 회로는 기능하기 위한 기준 전압 또는 외부 바이어스 전류를 필요로 하지 않는다. 바이어스 전류를 생성하는 동일한 저항기가 사용되어, VCC가 조절 임계 전압을 가로지를 때 PMOS 패스 FET로부터 LDMOSFET로 스위칭할 수 있다.

[0048] 다양한 실시예들이 상세히 도시되고 설명되었지만, 청구범위는 임의의 특정 실시예 또는 예로 제한되지 않는다. 상기의 상세한 설명 중 어느 것도 임의의 특정 컴포넌트, 요소, 단계, 작용 또는 기능이 필수적이어야 하여, 그것이 청구범위의 범주에 포함되어야 함을 의미하는 것으로 판독되지 않아야 한다. 단수의 요소에 대한 언급은, 명시적으로 언급되지 않는 한 "하나 및 하나만"을 의미하도록 의도되지 않고, 차라리 "하나 이상"을 의미한다. 통상의 기술자에게 공지된 기술된 실시예들의 요소들에 대한 모든 구조적 및 기능적 등가물들은 참고로 본 명세서에 명시적으로 포함되고 본 청구범위들에 의해 포함되는 것으로 의도된다. 따라서, 통상의 기술자는 본 명세

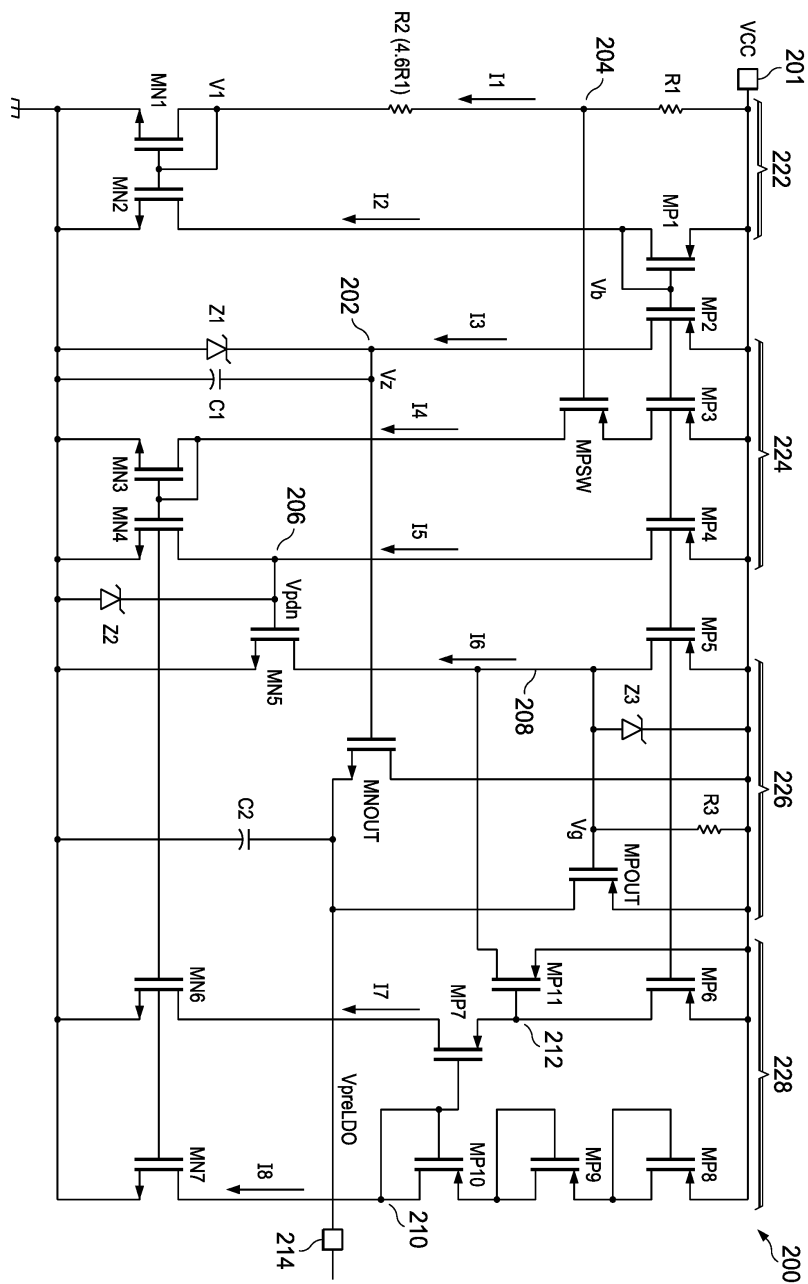
서에 설명된 예시적인 실시예들이 하기에 첨부된 청구범위의 사상 및 범주 내에서 다양한 수정들 및 변경들로 실시될 수 있음을 인식할 것이다.

도면

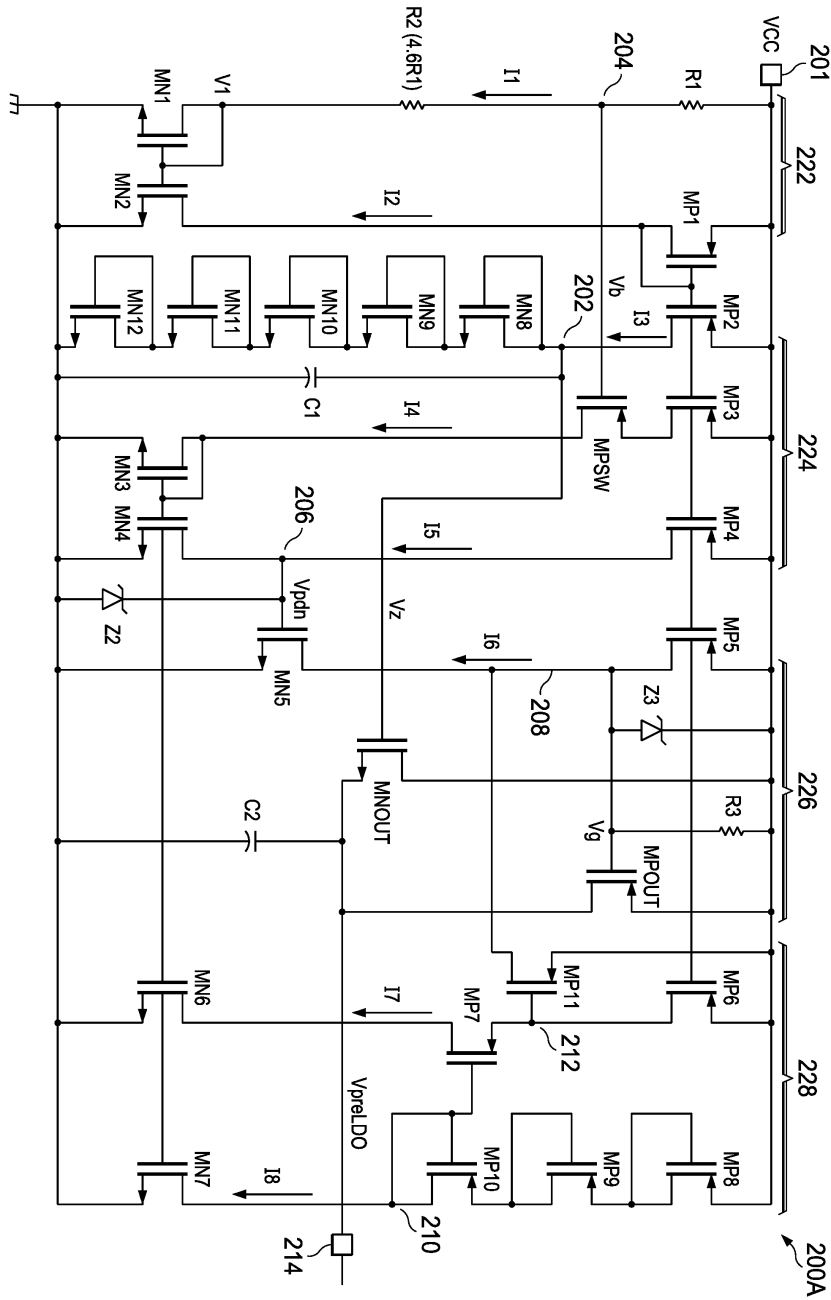
도면1



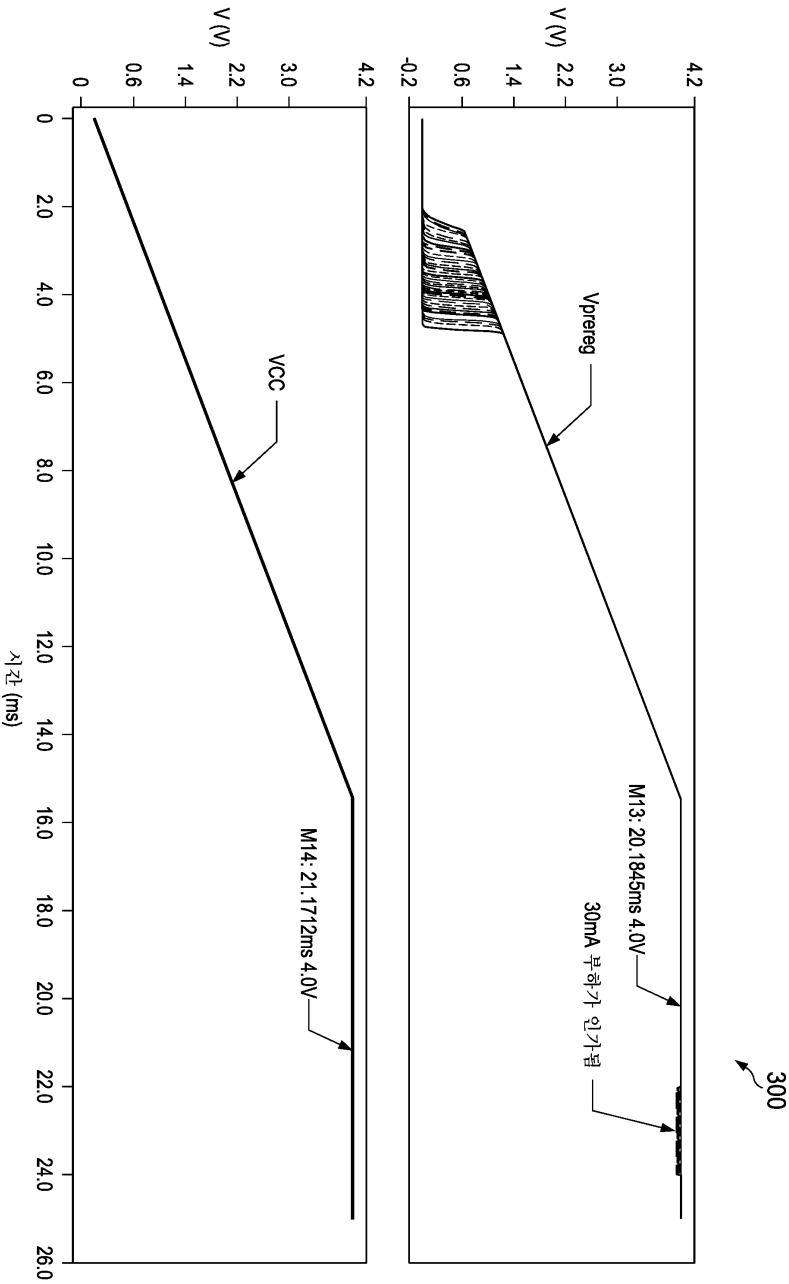
도면2



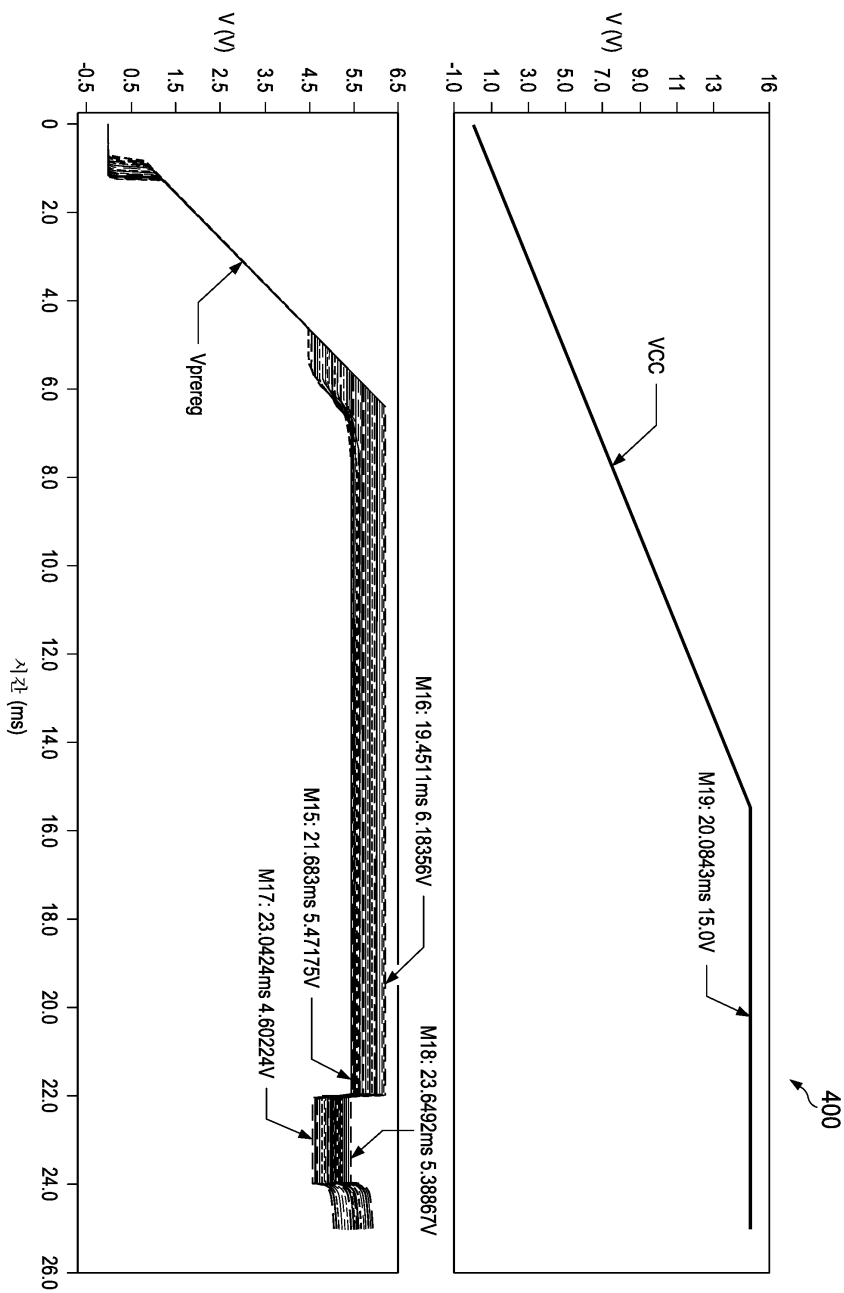
도면2a



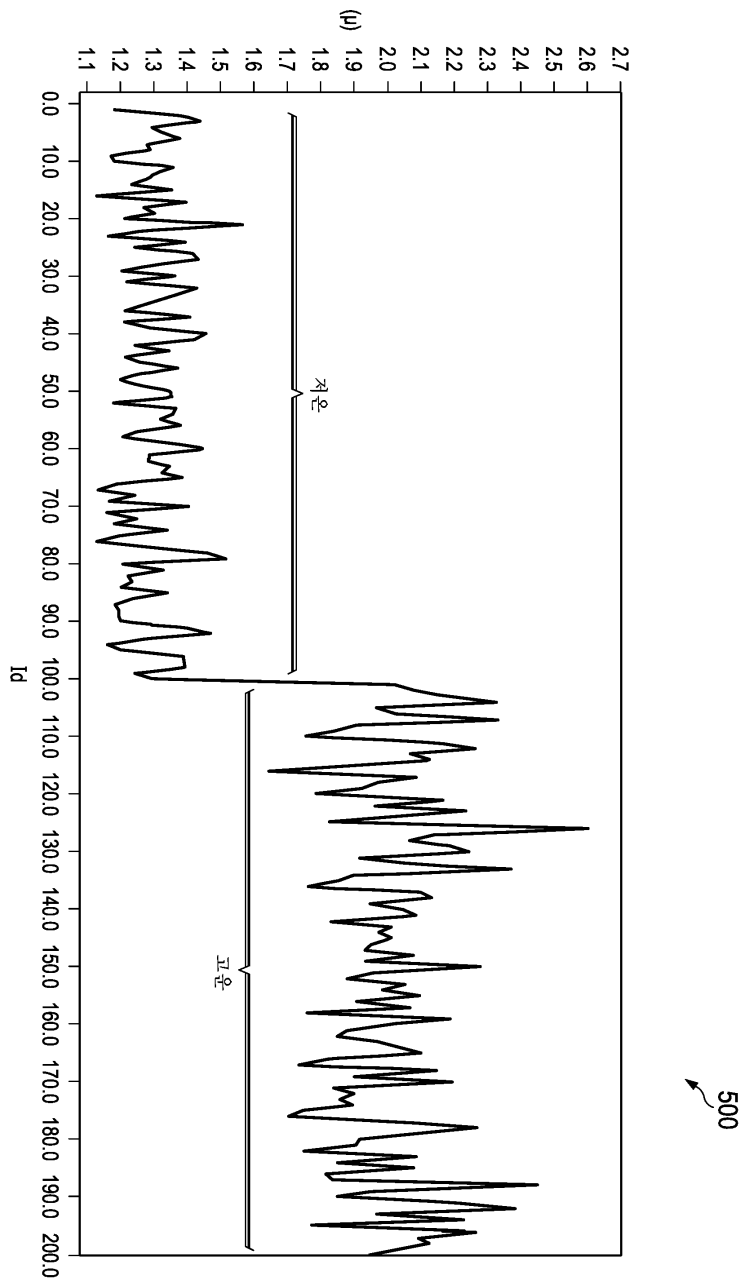
도면3



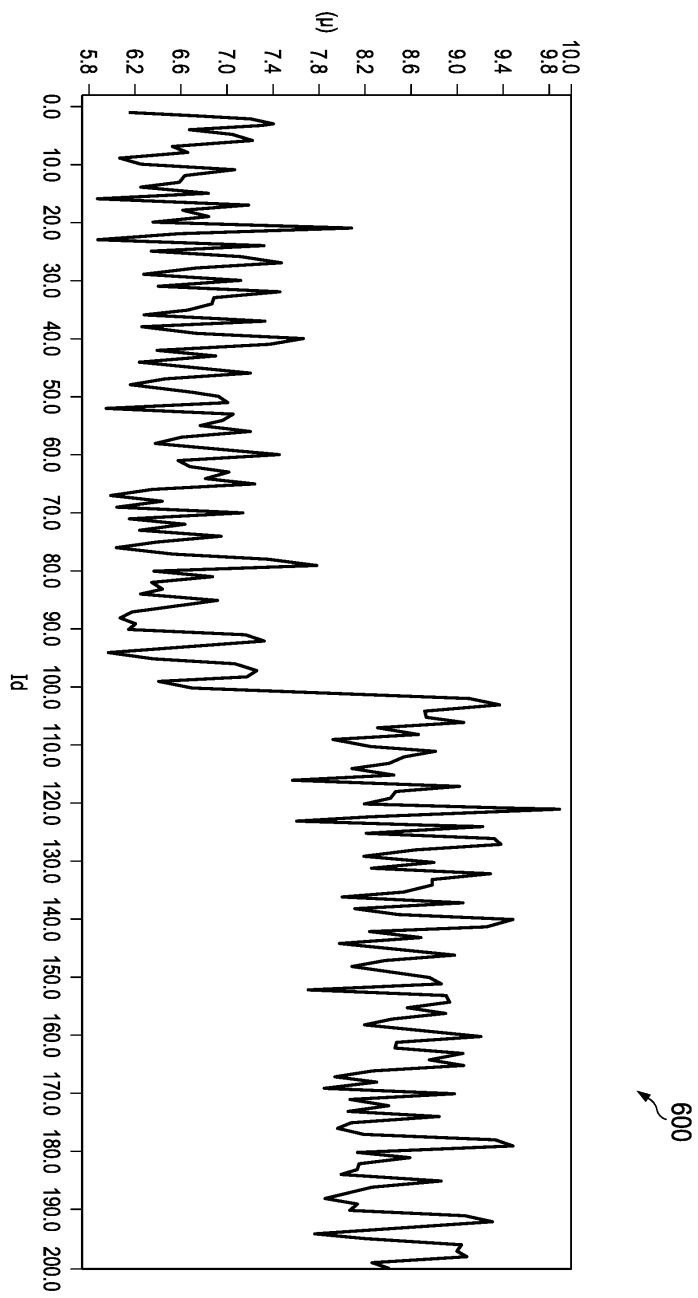
도면4



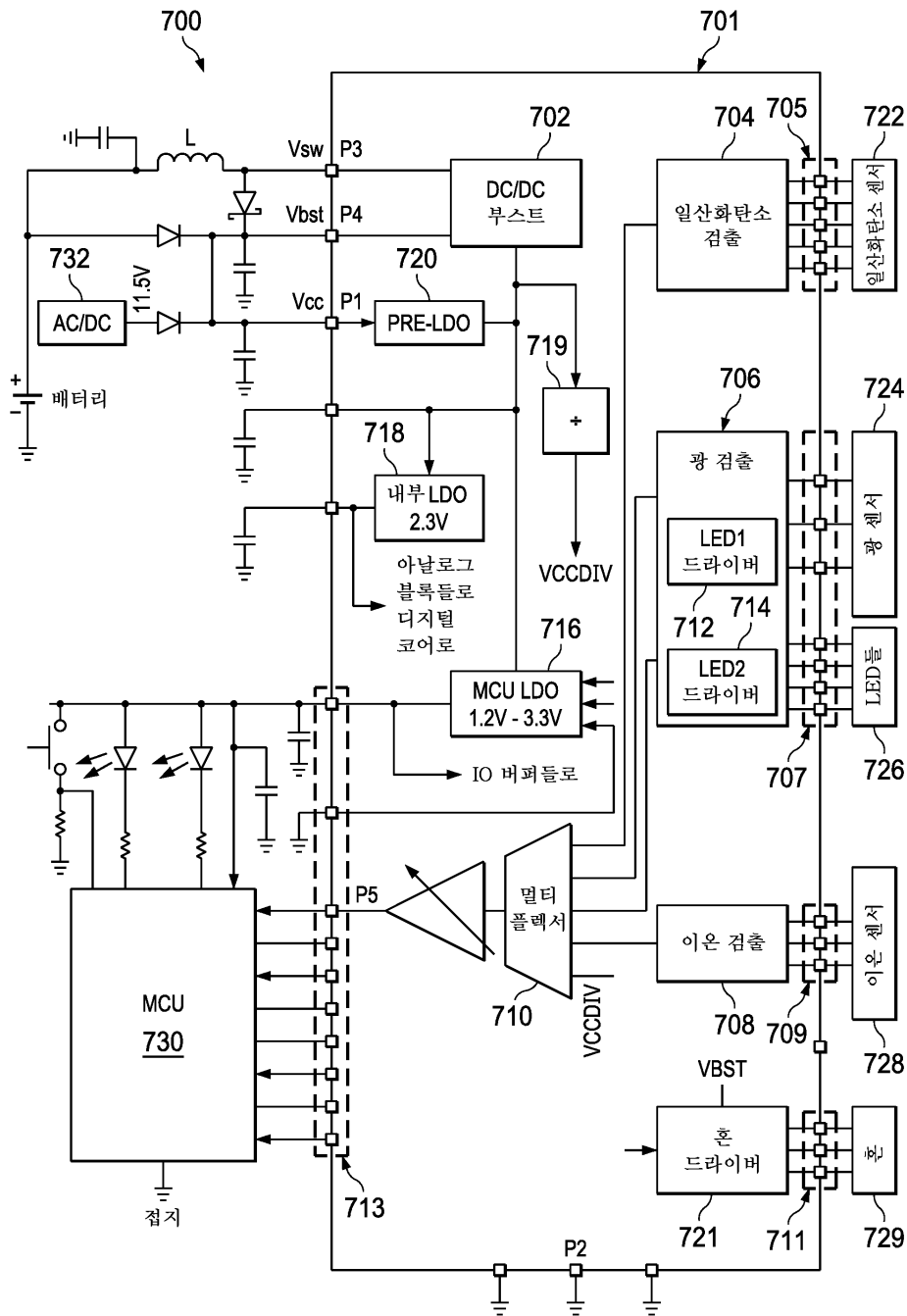
도면5



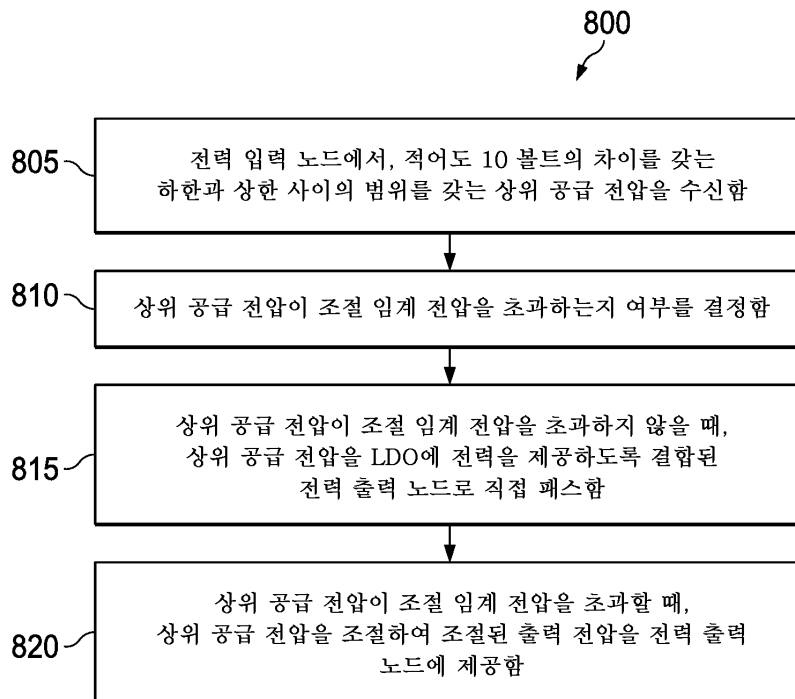
도면6



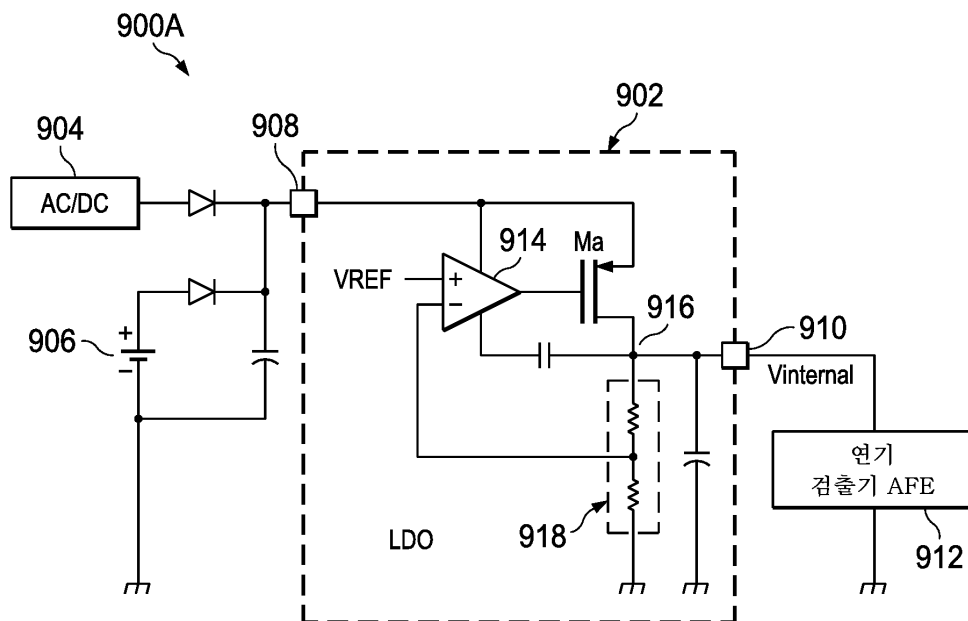
도면7



도면8

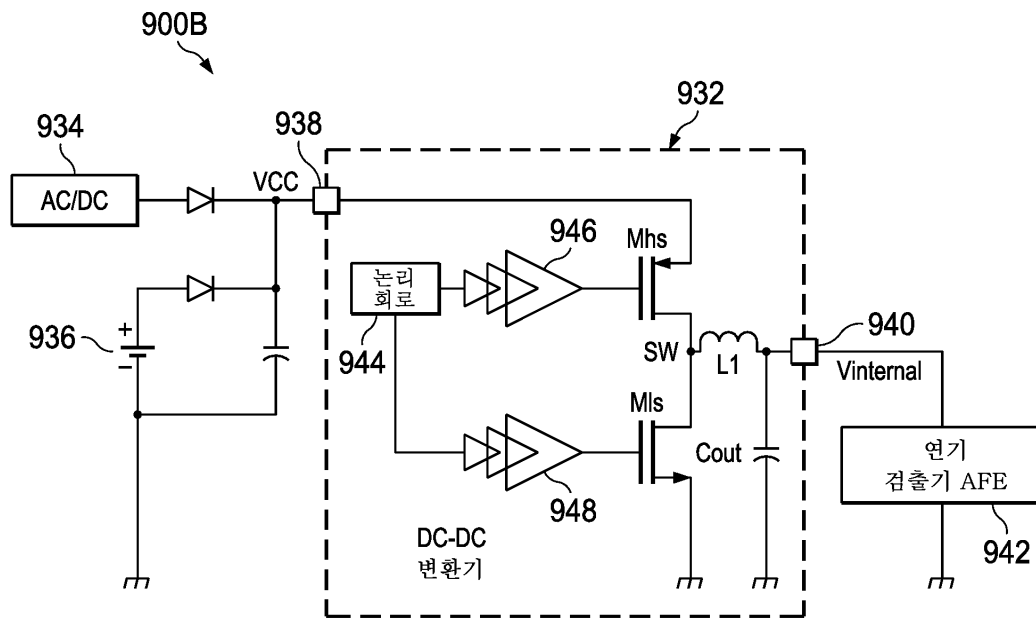


도면9a



(종래 기술)

도면 9b



(종래 기술)