

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6495291号
(P6495291)

(45) 発行日 平成31年4月3日(2019.4.3)

(24) 登録日 平成31年3月15日(2019.3.15)

(51) Int.Cl. F I
 H O 1 L 21/822 (2006.01)
 H O 1 L 27/04 (2006.01)

請求項の数 14 (全 19 頁)

(21) 出願番号	特願2016-542015 (P2016-542015)	(73) 特許権者	595020643
(86) (22) 出願日	平成26年9月4日(2014.9.4)		クゥアルコム・インコーポレイテッド
(65) 公表番号	特表2016-534577 (P2016-534577A)		QUALCOMM INCORPORATED
(43) 公表日	平成28年11月4日(2016.11.4)		ED
(86) 国際出願番号	PCT/US2014/054104		アメリカ合衆国、カリフォルニア州 92
(87) 国際公開番号	W02015/038402		121-1714、サン・ディエゴ、モア
(87) 国際公開日	平成27年3月19日(2015.3.19)		ハウス・ドライブ 5775
審査請求日	平成29年8月8日(2017.8.8)	(74) 代理人	100108855
(31) 優先権主張番号	14/024,833		弁理士 蔵田 昌俊
(32) 優先日	平成25年9月12日(2013.9.12)	(74) 代理人	100109830
(33) 優先権主張国	米国 (US)		弁理士 福原 淑弘
		(74) 代理人	100158805
			弁理士 井関 守三
		(74) 代理人	100194814
			弁理士 奥村 元宏

最終頁に続く

(54) 【発明の名称】 集積回路の静電放電保護

(57) 【特許請求の範囲】

【請求項 1】

入力トランジスタを備える増幅器と、
 前記入力トランジスタのドレインにゲートを結合するダイオードであって、
 前記ダイオードは、前記ドレインに対する前記ゲートの電圧が正であるとき、順方向バイアスされるように構成されるダイオード、
 を備え、

前記入力トランジスタの前記ドレインを接地端子に直接結合する第2および第3のダイオードをさらに備える装置。

【請求項 2】

第1の集積回路パッドと第2の集積回路パッドとをさらに備え、ここにおいて、前記第1の集積回路パッドが前記入力トランジスタの前記ゲートに結合され、前記第2の集積回路パッドが前記入力トランジスタのソースに結合された、請求項1に記載の装置。

【請求項 3】

前記入力トランジスタの前記ドレインに前記ゲートを結合する第4のダイオードをさらに備え、前記ダイオードは、前記ドレインに対する前記ゲートの前記電圧が正であるとき、順方向バイアスされるように構成される、請求項1に記載の装置。

【請求項 4】

前記ダイオードと直列に結合された抵抗器をさらに備える、請求項3に記載の装置。

【請求項 5】

10

20

前記入力トランジスタの前記ドレインに前記ゲートを結合する第5のダイオードをさらに備え、前記ダイオードは、前記ゲートに対する前記ドレインの電圧が正であるとき、順方向バイアスされるように構成される、請求項1に記載の装置。

【請求項6】

前記第5のダイオードと直列に結合された第6のダイオードをさらに備える、請求項5に記載の装置。

【請求項7】

前記入力トランジスタのソースに前記ゲートを結合する第7のダイオードをさらに備え、前記ダイオードは、前記ゲートに対する前記ドレインの前記電圧が正であるとき、順方向バイアスされるように構成される、請求項1に記載の装置。

10

【請求項8】

前記入力トランジスタの前記ドレインに結合されたカスコードトランジスタをさらに備える、請求項1に記載の装置。

【請求項9】

ゲートとドレインとを有する入力トランジスタを備えるカスコード増幅器を使用して入力信号を増幅することと、

前記ドレインに対する前記ゲートの電圧が正であるとき、順方向バイアスされるように構成されるダイオードを使用して、前記入力信号を前記入力トランジスタの前記ドレインに結合することと、

さらに、第2および第3のダイオードを使用して前記入力トランジスタの前記ドレインを接地端子に直接結合することと
を備える方法。

20

【請求項10】

第4のダイオードを使用して前記入力信号を前記入力トランジスタの前記ドレインに結合することをさらに備え、前記ダイオードは、前記ドレインに対する前記ゲートの前記電圧が正であるとき、順方向バイアスされるように構成された、請求項9に記載の方法。

【請求項11】

前記ダイオードと直列に抵抗器を結合すること
をさらに備える、請求項10に記載の方法。

【請求項12】

30

第5のダイオードを使用して前記入力信号を前記入力トランジスタの前記ドレインに結合することをさらに備え、前記ダイオードは、前記ゲートに対する前記ドレインの電圧が正であるとき、順方向バイアスされるように構成された、請求項9に記載の方法。

【請求項13】

前記第5のダイオードと直列に第6のダイオードを結合すること
をさらに備える、請求項12に記載の方法。

【請求項14】

第7のダイオードを使用して前記入力トランジスタのソースを前記入力信号に結合すること
をさらに備える、請求項9に記載の方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

[0001]本出願は、その内容全体が参照により本明細書に明確に組み込まれる、2013年9月12日に出願された、同一出願人が所有する米国非仮特許出願第14/024,833号の優先権を主張する。

【0002】

[0002]本開示は集積回路の静電放電(ESD: electro-static discharge)保護に関する。

50

【背景技術】

【0003】

[0003]最先端の集積回路（ＩＣ）は、継続的な技術スケーリングにより、ますます高密度の回路およびより小さいデバイスフィチャサイズを採用する。この傾向は、静電放電（ＥＳＤ）からの損傷に対する現代のＩＣの脆弱性を高め、現代のＩＣの十分でロバストなＥＳＤ保護を与えることが重要になる。

【0004】

[0004]ＩＣがＥＳＤ要件を満たすことを保証するために、製造およびテスト中に、所定のテスト電圧がＩＣの入力／出力（Ｉ／Ｏ）ピンの両端間に外部から印加され得る。これらのテスト電圧は、ＥＳＤ準拠を決定するための、当技術分野で知られている様々なモデル、たとえば、帯電デバイスモデル（ＣＤＭ：charged-device model）、人体モデル（ＨＢＭ：human body model）、機械モデル（ＭＭ：machine model）などに従って生成され得る。大きいテスト電圧が印加されたとき、寄生インダクタンスまたは抵抗の存在により、大きい電圧降下がＩＣのクリティカル端子の両端間で望ましくなく持続し、敏感回路に潜在的に損傷を与え得る。

【0005】

[0005]したがって、最先端のＩＣにおけるＥＳＤ保護機構のロバストネスを改善するための新規の技法を提供することが望ましいであろう。

【図面の簡単な説明】

【0006】

【図１】[0006]本開示の技法が実装され得る従来技術のワイヤレス通信デバイスの設計のブロック図。

【図２】[0007]Ｉ／Ｏパッドおよび回路を組み込んだ集積回路（ＩＣ）の従来技術の実装形態を示す図。

【図３】[0008]上述の問題に対処するために保護ダイオードが設けられた、本開示によるＩＣの例示的な実施形態を示す図。

【図４】[0009]追加の抵抗器を組み込んだ、本開示によるＩＣの代替の例示的な実施形態を示す図。

【図５】[0010]複数の保護ダイオードを組み込んだ、本開示によるＩＣの代替の例示的な実施形態を示す図。

【図６】[0011]本開示の複数の技法を組み込んだ、本開示によるＩＣの代替の例示的な実施形態を示す図。

【図７】[0012]Ｉ／Ｏパッドおよび回路を組み込んだ集積回路（ＩＣ）の代替の従来技術の実装形態を示す図。

【図８】[0013]追加の保護ダイオードが設けられた、本開示によるＩＣの例示的な実施形態を示す図。

【図９】[0014]２つの直列結合されたダイオードが設けられた、本開示によるＩＣの代替の例示的な実施形態を示す図。

【図１０】[0015]本開示のさらなる技法を組み込んだＩＣの代替の例示的な実施形態を示す図。

【図１１】[0016]本開示の複数の技法を組み込んだ、本開示によるＩＣの代替の例示的な実施形態を示す図。

【図１２】[0017]本開示による方法の例示的な実施形態を示す図。

【図１３】[0018]本開示による装置の例示的な実施形態を示す図。

【発明を実施するための形態】

【0007】

[0019]添付の図面を参照しながら本開示の様々な態様について以下でより十分に説明する。ただし、本開示は、多くの異なる形態で実施され得、本開示全体にわたって提示する任意の特定の構造または機能に限定されるものと解釈されるべきではない。むしろ、これらの態様は、本開示が周到で完全になり、本開示の範囲を当業者に十分に伝えるために与

10

20

30

40

50

えるものである。本明細書の教示に基づいて、本開示の範囲は、本開示の他の態様とは無関係に実装されるにせよ、本開示の他の態様と組み合わせられるにせよ、本明細書で開示する本開示のいかなる態様をもカバーするものであることを、当業者は諒解されたい。たとえば、本明細書に記載する態様をいくつ使用しても、装置は実装され得、または方法は実施され得る。さらに、本開示の範囲は、本明細書に記載する本開示の様々な態様に加えてまたはそれらの態様以外に、他の構造、機能、または構造および機能を使用して実施されるそのような装置または方法をカバーするものとする。本明細書で開示する本開示のいずれの態様も、請求項の１つまたは複数の要素によって実施され得ることを理解されたい。

【 0 0 0 8 】

[0020]添付の図面に関して以下に記載する発明を実施するための形態は、本発明の例示的な態様を説明するものであり、本発明が実施され得る例示的な様態のみを表すものではない。この明細書全体にわたって使用する「例示的」という用語は、「例、事例、または例示の働きをすること」を意味し、必ずしも他の例示的な態様よりも好ましいまたは有利であると解釈されるべきではない。発明を実施するための形態は、本発明の例示的な態様の完全な理解を与える目的で具体的な詳細を含む。本発明の例示的な態様はこれらの具体的な詳細なしに実施され得ることが当業者には明らかであろう。いくつかの例では、本明細書で提示する例示的な態様の新規性を不明瞭にしないように、よく知られている構造およびデバイスをブロック図の形式で示す。本明細書および特許請求の範囲において、「モジュール」および「ブロック」という用語は、説明する動作を実行するように構成されたエンティティを示すために互換的に使用され得る。

【 0 0 0 9 】

[0021]図１に、本開示の技法が実装され得る従来技術のワイヤレス通信デバイス１００の設計のブロック図を示す。図１は、例示的なトランシーバ設計を示す。概して、送信機および受信機における信号の調整は、増幅器、フィルタ、アップコンバータ、ダウンコンバータなどの１つまたは複数の段によって実行され得る。これらの回路ブロックは、図１に示す構成とは異なって構成され得る。さらに、図１に示されていない他の回路ブロックも送信機および受信機において信号を調整するために使用され得る。別段に記載されていない限り、図１、または図面中の他の図中のいかなる信号もシングルエンドまたは差動のいずれかであり得る。また、図１中のいくつかの回路ブロックが省略され得る。

【 0 0 1 0 】

[0022]図１に示された設計では、ワイヤレスデバイス１００はトランシーバ１２０とデータプロセッサ１１０とを含む。データプロセッサ１１０は、データとプログラムコードとを記憶するためのメモリ（図示せず）を含み得る。トランシーバ１２０は、双方向通信をサポートする送信機１３０と受信機１５０とを含む。概して、ワイヤレスデバイス１００は、任意の数の通信システムと周波数帯域とのための任意の数の送信機および／または受信機を含み得る。トランシーバ１２０の全部または一部分が、１つまたは複数のアナログ集積回路（ＩＣ）、無線周波数（ＲＦ）ＩＣ、混合信号ＩＣなどの上に実装され得る。

【 0 0 1 1 】

[0023]送信機または受信機は、スーパーヘテロダイナーキテクチャまたは直接変換アーキテクチャを用いて実装され得る。スーパーヘテロダイナーキテクチャでは、信号が、受信機のために、複数の段においてＲＦとベースバンドとの間で、たとえば、１つの段においてＲＦから中間周波数（ＩＦ）に、次いで別の段においてＩＦからベースバンドに周波数変換される。直接変換アーキテクチャでは、信号が１つの段においてＲＦとベースバンドとの間で周波数変換される。スーパーヘテロダイナーキテクチャおよび直接変換アーキテクチャは、異なる回路ブロックを使用し、および／または異なる要件を有し得る。図１に示された設計では、送信機１３０および受信機１５０は、直接変換アーキテクチャを用いて実装される。

【 0 0 1 2 】

[0024]送信経路では、データプロセッサ１１０は、送信されるべきデータを処理し、送信機１３０にＩおよびＱアナログ出力信号を与える。図示の例示的な実施形態では、デー

タブロセッサ 110 は、データプロセッサ 110 によって生成されたデジタル信号をさらなる処理のために I および Q アナログ出力信号、たとえば、I および Q 出力電流に変換するためのデジタルアナログ変換器 (DAC) 114 a および 114 b を含む。

【0013】

[0025]送信機 130 内で、ローパスフィルタ 132 a および 132 b は、前のデジタルアナログ変換によって生じた望ましくないイメージを除去するために、それぞれ、I および Q アナログ出力信号をフィルタ処理する。増幅器 (Amp) 134 a および 134 b は、それぞれ、ローパスフィルタ 132 a および 132 b からの信号を増幅し、I および Q ベースバンド信号を与える。ミキサ 141 a および 141 b を含むアップコンバータ 140 が、送信 (TX) 局部発振 (LO) 信号生成器 190 からの I および Q TX LO 信号を用いて I および Q ベースバンド信号をアップコンバートし、アップコンバートされた信号を与える。フィルタ 142 は、周波数アップコンバージョンによって生じた望ましくないイメージならびに受信周波数帯域中の雑音を除去するために、アップコンバートされた信号をフィルタ処理する。電力増幅器 (PA) 144 は、所望の出力電力レベルを取得するためにフィルタ 142 からの信号を増幅し、送信 RF 信号を与える。送信 RF 信号は、デュプレクサまたはスイッチ 146 を通してルーティングされ、アンテナ 148 を介して送信される。

【0014】

[0026]受信経路では、アンテナ 148 は、基地局によって送信された信号を受信し、受信 RF 信号を与え、受信 RF 信号は、デュプレクサまたはスイッチ 146 を通してルーティングされ、低雑音増幅器 (LNA) 152 に与えられる。デュプレクサ 146 は、RX 信号が TX 信号から分離されるように、特定の RX - TX デュプレクサ周波数分離を用いて動作するように設計される。受信 RF 信号は、LNA 152 によって増幅され、所望の RF 入力信号を取得するためにフィルタ 154 によってフィルタ処理される。ダウンコンバージョンミキサ 161 a および 161 b は、I および Q ベースバンド信号を生成するために、フィルタ 154 の出力を、受信 (RX) LO 信号生成器 180 からの I および Q RX LO 信号 (すなわち、LO_I および LO_Q) と混合する。I および Q ベースバンド信号は、データプロセッサ 110 に与えられる I および Q アナログ入力信号を取得するために、増幅器 162 a および 162 b によって増幅され、ローパスフィルタ 164 a および 164 b によってさらにフィルタ処理される。図示の例示的な実施形態では、データプロセッサ 110 は、I および Q アナログ入力信号を、データプロセッサ 110 によってさらに処理されるべきデジタル信号に変換するためのアナログデジタル変換器 (ADC) 116 a および 116 b を含む。

【0015】

[0027]図 1 では、TX LO 信号生成器 190 は、周波数アップコンバージョンのために使用される I および Q TX LO 信号を生成し、RX LO 信号生成器 180 は、周波数ダウンコンバージョンのために使用される I および Q RX LO 信号を生成する。各 LO 信号は、特定の基本周波数をもつ周期信号である。PLL 192 は、データプロセッサ 110 からタイミング情報を受信し、LO 信号生成器 190 からの TX LO 信号の周波数および / または位相を調整するために使用される制御信号を生成する。同様に、PLL 182 は、データプロセッサ 110 からタイミング情報を受信し、LO 信号生成器 180 からの RX LO 信号の周波数および / または位相を調整するために使用される制御信号を生成する。

【0016】

[0028]LNA 152 および PA 144 は、IC の外部のノードにインターフェースする入力 / 出力 (I/O) 端子を組み込み得るので、そのような回路ブロックは、外部環境からの、場合によっては大きい電位にさらされ、損傷をより受けやすくなり得る。たとえば、製造またはテスト中などの、たとえば、取扱者または工業機器との接触により、かなりの量の静電荷が、たとえば、摩擦、誘導などにより、電子デバイス中に堆積することがある。そのような帯電電子デバイスが放電経路に接触するとき、電子デバイスを通して電流

10

20

30

40

50

のサージが生成され、デバイスの突発故障 (catastrophic failure) が潜在的に生じ得る。電流サージ現象はまた、帯電体が電子デバイスの近傍に入れられたときに発生し得、その場合、帯電体は電子デバイスを通して放電し、それにより、電子デバイスの構成要素に損傷を与え得る。

【 0 0 1 7 】

[0029] 上記で説明したようなデバイス故障は、半導体製造およびテストのすべての段階において、ならびに電子デバイスがエンドユーザによって操作されているときのフィールドにおいてさえ発生し得る。したがって、最先端の RF およびアナログ IC 製品を開発する際に、ESD に対する十分な保護ストラテジーが有用である。

【 0 0 1 8 】

[0030] 図 2 に、入力 / 出力 (I / O) パッドおよび回路を組み込んだ集積回路 (IC) 200 の従来技術の実装形態を示す。図 2 は、説明の目的で示したものにすぎず、本開示の範囲を本明細書で開示する技法の特定の適用例に限定するものではないことに留意されたい。たとえば、IC は、概して、必ずしも IC 200 中に示されているとは限らない、追加のパッド、回路、リード線などを含み得る。

【 0 0 1 9 】

[0031] 図 2 では、IC 200 は I / O パッド 201、202、および 203 を含む。パッド 201 は、外部から与えられた電源電圧 (たとえば、VDD、図 2 に図示せず) を IC 200 の供給レール 299 に結合する。パッド 202 は、外部電圧 V2 を、IC 200 の入力、たとえば、IC 200 の増幅器入力端子に結合する。パッド 203 は外部電圧 V1 を IC 200 の接地端子に結合する。IC 200 は、増幅器 210 と、供給クランプ 220 と、他の回路 240 とをさらに含み、それらの機能については以下でさらに説明する。

【 0 0 2 0 】

[0032] 図 2 では、増幅器 210 は、カスコードトポロジーを使用して実装される。特に、増幅器 210 は、ノード 212a において結合された入力トランジスタ M1 とカスコードトランジスタ M2 とを内蔵し、M1 のゲートがパッド 202 に結合される。増幅器 210 は、M2 のドレインに結合された負荷インダクタンス L2 と、入力トランジスタ M1 のソースに結合されたソースインダクタンス L1 とをさらに含む。図示されていない他の回路要素が増幅器 210 中にさらに存在し得ることに留意されたい。たとえば、直列インダクタンスおよび / または抵抗 (図示せず) が入力トランジスタ M1 のゲートなどにさらに結合され得る。

【 0 0 2 1 】

[0033] さらに、増幅器 210 の上述の説明は、本開示の範囲をカスコード増幅器実装形態に限定するものではないことに留意されたい。たとえば、(たとえば、必ずしもカスコードトランジスタ M2 を含むとは限らない) 任意の負荷に結合された入力トランジスタ M1 を有する共通ソース増幅器設計が本開示の技法を容易に利用し得る。さらに、いくつかの実装形態では、負荷インダクタンス L2 は、差動ミキサ (図示せず) の入力を供給するためにトランスフォーマ構成の一部として別のインダクタ (図示せず) に相互結合され得る。代替実装形態では、増幅器 210 は、当技術分野で知られている L ディジェネレートトポロジー (L-degenerated topology) を利用し得、その場合、ソースインダクタンス L1 は削除され得、および / または整合のために 1 つまたは複数のシャント抵抗が追加され得る。さらなる代替実装形態では、ソースインダクタンス L1 はトランスフォーマなどによって置き換えられ得る。本明細書で説明する技法は、そのような他の増幅器トポロジーにも適応するように容易に適合され得ることが諒解されよう。

【 0 0 2 2 】

[0034] IC 200 が ESD に関係する仕様を満たすことを保証するために、テスト段階中に、いくつかの ESD イベントに対する IC 200 の応答を決定するために、所定のテスト電圧が I / O パッドの両端間に外部から印加され得る。特に、これらのテスト電圧は、ESD 準拠を決定するための、当技術分野で知られている様々なモデル、たとえば、帯

10

20

30

40

50

電子デバイスモデル（ＣＤＭ）、人体モデル（ＨＢＭ）、機械モデル（ＭＭ）などによって生成され、印加され得る。たとえば、ＣＤＭは、電子デバイスが（たとえば、摩擦帯電または誘導機構により）高いＤＣ電圧まで充電され、その後、場合によっては電子デバイスのピンのうちの１つに接触する接地導体の近傍に入るシナリオをエミュレートし得る。そのようなシナリオにより、電子デバイス内に（およびそのピンのすべてに）蓄積された電荷が、低インピーダンス経路を通して接地に至るピンを通して放電することがある。本開示の技法はまた、ＣＤＭイベントのほかに（明示的に言及されていない）他のタイプのＥＳＤイベントの保護を与え得ることが諒解されることに留意されたい。

【００２３】

[0035] ＥＳＤイベントからＩＣ２００のクリティカル回路（たとえば、増幅器２１０、他の回路２４０など）を保護するために、クリティカル回路から離れてＥＳＤ電流を分流するためにいくつかの保護要素が設けられ得る。たとえば、（たとえば、負のＣＤＭイベントなど、ＥＳＤテストイベント中に）かなりの過渡正電圧がデバイスＭ１およびＭ２の両端間に生じた場合、それにより誘起された電流の大部分は、図２に経路１と標示された電流経路を通して分流され得る。たとえば、パッド２０３は、（たとえば、負のＣＤＭテストイベントの場合）負電圧までまたは（たとえば、正のＣＤＭテストの場合）正電圧まで充電され得、パッド２０２は接地に結合され得る。得られた過渡電流は、デバイスＭ１およびＭ２の両端間で大きい過渡電圧を生成し得る。特に、電流Ｉ１は、経路１を流れ、Ｖ２からパッド２０２を通して、ダイオードＤ１、供給レール２９９、供給レール２９９を接地２９８に結合する（場合によっては双方向）供給クランプ２２０、接地レール２９８を通して、パッド２０３を介してＶ１に戻り得る。経路１は低インピーダンスを有するように設計されているので、ＥＳＤイベントに関連する電流の大部分は経路１を通して分流され、それにより、ＩＣ２００のクリティカル回路をある程度まで保護することになる。

【００２４】

[0036] しかしながら、実際には、たとえば、導電経路の残差直列インピーダンス、供給レールおよび／または接地レール、供給クランプおよび／または他の直列保護回路などにより、大きい寄生インダクタンスおよび／または抵抗が経路１の両端間に存在し得る。そのような大きい直列インダクタンスにより、たとえば、オーミック電圧降下に起因する、かなりの電圧がＭ１およびＭ２の端子の両端間に生じ得ることが諒解されよう。この大きい電圧降下は、特に、最先端のトランジスタプロセスを特徴づける低い破壊電圧を仮定すれば、ダイオードＤ１および供給クランプ２２０が設けられたときでも、ＩＣ２００のクリティカル回路に望ましくなく損傷を与え得る。（たとえば、６５ｎｍプロセスを使用して作製された一般的なトランジスタは７Ｖの破壊電圧をサポートし得るが、２８ｎｍプロセスを使用して作製されたトランジスタは５Ｖのみの破壊電圧をサポートすることが可能であり得る。）例示的な実施形態では、破壊電圧は、デバイスのゲートソース接合またはドレインソース接合が、損傷されることなしに維持し得る、電圧に対応し得る。

【００２５】

[0037] さらに、いくつかのトランシーバ実装形態では、トランシーバ入力（たとえば、受信部分の増幅器２１０への入力）は、トランシーバの送信部分から発生する強い信号にさらされ得ることが諒解されよう。たとえば、いくつかの例示的な実施形態では、デバイスは、ＧＳＭ（登録商標）ネットワークのための送信（ＴＸ）とＣＤＭＡネットワークのための受信（ＲＸ）とを同時にサポートし得る。この例示的な実施形態では、ＧＳＭ送信機からＣＤＭＡ受信機へのＴＸ電力漏れもＣＤＭＡ受信機への損傷を望ましくなく引き起こし得る。

【００２６】

[0038] したがって、ＩＣ中のクリティカル回路に損傷を与え得るＥＳＤイベントならびにいくつかの他の高電力イベントに効果的に対処するための新規でロバストな技法を提供することが望ましいであろう。

【００２７】

10

20

30

40

50

[0039]図3に、上述の問題に対処するために（本明細書では「保護ダイオード」としても示される）ダイオードDP1が設けられた、本開示によるICの例示的な実施形態300を示す。図3は、説明の目的で示したものにすぎず、本開示の範囲を図示の特定の例示的な実施形態に限定するものではないことに留意されたい。

【0028】

[0040]図3では、ダイオードDP1はM1のゲートをそのドレインに結合する。図示の例示的な実施形態では、DP1は、正電圧がM1のゲートとドレインとの間に存在するとき、順方向バイアスされるようにさらに構成される。パッド202とパッド203との間に大きい正電圧 $V_2 - V_1 \gg 0$ が生じたとき、図2の経路1を通して最初に分流された電流I1の一部分が、代わりに、DP1を通してM1のドレイン、またはノード212aに10 分流される。ノード212aから、分流された電流は、さらに、いくつかの経路を通して、たとえば、M1のドレインソースチャネルを通して、M1の基板を通してなど、接地レール298にリダイレクトされ得る。このようにして、経路1を通る電流が相応して低減されるので、 V_2 と V_1 との間のオーミック電圧降下も低減されることが予想され、したがってデバイスM1およびM2に対する電圧応力が低下する。

【0029】

[0041]1つの保護ダイオードDP1が図3に示されているが、代替の例示的な実施形態は、M1のゲートとそのドレインとの間で直列に任意の別の数のダイオードを組み込み得ることに留意されたい。複数の直列結合されたダイオードは、有利には、ESD保護機構の関連するターンオン電圧を増加させ、それにより、デバイスの通常動作中に保護ダイオードの偶発的順方向バイアスを防ぎ（またはその可能性を低減し）得ることが諒解されよう。20

【0030】

[0042]ダイオードDP1、および/または以下で説明する他のダイオードの機能を実装するための様々な技法が当技術分野で知られていることを当業者は諒解されよう。たとえば、接合ダイオード、ゲート型ダイオード、シリコン制御整流器、およびショットキーダイオードなどのうちのいずれかが使用され得る。そのような代替の例示的な実施形態は本開示の範囲内に入ることが企図される。

【0031】

[0043]M1のドレインを通してそのソースに至る分流通路を与えることのさらなる利点は、追加の電流がM1のソースを流れることにより、M1のソース電圧が増加することが予想され、したがってM1のゲートソース間電圧が減少することが諒解されよう。この影響は、有利には、M1のゲートソース接合にかけられる応力を低減し得る。30

【0032】

[0044]図4に、追加の抵抗器RP1を組み込んだ、本開示によるIC400の代替の例示的な実施形態を示す。図4は、説明の目的で示したものにすぎず、本開示の範囲を図示の特定の例示的な実施形態に限定するものではないことに留意されたい。図4では、抵抗器RP1はDP1と直列に設けられる。いくつかの例示的な実施形態では、RP1をDP1と直列に設けることは、DP1を通過する電流を低減し、したがって、DP1のサイズが低減されることが可能になり得ることが諒解されよう。したがって、これは、有利には 40、たとえば、M1への入力において、そのようなダイオードに関連する寄生要素（たとえば、キャパシタンスまたは抵抗）のサイズを低減し得る。

【0033】

[0045]いくつかの例示的な実施形態では、RP1は、DP1と直列の明示的に設けられた抵抗要素に対応する必要がないことが諒解されよう。代わりに、RP1は、図示の様式でDP1が設けられたときに存在する固有の直列抵抗を単にモデル化することが理解され得る。さらに、RP1などの明示的または暗黙的抵抗が、概して、本開示で説明および/または図示するダイオードのうちのいずれかと直列に配置され得ることが諒解されよう。そのような例示的な実施形態は本開示の範囲内に入ることが企図される。

【0034】

10

20

30

40

50

[0046]図5に、複数の保護ダイオードを組み込んだ、本開示によるICの代替の例示的な実施形態500を示す。図5は、説明の目的で示したものにすぎず、本開示の範囲を図示の特定の例示的な実施形態に限定するものではないことに留意されたい。

【0035】

[0047]図5では、ダイオードDP2がダイオードDP3と直列に設けられ、共同でM1のドレインまたはノード212aを接地に結合する。DP2およびDP3は、かなりの正電圧がM1のドレインと接地との間に存在するとき、順方向バイアスされるように構成される。特に、大きい正電圧 $V_2 - V_1$ がパッド202とパッド203との間に存在するとき、経路1に関連する電流の一部が、ノード212aに分流され、DP2およびDP3、接地レール298を通過して、パッド203を介して V_1 に戻る。このようにして、パッド202とパッド203との間の持続するオーミック電圧降下が低減されることが予想される。

10

【0036】

[0048]図5では、直列に結合された2つの保護ダイオードDP2およびDP3が示されているが、代替の例示的な実施形態は、概して、図、たとえば、図5ならびに他の図において、本明細書で示すダイオードの代用として直列に任意の複数のダイオードを組み込み得ることに留意されたい。複数の直列結合されたダイオードは、有利には、ESD保護機構に関連するターンオン電圧を増加させ、それにより、デバイスの通常動作中に保護ダイオードの偶発的順方向バイアスを防ぎ（またはその可能性を低減し）得ることが諒解されよう。

20

【0037】

[0049]図6に、本開示の複数の技法を組み込んだ、本開示によるICの代替の例示的な実施形態600を示す。例示的な実施形態600は、説明の目的で示したものにすぎず、本開示の範囲を限定するものではないことに留意されたい。代替の例示的な実施形態は、図6に示されている技法の任意のサブセットまたは組合せを組み込み得、そのような代替の例示的な実施形態は本開示の範囲内に入ることが企図される。

【0038】

[0050]図6では、DP1およびRP1はM1のゲートをそのドレインに結合し、DP2およびDP3は共同でM1のドレインを接地に結合する。例示的な実施形態600に適用される技法の動作原理は、図4～図5に関する上記での説明に照らして明らかになり、したがって、それらの説明は以下で省略されることが諒解されよう。

30

【0039】

[0051]図7に、入力/出力(I/O)パッドおよび回路を組み込んだ集積回路(IC)700の代替の従来技術の実装形態を示す。図2および図7中の同様に標示された要素は、同様の機能を有する要素に対応し、したがって、それらの説明は以下で省略されることが留意されたい。

【0040】

[0052]図7では、IC700は、前に図2のIC200に関して上記で説明した、I/Oパッド201、202、203と、カスコード増幅器210と、供給クランプ220と、他の回路240とを含む。IC700は、M1のゲートを接地レール298に結合するダイオードD2をさらに含む。大きい負電圧（たとえば、 $V_2 - V_1 < 0$ ）がM1のゲートと接地レール298（または、それぞれパッド202とパッド203）との間に存在するとき、D2は、順方向バイアスされるように構成される。（たとえば、正のCDMイベントなど、ESDテストイベント中に）かなりの過渡負電圧がパッド202および203の両端間に印加された場合、それにより誘起された電流の大部分は、図7に経路2と標示された電流経路を通過して分流される。特に、電流は、経路2を流れ、 V_1 からパッド203を通過して、D2を通過して、パッド202を介して V_2 に戻る。経路2は低インピーダンスを有するように設計されているので、ESDイベントに関連する電流の大部分は経路2を通過して分流され、それにより、IC700のクリティカル回路（たとえば、増幅器210および他の回路240）をある程度まで保護することになる。

40

50

【 0 0 4 1 】

[0053]しかしながら、実際には、経路 2 における大きい寄生直列インダクタンス（図 7 に図示せず）により、大きい電圧が M 1 の両端間に生じ得、それにより、V 2 と V 1 との間で相応して大きい（負の）オーミック電圧降下が生じ得る。この大きい負の電圧降下は、D 2 が設けられたときでも、IC 700 のクリティカル回路に望ましくなく損傷を与え得る。たとえば、M 1 のゲートソース接合は、そのような大きい負の電圧降下の存在下で故障し得る。さらに、かなりの負電圧が存在するとき、それにより生成された電流の一部がインダクタンス L 2 を通って分流され、それにより、M 2 および / または M 1 のドレインに潜在的に損傷を与えることがある L 2 の両端間の電圧応答におけるかなりのリンギングが生じ得る。

10

【 0 0 4 2 】

[0054]図 8 に、保護ダイオード D P 4 が設けられた、本開示による IC の例示的な実施形態 800 を示す。図 8 は、説明の目的で示したものにすぎず、本開示の範囲を図示の特定の例示的な実施形態に限定するものではないことに留意されたい。

【 0 0 4 3 】

[0055]図 8 では、保護ダイオード D P 4 は M 1 のドレインをそのゲートに結合する。図示の例示的な実施形態では、D P 4 は、正電圧が M 1 のドレインとゲートとの間に存在するとき、順方向バイアスされるように構成される。D P 4 は、有利には、M 1 のドレインにおける電圧スイングを制限し、したがって M 1 に対する電圧応力が低減することが諒解されよう。

20

【 0 0 4 4 】

[0056]1 つの保護ダイオード D P 4 が図 8 に示されているが、代替の例示的な実施形態は、M 1 のドレインとそのゲートとの間で直列に任意の数のダイオードを組み込み得ることに留意されたい。複数の直列結合されたダイオードは、有利には、ESD 保護機構の関連するターンオン電圧を増加させ、それにより、デバイスの通常動作中に保護ダイオードの偶発的順方向バイアスを防ぎ（またはその可能性を低減し）得ることが諒解されよう。たとえば、図 9 に、2 つの直列結合されたダイオード D P 4 . 1 および D P 4 . 2 が設けられた、本開示による IC 900 の代替の例示的な実施形態を示す。そのような代替の例示的な実施形態は本開示の範囲内に入ることが企図される。

【 0 0 4 5 】

[0057]図 10 に、本開示のさらなる技法を組み込んだ IC 1000 の代替の例示的な実施形態を示す。図 10 では、直列結合された保護ダイオード D P 4 . 1 および D P 4 . 2 は M 1 のドレインをそのゲートに結合し、保護ダイオード D P 5 は M 1 のソースをそのゲートにさらに結合する。D P 5 は、パッド 202 とパッド 203 との間の可能な負電圧のための代替の分流経路を与え、したがって、IC 1000 のクリティカル回路の追加の保護を与えることに留意されたい。

30

【 0 0 4 6 】

[0058]特に、D P 5 は、正電圧が M 1 のソースとゲートとの間に存在するとき、順方向バイアスされるように構成される。大きい負電圧 $V_2 - V_1 < 0$ がパッド 202 とパッド 203 との間に印加されたとき、最初に D 2 を通って分流された電流 I 2 の一部は、代わりに、D P 5 を通って、たとえば、接地レール 298 から、D P 5 を通って分流され、パッド 202 を介して V 2 に戻る。このようにして、D 2 を通る電流が低減されるので、V 2 と V 1 との間のオーミック電圧降下も低減され得る。

40

【 0 0 4 7 】

[0059]IC 1000 中の D P 4 . 1 と D P 4 . 2 と D P 5 との組合せは、有利には、2 つの並列分流経路（たとえば、M 1 のソースを通してそのゲートに至る 1 つの分流経路、および M 1 のドレインを通してそのゲートに至る 1 つの分流経路）を与えることが諒解されよう。したがって、たとえば、正の CDM イベントに対処するとき、IC 1000 のために、より大きい ESD 保護が与えられる。

【 0 0 4 8 】

50

[0060]図 1 1 に、本開示の複数の技法を組み込んだ、本開示による IC の代替の例示的な実施形態 1 1 0 0 を示す。例示的な実施形態 1 1 0 0 は、説明の目的で示したものにすぎず、本開示の範囲を限定するものではないことに留意されたい。代替の例示的な実施形態は、図 1 1 に示されている技法の任意のサブセットを組み込み得、そのような代替の例示的な実施形態は本開示の範囲内に入ることが企図される。

【 0 0 4 9 】

[0061]図 1 1 では、D P 1 および R P 1 は M 1 のゲートをそのドレインに結合し、D P 2 および D P 3 は共同で M 1 のドレインを接地に結合する。図 1 1 にさらに示されているように、D P 4 . 1 および D P 4 . 2 は共同で M 1 のドレインをそのゲートに結合し、D P 5 は M 1 のソースをそのゲートに結合する。例示的な実施形態 1 1 0 0 に適用される上述の技法のいくつかの動作原理は、本開示の他の図に関する上記での説明に照らして明らかになり、したがって、それらの説明は以下で省略されることが諒解されよう。

【 0 0 5 0 】

[0062]図 1 2 に、本開示による方法の例示的な実施形態を示す。図 1 2 は、説明の目的で示したものにすぎず、本開示の範囲を図示の特定の方法に限定するものではないことに留意されたい。

【 0 0 5 1 】

[0063]図 1 2 では、ブロック 1 2 1 0 において、ゲートとドレインとを有する入力トランジスタを備えるカスコード増幅器を使用して入力信号を増幅する。

【 0 0 5 2 】

[0064]ブロック 1 2 2 0 において、ダイオードを使用して入力信号を入力トランジスタのドレインに結合する。

【 0 0 5 3 】

[0065]図 1 3 に、本開示による装置 1 3 0 0 の例示的な実施形態を示す。本明細書の図 1 3 および他の図中の同様に標示された要素は、概して、別段に記載されていない限り、同様の機能を実行する要素に対応し得ることに留意されたい。

【 0 0 5 4 】

[0066]図 1 3 では、増幅器 1 3 0 2 は入力トランジスタ M 1 を含む。M 1 のドレインに潜在的に結合された要素は図 1 3 に明示的に示されていないが、そのような要素が、たとえば、1 つまたは複数のカスコードトランジスタ、負荷などを含み得ることを当業者は諒解することに留意されたい。同様に、M 1 のソースに潜在的に結合された要素は図 1 3 に明示的に示されていないが、そのような要素が、たとえば、1 つまたは複数のソースディジェネレーションインダクタなどを含み得ることを当業者は諒解されよう。そのような例示的な実施形態は本開示の範囲内に入ることが企図される。

【 0 0 5 5 】

[0067]図 1 3 では、ダイオードブロック 1 3 1 0 は入力トランジスタ M 1 のゲートをドレインに結合する。例示的な実施形態では、ダイオードブロック 1 3 1 0 は、図 3 に示されたダイオード D P 1、たとえば、ゲートドレイン間電圧が正であるとき、順方向バイアスされるように構成されたダイオードに対応し得る。代替の例示的な実施形態では、ダイオードブロック 1 3 1 0 は、図 8 に示されたダイオード D P 4、たとえば、ドレインゲート間電圧が正であるとき、順方向バイアスされるように構成されたダイオードに対応し得る。ダイオードブロック 1 3 1 0 は、前に上記で説明したように、示されたダイオード D P 1 または D P 4 のほかに他の要素、たとえば、直列結合された抵抗器または複数のダイオードを含み得ることに留意されたい。

【 0 0 5 6 】

[0068]本明細書および特許請求の範囲において、ある要素が別の要素に「接続」または「結合」されていると言及されるとき、その要素はその別の要素に直接接続または結合され得るか、あるいは介在要素が存在し得ることを理解されよう。対照的に、ある要素が別の要素に「直接接続」または「直接結合」されていると言及されるとき、介在要素は存在しない。さらに、ある要素が別の要素に「電氣的に結合」されていると言及されるとき、

10

20

30

40

50

それは、そのような要素間に低抵抗の経路が存在することを示し、ある要素が別の要素に単に「結合」されていると言及されるとき、そのような要素間に低抵抗の経路があることもないこともある。

【0057】

[0069]情報および信号は多種多様な技術および技法のいずれかを使用して表され得ることを、当業者は理解されよう。たとえば、上記の説明全体にわたって言及され得るデータ、命令、コマンド、情報、信号、ビット、シンボル、およびチップは、電圧、電流、電磁波、磁界または磁性粒子、光場または光学粒子、あるいはそれらの任意の組合せによって表され得る。

【0058】

[0070]さらに、本明細書で開示した例示的な態様に関して説明した様々な例示的な論理ブロック、モジュール、回路、およびアルゴリズムステップは、電子ハードウェア、コンピュータソフトウェア、または両方の組合せとして実装され得ることを、当業者は諒解されよう。ハードウェアとソフトウェアのこの互換性を明確に示すために、様々な例示的な構成要素、ブロック、モジュール、回路、およびステップについて、上記では概してそれらの機能に関して説明した。そのような機能をハードウェアとして実装するか、ソフトウェアとして実装するかは、特定の適用例および全体的なシステムに課される設計制約に依存する。当業者は、説明した機能を特定の適用例ごとに様々な方法で実装し得るが、そのような実装の決定は、本発明の例示的な態様の範囲からの逸脱を生じるものと解釈されるべきではない。

【0059】

[0071]本明細書で開示した例示的な態様に関して説明した様々な例示的な論理ブロック、モジュール、および回路は、汎用プロセッサ、デジタル信号プロセッサ(DSP)、特定用途向け集積回路(ASIC)、フィールドプログラマブルゲートアレイ(FPGA)または他のプログラマブル論理デバイス、個別ゲートまたはトランジスタ論理、個別ハードウェア構成要素、あるいは本明細書で説明する機能を実行するように設計されたそれらの任意の組合せを用いて実装または実行され得る。汎用プロセッサはマイクロプロセッサであり得るが、代替として、プロセッサは、任意の従来のプロセッサ、コントローラ、マイクロコントローラ、または状態機械であり得る。プロセッサはまた、コンピューティングデバイスの組合せ、たとえば、DSPとマイクロプロセッサとの組合せ、複数のマイクロプロセッサ、DSPコアと連携する1つまたは複数のマイクロプロセッサ、あるいは任意の他のそのような構成として実装され得る。

【0060】

[0072]本明細書で開示した例示的な態様に関して説明した方法またはアルゴリズムのステップは、ハードウェアで直接実施されるか、プロセッサによって実行されるソフトウェアモジュールで実施されるか、またはその2つの組合せで実施され得る。ソフトウェアモジュールは、ランダムアクセスメモリ(RAM)、フラッシュメモリ、読取り専用メモリ(ROM)、電氣的プログラマブルROM(EPROM)、電氣的消去可能プログラマブルROM(EEPROM(登録商標))、レジスタ、ハードディスク、リムーバブルディスク、CD-ROM、または当技術分野で知られている任意の他の形態の記憶媒体中に常駐し得る。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み取り、記憶媒体に情報を書き込むことができるように、プロセッサに結合される。代替として、記憶媒体はプロセッサと一体であり得る。プロセッサおよび記憶媒体はASIC中に常駐し得る。ASICはユーザ端末中に常駐し得る。代替として、プロセッサおよび記憶媒体は、ユーザ端末中に個別構成要素として常駐し得る。

【0061】

[0073]1つまたは複数の例示的な態様では、説明した機能は、ハードウェア、ソフトウェア、ファームウェア、またはそれらの任意の組合せで実装され得る。ソフトウェアで実装される場合、機能は、1つまたは複数の命令またはコードとしてコンピュータ可読媒体上に記憶されるか、あるいはコンピュータ可読媒体を介して送信され得る。コンピュータ

10

20

30

40

50

可読媒体は、ある場所から別の場所へのコンピュータプログラムの転送を可能にする任意の媒体を含む、コンピュータ記憶媒体とコンピュータ通信媒体の両方を含む。記憶媒体は、コンピュータによってアクセスされ得る任意の利用可能な媒体であり得る。限定ではなく例として、そのようなコンピュータ可読媒体は、RAM、ROM、EEPROM、CD-ROMまたは他の光ディスクストレージ、磁気ディスクストレージまたは他の磁気ストレージデバイス、あるいは命令またはデータ構造の形態の所望のプログラムコードを搬送または記憶するために使用され得、コンピュータによってアクセスされ得る、任意の他の媒体を備えることができる。また、いかなる接続もコンピュータ可読媒体と適切に呼ばれる。たとえば、ソフトウェアが、同軸ケーブル、光ファイバーケーブル、ツイストペア、デジタル加入者回線(DSL)、または赤外線、無線、およびマイクロ波などのワイヤレス技術を使用して、ウェブサイト、サーバ、または他のリモートソースから送信される場合、同軸ケーブル、光ファイバーケーブル、ツイストペア、DSL、または赤外線、無線、およびマイクロ波などのワイヤレス技術は、媒体の定義に含まれる。本明細書で使用するディスク(disk)およびディスク(disc)は、コンパクトディスク(disc)(CD)、レーザーディスク(登録商標)(disc)、光ディスク(disc)、デジタル多用途ディスク(disc)(DVD)、フロッピー(登録商標)ディスク(disk)、およびBlu-Ray(登録商標)ディスク(disc)を含み、ディスク(disk)は、通常、データを磁気的に再生し、ディスク(disc)は、データをレーザーで光学的に再生する。上記の組合せもコンピュータ可読媒体の範囲内に含まれるべきである。

【0062】

[0074]開示した例示的な態様の前述の説明は、当業者が本発明を実施または使用することができるように与えたものである。これらの例示的な態様への様々な修正は当業者には容易に明らかであり、本明細書で定義した一般原理は、本発明の趣旨または範囲から逸脱することなく他の例示的な態様に適用され得る。したがって、本開示は、本明細書で示した例示的な態様に限定されるものではなく、本明細書で開示した原理および新規の特徴に一致する最も広い範囲を与えられるべきである。

以下に本願の出願当初の特許請求の範囲に記載された発明を付記する。

[C1] 入力トランジスタを備える増幅器と、

前記入力トランジスタのドレインにゲートを結合するダイオードと
を備える装置。

[C2] 前記ダイオードは、ゲートドレイン間電圧が正であるとき、順方向バイアスされるように構成された、C1に記載の装置。

[C3] 第1の集積回路パッドと第2の集積回路パッドとをさらに備え、ここにおいて、前記第1の集積回路パッドが前記入力トランジスタの前記ゲートに結合され、前記第2の集積回路パッドが前記入力トランジスタのソースに結合された、C1に記載の装置。

[C4] 前記ダイオードと直列に結合された抵抗器をさらに備える、C1に記載の装置

[C5] 前記入力トランジスタの前記ドレインに結合されたカスコードトランジスタをさらに備える、C1に記載の装置。

[C6] 前記入力トランジスタの前記ドレインを接地端子に結合する2つのダイオードをさらに備える、C1に記載の装置。

[C7] 前記ダイオードは、ドレインゲート間電圧が正であるとき、順方向バイアスされるように構成された、C1に記載の装置。

[C8] 前記ゲートドレイン間電圧が正であるとき、順方向バイアスされるように構成された、第2のダイオードをさらに備える、C7に記載の装置。

[C9] 前記ダイオードと直列に結合された第2のダイオードをさらに備える、C1に記載の装置。

[C10] 前記ドレインを前記ゲートに結合する第2のダイオードをさらに備え、前記第2のダイオードは、前記ドレインゲート間電圧が正であるとき、順方向バイアスされるように構成された、C2に記載の装置。

[C 1 1] 入力信号を増幅するための手段を備える集積回路と、
前記集積回路の帯電デバイスモデル (C D M) 性能を改善するための手段と
を備える装置。

[C 1 2] C D M 性能を改善するための前記手段が、正の C D M 性能を改善するための
手段を備える、C 1 1 に記載の装置。

[C 1 3] 正の C D M 性能を改善するための前記手段が、増幅するための前記手段のド
レインにゲートを結合するダイオードを備える、C 1 2 に記載の装置。

[C 1 4] C D M 性能を改善するための前記手段が、負の C D M 性能を改善するための
手段を備える、C 1 1 に記載の装置。

[C 1 5] 負の C D M 性能を改善するための前記手段が、増幅するための前記手段のド
レインを接地端子に結合する少なくとも1つのダイオードを備える、C 1 1 に記載の装置
。

10

[C 1 6] ゲートとドレインとを有する入力トランジスタを備えるカスコード増幅器を
使用して入力信号を増幅することと、

ダイオードを使用して前記入力信号を前記入力トランジスタの前記ドレインに結合する
ことと
を備える方法。

[C 1 7] 前記ダイオードは、ゲートドレイン間電圧が正であるとき、順方向バイアス
されるように構成された、C 1 6 に記載の方法。

[C 1 8] 前記ダイオードは、ドレインゲート間電圧が正であるとき、順方向バイアス
されるように構成された、C 1 6 に記載の方法。

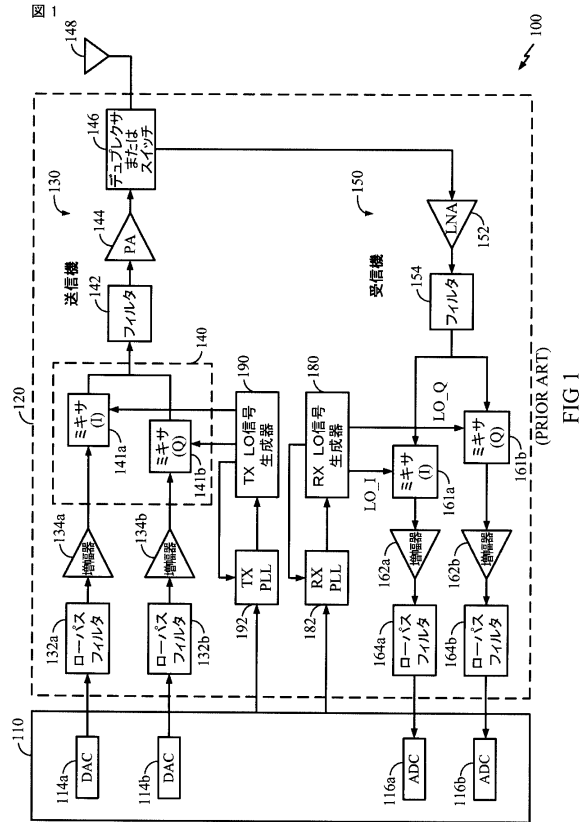
20

[C 1 9] 前記入力トランジスタの前記ドレインを接地端子に結合すること
をさらに備える、C 1 6 に記載の方法。

[C 2 0] 第2のダイオードを使用して前記入力トランジスタのソースを前記入力信号
に結合すること

をさらに備える、C 1 6 に記載の方法。

【図 1】



【図 2】

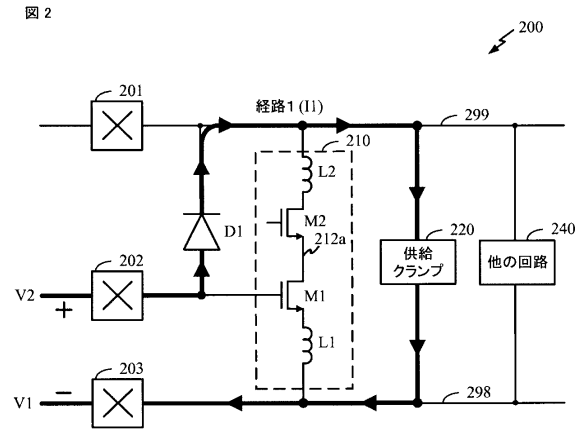


FIG 2

【図 3】

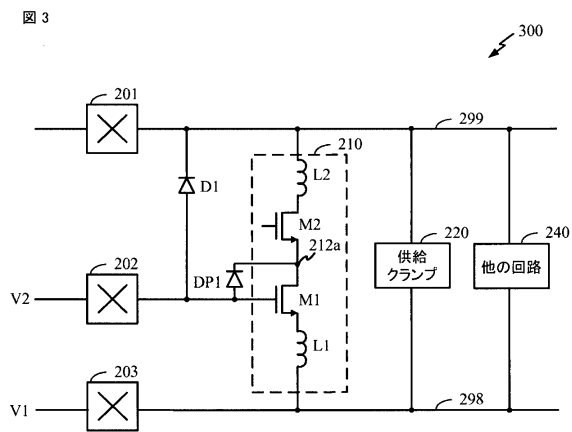


FIG 3

【図 4】

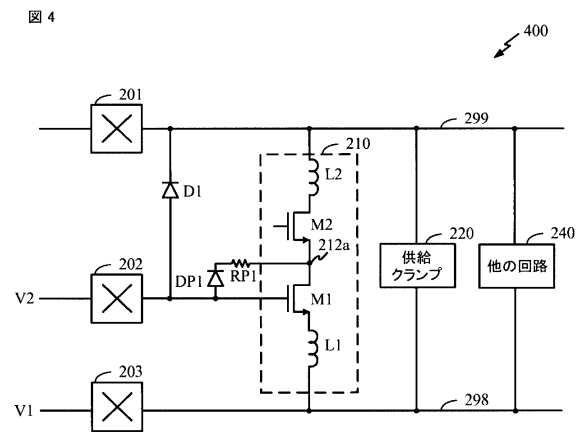


FIG 4

【図 5】

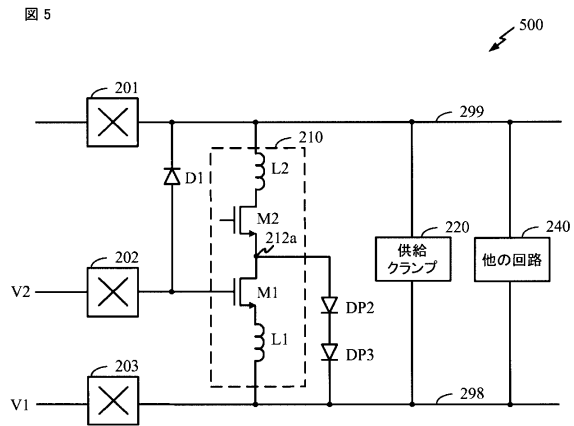


FIG 5

【図 6】

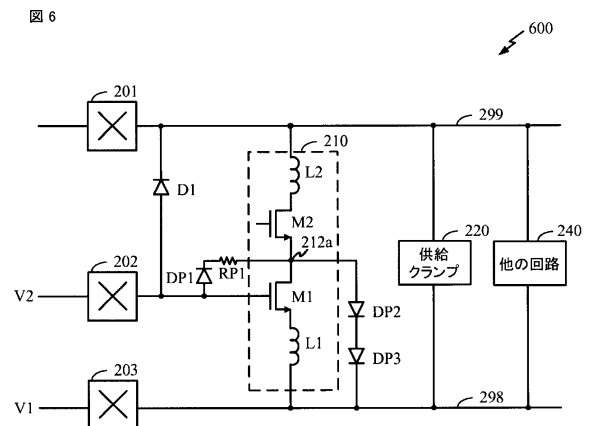


FIG 6

【図 7】

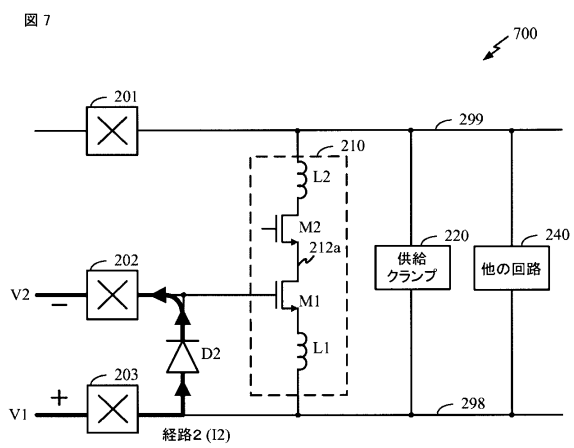


FIG 7

【図 8】

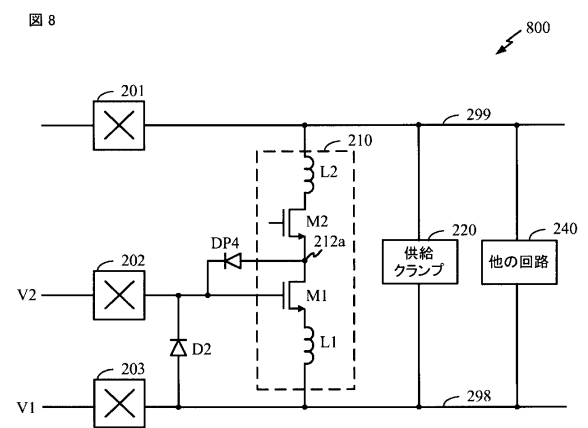


FIG 8

【図 9】

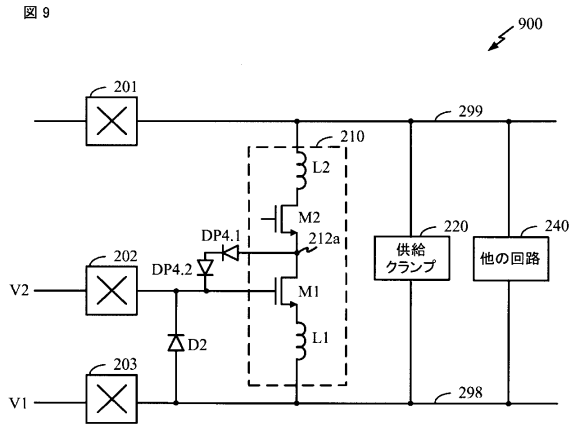


FIG 9

【図 10】

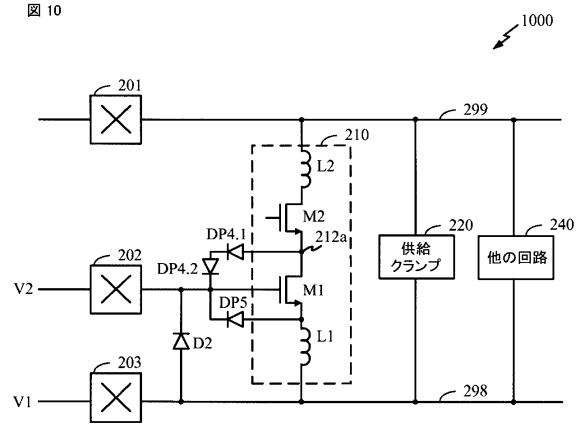


FIG 10

【図 11】

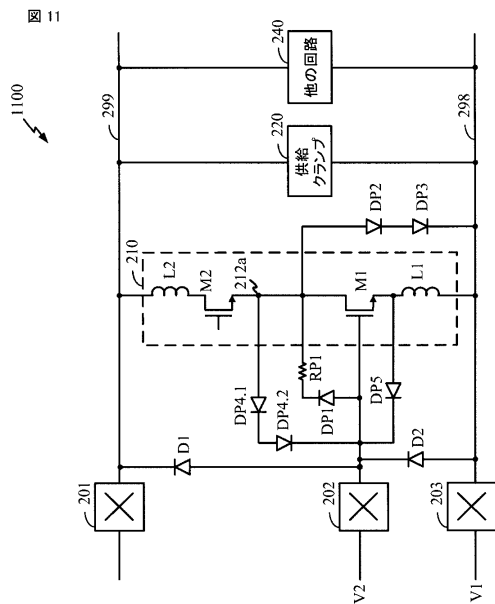


FIG 11

【図 12】

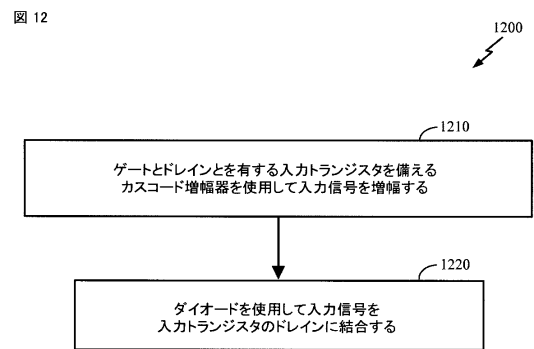


FIG 12

フロントページの続き

- (72)発明者 ユーセフ、アーメド・アブデル・モネン
アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5
- (72)発明者 グデム、プラサド・スリニバサ・シバ
アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5
- (72)発明者 チャン、リ・チュン
アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5
- (72)発明者 アブデル・ガーニー、エハブ・アーメド・ソビー
アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

審査官 棚田 一也

- (56)参考文献 特表2005-512377(JP, A)
米国特許出願公開第2011/0102081(US, A1)
特開2001-358297(JP, A)
米国特許出願公開第2007/0058308(US, A1)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/822
H01L 27/04