



(12) 发明专利

(10) 授权公告号 CN 1945854 B

(45) 授权公告日 2012. 01. 11

(21) 申请号 200610143172. X

CN 1577890 A, 2005. 02. 09, 说明书第 4 页第

(22) 申请日 2006. 09. 13

2 段 - 第 15 页第 2 段、附图 1-7.

(30) 优先权数据

US 2005/0035470 A1, 2005. 02. 17, 全文.

11/224825 2005. 09. 13 US

审查员 马骁

(73) 专利权人 英飞凌科技股份有限公司

地址 德国慕尼黑

(72) 发明人 A·舍恩克 H·特瓦斯

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 顾珊 魏军

(51) Int. Cl.

H01L 29/78(2006. 01)

H01L 21/336(2006. 01)

(56) 对比文件

US 6417056 B1, 2002. 07. 09, 全文.

CN 1893028 A, 2007. 01. 10, 说明书第 5 页第  
3 段 - 第 6 页第 4 段、附图 1-7.

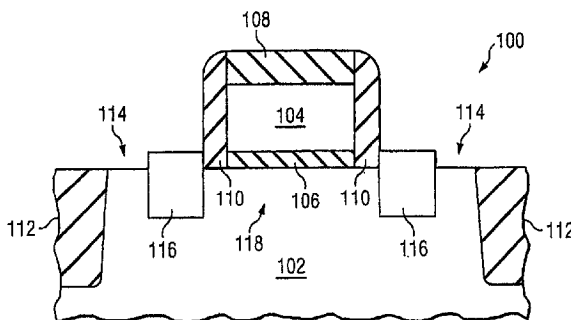
权利要求书 3 页 说明书 6 页 附图 7 页

(54) 发明名称

应变半导体器件及其制造方法

(57) 摘要

在一种用于形成半导体器件的方法中,栅电极形成在半导体主体(例如,块硅衬底或SOI层)上方。栅电极与半导体主体电绝缘。第一侧壁隔层沿栅电极的侧壁形成。牺牲侧壁隔层靠近第一侧壁隔层形成。牺牲侧壁隔层和第一侧壁隔层覆盖半导体主体。平面化层形成在半导体主体上方,以使得部分平面化层靠近牺牲侧壁隔层。牺牲侧壁隔层然后可以被除去,凹槽可以被蚀刻在半导体主体中。该凹槽在第一侧壁隔层和部分平面化层之间基本对准。半导体材料(例如,SiGe或SiC)然后可以形成在凹槽中。



1. 一种制造半导体器件的方法,该方法包括:  
在半导体主体上形成栅电极,该栅电极与半导体主体电绝缘;  
沿栅电极的侧壁形成第一侧壁隔层;  
靠近第一侧壁隔层形成牺牲侧壁隔层,该牺牲侧壁隔层和第一侧壁隔层覆盖半导体主体;  
在半导体主体上方形成平面化层,以使得部分平面化层靠近牺牲侧壁隔层;  
除去牺牲侧壁隔层;  
在半导体主体中蚀刻凹槽,该凹槽向第一侧壁隔层和部分平面化层自对准;以及在凹槽中形成半导体材料,其中该凹槽中的半导体材料的晶格常数不同于在所述半导体主体的晶格常数。
2. 如权利要求 1 所述的方法,其中形成牺牲侧壁隔层包括沉积低温氧化物材料。
3. 如权利要求 1 所述的方法,其中形成平面化层包括沉积掺杂硅的玻璃层。
4. 如权利要求 1 所述的方法,其中除去牺牲侧壁隔层包括进行湿法蚀刻。
5. 如权利要求 1 所述的方法,还包括在除去牺牲侧壁隔层之前进行化学机械抛光以将平面化层平面化。
6. 如权利要求 5 所述的方法,其中形成栅电极包括在栅极导体上方形成硬掩模材料,并且其中进行化学机械抛光除去了硬掩模材料的一部分。
7. 如权利要求 1 所述的方法,其中半导体主体由第一半导体材料形成,并且其中在凹槽中形成半导体材料包括形成与第一半导体材料不同的半导体材料。
8. 如权利要求 7 所述的方法,其中第一半导体材料包括硅,并且其中形成半导体材料包括利用硅锗填充该凹槽。
9. 如权利要求 8 所述的方法,其中利用硅锗填充凹槽包括选择性地原位生长掺杂的硅锗。
10. 如权利要求 7 所述的方法,其中第一半导体材料包括硅,并且其中形成半导体材料包括利用硅碳填充凹槽。
11. 如权利要求 1 所述的方法,还包括在凹槽中形成半导体材料之后,将源极 / 漏极植入到靠近第一侧壁隔层的半导体主体中。
12. 如权利要求 1 所述的方法,还包括在形成牺牲侧壁隔层之前在第一侧壁隔层上形成掩模层,其中除去牺牲侧壁隔层包括相对于掩模层和平面化层选择性地蚀刻牺牲侧壁隔层。
13. 一种制造半导体器件的方法,该方法包括:  
在半导体主体上形成栅电极,该栅电极与半导体主体电绝缘;  
沿栅电极的侧壁形成第一侧壁隔层;  
在半导体主体上方,包括在栅电极和第一侧壁隔层上方形成掩模层;  
在靠近第一侧壁隔层的掩模层上方形成牺牲侧壁隔层,该牺牲侧壁隔层和第一侧壁隔层覆盖半导体主体;  
在半导体主体上方形成平面化层,以使得部分平面化层靠近牺牲侧壁隔层;  
除去牺牲侧壁隔层;  
在半导体主体中蚀刻凹槽,该凹槽向第一侧壁隔层和部分平面化层自对准;

除去平面化层 ;以及

利用掩模层作为沉积掩模在凹槽中形成半导体材料,其中该凹槽中的半导体材料的晶格常数不同于在所述半导体主体的晶格常数。

14. 如权利要求 13 所述的方法,其中形成平面化层包括形成抗蚀剂层。

15. 如权利要求 14 所述的方法,其中形成平面化层还包括回蚀刻抗蚀剂层。

16. 如权利要求 15 所述的方法,其中形成抗蚀剂层包括旋涂抗蚀剂层。

17. 如权利要求 13 所述的方法,其中掩模层包括氮化硅层。

18. 如权利要求 13 所述的方法,其中形成平面化层包括沉积包括磷硅酸硼玻璃或抗蚀剂的材料,以及进行化学机械抛光处理。

19. 如权利要求 13 所述的方法,其中半导体主体包括硅,并且半导体材料包括 SiGe 和 SiC 中的一种。

20. 一种半导体器件,包括:

由第一半导体材料形成的半导体主体;

位于半导体主体的上表面上方的栅电极;

沿栅电极的侧壁设置的侧壁隔层;

位于半导体主体内并且与栅电极相隔第一距离的隔离区域 ;以及

嵌入半导体主体中的第二半导体材料的区域,该第二半导体材料的区域靠近侧壁隔层,但是沿栅电极下方的电流路径的方向与隔离区域横向间隔,其中在半导体主体上方形成平面化层,使得该平面化层的一部分与牺牲侧壁隔层相邻,该牺牲侧壁隔层形成得与所述侧壁隔层相邻或者位于与所述侧壁隔层相邻的掩模层上方并且在所述平面化层形成之后被移除。

21. 如权利要求 20 所述的器件,其中半导体主体包括位于 SOI 衬底上的半导体层。

22. 如权利要求 20 所述的器件,其中第一半导体材料包括硅,并且第二半导体材料包括硅锗。

23. 如权利要求 20 所述的器件,其中第一半导体材料包括硅,并且第二半导体材料包括硅碳。

24. 如权利要求 20 所述的器件,其中第二半导体材料的区域位于半导体主体的凹槽中,该凹槽与隔离区域间隔。

25. 如权利要求 24 所述的器件,其中隔离区域包括浅的沟槽隔离区域。

26. 如权利要求 24 所述的器件,其中凹槽与侧壁隔层基本上对准。

27. 如权利要求 20 所述的器件,其中第二半导体材料的区域从侧壁隔层延伸第一长度,该器件还包括:

位于半导体主体的上表面上方的第二栅电极;

沿第二栅电极的侧壁设置的第二侧壁隔层;

位于半导体主体内并且与第二栅电极间隔第二距离的第二隔离区域,该第二距离大于第一距离 ;以及

嵌入靠近第二侧壁隔层的半导体主体内但是与第二隔离区域横向间隔的第二半导体材料的第二区域,其中第二半导体材料的第二区域从第二侧壁隔层延伸大约第一长度。

28. 如权利要求 27 所述的器件,其中第一半导体材料包括硅,并且第二半导体材料包

括硅锗。

29. 如权利要求 27 所述的器件,其中第一半导体材料包括硅,并且第二半导体材料包括硅碳。

30. 一种半导体器件,包括:

由第一半导体材料形成的半导体主体;

位于半导体主体的上表面上方的第一栅电极;

沿第一栅电极的侧壁设置的第一侧壁隔层;

位于半导体主体的上表面上方的第二栅电极;

沿第二栅电极的侧壁设置的第二侧壁隔层;

嵌入靠近第一侧壁隔层的半导体主体中的第二半导体材料的第一区域;以及

嵌入靠近第二侧壁隔层的半导体主体内的第二半导体材料的第二区域,该第二区域与第一区域横向间隔,而没有任何插入的隔离材料,其中在半导体主体上方形成平面化层,使得该平面化层的一部分与牺牲侧壁隔层相邻,该牺牲侧壁隔层形成得与所述侧壁隔层相邻或者位于与所述侧壁隔层相邻的掩模层上方并且在所述平面化层形成之后被移除。

31. 如权利要求 30 所述的器件,还包括:

沿第一栅电极的第二侧壁设置的第三侧壁隔层,该第二侧壁与第一侧壁相对;

沿第二栅电极的第二侧壁设置的第四侧壁隔层,该第二侧壁与第一侧壁相对;

嵌入靠近第三侧壁隔层的半导体主体内的第二半导体材料的第三区域;以及

嵌入靠近第四侧壁隔层的半导体主体内的第二半导体材料的第四区域。

32. 如权利要求 31 所述的器件,还包括围绕第一和第二栅电极以及第二半导体材料的第一、第二、第三和第四区域的沟槽隔离结构。

33. 如权利要求 32 所述的器件,其中沟槽隔离结构沿第一和第二栅电极下方的电流路径方向与第二半导体材料的第一、第二、第三和第四区域中的每一个横向间隔。

34. 如权利要求 30 所述的器件,其中第一半导体材料包括硅,并且第二半导体材料包括硅锗。

35. 如权利要求 30 所述的器件,其中第一半导体材料包括硅,并且第二半导体材料包括硅碳。

## 应变半导体器件及其制造方法

### 技术领域

[0001] 本发明通常涉及半导体器件和方法,更具体的是涉及一种应变半导体器件及其制造方法。

### 背景技术

[0002] 半导体器件用于大量的电子设备,例如计算机、手机及其他设备。半导体工业的一个目标是继续缩减尺寸并且增加单个设备的速度。更小的设备可以在更高的速度下运行,这是因为组件之间的物理距离更小。此外,例如铜的较高导电率材料正逐步代替例如铝的较低导电率材料。另一个课题是如何提高半导体载流子载体的迁移率,半导体载流子例如是电子和空穴。

[0003] 用于改进晶体管性能的一种技术是机械地形变(也就是,扭曲)电荷载流子沟道区域附近的半导体晶体晶格。晶体管形成在应变硅上,其例如具有比利用传统衬底制造的那些晶体管具有更高的电荷载流子迁移率。产生应力的一种方法是在晶体管上方提供应力层。不同的应力层可以用于提高设备的迁移率和性能。例如,可以通过接触蚀刻停止层(CESL)、单层、多层、应力存储转移层以及 STI 衬垫提供应力。大多数的这些技术都使用氮化物层来提供张应力或压缩应力;但是,其它的材料也可以用于另一些应用中,例如, HDP 氧化层。

[0004] 用来形变硅的另一种方法是提供一层锗或硅锗。薄的硅层可以在含锗层上生长。由于锗晶体晶格常数大于硅晶格常数,因此含锗层在相邻的层中发生晶格失配应力。由于不同的晶格结构,因此 SiGe 会将应力传递到硅层上。这种应变硅层可以用于制造具有更高速度的晶体管。

[0005] 美国专利申请号 No. 2005/0101077 中公开了一个制造应变硅 CMOS 器件的示例,该器件具有浅沟槽隔离(STI)氧化区,该专利申请在这里被结合用作参考。通过这种方法,形成硅衬底并且松弛式 SiGe 层形成在硅衬底上方,或者形成在具有埋入式氧化(BOX)层的以绝缘体为衬底的 SiGe 上。应变硅层覆盖在松弛式 SiGe 层上。氧化硅层形成在应变 Si 层上,并且氮化硅硬掩模层形成在氧化硅层上。氮化硅层、氧化硅层、应变硅层以及松弛式 SiGe 层被蚀刻形成 STI 沟槽。牺牲氧化衬垫形成在 STI 沟槽表面上以围绕并减小 STI 沟槽角落的应力。牺牲氧化衬垫然后被除去,并且 STI 沟槽填充有氧化硅。

[0006] 另一个示例是,美国专利申请号 No. 2004/0173815 公开了一种制造应变沟道晶体管结构的方法,该专利申请在这里被结合用作参考。衬底包括具有第一固有晶格常数的第一半导体材料、衬底上的栅极电介质层、栅极电介质层上的栅电极、源极区域,相反的靠近栅极电介质层的漏极区域,以及位于栅电极的侧壁上的隔层。源极区域和漏极区域之一或两者都被凹入以形成凹槽。凹槽然后可以填充第二半导体材料作为晶格失配带,其中该第二半导体材料的第二固有晶格常数不同于第一固有晶格常数。

### 发明内容

[0007] 在现有技术中,如上所述,沟槽靠近晶体管栅极被蚀刻。这些沟槽填充有外延 SiGe 或晶格常数不同于硅的其它材料。由于具有不同的晶格常数或者热膨胀系数,因此产生机械应力并且施加到晶体管沟道上,因此改进载流子迁移率并且从而改进晶体管的性能。

[0008] 一方面,本发明基于这些原理通过在晶体管栅极的附近的适当的限定位置蚀刻相同长度的沟槽而加以扩展。在现有技术中,沟槽被蚀刻成不同长度,其通过电路的不同区域中非常数的图案密度而产生。不同长度和深度的沟槽产生不同的机械应力。因此,并不对所有晶体管确保机械应力对晶体管性能有相同的影响。这使得基于电路中晶体管的位置和环境以及与邻近晶体管栅极的距离而具有不同的晶体管参数。

[0009] 一方面,本发明提供自对准蚀刻并填充栅极附近的硅(或另一种半导体)中的槽或凹槽。优选方法确保沟槽具有均匀的长度,从而均匀的填充等量的材料。一个优点是,沟槽被均匀地设置在晶片表面上。这可以进行好的应力优化。

[0010] 例如,在一个实施例的方法中,栅电极形成在半导体主体(也就是,块硅衬底或 SOI 层)上。栅电极与半导体主体电绝缘。第一侧壁隔层沿着栅电极的侧壁形成。牺牲侧壁隔层靠近第一侧壁隔层形成。平面化层形成在半导体主体上,从而平面化层的一部分靠近牺牲侧壁隔层。牺牲侧壁隔层然后可以被除去,并且凹槽蚀刻在半导体主体中。该凹槽在第一侧壁隔层和部分平面化层之间被大致对准。半导体材料(例如, SiGe 或 SiC) 然后可以形成在凹槽中。

[0011] 本发明的过程可以引出多种实施例结构。在第一实施例中,晶体管包括隔离区域(例如, STI) 以及位于半导体主体的上表面上的栅电极。侧壁隔层沿栅电极的侧壁设置。第二半导体材料的区域嵌入半导体主体中。第二半导体材料的区域靠近侧壁隔层设置。

[0012] 在另一个实施例中,第一栅电极位于半导体主体的上表面上,并且第一侧壁隔层沿第一栅电极的侧壁设置。第二栅电极也设置在半导体主体的上表面上,并且第二侧壁隔层沿第二栅电极的侧壁设置。嵌入半导体主体的第二半导体材料的第一区域靠近第一侧壁隔层,并且嵌入半导体主体的第二半导体材料的第二区域靠近第二侧壁隔层。在不插入绝缘材料时,第二区域与第一区域横向间隔。

[0013] 通过附图和下面的描述进行阐述本发明的一个或多个实施例的细节。本发明的其它特征和优点从说明和附图,以及从权利要求中将会更加明显。

## 附图说明

[0014] 为了更加全面的理解本发明及其优点,将参考结合附图的以下描述,其中:

[0015] 图 1 是第一实施例晶体管结构的横截面图;

[0016] 图 2-10 提供了说明制造本发明的结构的第一实施例的工艺的横截面图;

[0017] 图 11-18 提供了说明制造本发明的结构的第二实施例的工艺的横截面图;

[0018] 图 19 是本发明的一个实施例的横截面图;以及

[0019] 图 20 是本发明的替换实施例的横截面图。

## 具体实施方式

[0020] 现有的优选实施例的制造和使用将在下面被详细阐述。但是,应当理解的是,本发明提供许多可应用的创造性概念,这些创造性概念可以在多种特定的上下文中体现。所阐

述的特定实施例仅仅用于说明特定的方式,以制造和使用本发明,并不限制本发明的范围。

[0021] 本发明将参考特定上下文中的优选实施例进行描述,也就是具有应变沟道的晶体管器件。但是,本发明还可以应用于需要应变或受应力的半导体区域的其他结构,或者需要将一种材料嵌入另一种材料的区域中的其他结构。

[0022] 图 1 示出了本发明的第一个实施例结构 100,其形成在半导体主体 102 中。半导体主体 102 可以是块状半导体衬底、衬底内的区域(例如,阱或桶),或者在衬底上的半导体层。例如,本发明可以利用半导体绝缘体(SOI) 技术进行很好的工作。在优选实施例中,半导体主体由硅制成。在其它实施例中,可以使用其它材料。

[0023] 结构 100 形成在半导体主体 102 的有源区域中。有源区域通过隔离区域 112 与其它有源区域划界。在优选实施例中,隔离区域 112 是围绕有源区域的沟槽隔离(例如,浅沟槽隔离或 STI) 区域。STI 区域 112 可以通过例如形成填充有例如氧化硅或氮化硅的电介质的沟槽来形成。隔离区域 112 的一个目的是使有源区域中的结构 100 与周围的结构电隔离。在其它实施例中,隔离区域可以通过仅作为三个例子的深沟槽隔离、台面隔离、或场隔离而产生。

[0024] 在所示的示例中,有源区域包含晶体管 100。晶体管 100 包括位于半导体主体 102 的上表面上的栅电极 104。栅电极 104 可以通过一个或多个导体形成,该导体例如多晶硅或金属,或它们的组合物。在一个实施例中,栅电极 104 包括覆盖多晶硅区域的硅化物(例如,硅化镍、硅化钨和硅化钛)。金属栅极可以是金属(例如, Ir, Ru, RuTa, Ti, Mo),金属硅化物(例如,完全硅化栅极),金属氮化物(例如, HfN、TiN, TaSiN) 等等。

[0025] 栅电极 104 通过栅极电介质 106 与沟道区域 118 电绝缘。栅极电介质可以是例如氧化物、氮化物或氧化物和氮化物的组合(例如,氧氮化硅(SiON)) 或氧化物-氮化物-氧化物(ONO) 叠层)。在其它实施例中,栅极电介质 106 可以是高 k 电介质(也就是,介电常数大于  $\text{Si}_3\text{N}_4$  的介电常数的电介质)。可以用作栅极电介质的高 k 介质的例子包括  $\text{HfO}_2$  (氮化)Hf 硅酸盐,  $\text{Al}_2\text{O}_3$ ,  $\text{ZrO}_2$ , Zr-Al-O, 以及 Zr 硅酸盐。

[0026] 硬掩模层 108 覆盖栅电极 104。硬掩模层 108 通常由绝缘材料形成,例如氮化硅。该层通常作为栅电极制造过程的一部分而形成,并且如果需要的话可以被省去。

[0027] 侧壁隔层 110 沿栅电极 104 的侧壁设置,并且在这个示例中,是硬掩模层 108。在一个实施例中,侧壁隔层 110 包括例如氮化物和氧化物的多层。在其它实施例中,侧壁隔层 110 可以是单个的氧化物区域或单个的氮化物区域。在其它的实施例中,可以使用其它材料。

[0028] 晶体管 100 还包括源极/漏极区域 114。在操作过程中,电流根据施加到栅电极 104 的电压在源极/漏极区域 114 之间流动。本发明同样应用于 n 沟道晶体管(例如,其中源极/漏极区域 114 掺杂有 n 型杂质,并且沟道 118 掺杂有 p 型杂质的情况下) 以及 p 沟道晶体管(例如,其中源极/漏极区域 114 掺杂有 p 型杂质,并且沟道 118 掺杂有 n 型杂质的情况下)。本发明还应用于耗尽型模式和增强型模式晶体管中。硅化物区域(未示出)可以包括在源极/漏极区域 114 上。

[0029] 在本发明的优选实施例中,源极/漏极区域 114 均还包括嵌入半导体主体 102 中的第二半导体材料 116 的区域。有利的是,半导体材料 116 是不同于半导体主体 102 的材料。例如,通过使用具有不同的晶格常数的材料,可以形成应变沟道 118。该应变沟

道将提高工作期间载流子的迁移率,从而产生更快速的晶体管。

[0030] 在第一实施例中,半导体主体 102 由硅制成,并且第二半导体材料 116 是硅锗 (SiGe)。硅锗的固有晶格常数大于硅,并且因此产生压缩沟道应力。这种情况对于 p 沟道晶体管是理想的。在另一个实施例中,第二半导体材料是硅碳 (SiC),其固有晶格常数小于硅。在该种情况下,将产生张力沟道应力,从而使 n 沟道晶体管中的电子载流子加速。

[0031] 在一个实施例中,使用不同的材料形成 CMOS 实现方案的 n 沟道晶体管和 p 沟道晶体管。一个示例是,不同导电类型的晶体管均可以包括具有不同材料(例如,用于 p 沟道的 SiGe 和用于 n 沟道的 SiC) 的嵌入区域 116。在另一个实施例中,一种类型(例如,p 沟道)的晶体管可以包括嵌入区域 116(例如,硅锗),而另一种类型(例如,n 沟道)的晶体管可以根本不包括嵌入区域 116(也就是,源极/漏极区域仅仅是硅)。在另一个示例中,所有的晶体管(n 沟道和 p 沟道)都相同。

[0032] 在所示出的实施例中,嵌入的半导体材料 116 在半导体主体 102 的上表面延伸。这个特征不是所要求的。半导体材料 116 可以与半导体主体 102 基本处于一个平面,或者可以在半导体主体 102 的上表面下方凹陷。在一个未示出的实施例中,嵌入材料 116 在上表面下方凹陷,并且覆盖有硅层,该硅层可以与余下的硅主体位于同一平面。

[0033] 有利的是,嵌入的材料 116 从栅极叠层 104 延伸出不依赖于源极/漏极 114 的长度的距离。已经发现,嵌入材料 116 的长度对位于沟道 118 上的应变变量有影响。当该长度为常数时,即使晶体管之间的间隔不是常数,应变也可以更容易被控制。换句话说,密集的和隔离的晶体管之间的应变变化将很小。结果是,在这个优选实施例中,第二半导体材料 116 的区域靠近侧壁隔层 110,而与隔离区域 112 横向间隔。由于嵌入材料区域 116 的长度为常数,因此材料 116 与隔离区域 112 横向间隔的量将是隔离区域 112 与栅电极 104(或侧壁隔层 110) 之间的距离的函数。

[0034] 制造图 1 的晶体管的第一个实施例的过程将参考图 2-10 来描述。这个过程流描述了优选制造过程和技术。本领域的普通技术人员将会认识到,多种变化型式都是可能的。

[0035] 现在首先参考图 2,晶体管已经被部分的制造出。尤其是,STI 区域 112 和包括栅极电介质 116、栅电极 104 和硬掩模层 108 的栅极叠层已经利用传统的工艺进行制造。侧壁隔层 110 也已经沿栅电极 104 的侧壁形成。这些隔层可以通过共形地沉积绝缘材料以及各向异性地蚀刻该材料形成。隔层的厚度可以由所希望的源极/漏极延伸(或者轻掺杂的源极/漏极区域)的大小来决定,这没有被明显的示出。

[0036] 现在转到图 3,牺牲侧壁隔层 120 靠近侧壁隔层 110 形成。这些隔层 120 可以通过共形地沉积绝缘材料以及各向异性地蚀刻该材料形成。可以是绝缘体或导体的隔层材料被选择为使得其可选择性地相对于侧壁隔层 110 和硬掩模 108 被移除。在优选实施例中,牺牲隔层利用低温氧化(LTO)工艺形成。该隔层的厚度由所希望的嵌入半导体区域(图 1 中的 116) 的长度来决定。

[0037] 在一个示例性实施例中,牺牲隔层沿半导体主体 102 的表面的长度处于大约 30nm 和 100nm 之间。作为参考点,栅电极 104 的长度在大约 30nm 和 100nm 之间。结果是,牺牲隔层长度与栅极长度的比例在大约 1 : 2 到 2 : 1 之间。下面将变得更加清楚的是,牺牲隔层沿主体 102 的表面的长度将限定嵌入半导体区域 116 的长度。

[0038] 平面化层 122 然后可以形成在图 4 所示的结构上方。选择平面化层材料,以使得

牺牲隔层 120 可以选择性地相对于层 122 去除。在一个实施例中,平面化层 122 通过沉积和回流磷硅酸硼玻璃 (BPSG) 层而形成。在其它实施例中,可以使用其它的材料。

[0039] 接着参考图 5,晶片的上表面被除去。该工艺可以利用化学机械抛光 (CMP) 或反应离子蚀刻 (RIE) 法来执行。在所示出的实施例中,得到的结构是平面的。在其它实施例中(例如,参见图 14),不要求该结构。在该工艺之后,将暴露出牺牲隔层 120 的部分。

[0040] 如图 6 所示,牺牲隔层 120 相对于侧壁隔层 110 和平面化层 122 被选择性地除去。在优选实施例中,执行各向同性湿法蚀刻。在一个特定实施例中,牺牲隔层 120 由低温氧化物制成,侧壁隔层 110(或者至少是侧壁隔层 110 的暴露部分)由氮化物制成,并且平面化层由 BPSG 制成。利用这些材料可以除去牺牲氧化物。

[0041] 接下来参考图 7,凹槽 124 被蚀刻到半导体主体 102 的区域中,该区域通过除去牺牲隔层而被暴露。在不同的实施例中,凹槽可以被蚀刻达到大约 20nm 至大约 150nm 之间的深度。仅作为两个示例,深度大约为 30nm 至大约 45nm 的凹槽可以用于 SOI 实施例中,并且大约为 100nm 的凹槽可以在块状实施例中蚀刻。凹槽的长度将对应于牺牲隔层 120 的长度,并且凹槽的宽度(进入或离开图 7 的页面的距离)将对应于晶体管的宽度(或者有源区域的宽度)。

[0042] 嵌入的半导体区域 116 然后可以如图 8 所示那样形成。在一个实施例中,SiGe 和 SiC 利用外延生长工艺被选择性地沉积。这种半导体可以原位地掺杂或者无掺杂地沉积。在一个示例中,硅锗利用硼进行原位掺杂,以产生 p 沟道晶体管。如果 n 沟道晶体管包括嵌入有不同材料的区域,那么它们可以在该点被掩蔽(例如,利用光致抗蚀剂)。如果 n 沟道晶体管包括未嵌入区域,那么它们将在形成凹槽的步骤中也被掩蔽。在另一个示例中,硅碳被沉积并且利用砷或磷进行原位掺杂。

[0043] 如图 9 所示,平面化层 122 然后可以被除去。这将产生如图 1 所示的基本结构。作为任意的步骤是,可以植入源极/漏极掺杂剂 126,如图 10 所示。对于 p 沟道晶体管,源极/漏极掺杂剂 126 可以是硼,并且对于 n 沟道晶体管,源极/漏极掺杂剂 126 可以例如是例如砷或磷。

[0044] 相对于图 11-16 示出制造晶体管的另一种方法。由于两种方法相似,将不再重复许多细节。应当理解,每种方法都可以使用这里所述的任何细节进行改变。

[0045] 图 11 示出了类似于图 2 的结构的一种结构,但是该结构还包括掩模层 128。可以包括掩模层 128 用来在除去牺牲侧壁隔层 120 期间保护栅极叠层以及侧壁隔层 110。在一个示例中,掩模层 128 是厚度大约为 10 到大约 50nm 的氮化硅(例如,  $\text{Si}_3\text{N}_4$ )。通过包括这种衬垫 128,侧壁隔层 110 和牺牲隔层 120 可以由相同的材料形成。

[0046] 牺牲隔层 120 的结构由图 12 示出,并且平面化层 122 的形成由图 13 示出。如前所述,希望牺牲隔层 120 和平面化层 122 的材料被选择为使得隔层 120 可以被选择性地除去。在一个实施例中,平面化层 122 由抗蚀剂形成,而牺牲隔层由氧化物形成。例如,抗蚀剂材料可以以大致平面的方式被旋涂。如上所述,牺牲隔层材料的选择不依赖于侧壁隔层 110 的材料。

[0047] 平面材料然后如图 14 所示被回蚀刻。回蚀刻的量应当足以暴露牺牲隔层 120 的一部分,但是仍然留下足够的材料 122 以在随后的凹槽蚀刻过程中保护半导体主体 102。例如,抗蚀剂层的厚度可以在凹陷前为 500-1000nm,并且在凹陷后为 50-100nm。

[0048] 牺牲隔层然后可以选择性地如图 15 所示被除去。在氧化物牺牲隔层的情况下这种除去可以通过利用稀释或缓冲的 HF 进行湿法蚀刻来完成,或可选地通过干法蚀刻来完成。该步骤将使半导体主体 102 上的掩模层 128 的一部分暴露。掩模层的这个暴露部分然后可以例如使用各向异性蚀刻工艺被开口。

[0049] 图 16 示出了先前所述的参考图 7 的凹槽蚀刻。在下一个步骤中,抗蚀剂 122 如图 17 所示被除去,并且沟槽如之前的实施例所述被填充。半导体材料 116 的选择性沉积由图 18 示出,其中层 128 用作选择性沉积的掩模。层 128 然后可以被除去或者被允许保留。

[0050] 另外的工艺,例如层间(interlevel)电介质、接触插头以及金属化都没有被示出,但是将被包括在内。

[0051] 图 19 和 20 示出了利用本发明原理的两个实施例。在图 19 中,两个晶体管 100a 和 100b 被示出。两个晶体管都形成在相同的半导体主体 102 中,但是却具有不同的尺寸。浅沟槽隔离区域 112 被示出,但是应当理解的是,也可以利用其它的隔离技术(例如,用于 SOI 设备的台面隔离)。还应当理解的是,这两个晶体管示出为彼此靠近,以简化说明。晶体管可以在管芯上的任意位置彼此间隔,并且可以具有以彼此不同的角度取向的源极/漏极电流路径。

[0052] 图 19 的结构的重要一点是晶体管 100a 和 100b 都包括相同长度(也就是,平行于电流路径延伸的距离)的嵌入半导体区域 116。嵌入区域的宽度将与晶体管沟道的宽度相同,并且可以在晶体管与晶体管之间变化。如图 19 所示,区域 116a 的长度 L 与区域 116b 的长度 L 相同。即使侧壁隔层 110a 和隔离区域 112 之间的距离小于侧壁隔层 110b 和隔离区域 112 之间的距离,这也是如此。由于嵌入的区域 116a 和 116b 具有类似的尺寸,因此更可能的是它们对它们相关的沟道区域施加类似的应力。

[0053] 图 20 示出了另一个实施例,其中两个晶体管 100a 和 100b 形成在单个的有源区域中。在这种情况下,嵌入的区域 116a-r 与嵌入的区域 116b-l 间隔,而没有任何插入隔离区域。例如,当两个晶体管具有共用源极/漏极区域时会发生这种情况。尽管具有共用的源极/漏极,但是每个晶体管 100a 和 100b 都具有单独组的相同长度的嵌入区域 116。

[0054] 嵌入区域 116a 和 116b 可以包括相同或不同的半导体材料。例如,当晶体管 100a 是 n 沟道晶体管,并且晶体管 100b 是 p 沟道晶体管时,区域 116a 可以嵌入以 SiC,而区域 116 被嵌入以 SiGe。硅化物区域或其它导体(未示出)可以用来跨越公用源极/漏极区域电耦合。

[0055] 虽然本发明已经参考说明性实施例进行了描述,但是该描述并不试图以限制性方式进行构造。通过参考描述,说明性实施例的各种改变和组合以及本发明的其它实施例对于本领域的普通技术人员将很明显。因此,所附的权利要求包含任何的这些改变或实施例。

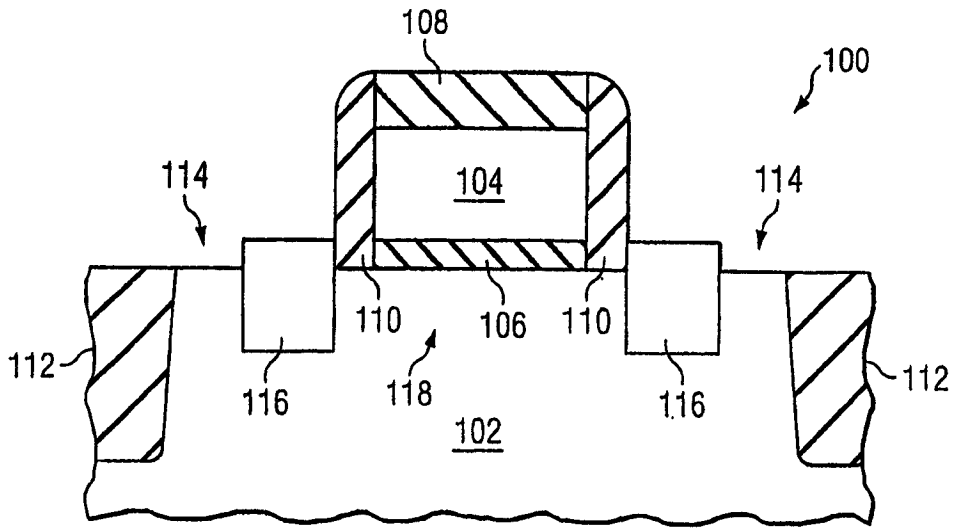


图 1

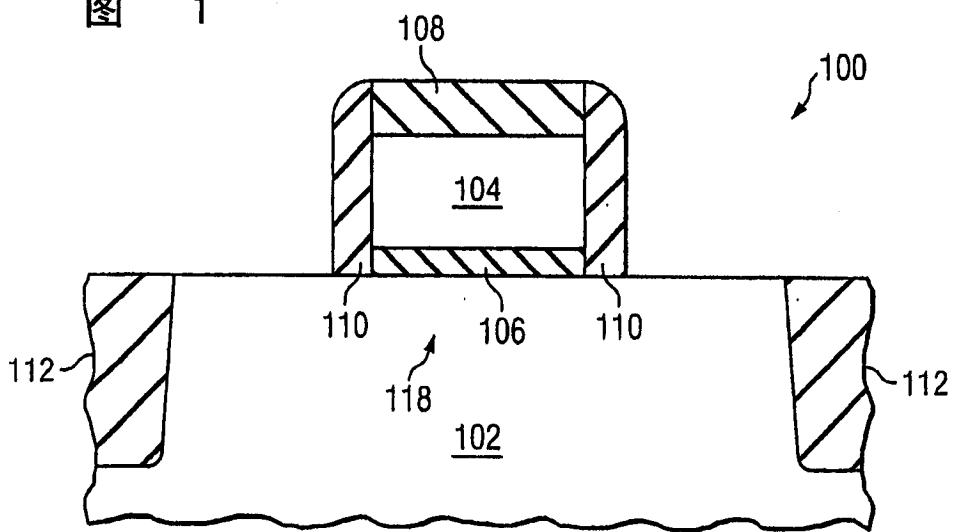


图 2

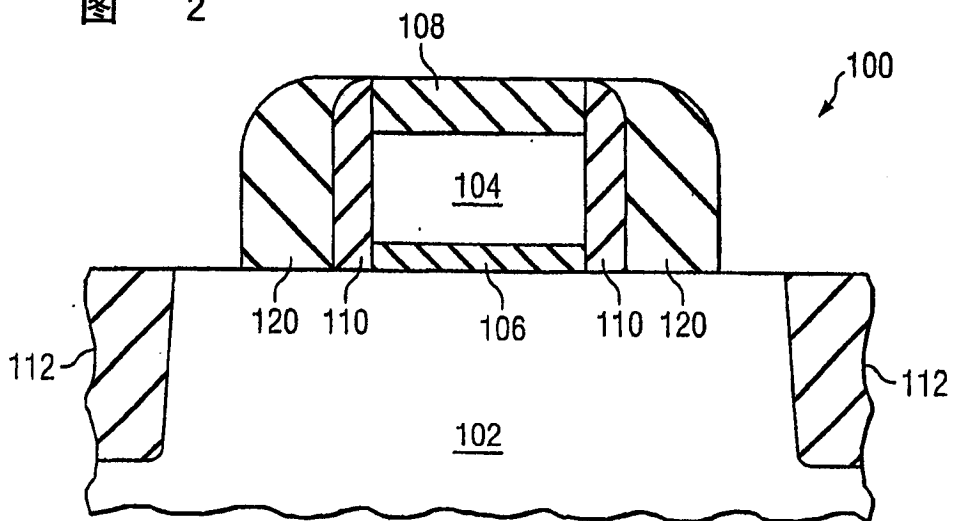


图 3

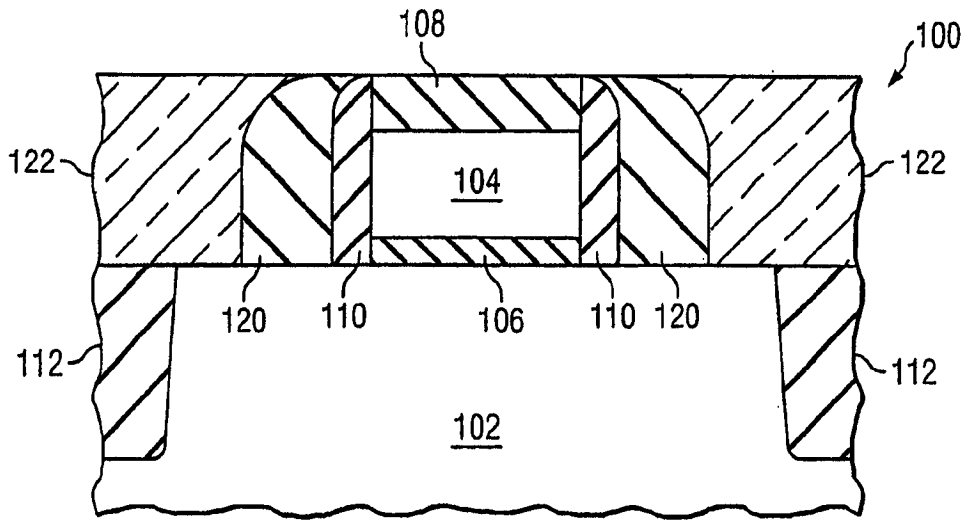


图 4

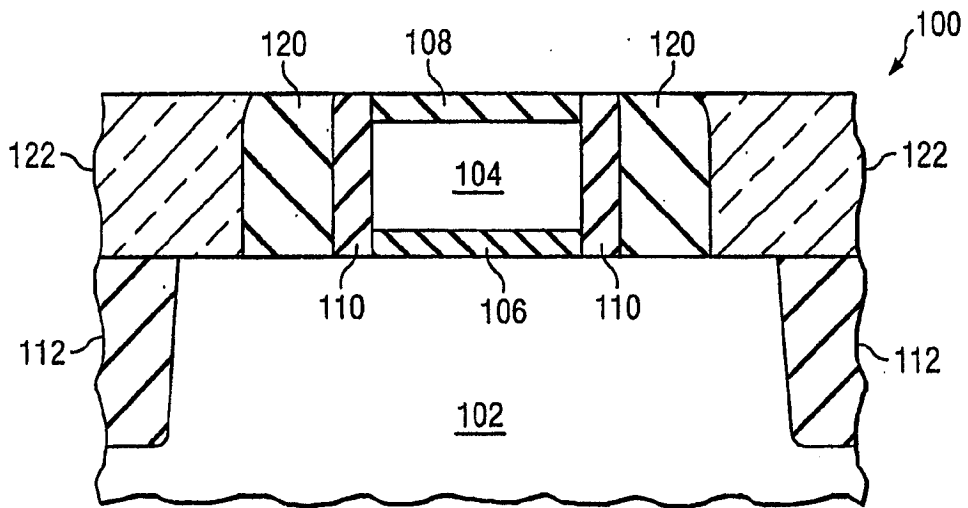


图 5

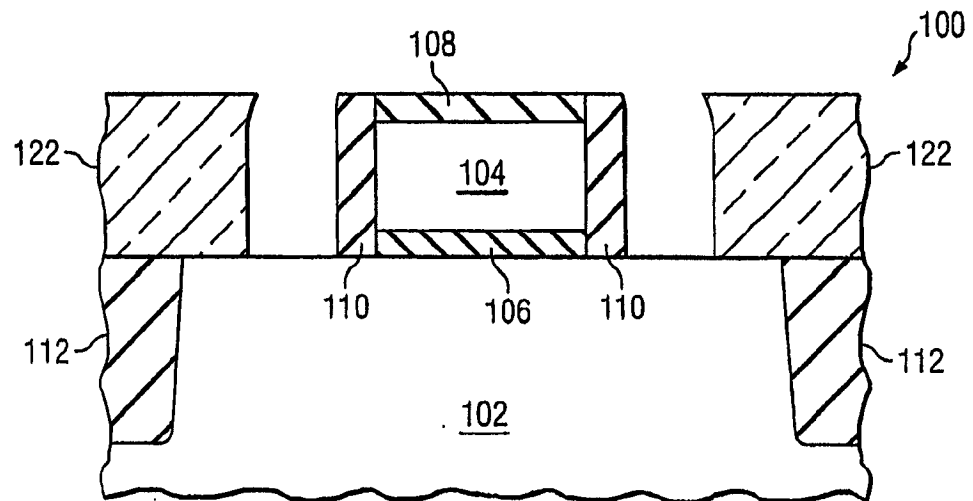


图 6

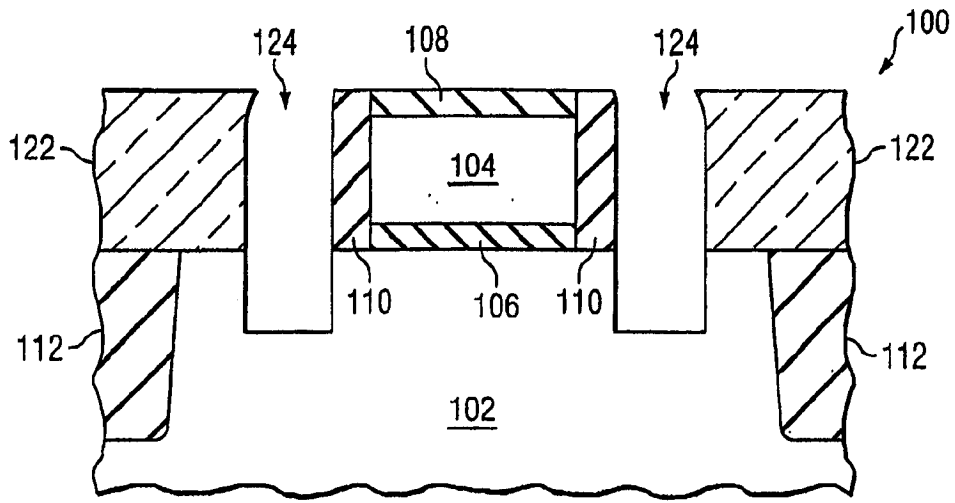


图 7

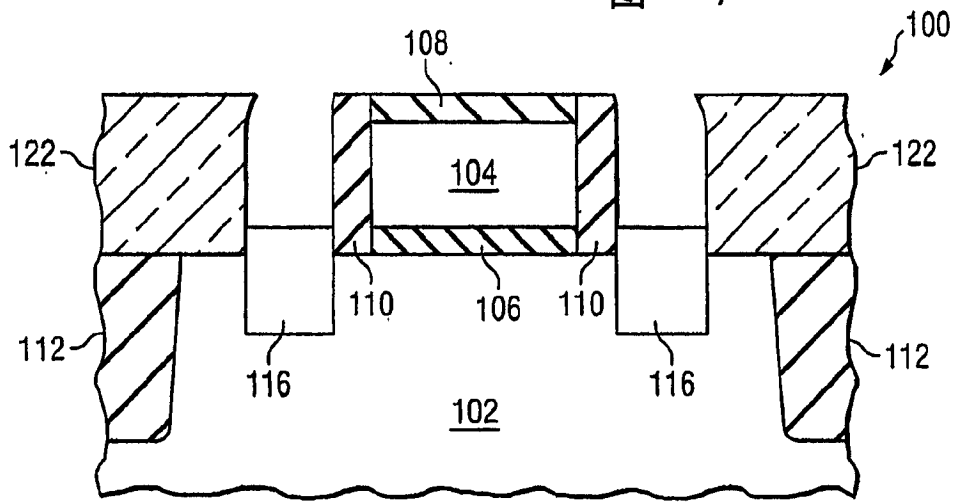


图 8

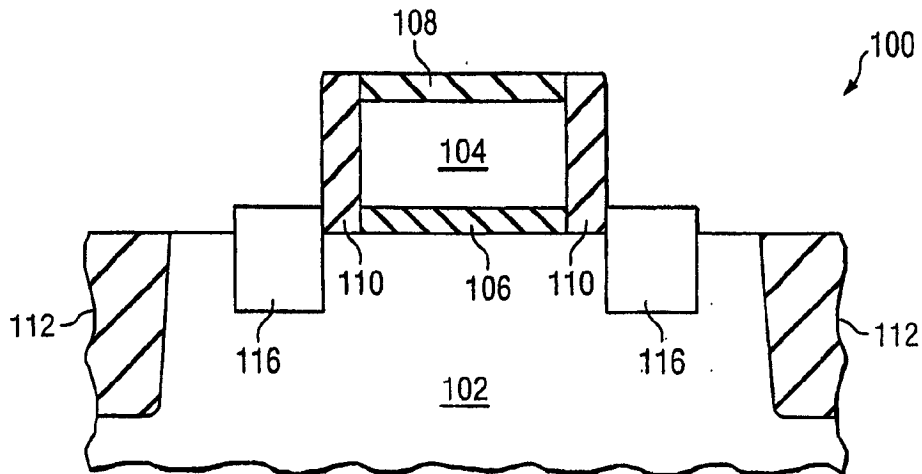


图 9

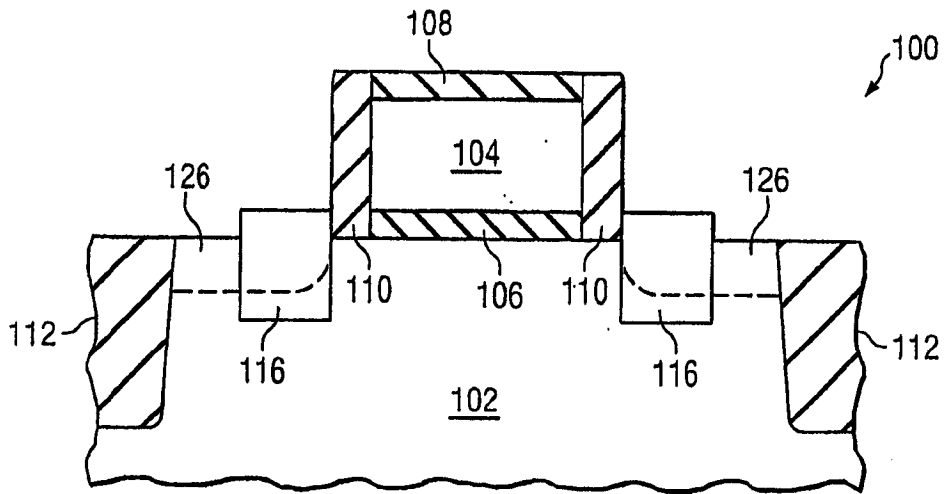


图 10

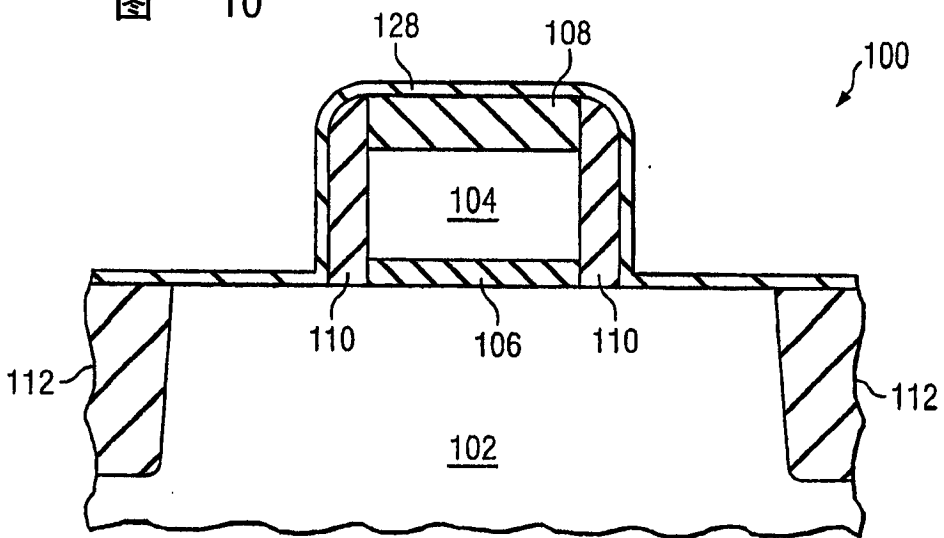


图 11

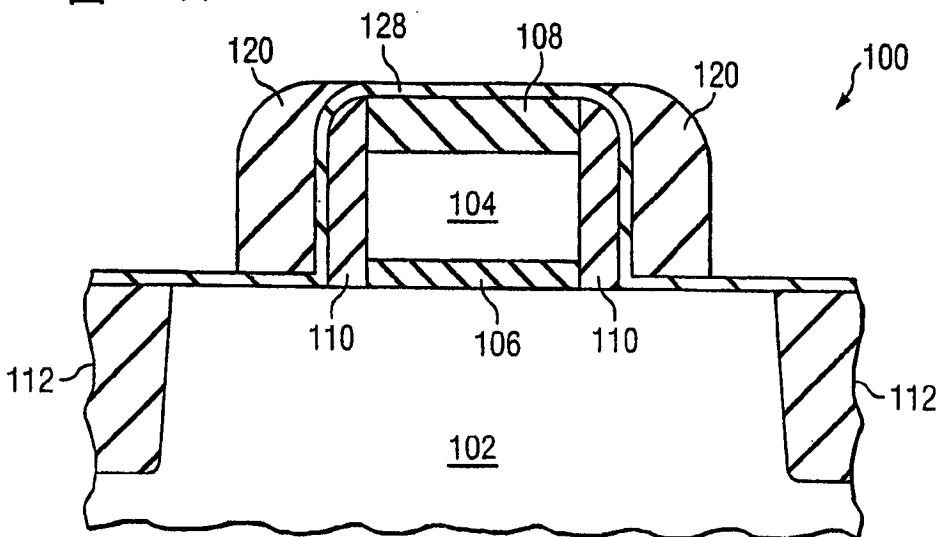


图 12

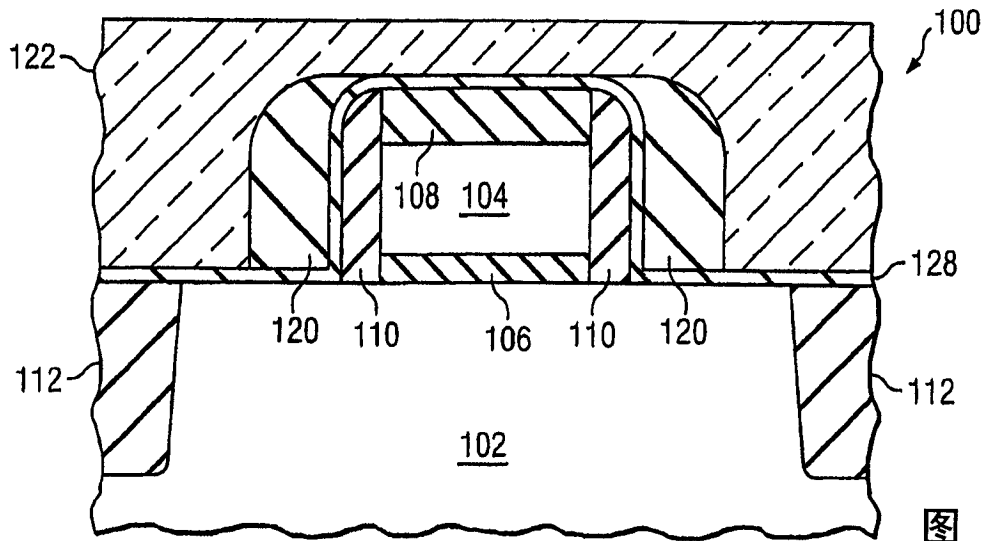


图 13

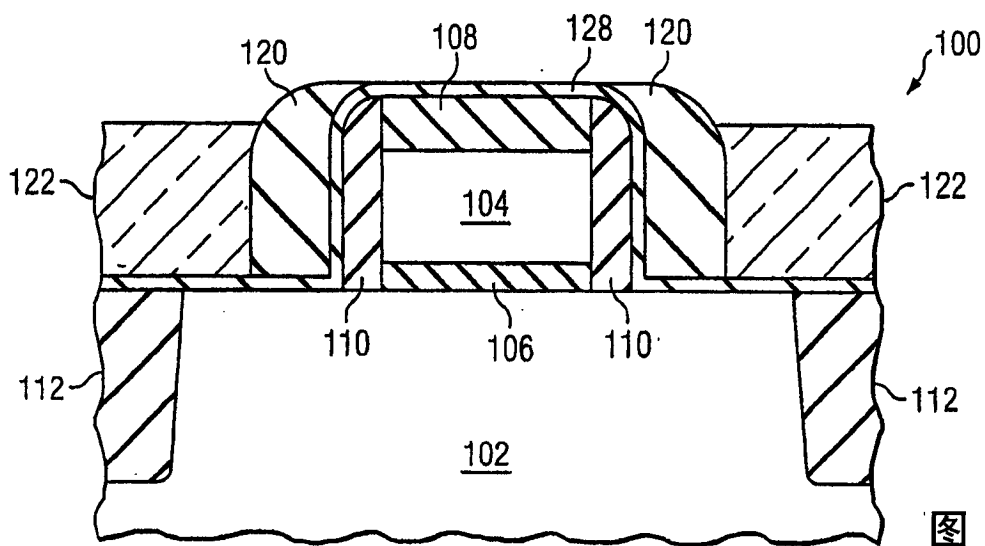


图 14

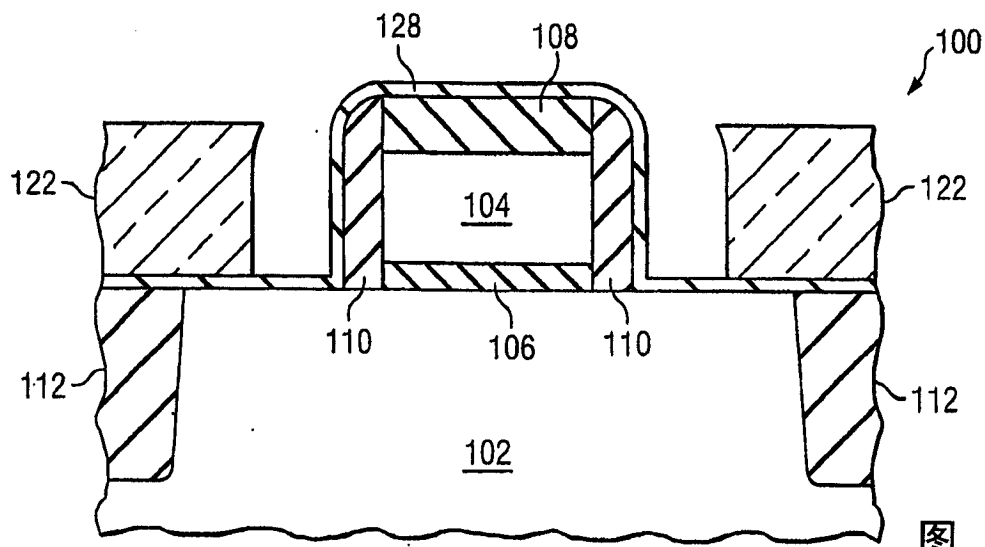


图 15

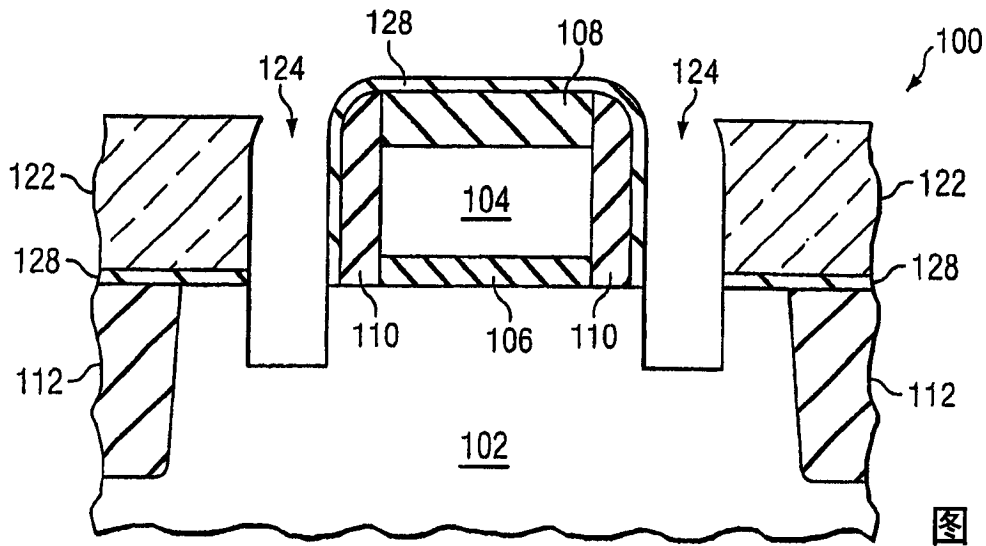


图 16

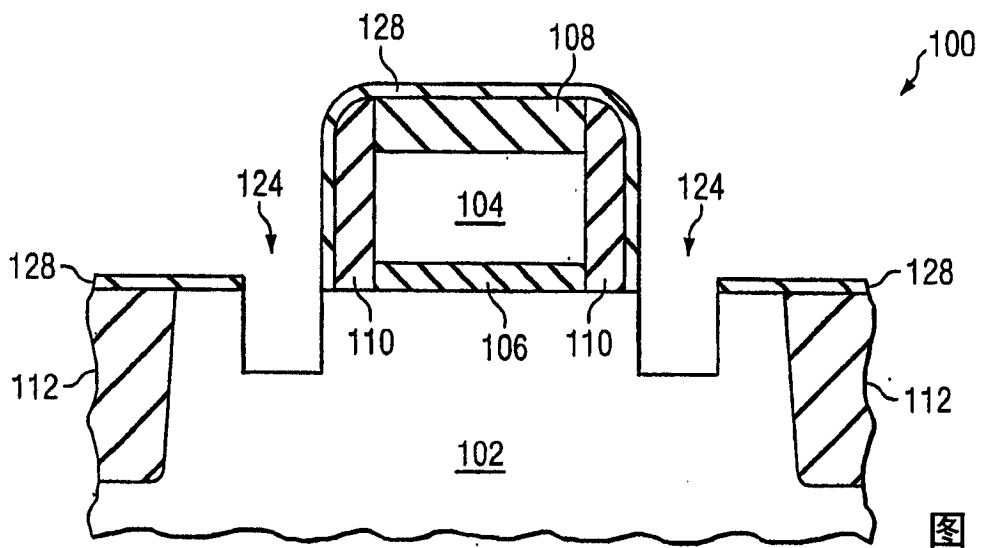


图 17

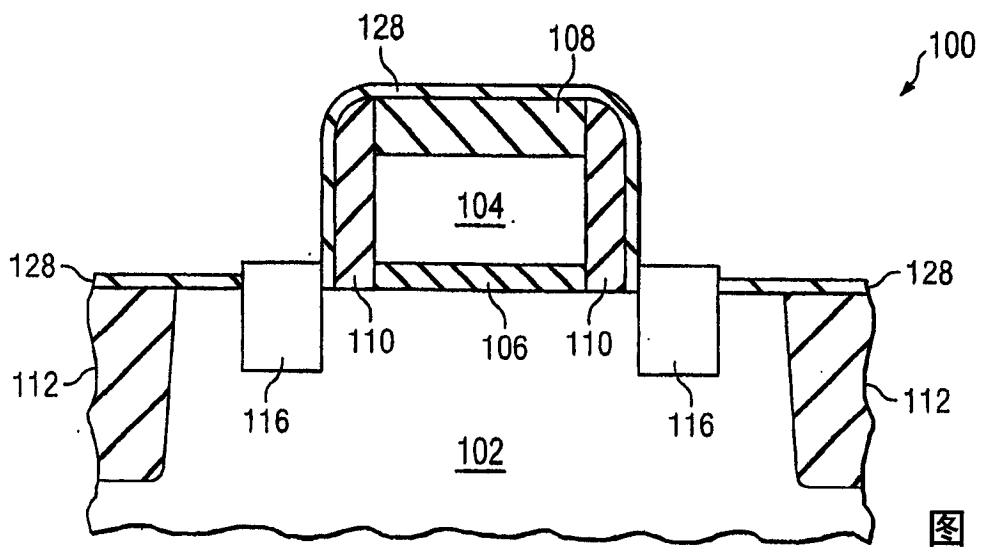


图 18

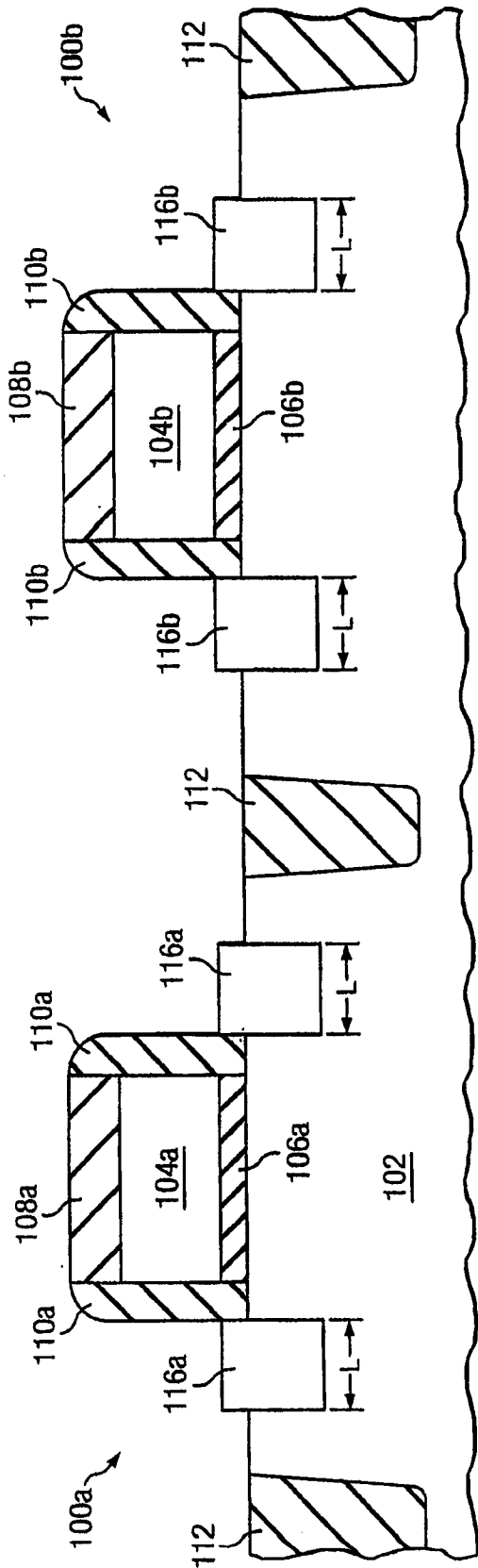


图 19

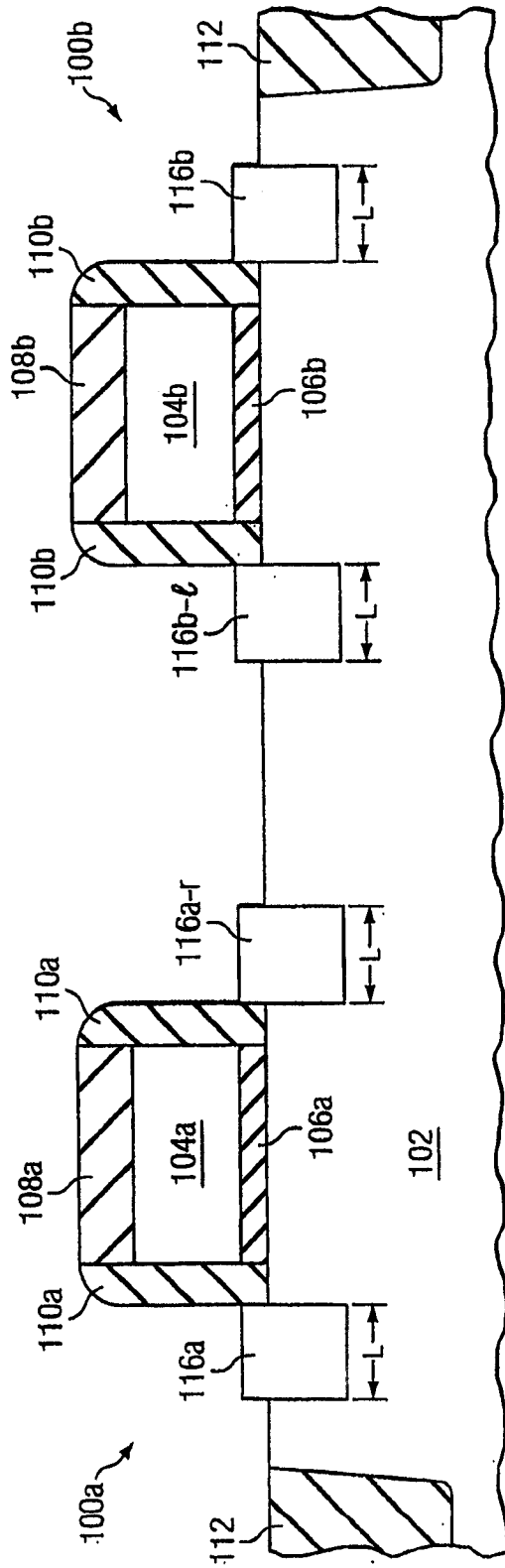


图 20