

[19]中华人民共和国专利局

[51]Int.Cl<sup>6</sup>



# [12] 发明专利申请公开说明书

H04J 13/04  
H04L 12/56 H04L 1/00  
H04J 3/00 H04J 3/22

[21] 申请号 96190221.3

[43]公开日 1997年4月30日

[11] 公开号 CN 1148919A

[22]申请日 96.2.23

[30]优先权

[32]95.2.23 [33]JP[31]035702/95

[32]95.6.14 [33]JP[31]147728/95

[32]95.12.13[33]JP[31]324823/95

[86]国际申请 PCT/JP96/00419 96.2.23

[87]国际公布 WO96/26582 日 96.8.29

[85]进入国家阶段日期 96.11.22

[71]申请人 NTT移动通信网株式会社

地址 日本东京

[72]发明人 奥村幸彦 安达文幸

大野公士 东明洋

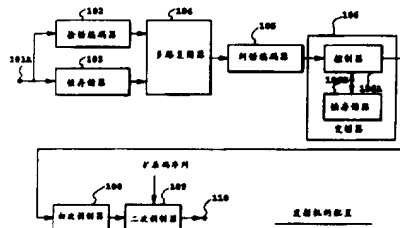
[74]专利代理机构 中国国际贸易促进委员会专利商标  
事务所  
代理人 陆立英

权利要求书 14 页 说明书 31 页 附图页数 34 页

[54]发明名称 可变速率传输方法及使用该方法的发射机和接收机

[57]摘要

一种可改变数据传输速率的可变速率传输方法。发送侧向检错编码器 105 和帧存储器 103 提供所发送的数据序列。帧存储器 103 存储在一帧中发送的可变长度的数据。检错编码器 105 计算发送数据的每帧的检错码(例如 CRC 码)。多路复用器 104 在发送的数据前加入计算的检错码,将其放置在该帧的初始位置,并依次逐帧地输出该数据序列。接收侧以与发送侧相同的方式计算所发送的每帧中数据的检错码,并将所计算的检错码与该帧初始位置的检错码比较。在两个检错码相同的位置决定是该帧数据的结束比特。这样可不通知接收侧每帧中数据长度而发送可变长度的数据。这与可自由地改变传输速率是等效的。



## 权 利 要 求 书

---

1.一种可变速率传输的方法，通过发送固定持续时间的每帧，改变平均传输速率，所述帧保持可变长度的发送数据，其特征在于，发送侧包括以下步骤：

在每个帧中计算所述发送数据的检错码；

以预定的固定传输速率发送每个所述帧中的所述发送数据和所述检错码；以及

在每帧的空位中暂停发送，所述空位是所述帧的一部分，在该部分没有所述发送数据或所述检错码，和

其中，接收侧包括以下步骤：

以所述固定传输速率接收所述每个帧；

检测在所述每帧中的所述检错码；以及

响应所述检错码的检测结果恢复所述每帧中可变长度的所述发送数据。

2.根据权利要求 1 所述的可变速率传输的方法，其特征在于，所述检测所述检错码的步骤依次以预定的数据划分所述每帧中的接收数据，同时逐个比特地移位接收的数据，并且决定在所述接收的数据可被划分的点检测所述检错码。

3.根据权利要求 2 所述的可变速率传输的方法，其特征在于，所述恢复所述发送数据的步骤在由所述检错码的比特数检测到所述检错码的点前面的一点决定所述发送数据的结束比特位置。

4.根据权利要求 1 所述的可变速率传输的方法，其特征在于，

所述发送侧还包括以下步骤：

周期性地将已知码型的引导码元插入所述每个帧；和

将所述发送数据的重要数据放在靠近所述引导码元，以及

其中，所述的接收侧包括以下步骤：

检测所述引导码元；

补偿使用被检测的所述引导码元接收的所述发送数据和所述检错

码；并将所述发送数据重新定位在其原始顺序。

5.根据权利要求 4 所述的可变速率传输的方法，其特征在于，所述将所述重要数据放置在靠近所述引导码元的步骤包括以下步骤：

逐行地将所述发送数据交替地从存储器的顶行和底行写入具有 N 行和 M 列的所述存储器中，这里 N 和 M 是正整数；

逐列地从所述的存储器中读出已经存储在所述存储器中的所述的发送数据；

每次读出所述列时插入所述的引导码元，而且其中所述的重要数据预先放置在所述发送数据的起始位置。

6.根据权利要求 4 所述的可变速率传输的方法，其特征在于，所述的方法是 CDMA（码分多址），其中所述发送侧包括以下步骤：执行所述发送数据和所述检错码的初次调制，和使用扩展码序列对已经进行了所述初次调制的信号执行二次调制。

7.根据权利要求 6 所述的可变速率传输的方法，其特征在于，所述的引导码元和所述重要数据的发送功率可增加。

8.根据权利要求 1 所述的可变速率传输的方法，其特征在于，所述的发送侧包括以下步骤：

当所述的发送数据和所述的检错码的总数等于或小于可由一帧发送的最大数据数的  $1/K$  时，通知所述接收侧所述的发送数据和所述的检错码重复了 K 次，K 是正整数；

产生多个帧，在每帧中所述的发送数据和所述检错码的每个比特重复了 K 次；以及

以在所述的每个比特不重复时使用的发送功率的  $1/K$  的发送功率发送已经产生的所述帧，和

其中，所述的接收侧包括以下步骤：

使用从所述发送侧通知的 K 稀疏数据，从所述的发送数据和所述的检错码中恢复原始数据。

9.根据权利要求 8 所述的可变速率传输的方法，其特征在于，所述的发送侧包括以下步骤：

周期性地将已知码型的引导码元插入所述每个帧；和  
将所述的发送数据的重要数据放在所述每个帧中靠近所述引导码元，以及

所述的接收侧包括以下步骤：

检测所述引导元；

使用检测的所述引导码元补偿已接收的所述发送数据和所述检错码；和

重新定位接收的所述发送数据到其原始位置。

10.根据权利要求 1 所述的可变速率传输的方法，其特征在于，所述的发送侧包括以下步骤：

分配具有所述发送数据的多条信道的每帧；

周期性地将已知码型的引导码元插入所述的多条信道的之一的每帧；

将所述的发送数据的重要数据放置在靠近所述的引导码元；和

同时使用分配给所述多条信道的不同扩展码序列来扩展所述发送数据，通过所述每条信道发送扩展的数据，以及

所述的接收侧包括以下步骤：

同时接收所述多条信道；

检测所述多条信道之一的引导码元；

使用检测的引导码元补偿所述多条信道的接收信号；和

重新定位接收的所述发送数据到其原始顺序。

11.根据权利要求 10 所述的可变速率传输的方法，其特征在于，所述的多条信道的数据可以被移位的所述多条信道的每条信道的载波相位发送。

12.根据权利要求 1-7， 9 和 11 的任一个权利要求所述的可变速率传输的方法，其特征在于，所述的重要的数据是控制数据。

13.根据权利要求 1 所述的可变速率传输的方法，其特征在于，所述的发送侧包括所述的在每帧中的固定位置上放置所述检错码的步骤，而所述的接收侧包括提取放置在所述的每帧中的所述的固定位置的所

述的检错码，并且在所述检错码的基础上得到所述发送数据的比特数。

14.根据权利要求 13 所述的可变速率传输的方法，其特征在于，所述的方法是 CDMA 数据发送方法，其中所述发送侧包括以下步骤：执行所述每帧中的所述发送数据和所述检错码的初次调制，和使用扩展码序列执行在被发送的所述每帧中经初次调制的数据的二次调制。

15.根据权利要求 14 所述的可变速率传输的方法，其特征在于，所述的发送侧包括在所述初次调制之前执行纠错编码和所述发送数据的交错的步骤，和其中所述接收侧包括以下步骤：执行所接收的所述发送数据的初次解调，和对已进行了所述初次解调的所述发送数据执行去交错及纠错解码。

16.根据权利要求 13 所述的可变速率传输的方法，其特征在于，

所述的发送侧包括以下步骤：

当所述每帧中的所述发送数据和检错码的总数等于或小于可由所述每帧发送的最大数据数的  $1/K$  时，重复所述发送数据和所述检错码的每个比特  $K$  次，这里  $K$  是正整数；

减小所述每帧的发送功率到在所述比特不重复时使用的发送功率的  $1/K$ ；及

所述的接收侧包括以下步骤：

以  $K$  比特间隔积分已接收的所述发送数据和所述检错码；和通过对每  $K$  比特的积分数据执行稀疏处理来恢复所述发送数据。

17.根据权利要求 1 所述的可变速率传输的方法，其特征在于，

所述的发送侧包括以下步骤：

将代表在所述每帧中的数据比特数和所述检错码的传输速率信息加到所述每帧中的固定位置，和

所述的接收侧包括以下步骤：

响应所述传输速率信息得到在所述每帧中的所述发送数据的结束比特位置；

计算到所述结束位置的所述发送数据的检错码；

比较所述计算的检错码和已经接收的所述检错码；以及  
当比较步骤的比较结果一致时，决定到所述结束比特位置的所述发送数据是正确的。

18.根据权利要求 17 所述的可变速率传输的方法，其特征在于，发送方法是 CDMA 数据发送方法，其中所述的发送侧包括以下步骤：执行所述每帧中的所述发送数据和所述检错码的初次调制和使用扩展码序列执行在被发送的每帧中经初次调制的数据的二次调制的步骤。

19.根据权利要求 18 所述的可变速率传输的方法，其特征在于，所述的发送侧包括以下步骤：

在所述初次调制之前执行所述每帧中的所述的发送数据、所述的传输速率信息和所述检错码的纠错编码，和

交错所述每帧中经纠错编码的数据，接着提供经交错的数据到执行初次调制的所述步骤，和

所述的接收侧包括以下步骤：

“解扩展”使用扩展码序列接收的所述每帧中的数据；

对“解扩展”信号执行初次解调；

“去交错”已进行所述初次解调的发送数据；

执行所述传输速率信息和所述检错码的纠错解码；和

根据前一步骤的所述纠错解码结果执行所述发送数据的纠错编码到其结束比特。

20.根据权利要求 17 所述的可变速率传输的方法，其特征在于，

所述的发送侧包括以下步骤：

将与当前帧相关的所述传输速率信息放置在前一帧的固定位置，和  
所述接收侧包括步骤：

提取在所述前一帧中接收的所述传输速率信息；和

响应已提取的所述传输速率信息决定在所述当前帧中的数据的结束比特位置。

21.根据权利要求 20 所述的可变速率传输的方法，其特征在于，

所述的发送侧包括以下步骤：

执行所述每帧中的数据的纠错编码；  
交错所述每帧；  
执行已交错的所述每帧的初次调制；和  
使用扩展码序列对所述每帧经初次调制的发送数据执行二次调制，  
和

所述的接收侧包括以下步骤：

执行已接收的所述发送数据的初次解调；

“去交错”已初次解调的所述发送数据；

执行所述前一帧中已发送的所述传输速率信息的纠错解码，和在所述当前帧中的所述检错码的纠错解码；和

根据前一步骤所述纠错解码的结果对所述发送数据执行到其结束比特的纠错解码。

22. 根据权利要求 17--21 之一中任何一项所述的可变速率传输的方法，其特征在于，当所述每帧中的所述发送数据的比特数等于或少于可由所述每帧发送的数据的最大比特数的  $1/K$  时，其中  $K$  是正整数，所述的发送方法在发送侧包括：

重复所述发送数据的每个比特  $K$  次，这里  $K$  是正整数；和

减少所述每帧的发送功率到在所述比特不重复时使用的发送功率的  $1/K$ ，

而在所述接收侧包括：

以  $K$  比特间隔积分已接收的所述发送数据；和

通过对每  $K$  个比特的积分数据执行稀疏处理恢复发送数据。

23. 一种发射机，发送固定持续时间的每帧，改变平均传输速率，所述帧保持可变长度的发送数据，其特征在于，所述的发射机包括：

在所述每帧中计算所述发送数据的检错码的装置；和

用于以预定的固定传输速率发送所述每帧中的所述发送数据和所述检错码和用于在每帧的空位中暂停发送的装置，所述空位是所述帧的一部分，在所述部分没有所述发送数据或所述检错码。

24. 根据权利要求 23 所述的发射机，其特征在于，进一步包括：

引导码元插入装置，用于周期性地将已知码型的引导码元插入所述的每帧；

用于存储所述发送数据的一个存储器；和

数据再定位装置，用于将存储在所述存储器中的所述发送数据的重要数据放置在靠近所述引导码元。

25.根据权利要求 24 所述的发射机，其特征在于，所述数据再定位装置通过以 M 比特的长度逐行地将所述发送数据写入所述存储器和以 N 比特长度逐列地从所述存储器读出所述存储的发送数据可将所述重要数据放置在靠近所述引导码元，其中 N 是由所述引导码元夹入的一个时隙的比特数，而 M 是所述每帧所包含的所述时隙数。

26.根据权利要求 25 所述的发射机，其特征在于，所述数据再定位装置可交替地从所述存储器的顶行和底行将所述重要数据写入所述存储器。

27.根据权利要求 24--26 的任何一个权利要求所述的发射机，其特征在于，进一步包括：

一个初次调制器，用于调制所述每帧中的数据，包括所述发送数据，和

一个二次调制器，用于使用扩展码序列对已进行所述初次调制的所述每帧的扩展数据进行二次调制，和

其中所述引导码元插入装置连接在所述初次调制器和所述二次调制器之间，并且周期地在所述时隙之间插入所述引导码元。

28.根据权利要求 26 所述的发射机，其特征在于，进一步包括接到所述引导码元插入装置的一个发送功率控制装置，用于根据所述数据的重要程度控制所述每帧中的数据的发送功率。

29.根据权利要求 28 所述的发射机，其特征在于，一个预定的特定码可被写入所述每帧的空位中，当所述发送数据的比特数少于所述每帧的最大比特数时出现所述空位，和其中所述发送功率控制装置减少所述空位的发送功率到零。

30.根据权利要求 29 所述的发射机，其特征在于，进一步包括位于



所述存储器前的一个重复器，对于每个比特重复所述发送数据和所述检错码  $K$  次，和其中与在不执行所述  $K$  次重复时所用的发送功率相比，所述发送功率控制装置减少所述每帧的发送功率到  $1/K$ 。

31. 根据权利要求 23 所述的发射机，其特征在于，进一步包括：

引导码元插入装置，用于周期地将已知码型引导码元插入到所述每帧；

用于存储所述发送数据的一个存储器，所述存储器能够读出与多条信道相关的多组发送数据；

数据再定位装置，用于将数据写入所述存储器，使得存储在所述存储器中的所述发送数据的重要数据被放置在靠近所述引导码元；

多个初次调制器，用于初次调制从所述存储器读出的所述多组发送数据；

多个发送功率控制装置，用于控制从所述初次调制器输出的所述每帧的发送功率；

多个二次调制器，使用不同的扩展码序列扩展从所述发送功率控制装置输出的所述每帧中的数据；和

一个加法器，用于将从所述二次调制器输出的多个信号相加，和

其中所述数据再定位装置划分被写入所述存储器的所述发送数据，同时从所述存储器读出通过该划分已形成的所述多组发送数据，而且提供读出的数据给所述多个初次调制器，所述引导码元插入装置连接在所述多个初次调制器之一之后，用于周期地插入所述引导码元，和在发送所述重要数据时所述多个发送功率控制装置增加发送功率。

32. 根据权利要求 31 所述的发射机，其特征在于，进一步包括多个相位控制器，每个相位控制器接在所述多个初次调制器后面，用于偏移所述二次调制器载波的相位。

33. 根据权利要求 23 所述的发射机，其特征在于，进一步包括将所述检错码加到所述每帧的固定位置的装置。

34. 根据权利要求 33 所述的发射机，其特征在于，进一步包括：

用于执行所述每帧中数据纠错编码的装置；

用于交错已进行所述纠错编码的数据的装置；

用于初次调制已交错数据的装置；和

使用扩展码二次调制经初次调制的的数据。

35.根据权利要求 33 或 34 所述的发射机，其特征在于，进一步包括：

当所述每帧中的数据的比特数等于或小于在一帧中可发送的最大比特数的  $1/K$  时用于重复所述每帧中的数据的每个比特  $K$  次的装置，其中  $K$  是正整数；和

发送功率控制装置，与在不执行所述  $K$  次重复时使用的发送功率相比，减少所述每帧的发送功率到  $1/K$ 。

36.根据权利要求 23 所述的发射机，其特征在于，进一步包括加法装置，将代表所述每帧中的数据总数的传输速率信息和所述检错码加到所述每帧的固定位置。

37.根据权利要求 36 所述的发射机，其特征在于，进一步包括：

用于执行所述每帧中的所述发送数据、所述传输速率信息和所述检错码的纠错编码的装置；；

用于交错已进行所述纠错编码的数据的装置；

用于初次调制经交错的数据的装置；和

使用扩展码二次调制经初次调制的的数据的装置。

38.根据权利要求 36 所述的发射机，其特征在于，进一步包括将与当前帧有关的所述传输速率信息加到前一帧的固定位置的装置。

39.根据权利要求 38 所述的发射机，其特征在于，进一步包括：

用于执行所述每帧中所述发送数据，所述传输速率信息和所述检错码的纠错编码的装置；

用于交错已进行所述纠错编码的数据的装置；

用于初次调制经交错的数据的装置；和

用于使用扩展码对经初次调制的的数据进行二次调制的装置。

40.根据权利要求 36--39 的任何一个权利要求所述的发射机，其特征在于，进一步包括：

当所述每帧中的所述数据的比特数等于或少于可在一帧中发送的最

大比特数的  $1/K$  时, 用于重复所述每帧中数据的每个比特  $K$  次的装置, 其中  $K$  是正整数; 和

发送功率控制装置; 与在不执行所述  $K$  次重复时使用的发送功率相比, 减少所述每帧的发送功率到  $1/K$ 。

41. 一种接收机, 其特征在于, 包括:

用于以固定传输速率接收各包括发送数据和检错码的帧的装置;

用于检测所述每帧中的检错码的装置; 和

响应所述检错码的检测结果恢复所述每帧中可变长度的所述发送数据的装置。

42. 根据权利要求 41 所述的接收机, 其特征在于, 在逐比特移位所述接收数据时, 检测所述纠错码的装置顺序地以预定的数据划分所述每帧中的接收的数据, 和决定在所述接收数据可被划分的点检测所述纠错码。

43. 根据权利要求 41 所述的接收机, 其特征在于, 进一步包括:

用于检测已知码型的引导码元的装置, 这些引导码元周期地插入到被发送的所述每帧;

一个存储器, 用于存储在所述每帧中的数据; 和

数据再定位装置, 当接收所述每帧中的所述数据时, 用于将写入所述存储器中的数据重新安排成原始顺序, 其中所述发送数据的重要数据靠近所述引导码元放置。

44. 根据权利要求 43 所述的接收机, 其特征在于, 通过将所述每帧中的所述数据以  $N$  比特的长度逐列地写入所述存储器和以  $M$  比特的长度逐行地从所述存储器中读出所述每帧的存储的数据, 所述数据再定位装置可将所述每帧的所述数据重新安排成原始顺序, 其中  $N$  是由所述引导码元所夹入的时隙的比特数, 而  $M$  是包含在所述每帧中的所述时隙数。

45. 根据权利要求 44 所述的接收机, 其特征在于, 所述数据再定位装置交替地从所述的存储器的顶行和底行执行读出所述存储器。

46. 根据权利要求 43--45 的任何一个权利要求所述的接收机, 其特征

在于，进一步包括：

一个二次解调器，使用扩展码序列“解扩展”接收的信号；  
一个补偿器，使用所述引导码元补偿所述每帧中的所述数据；和  
一个初次解调器，用于解调已由所述补偿器补偿的所述数据。

47.根据权利要求 46 所述的接收机，其特征在于，进一步包括：

用于以 K 比特间隔积分已接收的所述每帧中所述数据的装置；和  
通过每 K 比特执行稀疏经积分的数据来恢复所述发送数据的装置。

48.根据权利要求 41 所述的接收机，其特征在于，进一步包括：

多个二次解调器，用于解扩通过多条信道同时发送的多个系列帧的  
每一帧；

一个补偿器，使用引导码元补偿所述多个系列帧中的数据，该引导  
码元周期地插入多个系列帧之一，并且通过所述多条信道之一发送；

多个初次解调器，用于解调经补偿的数据；

一个存储器，用于同时存储所述多个系列数据；和

数据再定位装置，通过将所述多个系列帧同时写入所述存储器的分  
开的存储区和以不同于写入的顺序读出所写入的数据，重新安排放置  
在靠近所述引导码元的重要数据到其原始顺序。

49.根据权利要求 48 所述的接收机，其特征在于，进一步包括相位  
控制器，每条信道提供一个相位控制器，用于校正所述多个系列数据  
的相位。

50.根据权利要求 41 所述的接收机，其特征在于，进一步包括：

一个二次解调器，用于解扩展接收的扩展信号和输出经解扩展的信  
号；

一个初次解调器，用于从所述解扩展的信号中恢复所述每帧的数  
据；

一个检错码存储器，用于存储放置在所述每帧中的固定位置的所述  
检错码；

用于从所述每帧中的所述数据计算检错码的装置；和

比较装置，用于比较所述计算的检错码和存储在所述检错码存储器

中的所述检错码，

其中响应该比较结果通过得到所述每帧中的所述数据的比特数，接收所述每帧中可变比特的数据。

51.根据权利要求 50 所述的接收机，其特征在于，进一步包括：  
用于“去交错”从所述初次解调器输出的数据的装置；和  
用于对已“去交错”的数据执行纠错编码的装置。

52.根据权利要求 50 或 51 的任何一个权利要求所述的接收机，其特征在于，进一步包括：

用于以 K 比特间隔积分已接收的所述每帧中所述数据的装置；和  
通过每 K 比特执行稀疏积分的数据来恢复所述发送数据的装置。

53.根据权利要求 41 所述的接收机，其特征在于，进一步包括：

响应放置在所述每帧的固定位置代表所述每帧中所述发送数据比特数的传输速率信息，用于得到已接收的所述每帧中的所述发送数据的结束比特位置的装置；

用于计算到所述结束位置的所述发送数据的检错码的装置；

用于比较计算的检错码和已在所述每帧中发送的所述检错码的装置；和

当比较结果一致时用于决定到所述结束比特位置的所述发送数据是所述每帧中正确的发送数据的装置。

54.根据权利要求 53 所述的接收机，其特征在于，进一步包括：

一个二次解调器，用于解扩展接收的扩展信号和输出解扩展的信号；

一个初次解调器，用于从所述解扩展的信号中恢复所述每帧的数据；

用于去交错从所述初次解调器输出的数据的装置；

用于在从所述去交错装置输出的数据中执行所述传输速率信息和所述检错码的纠错解码的装置；和

响应所述纠错解码结果用于执行所述发送数据到其结束比特位置的纠错解码的装置。

55.根据权利要求 53 所述的接收机,其特征在于,所述的决定装置根据在前一帧接收的所述传输速率信息确定当前帧中所述发送数据的结束比特位置。

56.根据权利要求 55 所述的接收机,其特征在于,进一步包括:

一个二次解调器,用于解扩展接收的扩展信号和输出解扩展信号;

一个初次解调器,用于从所述解扩展信号中恢复所述每帧中的数据;

用于“去交错”从所述初次解调器输出的数据的装置;

用于在从所述的“去交错”装置输出的数据中执行所述传输速率信息和所述检错码的纠错解码的装置;和

响应在前一帧中接收的所述传输速率信息的纠错解码结果,用于执行所述发送数据到其结束比特位置的纠错解码的装置。

57.根据权利要求 53--56 的任何一个权利要求所述的接收机,其特征在于,在所述每帧的数据的比特数等于或小于可由一帧发送的最大比特数的  $1/K$  时,  $K$  是正整数,进一步包括;

用于在  $K$  比特间隔上积分已接收的所述每帧中的所述数据的装置;和

通过在每  $K$  比特执行使经积分的数据的稀疏恢复所述发送数据的装置。

58.一种可变速率传输的方法,其特征在于,包括以下步骤:

在发送侧,周期性地将已知码型的引导码元插入每帧中,和将发送数据的重要数据放置在靠近所述引导码元,和

检测所述引导码元、利用检测的引导码元补偿已经接收的所述发送数据及所述检错码,和重新安排已经接收的所述发送数据到其原始顺序。

59.根据权利要求 58 所述的可变速率传输的方法,其特征在于,所述放置所述重要数据靠近所述引导码元的步骤包括以下步骤:

逐行地将所述发送数据交替地从所述存储器的顶行和底行写入具有  $N$  行和  $M$  列的存储器中;

从所述存储器中逐列地读出已存储在所述存储器中的所述发送数据；

每次读出所述列时插入所述引导码元，和其中所述重要数据预先放置在所述发送数据的开始位置。

60.根据权利要求 58 所述的可变速率传输的方法，其特征在于，所述方法是 CDMA 数据发送方法，其中所述发送侧包括执行所述每帧中所述发送数据和所述检错码的初次调制，和使用扩展码序列执行每帧中经初次调制的数据的二次调制。

61.根据权利要求 60 所述的可变速率传输的方法，其特征在于，增加所述的引导码元和所述的重要数据的发送功率。

## 说明书

---

### 可变速率传输方法及使用该方法的发射机和接收机

本发明涉及移动通信系统中的码分多址 (CDMA)，特别涉及可变速率传输方法和使用该方法的发射机和接收机，它们通过以固定传输速率发送包含在固定长度的帧中的数据来实现视在 (apparent) 可变速率传输。

在 CDMA 移动通信中，来自话音编译码器的输出数据 (发送数据) 先进行初次调制，然后利用伪随机序列 (扩展码序列) 进行二次调制，被扩展为宽带信号并发送。扩展码序列的比特率称为“片速率”，而且比该传输速率快几十到几百倍。通常，初次调制使用二进制或正交相移键控，而二次调制使用二进制相移键控。

对于话音通信的考虑是发送话音信号信息量不是固定的，而是可随时间变化的。据此，借助于将发送的数据分为固定持续时间的帧并在每帧中发送可变比特长度的数据，可改变传输速率，因而实现在每帧周期中信息的有效传输。这可避免无用传输，从而节约发射机的功耗。

下文叙述的方法是用于在 CDMA 系统中发送不同传输速率的数据。一方面，对于传输速率低于帧传输速率的数据使用发送帧的一部分发送 (例如见 R. Padovani 的“基于蜂窝系统的 IS-95 的反向链路性能”，IEEE 个人通信，第一卷第 28-34 页，1994 年第三季度)。另一方面，对于传输速率高于帧传输速率的数据划分为多个传输信道，并且使用被发送的不同扩展码来扩展所划分的数据。

可是，在这种方法中，需要向接收侧提供传输速率信息。作为替代，当未提供传输速率信息时，必须预定可采用的传输速率值，以便对于所有传输速率执行接收数据的检错，并且输出具有差错未被检测时的传输速率的接收数据作为正确数据。

在这种情况下，如果在传输速率信息的发送期间出现差错，不能确定接收帧的有效长度，这使接收侧正确地恢复发送的数据成为困难，



甚至在数据传输期间未出现差错的时候。

为此，常规的数据传输方法在通信期间改变传输速率以实现可变速率传输是困难的。另外，当以比最大传输速率低得多的速率发送该数据时，因为这些帧中的空位而出现突发传输，在此期间不能进行数据传输。这种突发传输存在一个问题，亦即它产生 EAI（电磁干扰）。

发送数据的 FEC（前向纠错）一般用于改善移动通信环境中发送期间可能出现很多差错的情况下的传输质量。在这种情况下，发送侧发送所发送的数据（包括传输速率信息），该数据已进行纠错编码，而接收侧进行纠错解码，接着提取传输速率信息以决定在每个接收帧中的有效数据长度。因此，直到纠错解码结束为止才能得到该传输速率信息。于是，在决定被解码的数据长度之前进行解码，因此不能完全取得纠错效果。

另一方面，在发送数据中存在一些数据是在它们被恶化时可强烈地降低接收数据的质量。例如，控制数据要求传输质量比语音数据的高些。另外，根据语音编码方法，语音数据还包括一些可能严重地降低质量的数据和不降低质量的数据。换句话说，该发送的数据包括各种重要程度的数据。

由此看来，一种发送方法适合于 TDMA（时分多址），它根据发送数据的重要程度使用不同校正能力的纠错码（例如，参见无线电系统研究与开发中心的“个人数字蜂窝通信系统 RCA 标准，RCA STD-27”）。但是，这个方法缺少发送不同传输速率的不同数据的灵活性。

如上所述，高速数据被划分并使用不同的扩展码扩展为多个信号，而且扩展的信号被组合发送。为了在接收侧使用相干检测解调这样的信号，发送侧必须周期地将引导码元插入发送的数据中（例如，参见 1989 年 1 月日本 B-II 电子、信息与通信工程师协会会刊 J72-B-II 卷第 7-15 页 S.Sampeï 的文章“在陆地移动通信中 16 器 AM 的衰落补偿”，或者其修改版本、1993 年 5 月 IEEE 车辆技术会刊 42 卷第二期 S.Sampeï 等人的文章“在陆地移动无线电通信中器 AM 的瑞利衰落补偿”）。当该方法应用于以多个扩展码扩展的信号时，该方法使其必

须对多个传输信道发送相同的引导码元。但是，各个信道经受相同的衰落，因此它不必通过多条信道发送该引导码元。由于多个用户共用 CDMA 中的相同频带，多余信号的传输将减少在有限频带中可容纳的用户数，因为它将增加对其它用户的干扰，其数量相应于发送多余信号所需要的发送功率。

而且，高速信号必须划分为多个信号，接着使用不同的扩展码扩展和组合扩展的信号，而且该组合信号被可变换为射频频带，随后功率放大以便发送。如果多个扩展信号以相同相位组合，组合信号的幅度则正比于划分信号的数量增加。这将要求一个高峰值功率线性发送功率放大器。这种要求大功耗的功率放大器不适合于要求低功耗的便携式电话机。

本发明的一个目的是提供一种可变速率传输的方法和使用该方法的发射机和接收机，使任意地改变传输速率而无需在接收侧提供发送数据的传输速率信息成为可能。

本发明的另一个目的是提供一种可变速率传输的方法和发射机及接收机，可根据在发送数据中构成的数据的重要程度实现数据保护。

本发明又一个目的是提供一种可变速率传输的方法和发射机及接收机，可在从低到高速率的范围内灵活地发送数据。

根据本发明的第一方面，这里提供一种可变速率传输方法，通过发送固定持续时间的每个帧，变化平均传输速率，该帧保持可变长度的发送数据，

其中，发送侧包括以下步骤：

在每帧中计算发送数据的检错码；

以预定的固定传输速率发送每帧中的该发送数据和检错码；以及

在每帧的空位中暂停发送，该空位是该帧的一部分，在该部分中发送数据或检错码缺席，和

其中，接收侧包括以下步骤：

以固定传输速率接收每帧；

检测在每帧中的检错码；以及

响应检错码的检测结果，恢复每帧中的可变长度的发送数据。

在这里，检测检错码的步骤可依次以预定的数据划分每帧中的接收数据，同时逐个比特地移位接收的数据，并且可以决定在该接收的数据可被划分的点处检测该检错码。

恢复发送数据的步骤可决定在由检错码的比特数检测到检错码的点之前的一点发送数据的结束比特位置。

发送侧还可包括以下步骤：

周期地将已知码型的引导码元插入每帧；和  
将发送数据的重要数据放在靠近引导码元，以及  
其中接收侧包括以下步骤：

检测该引导码元；

补偿使用被检测的引导码元接收的发送数据和检错码；和将该发送数据重新定位在其原始顺序。

将重要数据放置在靠近引导码元的步骤可包括以下步骤：

逐行地将该发送数据交替地从存储器的顶行和底行写入具有  $N$  行和  $M$  列的存储器中，这里  $N$  和  $M$  是正整数；

逐列地从该存储器中读出已经存储在该存储器中的发送数据；

每次读出该列时插入引导码元，而且其中重要的数据预先放置在该发送数据的起始位置。

该方法可以是 CDMA（码分多址），其中发送侧包括步骤：执行发送数据和检错码的初次调制，和使用扩展码对已经进行了初次调制的信号执行二次调制。

引导码元和重要数据的发送功率可增加。

发送侧可包括以下步骤：

当发送数据和检错码的总数等于或小于可由一帧发送的最大数据数的  $1/K$  时，通知接收侧该发送数据和检错码重复了  $K$  次， $K$  是正整数；  
产生多个帧，在每帧中发送数据和检错码的每个比特重复了  $K$  次；  
以及

以在每个比特不被重复时使用的发送功率的  $1/K$  的发送功率，发送

已产生的这些帧，及

其中，接收侧包括以下步骤：

使用从发送侧通知的  $K$ ，稀疏数据，从发送数据和检错码中恢复原始数据。

发送侧可包括以下步骤：

分配具有发送数据的多个信道的每帧；

周期地将已知码型的引导码元插入多条信道的之一的每帧中；

将发送数据的重要数据放置在靠近引导码元；和

同时使用分配给多条信道的不同扩展码序列扩展该发送数据，通过每个信道发送扩展数据，以及

其中，接收侧包括以下步骤：

同时接收多条信道；

检测多条信道之一的引导码元；

使用检测的引导码元补偿多条信道的接收信号；和

重新定位接收的发送数据到其原始顺序。

多条信道的数据可以被移位的多条信道的每个信道的载波相位发送。

重要的数据可以是控制数据。

发送侧可包括在每帧中的固定位置放置该检错码的步骤，而接收侧包括提取放置在每帧中的固定位置的检错码，并且在该检错码的基础上得到发送数据的比特数。

该方法可以是 CDMA 数据发送方法，其中发送侧包括以下步骤：执行每帧中的发送数据和检错码的初次调制，和使用扩展码序列执行在被发送的每帧中的经初次调制的数据的二次调制。

发送侧可包括在初次调制之前执行纠错编码和发送数据的交错的步骤，和其中接收侧包括步骤：执行所接收的发送数据的初次解调，和对已进行了初次解调的发送数据执行“去交错”及纠错解码。

发送侧可包括以下步骤：

当每帧中的发送数据和检错码的总数等于或小于可由每帧发送的最

大数据数的  $1/K$  时，重复发送数据和检错码的每个比特  $K$  次，这里  $K$  是正整数；

减小每帧的发送功率到在该比特不重复时使用的发送功率的  $1/K$ ；  
以及

其中，接收侧包括以下步骤：

以  $K$  比特间隔积分已接收的发送数据和检错码；和  
对每  $K$  比特的积分数据执行稀疏处理来恢复发送数据。

发送侧可包括以下步骤：

将代表每帧的数据比特数和检错码的传输速率信息加到每帧中的固定位置，和

其中，接收侧包括以下步骤：

响应该传输速率信息，得到在每帧中的发送数据的结束比特位置；  
计算到该结束位置的发送数据的检错码；

比较经计算的检错码和已经接收的检错码；以及

当比较步骤的比较结果一致时，决定到结束比特位置的发送数据是正确的。

发送方法可以是 CDMA 数据发送方法，其中发送侧包括以下步骤：  
执行每帧中的发送数据和检错码的初次调制，和使用扩展码序列执行在被发送的每帧中经初次调制的数据的二次调制。

发送侧可包括以下步骤：

在初次调制之前执行每帧中的发送数据、传输速率信息和检错码的纠错编码，和

交错每帧中的纠错编码的数据，接着提供经交错的数据到执行初次调制的步骤，和

其中，接收侧包括以下步骤：

解扩展使用扩展码序列接收的每帧中的数据；

对解扩展信号执行初次解调；

“去交错”已进行初次解调的发送数据；

执行传输速率信息和检错码的纠错解码；和

根据前一步骤的纠错解码结果执行发送数据的纠错编码到其结束比特。

发送侧可包括以下步骤：

将与当前帧相关的传输速率信息放置在前一帧的固定位置，和

其中，接收侧包括以下步骤：

提取在前一帧中接收的传输速率信息；和

响应已提取的传输速率信息，决定在当前帧中的数据的结束比特位置。

发送侧可包括以下步骤：

执行每帧中的数据的纠错编码；

交错每帧；

执行已交错的每帧的初次调制；和

使用扩展码序列对每帧经初次调制的发送数据执行二次调制，和

其中，接收侧包括以下步骤：

执行已接收的发送数据的初次解调；

对已进行初次解调的发送数据“去交错”；

执行在前一帧中已发送的传输速率信息的纠错解码，和在当前帧中的检错码的纠错解码；和

根据前一步骤纠错解码的结果，对发送数据执行到其结束比特的纠错解码。

当每帧中的发送数据的比特数等于或小于每帧发送的数据的最大比特数的  $1/K$  时，其中  $K$  是正整数，发送方法在发送侧可包括：

重复发送数据的每个比特  $K$  次，这里  $K$  是正整数；和

减少每帧的发送功率到在该比特不重复时使用的发送功率的  $1/K$ ，

而在接收侧可包括：

以  $K$  比特间隔积分已接收的发送数据；和

通过对每  $K$  个比特的积分数据执行稀疏处理，恢复发送数据。

根据本发明的第二方面，这里提供一种发射机，通过发送固定持续时间的每帧，变化平均传输速率，该帧保持可可变长度的发送数据，

该发射机包括：

在每帧中计算发送数据的检错码的装置；和

用于以预定的固定传输速率发送每帧中的发送数据和检错码和用于在每帧的空位中的暂停发送的装置，该空位是该帧的一部分，在该部分没有发送数据或检错码。

在这里，该发射机还可包括：

引导码元插入装置，用于周期性地将已知码型的引导码元插入每帧；

一个存储器，用于存储发送数据；和

数据再定位装置，用于将存储在该存储器中的发送数据的重要数据放置在靠近该引导码元。

该数据再定位装置通过以  $M$  比特的长度逐行地将发送数据写入该存储器和以  $N$  比特长度逐列地从该存储器读出存储的发送数据可将重要数据放置在靠近引导码元，其中  $N$  是由引导码元夹入的一个时隙的比特数，而  $M$  是每帧所包含的时隙数。

该数据再定位装置可交替地从该存储器的顶行和底行将重要数据写入个存储器。

该发射机还可包括：

一个初次调制器，用于调制每帧中的数据，包括该发送数据，和

一个二次调制器，用于使用扩展码序列对已进行初次调制的每帧的扩展数据进行二次调制，和

其中引导码元插入装置连接在初次调制器和二次调制器之间，并且周期地在时隙之间插入引导码元。

该发射机还可包括一个发送功率控制装置，连接到该引导码元插入装置，用于根据数据的重要程度控制每帧中的数据的发送功率。

一个预定的特定码可被写入每帧的空位中，当发送数据的比特数少于每帧的最大比特数时出现空位，和其中发送功率控制装置减少该空位的发送功率到零。

该发射机还可包括一个重复器（repeater），位于该存储器前，对

于每个比特重复发送数据和检错码  $K$  次，和其中与在不执行  $K$  次重复时所用的发送功率相比，该发送功率控制装置减少每帧的发送功率到  $1/K$ 。

该发射机还可包括：

引导码元插入装置，用于周期性地将已知码型引导码元插入到每帧中；

一个存储器，用于存储发送数据，该存储器能够读出与多条信道相关的多组发送数据；

数据再定位装置，用于将数据写入该存储器，使得存储在该存储器中的发送数据的重要数据被放置在靠近该引导码元；

多个初次调制器，用于初次调制从该存储器读出的多组发送数据；

多个发送功率控制装置，用于控制从初次调制器输出的每帧的发送功率；

多个二次调制器，使用不同的扩展码序列扩展从该发送功率控制装置输出的每帧中的数据；和

一个加法器，用于将从二次调制器输出的多个信号相加，和

其中该数据再定位装置划分被写入该存储器的发送数据，同时从该存储器读出通过该划分已形成的多组发送数据，而且提供读出的数据给多个初次调制器，该引导码元插入装置连接在多个初次调制器之一之后，用于周期地插入该引导码元，和在发送重要数据时该多个发送功率控制装置增加发送功率。

该发射机还可包括多个相位控制器，每个相位控制器接在多个初次调制器后面，用于偏移二次调制器载波的相位。

该发射机还可包括将检错码加到每帧的固定位置的装置。

该发射机还可包括：

用于执行每帧中数据纠错编码的装置；

用于交错已进行纠错编码的数据的装置；

用于初次调制已交错的数据的装置；和

使用扩展码二次调制经初次调制的数据。



该发射机还可包括：

当每帧中的数据的数据的比特数等于或小于在一帧中可发送的最大比特数的  $1/K$  时用于重复每帧中的数据的数据的每个比特  $K$  次的装置，其中  $K$  是正整数；和

发送功率控制装置，与在不执行  $K$  次重复时使用的发送功率相比，减少每帧的发送功率到  $1/K$ 。

该发射机还可包括：加法装置，将代表每帧中的数据总数的传输速率信息和检错码加到每帧的固定位置。

该发射机还可包括：

用于执行每帧中的发送数据、传输速率信息和检错码的纠错编码的装置；

用于交错已进行纠错编码的数据的装置；

用于初次调制经交错的数据的装置；和

使用扩展码二次调制经初次调制的数据的装置。

该发射机还可包括将与当前帧有关的传输速率信息加到前一帧的固定位置的装置。

该发射机还可包括：

当每帧中的数据的数据的比特数等于或小于可在一帧中发送的最大比特数的  $1/K$  时用于重复每帧中数据的每个比特  $K$  次的装置，其中  $K$  是正整数；和

发送功率控制装置，与在不执行  $K$  次重复时使用的发送功率相比，减少每帧的发送功率到  $1/K$ 。

根据本发明的第三方面，这里提供一种有关的接收机，包括：

用于以固定传输速率接收各包括发送数据和检错码的帧的装置；

用于检测每帧中的检错码的装置；和

响应该检错码的检测结果恢复每帧中的可变长度的发送数据的装置。

在这里，在逐比特移位接收的数据时，检测纠错码的装置可依次以预定的数据划分每帧中的接收的数据，和可决定在该接收数据可被划

分的点检测该纠错码。

该接收机还可包括：

用于检测已知码型的引导码元的装置，这些引导码元周期地插入到被发送的每帧；

一个存储器，用于存储在每帧中的数据；和

数据再定位装置，当接收每帧中的数据时，用于将写入该存储器中的数据重新安排成原始顺序，其中发送数据的重要数据被靠近该引导码放置。

通过将每帧中的数据以  $N$  比特的长度逐列地写入该存储器和以  $M$  比特的长度逐行地从该存储器中读出每帧的存储的数据，该数据再定位装置将每帧的数据重新安排成原始顺序，其中  $N$  是由引导码元所夹入的时隙的比特数，而  $M$  是包含在每帧中的时隙数。

该数据再定位装置可交替地从存储器顶行和底行执行读出该存储器。

该接收机还可包括：

一个二次解调器，使用扩展码序列解扩展接收的信号；

一个补偿器，使用引导码元补偿每帧中的数据；和

一个初次解调器，用于解调已由该补偿器补偿的数据。

该接收机还可包括：

用于以  $K$  比特间隔积分已接收的每帧中数据的装置；和

通过每  $K$  比特执行稀疏积分的数据来恢复发送数据的装置。

该接收机还可包括：

多个二次解调器，用于解扩通过多条信道同时发送的多个系列帧的每一帧；

一个补偿器，使用引导码元补偿多个系列帧中的数据，该引导码元周期地插入多个系列帧之一，并且通过多条信道之一发送；

多个初次解调器，用于解调经补偿的数据；

一个存储器，用于同时存储多个系列数据；和

数据再定位装置，通过将多个系列帧同时写入存储器的分开的存储

区和以不同于写入的顺序读出所写入的数据，重新安排放置在靠近引导码元的重要数据到其原始顺序。

该接收机还可包括相位控制器，每个信道提供一个相位控制器，用于校正多个系列数据的相位。

该接收机还可包括：

一个二次解调器，用于解扩展接收的扩展信号和输出经解扩展的信号；

一个初次解调器，用于从解扩展的信号中恢复每帧的数据；

一个检错码存储器，用于存储放置在每帧中的固定位置的检错码；

用于从每帧中的数据计算检错码的装置；和

比较装置，用于比较计算的检错码和存储在检错码存储器中的检错码，

其中响应该比较结果通过得到每帧中的数据的比特数，接收每帧中的可变比特的数据。

该接收机还可包括：

用于“去交错”从初次解调器输出的数据的装置；和

用于对已“去交错”的数据进行纠错编码的装置。

该接收机还可包括：

响应放置在每帧的固定位置代表每帧中发送数据比特数的传输速率信息，用于得到已接收的每帧中的发送数据的结束比特位置的装置；

用于计算到结束位置的发送数据的检错码的装置；

用于比较计算的检错码和已在每帧中发送的检错码的装置；和

当比较结果一致时用于决定到结束比特位置的发送数据是每帧中正确的发送数据的装置。

该接收机还可包括：

一个二次解调器，用于解扩展接收的扩展信号和输出解扩展的信号；

一个初次解调器，用于从解扩展的信号中恢复每帧的数据；

用于对从初次解调器输出的数据去交错的装置；

用于在从去交错装置输出的数据中执行传输速率信息和检错码的纠错解码的装置；和

响应纠错解码结果用于执行发送数据到其结束比特位置的纠错解码的装置。

决定装置可根据在上一帧接收的传输速率信息确定当前帧中发送数据的结束比特位置。

该接收机还可包括：

一个二次解调器，用于解扩展接收的扩展信号和输出解扩展信号；

一个初次解调器，用于从解扩展信号中恢复每帧中的数据；

用于“去交错”从初次解调器输出的数据的装置；

用于在从“去交错”装置输出的数据中执行传输速率信息和检错码的纠错解码的装置；和

响应在上一帧中接收的传输速率信息的纠错解码结果，用于执行发送数据到其结束比特位置的纠错解码的装置。

该接收机在每帧数据的比特数等于或小于可由一帧发送的最大比特数的  $1/K$  时， $K$  是正整数，还可包括；

用于在  $K$  比特间隔上积分已接收的每帧中的数据的装置；和

对每  $K$  比特执行稀疏已积分的数据来恢复发送数据的装置。

根据本发明的第四个方面，这里提供一种可变速率传输的方法，包括以下步骤：

在发送侧，周期性地将已知码型的引导码元插入每帧中，并将发送数据的重要数据放置在靠近引导码元，和

检测引导码元、利用检测的引导码元补偿已经接收的发送数据及检错码，和重新安排已经接收的发送数据到其原始顺序。

在这里，放置重要数据靠近引导码元的步骤可包括以下步骤：

逐行地将发送数据交替地从存储器的顶行和底行写入具有  $N$  行和  $M$  列的存储器中；

从该存储器中逐列地读出已存储在存储器中的发送数据；

每次读出该列时插入引导码元，和其中重要数据预先放置在发送数

据的开始位置。

该方法可以是 CDMA 数据发送方法，其中发送侧包括执行每帧中发送数据和检错码的初次调制，和使用扩展码序列执行每帧中的初次调制的数据的二次调制。

增加引导码元和重要数据的发送功率。

根据本发明，由于响应检错信息在接收侧估计传输速率，故不必从发送侧向接收侧发送传输速率信息。这使得它能够在通信期间发送其传输速率逐帧改可变的数据。

另一种替代的方案是，向接收侧提供传输速率信息可以取得可靠性高的可变速率信息。

尚且，根据数据的重要程度，在本发明中映射靠近引导码元的重要数据可取得数据保护。这是因为如下叙述的数据差错率在引导码元附近较小的缘故。

再则，根据本发明，增加具有重要程度的发送功率可减少 CDMA 传输中重要数据的差错。另外，改变发送功率可增加在固定带宽中容纳的用户数量。

在本发明中，发送数据各个比特的重复发送可避免突发传输，即使在一帧中的比特数比该帧的最大比特数小得多的时候，亦即，甚至在发送数据的传输速率比该帧的最大传输速率低得多的时候。

最后，根据本发明的一个方面，数据可以高速率发送，而且可减小对其它用户的干扰功率。这是因为根据本发明的 CDMA 系统可通过多条信道之一发送引导码元和控制数据而其它信道发送高速数据的缘故。另外，由于各条信道的发送信号在它们的相位被移位之后可被组合，故可限制发送功率的峰值，这又将减少对其它用户的干扰功率。

图 1A 和 1B 是表示根据本发明使用可变速率传输方法的发射机和接收机的第一实施例的方框图；

图 2A 和 2B 是表示从第一实施例的多路复用器 4 输出的数据序列图，其中图 2A 表示传输速率为最大时的数据，而图 2B 表示传输速率比最大值小时的数据；

图 3 是表示图 1A 的交错器 106 的帧存储器 106B 的示意图；

图 4 是表示从图 1A 的帧存储器 106B 输出的数据序列中的一帧的结构图；

图 5 是当各包括双侧的帧存储器 103 和 106B 用于第一实施例中时处理性能的示意图；

图 6A 和 6B 是表示根据本发明使用可变速率传输方法的发射机和接收机的第二实施例的方框图；

图 7A 和 7B 是表示图 6A 的多路复用器 4 的输出的示意图，其中图 7A 表示传输速率为最大时的数据，而图 7B 表示传输速率比最大值小时的数据；

图 8A 和 8B 是表示在传输速率信息保持在前一帧中时从图 6A 的多路复用器 104 输出的数据序列示意图；

图 9A 和 9B 是表示根据本发明使用可变速率传输方法的发射机和接收机的第三实施例的方框图；

图 10 是表示图 9A 的重复器 121 的操作的示意图，其中图 10 (A) 表示图 9A 的多路复用器 104 的输出，图 10 (B) 表示图 9A 的纠错编码器的输出，而图 10 (C) 表示重复器 121 的输出；

图 11A 和 11B 是表示根据本发明使用可变速率传输方法的发射机和接收机的第四实施例的方框图；

图 12 是表示图 11A 的重复器 121 的操作的示意图，其中图 12 (A) 表示图 11A 的多路复用器 104 的输出，图 12 (B) 表示图 11A 的纠错编码器的输出，而图 12 (C) 表示重复器 121 的输出；

图 13 是表示根据本发明使用可变速率传输方法的发射机和接收机的第五实施例中帧数据比特重复方法的示意图；

图 14A 和 14B 是表示根据本发明使用可变速率传输方法的发射机和接收机的第六实施例的方框图；

图 15A 是表示图 14A 的引导码元插入部件 130 配置的方框图；

图 15B 是表示图 14B 的初次解调器 152 配置的方框图；

图 16 是表示图 14A 的多路复用器 104 输出的数据结构的示意图；

图 17 是表示写入和从图 14A 的帧存储器 106B 读出的顺序的示意图；

图 18 是表示从图 14A 的引导码元插入部件 130 输出的调制码元序列的示意图；

图 19 是表示第六实施例的时隙结构的示意图；

图 20 是表示根据本发明使用可变速率传输方法的发射机的第七实施例的方框图；

图 21 是表示在第七实施例中功率发送控制的示意图；

图 22 是表示根据本发明使用可变速率传输方法的发射机的第八实施例的帧存储器中存储的数据例子的示意图；

图 23 是表示第八实施例的接收机的主要部分的方框图；

图 24 是表示根据本发明使用可变速率传输方法的发射机第九实施例的方框图；

图 25 是表示第五实施例的接收机主要部分的方框图；

图 26 是表示根据本发明使用可变速率传输方法的发射机的第十实施例的方框图；

图 27 是表示在第十实施例中发送的多条信道的帧结构示意图；和

图 28 是表示根据本发明使用可变速率传输方法的发射机的第十一实施例中的多个发送数据的相位控制图。

现在参照附图叙述本发明。

图 1A 和 1B 是表示根据本发明使用可变速率传输方法的发射机和接收机的第一实施例的方框图。

图 1A 示出发射机的配置。在图 1A 中，加到输入端 101A 的发送数据序列被传递到检错编码器 102 和帧存储器 103。帧存储器 103 保持具有在一帧周期中发送的比特数的数据。另一方面，检错编码器 102 计算一帧发送数据的检错码（例如 CRC 比特）。多路复用器 104 对每帧输出一个数据序列，该数据序列包括经计算的检错码，后接该发送数据。

图 2A 和 2B 示出从多路复用器 104 输出的数据序列。图 2A 表示该

数据的传输速率最大时的数据序列，图 2B 表示传输速率小于最大值时的数据序列。如图 2B 中所示，在传输速率小于最大速率时在每帧中出现空闲时间（空位）。检错码被插入每帧的固定位置。例如，在图 2A 和 2B 中，放置在该帧的开始位置。

回到图 1A，插入检错码的一帧数据序列通过纠错编码器 105 进行纠错编码，并且输入到交错器 106。交错器 106 包括控制器 106A 和帧存储器 106B。

图 3 是表示交错器 106 的帧存储器 106B 的示意图。虽然帧存储器 106B 有双侧，即 A 侧和 B 侧，图 3 只示出一侧。参见该图，将示例一个交错的实例。交错器 106 以不同于写入帧存储器 106B 的方向读出一帧的数据序列。即，交错器 106 以列的方向读出以行的方向写入帧存储器 106B 的发送数据。这样交错的数据序列被写入帧存储器 106B 的另一侧。顺便指出，加在帧存储器 106B 左侧的编号 #1—#N 表示写入该数据的顺序，将在第六实施例中叙述。

图 4 示出从帧存储器 106B 输出的数据序列的帧结构。相应于帧存储器 106B 各行的数据段称为时隙。因此，如果相应于一帧的帧存储器 106B 的一侧包含  $M$  比特/行 $\times N$  行，如图 3 中所示的，一个时隙包含  $N$  比特和一帧包含  $M$  时隙，一帧的比特数则是  $N \times M$  比特。因此，该发送数据利用纠错编码器 105 进行纠错编码，接着利用交错器 106 进行交错，结果，可使用纠错码校正发送数据的突发式差错的概率增加了。

图 1A 中的帧存储器 103 和 106B 各具有双侧（A 侧和 B 侧）分别保持两帧数据。第一帧数据被写入帧存储器 103 的 A 侧，然后在纠错编码和交错之后写入帧存储器 106B 的 A 侧。第二帧数据被写入帧存储器 103 的 B 侧，然后在纠错编码和交错之后写入帧存储器 106B 的 B 侧。交替地使用 A 侧和 B 侧使它连续处理一系列数据序列。

图 5 示出使用双侧帧存储器的处理。如图 5 所示，将一帧数据序列写入帧存储器 103 中，进行纠错编码和交错的组合处理，然后将经处理的数据写入帧存储器 106B。结果，发送数据序列被延迟了一帧间隔数量加上该处理时间。从帧存储器 106B 输出的数据序列由初次调制器



108 进行相位调制，接着通过二次调制器 109 进行相位调制（扩展）。二次调制器 109 使用具有发送数据传输速率整数倍（通常从几十到几百倍）的片速率的扩展码序列，从而从输出端 110 输出发送数据。初次调制器 108 不进行每个时隙中的空位调制。

执行上述处理的发射机在固定帧期间发送可变比特数。换句话说，以视在的可变传输速率发送扩展数据。

图 1B 是表示该接收机的方框图。接收机以二次解调器 151 解扩展从输入端 150 馈送的扩展数据。解扩展的信号由初次解调器 152 检测，并且馈送给“去交错”器 153。“去交错”器 153 包括一个控制器 153A 和具有双侧配置的一个帧存储器 153B，并且以与发射机的交错器 106 的输入和输出相反的顺序操作。具体地讲，控制器 153A 逐列地（逐个时隙地）将数据写入帧存储器 153B，和逐行地读出该数据。这个过程能够恢复一帧的原始数据序列，因而产生检错码并且该数据序列在其后。

检错码和数据序列通过纠错解码器 154 进行纠错解码，并且馈送给多路“去复用”器 155。多路“去复用”器 155 分开被放置在该帧固定位置的检错码和发送数据序列。这是通过同步在多路“去复用”器 155 中的帧进行的。经多路“去复用”的检错码馈送给检错码存储器 157 以保持在其中。另一方面，数据序列被作为接收数据从输出端 159 输出，还输入给检错编码器 156。检错编码器 156 对该输入数据序列再次执行与该发射机相同的检测编码。这样得到的检错码由比较器 158 与保持在检错码存储器 157 中的数据序列进行该码的逐比特比较。当全部比特互相一致时比较器 158 从端子 160 产生一个一致性信号。如果在发送期间不出现差错，则该一致性信号将在发送数据的适当比特编号输出，在这种情况下，在接收帧中的接收数据序列被判定是正确的，并且从输出端 159 输出。

使用如上所述的发射机和接收机的数据传输使得它不必从该发射机向该接收机发送表示该帧比特数的信息。因此，即使该帧的比特数（即视在传输速率）在发送侧逐帧变化，接收侧能够正确地跟上这个可变

化。换句话说，可实现可变速率传输，其中在通信期间视在传输速率可逐帧变化。由于帧长度是固定的，该接收机总是可以正确地识别这些帧，即使没有发送数据的帧被混合。

如果发送的数据中出现差错，比较器 158 可在错误位置检测（错检测）一致性信号。在这种情况下，多路“去复用”器 155 将输出该帧中整个有效数据的一部分作为有效数据，或者输出包含整个有效数据加上随后的多余数据的数据。但是该实施例的发射机和接收机在该帧的固定位置放置检错码，因此，通过确定检错码的比特数大于检测普通差错所需的数量，错检测的概率可减少到一个非常小的值。另外，限制一帧中允许的比特数（例如，设定它为两比特的倍数）将限定得到比较器 158 的一致性信号的位置，而且这样可以进一步减少在错误位置输出一致性信号的概率。

#### 实施例 2：

图 6A 和 6B 是表示根据本发明使用可变速率传输方法的发射机和接收机的第二实施例的方框图。第二实施例与第一实施例的差别在于：它从该发射机向该接收机提供传输速率信息。更具体地讲，其差别在于以下各点。

(1) 发射机装备了一个传输速率信息存储器 113。

传输速率信息存储器 113 是用于存储保持在帧存储器 103 中的帧数据的传输速率信息的一个存储器，即，存储代表帧数据的比特数的信息。该信息从端子 101B 逐帧地输入给传输速率信息存储器 113。因此，该发射机发送在固定的帧周期中具有传输速率信息的可变速率的数据。

(2) 多路复用器 104 将传输速率信息插入在检错码之前。

图 7A 和 7B 示出多路复用器 104 的输出。图 7A 示出发送数据的传输速率最大时的输出，而图 7B 示出在传输速率小于该最大速率时的输出。在图 7B 中，在每帧中出现空闲时间即不包含数据的空位。如这两个图所示，每帧包含传输速率信息、检错码和发送数据。该帧与第一实施例的帧的区别在于：它在检错码之前设置有传输速率信息。

(3) 该接收机还装备一个传输速率信息存储器 161。

传输速率信息存储器 161 存储从纠错解码器 154 馈送的接收数据中提取的传输速率信息。

利用这样的安排，在交错、调制和扩展该数据之后，该发射机发送如图 7A 和 7B 所示的数据。

如在第一实施例中那样，该接收机解扩、解调和“去交错”所接收的数据。因此，恢复一帧的原始数据序列，并且得到传输速率信息、检错码和发送数据序列。这些都被馈送到纠错解码器 154 进行纠错解码。

包含在纠错解码器 154 的恢复输出中的传输速率信息输入给传输速率信息存储器 161 存储，并从端子 162 输出。另一方面，发送数据序列和检错码由多路“去复用”器 155 分开。发送数据馈送给检错编码器 156 和端子 159，并从该端子作为接收的数据输出。另一方面，检错码输入给检错码存储器 157 存储。

检错编码器 156 对输入数据序列的最后比特进行与发射机相同的检错编码。该最后比特是从传输速率信息存储器 161 馈送的。这是与第一实施例的不同之处。此后，处理与第一实施例中一样进行。比较器 158 逐比特地比较从检错编码器 156 输出的检错码与检错码存储器 157 的内容，当所有比特互相一致时从端子 160 输出一致性信号。如果在发送期间没有出现差错，一致性信号则输出到端子 160，在这种情况下，它判定正确地收到了从端子 159 输出的帧中的发送数据和从端子 162 输出的传输速率信息。

在这个实施例中使用卷积码作为纠错码和使用最大或然率解码作为解码处理时，通过顺序地应用最大或然率解码首先得到传输速率信息的解码结果，然后对由传输速率信息指定的最后比特进行发送数据的纠错解码。在这种情况下，随着存储在该解码器中的输入信号的增加，传输速率信息的解码结果的可靠性增加了，即，由于该解码器的特性，编码数据序列随着传输速率数据增加。由于这个原因，最好是最大可能的固定长度数据序列如检错码而不是发送数据没有间断地放置在紧

接在传输速率信息之后。

作为替代，下述的方法可用于解码该发送数据到该最后比特。该发射机将尾比特加到紧在该最后比特之后，并对它们进行纠错编码。该接收机借助这些尾比特完成纠错解码。作为替代，发射机可在被发送的传输速率信息之后插入尾比特，和该接收机可一次完成在尾比特的解码，然后重新开始发送数据的解码到最后比特。

在上述处理过程中，诸如“去交错”、纠错解码和检错编码的处理在一帧的输入数据序列写入“去交错”器 153 的帧存储器 153A 之后连续地进行。因此，发送数据序列被延迟的数量为在“去交错”中的一帧间隔加上该处理时间。

为了避免这种延迟，可采用以下方法。首先，发射机将与当前帧相关的传输速率信息放置在前一帧的开始位置，该传输速率信息存储在传输速率信息存储器 113 中。另一方面，在存储在传输速率信息存储器 161 的前一帧中的传输速率信息的基础上，该接收机得到当前帧的发送数据的最后比特。

图 8A 和 8B 表示在这种情况下从发射机的多路复用器 104 输出的数据序列。当由前一帧发送传输速率信息时，接收机可得到在对其“去交错”它前的当前帧的有效数据的比特数。这使得它能够消除在去交错中所包含的帧延迟。因此，在当前有效数据的发送期间可以精确地测量接收信号的功率。这要求实现发送功率控制，其中接收信号的功率必须以反馈到发送侧的最小延迟时间进行测量。

为了利用前一帧发送传输速率信息，要求空（dummy）帧在连续数据发送的开始发送第一帧的传输速率信息。

根据上述的发射机和接收机，接收机执行检错码的再编码和一致性检测，以便确认每帧的发送数据的有效性。因此，即使接收的传输速率信息（即，代表在该帧中发送比特数的信息）是错的，输出错误长度的发送数据的可能性（错检测）可减少到最小。这能够取得高可靠、可变速率数据发送。

当数据序列由上述第一和第二实施例的发射机和接收机以低传输

速率发送时，每帧发送数据的数量减少。在这种情况下，出现突发传输，因为帧长度是固定的，其中短的数据序列被间歇地发送。如果预先知道每帧的比特数（检错码和数据序列的总比特）等于或小于该帧的最大比特的  $1/K$ ， $K$  是正整数，则通过进行数据序列的纠错编码之后发送具有重复  $K$  次的其各个比特的数据序列可以避免突发式发送。下面的实施例是这种数据发送的例子。

### 实施例 3：

图 9A 和 9B 是表示根据本发明使用可变速率传输方法的发射机和接收机的第三实施例的方框图。

该实施例与图 1A 和 1B 所示的第一实施例的主要区别如下。

(1) 发射机装备一个重复器 121，它紧接到纠错编码器 105。

如图 10 (C) 所示，重复器 121 具有重复该帧中每个比特  $K$  次的功能（在图 10 (C) 中为两次）。因此，产生一个新的数据序列，如图 10 (B) 中所示，来自纠错编码器 105 的输出数据的比特各重复  $K$  次。

(2) 用于控制发送功率的乘法器 123 接在初次调制器 108 和二次调制器 109 之间。

从重复器 121 输出的数据由交错器 106 交错，接着进行初次和二次调制并发送。由于相同的比特被发送  $K$  次，与不进行重复时的发送功率相比该比特的平均发送功率增加了  $K$  倍。该平均发送功率正比于对其他用户的干扰功率。为了避免由于比特的重复引起的平均发送功率的增加，图 9A 的系统装备了乘法器 123，它连接在初次调制器 108 之后，使得初次调制器 108 的输出被乘以  $1/K$  的功率因数。

(3) 该接收机装备了一个积分器 171 和一个稀疏 (thinning) 电路 172，它紧接在“去交错”器 153 之后。

积分器 171 获得“去交错”的接收数据序列每连续  $K$  个码元的积分。稀疏电路 172 每隔  $K$  个码元间隔稀疏该积分输出，并输出该结果。电路 171 和 172 都仅对发送数据的重复部分进行该处理，以便无变化地传送其它附加比特。

现在描述该实施例的操作。图 10(A)示出多路复用器 104 的输出。包括空位的帧的这种配置造成突发模式发送。为避免这种情况，将检错码和从纠错编码器 105(图 10(B))输出的发送数据输入到将每个比特重复 K 次的重复器 121(图 10(C))。设定重复系数 K，以便尽可能多地填充该帧(图 10 中  $K=2$ )。发送重复器 121 的输出可消除突发模式发送。

另一方面，接收机通过积分器 171 和稀疏电路 172 恢复同一数据序列作为该发射机的纠错编码器 105 的输出。此后，执行与第一实施例相同的处理，从而得到最终的接收数据序列。

接收机使用的重复次数 K 必须与发射机中使用的相同。因此，在数据发送前必需向接收机发送 K。

该实施例可实现可变速率传输，即使数据传输速率大大低于最大速率也不出现突发模式发送。

#### 实施例 4:

图 11A 和 11B 是根据本发明使用可变速率传输方法的发射机和接收机的第四实施例的方框图。

该实施例是第二和第三实施例的组合。具体地说，传输速率信息存储器 113 和传输速率信息存储器 161 分别加到第三实施例的发射机和接收机。

图 12 是对应于图 10 的第二实施例的示意图。本实施例的特征在于刚好在所发送的数据前插入传输速率信息。由于从第二和第三实施例可很容易地理解其它操作，这里将省略其描述。

#### 实施例 5:

在上述第三和第四实施例中，单个的比特被逐比特地重复 K 次。然而，这并不是必要的。例如，如图 13 所示，比特的每个预定数量(图 13 中为 4 比特)可按设定重复 K 次(图 13 中为两次)。在如图 25 所示的接收机中，再定位器(relocater)173 连接在“去交错”器 153 和积分器 171 之间，以使再定位器 173 提取相同的比特，积分器 171 在每 K 比特间隔内积分。其它配置与图 9B 中的相同。

该实施例可达到与第四实施例相同的效果。

上述第一至第五实施例不使用引导码元。引导码元具有预定的固定码型，并与周期地插入该引导码元的发送数据一起被间歇地发送，或通过专用信道连续地发送。接收机提取已知码型的引导码元，并估算传输路径的衰落以补偿由衰落造成的接收信号的波动。下面的实施例涉及包括该引导码元的可变速率传输系统。

#### 实施例 6:

图 14A 和 14B 是根据本发明使用可变速率传输方法的发射机和接收机的第六实施例的方框图。

图 14A 的发射机与图 1A 的发射机有下列区别。

(1)用于插入引导码元的引导码元插入电路 130 连接在初次调制器 108 和二次调制器 109 之间。后面将参考图 15A 描述引导码元插入电路 130。

(2)从输入端 101B 向多路复用器 104 提供控制数据。该控制数据对电路连接或类似方面是重要的。

(3)取消帧存储器 103，用户数据从输入端 101A 直接提供给多路复用器 104。

另一方面，图 14B 所示的接收机与图 1B 所示的接收机有下列区别。

(1)初次解调器 152 与图 1B 的初次解调器 152 具有不同配置。后面将参考图 15B 对其进行描述。

(2)该实施例中不规定帧中检错码的位置，这与第一实施例不同。因此，取消了从多路“去复用”器 155 往后的电路，检错电路 144 连接到纠错解码器 154 的输出端。

检错电路 144 逐比特地移位每帧中的数据，用预定数据依次划分该数据，并决定在该数据可被划分的点检测检错码。由于检错码的长度是预先已知的，通过识别该检错码可找出所发送数据的最后比特。从而可提取该发送数据。

返回图 14A，将施加到输入端 101A 的用户数据序列分成带有预定帧周期  $T_f$  的持续时间的数据。检错编码器 102 计算用户数据每帧的

检验码(例如 CRC 比特), 并将其提供给多路复用器 104。多路复用器 104 在每帧中的用户数据之前加上从输入端 101B 馈送的控制数据, 在该帧中数据结尾处加入来自检错编码器 102 的检验码, 从而形成一帧数据。

图 16 说明从多路复用器 104 输出的数据。如图 16 所示, 当控制数据、用户数据和检验码的总比特数(与传输速率对应)小于可在一帧中可发送的最大比特数(最大速率)时该帧中出现空位。

由纠错编码器 105 对一帧的发送数据进行纠错编码, 并将其提供给交错器 106。交错器 106 读出一帧数据, 该帧数据以与图 17 所示写入方向不同的方向写入帧存储器 106B。即, 以预定速率按列方向读出在交错器 106 中按行方向写入的一帧发送数据。

由初次调制器 108 对所读出的数据进行相位调制, 并提供给引导码元插入电路 130。引导码元插入电路 130 周期性地将已知码型的引导码元插入所提供的数据, 从而形成经调制的码元序列。

图 15A 是引导码元插入电路 130 配置的方框图。将引导码元发生器 131 周期地产生的已知码型的引导码元提供给多路复用器 132。多路复用器 132 多路复用从初次调制器 108 提供的数据和该引导码元, 从而产生经调制的码元序列。

图 18 说明经调制的码元序列的排列。图 18 中, 由周期地插入的引导码元所夹的部分称为时隙。假设一个时隙由  $N$  个比特组成和一帧由  $M$  个时隙组成, 则一帧由  $N * M$  个比特组成。

调制的码元序列提供给二次调制器 109。二次调制器 109 将调制的码元序列乘以具有该码元速率整数(几十到数百)倍的片速率的扩展码序列, 并将其从输出端 110 输送到发射功率放大器。

接收已周期性地插入被发送的数据的已知码型的引导码元的接收机估算该时隙中每个码元的相位, 并利用该引导码元校正该相位。这补偿了由传输中的衰落改变的每个码元的相位。该处理由初次解调器 152 执行。

图 15B 是初次解调器 152 配置的方框图。从二次解调器 151 送来



的解扩信号提供给准相关检测器 181。准相关检测器 181 使用与发射机频率相同的载波准相关检测该解扩信号，并将所检测的输出提供给多路“去复用”器 182。多路“去复用”器 182 将由准相关检测获得的数据分成数据码元和引导码元，并将该数据码元提供给补偿器 183 和将引导码元提供给转移函数估算器 184。

转移函数估算器 184 从引导码元估算传播路径的转移函数，并将该转移函数提供给补偿器 183。补偿器 183 响应所估算的转移函数补偿数据码元的相位，并将补偿的输出提供给判定电路 185。判定电路 185 判定补偿的数据，并输出数据码元。该处理在细节在上述 S.Sampeï 的论文中公开。

在引导码元这样周期性地被插入所发送的数据以得到相关检测的情况下，传输路径的估算精度最接近该引导码元。因此，在该实施例中，这种需要高质量传输的数据在传输前应靠近引导码元放置。具体地说，控制在图 14A 中交错器 106 的帧存储器 106B 的写入和从其读出，以便将诸如控制数据之类需要高质量传输的重要数据放置在引导信号的邻近。

现在参考图 3 和图 19 来描述该处理。

如上所述，图 3 示例交错器 106 的帧存储器 106B 中的帧数据的排列。假设帧存储器 106B 的一行中的比特数与构成一帧的时隙数  $M$  相等。另外，假设一列中的比特数(即，行数)与一个时隙的比特数  $N$  相等。将包括用于检错的检验码的一帧数据逐比特地按照以二维形式表示的帧存储器 106B 的行的方向写入。写入一帧写入是从帧存储器 106B 的顶部到底部逐行交替进行的。附到图 3 的行的编号表示写入顺序。由于控制数据放置在帧的初始位置，故它被写入较低编号的行中。换言之，该重要数据写在帧存储器 106B 中帧的初始和终止位置。

另一方面，在列的方向上逐比特地读出帧存储器 106B 中的数据。列编号 1- $M$  对应于图 18 的时隙编号。通过从帧存储器 106B 读出数据，将重要的数据(控制数据)将被映射在如图 19 所示的每个时隙中的引导码元的附近。图 19 中，该时隙中出现空位，它对应于图 16 中每个

帧的空位。

接收机设置有“去交错”器 153，与交错器 106 相对应。“去交错”器 153 以与交错器 106 相反的过程从时隙数据中恢复帧数据。

由于如此发送数据，故可在最少出现错误的靠近该引导码元的部分发送重要控制数据。

随着接收功率的增加，接收数据的差错率降低。因此，通过根据所发送数据的重要程度控制发送功率可减少数据差错率。下面的第七实施例沿这一路线实施。

#### 实施例 7:

图 20 是根据本发明使用可变速率传输方法的发射机的第七实施例的方框图。该发射机与图 14A 所示第六实施例的发射机的不同之处在于：紧接引导码元插入电路 130 之后设置一个乘法器 141。乘法器 141 将如图 19 所示的引导码元插入电路 130 的输出与预定功率因数相乘。乘法器 141 在数据的重要程度增加时乘以一个较大的功率因数。例如，重要引导码元及其附近的控制数据被乘以一个最大的功率系数。

图 21 是数据类型和功率因数之间关系的示意图。根据除空位之外的它们的类型将预定数的比特分配给相应数据。该空位被填充特定码以使其区别于其它部分，并乘以零以便它们不被发送。换句话说，当该码表示空位时，将功率因数设置为零以便抑制其发送。

虽然功率因数的乘法器 141 插在二次调制器 109 之前，它也可放置在二次调制器 109 之后。

图 21 根据数据重要程度示出发送功率控制情况。通过如此控制发送功率，以较大发送功率发送重要数据，使它可减少差错率。另外，由于不发送空位，可抑制额外发送功率。因此，可减小对其它用户的干扰，在给定频带中容纳的用户数量可增加该数量。

#### 实施例 8:

上述第一实施例描述一个以不同速率发送数据、不向用户提供表示每帧中数据比特量的传输速率信息的实例。图 22 和 23 示出不向该接收机发送传输速率信息的另一个实例。

该实施例的发射机与图 20 所示第七实施例的发射机相似。图 22 说明当传输速率低于发射机的最大传输速率时发射机的交错器 106 的帧存储器中写入的发送比特序列。检错码(检验码)加到每帧中发送数据的末端,其后是一个空位。

在传输中,以固定速率逐列地读帧存储器 106B 中的发送数据,并依次映射变换成将发送的每个时隙。在图 22 中,发送数据缺席的间隔对应每个时隙中的空位。初次调制器 108 不调制空位。因此,以固定帧间隔、恒定传输速率发送可变比特数的发送数据。

图 23 示出用于接收这样发送的数据的接收机的主要部分。该接收机以与发射机中交错器 106 的过程相反的过程由“去交错”器 153 恢复每帧的数据。该过程与第一实施例的过程相同。

将一帧数据馈送到连接到交错器 106 输出端的检错电路 144。检错电路 144 以上述方式检测发送数据最后的比特。具体地说,逐比特地移位帧中数据的检错电路 144 依次用预定数据划分该数据,并决定接收该检错码并在可划分该数据的点获得正确发送数据。当在该点输出所接收的数据时获得所发送的原始数据。

按照这种方式进行发送和接收消除了每次发送表示每帧中数据量的传输速率信息的需求。另外,即使每帧中发送数据量(视在传输速率)变化,该接收机可正确地恢复数据。这是由于即使不存在该发送数据,由于固定的帧周期,该接收机可对其进行识别。

为此,即使不发送传输速率信息也可实施可变速率传输,其中视在传输速率(实际数据比特数)可每帧变化。这对不预先发送传输速率信息的常规可变速率传输是必要的,以便以一定间隔预定由传输速率提取的值,这限制了可处理的传输速率数量。反之,该实施例可以任何所需速率实现发送。

如果传输中发生差错可在错误位置做出无差错发生的决定。这种情况下,仅有一部分发送数据可作为有效数据输出,或可将该发送数据加上多余随机数据作为有效数据输出。考虑到这些,可以一定间隔设定发送数据的比特数,由于差错检测点被分隔使得减少数据的错误

输出成为可能。

#### 实施例 9:

这个实施例对应于避免短数据的间歇发送中含有的突发式发送的第三实施例。如果传输速率等于或小于由单个传输信道允许的最大速率的  $1/K$ ，所发送数据进行纠错编码，编码的数据的每个比特被重复  $K$  次以形成将发送的帧数据。在传输开始时将重复次数  $K$  发送到接收机。

图 24 示出发射机的配置。这个实施例与第七实施例的发射机存在下列区别。

(1) 重复器 121 连到纠错编码器 105 的输出端。

(2) 乘法器 141 连到引导码元插入电路 130 的输出端，用于与发送功率因数相乘，以便将发送功率控制为如图 20 所示的第七实施例的发送功率的  $1/K$ ，其中不重复该帧中数据的每个比特。

由与如图 9B 所示的接收机类似的接收机解调由该发射机发送的数据，以恢复所发送的数据。

通过将每个比特重复  $K$  次可避免突发式发送。另外，可将第八实施例与第九实施例组合使用。这种情况下，如果在通信开始已向接收机发送重复速率  $K$ ，即使传输速率是逐帧变化的，接收机可根据检错信息恢复该发送数据。因此，可避免过度突发式发送。

#### 实施例 10:

高速数据传输需要发送每帧大于  $N*M$  比特的数据。这将通过使用多个信道进行处理，以便执行数据的并行传输。提供第十实施例以实现这样的高速传输。

图 26 示出根据本发明使用可变速率传输方法的发射机的第十实施例，图 27 说明将被发送的帧排列。

图 26 和 27 示出同时(三个信道)发送三帧的情况。高速数据传输将需要更多信道。传输开始前通知接收机高速传输所使用的信道数量。交错器 106 的帧存储器的容量必须至少保留用于存储同时发送的整个帧的两倍。另外，必须可同时从多个信道访问该帧存储器。由于

第十实施例描述不进行相位控制的情况，相位控制器 146b 和 146c 将在下面的第十一实施例中描述。

图 26 中，交错器 106 依次把将被发送的数据以高速依次写入帧存储器，以形成多个发送帧。由于控制数据位于每帧的初始位置，它写入帧存储器的 a 侧。当帧存储器的 a 侧填满时，该数据写入帧存储器的 b 侧。当帧存储器的 b 侧填满时，该数据写入帧存储器的 c 侧。以比正常传输速率高的速度(这种情况下是正常速率的三倍或更多倍)进行向帧存储器的写入。

以等于正常传输速率的速率执行同时从该帧存储器读出多个帧。如第六实施例写入帧存储器的每侧和从帧存储器的每侧读出。

由二次调制器 109a 至 109c 使用不同的扩展码序列扩展由初次调制器 108a 至 108c 进行初次调制的 a 侧至 c 侧相关的数据，并由加法器 148 相加以便发送。

仅在信道 a 进行引导码元插入，并且接收机利用信道 a 的引导码元补偿其它信道。因此，仅有信道 a 插入引导码元是足够的。以与第七实施例相同的方式控制功率因数。

图 27 说明当通过使用多个信道同时传输实施高速传输时每个传输信道的帧结构。如该图所示，即使使用多个传输信道，也通过一个信道发送该控制数据和引导码元。其它信道不发送与该引导码元和控制数据对应的部分。这样使减少对其它用户的干扰功率成为可能。

为接收由多个信道发送的数据，接收机必须包括相同数量的接收信道。使用通过信道之一发送的引导码元的接收机补偿其它信道的接收信号。信道之一的控制数据也被用于控制其它信道。与交错器 106 对应的“去交错”器以与发射机中相反的过程进行写入和读出。接收机的“去交错”器的帧存储器必须满足可同时写入多个数据，和读出已以高速(这种情况下为正常速度的三倍)写入的多个数据。

#### 实施例 11:

如第十实施例中所述的，通过向多个传输信道分配发送数据、通过执行它们的初次调制、和通过利用将被发送的多路扩展码将它们扩

展成宽带信号实施高速度数据传输。使用二进制 PSK，例如每个信道初次调制后的相位为 0(发送的数据是"1"时)或  $\pi$  弧度(发送的数据是"0"时)。当它们利用扩展码序列进行二进制 PSK 时，扩展信号也取 0 或  $\pi$  弧度的相位。因此，如果不移位其相位而组合 N 个扩展信号，幅度增加到 N 倍，因而需要高峰值功率的发送功率放大器。

为避免此情况，借助图 26 所示的相位控制器 146b 和 146c 执行相位控制。图 28 说明同时发送 N 个信号时的相位控制。这种情况下，第 n 个信道的初次或二次调制信号的相位被转过  $n \pi / N$  弧度。这将导致当 N=2 时组合幅度为未组合信号幅度的 1.4 倍，当 N=4 时为 2.6 倍。因此，与简单组合相比可限定发送功率的峰值。

由于在图 26 所示实施例中三个信道，相位控制器 146b 将相位转过  $\pi / 3$ ，相位控制器 146c 将相位转过  $2 \pi / 3$ 。虽然在图 26 中的二次调制器 109b 和 109c 前插入相位控制器 146b 和 146c，但这不是必需的。相位控制 146b 和 146c 可紧接二次调制器 109b 和 109c 后放置，因为这足以移位已进行二次调制的载波的相位。

另一方面，由于接收机了解相应信道的相位差，它必须借助相位控制器校正相应信道的相位差。校正信道的相位差之后，使用经一个信道发送的引导码元的接收机可如第十实施例那样补偿其它信道的数据。

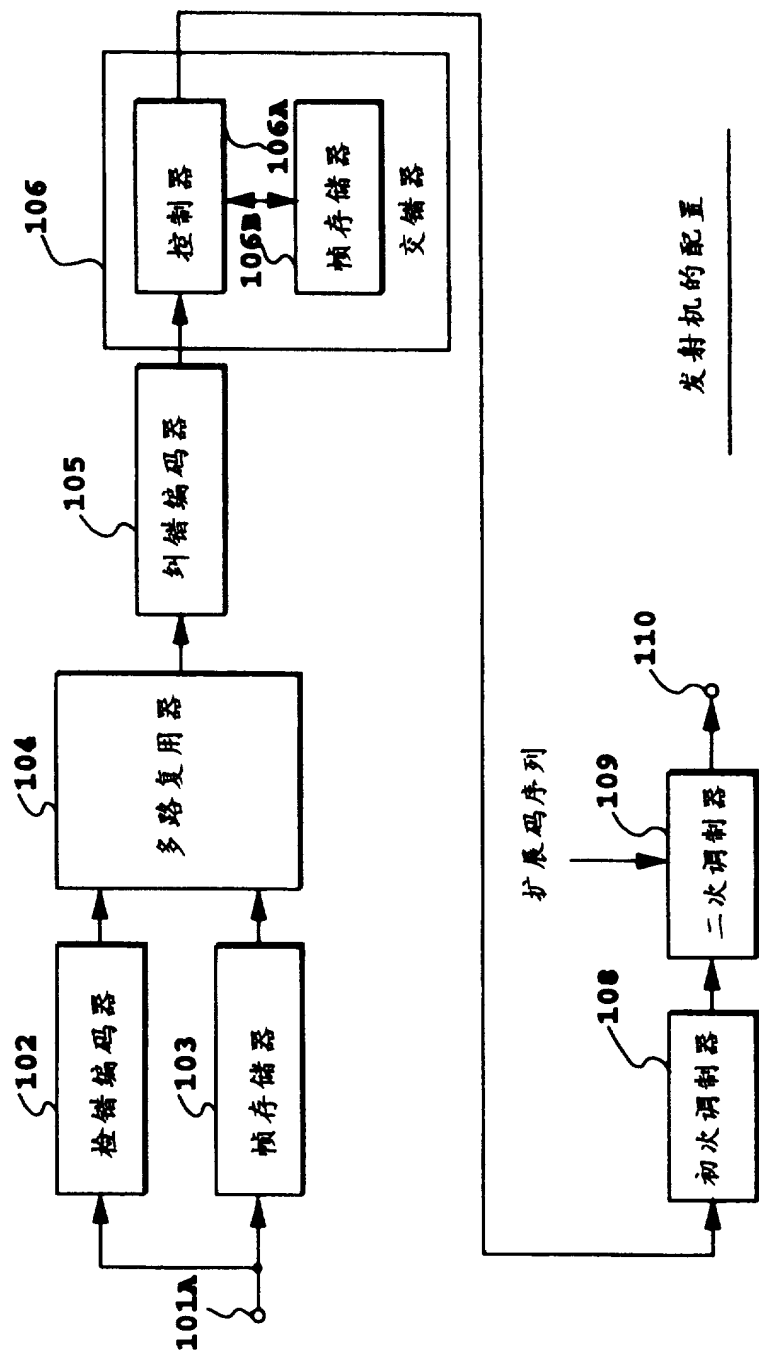


图 1A

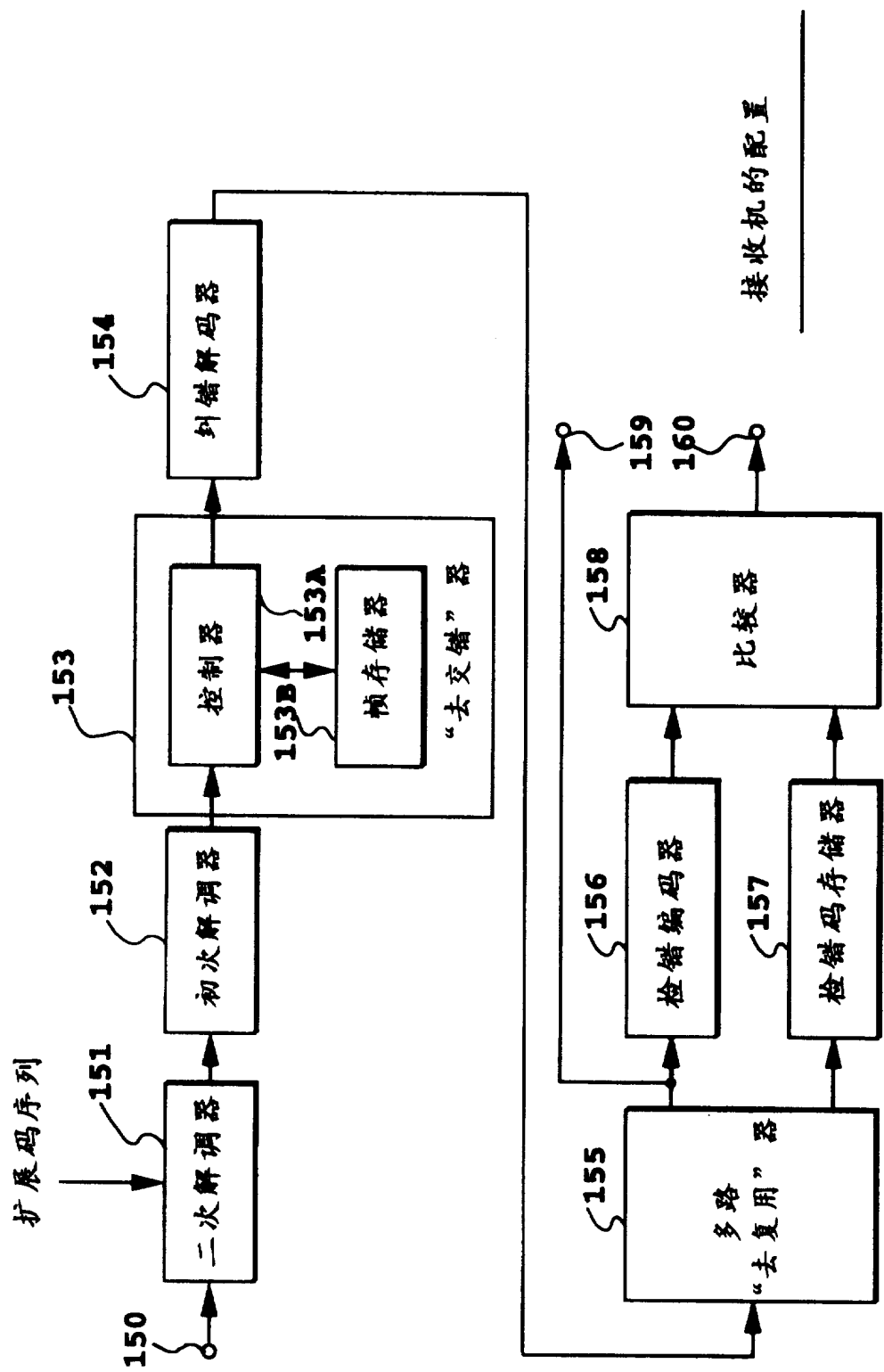


图 1B



多路复用器的输出

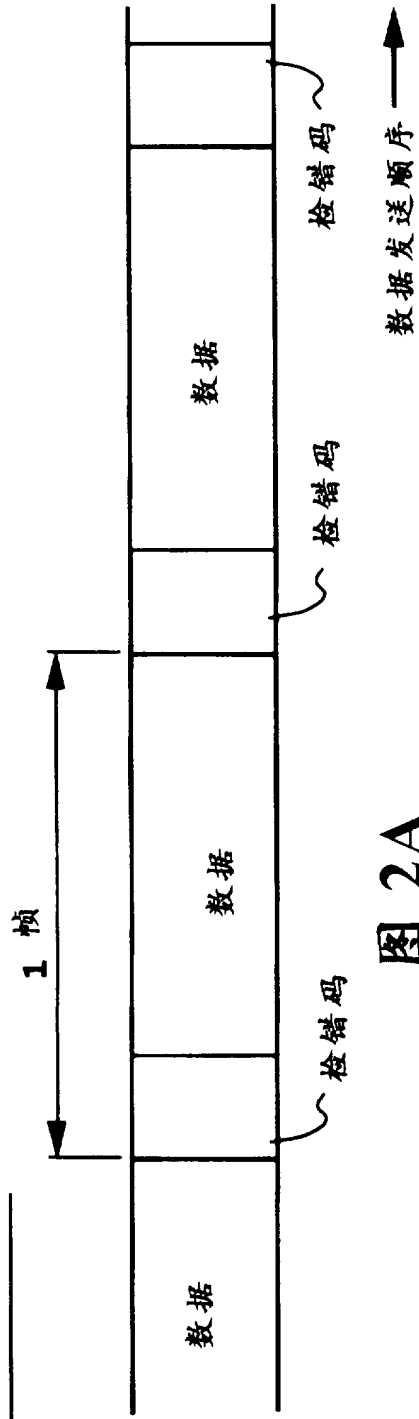


图 2A

多路复用器的输出

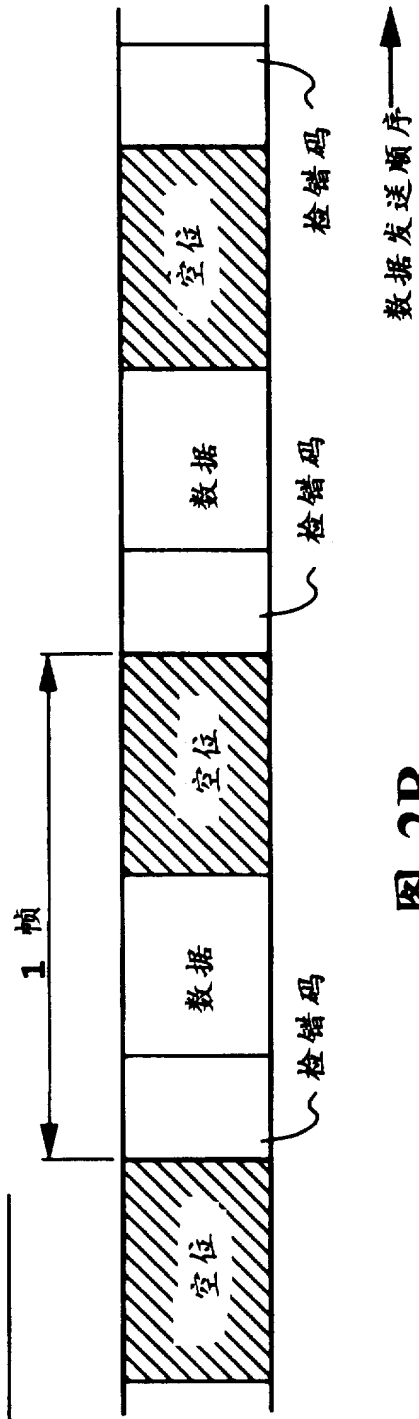


图 2B

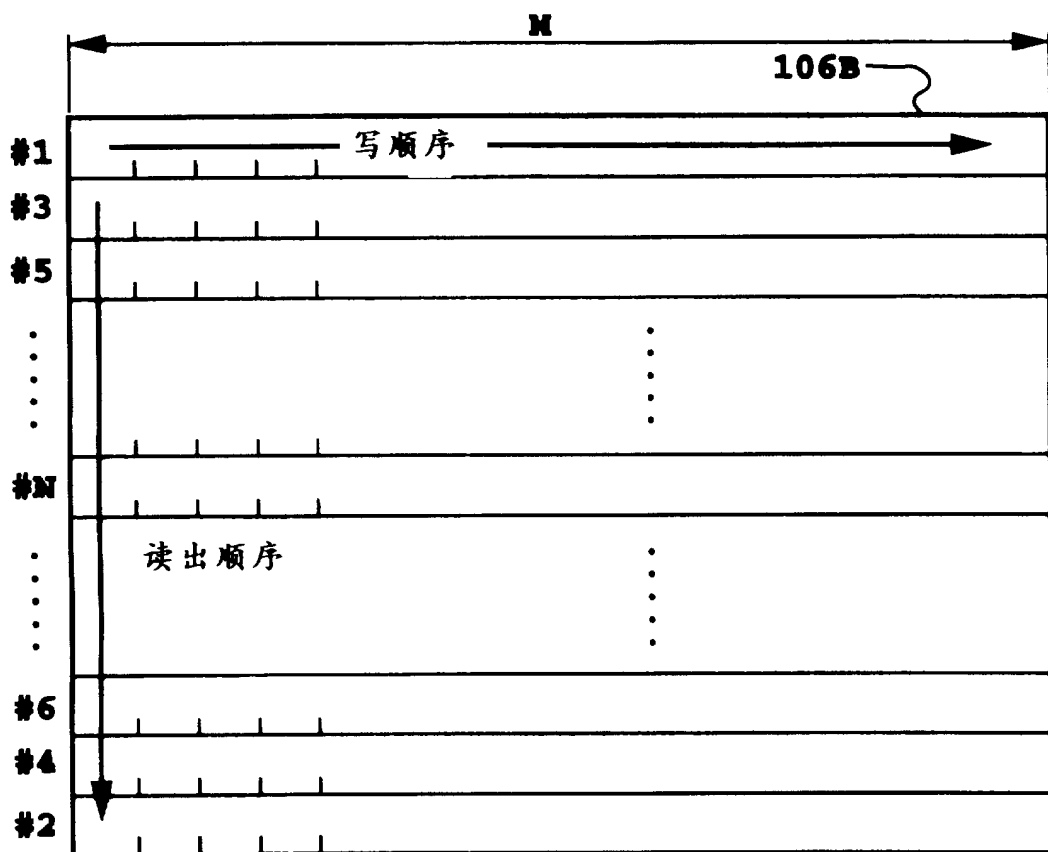


图 3

帧存储器106B的输出

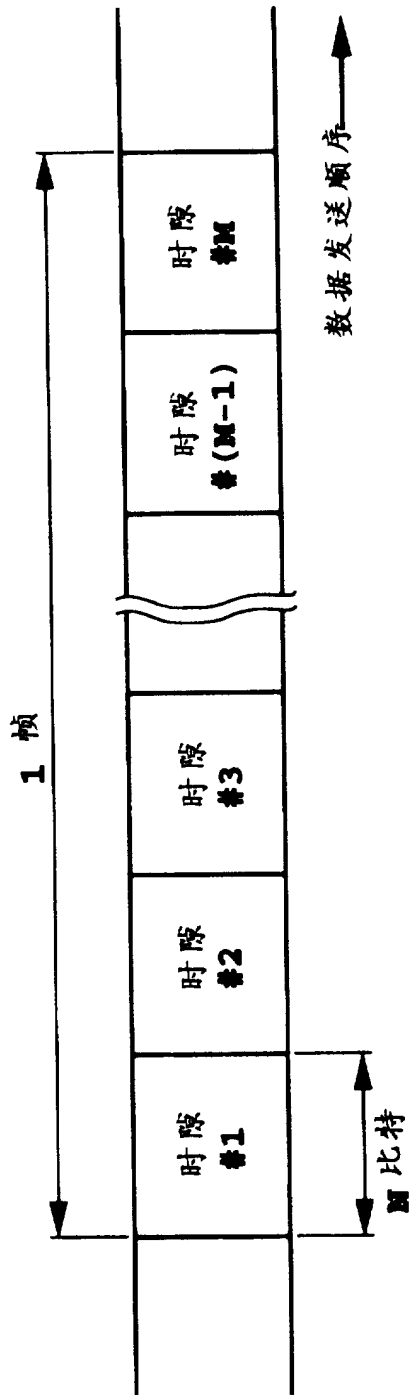


图 4

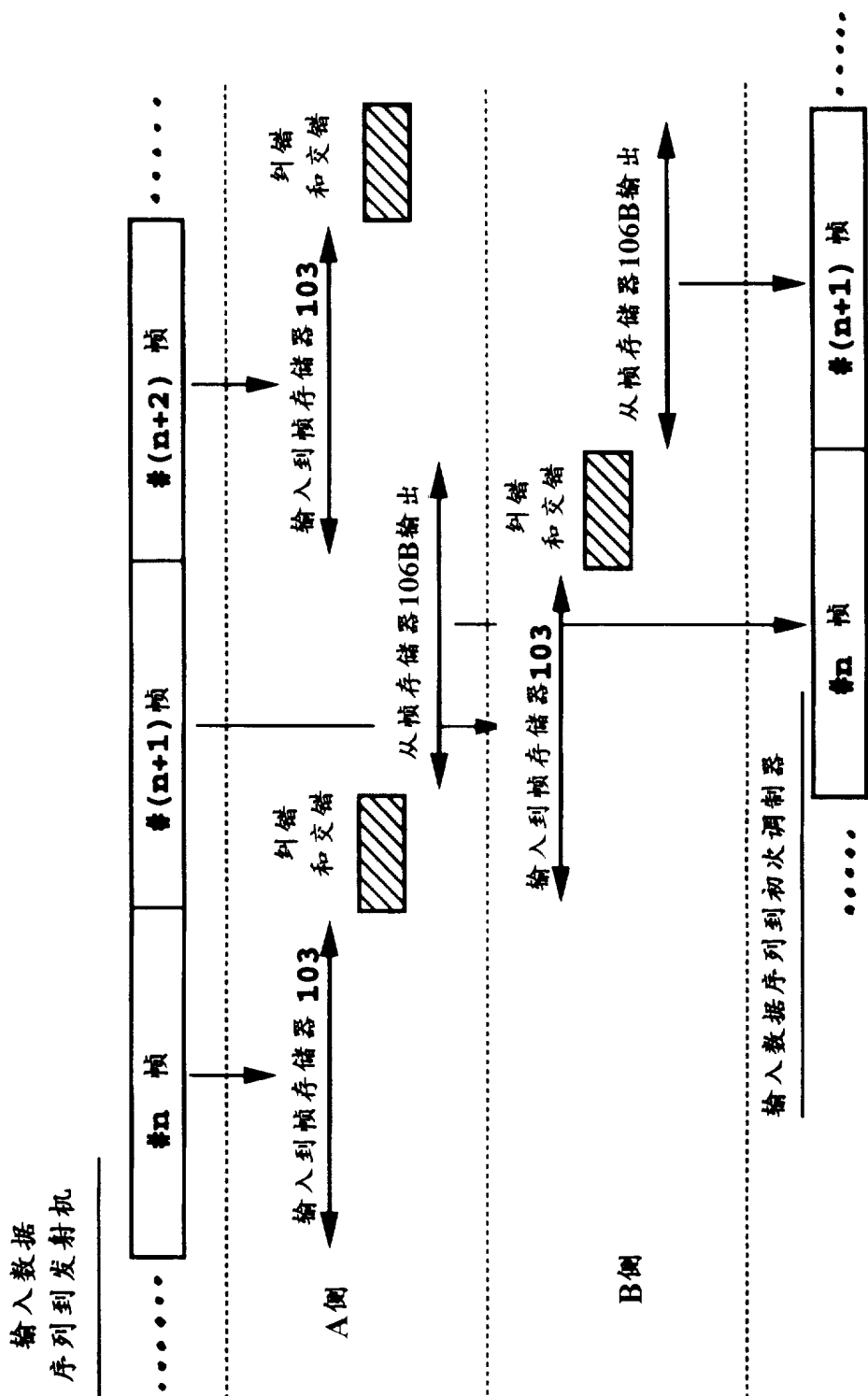


图 5

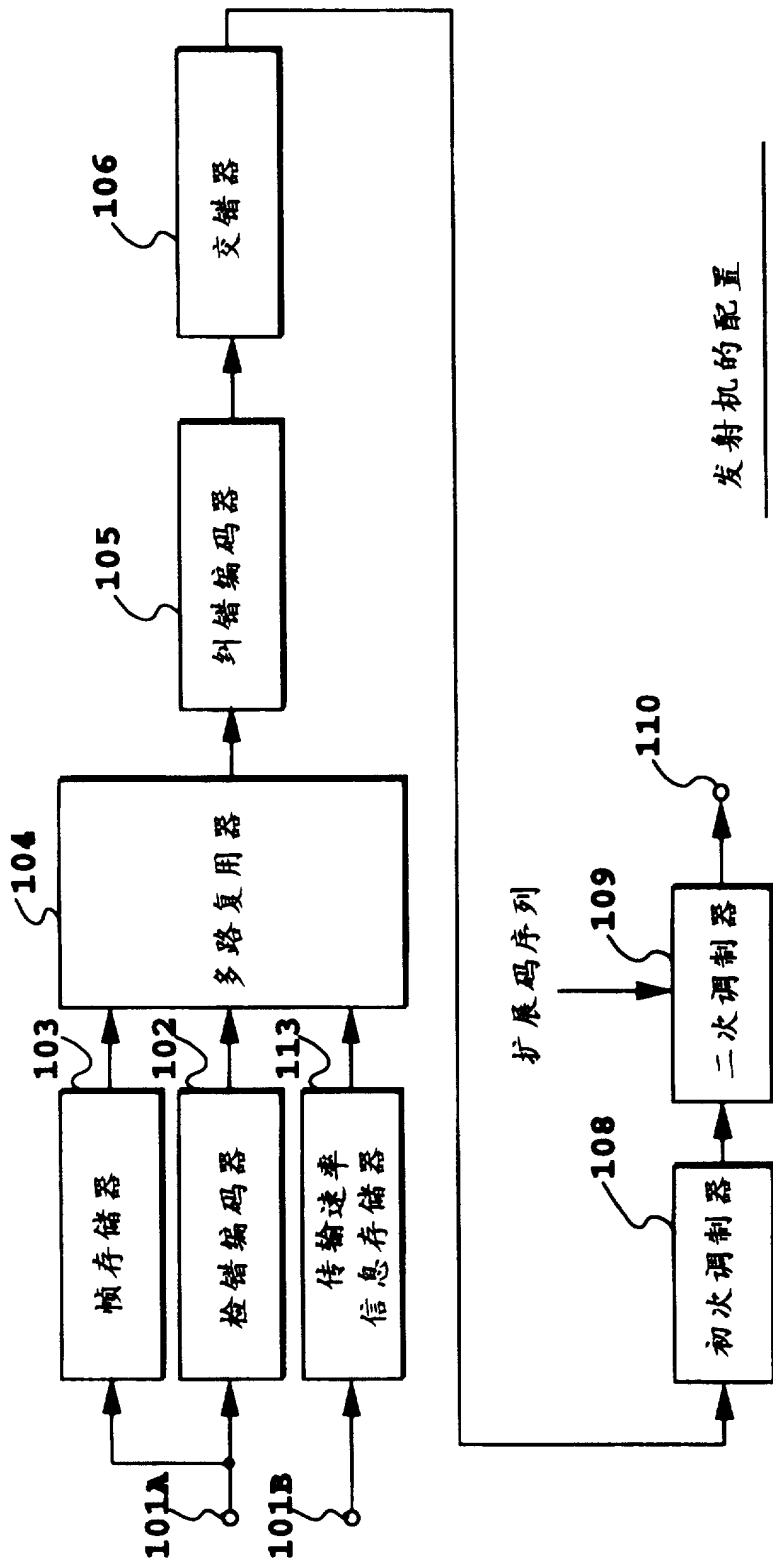


图 6A

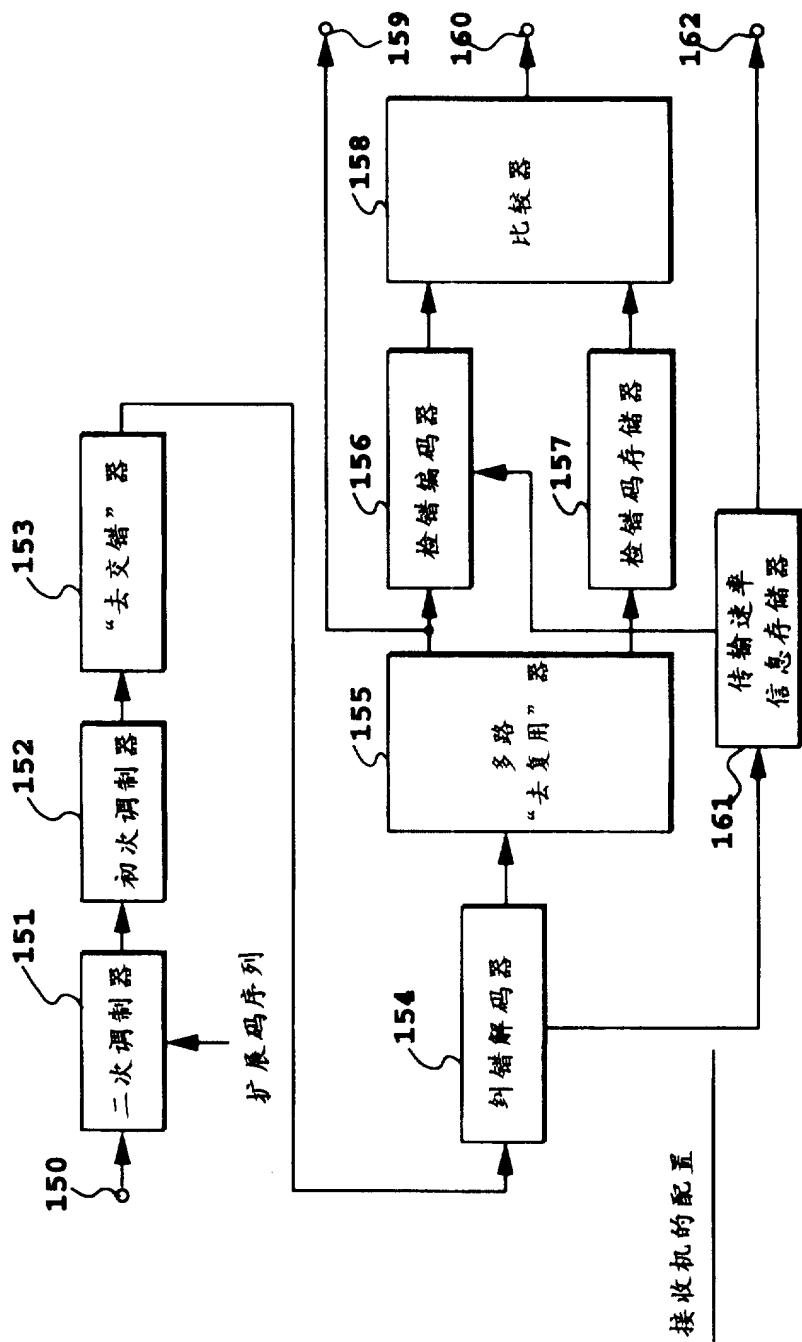


图 6B



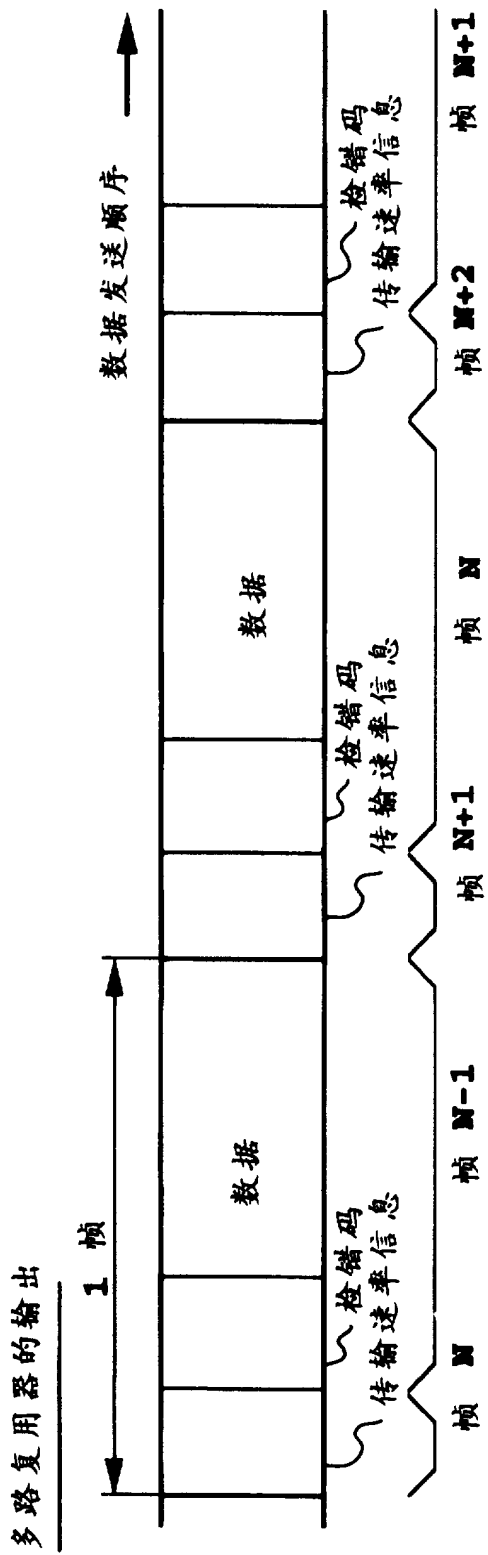


图 8A

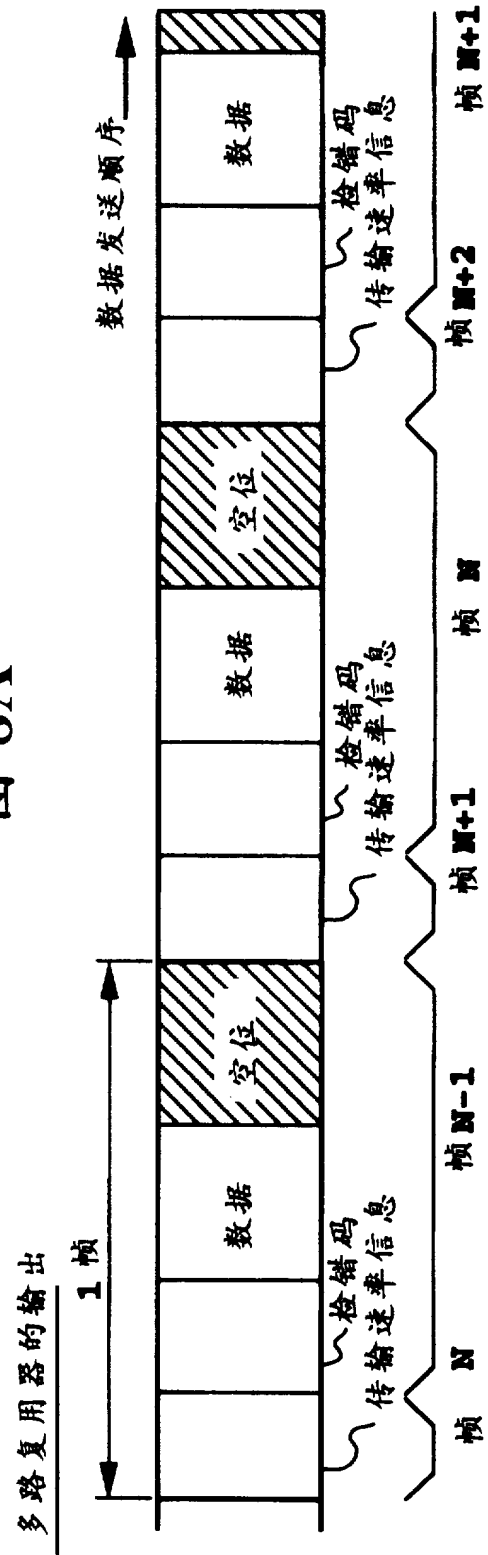
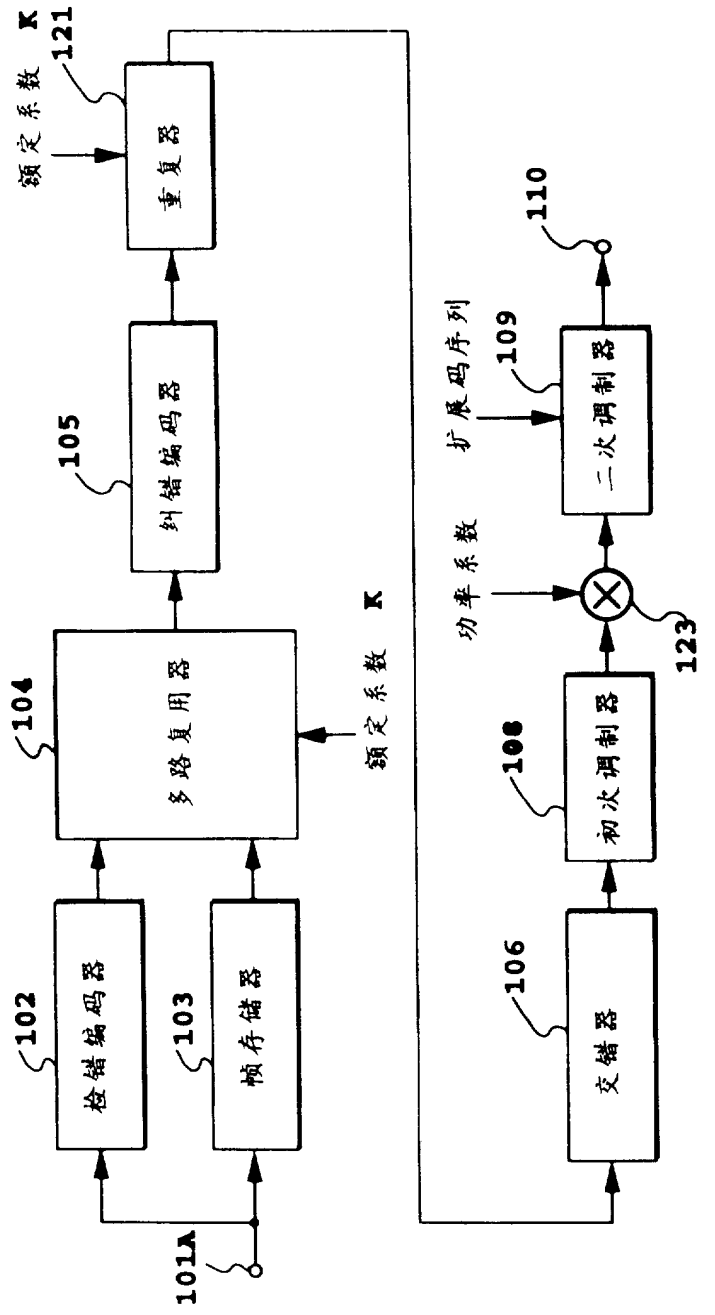


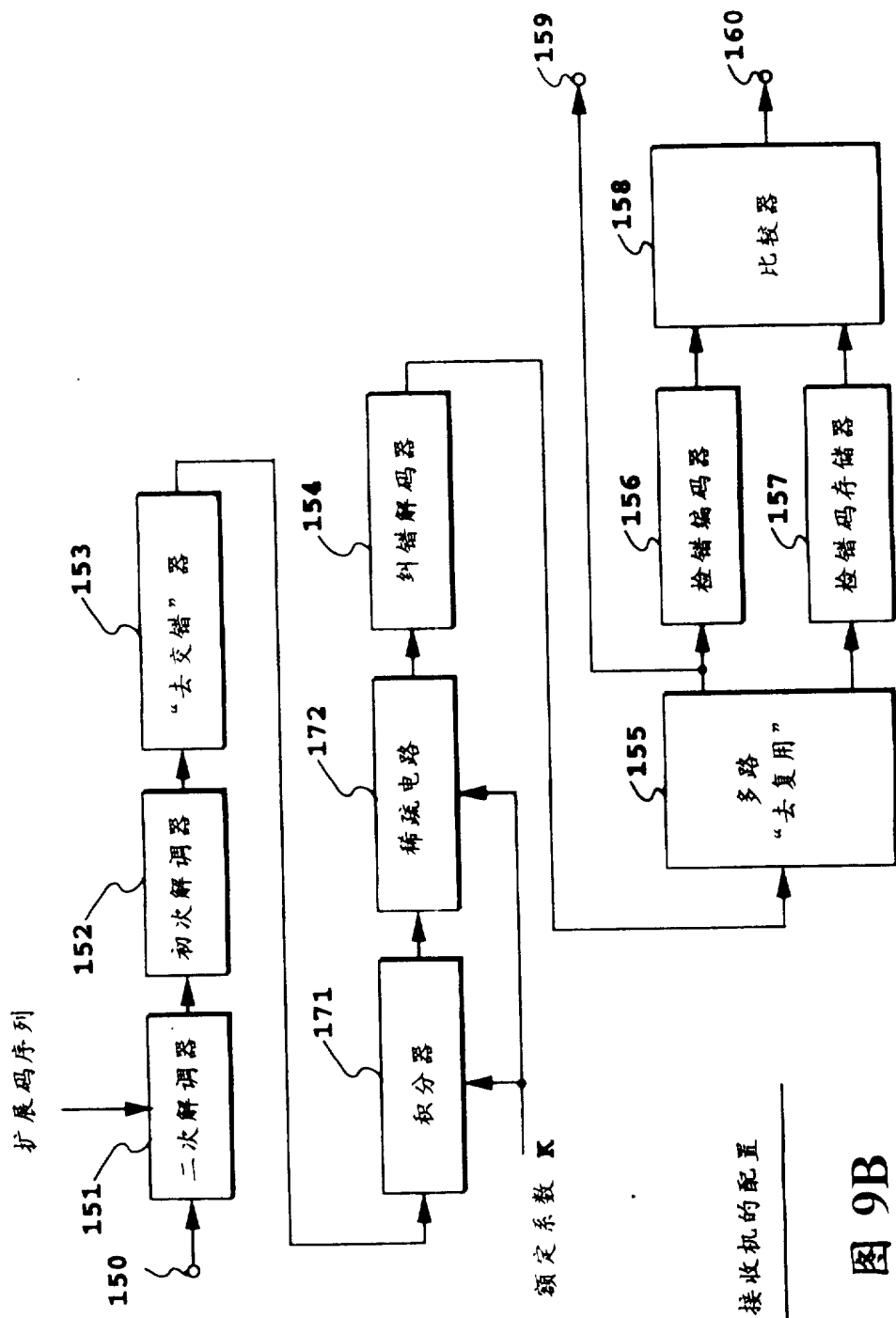
图 8B





发射机的配置

图9A



接收机的配置

图 9B



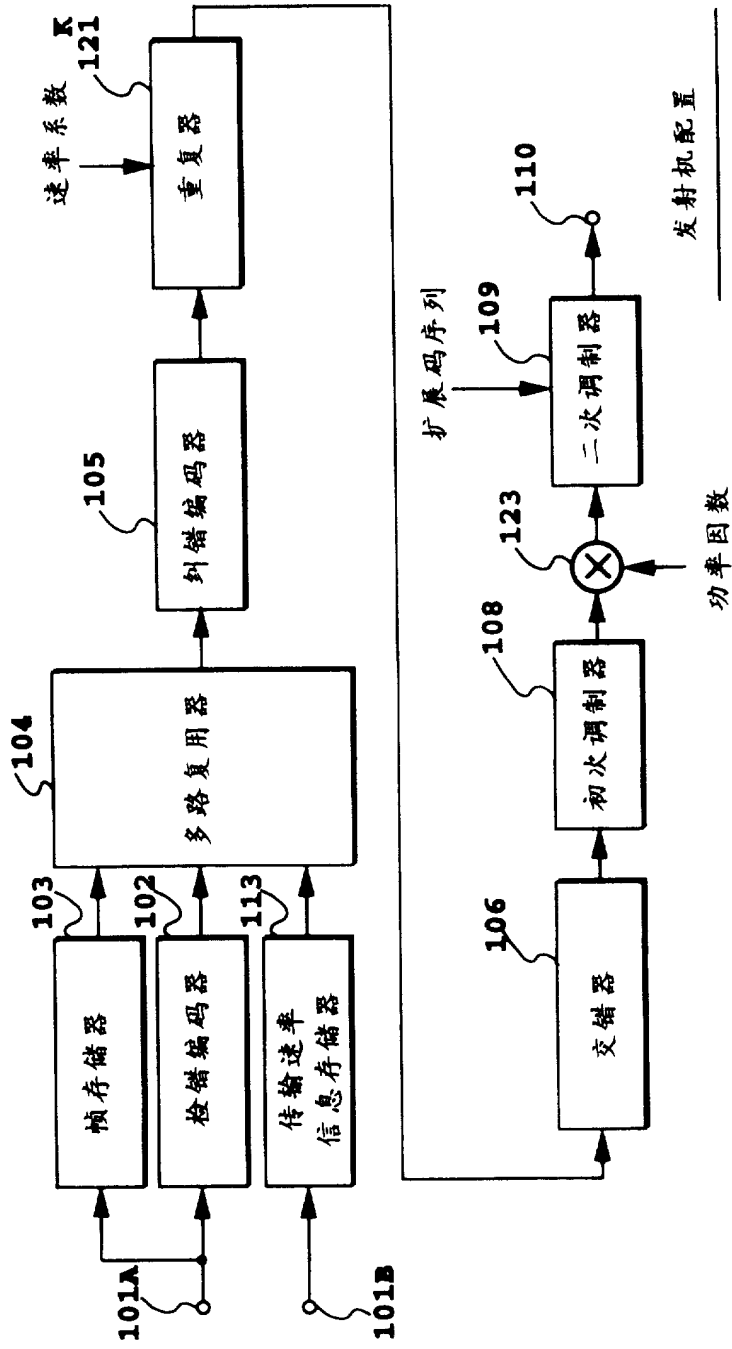
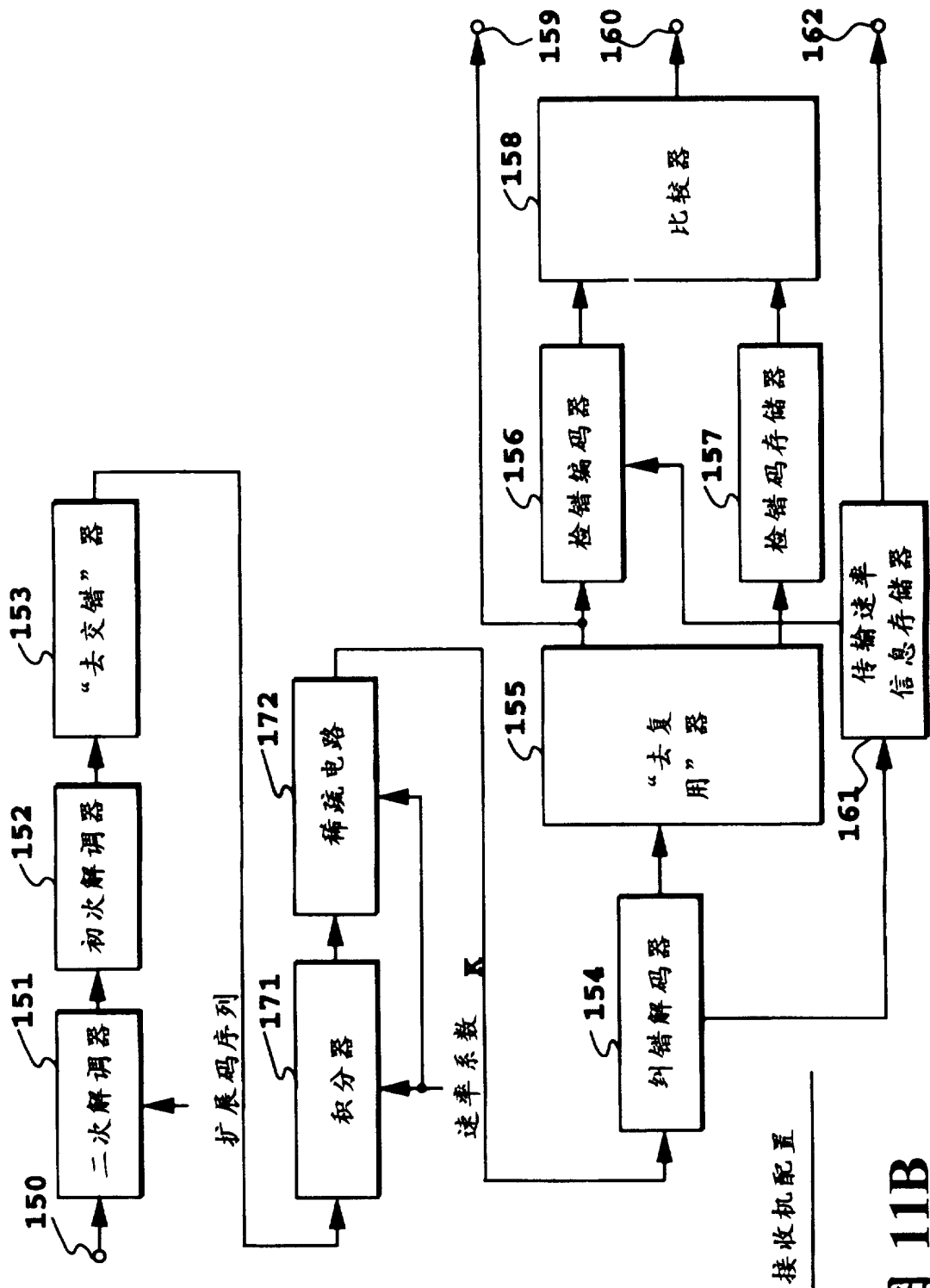


图 11A



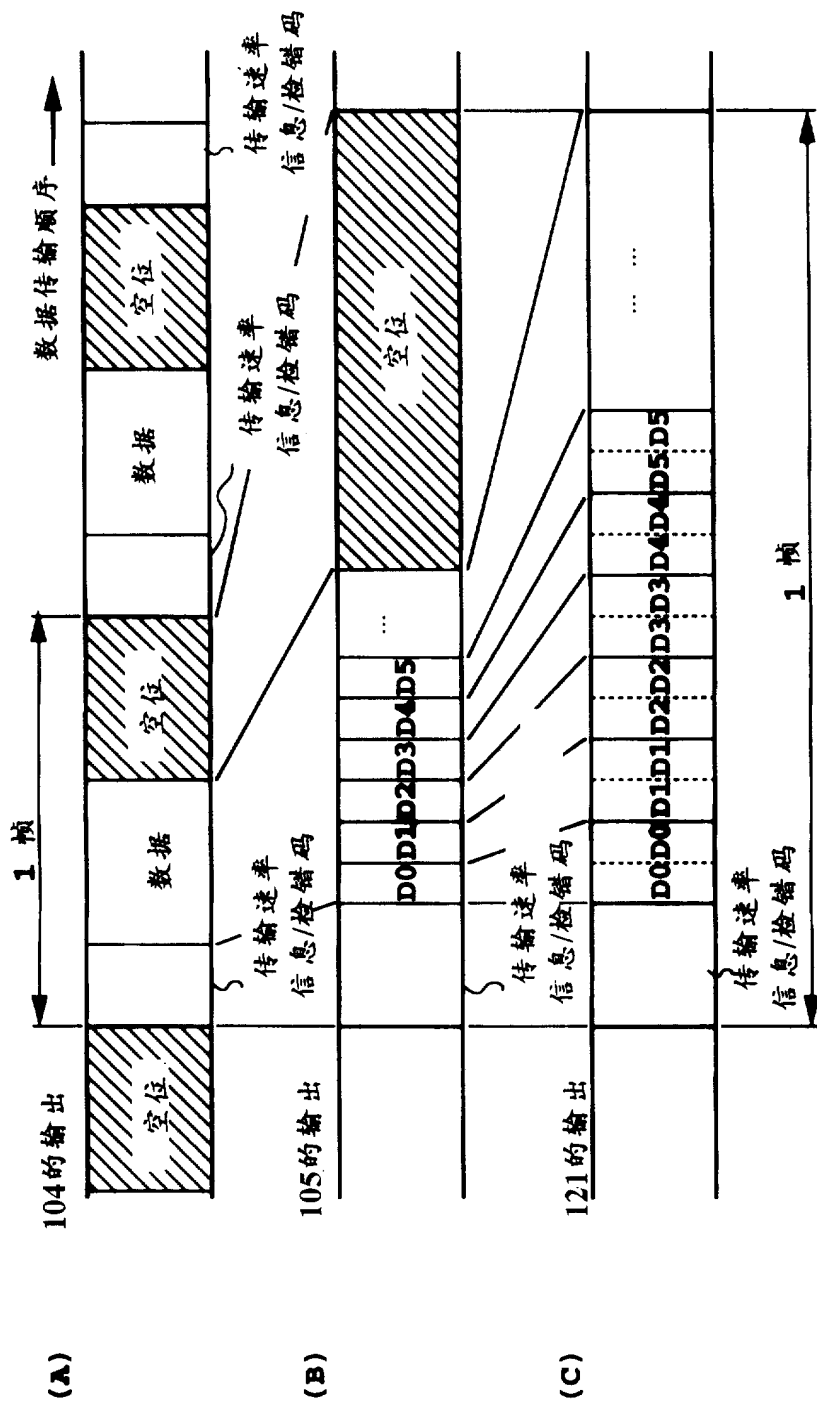


图 12

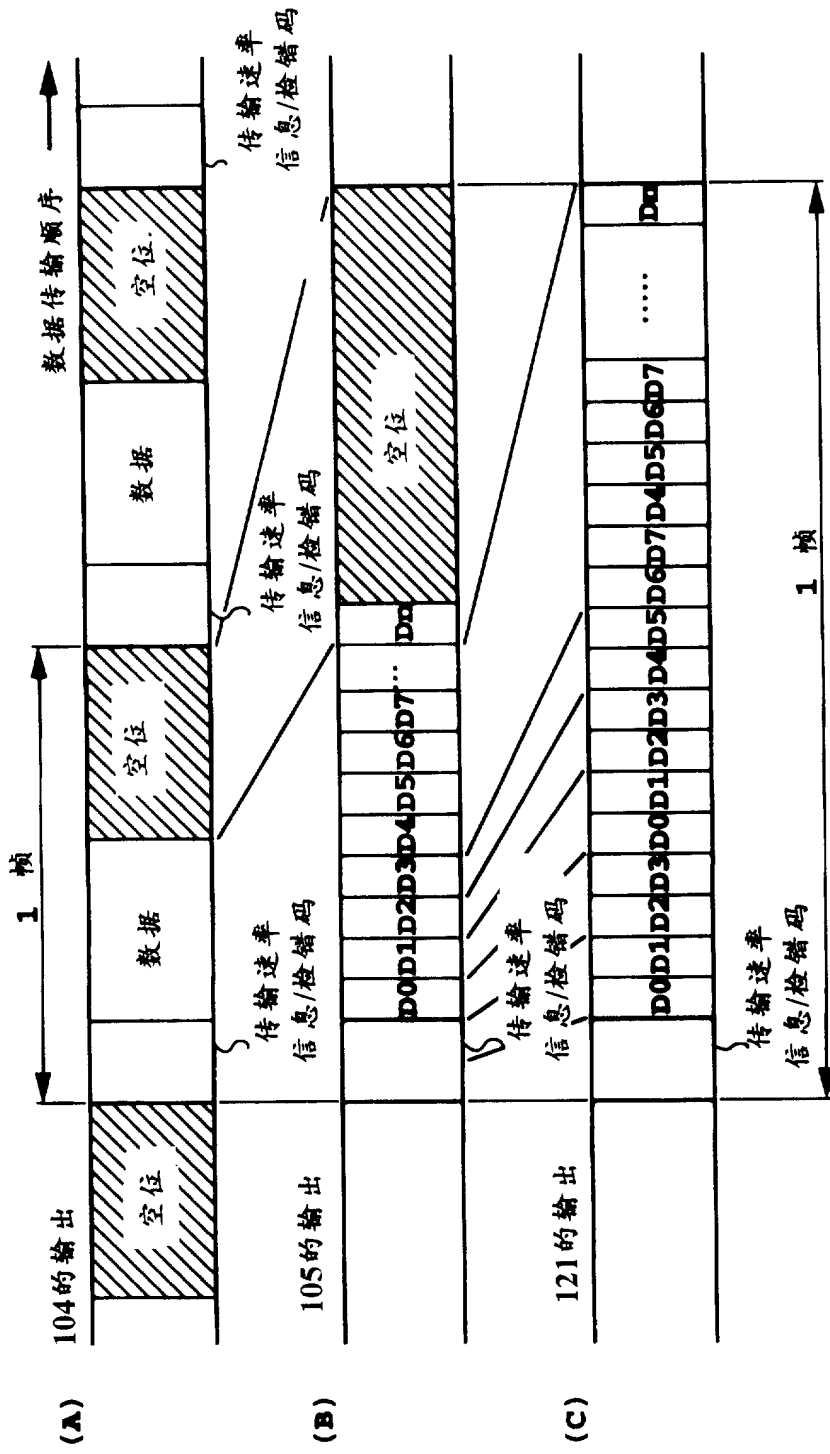


图 13

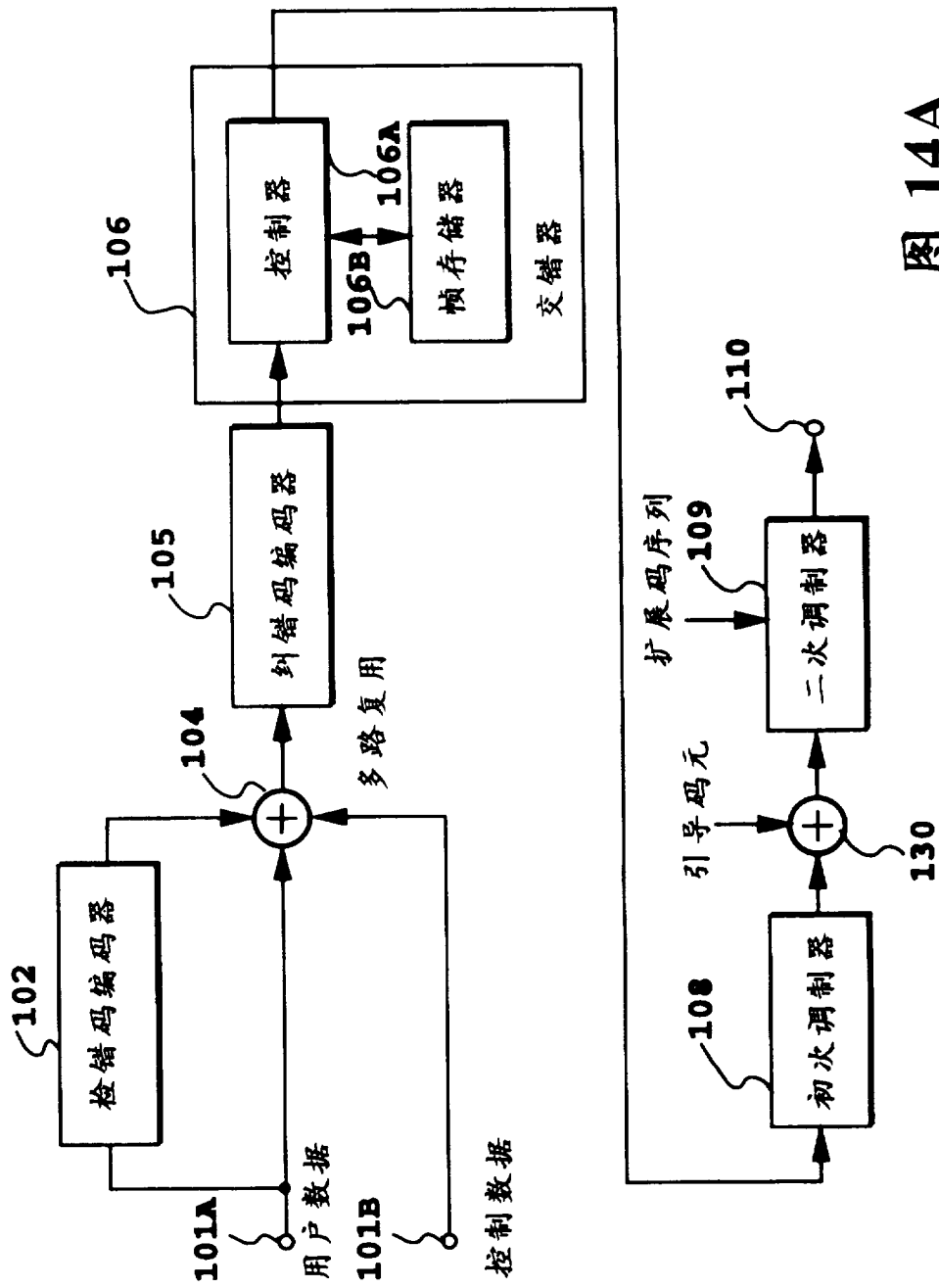


图 14A



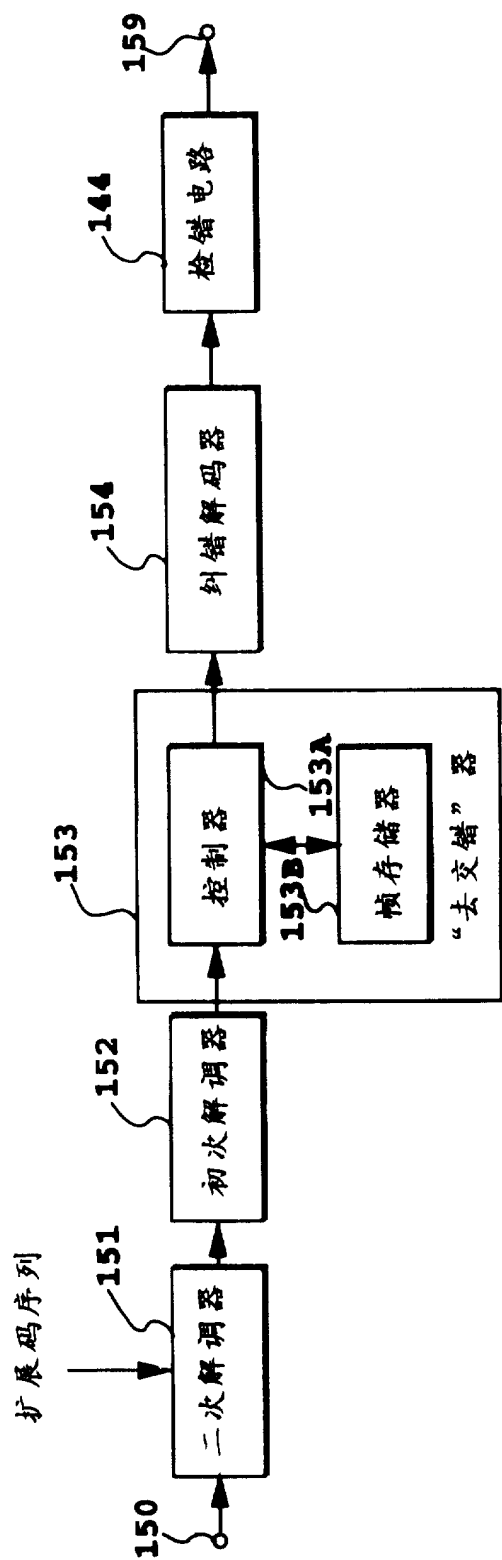


图 14B

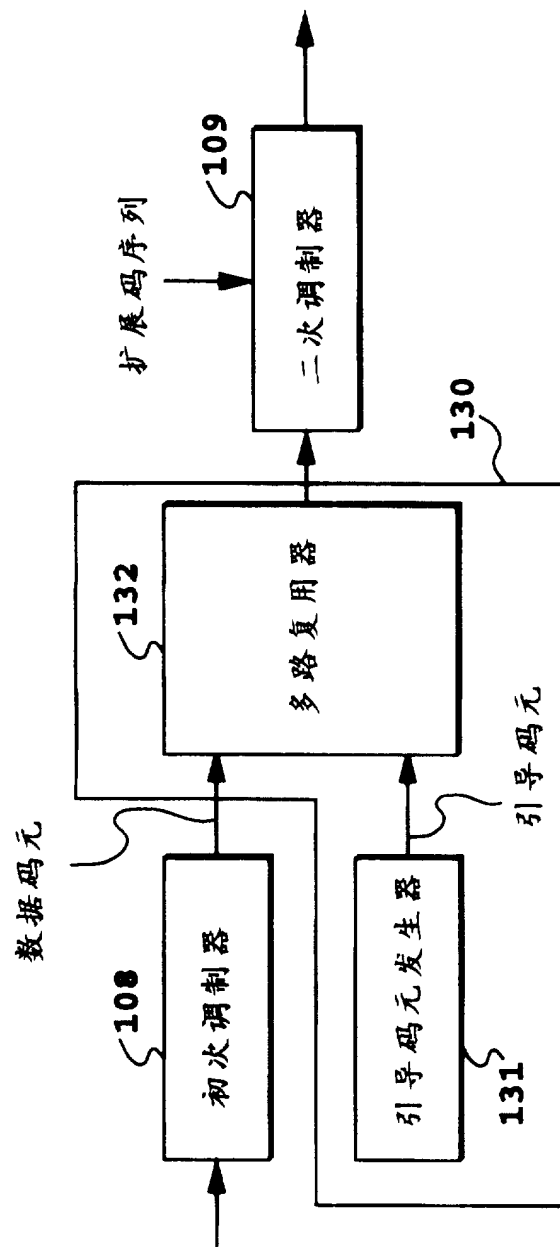


图 15A

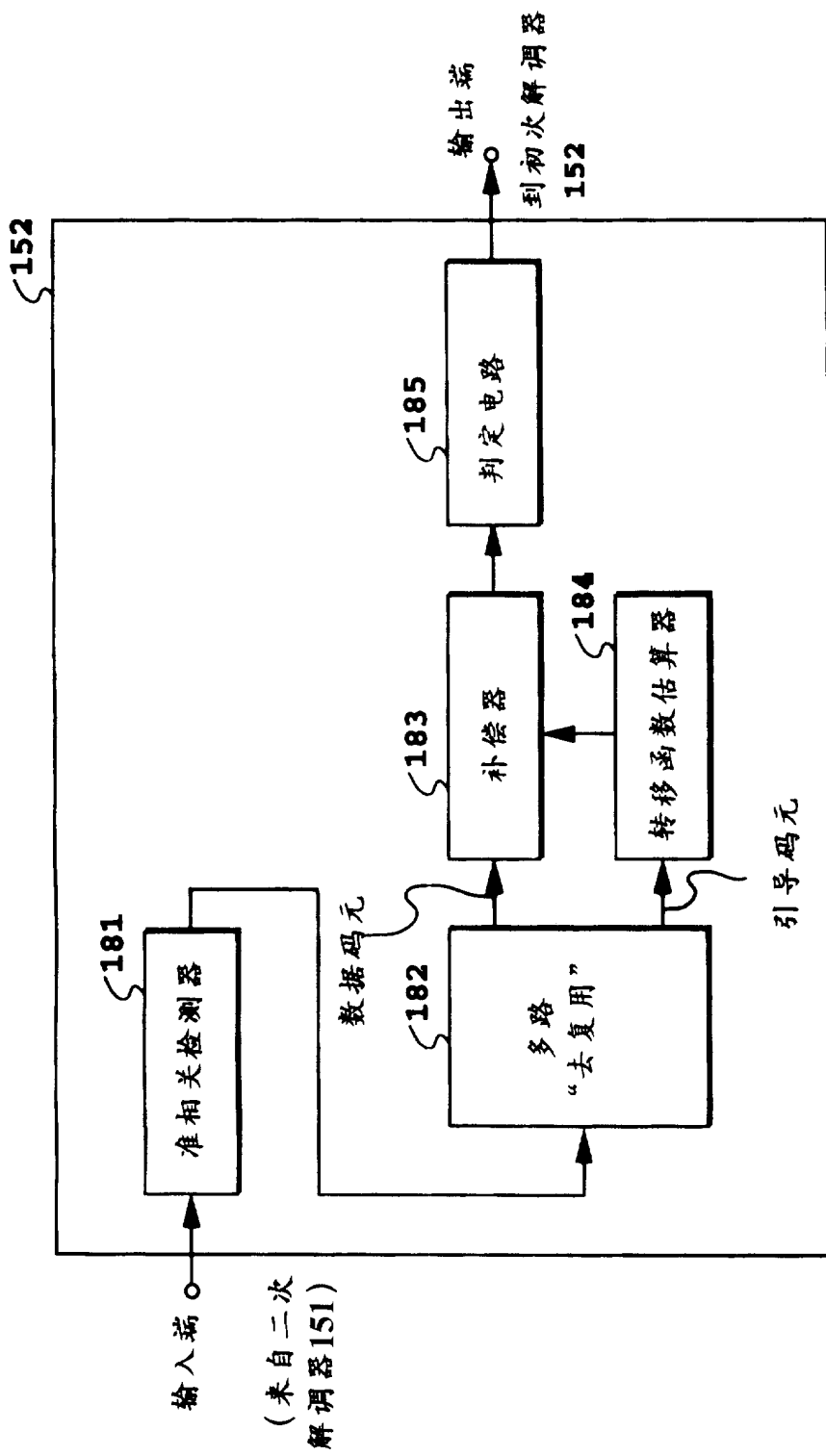


图 15B

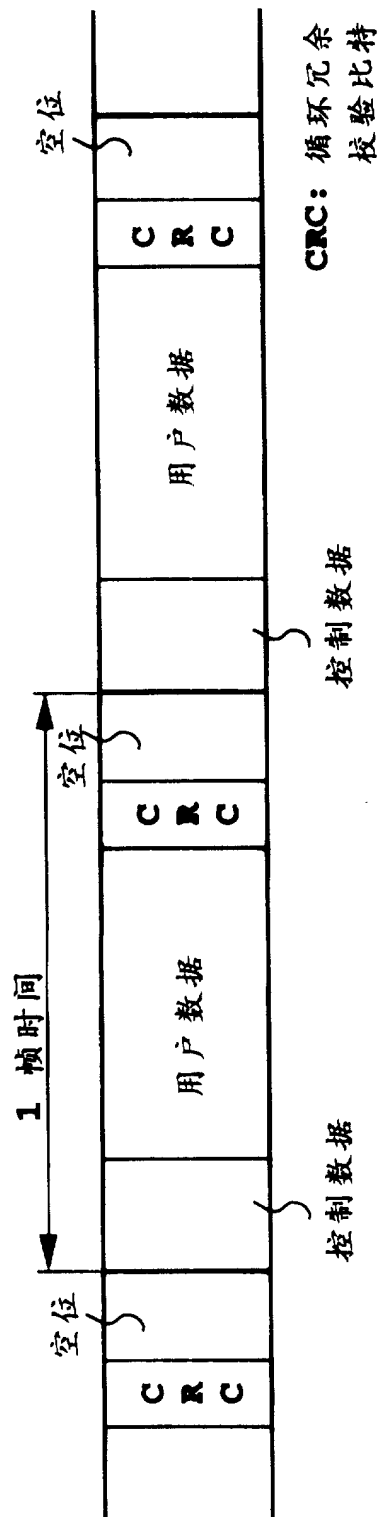


图 16

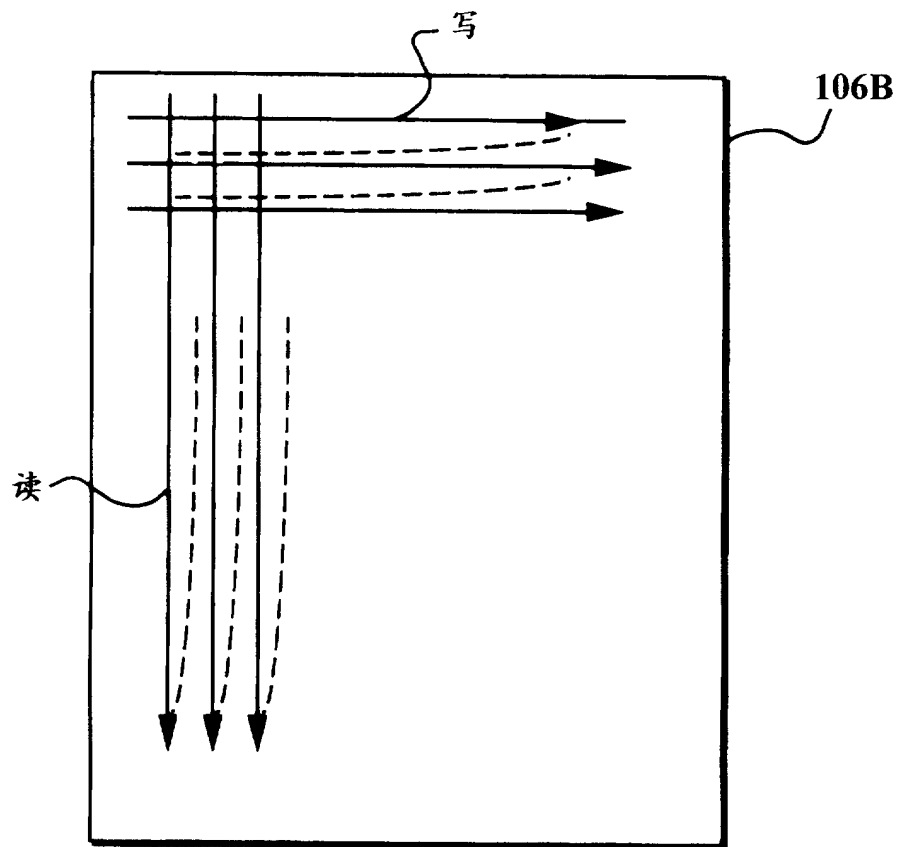


图 17

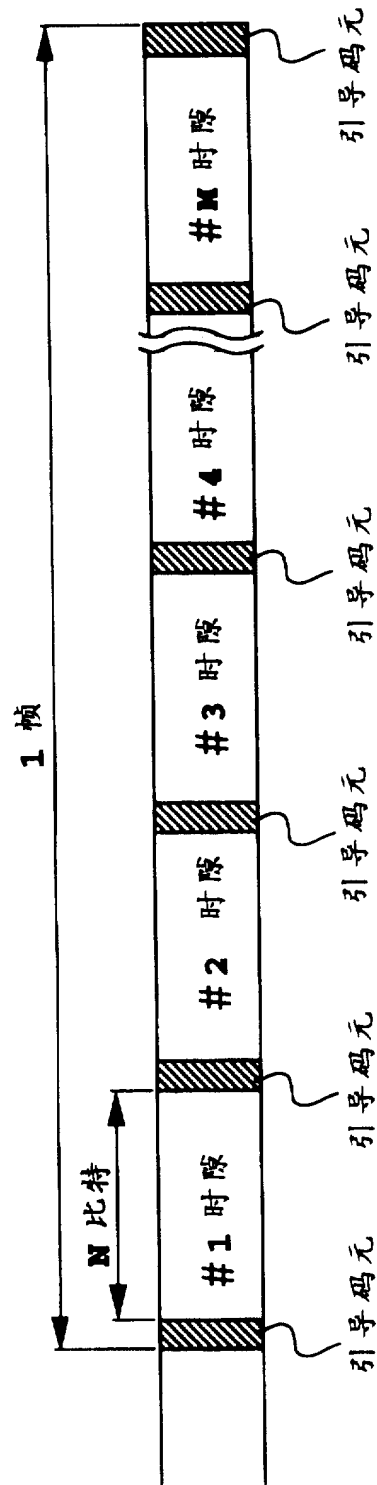


图 18

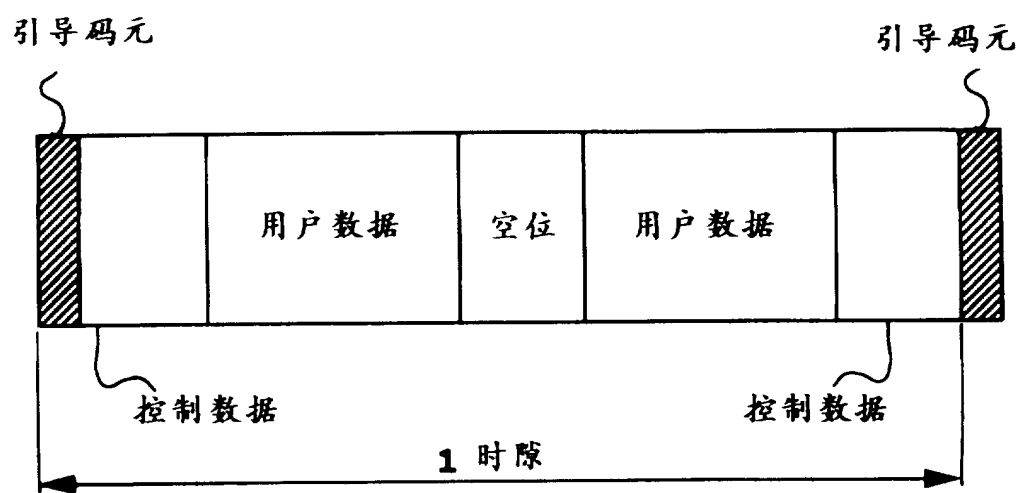
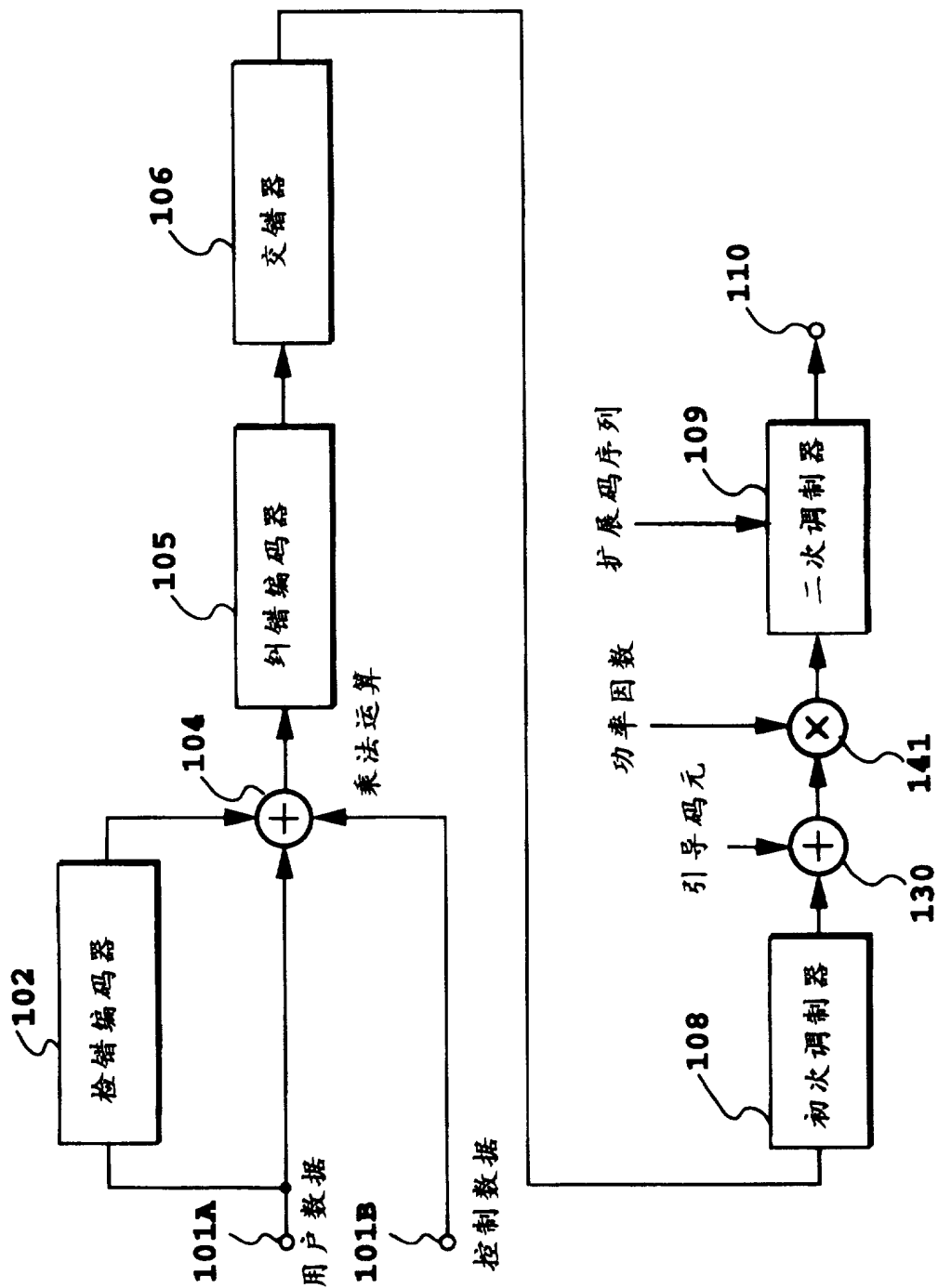


图 19





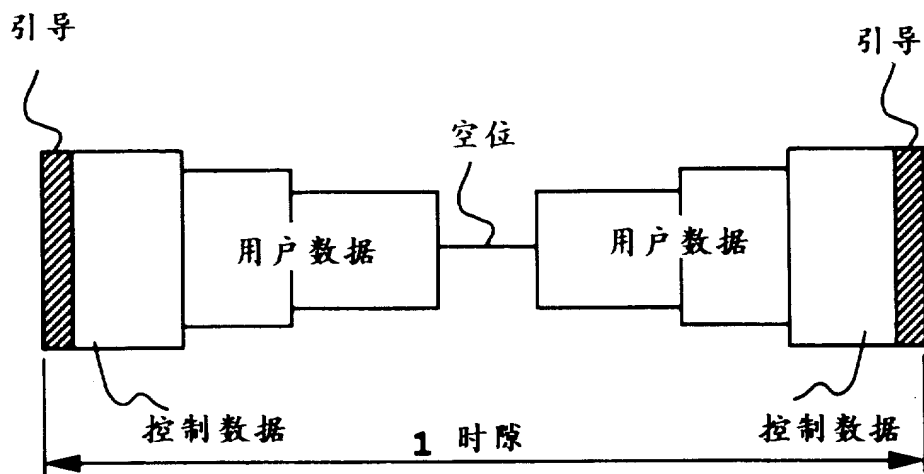


图 21

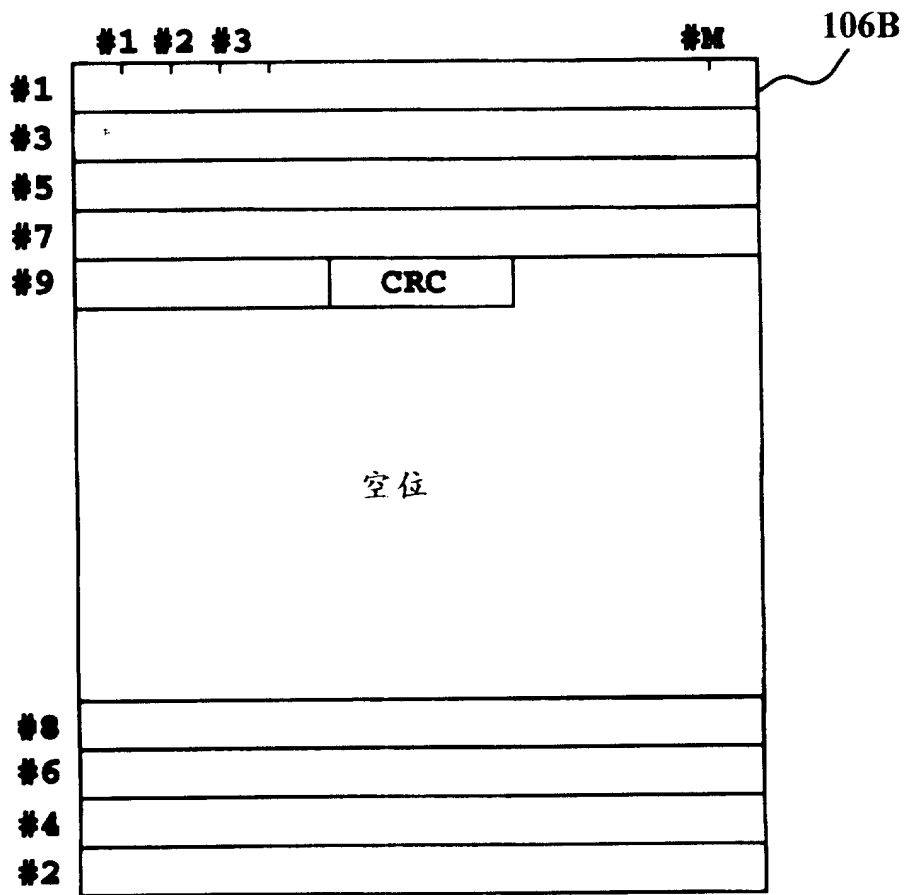


图 22

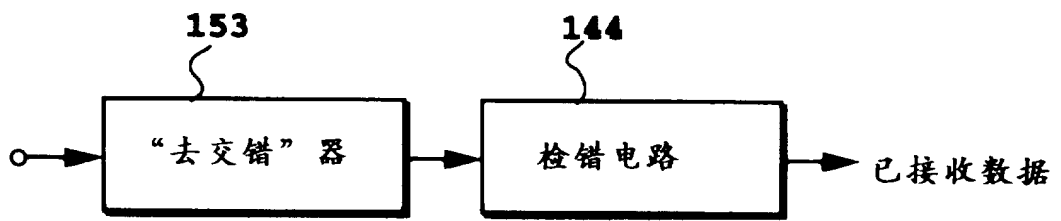


图 23

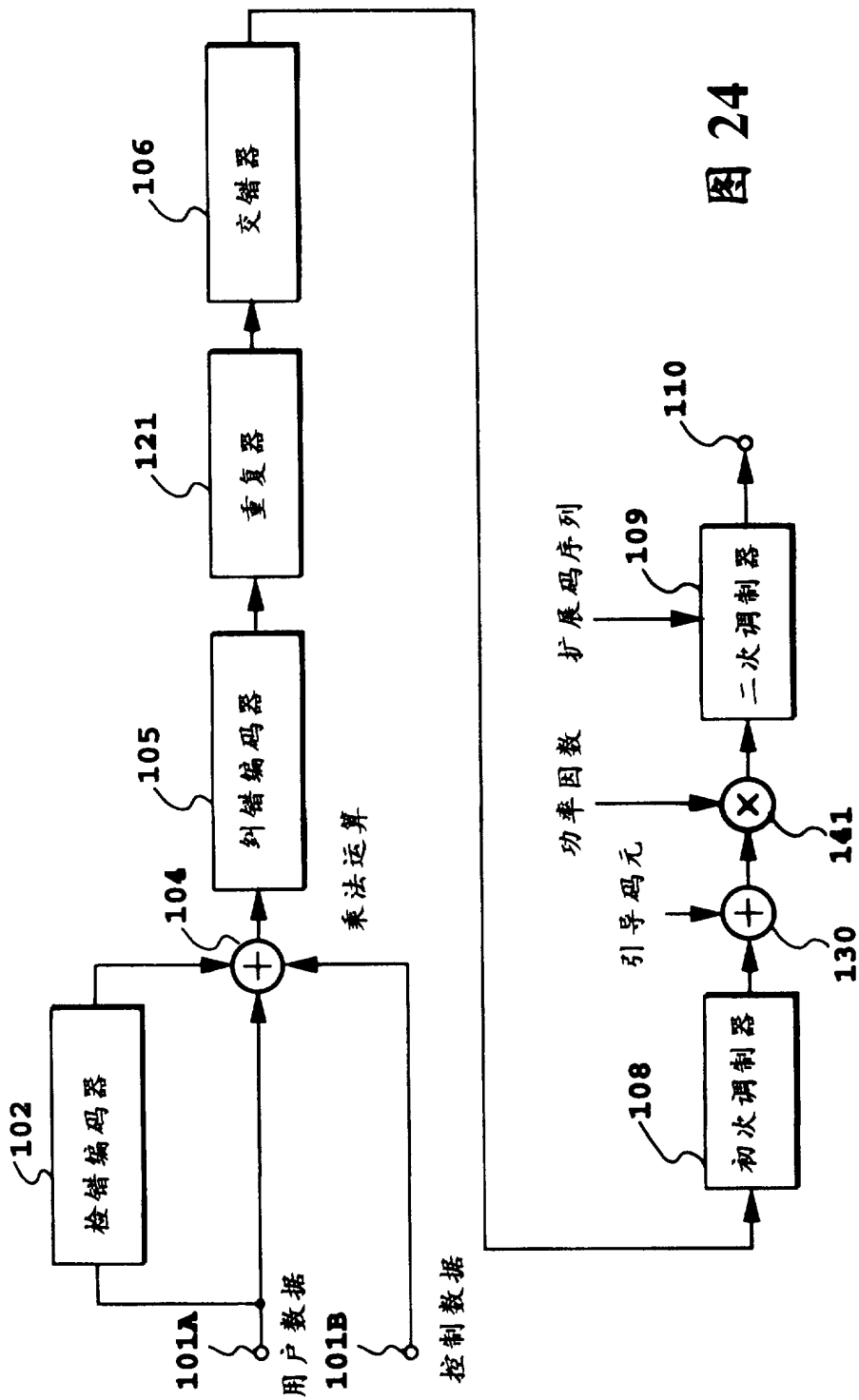


图 24

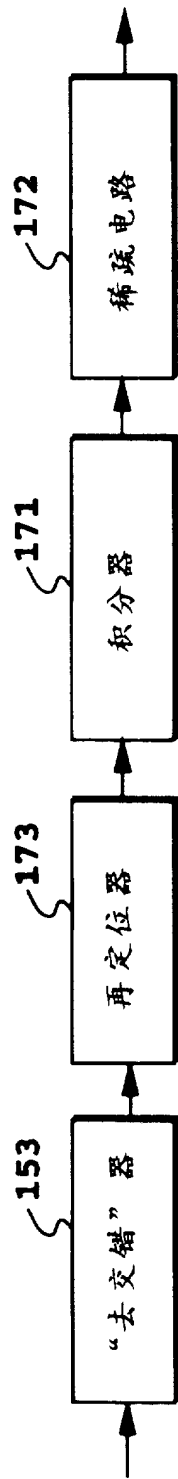


图 25

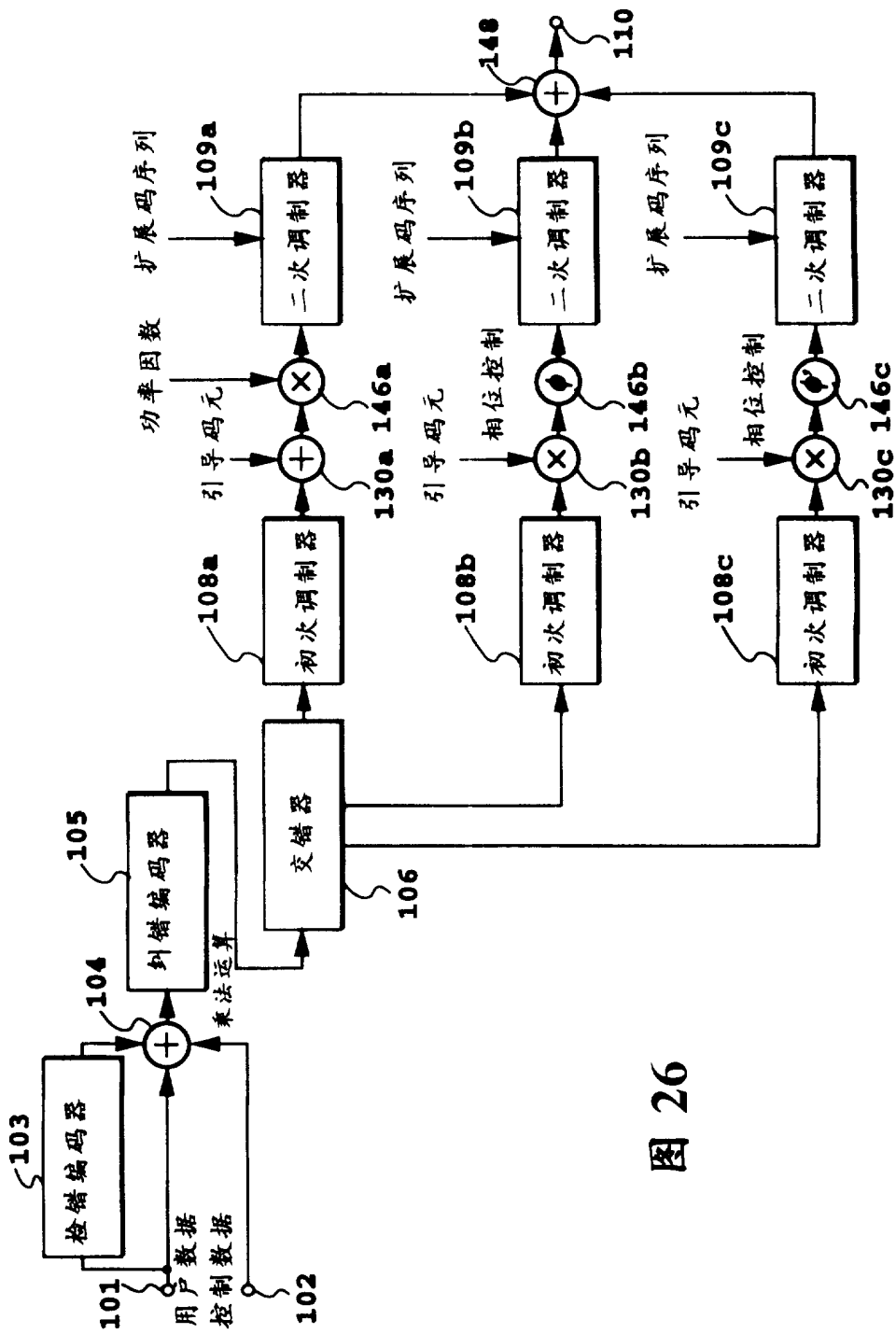


图 26

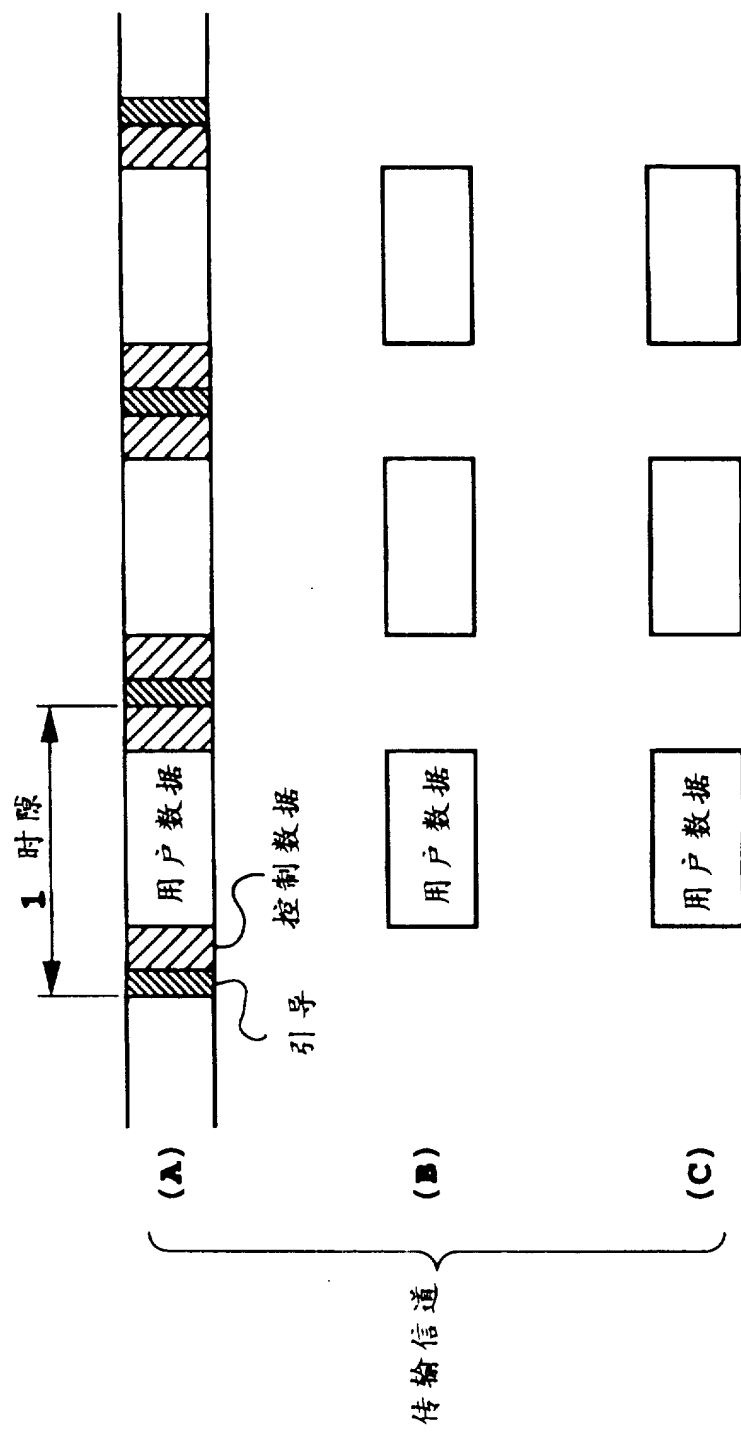


图 27

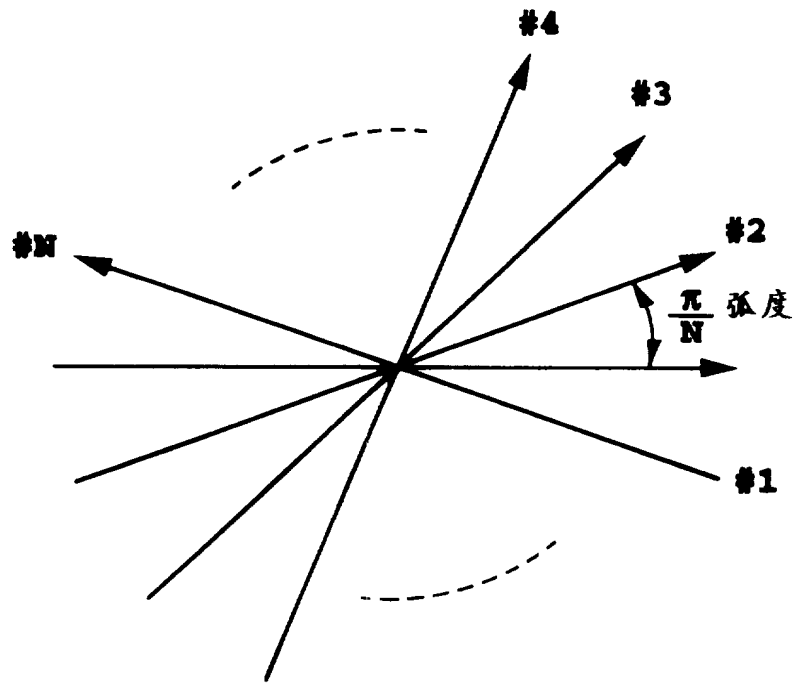


图 28