

王 新 宿 三 丁 目 第 二 ビ ル 5 F ク ラ フ ト
国際特許事務所 Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

input transistor from a connection node for the capacitance and the first current source within a prescribed period for initializing the connection node to the lower of the pair of output potentials, and connects the connection node and the drain of the input transistor outside of the prescribed period.

(57) 要約: カラム毎に比較器を設けた固体撮像素子において、比較器の応答性を改善する。入力トランジスタは、ソースに入力された入力電位とゲートに入力された所定の参照電位とが略一致するか否かに基づいて一対の出力電位の一方から他方までの範囲内の電位をドレインから出力する。第1の電流源は、一定の電流を供給する。容量は、入力トランジスタのソースと第1の電流源との間に挿入される。遮断スイッチは、容量および第1の電流源の接続ノードを一対の出力電位のうち低い方に初期化するための所定期間内に接続ノードから入力トランジスタのドレインを切り離し、所定期間外に接続ノードと前記入カトランジスタのドレインとを接続する。

明 細 書

発明の名称： 固体撮像素子、および、撮像装置

技術分野

[0001] 本技術は、固体撮像素子に関する。詳しくは、比較器およびカウンタを設けた固体撮像素子、および、撮像装置に関する。

背景技術

[0002] 従来より、固体撮像素子などにおいては、構造が簡易であることから、シングルスロープ型のADC（Analog to Digital Converter）がAD（Analog to Digital）変換に用いられることが多い。このシングルスロープ型のADCは、一般的には比較器と、その比較器の比較結果に基づいて計数を行うカウンタとから構成される。この比較器内に、例えば、pMOS（p-channel Metal-Oxide-Semiconductor）トランジスタ、電流源および論理ゲート（インバータなど）を配置した固体撮像素子が提案されている（例えば、特許文献1参照。）。このpMOSトランジスタは、画素回路からの画素信号と参照信号とを比較し、その比較結果をドレインからインバータを介して出力する。この比較結果は、カウンタの計数開始直前において、ハイレベルの参照電圧の入力によりローレベルに初期化される。

先行技術文献

特許文献

[0003] 特許文献1：米国特許出願公開第2018／0103222号

発明の概要

発明が解決しようとする課題

[0004] 上述の固体撮像素子では、画素回路の電流を比較器が共用することにより、画素回路と別途に比較器にも電流源を設ける構成と比較して消費電力の削減を図っている。しかしながら、上述の固体撮像素子では、初期化の際に、出力がハイレベルからローレベルに遷移する速度を速く（言い換えれば、比較器の応答性を改善）することが困難である。応答性を改善するために参照

電圧の値を十分に高くすると、オフ状態のpMOSトランジスタのリーク電流は低下するものの、消費電力が増大してしまう。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、カラム毎に比較器を設けた固体撮像素子において、比較器の応答性を改善することを目的とする。

課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、ソースに入力された入力電位とゲートに入力された所定の参照電位とが略一致するか否かに基づいて一対の出力電位の一方から他方までの範囲内の電位をドレインから出力する入力トランジスタと、一定の電流を供給する第1の電流源と、前記入力トランジスタのソースと前記第1の電流源との間に挿入された容量と、前記容量および前記第1の電流源の接続ノードを前記一対の出力電位のうち低い方に初期化するための所定期間内に前記接続ノードから前記入力トランジスタのドレインを切り離し、前記所定期間外に前記接続ノードと前記入力トランジスタのドレインとを接続する第1の遮断スイッチとを具備する固体撮像素子である。これにより、応答性が改善するという作用をもたらす。

[0007] また、この第1の側面において、前記第1の遮断スイッチは、前記入力トランジスタのドレインと前記第1の電流源との間において並列に接続されたN型トランジスタおよびP型トランジスタを備えてもよい。これにより、遮断スイッチの影響を受けることなく比較動作を行うことができる。

[0008] また、この第1の側面において、上記第1の遮断スイッチは、N型トランジスタを備えてもよい。これにより、トランジスタの個数が削減されるという作用をもたらす。

[0009] また、この第1の側面において、ソースに入力された上記入力電位とゲートに入力された上記接続ノードの電位との間の差が所定の閾値電圧を超えるか否かに基づいて上記入力電位より低い所定電位から上記入力電位までの範囲内の電位をドレインから出力する第1の出力トランジスタと、上記所定期

間内に上記第1の出力トランジスタのソースとドレインとを短絡する出力側短絡スイッチとをさらに具備してもよい。これにより、応答性が改善するという作用をもたらす。

[0010] また、この第1の側面において、上記所定期間の前のオートゼロ期間内に上記入力トランジスタのゲートとドレインとを接続するオートゼロトランジスタをさらに具備し、上記出力側短絡スイッチは、上記オートゼロ期間内と上記所定期間内とに上記第1の出力トランジスタのソースとドレインとを短絡してもよい。これにより、オートゼロ期間の発振が抑制されるという作用をもたらす。

[0011] また、この第1の側面において、上記出力側短絡スイッチは、上記第1の出力トランジスタのソースとドレインとの間において並列に接続されたN型トランジスタおよびP型トランジスタを備えてもよい。これにより、比較結果のレベルが電源電位の中間程度である場合に第1の出力トランジスタのソースとドレインとが短絡されるという作用をもたらす。

[0012] また、この第1の側面において、上記出力側短絡スイッチは、N型トランジスタを備えてもよい。これにより、トランジスタの個数が削減されるという作用をもたらす。

[0013] また、この第1の側面において、上記出力側短絡スイッチは、P型トランジスタを備えてもよい。これにより、トランジスタの個数が削減されるという作用をもたらす。

[0014] また、この第1の側面において、ソースに入力された上記入力電位とゲートに入力された上記第1の出力トランジスタのドレインとの間の差が所定の閾値電圧を超えるか否かに基づいて上記所定電位から上記入力電位までの範囲内の電圧をドレインから出力する第2の出力トランジスタをさらに具備してもよい。これにより、比較器のゲインが上がることから線形性が良くなる。

[0015] また、この第1の側面において、上記所定期間内に上記入力トランジスタのドレインとソースとを短絡する入力側短絡スイッチをさらに具備してもよ

い。これにより、特性劣化が抑制されるという作用をもたらす。

[0016] また、この第1の側面において、上記第1の出力トランジスタのドレインの電位に基づいて上記所定電位および上記入力電位よりも電位差の大きな一対のシフト電位の出力信号を出力するレベルシフト回路と、上記一対のシフト電位の間の所定の閾値より上記出力信号が高いか否かを判定して判定結果を出力する論理ゲートとをさらに具備してもよい。これにより、設計自由度が向上するという作用をもたらす。

[0017] また、この第1の側面において、上記一対のシフト電位の一方は、上記入力電位より高い電源電位であり、他方は、上記所定電位より低い基準電位であり、上記レベルシフト回路は、上記入力電位の垂直信号線にゲートが接続され、上記第1の出力トランジスタのドレイにソースが接続されるN型トランジスタと、上記N型トランジスタのドレインの電位を上記電源電位に初期化する電源側プリチャージトランジスタと、上記N型トランジスタのドレインにゲートが接続され、上記論理ゲートにドレインが接続されたP型トランジスタと、上記P型トランジスタのドレインの電位を上記基準電位に初期化する基準側プリチャージトランジスタとを備えてもよい。これにより、4つのトランジスタによって電圧回路が拡大されるという作用をもたらす。

[0018] また、この第1の側面において、ソースに入力された前記入力電位とゲートに入力された前記接続ノードの電位との間の差が所定の閾値電圧を超えるか否かに基づいて前記入力電位より低い所定電位から前記入力電位までの範囲内の電位をドレインから出力する第1の出力トランジスタと、一定の電流を供給する第2の電流源と前記参照電位のセtringの開始タイミングの前に前記第1の出力トランジスタのドレインを前記第2の電流源から切り離し、前記開始タイミングから一定期間に亘って前記第1の出力トランジスタのドレインと前記第2の電流源とを接続する第2の遮断スイッチと、前記第2の電流源にドレインが接続されたクランプトランジスタと、前記開始タイミングの前に前記第1の出力トランジスタのソースと前記クランプトランジスタのソースとを接続し、前記開始タイミングから一定期間に亘って前記第1

の出力トランジスタのソースを前記クランプトランジスタのソースから切り離す制御スイッチとをさらに具備してもよい。これにより、キックバックが抑制されるという作用をもたらす。

[0019] また、この第1の側面において、前記制御スイッチおよび前記クランプトランジスタの接続ノードの電位に基づいて前記所定電位および前記入力電位よりも電位差の大きな一対のシフト電位の出力信号を出力するレベルシフト回路をさらに具備してもよい。これにより、設計自由度が向上するという作用をもたらす。

[0020] また、この第1の側面において、前記入力トランジスタのゲートに並列に接続される入力容量の個数を切り替える入力容量切替回路をさらに具備してもよい。これにより、ノイズが低減するという作用をもたらす。

[0021] また、本技術の第2の側面は、ソースに入力された入力電位とゲートに入力された所定の参照電位とが略一致する場合には上記入力電位に応じたドレイン電位をドレインから出力する入力トランジスタと、ソースに入力された上記入力電位とゲートに入力された上記ドレイン電位との間の差が所定の閾値電圧を超えるか否かに基づいて所定電位から上記入力電位までの範囲内の電位をドレインから出力する第1の出力トランジスタと、上記第1の出力トランジスタのドレインを上記入力電位に初期化するための所定期間内に上記第1の出力トランジスタのソースとドレインとを短絡する出力側短絡スイッチとを具備する固体撮像素子である。これにより、応答性が改善するという作用をもたらす。

[0022] また、本技術の第3の側面は、ソースに入力された入力電位とゲートに入力された所定の参照電位とが略一致する場合には所定のクランプ電位をドレインから出力する入力トランジスタと、前記ドレインの電位を前記クランプ電位より高いハイレベルに初期化するための所定期間内に前記入力トランジスタのソースとドレインとを短絡する入力側短絡スイッチとを具備する固体撮像素子である。これにより、応答性が改善するという作用をもたらす。

[0023] また、本技術の第4の側面は、ソースに入力された入力電位とゲートに入

力された所定の参照電位とが略一致するか否かに基づいて一対の出力電位の一方から他方までの範囲内の電位をドレインから出力する入力トランジスタと、所定の定電流を供給する電流源と、上記入力トランジスタのソースと上記電流源との間に挿入された容量と、上記容量および上記電流源の接続ノードを上記一対の出力電位のうち低い方に初期化するための所定期間内に上記接続ノードから上記入力トランジスタのドレインを切り離し、上記所定期間外に上記接続ノードと上記入力トランジスタのドレインとを接続する遮断スイッチと、上記接続ノードの電位が反転するまでの期間に亘って計数値を計数するカウンタとを具備する撮像装置である。これにより、応答性が改善するという作用をもたらす。

[0024] また、本技術の第5の側面は、画素に接続された垂直信号線と、前記垂直信号線に接続されたソースと所定の参照電位に基づいた信号を受けるゲートとを具備するトランジスタと、一定の電流を供給する電流源と、前記トランジスタのソースと前記電流源との間に挿入された容量と、前記容量および前記電流源の接続ノードと前記トランジスタのドレインとに接続されたスイッチとを具備する固体撮像素子である

[0025] また、本技術の第6の側面は、画素に接続された垂直信号線と、前記垂直信号線に接続されたソースと所定の参照電位に基づいた信号を受けるゲートとを具備する第1のトランジスタと、一定の電流を供給する電流源と、前記垂直信号線に接続されたソースと前記電流源に接続されたゲートとを具備する第2のトランジスタと、前記第2のトランジスタの前記ソースとドレインとに接続されたスイッチとを具備する固体撮像素子である。

図面の簡単な説明

[0026] [図1]本技術の第1の実施の形態における撮像装置の一構成例を示すブロック図である。

[図2]本技術の第1の実施の形態における固体撮像素子の積層構造の一例を示す図である。

[図3]本技術の第1の実施の形態における固体撮像素子の一構成例を示すブロ

ック図である。

[図4]本技術の第1の実施の形態における画素回路の一構成例を示す回路図である。

[図5]本技術の第1の実施の形態におけるカラム信号処理部の一構成例を示すブロック図である。

[図6]本技術の第1の実施の形態における比較器の一構成例を示す回路図である。

[図7]本技術の第1の実施の形態における遮断スイッチとインバータとの一構成例を示す回路図である。

[図8]本技術の第1の実施の形態における応答性の改善効果を説明するための図である。

[図9]本技術の第1の実施の形態における固体撮像素子の動作の一例を示すタイミングチャートである。

[図10]本技術の第1の実施の形態における信号レベルの変換期間内に黒レベルが入力された場合のタイミングチャートの一例である。

[図11]本技術の第1の実施の形態における信号レベルの変換期間内に白レベルが入力された場合のタイミングチャートの一例である。

[図12]本技術の第1の実施の形態における固体撮像素子の動作の一例を示すフローチャートである。

[図13]本技術の第1の実施の形態の第1の変形例における比較器の一構成例を示す回路図である。

[図14]本技術の第1の実施の形態の第2の変形例における比較器の一構成例を示す回路図である。

[図15]本技術の第2の実施の形態における比較器の一構成例を示す回路図である。

[図16]本技術の第2の実施の形態における固体撮像素子の動作の一例を示すタイミングチャートである。

[図17]本技術の第2の実施の形態における信号レベルの変換期間内に黒レベ

ルが入力された場合のタイミングチャートの一例である。

[図18]本技術の第2の実施の形態における信号レベルの変換期間内に白レベルが入力された場合のタイミングチャートの一例である。

[図19]本技術の第2の実施の形態の第1の変形例における比較器の一構成例を示す回路図である。

[図20]本技術の第2の実施の形態の第2の変形例における比較器の一構成例を示す回路図である。

[図21]本技術の第3の実施の形態における比較器の一構成例を示す回路図である。

[図22]本技術の第3の実施の形態における固体撮像素子の動作の一例を示すタイミングチャートである。

[図23]本技術の第4の実施の形態における比較器の一構成例を示す回路図である。

[図24]本技術の第5の実施の形態における比較器の一構成例を示す回路図である。

[図25]本技術の第6の実施の形態における比較器の一構成例を示す回路図である。

[図26]本技術の第6の実施の形態におけるレベルシフト回路の一構成例を示す回路図である。

[図27]本技術の第6の実施の形態における固体撮像素子の動作の一例を示すタイミングチャートである。

[図28]本技術の第7の実施の形態における比較器の一構成例を示す回路図である。

[図29]本技術の第7の実施の形態における固体撮像素子の動作の一例を示すタイミングチャートである。

[図30]本技術の第7の実施の形態の第1の変形例における比較器の一構成例を示す回路図である。

[図31]本技術の第7の実施の形態の第2の変形例における比較器の一構成例

を示す回路図である。

[図32]本技術の第7の実施の形態の第3の変形例における比較器の一構成例を示すブロック図である。

[図33]本技術の第7の実施の形態の第3の変形例における比較回路の一構成例を示す回路図である。

[図34]本技術の第7の実施の形態の第3の変形例における比較器の一構成例を示すブロック図である。

[図35]本技術の第7の実施の形態の第3の変形例における固体撮像素子の動作の一例を示すタイミングチャートである。

[図36]比較例における比較器の一構成例を示す回路図である。

[図37]比較例における固体撮像素子の動作の一例を示すタイミングチャートである。

[図38]本技術の第8の実施の形態における比較器の一構成例を示す回路図である。

[図39]本技術の第8の実施の形態における固体撮像素子の動作の一例を示すタイミングチャートである。

[図40]本技術の第8の実施の形態におけるN型のクランプトランジスタを追加した比較器の一構成例を示す回路図である。

[図41]本技術の第8の実施の形態の第1の変形例における比較器の一構成例を示す回路図である。

[図42]本技術の第8の実施の形態の第1の変形例における固体撮像素子の動作の一例を示すタイミングチャートである。

[図43]本技術の第8の実施の形態の第2の変形例における比較器の一構成例を示す回路図である。

[図44]本技術の第8の実施の形態の第2の変形例における入力容量切替回路の一構成例を示す回路図である。

[図45]車両制御システムの概略的な構成例を示すブロック図である。

[図46]撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0027] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第1の実施の形態（遮断スイッチにより応答速度を高速化する例）
2. 第2の実施の形態（短絡スイッチにより応答速度を高速化する例）
3. 第3の実施の形態（遮断スイッチおよび出力側短絡スイッチにより応答速度を高速化する例）
4. 第4の実施の形態（3段目のトランジスタを追加し、遮断スイッチおよび出力側短絡スイッチにより応答速度を高速化する例）
5. 第5の実施の形態（入力側短絡スイッチを追加し、遮断スイッチおよび出力側短絡スイッチにより応答速度を高速化する例）
6. 第6の実施の形態（レベルシフト回路を設け、遮断スイッチおよび出力側短絡スイッチにより応答速度を高速化する例）
7. 第7の実施の形態（異なる波形のランプ信号に対応し、短絡スイッチにより応答速度を高速化する例）
8. 第8の実施の形態（遮断スイッチ、クランプトランジスタおよび制御スイッチによりキックバックを抑制する例）
9. 移動体への応用例

[0028] <1. 第1の実施の形態>

[撮像装置の構成例]

図1は、本技術の第1の実施の形態における撮像装置100の一構成例を示すブロック図である。この撮像装置100は、画像データを撮像するための装置であり、光学部110、固体撮像素子200およびDSP（Digital Signal Processing）回路120を備える。さらに撮像装置100は、表示部130、操作部140、バス150、フレームメモリ160、記憶部170および電源部180を備える。撮像装置100としては、スマートフォンに搭載されるカメラや、車載カメラなどが想定される。

[0029] 光学部110は、被写体からの光を集光して固体撮像素子200に導くも

のである。固体撮像素子200は、光電変換により画像データを生成するものである。この固体撮像素子200は、生成した画像データをDSP回路120に信号線209を介して供給する。

[0030] DSP回路120は、画像データに対して所定の信号処理を実行するものである。このDSP回路120は、処理後の画像データをバス150を介してフレームメモリ160などに出力する。

[0031] 表示部130は、画像データを表示するものである。表示部130としては、例えば、液晶パネルや有機EL (Electro Luminescence) パネルが想定される。操作部140は、ユーザの操作に従って操作信号を生成するものである。

[0032] バス150は、光学部110、固体撮像素子200、DSP回路120、表示部130、操作部140、フレームメモリ160、記憶部170および電源部180が互いにデータをやりとりするための共通の経路である。

[0033] フレームメモリ160は、画像データを保持するものである。記憶部170は、画像データなどの様々なデータを記憶するものである。電源部180は、固体撮像素子200、DSP回路120や表示部130などに電源を供給するものである。

[0034] 図2は、本技術の第1の実施の形態における固体撮像素子200の積層構造の一例を示す図である。この固体撮像素子200は、回路チップ202と、その回路チップ202に積層された受光チップ201とを備える。これらのチップは、ビアなどの接続部を介して電氣的に接続される。なお、ビアの他、Cu-Cu接合やバンプにより接続することもできる。

[0035] [固体撮像素子の構成例]

図3は、本技術の第1の実施の形態における固体撮像素子200の一構成例を示すブロック図である。この固体撮像素子200は、垂直走査回路210、タイミング制御部220、DAC (Digital to Analog Converter) 230、画素アレイ部240、カラム信号処理部260および水平走査回路270を備える。画素アレイ部240には、複数の画素回路250が二次元格子

状に配列される。

[0036] 画素アレイ部240は、例えば、受光チップ201に配置され、残りの回路は回路チップ202に配置される。なお、それぞれのチップに配置する回路は、同図に例示したものに限定されない。

[0037] 垂直走査回路210は、画素アレイ部240内の行を順に選択して駆動するものである。

[0038] タイミング制御部220は、垂直同期信号VSYNCに同期して、垂直走査回路210、DAC230、カラム信号処理部260および水平走査回路270の動作タイミングを制御するものである。

[0039] DAC230は、のこぎり波状のランプ信号を生成し、参照信号としてカラム信号処理部260に供給するものである。

[0040] 画素回路250は、垂直走査回路210の制御に従って、光電変換によりアナログの画素信号を生成するものである。各列の画素回路250は、垂直信号線（不図示）を介してカラム信号処理部260に画素信号を出力する。

[0041] カラム信号処理部260には、画素回路250の列ごとにADC（不図示）が配置される。ADCのそれぞれは、対応する列の画素信号をデジタル信号に変換し、水平走査回路270の制御に従ってDSP回路120に出力する。

[0042] 水平走査回路270は、カラム信号処理部260を制御して、デジタル信号を順に出力させるものである。

[0043] [画素回路の構成例]

図4は、本技術の第1の実施の形態における画素回路250の一構成例を示す回路図である。この画素回路250は、光電変換素子251、転送トランジスタ252、リセットトランジスタ253、浮遊拡散層254、増幅トランジスタ255および選択トランジスタ256を備える。また、画素アレイ部240において、垂直方向に沿って垂直信号線259が列ごとに配線されている。

[0044] 光電変換素子251は、入射光を光電変換して電荷を生成するものである

。転送トランジスタ252は、垂直走査回路210からの駆動信号TRGに従って、光電変換素子251から浮遊拡散層254へ電荷を転送するものである。

[0045] リセットトランジスタ253は、垂直走査回路210からの駆動信号RSTに従って、浮遊拡散層254から電荷を引き抜いて初期化するものである。

[0046] 浮遊拡散層254は、電荷を蓄積し、電荷量に応じた電圧を生成するものである。増幅トランジスタ255は、浮遊拡散層254の電圧を増幅するものである。

[0047] 選択トランジスタ256は、垂直走査回路210からの駆動信号SELに従って、増幅された電圧の信号を画素信号としてカラム信号処理部260へ垂直信号線259を介して出力するものである。

[0048] [カラム信号処理部の構成例]

図5は、本技術の第1の実施の形態におけるカラム信号処理部260の一構成例を示すブロック図である。このカラム信号処理部260には、比較器300、カウンタ261およびラッチ262が列ごとに配置される。列数がN（Nは、整数）である場合には、比較器300、カウンタ261およびラッチ262は、N個ずつ配置される。

[0049] 比較器300は、DAC230からの参照信号と、対応する列からの画素信号とを比較するものである。参照信号の電位を以下、参照電位 V_{RMP} とし、画素信号を伝送する垂直信号線259の電位を以下、入力電位 V_{VSL} とする。この比較器300は、比較結果を示す出力信号VCOを、対応する列のカウンタ261に供給する。

[0050] また、画素回路250が初期化されたときの画素信号のレベル（すなわち、入力電位 V_{VSL} ）を、以下、「リセットレベル」と称し、浮遊拡散層254へ電荷が転送されたときの画素信号のレベルを、以下、「信号レベル」と称する。

[0051] カウンタ261は、出力信号VCOが反転するまでの期間に亘って計数値

を計数するものである。このカウンタ 261 は、例えば、リセットレベルに対応する出力信号 VCO が反転するまでの期間に亘ってダウンカウントし、信号レベルに対応する出力信号 VCO が反転するまでの期間に亘ってアップカウントする。これにより、リセットレベルと信号レベルとの差分を求める CDS (Correlated Double Sampling) 処理が実現される。

[0052] そして、カウンタ 261 は、計数値を示すデジタル信号をラッチ 262 に保持させる。比較器 300 およびカウンタ 261 により、アナログの画素信号をデジタル信号に変換する AD 変換処理が実現される。すなわち、比較器 300 およびカウンタ 261 は、ADC として機能する。このように比較器 およびカウンタを用いる ADC は、一般に、シングルスロープ型の ADC と呼ばれる。

[0053] なお、CDS 処理をアップカウントおよびダウンカウントにより実現しているが、この構成に限定されない。カウンタ 261 がアップカウントおよびダウンカウントのいずれかのみを行い、差分を求める CDS 処理を後段の回路が実行する構成としてもよい。

[0054] ラッチ 262 は、デジタル信号を保持するものである。このラッチ 262 は、水平走査回路 270 の制御に従って、保持したデジタル信号を出力する。

[0055] [比較器の構成例]

図 6 は、本技術の第 1 の実施の形態における比較器 300 の一構成例を示す回路図である。この比較器 300 は、入力容量 311、入力トランジスタ 312、オートゼロトランジスタ 313、遮断スイッチ 330、電流源 314、帯域制限容量 315、および、クランプトランジスタ 316 を備える。さらに、比較器 300 は、出力トランジスタ 317、電流源 318 およびクランプトランジスタ 319 と、インバータ 340 および 350 とを備える。

[0056] 入力容量 311 は、DAC 230 と、入力トランジスタ 312 のゲートとの間に挿入される。

[0057] 入力トランジスタ 312 のソースは、垂直信号線 259 に接続され、その

ソースには垂直信号線259の電位である入力電位 V_{VSL} が入力される。また、入力トランジスタ312のゲートには、入力容量311を介して、参照電位 V_{RMP} が入力される。入力トランジスタ312は、ソースに入力された入力電位 V_{VSL} とゲートに入力された参照電位 V_{RMP} とが略一致するときに、その入力電位 V_{VSL} と参照電位 V_{RMP} に応じたドレイン電圧をドレインから出力する。ここで、「略一致」とは、比較対象の各々の電位が完全一致、または、差分が所定の許容値以内であることを意味する。この許容値は、入力トランジスタ312の閾値電圧 V_t に設定される。この入力トランジスタ312として、例えば、pMOS (p-channel Metal-Oxide-Semiconductor) トランジスタが用いられる。

[0058] オートゼロトランジスタ313は、タイミング制御部220からの制御信号AZSWに従って、入力トランジスタ312のゲートと、ドレインとの間を短絡するものである。オートゼロトランジスタ313として、例えば、pMOSトランジスタが用いられる。

[0059] この電流源314は、一定の電流を供給するものである。この電流源314は、nMOS (n-channel MOS) トランジスタなどにより実現される。

[0060] 帯域制限容量315は、垂直信号線259（すなわち、入力トランジスタのソース）と、電流源314との間に挿入される。帯域制限容量315の配置により、遮断周波数未満の低周波数帯域などの所定の帯域を制限することができる。なお、帯域制限容量315は、特許請求の範囲に記載の容量の一例である。

[0061] 遮断スイッチ330は、タイミング制御部220からの制御信号XPAC1およびPAC1に従って、帯域制限容量315および電流源314の接続ノード329と、入力トランジスタ312のドレインとの間の経路を開閉するものである。遮断スイッチ330が閉状態の際に、接続ノード329から、入力トランジスタ312のドレイン電圧が比較結果CMP1として出力される。

[0062] クランプトランジスタ316は、入力トランジスタ312のソースと接続

ノード329との間に挿入される。クランプトランジスタ316として、p MOS (n-channel MOS) トランジスタが用いられ、そのゲートは、ドレインと短絡される。また、クランプトランジスタ316のバックゲートとソースとは、短絡することが望ましい。このクランプトランジスタ316により、入力トランジスタ312がオフ状態のときの、そのドレイン電圧の低下を抑制することができる。入力電位 V_{VSL} よりも、クランプトランジスタ316のドレインーソース間電圧の分だけ低い電位を以下、「クランプ電位 V_{CLP} 」と称する。

[0063] 出力トランジスタ317のソースは、垂直信号線259に接続され、そのソースには入力電位 V_{VSL} が入力される。また、出力トランジスタ317のゲートは、入力トランジスタ312のドレインに接続され、比較結果CMP1が入力される。この出力トランジスタ317として、例えば、p MOS トランジスタが用いられる。また、出力トランジスタ317のバックゲートとソースとは短絡することが望ましい。

[0064] 出力トランジスタ317は、ソースに入力された入力電位 V_{VSL} とゲートに入力された比較結果CMP1との間の差が所定の閾値電圧を超えるか否かを示す信号を比較結果CMP2としてドレインから出力する。この比較結果CMP2は、インバータ340に入力される。なお、出力トランジスタ317は、特許請求の範囲に記載の第2の出力トランジスタの一例である。

[0065] ここで、画素信号と参照信号とが略一致する際、入力トランジスタ312のドレイン電圧（すなわち、比較結果CMP1）は、画素信号のレベルに応じて変動する。このため、比較結果CMP1を、例えば、接地電位基準の固定された閾値を持つ後段回路に入力した場合、ドレイン電圧の反転するタイミングが、画素信号および参照信号が略一致する理想的なタイミングからずれてしまうことがある。

[0066] 同図の接続により、入力トランジスタ312のドレインーソース間電圧が、出力トランジスタ317のゲートーソース間電圧として入力される。入力トランジスタ312のドレイン電圧の変動量は、画素信号の電圧の変動量と

同等であるため、出力トランジスタ 317 からの比較結果 CMP 2 は、画素信号および参照信号が略一致する理想的なタイミングで反転する。この比較結果 CMP 2 を、例えば、接地電位基準の固定された閾値を持つ後段回路に接続した場合、比較結果 CMP 2 は比較結果 CMP 1 と同様に画素信号レベルによって変動するが、比較結果 CMP 1 よりもゲインが高いため誤差が見えにくくなる。このように、出力トランジスタ 317 の追加により、反転タイミングの誤差を抑制することができる。

[0067] 電流源 318 は、出力トランジスタ 317 のドレインと、基準電位 V_{SS} との間に挿入され、一定の電流を供給する。電流源 318 は、nMOS トランジスタなどにより実現される。

[0068] クランプトランジスタ 319 は、出力トランジスタ 317 のソースとドレインとの間に挿入される。クランプトランジスタ 319 として、pMOS (n-channel MOS) トランジスタが用いられ、そのゲートは、ドレインと短絡される。また、クランプトランジスタ 319 のバックゲートとソースとは、短絡することが望ましい。このクランプトランジスタ 319 により、出力トランジスタ 317 がオフ状態のときの、そのドレイン電圧の低下を抑制することができる。クランプトランジスタ 319 に対応するクランプ電位は、クランプトランジスタ 316 に対応するクランプ電位と略同一であるものとする。

[0069] なお、比較器 300 内に、クランプトランジスタ 316、出力トランジスタ 317 およびクランプトランジスタ 319 を配置しているが、これらの少なくとも 1 つを設けない構成とすることもできる。出力トランジスタ 317 を設けない場合、電流源 318 およびクランプトランジスタ 319 は不要となる。

[0070] 参照電位 V_{RMP} は、AD 変換の開始時にオートゼロ時より高く設定され、AD 変換期間内において時間の経過に伴って低下する。ここで、AD 変換期間は、カウンタ 261 が計数を行うための期間である。AD 変換期間の開始時に 1 段目の入力トランジスタ 312 はオフ状態となり、クランプトランジス

タ 3 1 6 に電流が流れ、遮断スイッチ 3 3 0 を介して接続ノード 3 2 9 から、入力電位 V_{VSL} より低いクランプ電位 V_{CLP} が比較結果 CMP 1 として出力される。2 段目の出力トランジスタ 3 1 7 は、オン状態となり、入力電位 V_{VSL} を比較結果 CMP 2 として出力する。

[0071] そして、参照電位 V_{RMP} が下がり、上記略一致状態である、入力トランジスタ 3 1 2 のゲート電位が入力電位 V_{VSL} から入力トランジスタ 3 1 2 の閾値 V_t を引いた値低くなると、1 段目の入力トランジスタ 3 1 2 はオン状態に遷移し、比較結果 CMP 1 は、入力電位 V_{VSL} に反転する。2 段目の出力トランジスタ 3 1 7 はオフ状態に遷移し、比較結果 CMP 2 は、クランプ電位 V_{CLP} に反転する。

[0072] このように、比較結果 CMP 1 の電位は、クランプ電位 V_{CLP} から入力電位 V_{VSL} までの範囲内の値である。また、カウンタ 2 6 1 の計数期間（すなわち、AD 変換期間）内に、接続ノード 3 2 9 から出力される比較結果 CMP 1 は、ローレベル（クランプ電位 V_{CLP} ）からハイレベル（入力電位 V_{VSL} ）に遷移する。このため、AD 変換期間の直前に、接続ノード 3 2 9 の電位をローレベルに初期化する必要がある。タイミング制御部 2 2 0 は、そのローレベルに初期化するタイミングにおいて、所定のパルス期間に亘って遮断スイッチ 3 3 0 を開状態に制御する。これにより、接続ノード 3 2 9 は、入力トランジスタ 3 1 2 のドレインから切り離される。また、パルス期間外では、遮断スイッチ 3 3 0 は閉状態に制御され、接続ノード 3 2 9 は、入力トランジスタ 3 1 2 のドレインと接続される。

[0073] なお、入力トランジスタ 3 1 2 から出力されるクランプ電位 V_{CLP} および入力電位 V_{VSL} は、特許請求の範囲に記載の一对の出力電位の一例である。

[0074] インバータ 3 4 0 は、比較結果 CMP 2 を反転し、反転信号をインバータ 3 5 0 に供給するものである。インバータ 3 5 0 は、インバータ 3 4 0 からの反転信号を反転し、出力信号 VCO としてカウンタ 2 6 1 に供給するものである。

[0075] なお、インバータ 3 4 0 や 3 5 0 の代わりに、バッファや NOR（否定論

理和) ゲートなどの他の論理ゲートを設けることもできる。インバータ 340 および 350 は、特許請求の範囲に記載の論理ゲートの一例である。

[0076] [遮断スイッチおよびインバータの構成例]

図 7 は、本技術の第 1 の実施の形態における遮断スイッチ 330 とインバータ 340 および 350 との一構成例を示す回路図である。同図における a は、遮断スイッチ 330 の一構成例を示す回路図である。同図における b は、インバータ 340 および 350 の一構成例を示す回路図である。

[0077] 同図における a に例示するように、遮断スイッチ 330 は、入力トランジスタ 312 のドレインと、電流源 314 との間において、並列に接続された nMOS トランジスタ 331 および pMOS トランジスタ 332 を備える。nMOS トランジスタ 331 のゲートには、制御信号 X P A C 1 が入力され、pMOS トランジスタ 332 のゲートには制御信号 P A C 1 が入力される。制御信号 X P A C 1 は、位相が P A C 1 と 180 度異なる信号である。

[0078] なお、nMOS トランジスタ 331 は、特許請求の範囲に記載の N 型トランジスタの一例であり、pMOS トランジスタ 332 は、特許請求の範囲に記載の P 型トランジスタの一例である。

[0079] また、同図における b に例示するように、インバータ 340 は、pMOS トランジスタ 341 および nMOS トランジスタ 342 を備える。インバータ 350 は、pMOS トランジスタ 351 および nMOS トランジスタ 352 を備える。

[0080] インバータ 340 内の pMOS トランジスタ 341 および nMOS トランジスタ 342 は、電源電位 V D D C と基準電位 V S S C との間において直列に接続される。これらのトランジスタのゲートには、比較結果 C M P 2 が入力される。pMOS トランジスタ 341 および nMOS トランジスタ 342 の接続ノードからインバータ 350 へ、反転信号 I N V が出力される。ここで、電源電位 V D D B は、画素回路 250 の電源電位 V D D A と異なる電源電位である。また、基準電位 V S S C は、比較器 300 の基準電位 V S S B と異なる電位である。

- [0081] インバータ350内のpMOSトランジスタ351およびnMOSトランジスタ352は、電源電位 V_{DDC} と基準電位 V_{SSC} との間において直列に接続される。これらのトランジスタのゲートには、反転信号 INV が入力される。pMOSトランジスタ351およびnMOSトランジスタ352の接続ノードからカウンタ261へ出力信号 V_{CO} が出力される。
- [0082] インバータ340および350により、その前段の電源電位 V_{ddb} を、より低い電源電位 V_{DDC} に変換することができる。
- [0083] 図8は、本技術の第1の実施の形態における応答性の改善効果を説明するための図である。同図におけるaは、遮断スイッチ330を設けない比較例の比較器300の一構成例を示す回路図である。同図におけるbは、本技術の第1の実施の形態における比較器300の一構成例を示す回路図である。
- [0084] 同図におけるaに例示するように、遮断スイッチ330を設けず、入力トランジスタ312のドレインが接続ノード329に接続された構成の比較例を想定する。この比較例において、接続ノード329の電位をハイレベル（入力電位 V_{VSL} ）からローレベル（クランプ電位 V_{CLP} ）に遷移させるために、入力電位 V_{VSL} 以上のハイレベルの参照電位 V_{RMP} が入力トランジスタ312に入力されたものとする。
- [0085] ハイレベルの参照電位 V_{RMP} が入力されると、入力トランジスタ312はオフ状態に移行し、比較結果 $CMP1$ はハイレベルからローレベルに遷移する。ただし、参照電位 V_{RMP} と入力電位 V_{VSL} との差は比較的小さいため、入力トランジスタ312は完全にオフせず、弱くオフして入力トランジスタ312のドレインソース間にリーク電流が流れる。
- [0086] また、電流源314は一定の電流を供給するため、入力トランジスタ312のリーク電流と電流源314の供給する定電流との差分の電流により、帯域制限容量315が放電される。同図におけるaの細い矢印は、差分の電流およびリーク電流を示す。太い矢印は、定電流を示す。
- [0087] 入力に応じて比較結果 $CMP1$ がローレベルに遷移する速度（すなわち、応答速度）は、スルーレートとセトリングタイムとにより決定される。1段

目のスルーレートは、帯域制限容量 315 を放電電流により放電した際の接続ノード 329 の電位の立下りの速度を意味する。1 段目のセトリングタイムは、入力トランジスタ 312 の出力インピーダンスと、帯域制限容量 315 とを含む RC 回路を想定した際に接続ノード 329 の電位がローレベルに遷移するまでの時間を意味する。放電電流が大きいほどスルーレートが向上し、応答速度が上昇する。また、帯域制限容量 315 の容量値が大きいほどセトリングタイムは長くなり、応答速度が低下する。

[0088] 特に入力トランジスタ 312 は、ソース接地であるため、ドレインコンダクタンスを g_{ds} とすると、その出力インピーダンスは $1/g_{ds}$ と比較的高い。また、同図における a では、リーク電流および定電流の差分の電流（細い矢印）により放電されるため、リーク電流の無い場合よりも放電電流が小さくなり、応答速度が低下する。また、入力トランジスタ 312 のドレインソース間の寄生容量が帯域制限容量 315 の一部に見えるため、寄生容量が無い場合よりも容量値が大きくなり、応答速度が低下する。同図における点線の容量は寄生容量を示す。

[0089] これに対して、同図における b に例示するように、遮断スイッチ 330 を設けて開状態にした場合、リーク電流が遮断されるため、比較例よりも放電電流が大きくなる。また、入力トランジスタ 312 が切り離されるため、そのドレインソース間の寄生容量の分だけ、容量値が小さくなる。これにより、比較例よりも応答速度が上昇し、応答性が改善される。

[0090] [固体撮像素子の動作例]

図 9 は、本技術の第 1 の実施の形態における固体撮像素子 200 の動作の一例を示すタイミングチャートである。同図における一点鎖線は、垂直信号線 259 の電位（入力電位 V_{VSL} ）を示す。

[0091] タイミング T0 からタイミング T1 までのオートゼロ期間において DAC 230 は、参照電位 V_{RMP} をオートゼロ電位 V_{AZ} にする。また、タイミング制御部 220 は、制御信号 AZSW をローレベルにする。これにより、比較結果 CMP1 および CMP2 は、オートゼロ電位 V_{AZ} となる。また、制御信号

PAC1はローレベルに制御され、制御信号XPAC1はハイレベルに制御される。これにより、遮断スイッチ330は閉状態となる。

[0092] タイミングT1乃至T8においてタイミング制御部220は、制御信号AZSWをハイレベルにする。また、タイミングT1においてタイミング制御部220は、所定のパルス期間に亘って、制御信号PAC1をハイレベルにし、制御信号XPAC1をローレベルにする。これにより、遮断スイッチ330は開状態となる。

[0093] タイミングT1からT2までの期間内にDAC230は、参照電位 V_{RMP} をオートゼロ時より高くする。これにより、入力トランジスタ312はオフ状態となり、クランプ電位 V_{CLP} の比較結果CMP1を出力する。このときのクランプ電位は、信号レベルに対応するクランプ電位より高く、この電位を V_{CLPH} とする。この期間内に出力トランジスタ317は、オン状態となり、リセットレベル V_{VSL} の比較結果CMP2を出力する。また、インバータ350は、ハイレベルの出力信号VCOを出力する。

[0094] ここで、比較結果CMP1、CMP2および出力信号VCOは、実際にはハイレベルおよびローレベルの一方から他方へ瞬時に遷移せず、遷移が完了するまでに、時定数などに応じた所定時間を要する。しかし、同図では、説明の便宜上、瞬時に遷移するものとして波形が記載されている。

[0095] そして、タイミングT2乃至T4の期間内にDAC230は、参照電位 V_{RMP} を時間の経過に伴って低下させる。この期間は、リセットレベルのAD変換期間に該当する。この期間内のタイミングT3で、参照電位 V_{RMP} と入力電位 V_{VSL} との差が、入力トランジスタ312の閾値電圧 V_t 未満になったものとする。このときに、入力トランジスタ312は、オン状態に遷移し、比較結果CMP1は、リセットレベル V_{VSL} に反転する。出力トランジスタ317は、オフ状態に遷移し、比較結果CMP2は、クランプ電位 V_{CLPH} に反転する。出力信号VCOは、ローレベルに反転する。

[0096] タイミングT5においてタイミング制御部220は、所定のパルス期間に亘って、制御信号PAC1をハイレベルにし、制御信号XPAC1をローレ

ベルにする。これにより、遮断スイッチ 330 は開状態となる。

[0097] また、タイミング T5 から T6 までの期間内に DAC 230 は、参照電位 V_{RMP} をオートゼロ時より高くする。これにより、入力トランジスタ 312 はオフ状態となり、クランプ電位 V_{CLP} の比較結果 CMP 1 を出力する。このときのクランプ電位は、黒レベルに対応するクランプ電位より低く、この電位を V_{CLPL} とする。この期間内に出力トランジスタ 317 は、オン状態となり、信号レベル V_{VSL} の比較結果 CMP 2 を出力する。また、インバータ 350 は、ハイレベルの出力信号 VCO を出力する。

[0098] そして、タイミング T6 乃至 T8 の期間内に DAC 230 は、参照電位 V_{RMP} を時間の経過に伴って低下させる。この期間は、信号レベルの AD 変換期間に該当する。この期間内のタイミング T7 で、参照電位 V_{RMP} と入力電位 V_{VSL} との差が閾値電圧 V_t 未満になったものとする。このときに、比較結果 CMP 1 は、信号レベル V_{VSL} に反転し、比較結果 CMP 2 は、クランプ電位 V_{CLPL} に反転する。出力信号 VCO は、ローレベルに反転する。

[0099] 同図に例示したように、タイミング制御部 220 は、AD 変換期間の直前のタイミング T1 や T5 において、所定のパルス期間に亘って遮断スイッチ 330 を開状態に制御する。

[0100] 図 10 は、本技術の第 1 の実施の形態における信号レベルの変換期間内に黒レベルが入力された場合のタイミングチャートの一例である。同図における a は、垂直信号線 259 の電位（入力電位 V_{VSL} ）と、参照電位 V_{RMP} との波形の一例を示す図である。同図における b は、遮断スイッチ 330 の無い比較例における比較結果 CMP 1 の波形の一例を示す図である。同図における c は、遮断スイッチ 330 を設けた第 1 の実施の形態における比較結果 CMP 1 の波形の一例を示す図である。

[0101] 同図における a の一点鎖線に例示するように、信号レベルとして、リセットレベルと略同一の黒レベルが入力される。

[0102] 同図における b に例示するように、遮断スイッチ 330 の無い比較例では、比較結果 CMP 1 がハイレベルからローレベルに遷移する際の傾きが緩や

かでローレベルに遷移するまでの時間が長くなる。同図における太線は、ハイレベルからローレベルに遷移する際の軌跡を示す。また、タイミングT2やT6の直後において、クランプ電位まで低下しないうちに、ハイレベルへの遷移を開始するため、リセットレベルの変換時と、信号レベルの変換時とで、ローレベルからハイレベルまでの振幅が異なる。同図における両端が矢印の線分は振幅の大きさを示す。これにより、比較器300の特性が劣化するおそれがある。

[0103] これに対して、同図におけるcに例示するように、遮断スイッチ330を設けた場合、リーク電流や寄生容量の遮断により、ハイレベルからローレベルに遷移する際の傾きが急峻となり、ローレベルに遷移するまでの時間が短くなる。また、クランプ電位まで低下してからハイレベルへの遷移を開始するため、リセットレベルの変換時と、信号レベルの変換時とで、ローレベルからハイレベルまでの振幅が同一になる。これにより、比較器300の特性劣化を抑制することができる。

[0104] 図11は、本技術の第1の実施の形態における信号レベルの変換期間内に白レベルが入力された場合のタイミングチャートの一例である。同図におけるaは、垂直信号線259の電位（入力電位 V_{VSL} ）と、参照電位 V_{RMP} との波形の一例を示す図である。同図におけるbは、遮断スイッチ330の無い比較例における比較結果CMP1の波形の一例を示す図である。同図におけるcは、遮断スイッチ330を設けた第1の実施の形態における比較結果CMP1の波形の一例を示す図である。

[0105] 同図におけるaの一点鎖線に例示するように、信号レベルとして、リセットレベルより低い白レベルが入力される。

[0106] 同図におけるbに例示するように、遮断スイッチ330の無い比較例では、比較結果CMP1がローレベルに遷移するまでの時間が長くなる。また、リセットレベルの変換時と、信号レベルの変換時とで、ローレベルからハイレベルまでの振幅が異なる。

[0107] これに対して、同図におけるcに例示するように、遮断スイッチ330を

設けた場合、リーク電流や寄生容量の遮断により、ローレベルに遷移するまでの時間が短くなる。また、リセットレベルの変換時と、信号レベルの変換時とで、ローレベルからハイレベルまでの振幅が同一になる。

[0108] 図12は、本技術の第1の実施の形態における固体撮像素子200の動作の一例を示すフローチャートである。この動作は、例えば、画像データを撮像するための所定のアプリケーションが実行されたときに開始される。

[0109] 垂直走査回路210は、読出し行を選択し、露光させる（ステップS911）。遮断スイッチ330は、パルス期間内に、入力トランジスタ312を接続ノード329から切り離す（ステップS912）。カラム信号処理部260は、列ごとにリセットレベルをAD変換する（ステップS913）。遮断スイッチ330は、パルス期間内に、入力トランジスタ312を接続ノード329から切り離す（ステップS914）。カラム信号処理部260は、列ごとに信号レベルをAD変換する（ステップS915）。そして、垂直走査回路210は、読出し行が最終行であるか否かを判断する（ステップS916）。

[0110] 読出し行が最終行でない場合（ステップS916：No）、固体撮像素子200は、ステップS911以降を繰り返す。一方、読出し行が最終行である場合（ステップS916：Yes）、固体撮像素子200は、撮像のための動作を終了する。

[0111] なお、図9に例示したタイミングチャートの動作は、図12のステップS912乃至S915に相当する。

[0112] 複数の画像データを連続して撮像する際には、ステップS911乃至S916が垂直同期信号に同期して繰り返し実行される。

[0113] このように本技術の第1の実施の形態によれば、遮断スイッチ330が入力トランジスタ312を接続ノード329から切り離すため、入力トランジスタ312のリーク電流を遮断し、寄生容量を接続ノード329から切り離すことができる。これにより、比較器300の応答性を改善することができる。

[0114] [第1の変形例]

上述の第1の実施の形態では、nMOSトランジスタ331およびpMOSトランジスタ332からなる遮断スイッチ330をカラム毎に配置していた。しかし、この構成では、1つのトランジスタで遮断スイッチ330を実現する場合と比較して、トランジスタの個数が多くなる。この第1の実施の形態の第1の変形例の固体撮像素子200は、nMOSトランジスタ331のみからなる遮断スイッチ330を用いる点において第1の実施の形態と異なる。

[0115] 図13は、本技術の第1の実施の形態の第1の変形例における比較器300の一構成例を示す回路図である。この第1の実施の形態の第1の変形例の比較器300は、nMOSトランジスタ331のみからなる遮断スイッチ330が配置されている点において第1の実施の形態と異なる。nMOSトランジスタ331を制御する制御信号XPAC1の波形は、第1の実施の形態と同様である。

[0116] nMOSトランジスタ331のみで遮断スイッチ330を実現することにより、一对のトランジスタ（nMOSトランジスタ331およびpMOSトランジスタ332）を用いる場合と比較してトランジスタの個数を削減することができる。

[0117] このように、本技術の第1の実施の形態の第1の変形例によれば、nMOSトランジスタ331のみからなる遮断スイッチ330を用いるため、一对のトランジスタを用いる場合と比較してトランジスタの個数を削減することができる。

[0118] [第2の変形例]

上述の第1の実施の形態では、nMOSトランジスタ331およびpMOSトランジスタ332からなる遮断スイッチ330をカラム毎に配置していた。しかし、この構成では、1つのトランジスタで遮断スイッチ330を実現する場合と比較して、トランジスタの個数が多くなる。この第1の実施の形態の第2の変形例の固体撮像素子200は、pMOSトランジスタ332

のみからなる遮断スイッチ330を用いる点において第1の実施の形態と異なる。

[0119] 図14は、本技術の第1の実施の形態の第2の変形例における比較器300の一構成例を示す回路図である。この第1の実施の形態の第2の変形例の比較器300は、pMOSトランジスタ332のみからなる遮断スイッチ330が配置されている点において第1の実施の形態と異なる。pMOSトランジスタ332を制御する制御信号PAC1の波形は、第1の実施の形態と同様である。

[0120] pMOSトランジスタ332のみで遮断スイッチ330を実現することにより、一对のトランジスタ（nMOSトランジスタ331およびpMOSトランジスタ332）を用いる場合と比較してトランジスタの個数を削減することができる。

[0121] 図14および図15に例示したように、nMOSトランジスタ331のみ、または、pMOSトランジスタ332のみのいずれでも遮断スイッチ330を実現することができる。1段目の比較結果CMP1のレベルが比較的低い場合には、nMOSトランジスタ331が用いられる。一方、1段目の比較結果CMP1のレベルが比較的高い場合には、pMOSトランジスタ332が用いられる。また、比較結果CMP2のレベルが電源電位VDDBの中間程度である場合には、第1の実施の形態と同様にnMOSトランジスタ331およびpMOSトランジスタ332の両方が用いられる。

[0122] このように、本技術の第1の実施の形態の第2の変形例によれば、pMOSトランジスタ332のみからなる遮断スイッチ330を用いるため、一对のトランジスタを用いる場合と比較してトランジスタの個数を削減することができる。

[0123] <2. 第2の実施の形態>

上述の第1の実施の形態では、遮断スイッチ330により比較結果CMP1がローレベルに遷移するまでの時間を短くしていた。しかし、遮断スイッチ330では、2段目の比較結果CMP2がハイレベルになるまでの応答速

度を十分に早くすることができないことがある。この第2の実施の形態の固体撮像素子200は、出力トランジスタ317のソースおよびドレインの短絡により応答性を改善する点において第1の実施の形態と異なる。

[0124] 図15は、本技術の第2の実施の形態における比較器300の一構成例を示す回路図である。この第2の実施の形態の比較器300は、遮断スイッチ330の代わりに出力側短絡スイッチ360を備える点において第1の実施の形態と異なる。また、第2の実施の形態の入力トランジスタ312のドレインは、接続ノード329と接続される。

[0125] 出力側短絡スイッチ360は、タイミング制御部220からの制御信号X P A C 2およびP A C 2に従って、出力トランジスタ317のソース（言い換えれば、垂直信号線259）と、そのドレインとの間の経路を開閉するものである。

[0126] 出力側短絡スイッチ360は、例えば、出力トランジスタ317のソースとドレインとの間において、並列に接続されたn M O S トランジスタ361およびp M O S トランジスタ362を備える。制御信号P A C 2は、n M O S トランジスタ361のゲートに入力され、制御信号X P A C 2は、p M O S トランジスタ362のゲートに入力される。制御信号X P A C 2は、位相がP A C 2と180度異なる信号である。

[0127] なお、n M O S トランジスタ361は、特許請求の範囲に記載のN型トランジスタの一例であり、p M O S トランジスタ362は、特許請求の範囲に記載のP型トランジスタの一例である。

[0128] 2段目の比較結果C M P 2の電位は、クランプ電位 V_{CLP} から入力電位 V_{VS} までの範囲内の値である。また、カウンタ261の計数期間（A D変換期間）内に、出力トランジスタ317のドレインからの比較結果C M P 2は、ハイレベル（入力電位 V_{VSL} ）からローレベル（クランプ電位 V_{CLP} ）に遷移する。このため、A D変換期間の直前に、出力トランジスタ317のドレインをハイレベルに初期化する必要がある。

[0129] ここで、入力に応じて比較結果C M P 2がハイレベルに遷移する速度（す

なわち、応答速度）は、スルーレートとセトリングタイムとにより決定される。２段目のスルーレートは、出力トランジスタ３１７のドレイン側の寄生容量を、出力トランジスタ３１７からの充電電流により充電した際のドレインの立ち上がりの速度を意味する。２段目のセトリングタイムは、出力トランジスタ３１７の出力インピーダンスと、寄生容量とを含むＲＣ回路を想定した際にドレインの電位がハイレベルに遷移するまでの時間を意味する。同図における点線の容量は、寄生容量を示す。

[0130] また、２段目の比較結果ＣＭＰ２は、１段目の比較結果ＣＭＰ１に連動し、１段目の応答速度が低下すると２段目の応答速度も低下する。

[0131] タイミング制御部２２０は、ハイレベルに初期化するタイミングにおいて、所定のパルス期間に亘って出力側短絡スイッチ３６０を閉状態に制御する。これにより、出力トランジスタ３１７のソース（垂直信号線２５９）とドレインとが短絡される。垂直信号線２５９の電位は、ハイレベル（入力電位 V_{VSL} ）であるため、短絡により、比較結果ＣＭＰ２がハイレベルに遷移する速度を上昇させることができる。また、オートゼロ期間においても、出力側短絡スイッチ３６０は閉状態に制御される。

[0132] 図１６は、本技術の第２の実施の形態における固体撮像素子２００の動作の一例を示すタイミングチャートである。

[0133] タイミングＴ０からタイミングＴ１までのオートゼロ期間において、タイミング制御部２２０は、制御信号ＰＡＣ２をハイレベルにし、制御信号ＸＰＡＣ２をローレベルにする。これにより、遮断スイッチ３３０は閉状態となる。

[0134] そして、タイミングＴ１からパルス期間が経過するまで、タイミング制御部２２０は、制御信号ＰＡＣ２をハイレベルにし、制御信号ＸＰＡＣ２をローレベルにしたままにする。そのパルス期間経過後は、制御信号ＰＡＣ２はローレベルに制御され、制御信号ＸＰＡＣ２はハイレベルに制御される。これにより、遮断スイッチ３３０は開状態となる。

[0135] リセットレベルの変換期間経過時のタイミングＴ５においてタイミング制

御部 220 は、所定のパルス期間に亘って、制御信号 P A C 2 をハイレベルにし、制御信号 X P A C 1 をローレベルにする。これにより、出力側短絡スイッチ 360 は閉状態となる。そのパルス期間経過後は、制御信号 P A C 2 はローレベルに制御され、制御信号 X P A C 2 はハイレベルに制御される。これにより、遮断スイッチ 330 は開状態となる。

[0136] 同図に例示したように、タイミング制御部 220 は、A D 変換期間の直前のタイミング T 1 や T 5 において、所定のパルス期間に亘って出力側短絡スイッチ 360 を閉状態に制御する。これにより、比較結果 C M P 2 がハイレベルに遷移する速度（応答速度）を上昇させることができる。

[0137] また、タイミング制御部 220 は、タイミング T 0 からタイミング T 1 までのオートゼロ期間内にも出力側短絡スイッチ 360 を閉状態に制御する。1 段目の入力トランジスタ 312 と 2 段目の出力トランジスタ 317 と垂直信号線 259 とでループ回路が形成され、そのループ回路がオートゼロ期間内に発振するおそれがある。しかし、オートゼロ期間内にも出力側短絡スイッチ 360 を閉状態に制御することにより、オートゼロ期間内の発振を抑制することができる。

[0138] 図 17 は、本技術の第 2 の実施の形態における信号レベルの変換期間内に黒レベルが入力された場合のタイミングチャートの一例である。同図における a は、垂直信号線 259 の電位（入力電位 V_{VSL} ）と、参照電位 V_{RMP} との波形の一例を示す図である。同図における b は、出力側短絡スイッチ 360 の無い比較例における比較結果 C M P 2 の波形の一例を示す図である。同図における c は、出力側短絡スイッチ 360 を設けた第 2 の実施の形態における比較結果 C M P 2 の波形の一例を示す図である。

[0139] 同図における a に例示するように、信号レベルとして、リセットレベルと略同一の黒レベルが入力される。

[0140] 同図における b に例示するように、出力側短絡スイッチ 360 の無い比較例では、比較結果 C M P 2 がローレベルからハイレベルに遷移する際の傾きが緩やかでハイレベルに遷移するまでの時間が長くなる。同図における太線

は、ローレベルからハイレベルに遷移する際の軌跡を示す。

[0141] また、タイミングT 6の直後において、リセットレベルに達しないうちに、ローレベルへの遷移を開始するため、リセットレベルの変換時と、信号レベルの変換時とで、ハイレベルからローレベルまでの振幅が異なる。これにより、比較器300の特性が劣化するおそれがある。

[0142] これに対して、同図におけるcに例示するように、出力側短絡スイッチ360を設けた場合、出力トランジスタ317のソース（垂直信号線259）とドレインとの短絡により、ハイレベルに遷移するまでの時間が短くなる。また、リセットレベルに達してからローレベルへの遷移を開始するため、リセットレベルの変換時と、信号レベルの変換時とで、ハイレベルからローレベルまでの振幅が同一になる。これにより、比較器300の特性劣化を抑制することができる。

[0143] 図18は、本技術の第2の実施の形態における信号レベルの変換期間内に白レベルが入力された場合のタイミングチャートの一例である。同図におけるaは、垂直信号線259の電位（入力電位 V_{VSL} ）と、参照電位 V_{RMP} との波形の一例を示す図である。同図におけるbは、出力側短絡スイッチ360の無い比較例における比較結果CMP2の波形の一例を示す図である。同図におけるcは、出力側短絡スイッチ360を設けた第2の実施の形態における比較結果CMP2の波形の一例を示す図である。

[0144] 同図におけるaに例示するように、信号レベルとして、リセットレベルより低い白レベルが入力される。

[0145] 同図におけるbに例示するように、出力側短絡スイッチ360の無い比較例では、比較結果CMP2がハイレベルに遷移するまでの時間が長くなる。また、リセットレベルの変換時と、信号レベルの変換時とで、ハイレベルからローレベルまでの振幅が異なる。

[0146] これに対して、同図におけるcに例示するように、出力側短絡スイッチ360を設けた場合、短絡により、ハイレベルに遷移するまでの時間が短くなる。また、リセットレベルの変換時と、信号レベルの変換時とで、ハイレベ

ルからローレベルまでの振幅が同一になる。

[0147] このように、本技術の第2の実施の形態によれば、出力側短絡スイッチ360が、出力トランジスタ317のソースとドレインとを短絡するため、そのソースの電位（ハイレベル）に比較結果CMP2が遷移する速度を速くすることができる。これにより、応答性を改善することができる。

[0148] [第1の変形例]

上述の第2の実施の形態では、nMOSトランジスタ361およびpMOSトランジスタ362からなる出力側短絡スイッチ360をカラム毎に配置していた。しかし、この構成では、1つのトランジスタで出力側短絡スイッチ360を実現する場合と比較して、トランジスタの個数が多くなる。この第2の実施の形態の第1の変形例の固体撮像素子200は、nMOSトランジスタ361のみからなる出力側短絡スイッチ360を用いる点において第1の実施の形態と異なる。

[0149] 図19は、本技術の第2の実施の形態の第1の変形例における比較器300の一構成例を示す回路図である。この第2の実施の形態の第1の変形例の比較器300は、nMOSトランジスタ361のみからなる出力側短絡スイッチ360が配置されている点において第2の実施の形態と異なる。nMOSトランジスタ361を制御する制御信号PAC2の波形は、第2の実施の形態と同様である。

[0150] nMOSトランジスタ361のみで出力側短絡スイッチ360を実現することより、一对のトランジスタ（nMOSトランジスタ361およびpMOSトランジスタ362）を用いる場合と比較してトランジスタの個数を削減することができる。

[0151] このように、本技術の第2の実施の形態の第1の変形例によれば、nMOSトランジスタ361のみからなる出力側短絡スイッチ360を用いるため、一对のトランジスタを用いる場合と比較してトランジスタの個数を削減することができる。

[0152] [第2の変形例]

上述の第2の実施の形態では、nMOSトランジスタ361およびpMOSトランジスタ362からなる出力側短絡スイッチ360をカラム毎に配置していた。しかし、この構成では、1つのトランジスタで出力側短絡スイッチ360を実現する場合と比較して、トランジスタの個数が多くなる。この第2の実施の形態の第2の変形例の固体撮像素子200は、pMOSトランジスタ362のみからなる出力側短絡スイッチ360を用いる点において第1の実施の形態と異なる。

[0153] 図20は、本技術の第2の実施の形態の第2の変形例における比較器300の一構成例を示す回路図である。この第2の実施の形態の第2の変形例の比較器300は、pMOSトランジスタ362のみからなる出力側短絡スイッチ360が配置されている点において第2の実施の形態と異なる。pMOSトランジスタ362を制御する制御信号XPAC2の波形は、第2の実施の形態と同様である。

[0154] pMOSトランジスタ362のみで出力側短絡スイッチ360を実現することより、一对のトランジスタ（nMOSトランジスタ361およびpMOSトランジスタ362）を用いる場合と比較してトランジスタの個数を削減することができる。

[0155] 図19および図20に例示したように、nMOSトランジスタ361のみ、または、pMOSトランジスタ362のみのいずれでも出力側短絡スイッチ360を実現することができる。2段目の比較結果CMP2のレベルが比較的低い場合には、nMOSトランジスタ361が用いられる。一方、2段目の比較結果CMP2のレベルが比較的高い場合には、pMOSトランジスタ362が用いられる。また、比較結果CMP2のレベルが電源電位VDDBの中間程度である場合には、第2の実施の形態と同様にnMOSトランジスタ361およびpMOSトランジスタ362の両方が用いられる。

[0156] このように、本技術の第2の実施の形態の第2の変形例によれば、pMOSトランジスタ362のみからなる出力側短絡スイッチ360を用いるため、一对のトランジスタを用いる場合と比較してトランジスタの個数を削減す

ることができる。

[0157] <3. 第3の実施の形態>

上述の第1の実施の形態では、遮断スイッチ330により比較結果CMP1がローレベルに遷移するまでの時間を短くしていた。しかし、遮断スイッチ330のみでは、2段目の比較結果CMP2がハイレベルになるまでの応答速度を十分に早くすることができないことがある。この第3の実施の形態の固体撮像素子200は、出力トランジスタ317のソースおよびドレインを短絡するスイッチの追加により、応答性をさらに改善する点において第1の実施の形態と異なる。

[0158] 図21は、本技術の第3の実施の形態における比較器300の一構成例を示す回路図である。この第3の実施の形態の比較器300は、出力側短絡スイッチ360をさらに備える点において第1の実施の形態と異なる。この出力側短絡スイッチ360は、第2の実施の形態の第2の変形例と同様に、pMOSトランジスタ362のみにより実現される。第3の実施の形態は、第1の実施の形態に第2の実施の形態の第2の変形例を適用したものである。

[0159] 出力側短絡スイッチ360の追加により、2段目の出力がハイレベルに遷移する速度を速くして、比較器300の応答性をさらに改善することができる。

[0160] なお、遮断スイッチ330内にnMOSトランジスタ331およびpMOSトランジスタ332の両方を設けているが、これらの一方のみを設けてもよい。

[0161] また、pMOSトランジスタ362のみにより出力側短絡スイッチ360を実現しているが、この構成に限定されない。出力側短絡スイッチ360内にnMOSトランジスタ361およびpMOSトランジスタ362の両方を設けてもよいし、nMOSトランジスタ361のみを設けてもよい。

[0162] 図22は、本技術の第3の実施の形態における固体撮像素子200の動作の一例を示すタイミングチャートである。タイミング制御部220は、制御信号XPAC2をさらに供給し、出力側短絡スイッチ360を制御する。制

御信号X P A C 2の波形は、第2の実施の形態の第2の変形例と同様である。

[0163] このように、本技術の第3の実施の形態によれば、出力側短絡スイッチ360が、出力トランジスタ317のソースとドレインとを短絡するため、そのソースの電位（ハイレベル）に比較結果CMP 2が遷移する速度を速くすることができる。これにより、応答性をさらに改善することができる。

[0164] <4. 第4の実施の形態>

上述の第3の実施の形態では、入力トランジスタ312および出力トランジスタ317の2段のトランジスタを配置していたが、出力トランジスタ317と同等の構成の3段目のトランジスタを追加することもできる。この第4の実施の形態の固体撮像素子200は、3段目のトランジスタを追加した点において第3の実施の形態と異なる。

[0165] 図23は、本技術の第4の実施の形態における比較器300の一構成例を示す回路図である。この第4の実施の形態の比較器300は、インバータ340が配置されず、出力トランジスタ320、電流源321およびクランプトランジスタ322を備える点において第3の実施の形態と異なる。

[0166] 出力トランジスタ320のソースは、垂直信号線259に接続され、そのソースには入力電位 V_{VSL} が入力される。また、出力トランジスタ320のゲートは、2段目の出力トランジスタ317のドレインに接続され、比較結果CMP 2が入力される。3段目の出力トランジスタ320として、例えば、pMOSトランジスタが用いられる。また、出力トランジスタ320のバックゲートとソースとは短絡することが望ましい。

[0167] 出力トランジスタ320は、ソースに入力された入力電位 V_{VSL} とゲートに入力された比較結果CMP 2との間の差が所定の閾値電圧を超えるか否かを示す信号を比較結果CMP 3としてドレインから出力する。この比較結果CMP 3は、インバータ350に入力される。なお、出力トランジスタ320は、特許請求の範囲に記載の第2の出力トランジスタの一例である。

[0168] 電流源321は、出力トランジスタ320のドレインと、基準電位VSS

Bとの間に挿入され、一定の電流を供給する。電流源321は、nMOSトランジスタなどにより実現される。

[0169] クランプトランジスタ322は、出力トランジスタ320のソースとドレインとの間に挿入される。クランプトランジスタ322として、pMOSトランジスタが用いられ、そのゲートは、ドレインと短絡される。また、クランプトランジスタ322のバックゲートとソースとは、短絡することが望ましい。

[0170] AD変換期間の直前に2段目の出力側短絡スイッチ360がオン状態に移移すると、3段目のゲートソース間電圧がゼロに近くなり、出力トランジスタ320は強制的にオフ状態となり、比較結果CMP3はクランプ電位に移移する。このため、1段目と異なり、3段目に遮断スイッチ330は不要である。

[0171] 同図に例示するように、出力トランジスタ320を3段目に追加したため、インバータ340は削減される。

[0172] なお、遮断スイッチ330および出力側短絡スイッチ360の両方を配置しているが、いずれか一方のみを配置することもできる。また、遮断スイッチ330および出力側短絡スイッチ360のそれぞれには、nMOSトランジスタおよびpMOSトランジスタの両方を設けてもよいし、それらの一方のみを設けてもよい。

[0173] また、出力トランジスタ320と同等のトランジスタをさらに追加し、4段以上にすることもできる。この場合、4段目以降において偶数段には出力側短絡スイッチ360と同等のスイッチを設けた方がよいが、奇数段にはなくてもよい。

[0174] このように、本技術の第4の実施の形態では、入力電位 V_{VSL} と比較結果CMP2との間の差が所定の閾値電圧を超えるか否かを判断する出力トランジスタ320を3段目に追加したため、比較器300のゲインが上がり、線形性が良くなる。

[0175] <5. 第5の実施の形態>

上述の第3の実施の形態では、遮断スイッチ330が、AD変換の直前に入力トランジスタ312のドレインを接続ノード329から切り離し、入力トランジスタ312はオフ状態に遷移していた。しかし、この構成では、オフ状態の入力トランジスタ312のドレインがハイインピーダンスのノードになってしまう。ハイインピーダンスのノードは、容量カップリングにより容易に電位が変動するため、その変動に起因して入力トランジスタ312のゲートの電位が変動し、比較器300の特性が劣化するおそれがある。この第5の実施の形態の固体撮像素子200は、入力トランジスタ312のソースとドレインとの短絡により、特性劣化を抑制した点において第3の実施の形態と異なる。

[0176] 図24は、本技術の第5の実施の形態における比較器300の一構成例を示す回路図である。この第5の実施の形態の比較器300は、入力側短絡スイッチ370をさらに備える。

[0177] 入力側短絡スイッチ370は、制御信号PAC1およびXPAC1に従って、入力トランジスタ312のソース（垂直信号線259）とドレインとの間の経路を開閉するものである。

[0178] また、入力側短絡スイッチ370は、例えば、入力トランジスタ312のソースとドレインとの間において、並列に接続されたnMOSトランジスタ371およびpMOSトランジスタ372を備える。制御信号PAC1は、nMOSトランジスタ371のゲートに入力され、制御信号XPAC1は、pMOSトランジスタ372のゲートに入力される。

[0179] 制御信号PAC1およびXPAC1に従って、入力側短絡スイッチ370は、遮断スイッチ330が開状態になるときに閉状態となり、入力トランジスタ312のソースとドレインとを短絡する。これにより、入力トランジスタ312のドレインがハイインピーダンスのノードになることを防止し、特性劣化を抑制することができる。

[0180] なお、遮断スイッチ330および出力側短絡スイッチ360の両方を配置しているが、いずれか一方のみを配置することもできる。また、遮断スイッ

チ 330、出力側短絡スイッチ 360 および入力側短絡スイッチ 370 のそれぞれには、nMOS トランジスタおよび pMOS トランジスタの両方を設けてもよいし、それらの一方のみを設けてもよい。また、第 5 の実施の形態に第 4 の実施の形態を適用することもできる。

[0181] このように本技術の第 5 の実施の形態によれば、入力側短絡スイッチ 370 が入力トランジスタ 312 のソースとドレインとを短絡するため、そのドレインがハイインピーダンス状態になることを防止することができる。これにより、比較器 300 の特性劣化を抑制することができる。

[0182] < 6. 第 6 の実施の形態 >

上述の第 3 の実施の形態では、出力トランジスタ 317 が比較結果 CMP2 をインバータ 340 に入力していたが、その電圧範囲が狭いと、インバータ 340 の誤動作やリーク電流が生じるおそれがある。この第 6 の実施の形態の固体撮像素子 200 は、電圧範囲を拡大するレベルシフト回路を追加した点において第 3 の実施の形態と異なる。

[0183] 図 25 は、本技術の第 6 の実施の形態における比較器 300 の一構成例を示す回路図である。この第 6 の実施の形態の比較器 300 は、インバータ 340 を備えず、レベルシフト回路 380 をさらに備える点において第 3 の実施の形態と異なる。

[0184] レベルシフト回路 380 は、比較結果 CMP2 に基づいて入力電位 V_{VSL} およびクランプ電位 V_{CLP} よりも電位差の大きい一対の電位（言い換えれば、ハイレベルおよびローレベル）のいずれかを出力信号としてインバータ 350 に出力する。ハイレベルは、例えば、入力電位 V_{VSL} よりも高い電源電位に設定される。ローレベルは、例えば、クランプ電位 V_{CLP} より低い基準電位に設定される。なお、入力電位 V_{VSL} およびクランプ電位 V_{CLP} は、特許請求の範囲に記載の一対の出力電位の一例である。電源電位および基準電位は、特許請求の範囲に記載の一対のシフト電位の一例である。

[0185] レベルシフト回路 380 を設けることにより、インバータ 350 の入力側の電圧範囲を第 3 の実施の形態よりも拡大することができる。電圧範囲の拡

大により、その範囲の下限や上限とインバータ 350 の閾値との差が十分に大きくなり、インバータ 350 の誤動作やリーク電流を防止することができる。これにより、インバータ 350 の誤動作やリーク電流を防止するための設計上の制約が緩和され、設計自由度が向上する。なお、レベルシフト回路 380 は、電源側、接地側の両方を拡大しているが、一方のみを拡大してもよい。

[0186] なお、遮断スイッチ 330 および出力側短絡スイッチ 360 の両方を配置しているが、いずれか一方のみを配置することもできる。また、遮断スイッチ 330、出力側短絡スイッチ 360 および入力側短絡スイッチ 370 のそれぞれには、nMOS トランジスタおよび pMOS トランジスタの両方を設けてもよいし、それらの一方のみを設けてもよい。また、第 6 の実施の形態に第 4 の実施の形態や第 5 の実施の形態を適用することもできる。

[0187] 図 26 は、本技術の第 6 の実施の形態におけるレベルシフト回路 380 の一構成例を示す回路図である。

[0188] レベルシフト回路 380 は、プリチャージトランジスタ 381 および nMOS トランジスタ 382、pMOS トランジスタ 384 およびプリチャージトランジスタ 385 を備える。プリチャージトランジスタ 381 として、例えば、pMOS トランジスタが用いられる。プリチャージトランジスタ 385 として、例えば、nMOS トランジスタが用いられる。

[0189] プリチャージトランジスタ 381 のソースは、電源電位 V_{DDB} に接続され、ゲートには、タイミング制御部 220 からの制御信号 $PreChg1$ が入力される。プリチャージトランジスタ 381 のドレインは、nMOS トランジスタ 382 のドレインに接続される。ここで、電源電位 V_{DDB} は、画素回路 250 の電源電位 V_{DDA} や、インバータの電源電位 V_{DDC} と異なる電位である。

[0190] nMOS トランジスタ 382 のゲートは、垂直信号線 259 に接続され、ソースには、出力トランジスタ 317 からの比較結果 $CMP2$ が入力される。また、プリチャージトランジスタ 381 および nMOS トランジスタ 38

2の接続ノードは、pMOSトランジスタ384のゲートに接続され、その接続ノードから出力信号nOUTが出力される。nMOSトランジスタ382のバックゲートおよびソースは短絡されている。

[0191] pMOSトランジスタ384のソースは、電源電位VDD_Bに接続され、ゲートは、プリチャージトランジスタ381およびnMOSトランジスタ382の接続ノードに接続される。pMOSトランジスタ384およびプリチャージトランジスタ381の接続ノードからは、出力信号pOUTが出力される。pMOSトランジスタ384のドレインは、プリチャージトランジスタ385のドレインに接続される。

[0192] プリチャージトランジスタ385のソースは、基準電位VSS_Bに接続され、ゲートには、制御信号PreChg2が入力される。また、pMOSトランジスタ384およびプリチャージトランジスタ385の接続ノードは、インバータ350に接続され、その接続ノードから出力信号pOUTが出力される。

[0193] なお、プリチャージトランジスタ381は、特許請求の範囲に記載の電源側プリチャージトランジスタの一例である。nMOSトランジスタ382は、特許請求の範囲に記載のN型トランジスタの一例である。pMOSトランジスタ384は、特許請求の範囲に記載のP型トランジスタの一例である。プリチャージトランジスタ385は、特許請求の範囲に記載の基準側プリチャージトランジスタの一例である。

[0194] タイミング制御部220は、AD変換期間の直前において、制御信号PreChg1およびPreChg2によりプリチャージトランジスタ381および385をオン状態にする。オン状態のプリチャージトランジスタ381は、寄生容量383をプリチャージして、nMOSトランジスタ382のドレインを電源電位VDD_Bに初期化する。また、オン状態のプリチャージトランジスタ385は、寄生容量386をプリチャージして、nMOSトランジスタ382のドレインを基準電位VSS_Bに初期化する。また、AD変換期間中において、プリチャージトランジスタ381および385は、オフ状

態に制御される。

[0195] AD変換の開始時に比較結果CMP 2が入力電位 V_{VSL} （ハイレベル）となる。このとき、nMOSトランジスタ382はオフ状態となり、プリチャージされた寄生容量383の電源電位 $V_{DD B}$ が、出力信号nOUTとして出力される。この出力信号nOUTに応じて、pMOSトランジスタ384はオフ状態となり、プリチャージされた寄生容量386の基準電位 $V_{SS B}$ が、出力信号pOUTとして出力される。

[0196] そして、比較結果CMP 2がクランプ電位 V_{CLP} （ローレベル）に反転すると、nMOSトランジスタ382はオン状態に遷移し、出力信号nOUTの電位は、クランプ電位 V_{CLP} に反転する。そして、この出力信号nOUTに応じて、pMOSトランジスタ384はオン状態に遷移し、出力信号pOUTの電位は、電源電位 $V_{DD B}$ に反転する。

[0197] なお、pMOSトランジスタ384およびプリチャージトランジスタ385を設けない構成とすることもできる。この場合には、インバータ340が追加され、出力信号nOUTがインバータ340へ出力される。また、nMOSトランジスタ382のバックゲートを接地することもできる。

[0198] 図27は、本技術の第6の実施の形態における固体撮像素子200の動作の一例を示すタイミングチャートである。

[0199] タイミング制御部220は、タイミングT0からタイミングT1の直後（タイミングT1からパルス期間が経過したとき）までの間に、制御信号PreChg1をローレベルにし、制御信号PreChg2をハイレベルにする。これにより、プリチャージトランジスタ381および385がプリチャージを行う。その後のタイミングT5までにおいて、制御信号PreChg1はハイレベルに、制御信号PreChg2はローレベルに制御される。

[0200] また、タイミング制御部220は、タイミングT5からパルス期間に亘って制御信号PreChg1をローレベルにし、制御信号PreChg2をハイレベルにしてプリチャージトランジスタ381および385にプリチャージさせる。その後のタイミングT8までにおいて、制御信号PreChg1

はハイレベルに、制御信号 $PreChg2$ はローレベルに制御される。

[0201] 同図においてタイミング $T0$ からタイミング $T1$ までのオートゼロ期間は、2 段目の出力（比較結果 $CMP2$ ）がオートゼロ電位 V_{AZ} となるため、その期間に出力側短絡スイッチ 360 を開状態にすると、 $nMOS$ トランジスタ 382 のゲートソース間に電位差が生じる。この電位差により、 $nMOS$ トランジスタ 382 がオン状態となり、電源電位 V_{DDB} から、プリチャージトランジスタ 381 、 $nMOS$ トランジスタ 382 および電流源 318 にリーク電流が流れるおそれがある。しかし、同図に例示するように、オートゼロ期間内は、制御信号 $XPAC2$ により出力側短絡スイッチ 360 が閉状態に制御されるため、 $nMOS$ トランジスタ 382 をオフ状態となる。このように、オートゼロ期間内に出力側短絡スイッチ 360 を閉状態にすることにより、発振の抑制に加えて、リーク電流を防止することができる。

[0202] このように、本技術の第 6 の実施の形態によれば、レベルシフト回路 380 が、入力電位 V_{VSL} およびクランプ電位 V_{CLP} よりも電位差の大きい一対の電位のいずれかを出力するため、インバータ 350 の入力側の電圧範囲を拡大することができる。電圧範囲の拡大により、その範囲の下限や上限とインバータ 350 の閾値との差が十分に大きくなり、インバータ 350 の誤動作やリーク電流を防止することができる。これにより、誤動作やリーク電流を防止するための、電源電圧や閾値に関する設計上の制約が緩和され、設計自由度を向上させることができる。

[0203] < 7. 第 7 の実施の形態 >

上述の第 1 の実施の形態では、 AD 変換期間内にレベル（参照電位 V_{RMP} ）が徐々に低下するランプ信号を用いていたが、レベルが徐々に上昇するランプ信号を用いることもできる。この第 7 の実施の形態の固体撮像素子 200 は、レベルが徐々に上昇するランプ信号を用いる点において第 1 の実施の形態と異なる。

[0204] 図 28 は、本技術の第 7 の実施の形態における比較器 300 の一構成例を示す回路図である。この第 7 の実施の形態の比較器 300 は、遮断スイッチ

330およびインバータ350を備えず、入力側短絡スイッチ370をさらに備える点において第1の実施の形態と異なる。

[0205] 入力側短絡スイッチ370は、制御信号PAC1およびXPAC1に従って、入力トランジスタ312のソース（垂直信号線259）とドレインとの間の経路を開閉する。

[0206] また、入力側短絡スイッチ370は、例えば、入力トランジスタ312のソースとドレインとの間において、並列に接続されたnMOSトランジスタ371およびpMOSトランジスタ372を備える。制御信号PAC1は、nMOSトランジスタ371のゲートに入力され、制御信号XPAC1は、pMOSトランジスタ372のゲートに入力される。

[0207] 図29は、本技術の第7の実施の形態における固体撮像素子200の動作の一例を示すタイミングチャートである。

[0208] タイミングT0からタイミングT1までのオートゼロ期間においてDAC230は、参照電位 V_{RMP} をオートゼロ電位 V_{AZ} にする。また、タイミング制御部220は、制御信号AZSWをローレベルにする。これにより、比較結果CMP1およびCMP2は、オートゼロ電位 V_{AZ} となる。また、制御信号PAC1はローレベルに制御され、制御信号XPAC1はハイレベルに制御される。これにより入力側短絡スイッチ370は開状態となる。

[0209] タイミングT1乃至T8においてタイミング制御部220は、制御信号AZSWをハイレベルにする。また、タイミングT1においてタイミング制御部220は、所定のパルス期間に亘って、制御信号PAC1をハイレベルにし、制御信号XPAC1をローレベルにする。これにより、入力側短絡スイッチ370は閉状態となる。

[0210] タイミングT1からT2までの期間内にDAC230は、参照電位 V_{RMP} をオートゼロ時より低くする。これにより、入力トランジスタ312はオン状態となり、リセットレベル V_{VSLH} の比較結果CMP1を出力する。この期間内に出力トランジスタ317は、オフ状態となり、クランプ電位 V_{CLPH} の比較結果CMP2を出力する。また、インバータ350は、ハイレベルの出力

信号VCOを出力する。

[0211] そして、タイミングT2乃至T4の期間内にDAC230は、参照電位 V_{RMP} を時間の経過に伴って上昇させる。この期間は、リセットレベルのAD変換期間に該当する。この期間内のタイミングT3で、参照電位 V_{RMP} と入力電位 V_{VSL} との差が、入力トランジスタ312の閾値電圧 V_t 未満になったものとする。このときに、入力トランジスタ312は、オフ状態に遷移し、比較結果CMP1は、クランプ電位 V_{CLPH} に反転する。出力トランジスタ317は、オン状態に遷移し、比較結果CMP2は、リセットレベル V_{VSLH} に反転する。出力信号VCOは、ローレベルに反転する。

[0212] タイミングT5においてタイミング制御部220は、所定のパルス期間に亘って、制御信号PAC1をハイレベルにし、制御信号XPAC1をローレベルにする。これにより、入力側短絡スイッチ370は閉状態となる。

[0213] また、タイミングT5からT6までの期間内にDAC230は、参照電位 V_{RMP} をオートゼロ時より低くする。これにより、入力トランジスタ312はオン状態となり、信号レベル V_{VSL} の比較結果CMP1を出力する。この期間内に出力トランジスタ317は、オフ状態となり、クランプ電位 V_{CLPL} の比較結果CMP2を出力する。また、インバータ350は、ハイレベルの出力信号VCOを出力する。

[0214] そして、タイミングT6乃至T8の期間内にDAC230は、参照電位 V_{RMP} を時間の経過に伴って上昇させる。この期間は、信号レベルのAD変換期間に該当する。この期間内のタイミングT7で、参照電位 V_{RMP} と入力電位 V_{VSL} との差が閾値電圧 V_t 未満になったものとする。このときに、比較結果CMP1は、クランプ電位 V_{CLPL} に反転し、比較結果CMP2は、信号レベル V_{VSL} に反転する。出力信号VCOは、ローレベルに反転する。

[0215] 同図に例示するように、レベルが徐々に上昇するランプ信号を用いる場合は、1段目の出力がハイレベルに遷移する速度を速くする必要があるため、1段目に入力側短絡スイッチ370が設けられる。この場合、ローレベルに遷移する速度を速くするための遮断スイッチ330は不要となる。

[0216] このように、本技術の第7の実施の形態によれば、レベルが徐々に上昇するランプ信号を用いるため、入力側短絡スイッチ370により応答性を改善することができる。

[0217] [第1の変形例]

上述の第7の実施の形態では、nMOSトランジスタ371およびpMOSトランジスタ372からなる入力側短絡スイッチ370をカラム毎に配置していた。しかし、この構成では、1つのトランジスタで入力側短絡スイッチ370を実現する場合と比較して、トランジスタの個数が多くなる。この第7の実施の形態の第1の変形例の固体撮像素子200は、nMOSトランジスタ371のみからなる入力側短絡スイッチ370を用いる点において第7の実施の形態と異なる。

[0218] 図30は、本技術の第7の実施の形態の第1の変形例における比較器300の一構成例を示す回路図である。この第7の実施の形態の第1の変形例の比較器300は、nMOSトランジスタ371のみからなる入力側短絡スイッチ370が配置されている点において第1の実施の形態と異なる。nMOSトランジスタ371を制御する制御信号PAC1の波形は、第7の実施の形態と同様である。

[0219] このように、本技術の第7の実施の形態の第1の変形例によれば、nMOSトランジスタ371のみからなる入力側短絡スイッチ370を用いるため、一对のトランジスタを用いる場合と比較してトランジスタの個数を削減することができる。

[0220] [第2の変形例]

上述の第7の実施の形態では、nMOSトランジスタ371およびpMOSトランジスタ372からなる入力側短絡スイッチ370をカラム毎に配置していた。しかし、この構成では、1つのトランジスタで入力側短絡スイッチ370を実現する場合と比較して、トランジスタの個数が多くなる。この第7の実施の形態の第2の変形例の固体撮像素子200は、pMOSトランジスタ372のみからなる入力側短絡スイッチ370を用いる点において第

1の実施の形態と異なる。

[0221] 図31は、本技術の第7の実施の形態の第2の変形例における比較器300の一構成例を示す回路図である。この第7の実施の形態の第2の変形例の比較器300は、pMOSトランジスタ372のみからなる入力側短絡スイッチ370が配置されている点において第7の実施の形態と異なる。pMOSトランジスタ372を制御する制御信号XPAC1の波形は、第7の実施の形態と同様である。

[0222] このように、本技術の第7の実施の形態の第2の変形例によれば、pMOSトランジスタ372のみからなる入力側短絡スイッチ370を用いるため、一对のトランジスタを用いる場合と比較してトランジスタの個数を削減することができる。

[0223] [第3の変形例]

上述の第7の実施の形態では、入力トランジスタ312および出力トランジスタ317の2段のトランジスタを配置していたが、出力トランジスタ317と同等の構成の3段目のトランジスタを追加することもできる。この第7の実施の形態の第3の変形例の固体撮像素子200は、3段目のトランジスタを追加した点において第7の実施の形態と異なる。

[0224] 図32は、本技術の第7の実施の形態の第3の変形例における比較器300の一構成例を示すブロック図である。この第7の実施の形態の第3の変形例の比較器300は、比較回路310と、インバータ340および350とを備える。

[0225] 図33は、本技術の第7の実施の形態の第3の変形例における比較回路310の一構成例を示す回路図である。この比較回路310は、1段目において、入力容量311、入力トランジスタ312、オートゼロトランジスタ313、入力側短絡スイッチ370、電流源314、帯域制限容量315、および、クランプトランジスタ316を備える。また、比較回路310は、2段目において、出力トランジスタ317、電流源318およびクランプトランジスタ319を備える。比較回路310は、3段目において、出力トラン

ジスタ 320、電流源 321、クランプトランジスタ 322 および出力側短絡スイッチ 360 を備える。

[0226] 図 33 の 1 段目および 2 段目の回路構成は、図 31 に例示したものと同様である。また、図 33 の 3 段目の回路構成は、図 23 の 3 段目に出力側短絡スイッチ 360 を追加したものと同様である。出力側短絡スイッチ 360 は、制御信号 X P A C 3 に従って、出力トランジスタ 320 のソース（垂直信号線 259）とドレインとの間の経路を開閉する。制御信号 X P A C 3 の波形は、制御信号 X P A C 1 と同様である。なお、n M O S トランジスタのみ、p M O S トランジスタのみ、あるいは、それらの両方のいずれでも出力側短絡スイッチ 360 を実現することができる。

[0227] なお、比較回路 310 を 3 段としているが、4 段以上とすることもできる。この場合、奇数段に短絡スイッチを設けることができる。

[0228] このように、本技術の第 7 の実施の形態の第 3 の変形例によれば、出力側短絡スイッチ 360 が、出力トランジスタ 317 のソースとドレインとを短絡するため、そのソースの電位（ハイレベル）に比較結果 C M P 3 が遷移する速度を速くすることができる。これにより、応答性をさらに改善することができる。

[0229] [第 4 の変形例]

上述の第 7 の実施の形態では、比較結果 C M P 2 をインバータ 340 に入力していたが、その電圧範囲が狭いと、インバータ 340 の誤動作やリーク電流が生じるおそれがある。この第 7 の実施の形態の第 4 の変形例の固体撮像素子 200 は、電圧範囲を拡大するレベルシフト回路を追加した点において第 7 の実施の形態と異なる。

[0230] 図 34 は、本技術の第 7 の実施の形態の第 4 の変形例における比較器 300 の一構成例を示すブロック図である。この第 7 の実施の形態の第 3 の変形例の比較器 300 は、比較回路 310、レベルシフト回路 380 およびインバータ 340 を備える。比較回路 310 の構成は、図 33 に例示したものと同様である。レベルシフト回路 380 の回路構成は、図 26 に例示したもの

と同様である。

[0231] 図35は、本技術の第7の実施の形態の第4の変形例における固体撮像素子200の動作の一例を示すタイミングチャートである。

[0232] 制御信号AZSWおよびXPAC1の波形は、図29に例示したものと同様である。タイミング制御部220は、タイミングT1直後の制御信号XPAC1がハイレベルになるタイミングまでの期間に亘って、制御信号XPAC3をローレベルにする。これにより、出力側短絡スイッチ360は閉状態となる。

[0233] タイミング制御部220は、タイミングT1直後の制御信号XPAC1がハイレベルになるタイミングで制御信号XPAC3をハイレベルにする。これにより、出力側短絡スイッチ360は開状態となる。また、タイミングT5においてタイミング制御部220は、所定のパルス期間に亘って、制御信号XPAC1をローレベルにする。

[0234] 1段目の比較結果CMP1の波形は、図29に例示したものと同様である。2段目の比較結果CMP2は、タイミングT3までの期間に亘ってオートゼロ電位 V_{AZ} となる。タイミングT3以降の比較結果CMP2の波形は、図29に例示したものと同様である。

[0235] 制御信号PreChg1およびPreChg2の波形は、図27に例示したものと同様である。出力信号VCOの波形は、図29に例示したものと同様である。

[0236] このように、本技術の第7の実施の形態の第4の変形例によれば、レベルシフト回路380が、入力電位 V_{VSL} およびクランプ電位 V_{CLP} よりも電位差の大きい一対の電位のいずれかを出力するため、インバータ340の入力側の電圧範囲を拡大することができる。

[0237] <8. 第8の実施の形態>

上述の第3の実施の形態では、出力側短絡スイッチ360により出力トランジスタ317のソースとドレインとを短絡していた。しかし、この構成では、入力電位 V_{VSL} がセトリングの際に変動するおそれがある。図21に例示

した第3の実施の形態の回路から、クランプトランジスタ319とインバータ340および350とを削減した構成を比較例とする。

[0238] 図36は、比較例における比較器300の一構成例を示す回路図である。

1段目の比較結果CMP1の出力ノードの寄生容量を402とし、2段目の比較結果CMP2の出力ノードの寄生容量を403とする。

[0239] 図37は、比較例における固体撮像素子200の動作の一例を示すタイミングチャートである。まず、タイミングT0からT1までのオートゼロ期間内にDAC230は、参照電位 V_{RMP} を中立のオートゼロ電位 V_{AZ} にする。その後、参照電位 V_{RMP} がタイミングT1のPOFエッジで一度上がってから、参照電位 V_{RMP} が徐々に減少するP相スロープ期間となる。POFエッジで一度上げるのは逆方向に振っておくことでスロープ部分で確実に反転動作が起こるようにするためである。このP相スロープ期間内で画素回路250がリセットされた際の出力信号VCOが反転するまでの期間に亘って計数値が計数される。

[0240] その後、転送トランジスタ252により転送された信号電荷量に応じて、入力電位 V_{VSL} が低下し、その後に参照電位 V_{RMP} がPOFエッジのタイミングT5で一度上がってから、徐々に減少するD相スロープ期間となる。このD相スロープ期間内に、信号電荷が転送された際の出力信号VCOが反転するまでの期間に亘って計数値が計数される。CDS処理により、D相スロープ期間の計数値からP相スロープ期間の計数値を引くと、正味の信号電荷の量がデジタル値として得られる。なお、同図では、信号電荷の量が0であり、入力電位 V_{VSL} が低下していない状態である。

[0241] この回路動作において、POFエッジやDOFエッジで参照電位 V_{RMP} が上がると1段目の比較結果CMP1は下がりはじめ、クランプトランジスタ316がオン状態に移行したところで下げ止まる。この1段目の比較結果CMP1の立下りを早めるために、タイミング制御部220は、制御信号XPAC1により遮断スイッチ330をタイミングT1やT5から短期間に亘ってオフ状態（開状態）にしている。

- [0242] 一方で、２段目の出力側短絡スイッチ３６０は、参照電位 V_{RMP} がオートゼロ時の電位にあるときにオン状態となって２段目の比較結果CMP２を入力電位 V_{VSL} に固定する。これは、中立状態の時に２段目のアンプを有効にしておく条件によっては回路が発振してしまうためである。
- [0243] この比較例の回路では、POFエッジとDOFエッジを起点に垂直信号線２５９の電位（入力電位 V_{VSL} ）に電位変動（キックバック）が発生することが問題となる。キックバックによる入力電位 V_{VSL} のずれが静定してからスロープ期間に移行するために、P相、D相のスロープ期間直前のセトリング期間（タイミングT１乃至T２とタイミングT５乃至T６）を長くする必要がある。それがAD変換時間の増加となり、フレームレートの低下や平均消費電力の増加をもたらしてしまう。また、キックバックの静定が不十分だとP相やD相のスロープ期間内の計数値がセトリング誤差によってずれるが、P相、D相間やカラム間のミスマッチのためにある程度以上のセトリング誤差はCDSで除去しきれなくなる。この結果、オフセットや縦筋といった画質低下を生じてしまう。
- [0244] 上記のキックバックが生じる原因は、次の通りである。まず、POFエッジやDOFエッジによって１段目の比較結果CMP１の電位が下がった際に１段目の寄生容量（図３６の４０１）が放電される。１段目の電流源３１４が引く電流の一部が、その放電に使われるために、垂直信号線２５９から引かれる電流が短期間減少する。このとき、画素側から流れ続ける電荷の一部が行き場を失って垂直信号線２５９の寄生容量を充電するために、垂直信号線２５９の電位（ V_{VSL} ）が一時的に上がる（すなわち、キックバックが生じる）。
- [0245] 図３８は、本技術の第８の実施の形態における比較器３００の一構成例を示す回路図である。キックバックを抑制するために、第８の実施の形態では、遮断スイッチ４１０、制御スイッチ４２０およびクランプトランジスタ４３０を追加している。
- [0246] 遮断スイッチ４１０は、出力トランジスタ３１７と電流源３１８との間に

挿入される。この遮断スイッチ410は、タイミング制御部220からの制御信号XPAC2AおよびPAC2Aに従って、開状態および閉状態のいずれかに移行する。遮断スイッチ410は、例えば、出力トランジスタ317と電流源318との間において、並列に接続されたnMOSトランジスタ411およびpMOSトランジスタ412を備える。nMOSトランジスタ411のゲートに制御信号XPAC2Aが入力され、pMOSトランジスタ412のゲートに制御信号PAC2Aが入力される。なお、遮断スイッチ410は、nMOSトランジスタ411およびpMOSトランジスタ412の一方のみを備えてもよい。

[0247] クランプトランジスタ430はP型であり、ゲートおよびドレインが電流源318に接続され、ソースが制御スイッチ420に接続される。制御スイッチ420は、出力トランジスタ317のソースとクランプトランジスタ430のソースとの間に挿入される。この制御スイッチ420は、制御信号XPAC2に従って、開状態および閉状態のいずれかに移行する。また、制御スイッチ420は、例えば、pMOSトランジスタ422を備える。なお、制御スイッチ420は、pMOSトランジスタ422の代わりにnMOSトランジスタを備えてもよいし、nMOSトランジスタ422およびpMOSトランジスタの両方を備えてもよい。

[0248] なお、遮断スイッチ330は、特許請求の範囲に記載の第1の遮断スイッチの一例であり、遮断スイッチ410は、特許請求の範囲に記載の第2の遮断スイッチの一例である。電流源314は、特許請求の範囲に記載の第1の電流源の一例であり、電流源318は、特許請求の範囲に記載の第2の電流源の一例である。

[0249] 図39は、本技術の第8の実施の形態における固体撮像素子200の動作の一例を示すタイミングチャートである。キックバックを抑えるために、第8実施形態では、参照電位 V_{RMP} のセトリング期間の前に2段目の比較結果CMP2を下げておくようにしている。さらに、POFエッジとDOFエッジにおいて1段目の比較結果CMP1が下がると同時に2段目の比較結果CM

P 2 が増えるようにしている。

[0250] 遮断スイッチ 4 1 0 と制御スイッチ 4 2 0 とは、どちらか 1 つがオン状態となるように排他的に動作する。セトリグ期間（タイミング T 1 乃至 T 2 など）の前では、制御スイッチ 4 2 0 側がオン状態になることで、2 段目の電流源 3 1 8 の電流は、2 段目のクランプトランジスタ 4 3 0 に流れる。そして、2 段目の比較結果 C M P 2 の電位は、入力電位 V_{VSL} から、クランプトランジスタ 4 3 0 のゲートソース間電圧の分だけ低下したところに落ち着く。セトリグ期間と、それに続くスローブ期間では、遮断スイッチ 4 1 0 側がオン状態になることで、2 段目の電流源 3 1 8 の電流は、2 段目の入力側に流れ、2 段目の比較結果 C M P 2 の電位は、1 段目の比較結果 C M P 1 に応じた反転アンプ出力となる。セトリグ期間には 1 段目の比較結果 C M P 1 の電位は下がっているため 2 段目の比較結果 C M P 1 は増えることになる。

[0251] これによって、P O F エッジと D O F エッジにおいて、1 段目の寄生容量 4 0 1 が放電されると同時に 2 段目の寄生容量 4 0 2 が充電され、これらの充放電電流が相殺することで垂直信号線 2 5 9 から引かれる電流の変化が抑制される。この結果、キックバックの発生を抑えることができる。この際、2 段目のクランプトランジスタ 4 3 0 のサイズを調整することで 2 段目の比較結果 C M P 2 の電位を下げておく時の電位を調整できるので、相殺効果が最大となるように設計することができる。

[0252] キックバックを抑えることで P 相と D 相のランプ信号のセトリグ期間を短くすることができる。その結果、A D 変換時間の増加を回避でき、フレームレートの低下や平均消費電力の増加が抑えられる。

[0253] なお、図 4 0 に例示するように、N 型のクランプトランジスタ 4 4 1 および 4 4 2 をさらに追加することもできる。クランプトランジスタ 4 4 1 は、P 型のクランプトランジスタ 3 1 6 と並列に接続される。クランプトランジスタ 4 4 2 は、制御スイッチ 4 2 0 およびクランプトランジスタ 4 3 0 と並列に接続される。

[0254] 1段目のクランプトランジスタ441は、過大入力によってダイナミックレンジを超えて入力電位 V_{VSL} が下がった時に、1段目の電流源314のドレイン電位が下がりすぎて電流値が変わるのを防ぐために設けられる。2段目のクランプトランジスタ442も同様に2段目の電流源318を保護する役目があるが、こちらは2段目の比較結果CMP2が反転した後に、その電位が下がって電流源318のトランジスタが線形領域に移行しないために設けられる。

[0255] このように、本技術の第8の実施の形態によれば、遮断スイッチ410、制御スイッチ420およびクランプトランジスタ430を追加したため、キックバックを抑制することができる。

[0256] [第1の変形例]

上述の第8の実施の形態では、出力トランジスタ317が比較結果CMP2を出力していたが、その電圧範囲が狭いと、後段の論理ゲート（インバータなど）の誤動作やリーク電流が生じるおそれがある。この第8の実施の形態の第1の変形例の固体撮像素子200は、電圧範囲を拡大するレベルシフト回路を追加した点において第3の実施の形態と異なる。

[0257] 図41は、本技術の第8の実施の形態の第1の変形例における比較器300の一構成例を示す回路図である。この第8の実施の形態の第1の変形例における比較器300は、レベルシフト回路380およびNANDゲート450をさらに備える点において第8の実施の形態と異なる。レベルシフト回路380の回路構成は、図26に例示した回路と同様である。NANDゲート450は、レベルシフト回路380の出力信号pOUTとイネーブル信号ENとの否定論理積を出力信号VCOとして出力するものである。なお、NANDゲート450は、特許請求の範囲に記載の論理ゲートの一例である。

[0258] ただし、図41では、3段目のnMOSトランジスタ382のソースに接続するノードを、2段目の比較結果CMP2のノードでなく、制御スイッチ420およびクランプトランジスタ430の接続ノードとしている。この接続ノードの出力をCMP2'とする。このように接続するのは、ソースを比較

結果CMP 2のノードに接続すると、ランプ信号のセtring期間の前に比較結果CMP 2の電位を下げたことにより、図26のnMOSトランジスタ382のゲートソース間の電位差が開いてオン状態になってしまうためである。

[0259] このセtring期間は、図26に例示した3段目のプリチャージトランジスタ381がオン状態になっている期間であるため、3段目に貫通電流が流れてしまい、誤動作となる。制御スイッチ420およびクランプトランジスタ430の接続ノードをnMOSトランジスタ382のソースに接続することにより、セtring期間の前では、正しく、3段目のnMOSトランジスタ382をオフ状態にすることができる。

[0260] なお、N型のクランプトランジスタ441および442をさらに追加することもできる。

[0261] 図42は、本技術の第8の実施の形態の第1の変形例における固体撮像素子の動作の一例を示すタイミングチャートである。同図における太い一点鎖線は、制御スイッチ420およびクランプトランジスタ430の接続ノードの出力CMP 2'の変動を示す。イネーブル信号ENは、セtring期間の終了時（タイミングT2やT6）までローレベル（ディセーブル）に制御され、セtring期間の終了時からスロープ期間の終了時までハイレベル（イネーブル）に制御される。同図に例示するように、キックバックは抑制されている。

[0262] このように、本技術の第8の実施の形態の第1の変形例によれば、レベルシフト回路380が、入力電位 V_{VSL} およびクランプ電位 V_{CLP} よりも電位差の大きい一対の電位のいずれかを出力するため、入力側の電圧範囲を拡大することができる。

[0263] [第2の変形例]

上述の第8の実施の形態の第1の変形例では、DAC230と入力トランジスタ312のゲートとの間に1個の入力容量311を挿入していたが、この構成では、ノイズを十分に減衰することができないことがある。この第8

の実施の形態の第2の変形例の比較器300は、入力容量切替回路470を追加した点において第8の実施の形態の第1の変形例と異なる。

[0264] 図43は、本技術の第8の実施の形態の第2の変形例における比較器300の一構成例を示す回路図である。この第8の実施の形態の第2の変形例の比較器300は、バッファ460および入力容量切替回路470をさらに備える点において第8の実施の形態の第1の変形例と異なる。バッファ460は、DAC230と入力容量切替回路470との間に挿入される。

[0265] 図44は、本技術の第8の実施の形態の第2の変形例における入力容量切替回路470の一構成例を示す回路図である。この入力容量切替回路470は、入力容量471乃至474と、スイッチ475乃至478とを備える。

[0266] 入力容量471乃至474のそれぞれの一端は、入力トランジスタ312のゲートに共通に接続される。入力容量471の他端は、バッファ460の出力端子に接続される。スイッチ475は、タイミング制御部220の制御に従って入力容量471の他端と、入力容量474の他端との間の経路を開閉するものである。スイッチ476は、タイミング制御部220の制御に従って入力容量472の他端と、入力容量473の他端との間の経路を開閉するものである。スイッチ477は、タイミング制御部220の制御に従って入力容量473の他端と、入力容量474の他端との間の経路を開閉するものである。スイッチ478は、タイミング制御部220の制御に従って入力容量474の他端と接地電位との間の経路を開閉するものである。

[0267] 同図に例示する回路により、入力容量切替回路470は、入力トランジスタ312のゲートに並列に接続される入力容量の個数を1乃至4のいずれかに切り替えることができる。これにより、ランプ信号のバッファ460のノイズや、カラム共通のランプ信号に乗るノイズを低減させることができる。この場合、ランプ信号の傾きは容量分圧によって減衰される分大きくしておくことが望ましい。

[0268] なお、入力容量の個数は、4つに限定されない。入力容量の個数がM（Mは、整数）個の場合、M-1個のスイッチが設けられる。また、レベルシフ

ト回路 380 を設けていない図 38 の回路に入力容量切替回路 470 を追加することもできる。また、N型のクランプトランジスタ 441 および 442 をさらに追加することもできる。

[0269] このように、本技術の第 8 の実施の形態の第 2 の変形例によれば、入力容量切替回路 470 を追加したため、ノイズをさらに低減することができる。

[0270] < 9. 移動体への応用例 >

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0271] 図 45 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0272] 車両制御システム 12000 は、通信ネットワーク 12001 を介して接続された複数の電子制御ユニットを備える。図 45 に示した例では、車両制御システム 12000 は、駆動系制御ユニット 12010、ボディ系制御ユニット 12020、車外情報検出ユニット 12030、車内情報検出ユニット 12040、及び統合制御ユニット 12050 を備える。また、統合制御ユニット 12050 の機能構成として、マイクロコンピュータ 12051、音声画像出力部 12052、及び車載ネットワーク I/F (interface) 12053 が図示されている。

[0273] 駆動系制御ユニット 12010 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 12010 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0274] ボディ系制御ユニット 12020 は、各種プログラムにしたがって車体に

装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット 12020 は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット 12020 には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット 12020 は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0275] 車外情報検出ユニット 12030 は、車両制御システム 12000 を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット 12030 には、撮像部 12031 が接続される。車外情報検出ユニット 12030 は、撮像部 12031 に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット 12030 は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0276] 撮像部 12031 は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部 12031 は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部 12031 が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0277] 車内情報検出ユニット 12040 は、車内の情報を検出する。車内情報検出ユニット 12040 には、例えば、運転者の状態を検出する運転者状態検出部 12041 が接続される。運転者状態検出部 12041 は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット 12040 は、運転者状態検出部 12041 から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0278] マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又

は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

[0279] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0280] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０２０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0281] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図４５の例では、出力装置として、オーディオスピーカ１２０６１、表示部１２０６２及びインストルメントパネル１２０６３が例示されている。表示部１２０６２は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0282] 図４６は、撮像部１２０３１の設置位置の例を示す図である。

[0283] 図４６では、撮像部１２０３１として、撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５を有する。

[0284] 撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0285] なお、図46には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0286] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0287] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的变化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例え

ば、0 km/h以上)で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御(追従停止制御も含む)や自動加速制御(追従発進制御も含む)等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0288] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0289] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部

12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0290] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部12031に適用され得る。具体的には、図1の撮像装置100は、撮像部12031に適用することができる。」等)。撮像部12031に本開示に係る技術を適用することにより、比較器300の応答性を改善してフレームレートを高くし、より見やすい動画を得ることができるため、ドライバの疲労を軽減することが可能になる。

[0291] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0292] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0293] なお、本技術は以下のような構成もとることができる。

(1) ソースに入力された入力電位とゲートに入力された所定の参照電位とが略一致するか否かに基づいて一対の出力電位の一方から他方までの範囲内の電位をドレインから出力する入力トランジスタと、

一定の電流を供給する第1の電流源と、

前記入力トランジスタのソースと前記第1の電流源との間に挿入された容量と、

前記容量および前記第1の電流源の接続ノードを前記一対の出力電位のうち低い方に初期化するための所定期間内に前記接続ノードから前記入力トランジスタのドレインを切り離し、前記所定期間外に前記接続ノードと前記入

カトランジスタのドレインとを接続する第 1 の遮断スイッチとを具備する固体撮像素子。

(2) 前記第 1 の遮断スイッチは、前記入力カトランジスタのドレインと前記第 1 の電流源との間において並列に接続された N 型トランジスタおよび P 型トランジスタを備える

前記 (1) 記載の固体撮像素子。

(3) 前記第 1 の遮断スイッチは、N 型トランジスタを備える

前記 (1) 記載の固体撮像素子。

(4) 前記第 1 の遮断スイッチは、P 型トランジスタを備える

前記 (1) 記載の固体撮像素子。

(5) ソースに入力された前記入力電位とゲートに入力された前記接続ノードの電位との間の差が所定の閾値電圧を超えるか否かに基づいて前記入力電位より低い所定電位から前記入力電位までの範囲内の電位をドレインから出力する第 1 の出力トランジスタと、

前記所定期間内に前記第 1 の出力トランジスタのソースとドレインとを短絡する出力側短絡スイッチと

をさらに具備する前記 (1) から (4) のいずれかに記載の固体撮像素子。

(6) 前記所定期間の前のオートゼロ期間内に前記入力カトランジスタのゲートとドレインとを接続するオートゼロトランジスタをさらに具備し、

前記出力側短絡スイッチは、前記オートゼロ期間内と前記所定期間内とに前記第 1 の出力トランジスタのソースとドレインとを短絡する

前記 (5) 記載の固体撮像素子。

(7) 前記出力側短絡スイッチは、前記第 1 の出力トランジスタのソースとドレインとの間において並列に接続された N 型トランジスタおよび P 型トランジスタを備える

前記 (5) 記載の固体撮像素子。

(8) 前記出力側短絡スイッチは、N 型トランジスタを備える

前記 (5) 記載の固体撮像素子。

(9) ソースに入力された前記入力電位とゲートに入力された前記第1の出力トランジスタのドレインとの間の差が所定の閾値電圧を超えるか否かに基づいて前記所定電位から前記入力電位までの範囲内の電圧をドレインから出力する第2の出力トランジスタをさらに具備する

前記(5)から(8)のいずれかに記載の固体撮像素子。

(10) 前記所定期間内に前記入力トランジスタのドレインとソースとを短絡する入力側短絡スイッチをさらに具備する

前記(5)から(9)のいずれかに記載の固体撮像素子。

(11) 前記第1の出力トランジスタのドレインの電位に基づいて前記所定電位および前記入力電位よりも電位差の大きな一对のシフト電位の出力信号を出力するレベルシフト回路と、

前記一对のシフト電位の間の所定の閾値より上記出力信号が高いか否かを判定して判定結果を出力する論理ゲートと

をさらに具備する

前記(5)から(10)のいずれかに記載の固体撮像素子。

(12) 前記一对のシフト電位の一方は、前記入力電位より高い電源電位であり、他方は、前記所定電位より低い基準電位であり、

前記レベルシフト回路は、

前記入力電位の垂直信号線にゲートが接続され、前記第1の出力トランジスタのドレイにソースが接続されるN型トランジスタと、

前記N型トランジスタのドレインの電位を前記電源電位に初期化する電源側プリチャージトランジスタと、

前記N型トランジスタのドレインにゲートが接続され、前記論理ゲートにドレインが接続されたP型トランジスタと、

前記P型トランジスタのドレインの電位を前記基準電位に初期化する基準側プリチャージトランジスタと

を備える前記(11)記載の固体撮像素子。

(13) ソースに入力された前記入力電位とゲートに入力された前記接続ノ

ードの電位との間の差が所定の閾値電圧を超えるか否かに基づいて前記入力電位より低い所定電位から前記入力電位までの範囲内の電位をドレインから出力する第1の出力トランジスタと、

一定の電流を供給する第2の電流源と

前記参照電位のセトリングの開始タイミングの前に前記第1の出力トランジスタのドレインを前記第2の電流源から切り離し、前記開始タイミングから一定期間に亘って前記第1の出力トランジスタのドレインと前記第2の電流源とを接続する第2の遮断スイッチと、

前記第2の電流源にドレインが接続されたクランプトランジスタと、

前記開始タイミングの前に前記第1の出力トランジスタのソースと前記クランプトランジスタのソースとを接続し、前記開始タイミングから一定期間に亘って前記第1の出力トランジスタのソースを前記クランプトランジスタのソースから切り離す制御スイッチと

をさらに具備する前記(1)記載の固体撮像素子。

(14) 前記制御スイッチおよび前記クランプトランジスタの接続ノードの電位に基づいて前記所定電位および前記入力電位よりも電位差の大きな一対のシフト電位の出力信号を出力するレベルシフト回路をさらに具備する前記

(13)記載の固体撮像素子。

(15) 前記入力トランジスタのゲートに並列に接続される入力容量の個数を切り替える入力容量切替回路をさらに具備する前記(13)または(14)に記載の固体撮像素子。

(16) ソースに入力された入力電位とゲートに入力された所定の参照電位とが略一致する場合には前記入力電位に応じたドレイン電位をドレインから出力する入力トランジスタと、

ソースに入力された前記入力電位とゲートに入力された前記ドレイン電位との間の差が所定の閾値電圧を超えるか否かに基づいて所定電位から前記入力電位までの範囲内の電位をドレインから出力する第1の出力トランジスタと、

前記第 1 の出力トランジスタのドレインを前記入力電位に初期化するための所定期間内に前記第 1 の出力トランジスタのソースとドレインとを短絡する出力側短絡スイッチと
を具備する固体撮像素子。

(17) ソースに入力された入力電位とゲートに入力された所定の参照電位とが略一致する場合には所定のクランプ電位をドレインから出力する入力トランジスタと、

前記ドレインの電位を前記入力電位に初期化するための所定期間内に前記入力トランジスタのソースとドレインとを短絡する入力側短絡スイッチと
を具備する固体撮像素子。

(18) ソースに入力された入力電位とゲートに入力された所定の参照電位とが略一致するか否かに基づいて一对の出力電位の一方から他方までの範囲内の電位をドレインから出力する入力トランジスタと、

所定の定電流を供給する電流源と、

前記入力トランジスタのソースと前記電流源との間に挿入された容量と、

前記容量および前記電流源の接続ノードを前記一对の出力電位のうち低い方に初期化するための所定期間内に前記接続ノードから前記入力トランジスタのドレインを切り離し、前記所定期間外に前記接続ノードと前記入力トランジスタのドレインとを接続する遮断スイッチと、

前記接続ノードの電位が反転するまでの期間に亘って計数値を計数するカウンタと

を具備する撮像装置。

(19) 画素に接続された垂直信号線と、

前記垂直信号線に接続されたソースと所定の参照電位に基づいた信号を受けるゲートとを具備するトランジスタと、

一定の電流を供給する電流源と、

前記トランジスタのソースと前記電流源との間に挿入された容量と、

前記容量および前記電流源の接続ノードと前記トランジスタのドレインと

に接続されたスイッチと

を具備する固体撮像素子。

(20) 画素に接続された垂直信号線と、

前記垂直信号線に接続されたソースと所定の参照電位に基づいた信号を受けるゲートとを具備する第1のトランジスタと、

一定の電流を供給する電流源と、

前記垂直信号線に接続されたソースと前記電流源に接続されたゲートとを具備する第2のトランジスタと、

前記第2のトランジスタの前記ソースとドレインとに接続されたスイッチと

を具備する固体撮像素子。

符号の説明

[0294]	100	撮像装置
	110	光学部
	120	DSP回路
	130	表示部
	140	操作部
	150	バス
	160	フレームメモリ
	170	記憶部
	180	電源部
	200	固体撮像素子
	201	受光チップ
	202	回路チップ
	210	垂直走査回路
	220	タイミング制御部
	230	DAC
	240	画素アレイ部

- 2 5 0 画素回路
- 2 5 1 光電変換素子
- 2 5 2 転送トランジスタ
- 2 5 3 リセットトランジスタ
- 2 5 4 浮遊拡散層
- 2 5 5 増幅トランジスタ
- 2 5 6 選択トランジスタ
- 2 6 0 カラム信号処理部
- 2 6 1 カウンタ
- 2 6 2 ラッチ
- 2 7 0 水平走査回路
- 3 0 0 比較器
- 3 1 0 比較回路
- 3 1 1、4 7 1～4 7 4 入力容量
- 3 1 2 入力トランジスタ
- 3 1 3 オートゼロトランジスタ
- 3 1 4、3 1 8、3 2 1 電流源
- 3 1 5 帯域制限容量
- 3 1 6、3 1 9、3 2 2、4 3 0、4 4 1、4 4 2 クランプトランジスタ
- 3 1 7、3 2 0 出力トランジスタ
- 3 3 0、4 1 0 遮断スイッチ
- 3 3 1、3 4 2、3 5 2、3 6 1、3 7 1、3 8 2、4 1 1 nMOSトランジスタ
- 3 3 2、3 4 1、3 5 1、3 6 2、3 7 2、3 8 4、4 1 2、4 2 2 pMOSトランジスタ
- 3 4 0、3 5 0 インバータ
- 3 6 0 出力側短絡スイッチ

370 入力側短絡スイッチ
380 レベルシフト回路
381、385 プリチャージトランジスタ
383、386、401、402 寄生容量
420 制御スイッチ
450 NANDゲート
460 バッファ
470 入力容量切替回路
475～478 スイッチ
12031 撮像部

請求の範囲

- [請求項1] ソースに入力された入力電位とゲートに入力された所定の参照電位とが略一致するか否かに基づいて一対の出力電位の一方から他方までの範囲内の電位をドレインから出力する入力トランジスタと、
 一定の電流を供給する第1の電流源と、
 前記入力トランジスタのソースと前記第1の電流源との間に挿入された容量と、
 前記容量および前記第1の電流源の接続ノードを前記一対の出力電位のうち低い方に初期化するための所定期間内に前記接続ノードから前記入力トランジスタのドレインを切り離し、前記所定期間外に前記接続ノードと前記入力トランジスタのドレインとを接続する第1の遮断スイッチと
 を具備する固体撮像素子。
- [請求項2] 前記第1の遮断スイッチは、前記入力トランジスタのドレインと前記第1の電流源との間において並列に接続されたN型トランジスタおよびP型トランジスタを備える
請求項1記載の固体撮像素子。
- [請求項3] 前記第1の遮断スイッチは、N型トランジスタを備える
請求項1記載の固体撮像素子。
- [請求項4] 前記第1の遮断スイッチは、P型トランジスタを備える
請求項1記載の固体撮像素子。
- [請求項5] ソースに入力された前記入力電位とゲートに入力された前記接続ノードの電位との間の差が所定の閾値電圧を超えるか否かに基づいて前記入力電位より低い所定電位から前記入力電位までの範囲内の電位をドレインから出力する第1の出力トランジスタと、
 前記所定期間内に前記第1の出力トランジスタのソースとドレインとを短絡する出力側短絡スイッチと
 をさらに具備する請求項1記載の固体撮像素子。

- [請求項6] 前記所定期間の前のオートゼロ期間内に前記入力トランジスタのゲートとドレインとを接続するオートゼロトランジスタをさらに具備し、
- 前記出力側短絡スイッチは、前記オートゼロ期間内と前記所定期間内とに前記第1の出力トランジスタのソースとドレインとを短絡する請求項5記載の固体撮像素子。
- [請求項7] 前記出力側短絡スイッチは、前記第1の出力トランジスタのソースとドレインとの間において並列に接続されたN型トランジスタおよびP型トランジスタを備える
- 請求項5記載の固体撮像素子。
- [請求項8] 前記出力側短絡スイッチは、N型トランジスタを備える
- 請求項5記載の固体撮像素子。
- [請求項9] ソースに入力された前記入力電位とゲートに入力された前記第1の出力トランジスタのドレインとの間の差が所定の閾値電圧を超えるか否かに基づいて前記所定電位から前記入力電位までの範囲内の電圧をドレインから出力する第2の出力トランジスタをさらに具備する
- 請求項5記載の固体撮像素子。
- [請求項10] 前記所定期間内に前記入力トランジスタのドレインとソースとを短絡する入力側短絡スイッチをさらに具備する
- 請求項5記載の固体撮像素子。
- [請求項11] 前記第1の出力トランジスタのドレインの電位に基づいて前記所定電位および前記入力電位よりも電位差の大きな一对のシフト電位の出力信号を出力するレベルシフト回路と、
- 前記一对のシフト電位の間の所定の閾値より上記出力信号が高いか否かを判定して判定結果を出力する論理ゲートと
- をさらに具備する
- 請求項5記載の固体撮像素子。
- [請求項12] 前記一对のシフト電位の一方は、前記入力電位より高い電源電位で

あり、他方は、前記所定電位より低い基準電位であり、

前記レベルシフト回路は、

前記入力電位の垂直信号線にゲートが接続され、前記第1の出力トランジスタのドレイにソースが接続されるN型トランジスタと、

前記N型トランジスタのドレインの電位を前記電源電位に初期化する電源側プリチャージトランジスタと、

前記N型トランジスタのドレインにゲートが接続され、前記論理ゲートにドレインが接続されたP型トランジスタと、

前記P型トランジスタのドレインの電位を前記基準電位に初期化する基準側プリチャージトランジスタと

を備える請求項1記載の固体撮像素子。

[請求項13]

ソースに入力された前記入力電位とゲートに入力された前記接続ノードの電位との間の差が所定の閾値電圧を超えるか否かに基づいて前記入力電位より低い所定電位から前記入力電位までの範囲内の電位をドレインから出力する第1の出力トランジスタと、

一定の電流を供給する第2の電流源と

前記参照電位のセtringの開始タイミングの前に前記第1の出力トランジスタのドレインを前記第2の電流源から切り離し、前記開始タイミングから一定期間に亘って前記第1の出力トランジスタのドレインと前記第2の電流源とを接続する第2の遮断スイッチと、

前記第2の電流源にドレインが接続されたクランプトランジスタと、

前記開始タイミングの前に前記第1の出力トランジスタのソースと前記クランプトランジスタのソースとを接続し、前記開始タイミングから一定期間に亘って前記第1の出力トランジスタのソースを前記クランプトランジスタのソースから切り離す制御スイッチと

をさらに具備する請求項1記載の固体撮像素子。

[請求項14]

前記制御スイッチおよび前記クランプトランジスタの接続ノードの

電位に基づいて前記所定電位および前記入力電位よりも電位差の大きな一対のシフト電位の出力信号を出力するレベルシフト回路をさらに具備する請求項 13 記載の固体撮像素子。

[請求項15] 前記入力トランジスタのゲートに並列に接続される入力容量の個数を切り替える入力容量切替回路をさらに具備する請求項 13 記載の固体撮像素子。

[請求項16] ソースに入力された入力電位とゲートに入力された所定の参照電位とが略一致する場合には前記入力電位に応じたドレイン電位をドレインから出力する入力トランジスタと、

ソースに入力された前記入力電位とゲートに入力された前記ドレイン電位との間の差が所定の閾値電圧を超えるか否かに基づいて所定電位から前記入力電位までの範囲内の電位をドレインから出力する第 1 の出力トランジスタと、

前記第 1 の出力トランジスタのドレインを前記入力電位に初期化するための所定期間内に前記第 1 の出力トランジスタのソースとドレインとを短絡する出力側短絡スイッチとを具備する固体撮像素子。

[請求項17] ソースに入力された入力電位とゲートに入力された所定の参照電位とが略一致する場合には所定のクランプ電位をドレインから出力する入力トランジスタと、

前記ドレインの電位を前記クランプ電位より高いハイレベルに初期化するための所定期間内に前記入力トランジスタのソースとドレインとを短絡する入力側短絡スイッチとを具備する固体撮像素子。

[請求項18] ソースに入力された入力電位とゲートに入力された所定の参照電位とが略一致するか否かに基づいて一対の出力電位の一方から他方までの範囲内の電位をドレインから出力する入力トランジスタと、

所定の定電流を供給する電流源と、

前記入力トランジスタのソースと前記電流源との間に挿入された容量と、

前記容量および前記電流源の接続ノードを前記一对の出力電位のうち低い方に初期化するための所定期間内に前記接続ノードから前記入力トランジスタのドレインを切り離し、前記所定期間外に前記接続ノードと前記入力トランジスタのドレインとを接続する遮断スイッチと、

前記接続ノードの電位が反転するまでの期間に亘って計数値を計数するカウンタと

を具備する撮像装置。

[請求項19]

画素に接続された垂直信号線と、

前記垂直信号線に接続されたソースと所定の参照電位に基づいた信号を受けるゲートとを具備するトランジスタと、

一定の電流を供給する電流源と、

前記トランジスタのソースと前記電流源との間に挿入された容量と、

前記容量および前記電流源の接続ノードと前記トランジスタのドレインとに接続されたスイッチと

を具備する固体撮像素子。

[請求項20]

画素に接続された垂直信号線と、

前記垂直信号線に接続されたソースと所定の参照電位に基づいた信号を受けるゲートとを具備する第1のトランジスタと、

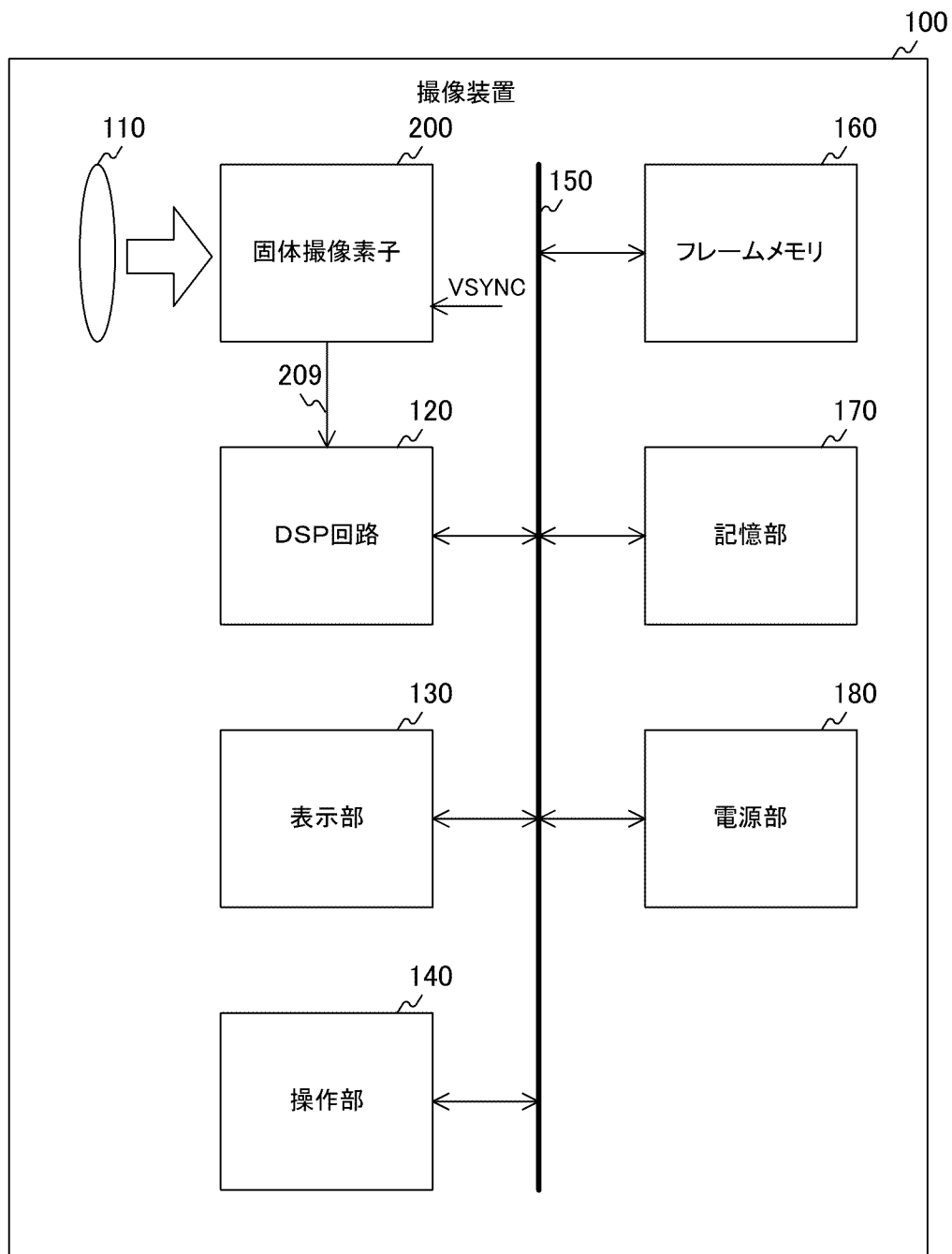
一定の電流を供給する電流源と、

前記垂直信号線に接続されたソースと前記電流源に接続されたゲートとを具備する第2のトランジスタと、

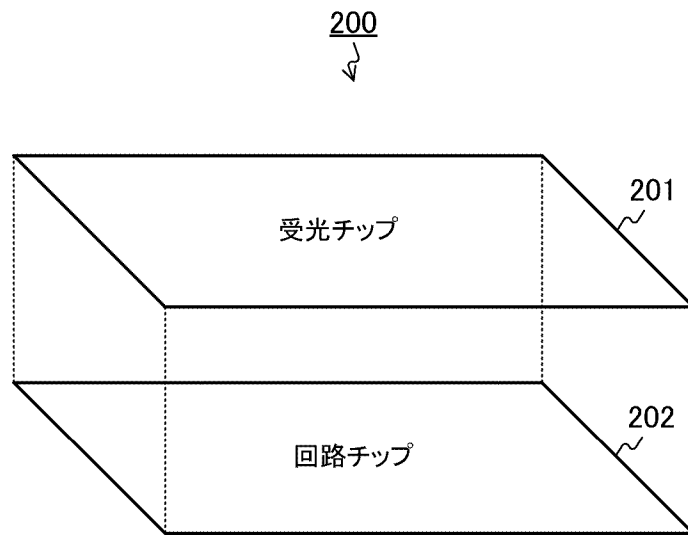
前記第2のトランジスタの前記ソースとドレインとに接続されたスイッチと

を具備する固体撮像素子。

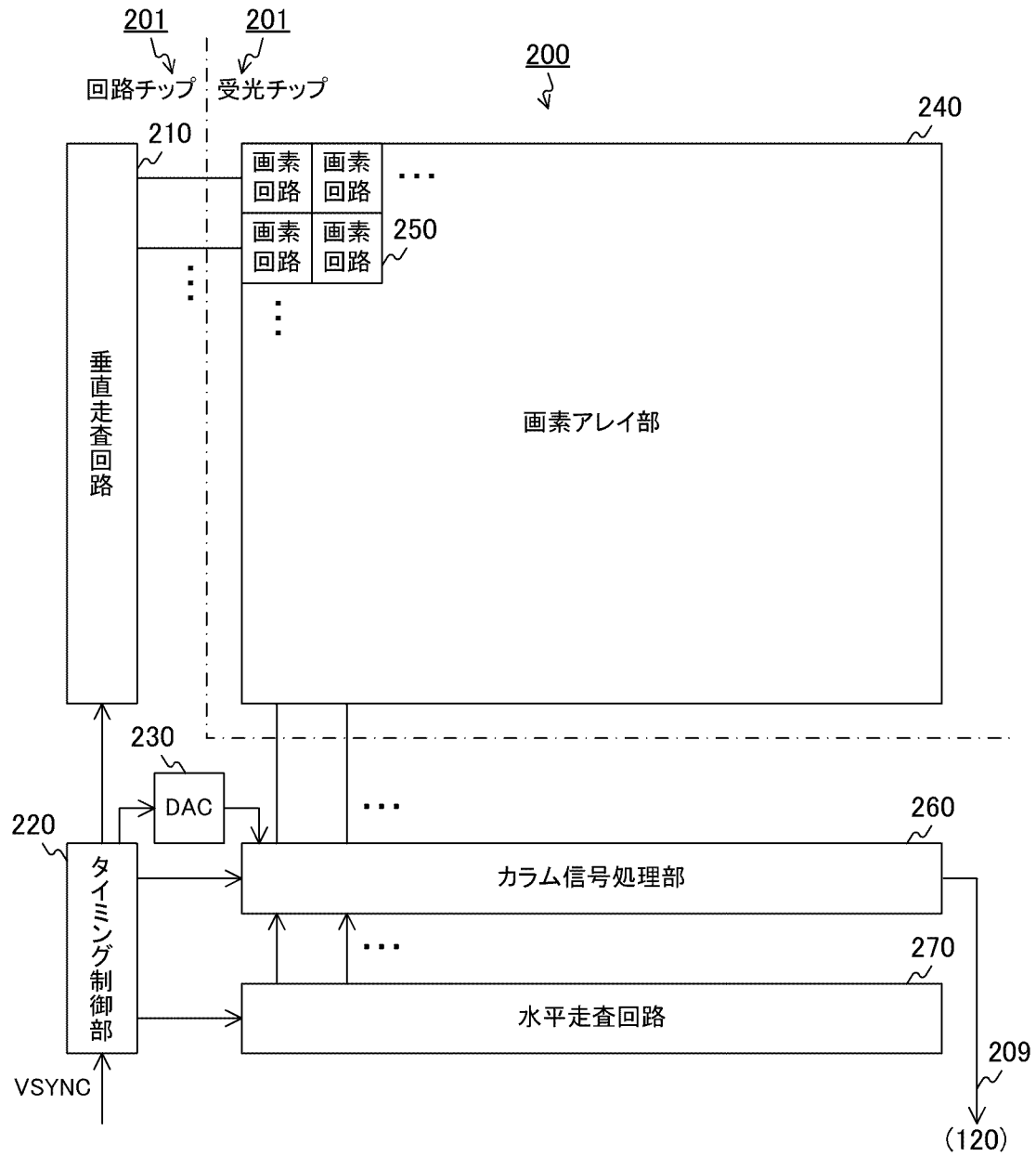
[図1]



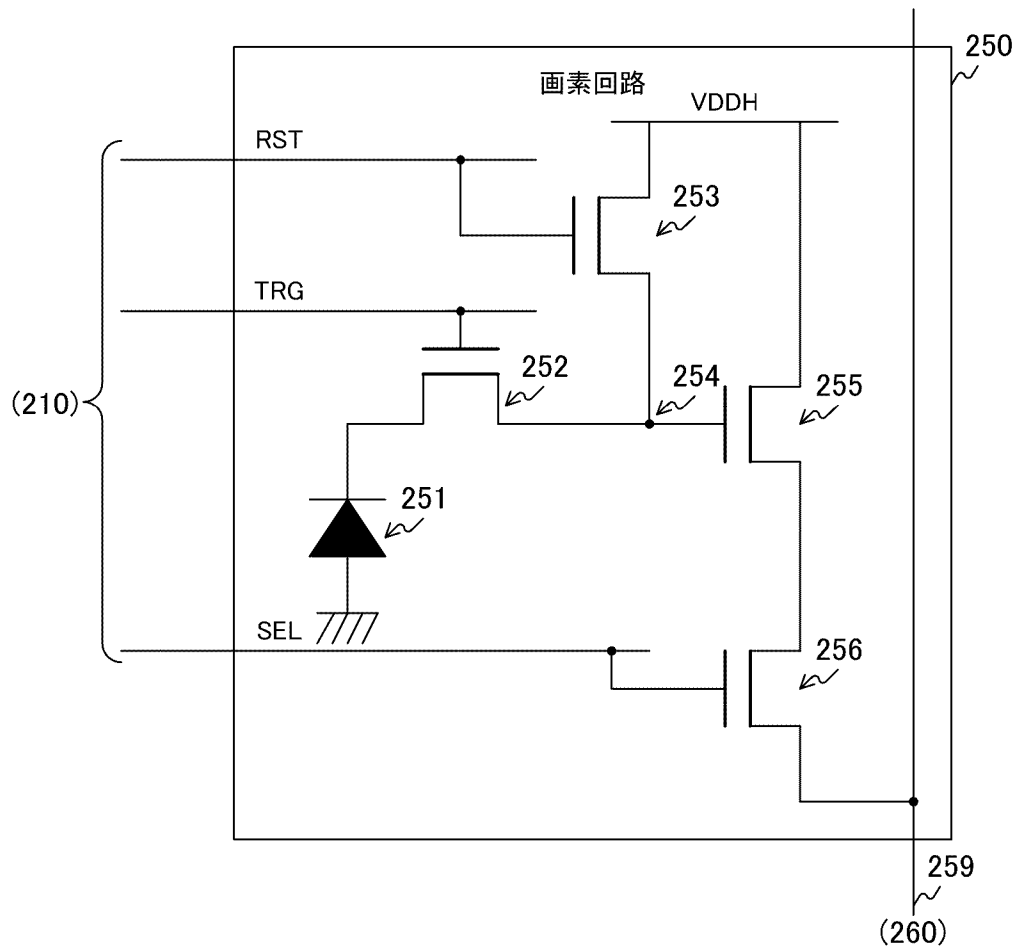
[図2]



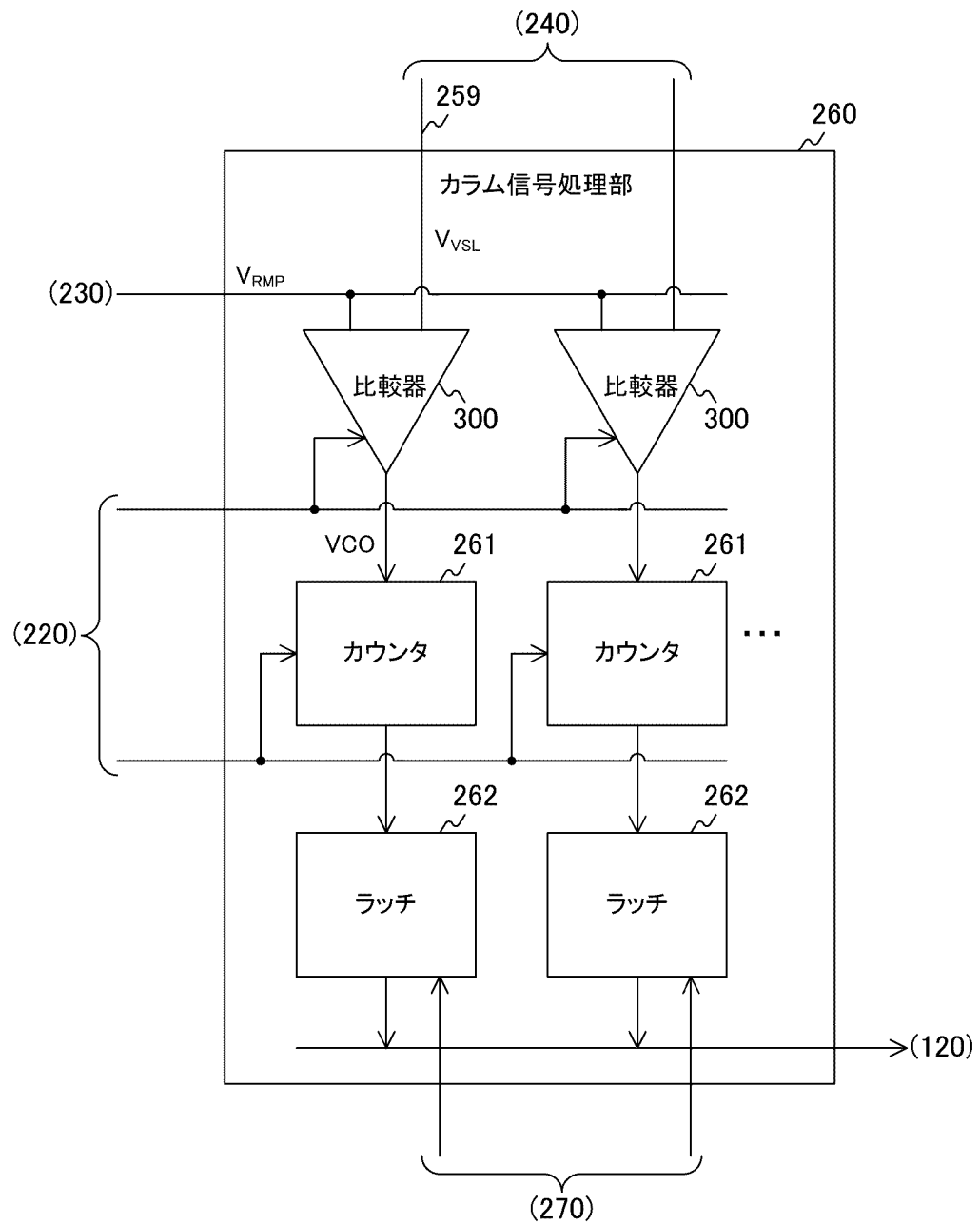
[図3]



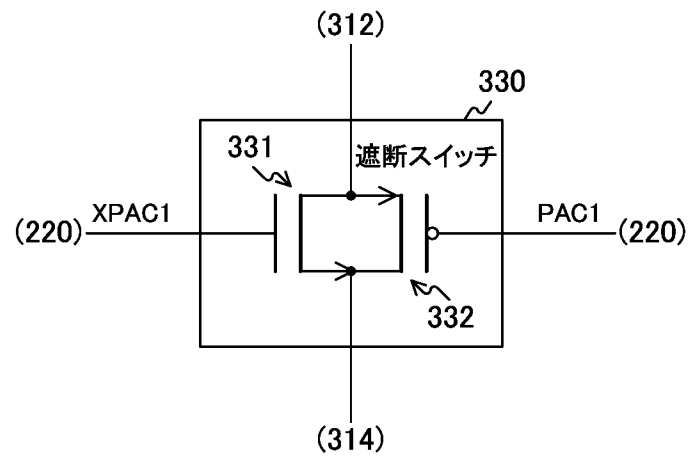
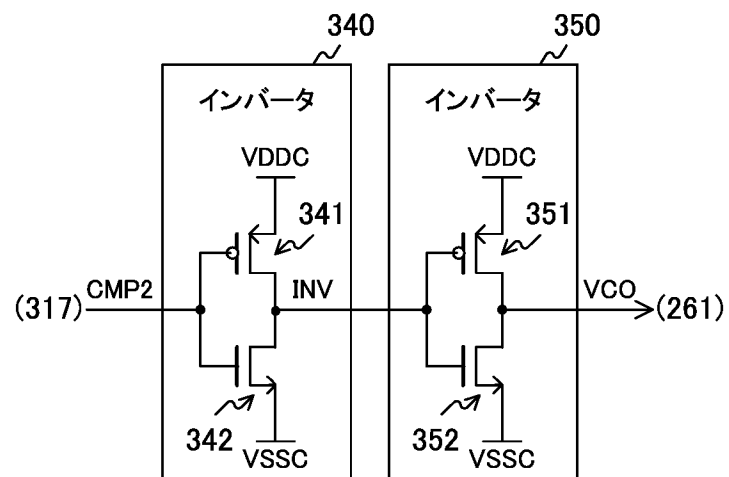
[図4]



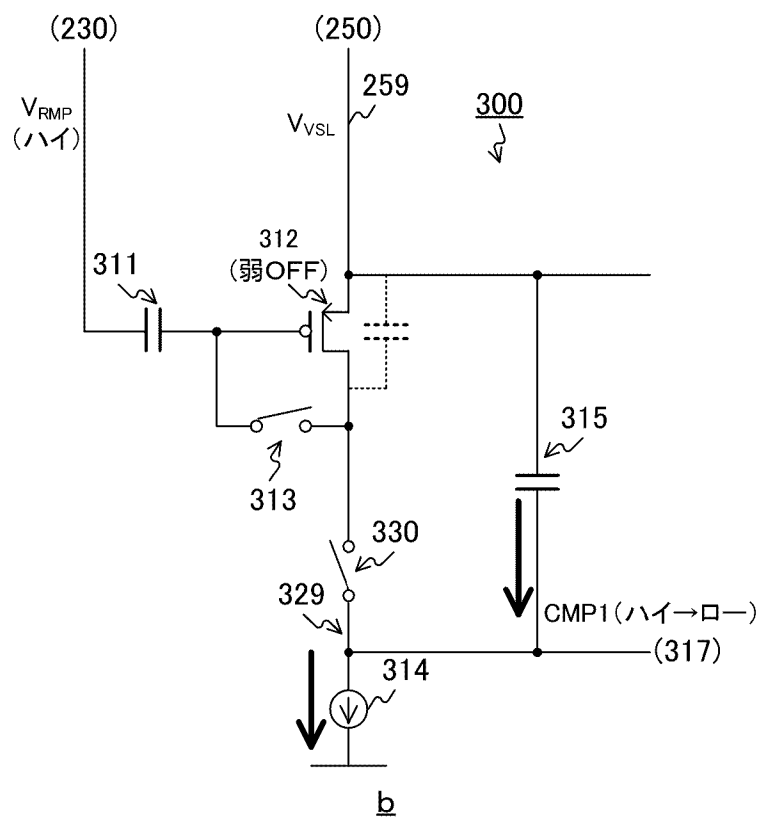
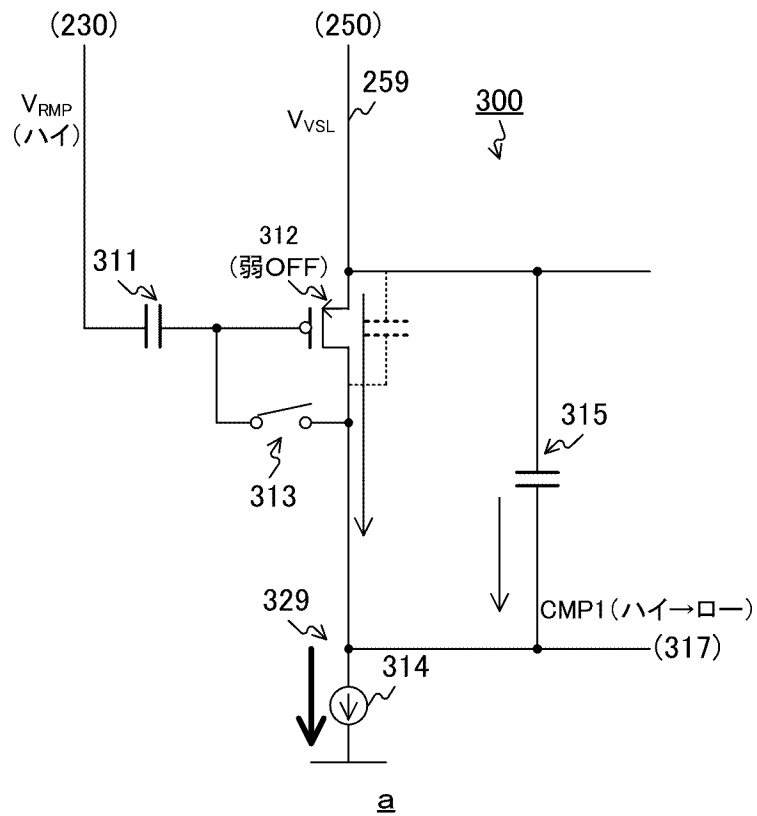
[図5]



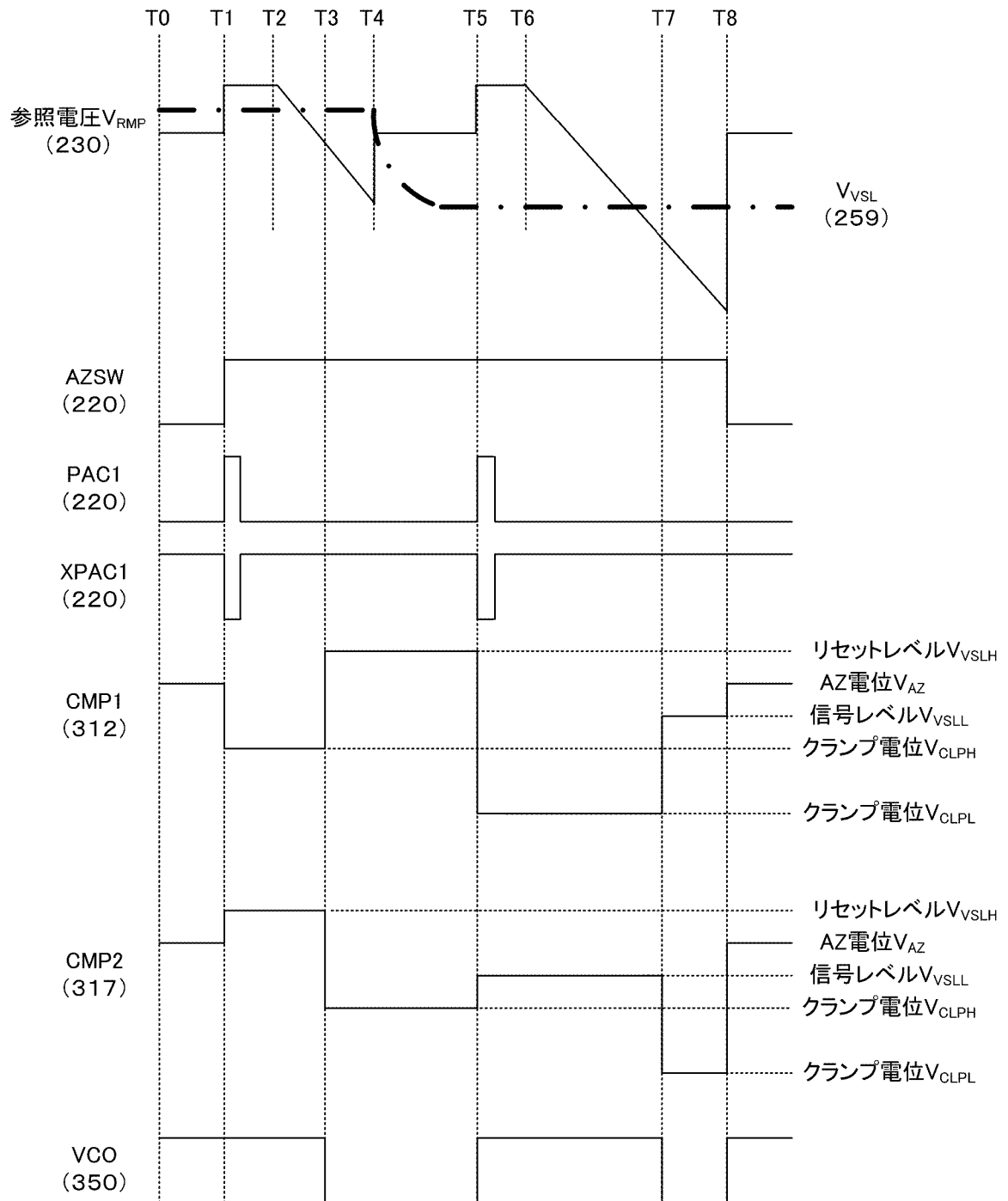
[図7]

ab

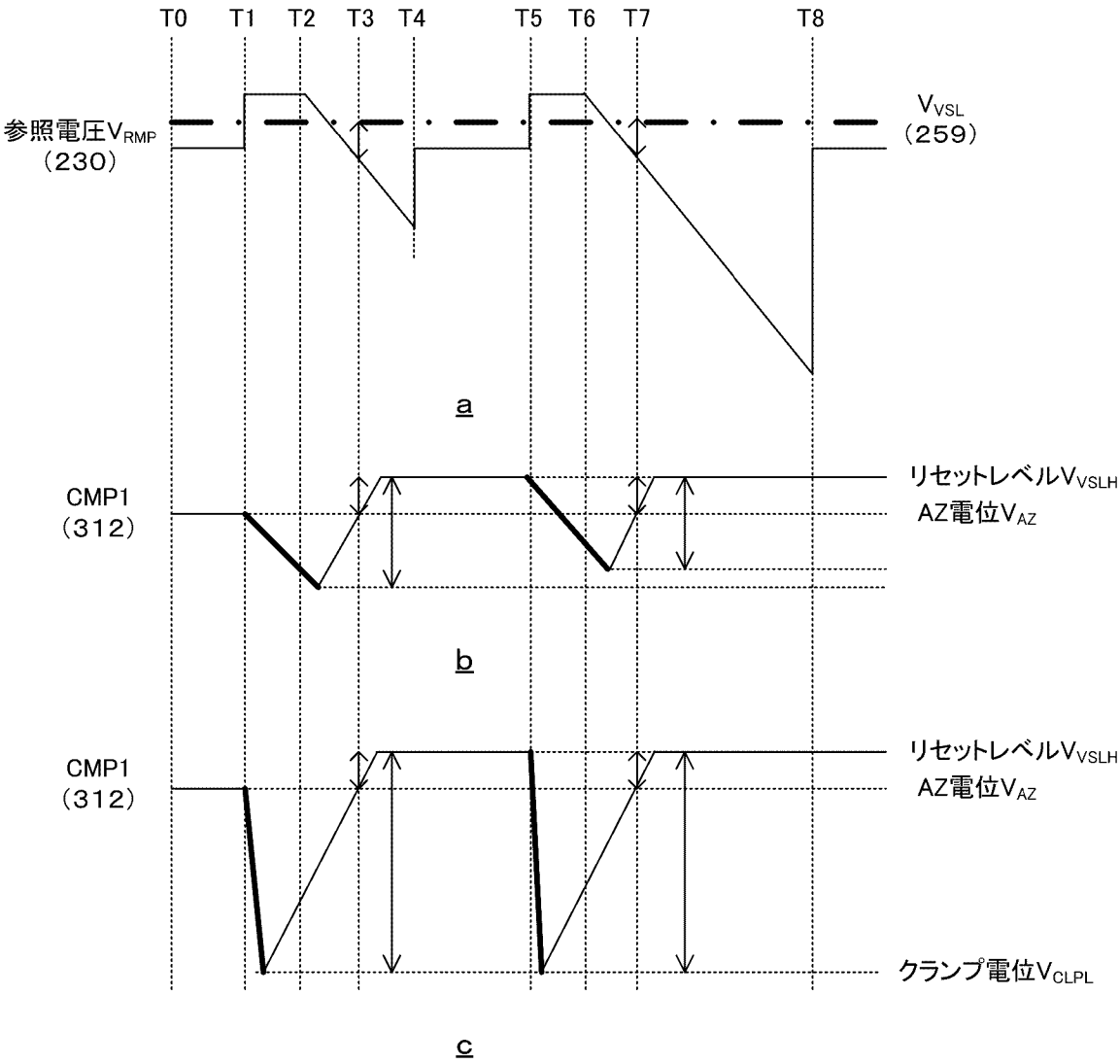
[図8]

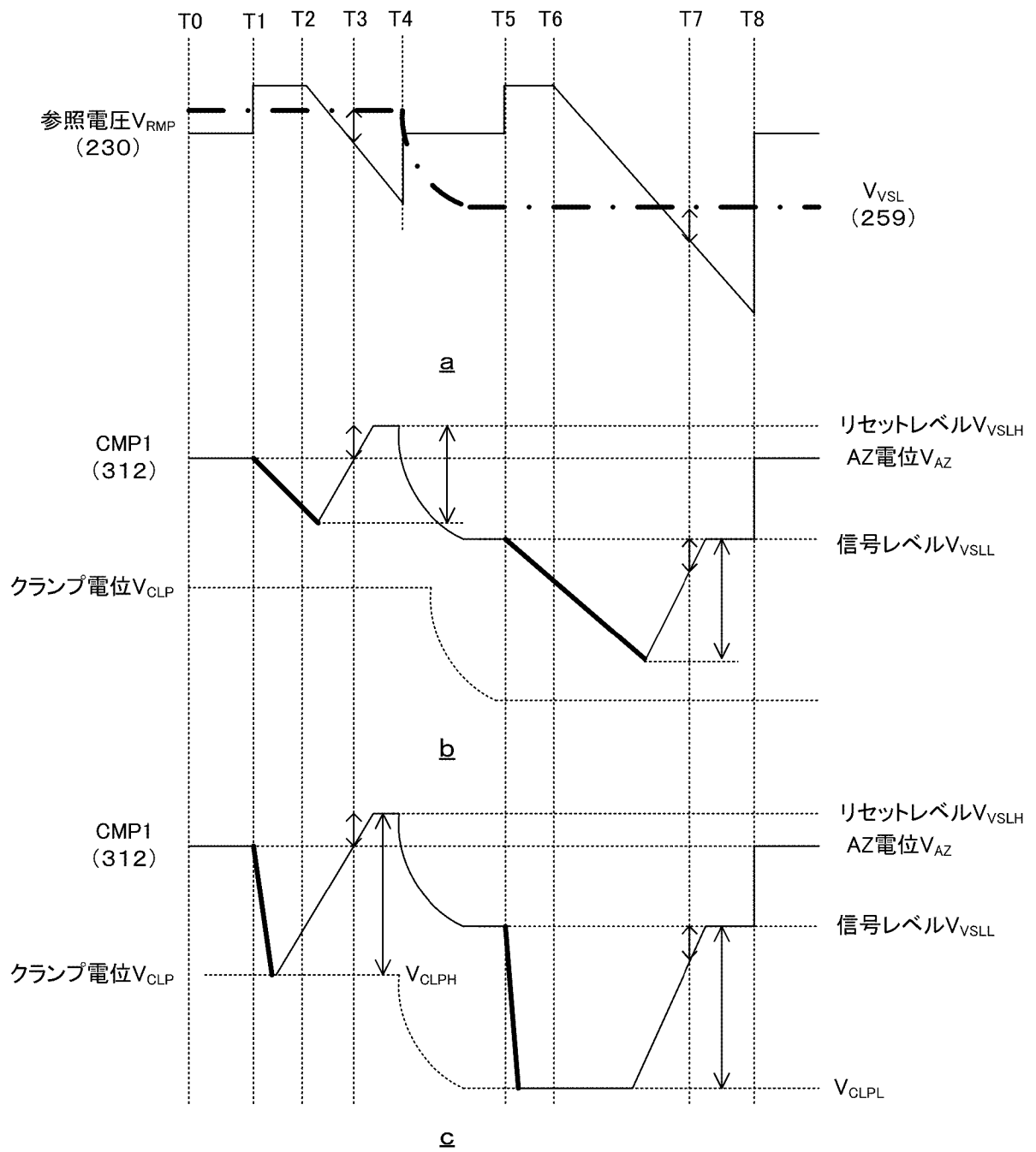


[図9]

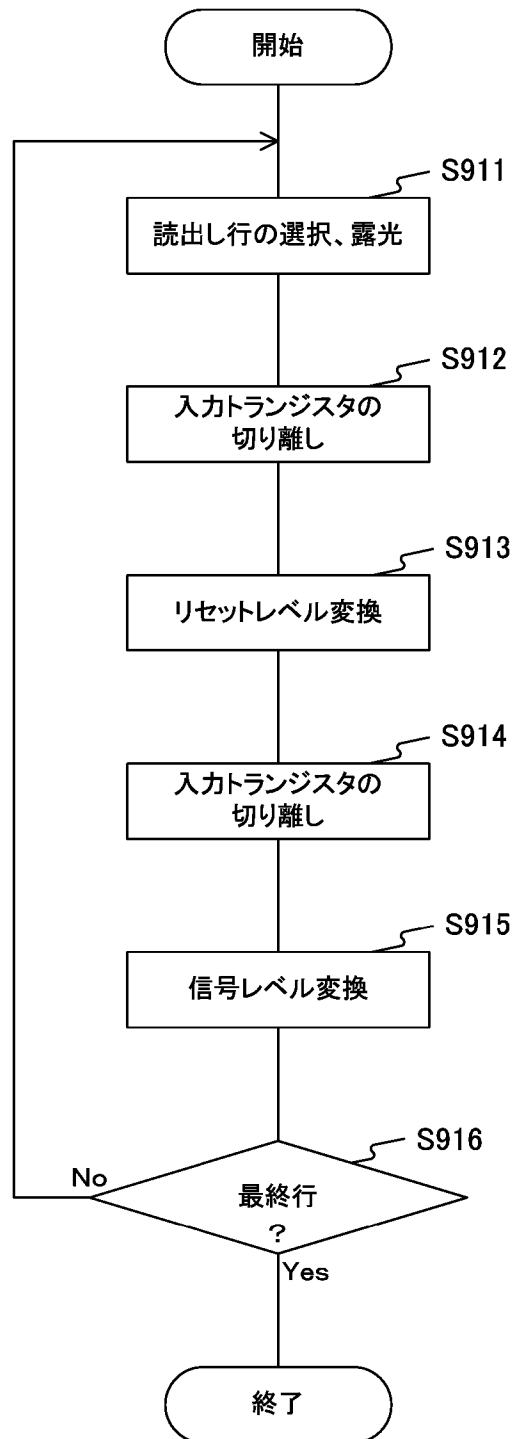


[図10]

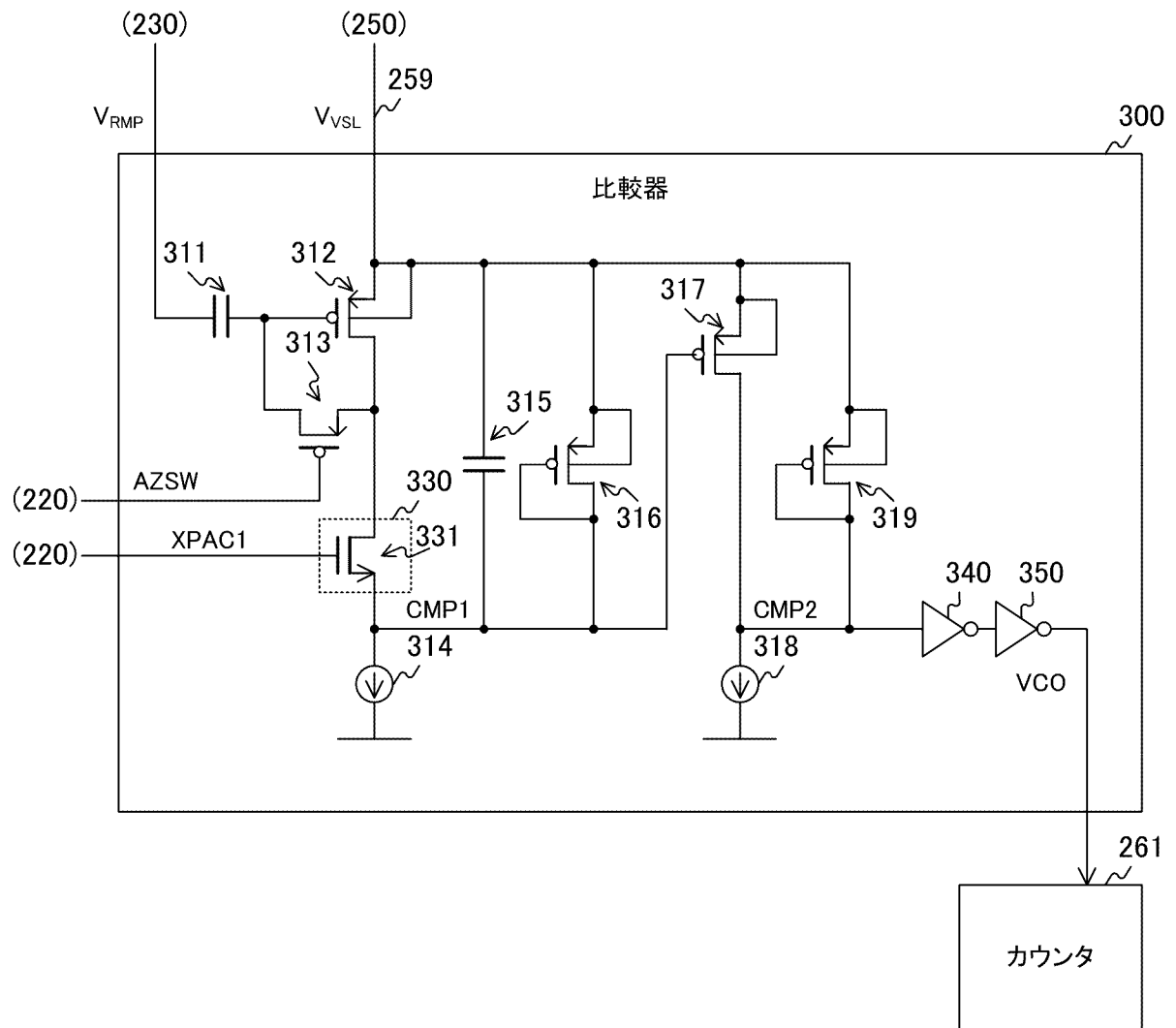


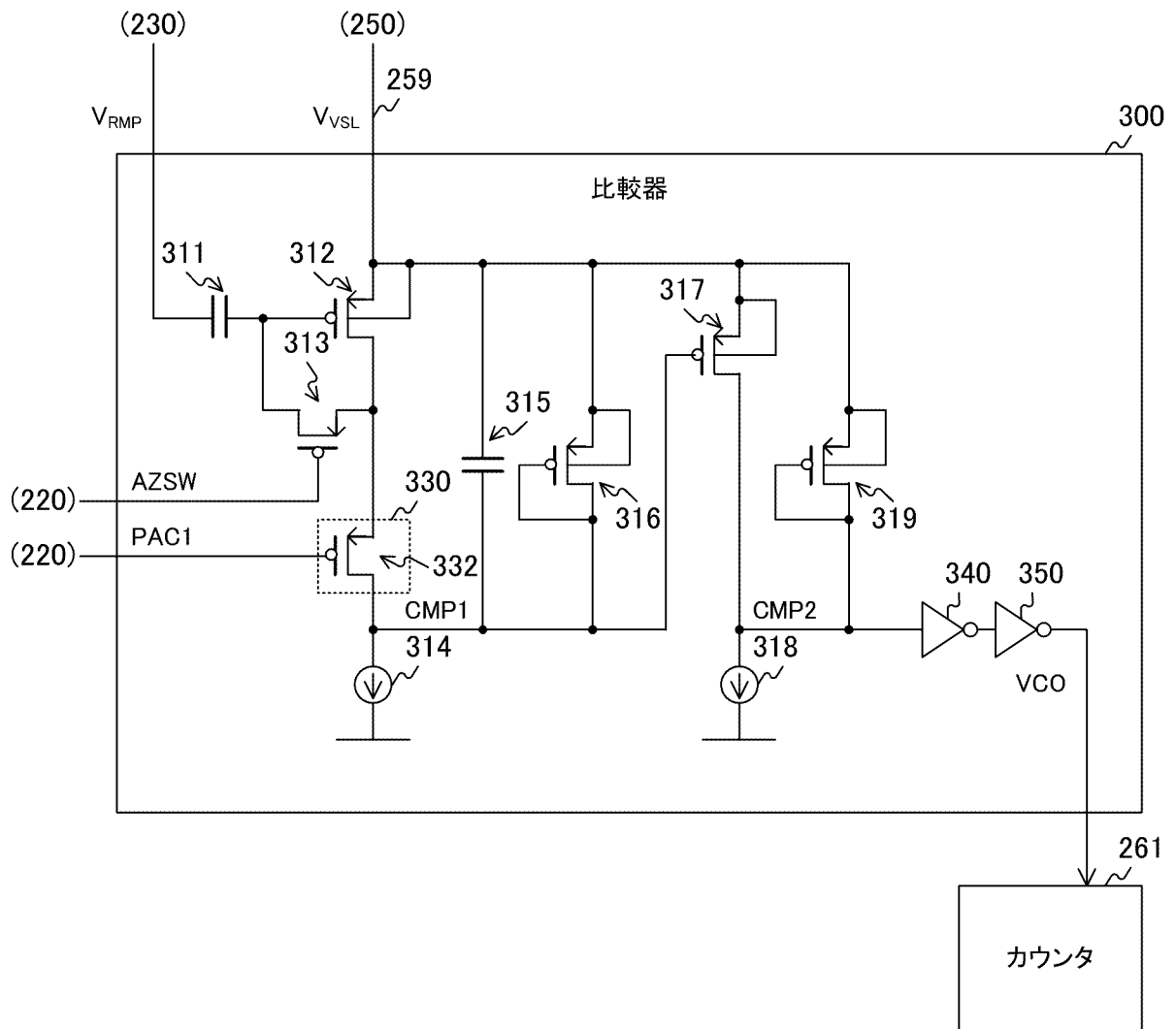


[図12]

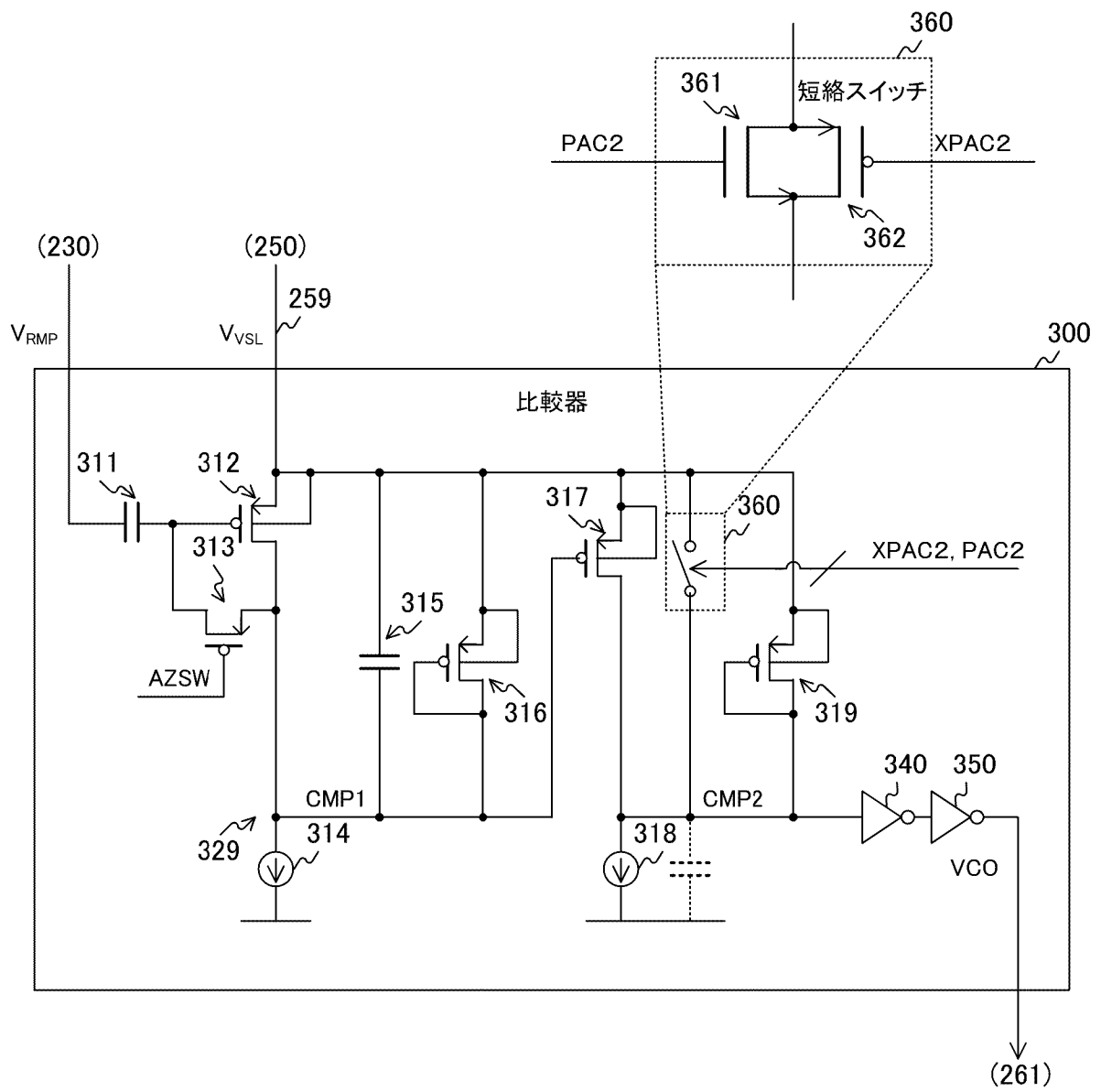


[図13]

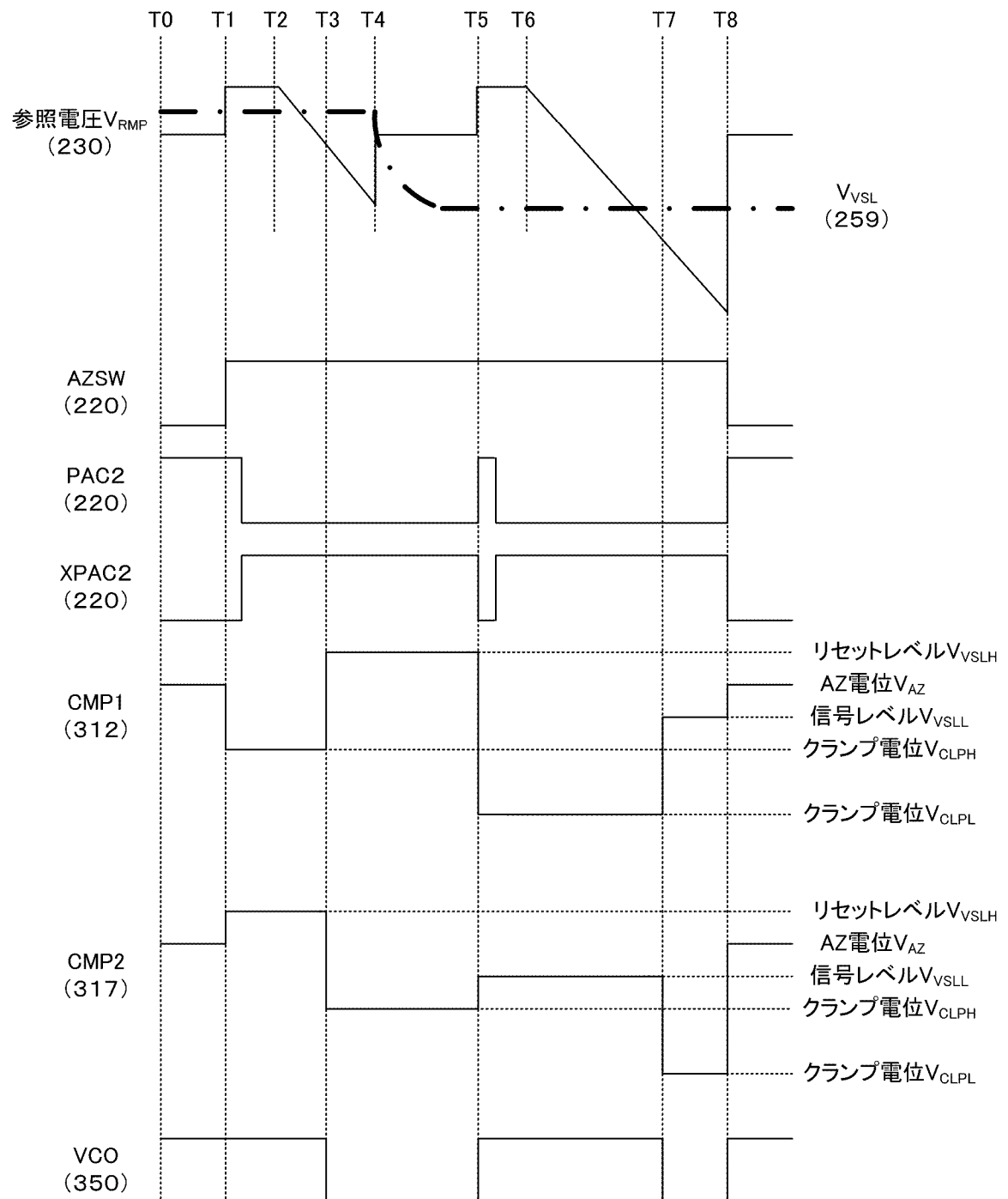




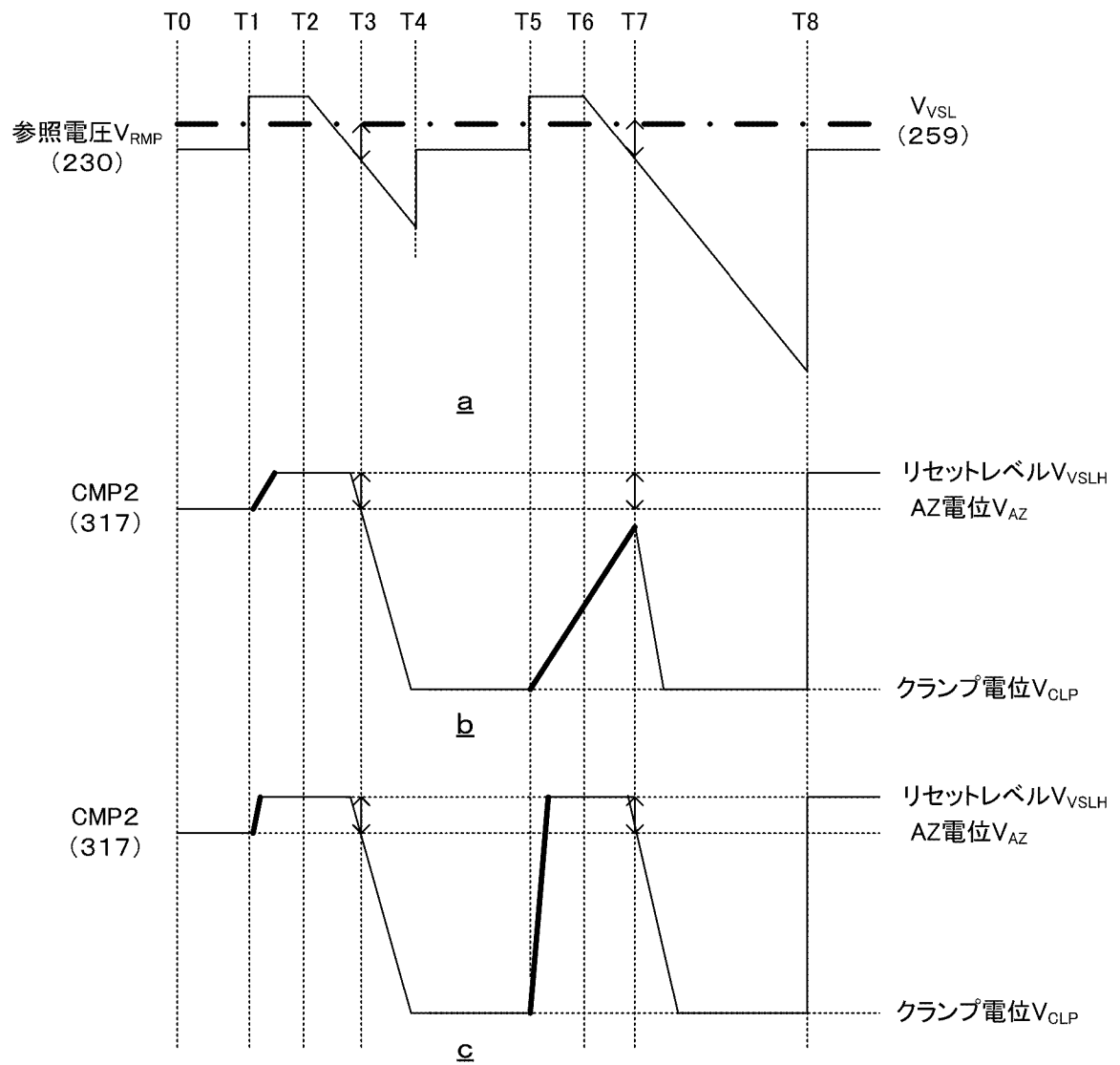
[図15]



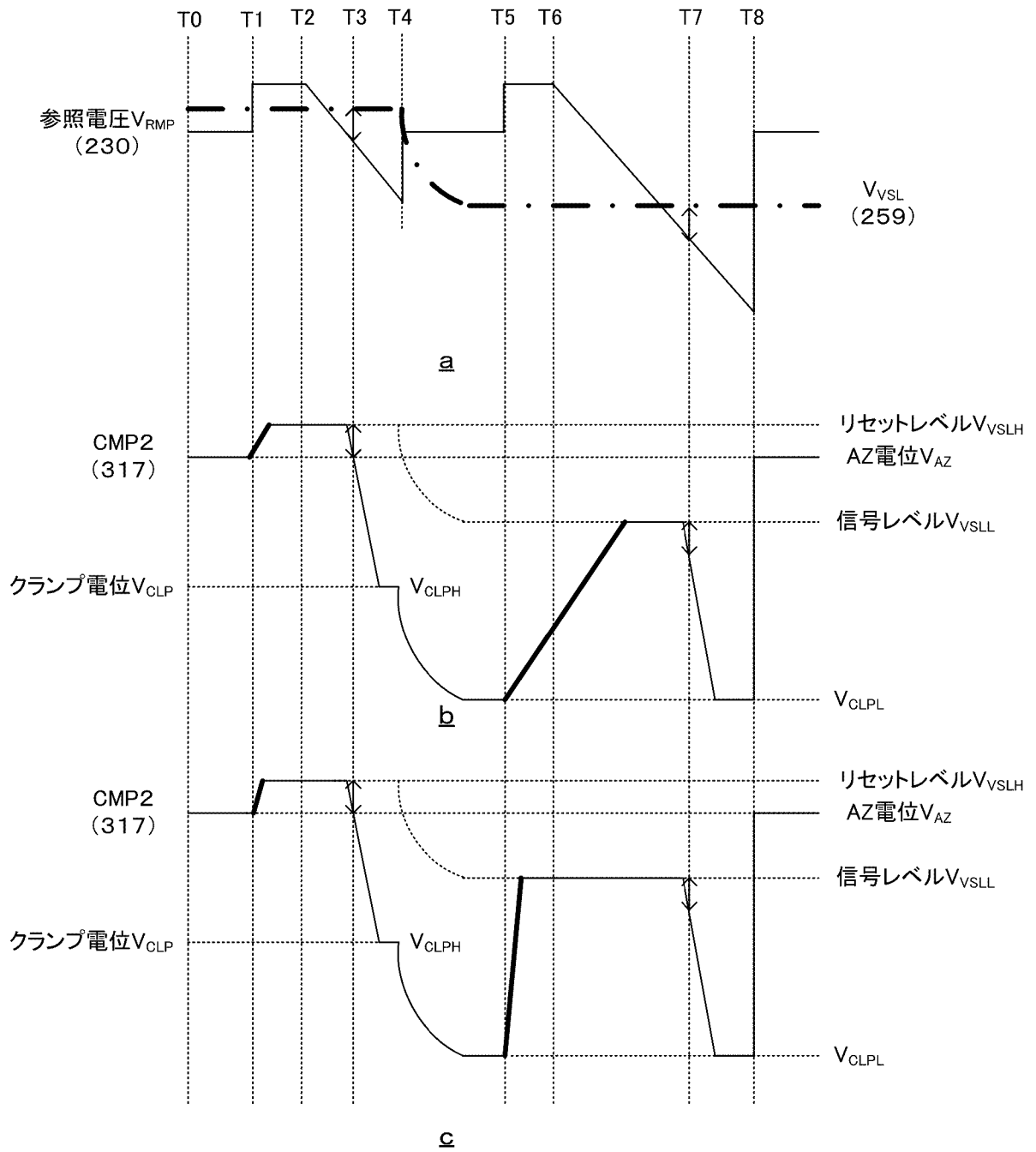
[図16]

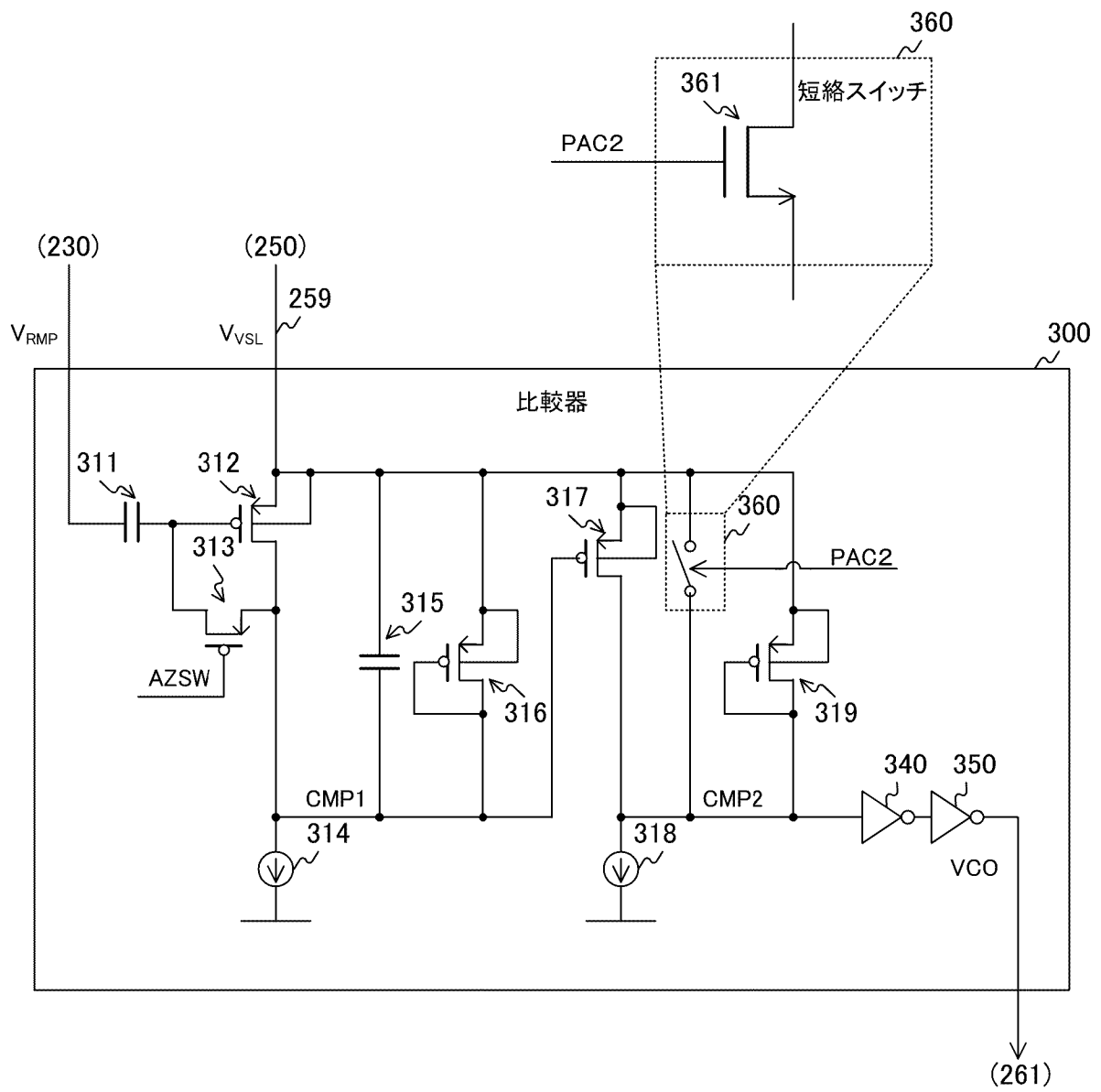


[図17]

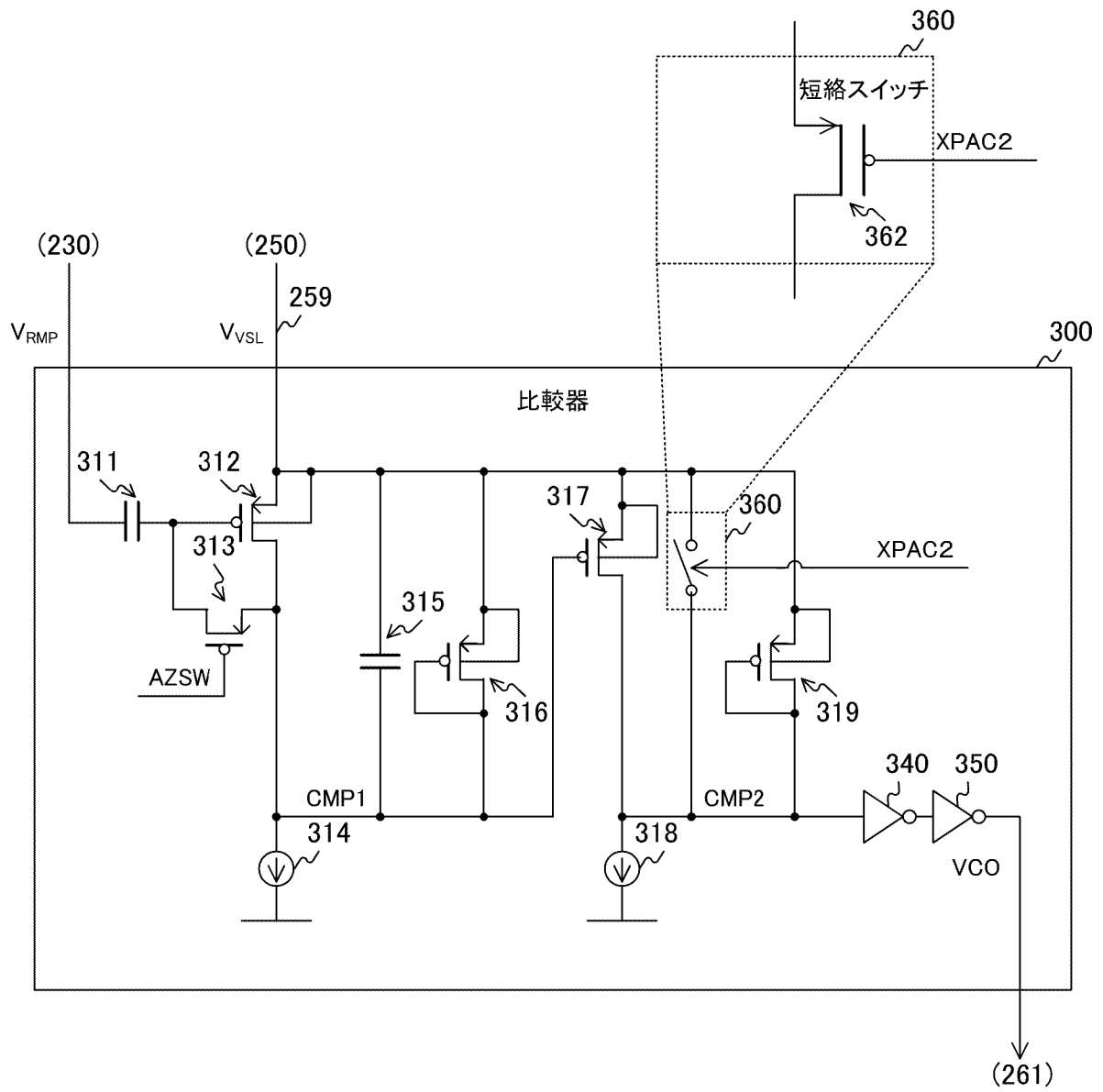


[図18]

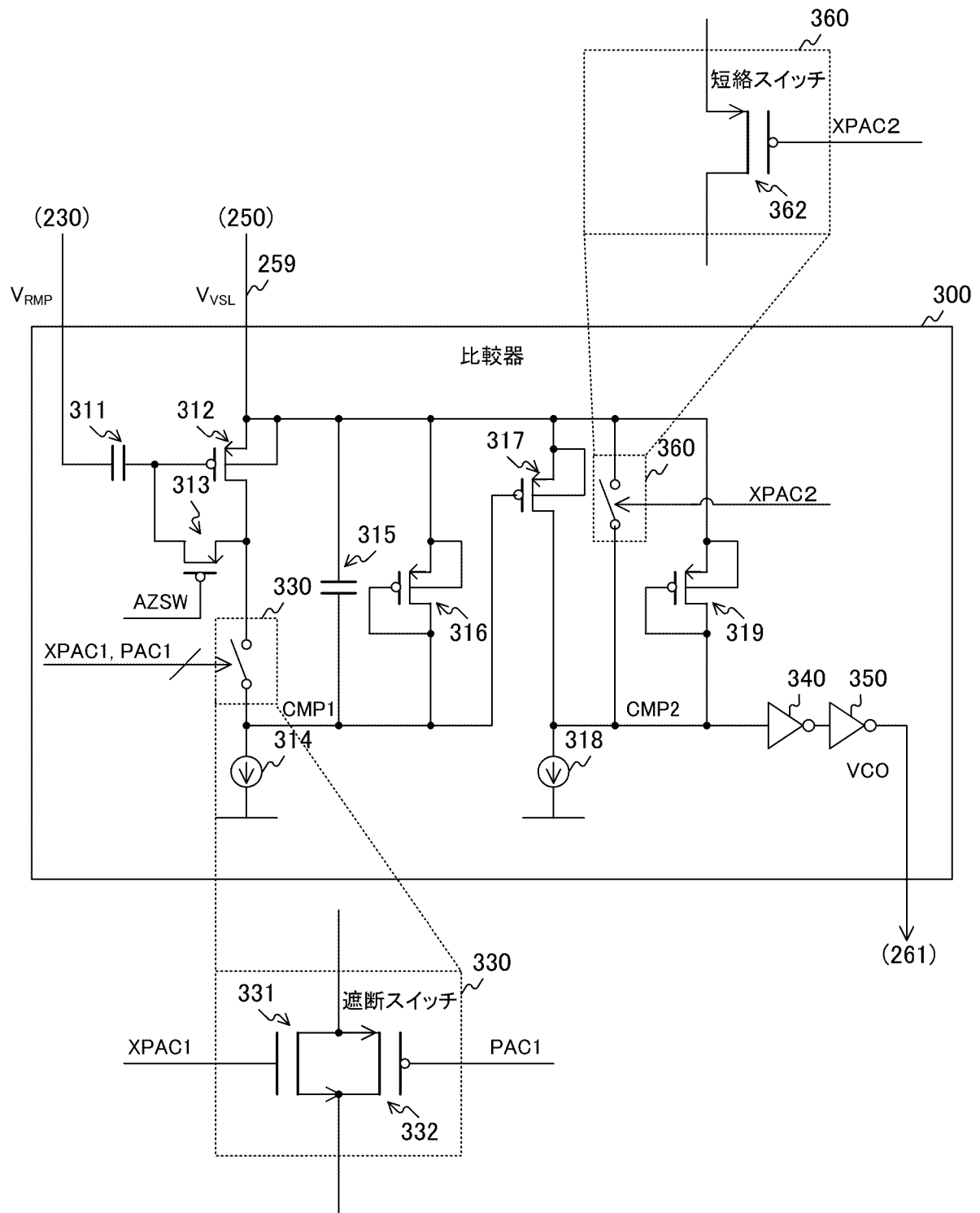




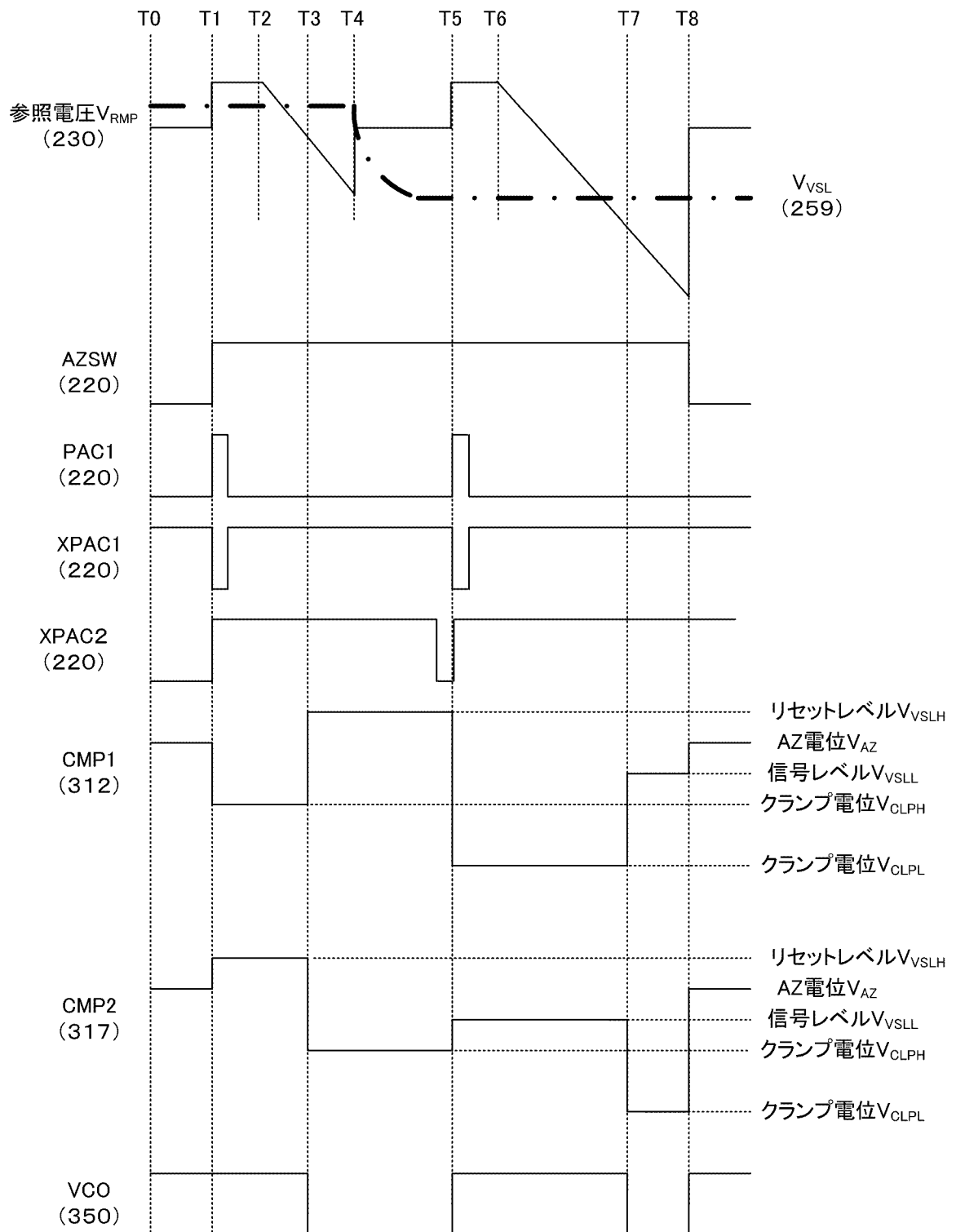
[図20]



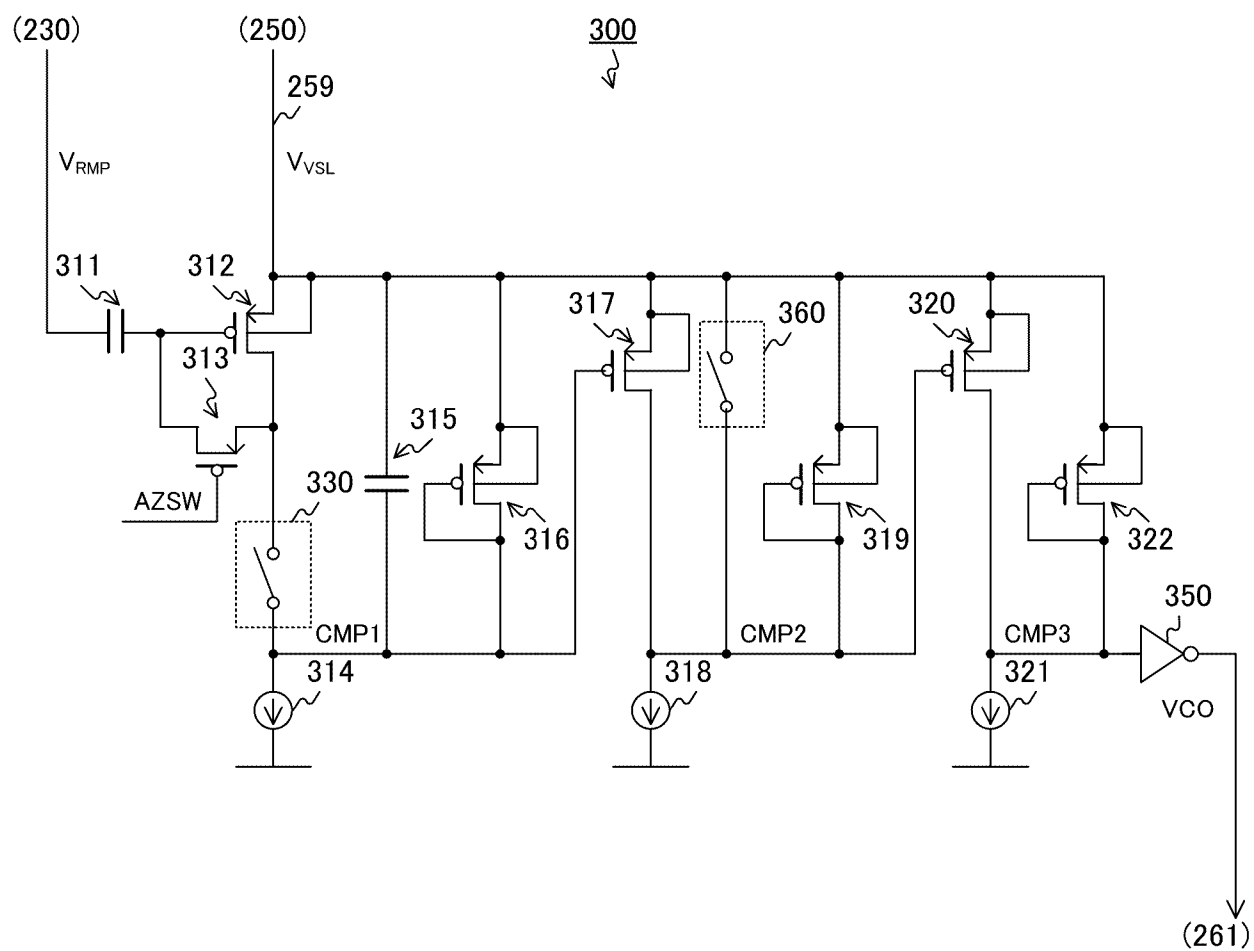
[図21]



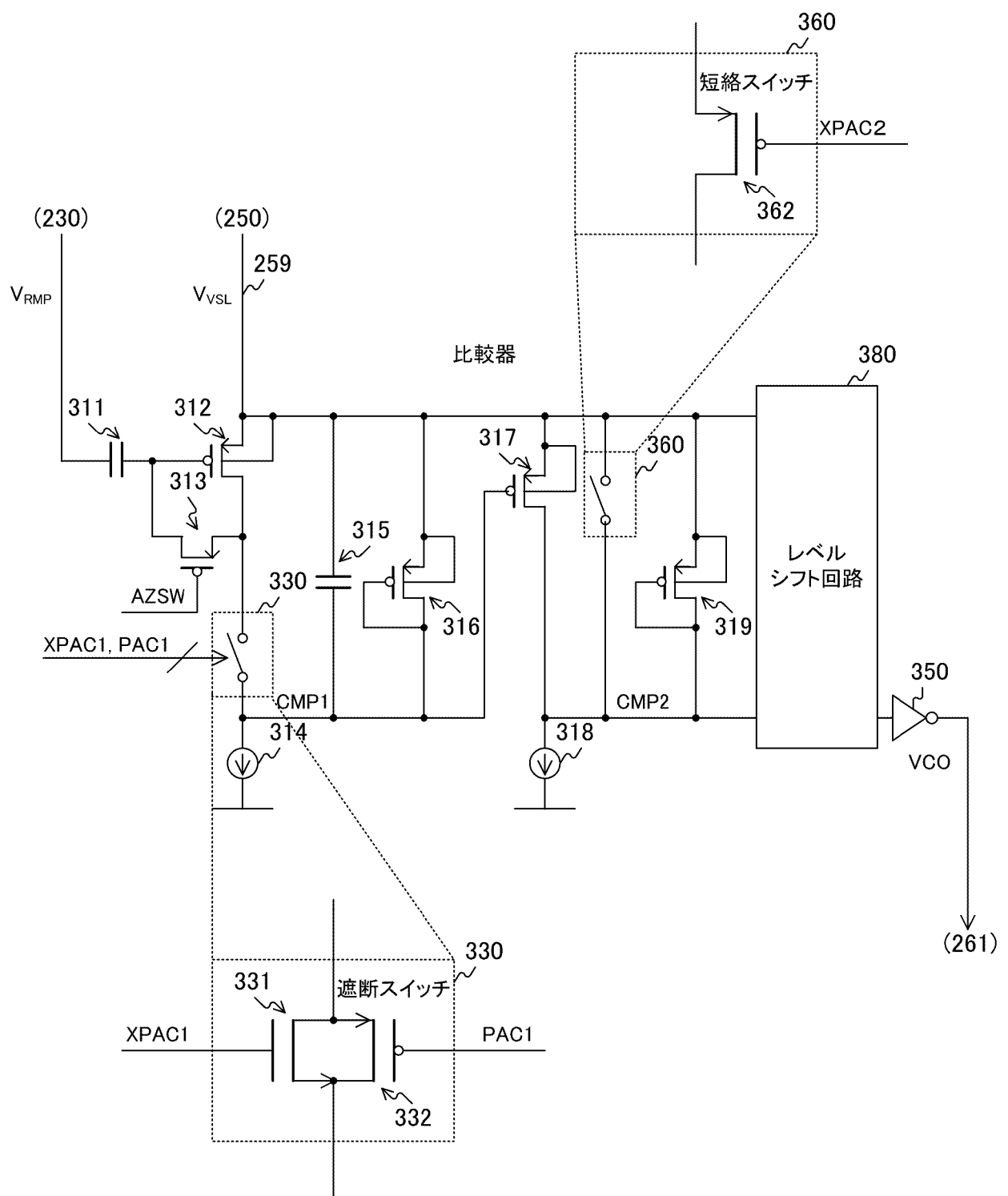
[図22]



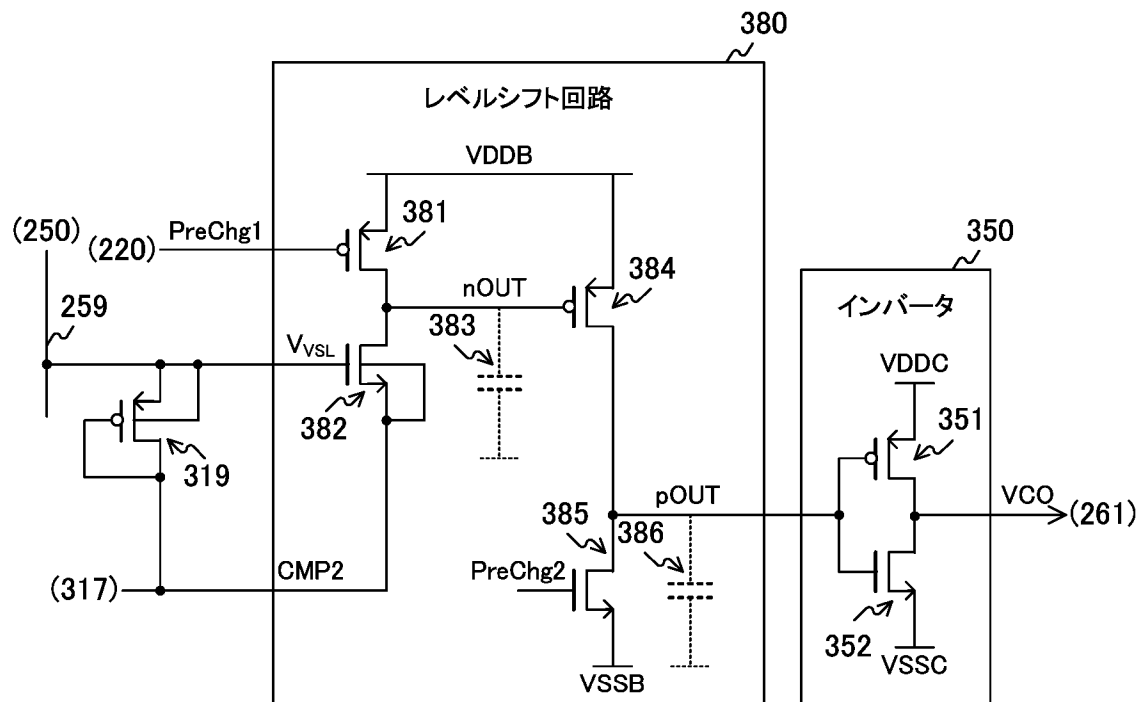
[図23]



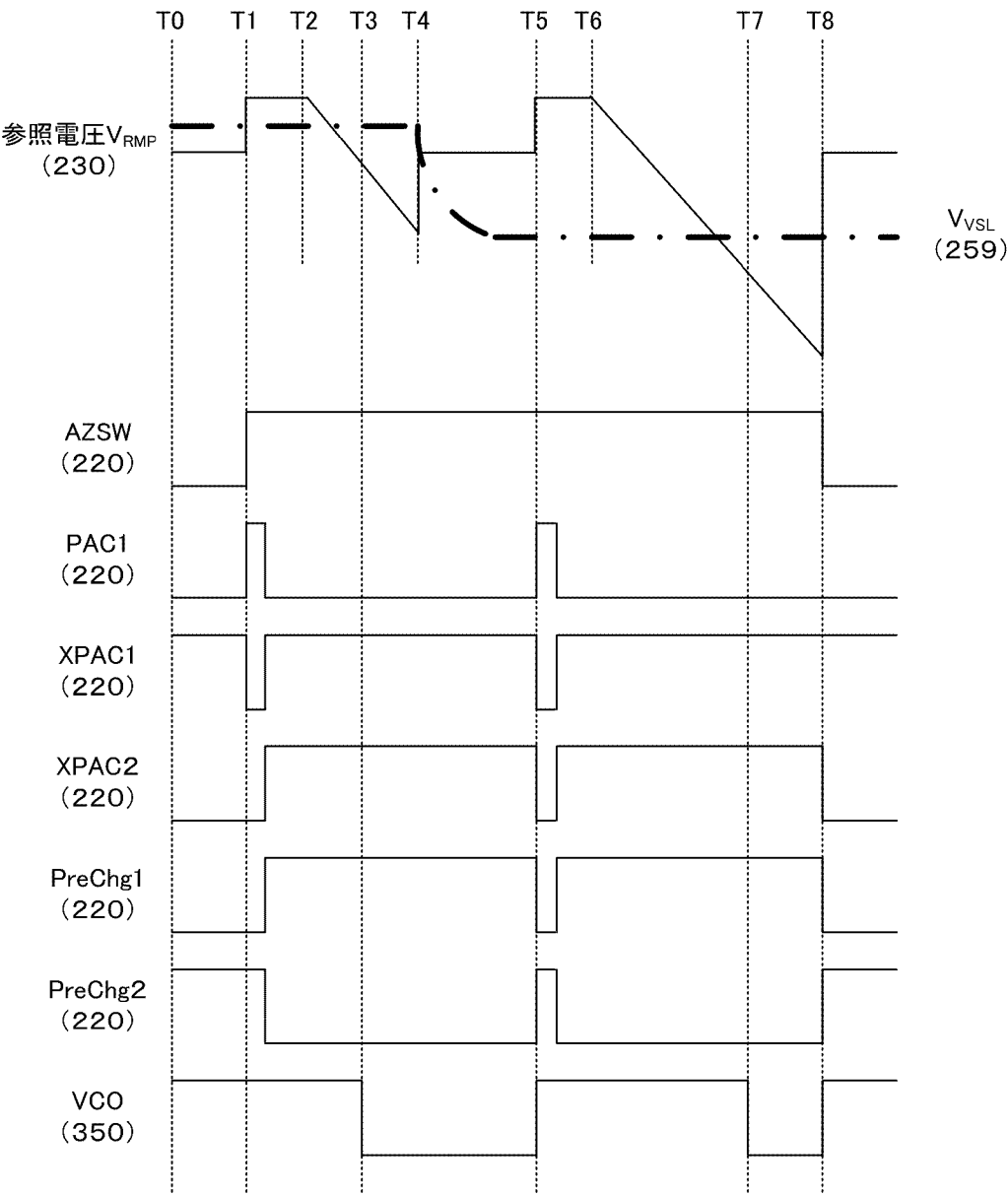
[illegible]



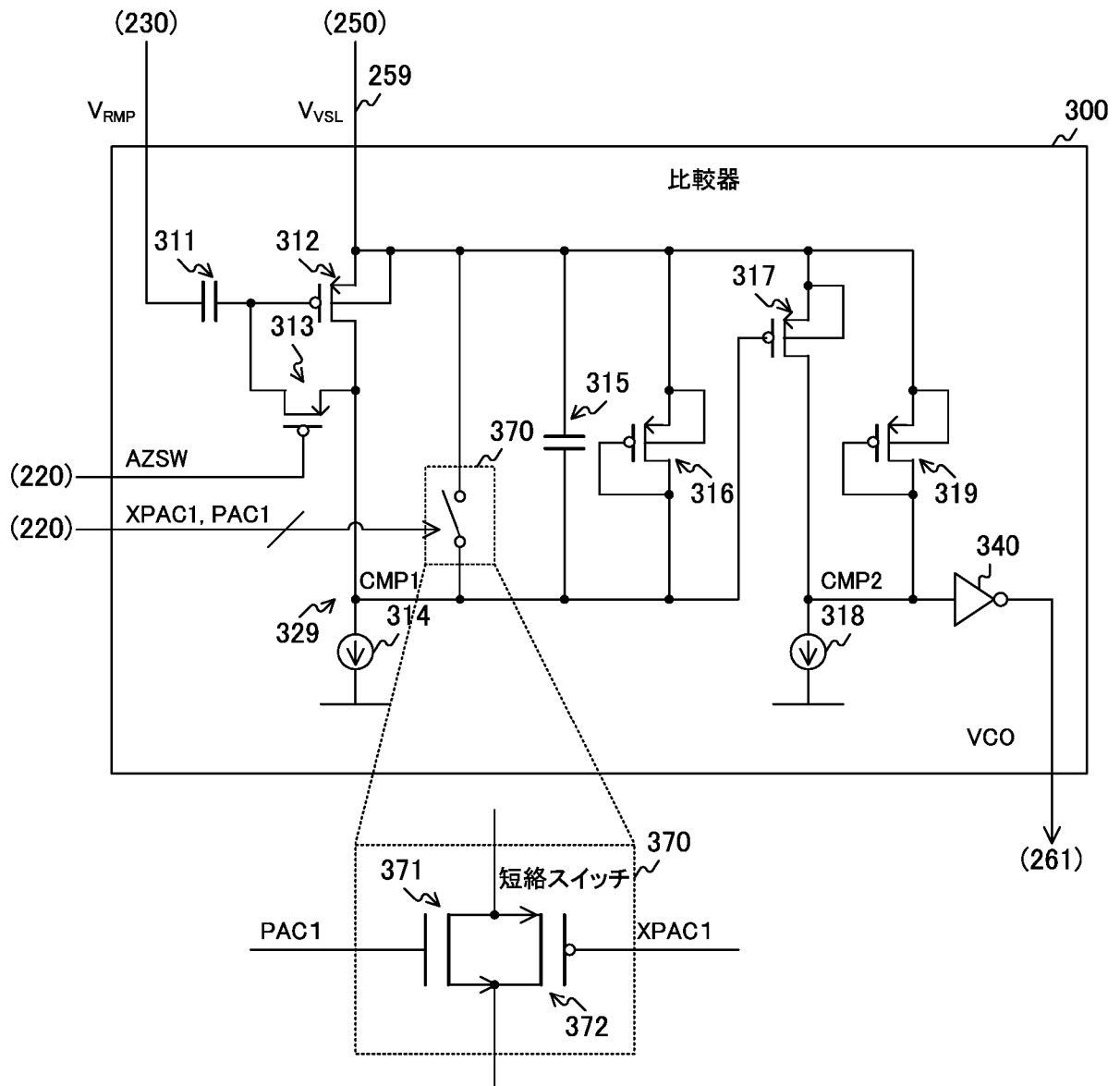
[図26]



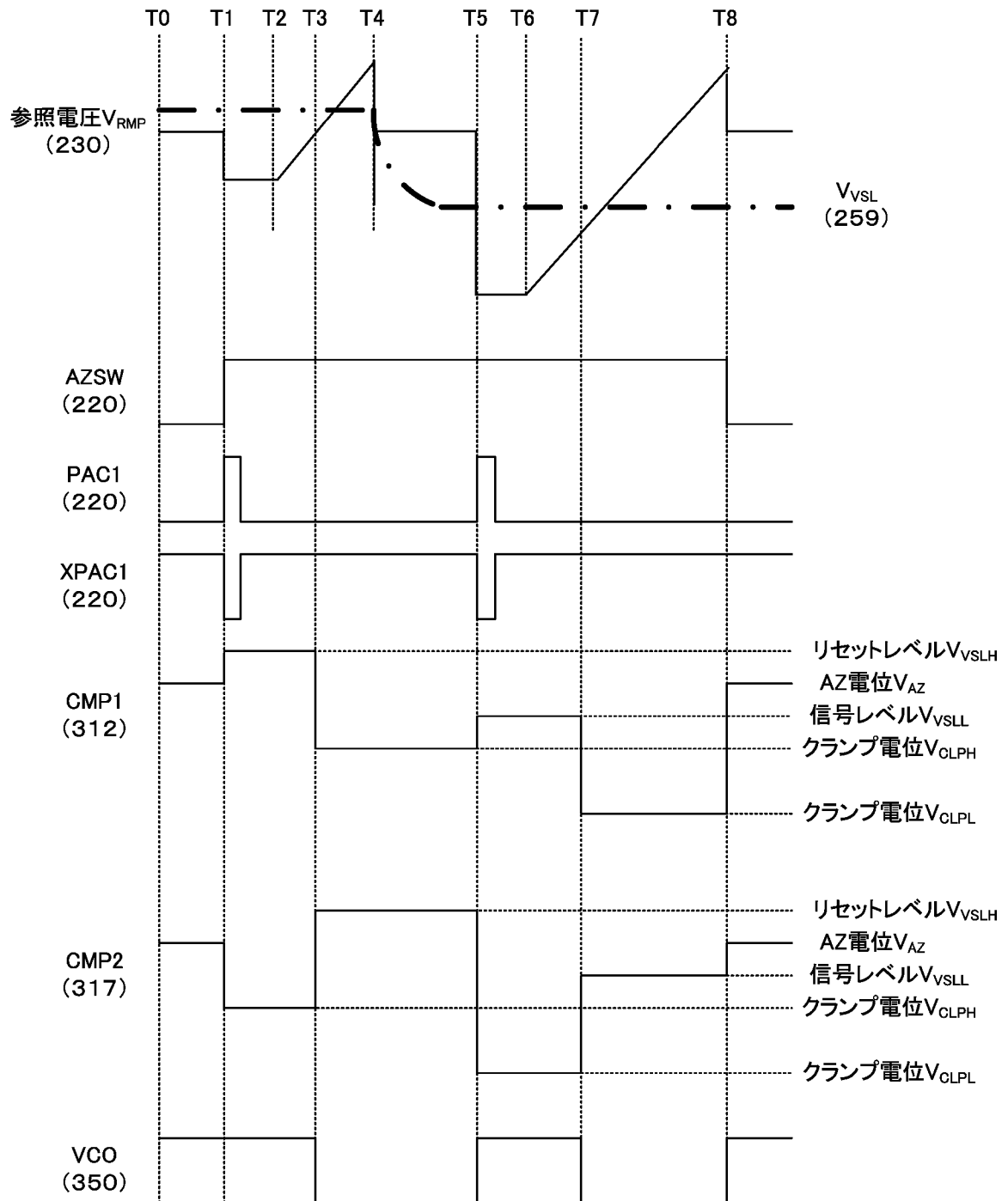
[図27]



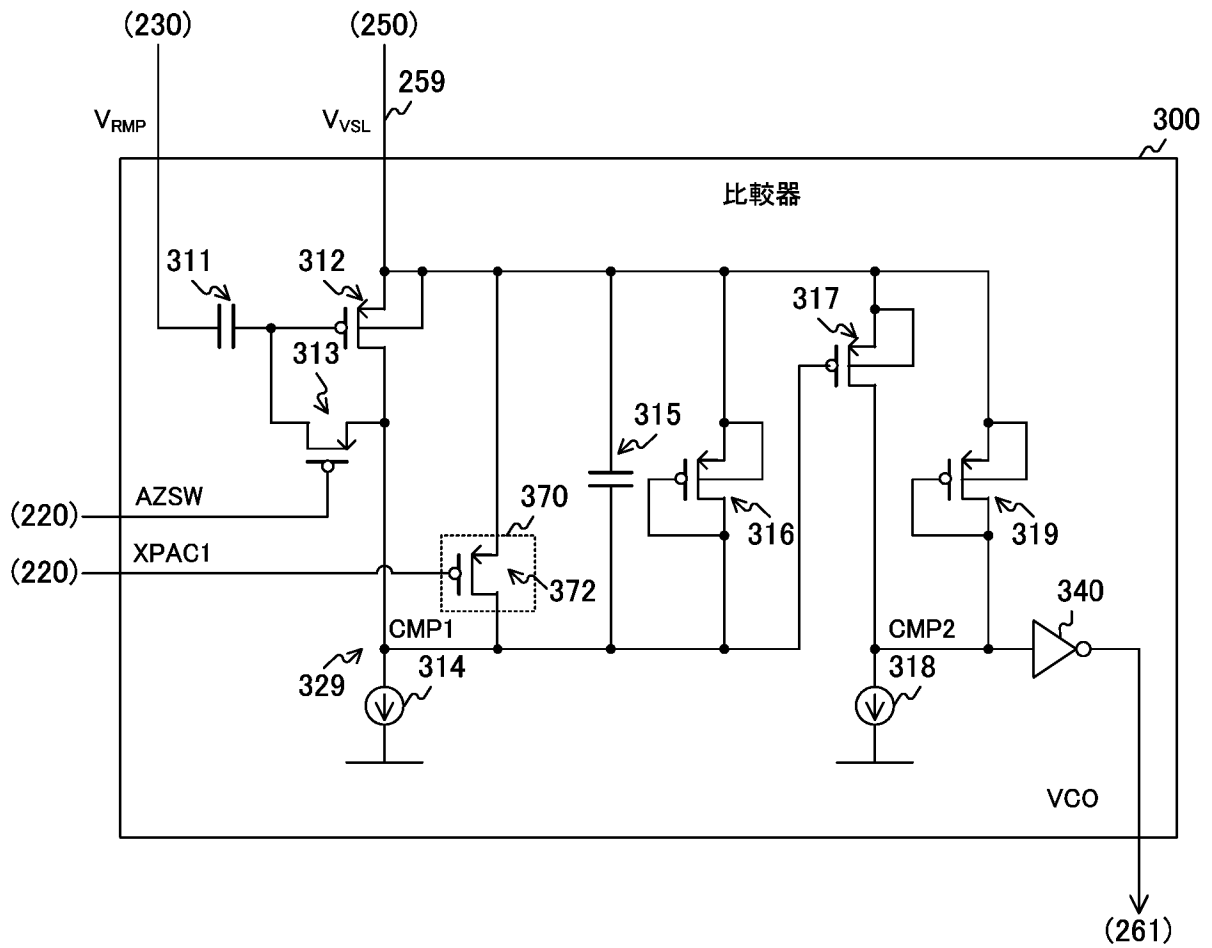
[図28]



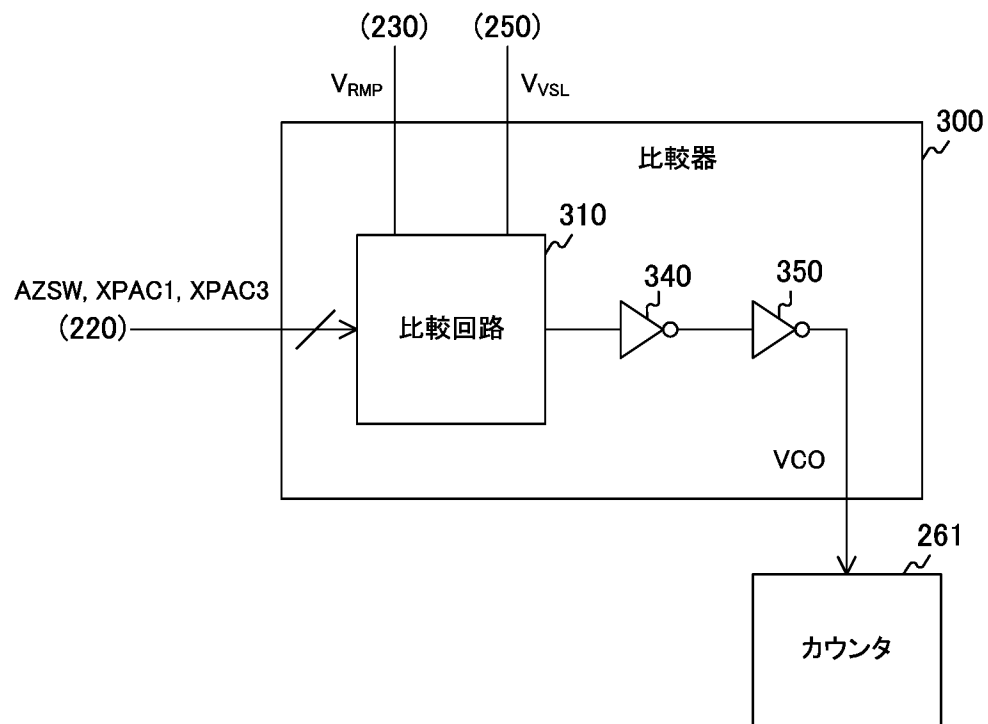
[図29]



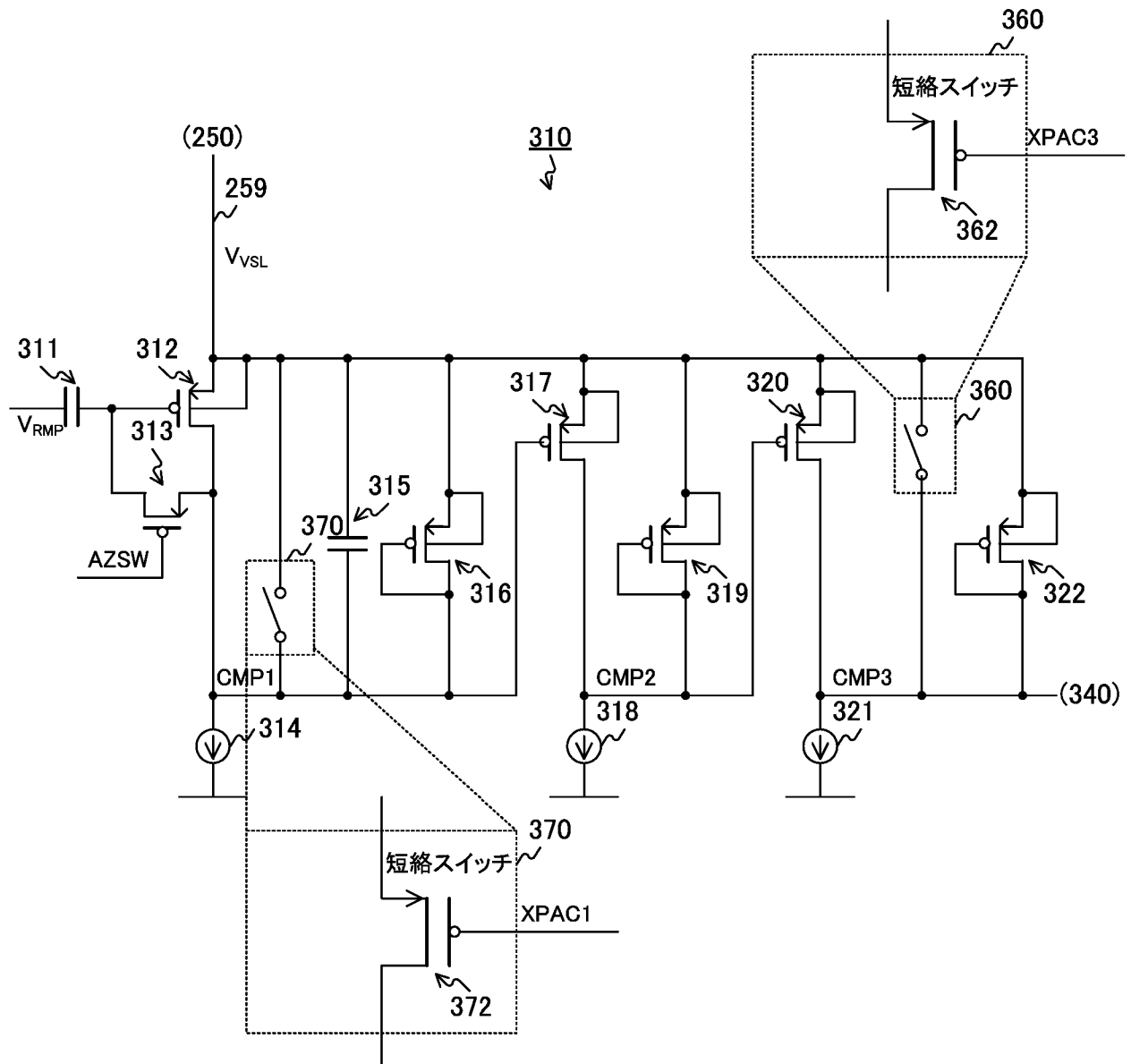
[illegible]



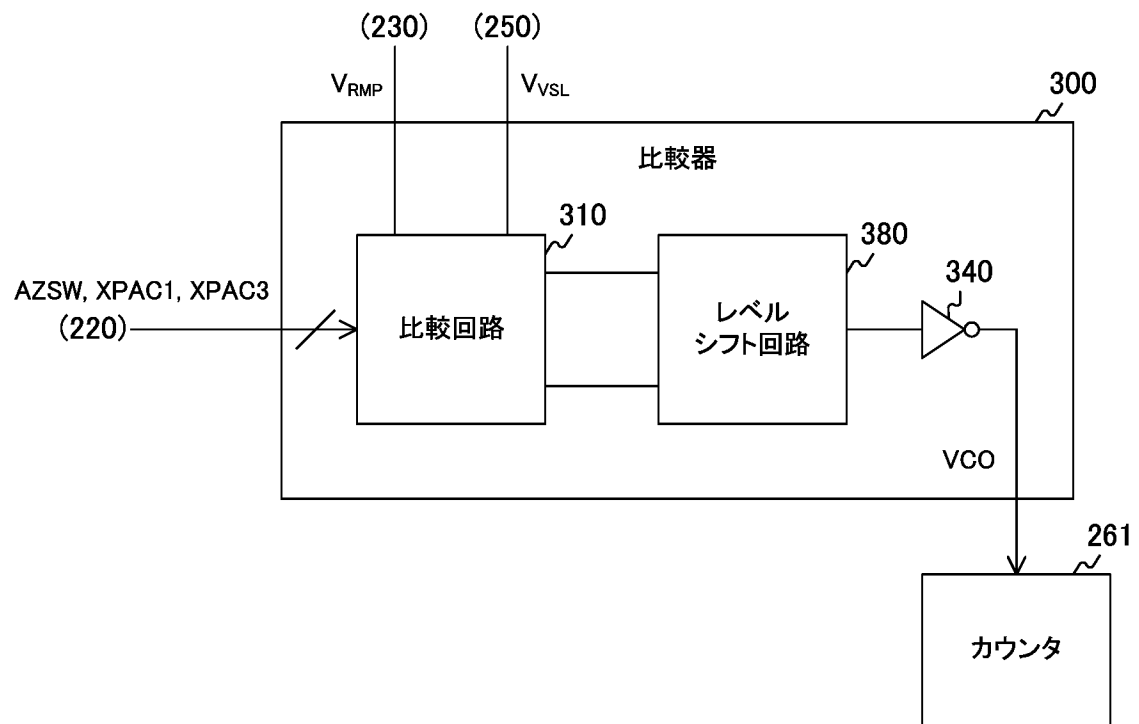
[図32]



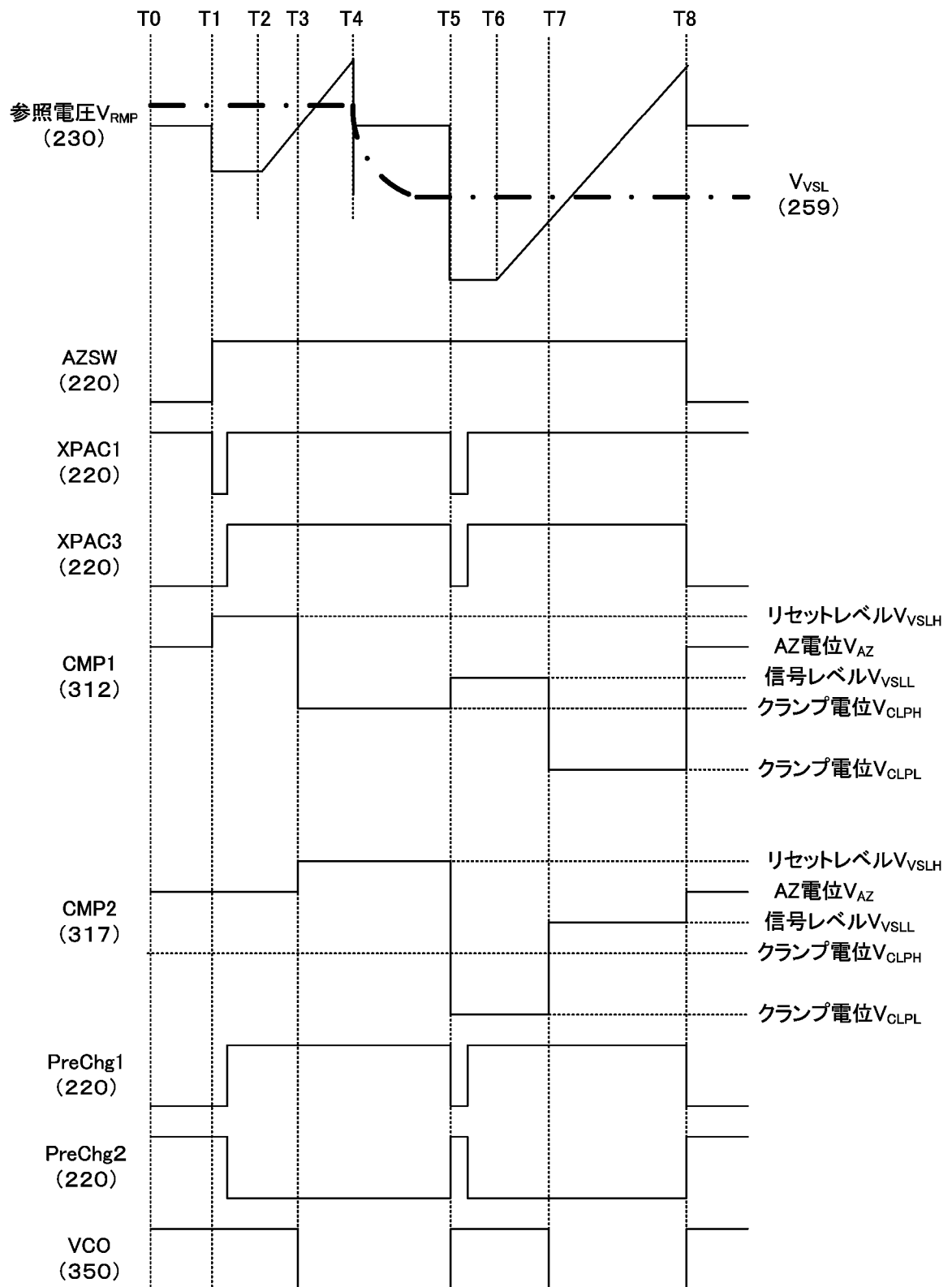
[図33]



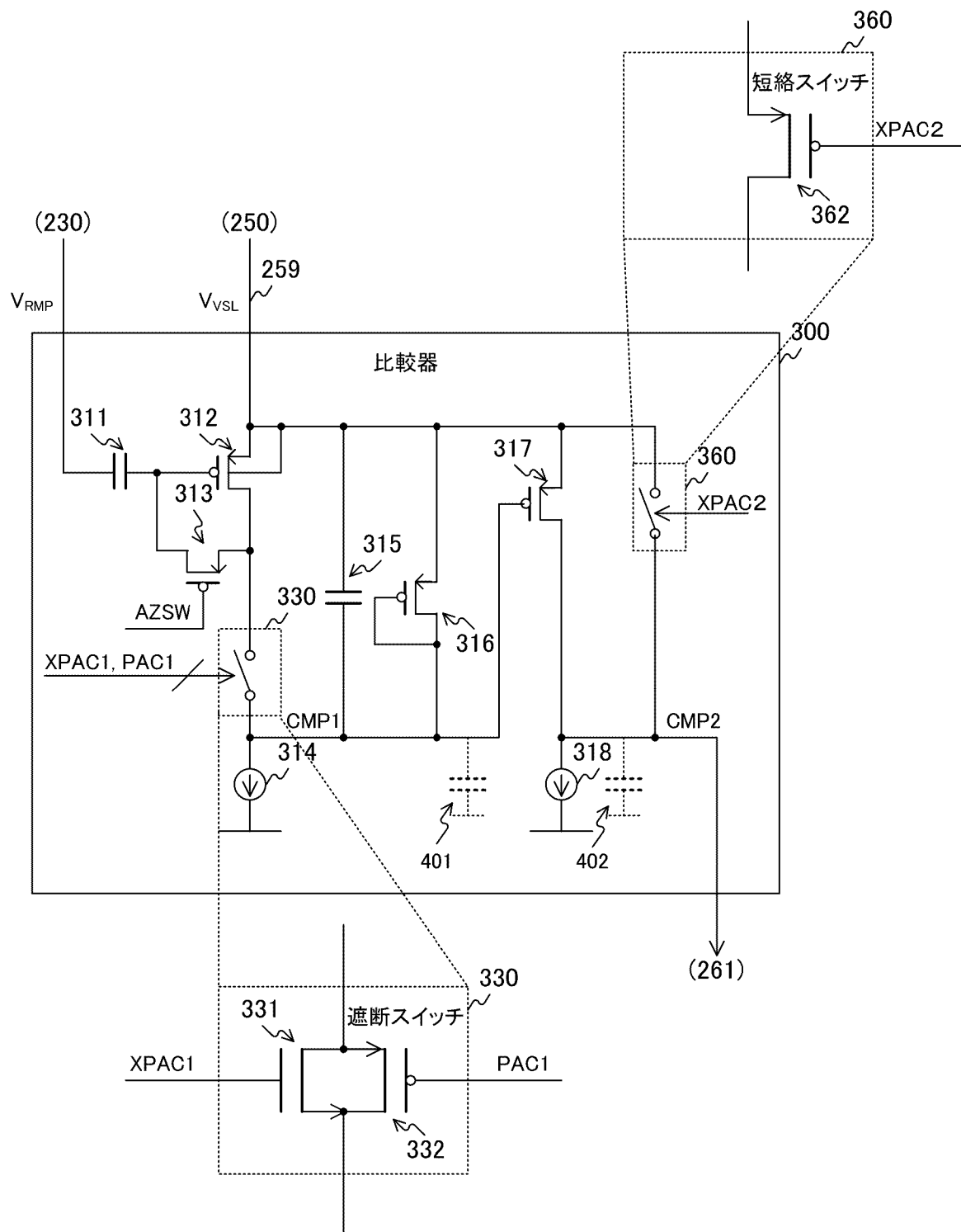
[図34]



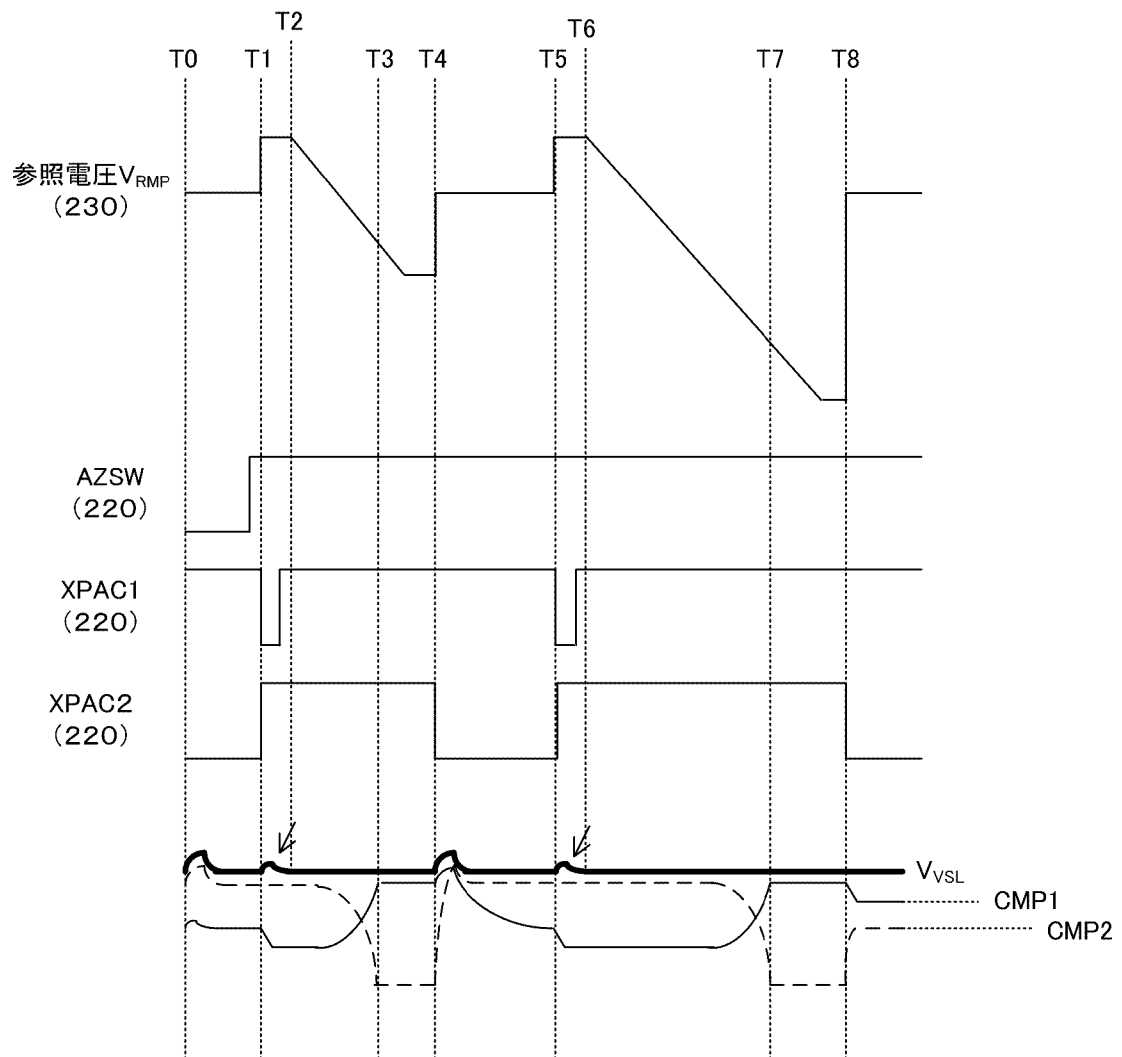
[図35]



[図36]

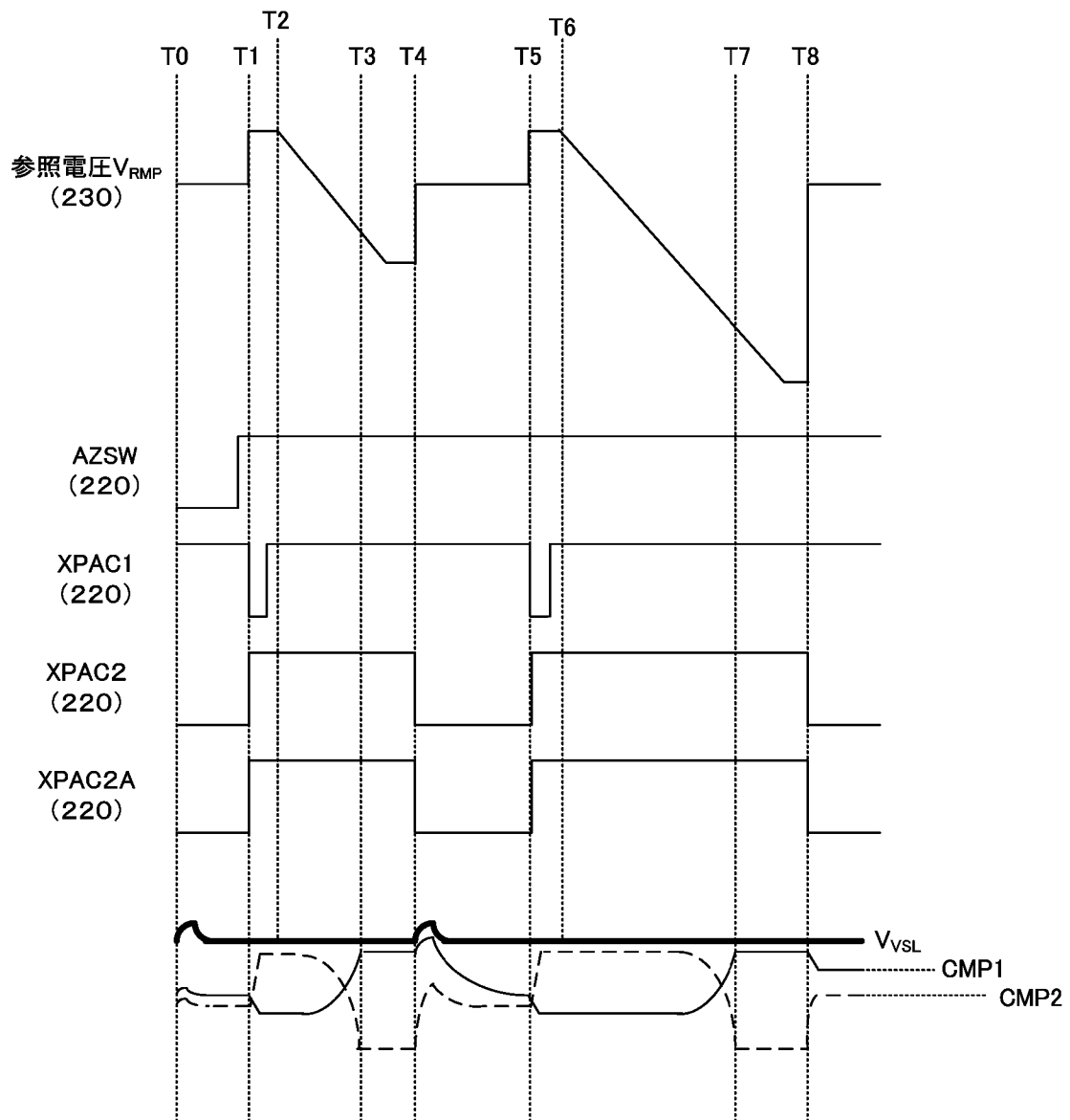


[図37]

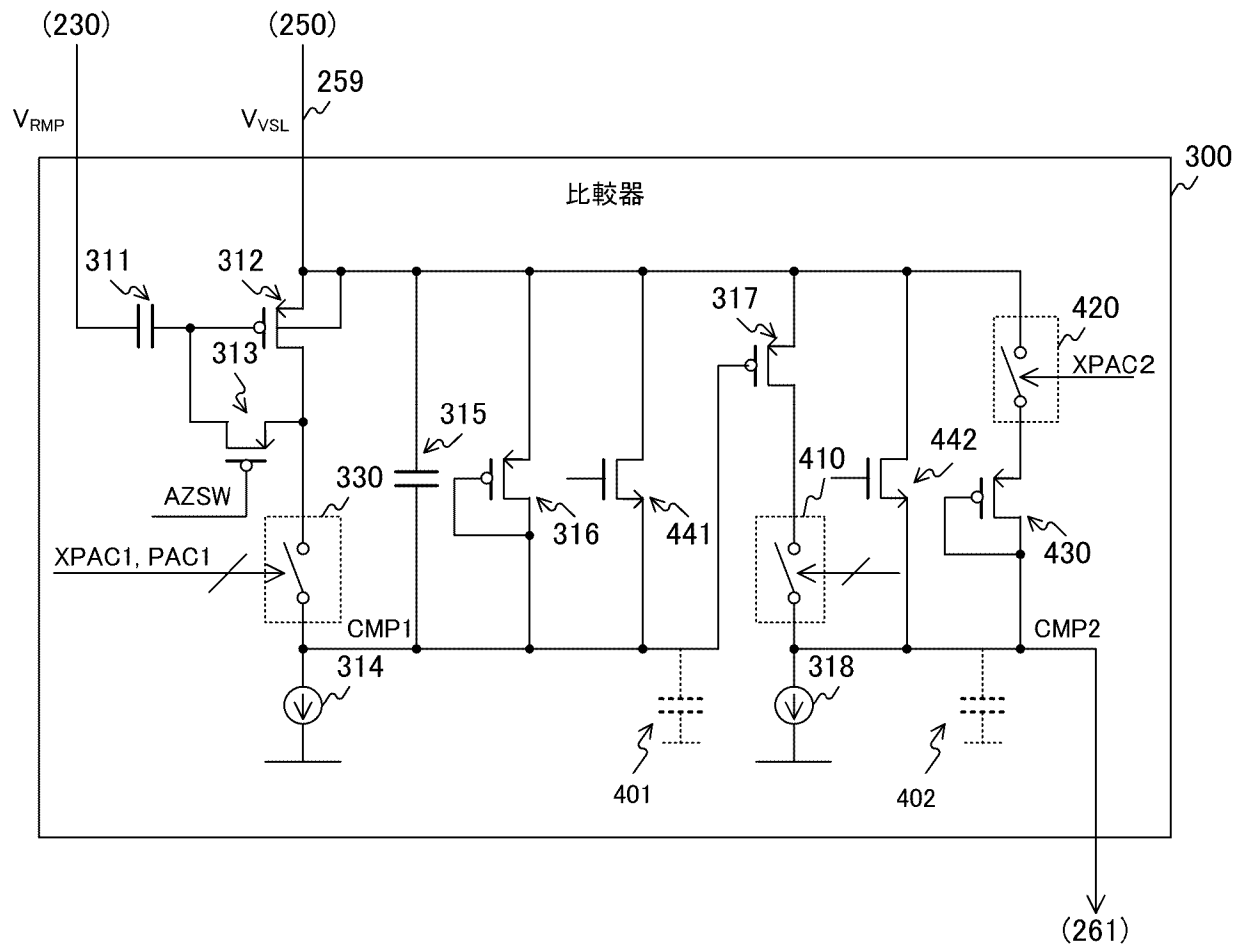


[illegible]

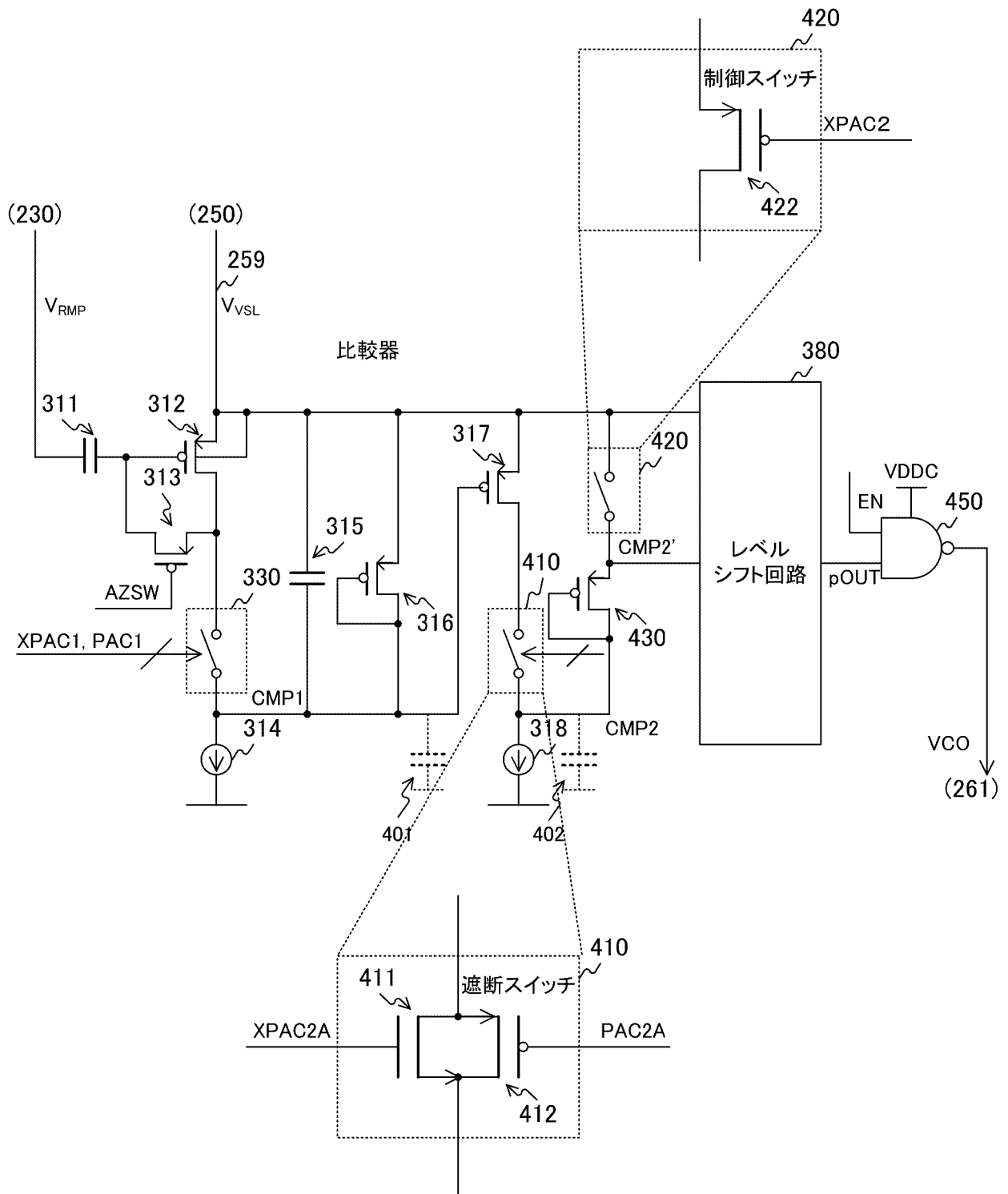
[図39]



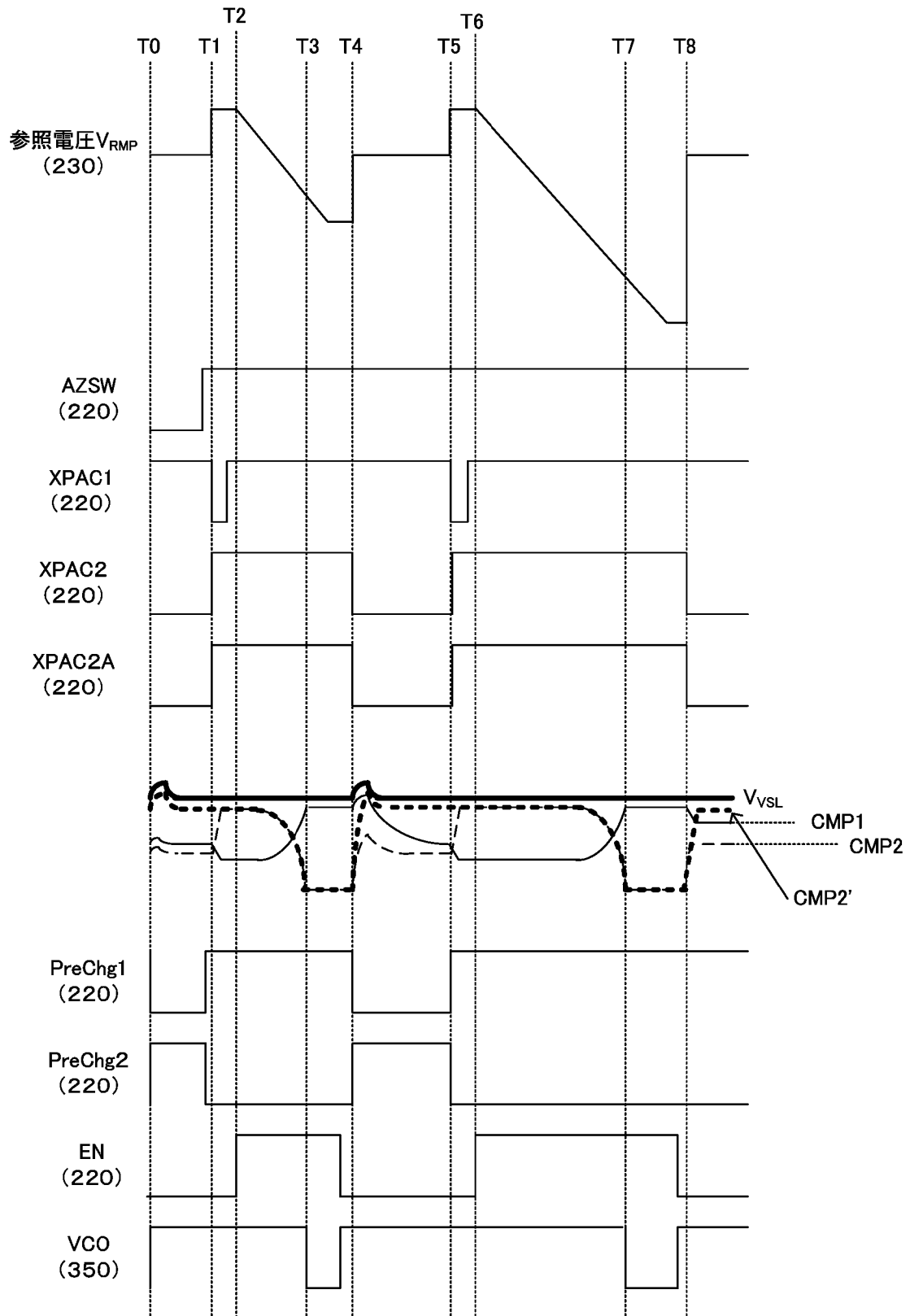
[図40]



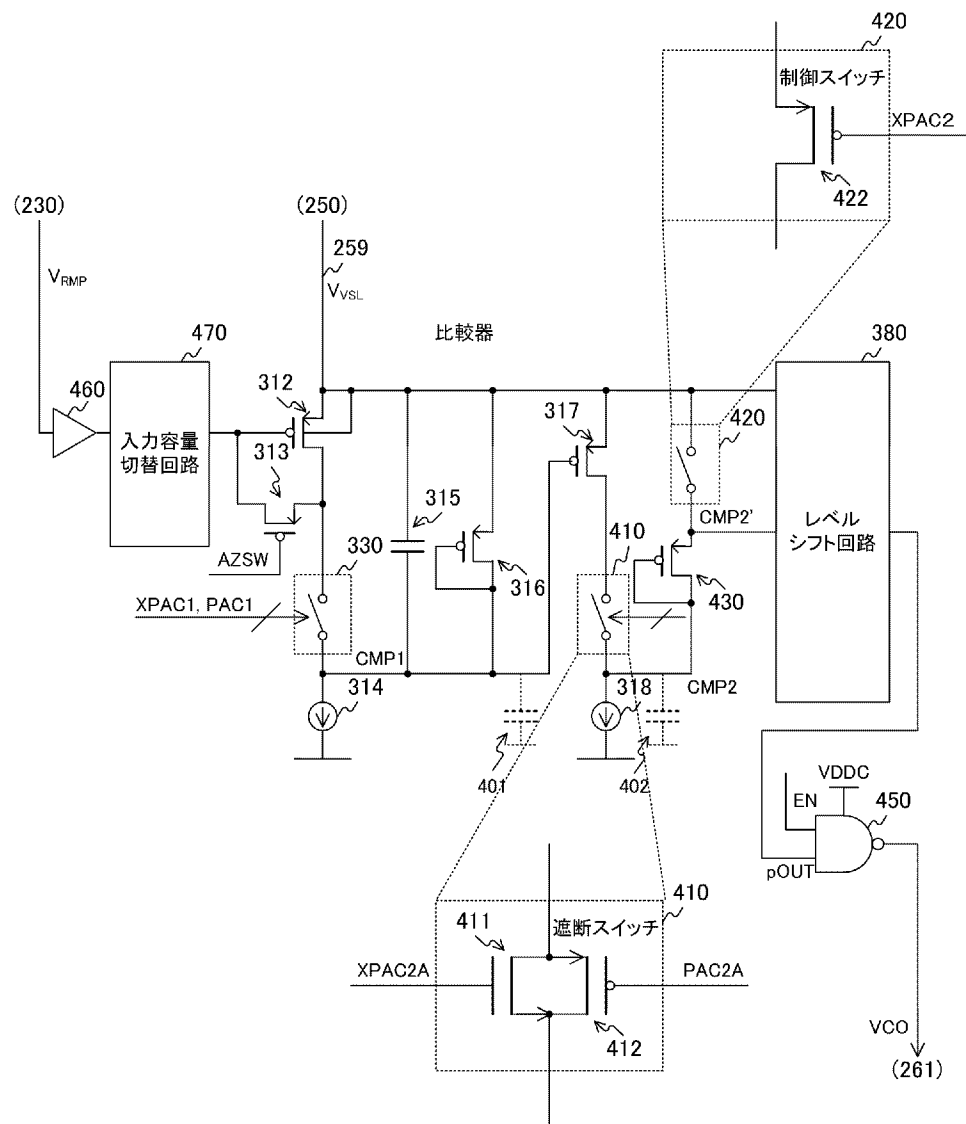
[図41]



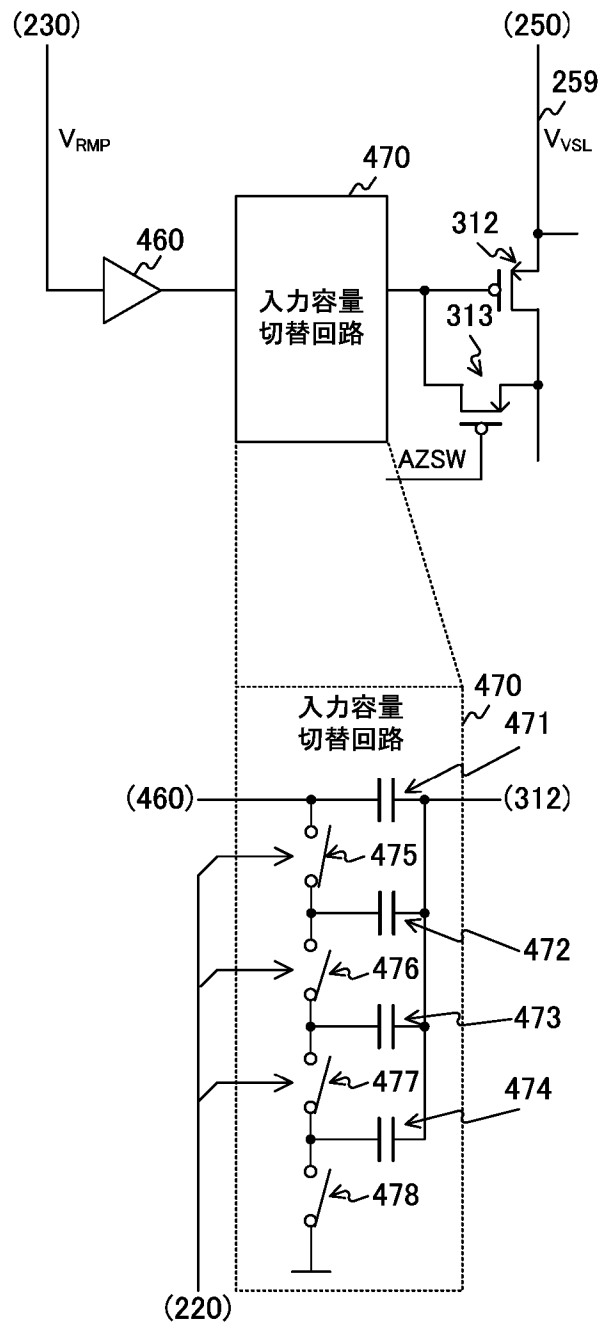
[図42]



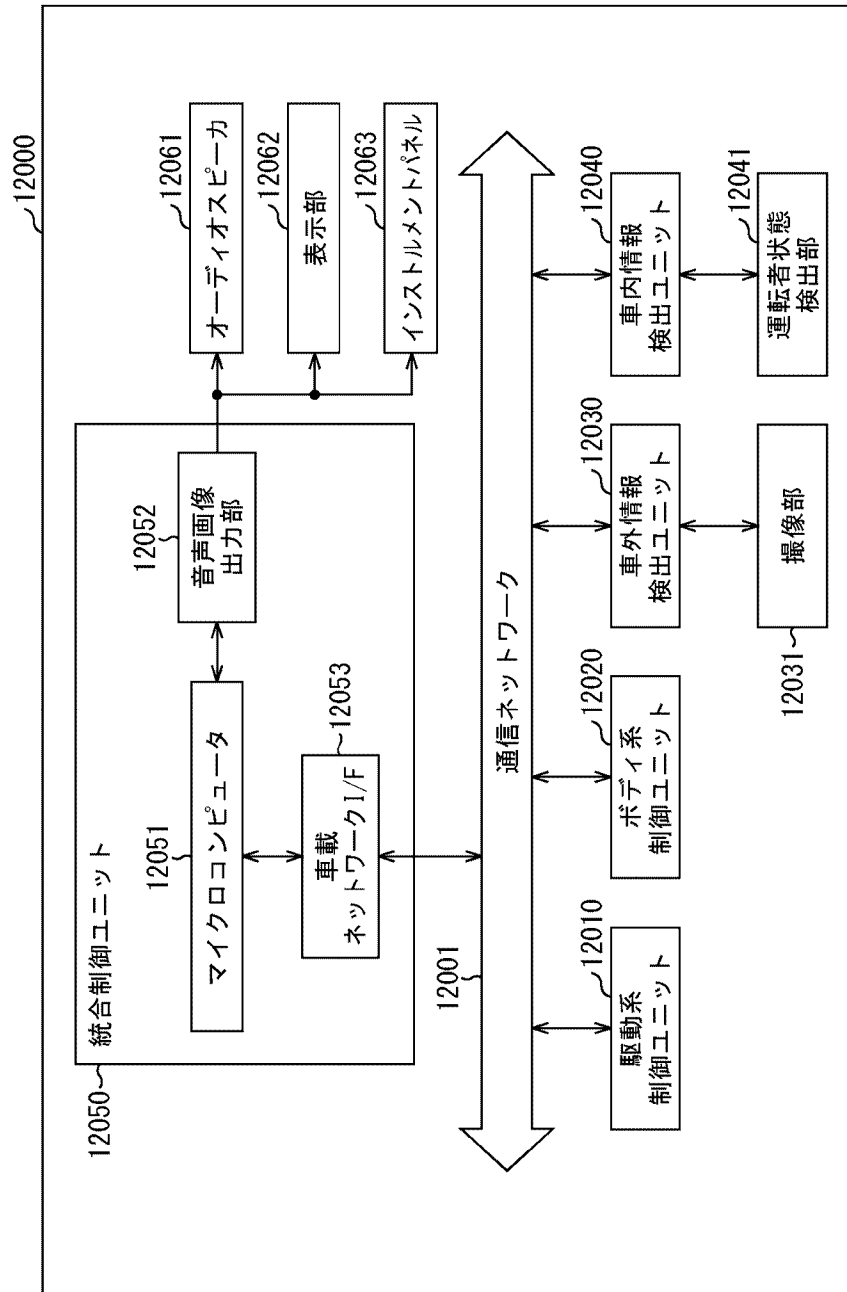
[図43]



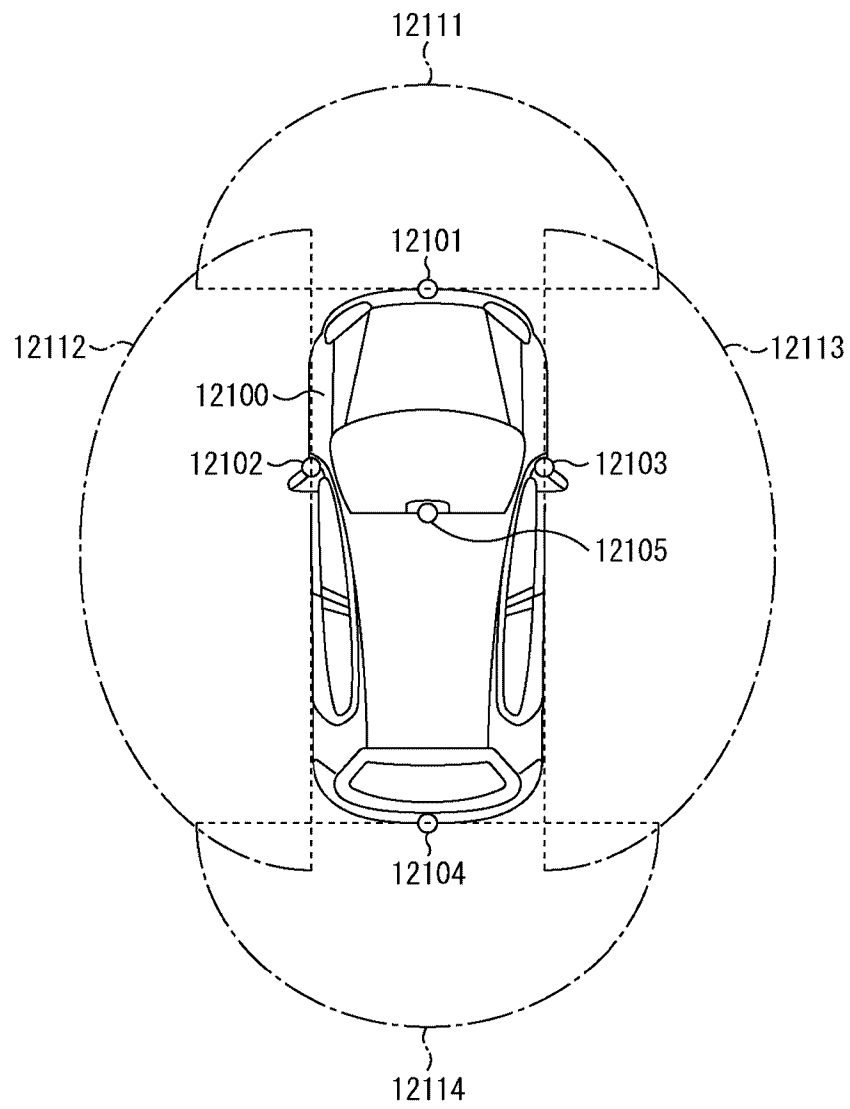
[図44]



[図45]



[図46]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/024083

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H04N5/378 (2011.01) i

FI: H04N5/378

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2018/0103222 A1 (SEMICONDUCTOR COMPONENTS INDUSTRIES, LLC) 12 April 2018 (2018-04-12), entire text, all drawings	1-20
A	JP 2010-187317 A (PANASONIC CORP.) 26 August 2010 (2010-08-26), entire text, all drawings	1-20
A	JP 2005-311487 A (SONY CORP.) 04 November 2005 (2005-11-04), entire text, all drawings	1-20

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06.09.2021

Date of mailing of the international search report
14.09.2021

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/024083

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
US 2018/0103222 A1	12.04.2018	CN 207321395 U entire text, all drawings	
JP 2010-187317 A	26.08.2010	US 2011/0292264 A1 entire text, all drawings	
JP 2005-311487 A	04.11.2005	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 5/378(2011.01)i FI: H04N5/378														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H04N5/378 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2021年													
日本国実用新案登録公報	1996 - 2021年													
日本国登録実用新案公報	1994 - 2021年													
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	US 2018/0103222 A1 (SEMICONDUCTOR COMPONENTS INDUSTRIES, LLC) 12.04.2018 (2018 - 04 - 12) 全文, 全図	1-20												
A	JP 2010-187317 A (パナソニック株式会社) 26.08.2010 (2010 - 08 - 26) 全文, 全図	1-20												
A	JP 2005-311487 A (ソニー株式会社) 04.11.2005 (2005 - 11 - 04) 全文, 全図	1-20												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 06.09.2021	国際調査報告の発送日 14.09.2021													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 橘 高志 5V 8391 電話番号 03-3581-1101 内線 3571													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/024083

引用文献			公表日	パテントファミリー文献	公表日
US	2018/0103222	A1	12.04.2018	CN 207321395 U 全文, 全図	
JP	2010-187317	A	26.08.2010	US 2011/0292264 A1 全文, 全図	
JP	2005-311487	A	04.11.2005	(ファミリーなし)	