



(12)发明专利

(10)授权公告号 CN 107210013 B

(45)授权公告日 2020.01.14

(21)申请号 201680006616.7

(22)申请日 2016.01.20

(65)同一申请的已公布的文献号  
申请公布号 CN 107210013 A

(43)申请公布日 2017.09.26

(30)优先权数据  
2015-009212 2015.01.21 JP

(85)PCT国际申请进入国家阶段日  
2017.07.20

(86)PCT国际申请的申请数据  
PCT/JP2016/051586 2016.01.20

(87)PCT国际申请的公布数据  
W02016/117609 JA 2016.07.28

(73)专利权人 株式会社日本显示器  
地址 日本东京都

(72)发明人 佐藤敏浩

(74)专利代理机构 北京市金杜律师事务所  
11256

代理人 陈伟 闫剑平

(51)Int.Cl.  
G09F 9/30(2006.01)  
G02F 1/1368(2006.01)  
H01L 29/423(2006.01)  
H01L 29/49(2006.01)  
H01L 29/786(2006.01)  
H01L 51/50(2006.01)

(56)对比文件  
JP 2009122253 A,2009.06.04,  
CN 101123259 A,2008.02.13,  
CN 203150552 U,2013.08.21,  
JP 2011181913 A,2011.09.15,  
CN 103456793 A,2013.12.18,

审查员 李琴

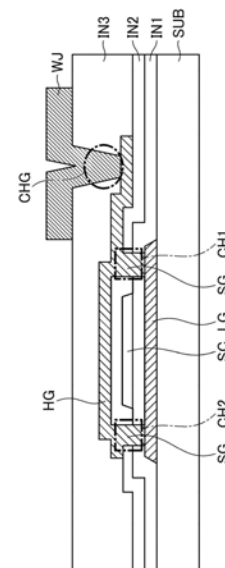
权利要求书6页 说明书8页 附图21页

(54)发明名称

显示装置

(57)摘要

本发明提供一种显示装置,抑制翘曲现象的产生,提高显示装置的画质。显示装置具有设置于像素上的薄膜晶体管。薄膜晶体管具有半导体层(SC)、设置于半导体层(SC)之下的第一绝缘层(IN1)、设置于半导体层(SC)之上的第二绝缘层(IN2)、与半导体层(SC)隔开间隔相对置的栅电极(LG、HG、SG)。栅电极包含与半导体层(SC)的下表面相对置的第一栅电极部(LG)、与半导体层(SC)的上表面相对置的第二栅电极部(HG)、与半导体层(SC)的侧面相对置并与第一栅电极部(LG)及第二栅电极部(HG)连接的第三栅电极部(SG)。在半导体层(SC)的周围具有第一绝缘层(IN1)及第二绝缘层(IN2)相互层叠的层叠部。层叠部的一部分位于半导体层(SC)的侧面和第三栅电极部(SG)之间。



1. 一种显示装置,其特征在于,

具有设置于呈矩阵状配置的多个像素的每一个的薄膜晶体管,

所述薄膜晶体管具有半导体层、设置于所述半导体层的下层的第二绝缘层、设置于所述半导体层的上层的第二绝缘层、及与所述半导体层隔开间隔地相对置的栅电极,

所述半导体层包含源极区域、漏极区域、位于所述源极区域与所述漏极区域之间的沟道区域,且具备上表面、下表面、侧面,所述侧面与所述上表面和所述下表面连接并且具有包含于所述沟道区域的部分,

所述栅电极包含:第一栅电极部,其隔着所述第一绝缘层与所述半导体层的所述下表面相对置;第二栅电极部,其隔着所述第二绝缘层与所述半导体层的所述上表面相对置;以及第三栅电极部,其与所述半导体层的所述侧面相对置,并且与所述第一栅电极部及所述第二栅电极部相接,

在所述半导体层的周围具备所述第一绝缘层和所述第二绝缘层相互层叠的层叠部,

所述层叠部的一部分位于所述半导体层的所述侧面与所述第三栅电极部之间,

所述半导体层具备:

第一部分,其在俯视时仅与所述第一栅电极部和所述第二栅电极部中的一方重叠;以及

第二部分,其在俯视时从所述第一部分突出,与所述第一栅电极部和所述第二栅电极部均没有重叠。

2. 根据权利要求1所述的显示装置,其特征在于,

所述层叠部在与所述半导体层的所述侧面相对置的位置具有接触孔,

所述第三栅电极部设置于接触孔内。

3. 一种显示装置,其特征在于,

具有设置于呈矩阵状配置的多个像素的每一个的薄膜晶体管,

所述薄膜晶体管具有半导体层、设置于所述半导体层的下层的第二绝缘层、设置于所述半导体层的上层的第二绝缘层、及与所述半导体层隔开间隔地相对置的栅电极,

所述半导体层包含源极区域、漏极区域、位于所述源极区域与所述漏极区域之间的沟道区域,且具备上表面、下表面、侧面,所述侧面与所述上表面和所述下表面连接并且具有包含于所述沟道区域的部分,

所述栅电极包含:第一栅电极部,其隔着所述第一绝缘层与所述半导体层的所述下表面相对置;第二栅电极部,其隔着所述第二绝缘层与所述半导体层的所述上表面相对置;以及第三栅电极部,其与所述半导体层的所述侧面相对置,并且与所述第一栅电极部及所述第二栅电极部相接,

在所述半导体层的周围具备所述第一绝缘层和所述第二绝缘层相互层叠的层叠部,

所述层叠部的一部分位于所述半导体层的所述侧面与所述第三栅电极部之间,

所述半导体层的所述沟道区域包含:

一对第一重叠区域,其在俯视时与所述第一栅电极部和所述第二栅电极部的双方重叠;以及

一对第二重叠区域,其在俯视时仅与所述第一栅电极部和所述第二栅电极部中的一方重叠,

所述一对第一重叠区域彼此相对置地位于连结所述源极区域和所述漏极区域的方向上，

所述一对第二重叠区域分别位于与所述一对第一重叠区域各自相邻的位置。

4. 一种显示装置，其特征在于，

具有设置于呈矩阵状配置的多个像素的每一个的薄膜晶体管，

所述薄膜晶体管具有半导体层、设置于所述半导体层的下层的第二绝缘层、设置于所述半导体层的上层的第二绝缘层、及与所述半导体层隔开间隔地相对置的栅电极，

所述半导体层包含源极区域、漏极区域、位于所述源极区域与所述漏极区域之间的沟道区域，且具备上表面、下表面、侧面，所述侧面与所述上表面和所述下表面连接并且具有包含于所述沟道区域的部分，

所述栅电极包含：第一栅电极部，其隔着所述第一绝缘层与所述半导体层的所述下表面相对置；第二栅电极部，其隔着所述第二绝缘层与所述半导体层的所述上表面相对置；以及第三栅电极部，其与所述半导体层的所述侧面相对置，并且与所述第一栅电极部及所述第二栅电极部相接，

在所述半导体层的周围具备所述第一绝缘层和所述第二绝缘层相互层叠的层叠部，

所述层叠部的一部分位于所述半导体层的所述侧面与所述第三栅电极部之间，

所述第一栅电极部和所述第二栅电极部中的一方具有向与连结所述源极区域和所述漏极区域的方向交叉的方向凹陷的切缺，

所述半导体层的一部分位于在所述切缺的内侧且俯视时不与所述第一栅电极部和所述第二栅电极部中的一方重叠的非重叠区域。

5. 根据权利要求4所述的显示装置，其特征在于，

布线位于所述非重叠区域，

所述布线在所述上表面或所述下表面的与所述第一栅电极部和所述第二栅电极部中的一方相对置的面与所述半导体层电连接。

6. 根据权利要求5所述的显示装置，其特征在于，

所述布线与所述源极区域和所述漏极区域中的一方电连接。

7. 一种显示装置，其特征在于，

具有设置于呈矩阵状配置的多个像素的每一个的薄膜晶体管，

所述薄膜晶体管具有半导体层、设置于所述半导体层的下层的第二绝缘层、设置于所述半导体层的上层的第二绝缘层、及与所述半导体层隔开间隔地相对置的栅电极，

所述半导体层包含源极区域、漏极区域、位于所述源极区域与所述漏极区域之间的沟道区域，且具备上表面、下表面、侧面，所述侧面与所述上表面和所述下表面连接并且具有包含于所述沟道区域的部分，

所述栅电极包含：第一栅电极部，其隔着所述第一绝缘层与所述半导体层的所述下表面相对置；第二栅电极部，其隔着所述第二绝缘层与所述半导体层的所述上表面相对置；以及第三栅电极部，其与所述半导体层的所述侧面相对置，并且与所述第一栅电极部及所述第二栅电极部相接，

在所述半导体层的周围具备所述第一绝缘层和所述第二绝缘层相互层叠的层叠部，

所述层叠部的一部分位于所述半导体层的所述侧面与所述第三栅电极部之间，

所述层叠部在与所述半导体层的所述侧面相对置的位置具有接触孔，  
所述第三栅电极部设置于接触孔内，  
所述第一栅电极部具有与所述半导体层相对置的第一区域，  
所述第二栅电极部具有与所述半导体层相对置的第二区域，  
所述接触孔具有位于连结所述源极区域和所述漏极区域的方向上的一对端部，  
所述接触孔的所述一对端部在俯视时与所述第一区域和所述第二区域中的一方重叠且与另一方不重叠。

8. 一种显示装置，其特征在于，

具有设置于呈矩阵状配置的多个像素的每一个的薄膜晶体管，

所述薄膜晶体管具有半导体层、设置于所述半导体层的下层的第二绝缘层、设置于所述半导体层的上层的第二绝缘层、及与所述半导体层隔开间隔地相对置的栅电极，

所述半导体层包含源极区域、漏极区域、位于所述源极区域与所述漏极区域之间的沟道区域，且具备上表面、下表面、侧面，所述侧面与所述上表面和所述下表面连接并且具有包含于所述沟道区域的部分，

所述栅电极包含：第一栅电极部，其隔着所述第一绝缘层与所述半导体层的所述下表面相对置；第二栅电极部，其隔着所述第二绝缘层与所述半导体层的所述上表面相对置；以及第三栅电极部，其与所述半导体层的所述侧面相对置，并且与所述第一栅电极部及所述第二栅电极部相接，

在所述半导体层的周围具备所述第一绝缘层和所述第二绝缘层相互层叠的层叠部，

所述层叠部的一部分位于所述半导体层的所述侧面与所述第三栅电极部之间，

所述第一栅电极部具有在俯视时从所述第一绝缘层和所述第二绝缘层突出的突出区域，

所述第三栅电极部在所述突出区域与所述第一栅电极部连接。

9. 一种显示装置，其特征在于，

具有设置于呈矩阵状配置的多个像素的每一个的薄膜晶体管，

所述薄膜晶体管具有半导体层、设置于所述半导体层的下层的第二绝缘层、设置于所述半导体层的上层的第二绝缘层、及与所述半导体层隔开间隔地相对置的栅电极，

所述半导体层包含源极区域、漏极区域、位于所述源极区域与所述漏极区域之间的沟道区域，且具备上表面、下表面、侧面，所述侧面与所述上表面和所述下表面连接并且具有包含于所述沟道区域的部分，

所述栅电极包含：第一栅电极部，其隔着所述第一绝缘层与所述半导体层的所述下表面相对置；第二栅电极部，其隔着所述第二绝缘层与所述半导体层的所述上表面相对置；以及第三栅电极部，其与所述半导体层的所述侧面相对置，并且与所述第一栅电极部及所述第二栅电极部相接，

在所述半导体层的周围具备所述第一绝缘层和所述第二绝缘层相互层叠的层叠部，

所述层叠部的一部分位于所述半导体层的所述侧面与所述第三栅电极部之间，

所述第一绝缘层及所述第二绝缘层不与所述第三栅电极部的所述半导体层的相反侧的面相接。

10. 一种显示装置，其特征在于，

具有设置于呈矩阵状配置的多个像素的每一个的薄膜晶体管，

所述薄膜晶体管具有半导体层、设置于所述半导体层的下层的第二绝缘层、设置于所述半导体层的上层的第三绝缘层、及与所述半导体层隔开间隔地相对置的栅电极，

所述半导体层包含源极区域、漏极区域、位于所述源极区域与所述漏极区域之间的沟道区域，且具备上表面、下表面、侧面，所述侧面与所述上表面和所述下表面连接并且具有包含于所述沟道区域的部分，

所述栅电极包含：第一栅电极部，其隔着所述第一绝缘层与所述半导体层的所述下表面相对置；第二栅电极部，其隔着所述第二绝缘层与所述半导体层的所述上表面相对置；以及第三栅电极部，其与所述半导体层的所述侧面相对置，并且与所述第一栅电极部及所述第二栅电极部相接，

在所述半导体层的周围具备所述第一绝缘层和所述第二绝缘层相互层叠的层叠部，

所述层叠部的一部分位于所述半导体层的所述侧面与所述第三栅电极部之间，

所述第三栅电极部具有位于连结所述源极区域和所述漏极区域的方向上的一对端部，

所述第三栅电极部的所述一对端部在俯视时与所述第一栅电极部和所述第二栅电极部重叠。

11. 根据权利要求10所述的显示装置，其特征在于，

所述第一栅电极部具有与所述半导体层相对置的第一区域，

所述第二栅电极部具有与所述半导体层相对置的第二区域，

所述第三栅电极部具有与所述半导体层相对置的第三区域，

所述第三区域具有位于连结所述源极区域和所述漏极区域的方向上的两侧的一对端部，

所述第三区域的所述一对端部在俯视时与所述第一区域和所述第二区域重叠。

12. 一种显示装置，其特征在于，

具有设置于呈矩阵状配置的多个像素的每一个的薄膜晶体管，

所述薄膜晶体管具有半导体层、设置于所述半导体层的下层的第二绝缘层、设置于所述半导体层的上层的第三绝缘层、及与所述半导体层隔开间隔地相对置的栅电极，

所述半导体层包含源极区域、漏极区域、位于所述源极区域与所述漏极区域之间的沟道区域，且具备上表面、下表面、侧面，所述侧面与所述上表面和所述下表面连接并且具有包含于所述沟道区域的部分，

所述栅电极包含：第一栅电极部，其隔着所述第一绝缘层与所述半导体层的所述下表面相对置；第二栅电极部，其隔着所述第二绝缘层与所述半导体层的所述上表面相对置；以及第三栅电极部，其与所述半导体层的所述侧面相对置，并且与所述第一栅电极部及所述第二栅电极部相接，

在所述半导体层的周围具备所述第一绝缘层和所述第二绝缘层相互层叠的层叠部，

所述层叠部的一部分位于所述半导体层的所述侧面与所述第三栅电极部之间，

所述半导体层的所述侧面包含第一侧面、和隔着所述沟道区域与所述第一侧面相对置的第二侧面，

所述第三栅电极部与所述第一侧面和所述第二侧面的双方相对置。

13. 一种显示装置，其特征在于，

具有设置于呈矩阵状配置的多个像素的每一个的薄膜晶体管，

所述薄膜晶体管具有半导体层、设置于所述半导体层的下层的所述第一绝缘层、设置于所述半导体层的上层的第二绝缘层、及与所述半导体层隔开间隔地相对置的栅电极，

所述半导体层包含源极区域、漏极区域、位于所述源极区域与所述漏极区域之间的沟道区域，且具备上表面、下表面、侧面，所述侧面与所述上表面和所述下表面连接并且具有包含于所述沟道区域的部分，

所述栅电极包含：第一栅电极部，其隔着所述第一绝缘层与所述半导体层的所述下表面相对置；第二栅电极部，其隔着所述第二绝缘层与所述半导体层的所述上表面相对置；以及第三栅电极部，其与所述半导体层的所述侧面相对置，并且与所述第一栅电极部及所述第二栅电极部相接，

在所述半导体层的周围具备所述第一绝缘层和所述第二绝缘层相互层叠的层叠部，

所述层叠部的一部分位于所述半导体层的所述侧面与所述第三栅电极部之间，

所述半导体层的所述侧面包含第一侧面、和隔着所述沟道区域与所述第一侧面相对置的第二侧面，

所述第三栅电极部仅与所述第一侧面和所述第二侧面中的一方相对置。

14. 一种显示装置，其特征在于，

具有设置于呈矩阵状配置的多个像素的每一个的薄膜晶体管，

所述薄膜晶体管具有半导体层、设置于所述半导体层的下层的所述第一绝缘层、设置于所述半导体层的上层的第二绝缘层、及与所述半导体层隔开间隔地相对置的栅电极，

所述半导体层包含源极区域、漏极区域、位于所述源极区域与所述漏极区域之间的沟道区域，且具备上表面、下表面、侧面，所述侧面与所述上表面和所述下表面连接并且具有包含于所述沟道区域的部分，

所述栅电极包含：第一栅电极部，其隔着所述第一绝缘层与所述半导体层的所述下表面相对置；第二栅电极部，其隔着所述第二绝缘层与所述半导体层的所述上表面相对置；以及第三栅电极部，其与所述半导体层的所述侧面相对置，并且与所述第一栅电极部及所述第二栅电极部相接，

在所述半导体层的周围具备所述第一绝缘层和所述第二绝缘层相互层叠的层叠部，

所述层叠部的一部分位于所述半导体层的所述侧面与所述第三栅电极部之间，

所述半导体层的所述侧面包含第一侧面、和隔着所述沟道区域与所述第一侧面相对置的第二侧面，

所述第三栅电极部包含与所述第一侧面相对置的相互分离的多个第一分离部分。

15. 根据权利要求14所述的显示装置，其特征在于，

所述第三栅电极部包含与所述第二侧面相对置的相互分离的多个第二分离部分。

16. 一种显示装置，其特征在于，

具有设置于呈矩阵状配置的多个像素的每一个的薄膜晶体管，

所述薄膜晶体管具有半导体层、设置于所述半导体层的下层的所述第一绝缘层、设置于所述半导体层的上层的第二绝缘层、及与所述半导体层隔开间隔地相对置的栅电极，

所述半导体层包含源极区域、漏极区域、位于所述源极区域与所述漏极区域之间的沟道区域，且具备上表面、下表面、侧面，所述侧面与所述上表面和所述下表面连接并且具有

包含于所述沟道区域的部分，

所述栅电极包含：第一栅电极部，其隔着所述第一绝缘层与所述半导体层的所述下表面相对置；第二栅电极部，其隔着所述第二绝缘层与所述半导体层的所述上表面相对置；以及第三栅电极部，其与所述半导体层的所述侧面相对置，并且与所述第一栅电极部及所述第二栅电极部相接，

在所述半导体层的周围具备所述第一绝缘层和所述第二绝缘层相互层叠的层叠部，

所述层叠部的一部分位于所述半导体层的所述侧面与所述第三栅电极部之间，

所述半导体层具有在与连结所述源极区域和所述漏极区域的方向交叉的方向上分支的分支部，

所述分支部从所述沟道区域分支。

17. 根据权利要求16所述的显示装置，其特征在于，

所述第一栅电极部及所述第二栅电极部中的至少一方具有与所述分支部相对置的分支栅电极部。

18. 根据权利要求16所述的显示装置，其特征在于，

所述分支部与所述源极区域和所述漏极区域中的一方电连接。

## 显示装置

### 技术领域

[0001] 本发明涉及显示装置。

### 背景技术

[0002] 液晶显示装置或有机EL显示装置等由具有薄膜晶体管的像素构成的显示装置正在普及。

[0003] 专利文献1中公开有一种包含位于半导体层之下的背栅电极、和位于半导体层之上的顶栅(front gate)电极在内的薄膜晶体管。专利文献2中公开有一种设置有半导体薄膜的上方的栅电极、和下方的背栅电极的薄膜晶体管。

[0004] 现有技术文献

[0005] 专利文献

[0006] 专利文献1:日本特开2009-43748号公报

[0007] 专利文献2:日本特开平5-114732号公报

### 发明内容

[0008] 近年的显示装置被要求高精细化,由此,像素的尺寸变小。当像素变小时,配置薄膜晶体管的空间减少,在通过小尺寸的晶体管控制电流时成为问题的翘曲(Kink)现象变得更容易产生。在此,翘曲现象是 $V_d-I_d$ 特性与一般的薄膜晶体管不同的现象,也被称为因漏极端的强电场而大量产生热电子的碰撞电离现象。此时,当发生成为多余的空穴蓄积于栅极下的空穴累积状态的现象即翘曲现象时,薄膜晶体管的特性偏差增大,产生画质恶化。

[0009] 本发明是鉴于上述课题而提出的,其目的在于,提供一种抑制薄膜晶体管的翘曲现象的产生,提高显示装置的画质的技术。

[0010] 若说明本申请中公开的发明中的、代表性的发明概要,则如下。

[0011] 显示装置具有设置于矩阵状配置的多个像素的各像素上的薄膜晶体管,所述薄膜晶体管具有半导体层、设置于所述半导体层的下层的第一绝缘层、设置于所述半导体层的上层的第二绝缘层、与所述半导体层隔开间隔相对置的栅电极,所述半导体层包含源极区域、漏极区域、位于所述源极区域和所述漏极区域之间的沟道区域,且具备上表面、下表面、侧面,所述侧面与所述上表面和所述下表面连接并且具有包含于所述沟道区域的部分,所述栅电极包含:第一栅电极部,其隔着所述第一绝缘层与所述半导体层的所述下表面对置;第二栅电极部,其隔着所述第二绝缘层与所述半导体层的所述上表面对置;第三栅电极部,其与所述半导体层的所述侧面相对置,并且与所述第一栅电极部及所述第二栅电极部相接,在所述半导体层的周围具备所述第一绝缘层和所述第二绝缘层相互层叠的层叠部,所述层叠部的一部分位于所述半导体层的所述侧面和所述第三栅电极部之间。

[0012] 发明效果

[0013] 根据本发明,能够抑制翘曲现象的产生,提高显示装置的画质。

## 附图说明

- [0014] 图1是表示第一实施方式的有机EL显示装置的等效电路的一例的电路图。
- [0015] 图2是表示第一实施方式的像素电路的一例的俯视图。
- [0016] 图3是图2所示的像素电路的III—III截断线处的剖视图。
- [0017] 图4是表示第一实施方式的薄膜晶体管的一例的俯视图。
- [0018] 图5是图4所示的薄膜晶体管的V—V截断线处的剖视图。
- [0019] 图6是表示薄膜晶体管的另一例的俯视图。
- [0020] 图7是表示薄膜晶体管的另一例的俯视图。
- [0021] 图8是图7所示的薄膜晶体管的VIII—VIII截断线处的剖视图。
- [0022] 图9是表示薄膜晶体管的另一例的俯视图。
- [0023] 图10是表示薄膜晶体管的另一例的俯视图。
- [0024] 图11是表示第二实施方式的像素电路的一例的俯视图。
- [0025] 图12是图11所示的像素电路的XII—XII截断线处的剖视图。
- [0026] 图13是表示第二实施方式的薄膜晶体管的一例的俯视图。
- [0027] 图14是图13所示的薄膜晶体管的XIV—XIV截断线处的剖视图。
- [0028] 图15是表示第三实施方式的像素电路的一例的俯视图。
- [0029] 图16是表示第三实施方式的薄膜晶体管的一例的俯视图。
- [0030] 图17是图16所示的薄膜晶体管的XVII—XVII截断线处的剖视图。
- [0031] 图18是表示薄膜晶体管的另一例的俯视图。
- [0032] 图19是表示薄膜晶体管的另一例的俯视图。
- [0033] 图20是表示薄膜晶体管的另一例的俯视图。
- [0034] 图21是图20所示的薄膜晶体管的XXI—XXI截断线处的剖视图。

## 具体实施方式

[0035] 以下,基于附图说明本发明的实施方式。对于出现的结构要素中具有同一功能的要素标注相同的附图标记,省略其说明。以下,作为本发明的实施方式,说明对作为显示装置的一例的有机EL显示装置应用了本发明的情况的例子进行说明,但显示装置也可以是液晶显示装置等具有包含薄膜晶体管在内的像素电路的其他种类的显示装置。

[0036] [第一实施方式]

[0037] 本发明第一实施方式的有机EL显示装置包含阵列基板SUB(参照图3)、与阵列基板SUB对置的对置基板、与阵列基板SUB连接的柔性电路基板、和驱动集成电路。在对置基板上设置有彩色滤光片,通过彩色滤光片和白色OLED(Organic Light Emitting Diode:有机电致发光二极管)的组合,实现全彩显示。在使用发出RGB等各色的光的发光元件代替白色OLED的情况下,也可以不存在对置基板及彩色滤光片。

[0038] 图1是表示第一实施方式的有机EL显示装置的等效电路的一例的电路图。图1所示的电路物理上形成于阵列基板SUB(参照图3)上或驱动集成电路内。在阵列基板SUB上配置有多个像素电路PC、多个栅极信号线GL、多个数据信号线SL、电源线PL。多个像素电路PC矩阵状配置于阵列基板SUB的显示区域内。像素电路PC各自相当于一个显示像素。对于像素电路PC的行设置有一个栅极信号线GL,栅极信号线GL分别与构成对应的行的像素电路PC连

接。另外,对于像素电路PC的列设置有一个数据信号线SL,数据信号线SL分别与构成对应的列的像素电路PC连接。另外,多个栅极信号线GL的一端与驱动电路YDV连接,多个数据信号线SL的一端与驱动电路XDV连接。驱动电路YDV向栅极信号线GL输出扫描信号,驱动电路XDV向数据信号线SL供给与像素的显示灰度对应的影像信号的电位。

[0039] 像素电路PC分别包含薄膜晶体管TFT1、薄膜晶体管TFT2、电容器CS、和发光元件LE。薄膜晶体管TFT1根据从栅极信号线GL供给的扫描信号而导通,此时,将基于从数据信号线SL供给的影像信号的电位存储于电容器CS。薄膜晶体管TFT2基于存储于电容器CS中的电位差来控制流经源极和漏极之间的电流的量。发光元件LE是OLED,以与由薄膜晶体管TFT2控制的电流的量对应的强度进行发光。薄膜晶体管TFT2是P沟道型,因此,薄膜晶体管TFT2的源电极与电源线PL连接,漏电极与发光元件LE连接。另外,电容器CS设置于薄膜晶体管TFT2的栅电极和源电极之间。此外,像素电路PC不限于图1所示的电路,也可以是由薄膜晶体管TFT2控制作用于发光元件LE的电压的像素电路PC。

[0040] 图2是表示第一实施方式的像素电路PC的一例的俯视图。图3是图2所示的像素电路PC的III-III截断线处的剖视图。像素电路PC各自主要配置在由相邻的数据信号线SL和相邻的栅极信号线GL围起来的区域。另外,电源线PL与数据信号线SL各自的左侧相邻并在上下方向上延伸。在阵列基板SUB上的形成有像素电路PC的区域,作为构成像素电路PC的要素而配置有沟道半导体膜SC、SD、上栅电极HG、下栅电极LG、横向栅电极SG(参照图3)、第一电容器电极CE1、第二电容器电极CE2、第三电容器电极CE3、阳极PE、以及如图3所示形成有隔堤开口OP的隔堤BK。沟道半导体膜SD与栅极信号线GL中的位于沟道半导体膜SD之上的部分一同构成薄膜晶体管TFT1。沟道半导体膜SC、上栅电极HG、下栅电极LG、横向栅电极SG(参照图3)构成薄膜晶体管TFT2。第一电容器电极CE1、第二电容器电极CE2、第三电容器电极CE3构成电容器CS,电容器CS的一个电极与第二电容器电极CE2对应,另一个电极与第一电容器电极CE1及第三电容器电极CE3对应。第一电容器电极CE1与下栅电极LG一体地形成,第二电容器电极CE2经由电源线PL与沟道半导体膜SC电连接,第三电容器电极CE3与上栅电极HG一体地形成。

[0041] 如图3所示,在阵列基板SUB上按顺序层叠有底涂层UC、后述的第一导电层、第一栅极绝缘层IN1、后述的半导体层、第二栅极绝缘层IN2、后述的第二导电层、层间绝缘层IN3、后述的第三导电层、平坦化层PI、包含阳极PE在内的层、包含隔堤BK在内的层。另外,图中未图示,在包含隔堤BK的层上还层叠有OLED层、阴极层、封固层等。此外,将没有隔堤BK的部分称作隔堤开口OP,在隔堤开口OP,阳极PE从隔堤BK露出。第一导电层包含下栅电极LG及第一电容器电极CE1,半导体层包含沟道半导体膜SC、沟道半导体膜SD(参照图2)、第二电容器电极CE2,第二导电层包含栅极信号线GL、上栅电极HG、第三电容器电极CE3。另外,第二导电层包含填充于接触孔CH1、CH2的由导电体构成的横向栅电极SG。第三导电层包含跳线布线WJ、电源线PL(参照图2)、数据信号线SL(参照图2)。未图示的OLED层在隔堤开口OP与阳极PE接触,与阳极PE接触的区域是有机EL元件发光的区域。

[0042] 沟道半导体膜SD从像素电路PC的中央观察,在位于图2的上侧的栅极信号线GL的更上侧经由接触孔CH4与数据信号线SL连接。沟道半导体膜SD从接触孔CH4的位置向图中右方向延伸,穿过栅极信号线GL的一部分(向上延伸的突起)的下方之后朝向下方向,延伸至穿过栅极信号线GL的下方的目的地。在该延伸的目的地的部分的上层形成有接触孔CH3。

[0043] 沟道半导体膜SC从图2观察在像素电路PC的中央稍向上的位置沿图中左右延伸。沟道半导体膜SC的右端经由接触孔CHS与电源线PL连接。沟道半导体膜SC的左端向上方稍微弯曲,弯曲的目的地经由接触孔CHD与阳极PE连接。下栅电极LG及上栅电极HG以与沿沟道半导体膜SC的左右延伸的区域中除端部以外的部分俯视时重合的方式设置。下栅电极LG及上栅电极HG通过在沟道半导体膜SC的侧方、且与沟道半导体膜SC延伸的方向正交的方向上设置的横向栅电极SG而连接(参照图3)。横向栅电极SG主要设置于接触孔CH1、CH2中。上栅电极HG从越过从沟道半导体膜SC来看位于图2的上侧的接触孔CH1的位置进一步向图2的上侧突出。该突出的部分经由接触孔CHG与位于上层的跳线布线WJ连接,跳线布线WJ经由接触孔CH3与沟道半导体膜SD连接。

[0044] 第一电容器电极CE1在图2中观察从像素电路PC(参照图1)下的端部向上延伸,其为相对于矩形在存在薄膜晶体管TFT1的区域设置有切缺的形状。在比接触孔CH2靠图2的下侧位置,第一电容器电极CE1和下栅电极LG一体化。第二电容器电极CE2以与第一电容器电极CE1对置且俯视时重合的方式设置,在图2中观察,从比第一电容器电极CE1的下端稍靠上的位置延伸至接触孔CH2的跟前。第二电容器电极CE2经由接触孔CH6与电源线PL连接。由此,经由电源线PL将薄膜晶体管TFT2的源极和第二电容器电极CE2电连接。在此,第二电容器电极CE2也可以与沟道半导体膜SC的源极侧的端部直接连接。第三电容器电极CE3在图2中观察从比第二电容器电极CE2的下端稍靠上的位置向上延伸。第三电容器电极CE3具有相对于矩形在存在薄膜晶体管TFT1的区域设置有切缺的形状。在比接触孔CH2靠图2的下侧位置,第三电容器电极CE3和上栅电极HG一体化。第一电容器电极CE1和第二电容器电极CE2经由横向栅电极SG(参照图3)电连接,由此,电容器CS具有夹层构造,与仅使两个电极对置的情况相比,电容量的容量更大。

[0045] 接着,对薄膜晶体管TFT2的构造进行更详细的说明。图4是表示第一实施方式的薄膜晶体管TFT2的一例的俯视图,图5是图4所示的薄膜晶体管TFT2的V-V截断线处的剖视图。图4及5是表示除构成电容器CS的电极外的薄膜晶体管TFT2单体的图。此外,图5中省略底涂层UC的记载。

[0046] 沟道半导体膜SC从经由接触孔CHD与阳极PE相接的漏极端延伸至经由接触孔CHS与电源线PL相接的源极端。位于源极端和漏极端之间的沟道部分俯视时为带状。在此,将沟道半导体膜SC的源极端至漏极端的区域中的、与下栅电极LG或上栅电极HG俯视时重合的部分记载为沟道区域,将比沟道区域靠漏极端侧的部分记载为漏极区域,将比沟道区域靠源极侧的区域记载为源极区域。

[0047] 下栅电极LG、上栅电极HG及横向栅电极SG构成薄膜晶体管TFT2的栅电极。下栅电极LG在下方隔着栅极绝缘层IN1与沟道半导体膜SC对置,上栅电极HG在上方隔着栅极绝缘层IN2与沟道半导体膜SC对置。横向栅电极SG在与沟道半导体膜SC从源极区域朝向漏极区域延伸的方向正交的方向上且在沟道半导体膜SC的侧方(以下记载为“宽度方向”)对置。横向栅电极SG将下栅电极LG和上栅电极HG连接。沟道半导体膜SC从源极区域朝向漏极区域延伸的方向对沟道半导体膜SC来说是源极区域和漏极区域之间的方向,以下,也将该方向记载为“沟道半导体膜SC延伸的方向”。

[0048] 在此,在栅极绝缘层IN1和栅极绝缘层IN2之间没有半导体膜,而存在相互层叠的部分。将该部分称作层叠部。在层叠部,栅极绝缘层IN1的上表面和栅极绝缘层IN2的下表面

相接。层叠部的一部分介于沟道半导体膜SC和横向栅电极SG之间,妨碍沟道半导体膜SC和横向栅电极SG电连接。

[0049] 沟道半导体膜SC中的沟道区域包含与下栅电极LG及上栅电极HG的双方相对置的重叠对置区域、和仅与下栅电极LG及上栅电极HG中的一方相对置的单侧对置区域,在沟道半导体膜SC延伸的方向上,单侧对置区域位于重叠对置区域的两侧。若改变观察方向,则俯视时,在源极区域和漏极区域之间的方向上,沟道半导体膜SC的两端(源极区域侧及漏极区域侧的端部)从上栅电极HG及下栅电极LG突出。另外,俯视时,沟道半导体膜SC从下栅电极LG突出的第一位置和从上栅电极HG突出的第二位置偏移。在图4或图5的例子中,在沟道半导体膜SC延伸的方向上,第一位置位于比第二位置靠外侧,另外,下栅电极LG的上述延伸方向上的长度比上栅电极HG在该方向上的长度大。俯视时,下栅电极LG具有超过与上栅电极HG的整体对置的部分的大小。

[0050] 在此,上栅电极HG和下栅电极LG的关系也可以与图4的例子不同。例如,在沟道半导体膜SC延伸的方向上,第二位置位于比第一位置靠外侧,另外,下栅电极LG的上述延伸方向上的长度也可以比上栅电极HG在该方向上的长度小。该情况下,俯视时,上栅电极HG具有超过与下栅电极LG的整体对置的部分的大小。

[0051] 在层叠部设置有接触孔CH1、CH2。接触孔CH1、CH2从宽度方向观察与沟道半导体膜SC的两侧对置。图4中,接触孔CH1位于沟道半导体膜SC的下侧,接触孔CH2位于沟道半导体膜SC的上侧。接触孔CH1、CH2分别具有沿着沟道半导体膜SC连续且较长地延伸的形状,贯穿层叠部。在沟道半导体膜SC延伸的方向上,接触孔CH1、CH2各自的长度比上栅电极HG的长度短,接触孔CH1、CH2各自的端部在俯视时位于比上栅电极HG(下栅电极LG及上栅电极HG中小的一方)的两端靠内侧的位置。更严格来说,在将下栅电极LG中的与沟道半导体膜SC对置的区域设为第一区域、将上栅电极HG中的与沟道半导体膜SC对置的区域设为第二区域、将横向栅电极SG中的与沟道半导体膜SC对置的区域设为第三区域时,在沟道半导体膜SC延伸的方向上,第三区域的两端位于第一区域及第二区域的内侧。横向栅电极SG设置于接触孔CH1、CH2的内部。横向栅电极SG通过在形成包含上栅电极HG的第二导电层时,构成第二导电层的金属通过填充在接触孔CH1、CH2而形成。因此,横向栅电极SG从宽度方向观察与沟道半导体膜SC的两侧对置。

[0052] 由此,在沟道半导体膜SC的上方、下方、宽度方向存在栅电极,与在宽度方向没有栅电极的情况相比,能够以更低的电压驱动薄膜晶体管TFT2。通过降低驱动电压,抑制翘曲现象的产生。

[0053] 薄膜晶体管TFT2的形状与上述的形状不同。图6是表示薄膜晶体管TFT2的另外一例的俯视图。构成图6所示的薄膜晶体管TFT2的各层的顺序与图5的例子相同,只要没有特别说明,则对于以下的其他例及其他实施方式也是相同的。图6的例子与图4的例子不同,在沟道半导体膜SC延伸的方向上,接触孔CH1、CH2的两端位于下栅电极LG及上栅电极中一方的两端的外侧,且位于另一方的两端的内侧。横向栅电极SG可以形成于俯视时接触孔CH1、CH2分别与上栅电极HG重合的区域,也可以形成于接触孔CH1、CH2整体的区域。在图6所示的结构中,能够使横向栅电极SG更长,由此,能够比图4的例子更进一步降低驱动电压,能够抑制翘曲现象。

[0054] 形成于薄膜晶体管TFT2的横向栅电极SG在宽度方向观察也可以仅与沟道半导体

膜SC的单侧对置。图7是表示薄膜晶体管TFT2的另外一例的俯视图,图8是图7所示的薄膜晶体管TFT2的VIII—VIII截断线处的剖视图。图7、8的例子中,与图4、5的例子不同,在图7中观察,在沟道半导体膜SC的上侧不存在接触孔CH2,而横向栅电极SG仅设置于接触孔CH1的内部。在图7、8所示的结构中,也能够抑制翘曲现象。此外,在其他例子中,如图7、8所示的例子,也可以不设置接触孔CH2内的横向栅电极SG。

[0055] 形成于薄膜晶体管TFT2的横向栅电极SG也可以不在沟道半导体膜SC延伸的方向上连续地形成。图9是表示薄膜晶体管TFT2的另外一例的俯视图。图9的V—V截断线处的截面与图5相同。在图9的例子中,与图4的例子不同,由沿沟道半导体膜SC延伸的方向并排且相互分离的5个部分构成。由此,形成于接触孔CH1及接触孔CH2的内部的横向栅电极SG被断续地设置。接触孔CH1及接触孔CH2分别被断续地设置。更具体而言,位于沟道半导体膜SC的宽度方向的单侧的横向栅电极SG由在沟道半导体膜SC延伸的方向上排列且相互分离的多个部分构成。此外,该部分的数目也可以与图9所示的数目不同。也可以是只有接触孔CH1、或者只有接触孔CH2断续地形成。另外,也可以是其他例子中的接触孔CH1、CH2的至少一方断续地形成。

[0056] 形成于薄膜晶体管TFT2的下栅电极LG及上栅电极HG中的一方可以具有切缺。图10是表示薄膜晶体管TFT2的另外一例的俯视图。图10所示的薄膜晶体管与图4的例子不同,上栅电极HG以从沟道半导体膜SC延伸的方向观察与沟道半导体膜SC对置的区域在中途被截断的方式具有切缺。俯视时上栅电极HG中的与沟道半导体膜SC对置的区域通过切缺被分成在沟道半导体膜SC延伸的方向排列的多个部分区域。图10中,上栅电极HG中的与沟道半导体膜SC对置的区域被分成两个部分区域。各部分区域在比上栅电极HG的部分区域靠图10的下侧的区域经由接触孔CHG与布线WG连接。在各部分区域的宽度方向观察的两侧设置有横向栅电极SG的部分,横向栅电极SG的部分的数目是部分区域的数目乘以2所得的数目。在沟道半导体膜SC延伸的方向上,横向栅电极SG的部分各自的两端位于包含与该部分对置的区域的部分区域的两端的内侧。此外,切缺也可以设置于下栅电极LG,切缺也可以与其他例组合。

[0057] [第二实施方式]

[0058] 接着,对本发明第二实施方式的有机EL显示装置进行说明。以下,以第二实施方式的有机EL显示装置中的、与第一实施方式不同的部分为中心进行说明。

[0059] 图11是表示第二实施方式的像素电路PC的一例的俯视图。图12是图11所示的像素电路PC的XII—XII截断线处的剖视图。观察图11的俯视图,相对于图2,在图11中不存在接触孔CH1、CH2这一点是与第一实施方式的很大的不同点。这是因为,横向栅电极SG不使用接触孔CH1、CH2而形成。作为其他不同,在第二实施方式的像素电路PC中,沟道半导体膜SC和第二电容器电极CE2有时通过相同的层连接。

[0060] 观察图12,形成栅极绝缘层IN1、IN2的区域与第一实施方式不同。第二实施方式中,取代形成接触孔CH1、CH2的槽,而是将栅极绝缘层IN1、IN2仅留在沟道半导体膜SC的附近或形成有电容器CS的区域等必要性高的区域,形成将位于留下栅极绝缘层IN1、IN2的区域的端部的高低差的侧面覆盖的第二导电层的金属膜,由此,形成横向栅电极SG。另外,下栅电极LG在沟道半导体膜SC的宽度方向上具有从栅极绝缘层IN1、IN2突出的突出区域,在该突出区域,横向栅电极SG与下栅电极LG连接。

[0061] 图13是表示第二实施方式的薄膜晶体管TFT2的一例的俯视图。图14是图13所示的薄膜晶体管TFT2的XIV-XIV截断线处的剖视图。图13及图14所示的薄膜晶体管TFT2与图11、12的例子不同,是不存在电容器CS的情况的例子,但也可以与电容器CS组合。图13中,与其他俯视图不同,也未图示栅极绝缘层IN1、IN2。在图13的例子中,下栅电极LG在沟道半导体膜SC的宽度方向上具有从栅极绝缘层IN1、IN2突出的突出区域。而且,在突出区域,下栅电极LG与横向栅电极SG连接。俯视时,栅极绝缘层IN1、IN2中的将沟道半导体膜SC围起来的区域成为岛状。另外,俯视时,栅极绝缘层IN1、IN2中的将沟道半导体膜SC的沟道区域围起来的区域的外形从沟道区域沿宽度方向具有一定的宽度,以与其外形的外侧相接的方式形成横向栅电极SG。

[0062] 另外,如观察图14可知,栅极绝缘层IN1、IN2从横向栅电极SG观察避开沟道半导体膜SC的相反侧设置,在从沟道半导体膜SC观察位于横向栅电极SG的对面一侧的接触区域CA1、CA2,下栅电极LG和第二导电层的区域相接。该第二导电层的区域与同层的横向栅电极SG连接。

[0063] [第三实施方式]

[0064] 接着,对本发明第三实施方式的有机EL显示装置进行说明。本实施方式中,在沟道区域设置有用于抑制空穴累积的构造。以下,以第三实施方式的有机EL显示装置中的、与第一实施方式不同的部分为中心进行说明。

[0065] 图15是表示第三实施方式的像素电路PC的一例的俯视图。观察图15,相对于图2,沟道半导体膜SC在沟道区域内还向图15的上方向分支,经由电源线PL与源极区域电连接这一点是很大的不同点。另外,接触孔CH1避开分支的沟道半导体膜SC而设置。

[0066] 图16是表示第三实施方式的薄膜晶体管TFT2的一例的俯视图。图17是图16所示的薄膜晶体管TFT2的XVII-XVII截断线处的剖视图。图16所示的薄膜晶体管TFT2相对于图15,在以下这四点不同。第一点是不含与电容器CS连接的部分。第二点是沟道半导体膜SC分支延伸的方向为与接触孔CHG相反的方向。第三点是横向栅电极SG(接触孔)从宽度方向观察仅设置于沟道半导体膜SC的单侧。第四点是分支目的地经由布线WD与漏极区域电连接。虽然存在这些不同点,但第三实施方式的薄膜晶体管TFT2也实现空穴累积抑制的效果。此外,布线WS经由接触孔CHS与沟道半导体膜SC的源极端相接,布线WG经由接触孔CHG与布线WG相接。

[0067] 在图16、17的例子中,沟道半导体膜SC具有在沟道区域向宽度方向分支的分支部BR。沟道半导体膜SC的形状为T字型。分支部BR经由接触孔CHH与布线WD连接,布线WD经由接触孔CHD与沟道半导体膜SC的漏极区域连接。此外,分支部BR也可以经由布线WS与源极区域连接。此外,分支部BR包含施加了栅电极的信号电位的沟道区域(称作分支沟道区域)。分支沟道区域从沟道区域分支,另外,俯视时与上栅电极HG及下栅电极LG的某一方重合。

[0068] 在图16的例子中,下栅电极LG具有以与分支部BR对置的方式分支的栅极分支部。由此,分支沟道区域连续至接触孔CHH的周围。此外,可以不是下栅电极LG,而是上栅电极HG具有以与分支部BR对置的方式分支的栅极分支部,也可以是下栅电极LG及上栅电极HG的双方具有栅极分支部。在图18的例子中,上栅电极HG为矩形,上栅电极HG的外形被下栅电极LG的外形包围。与图4的例子相同,在沟道半导体膜SC从源极端向漏极端延伸的方向上,沟道半导体膜SC的两端从上栅电极HG及下栅电极LG突出。另外,俯视时,沟道半导体膜SC从下栅

电极LG突出的第一位置位于比从上栅电极HG突出的第二位置靠外侧。此外,该沟道的分支也可以与薄膜晶体管TFT2的其他例子组合。

[0069] 图18是表示薄膜晶体管TFT2的另外一例的俯视图。在图18的例子中,与图16的例子不同,上栅电极HG以覆盖下栅电极LG中的除栅极分支部以外的区域的方式设置。在图18的例子中,上栅电极HG为矩形,上栅电极HG的外形包围下栅电极LG中的除向栅极分支部及接触孔CHG的布线外的区域。与图16的例子不同,俯视时,沟道半导体膜SC从上栅电极HG突出的第二位置位于比从下栅电极LG突出的第一位置靠外侧。在图18的例子中,与图16的例子相比,与沟道半导体膜SC的沟道区域接触的光减少,薄膜晶体管TFT2的特性更稳定。

[0070] 图19是表示薄膜晶体管TFT2的另外一例的俯视图。在图19的例子中,与图16所示的薄膜晶体管TFT2相比,从沟道半导体膜SC的沟道区域观察,在接触孔CHH的方向设置有接触孔CH2。接触孔CH2以避免沟道半导体膜SC的分支部BR的方式分设置于两个区域。在接触孔CH1、CH2设置有横向栅电极SG,关于宽度方向,在沟道半导体膜SC的沟道区域的两侧存在横向栅电极SG。

[0071] 图20是表示薄膜晶体管TFT2的另外一例的俯视图。图21是图20所示的薄膜晶体管TFT2的XXI—XXI截断线处的剖视图。在图20、21的例子中,取代沟道半导体膜SC的分支部BR,而在沟道区域之下连接有热载流子除去用的布线。图20的例子中,在下栅电极LG上存在切缺。俯视时,下栅电极LG的切缺从接触孔CHH侧朝向沟道区域的中央的位置设置。上栅电极形成为在矩形从宽度方向的一侧设置有切缺的形状。下栅电极LG中的与沟道半导体膜SC对置的区域通过切缺被分成在沟道半导体膜SC延伸的方向排列的多个部分区域。在该各部分区域,以从宽度方向观察夹着该部分区域的方式设置有接触孔CH1、CH2。

[0072] 俯视时,在下栅电极LG的切缺的区域中设置有与下栅电极LG分离且与下栅电极LG同层的布线WC,布线WC从与布线WD连接的接触孔CHH延伸至沟道半导体膜SC的沟道区域的中央下侧。布线WC通过设置于沟道区域的中央下侧的接触孔CHC与沟道半导体膜SC的下表面相接,布线WC和沟道半导体膜SC被电连接。此外,布线WC也可以与布线WS电连接。

[0073] 此外,切缺也可以设置于上栅电极HG。该情况下,俯视时,上栅电极HG的切缺从接触孔CHH侧朝向沟道区域的中央的位置设置。上栅电极HG相当于图20中的下栅电极LG的平面形状。上栅电极HG的形状形成为如下的形状:在矩形从宽度方向的一侧设置切缺,进而设置有从宽度方向的一侧朝向布线WG的区域。在上栅电极HG的切缺中设置有与上栅电极HG同层的布线WC,布线WC从与布线WD连接的接触孔CHH延伸至沟道半导体膜SC的沟道区域的中央上侧。布线WC通过设置于沟道区域的中央上侧的接触孔CHC与沟道半导体膜SC的上表面相接,布线WC和沟道半导体膜SC被电连接。

[0074] 在本发明的至此说明的多个实施方式中,可以通过利用激光等使氧化膜在沟道半导体膜SC的表面和侧面成长,来形成栅极绝缘层。在这样的构造中,也能够针对沟道半导体膜SC的侧面高精度地控制膜厚,能够增大形成接触孔的更大的制造余量。

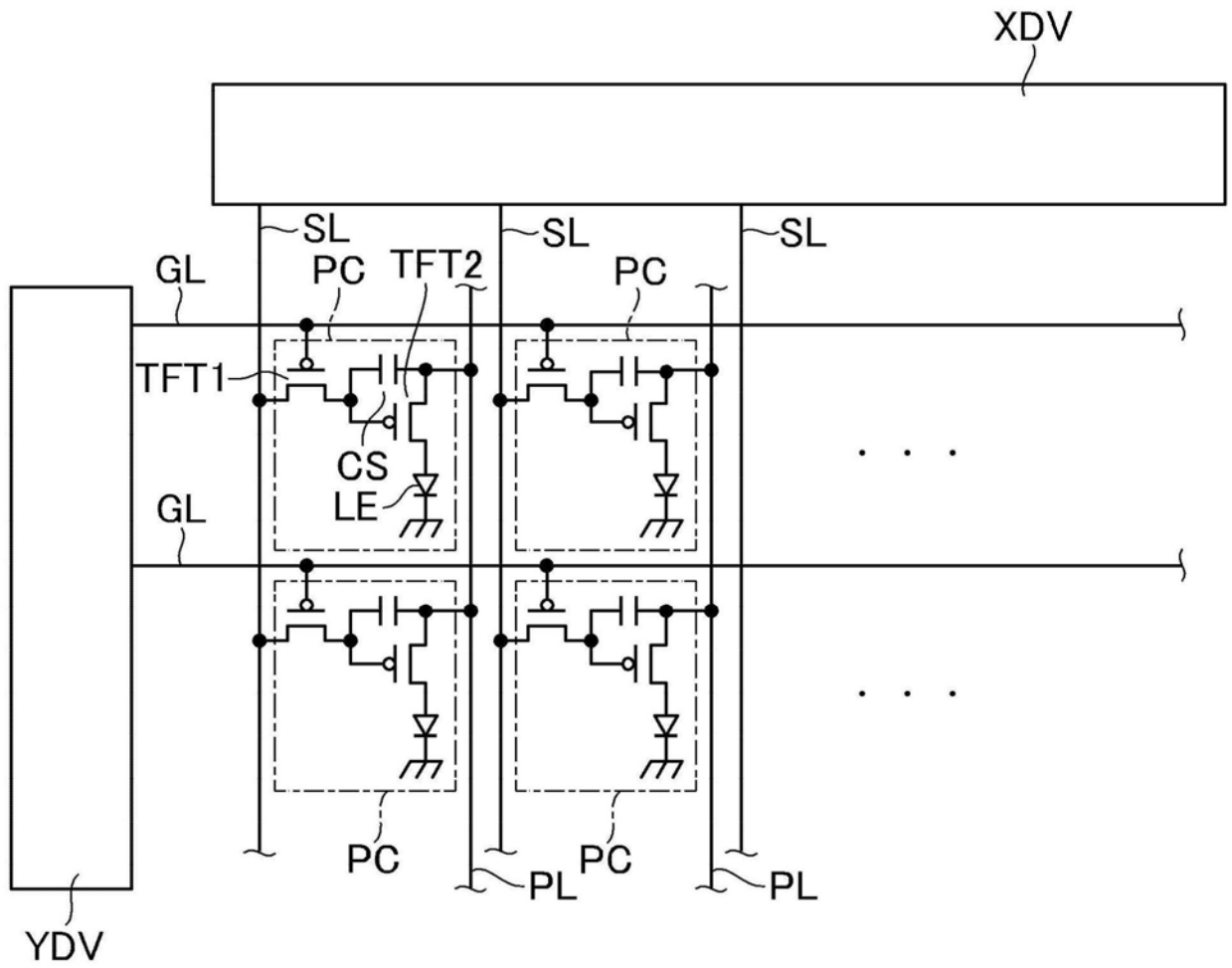


图1

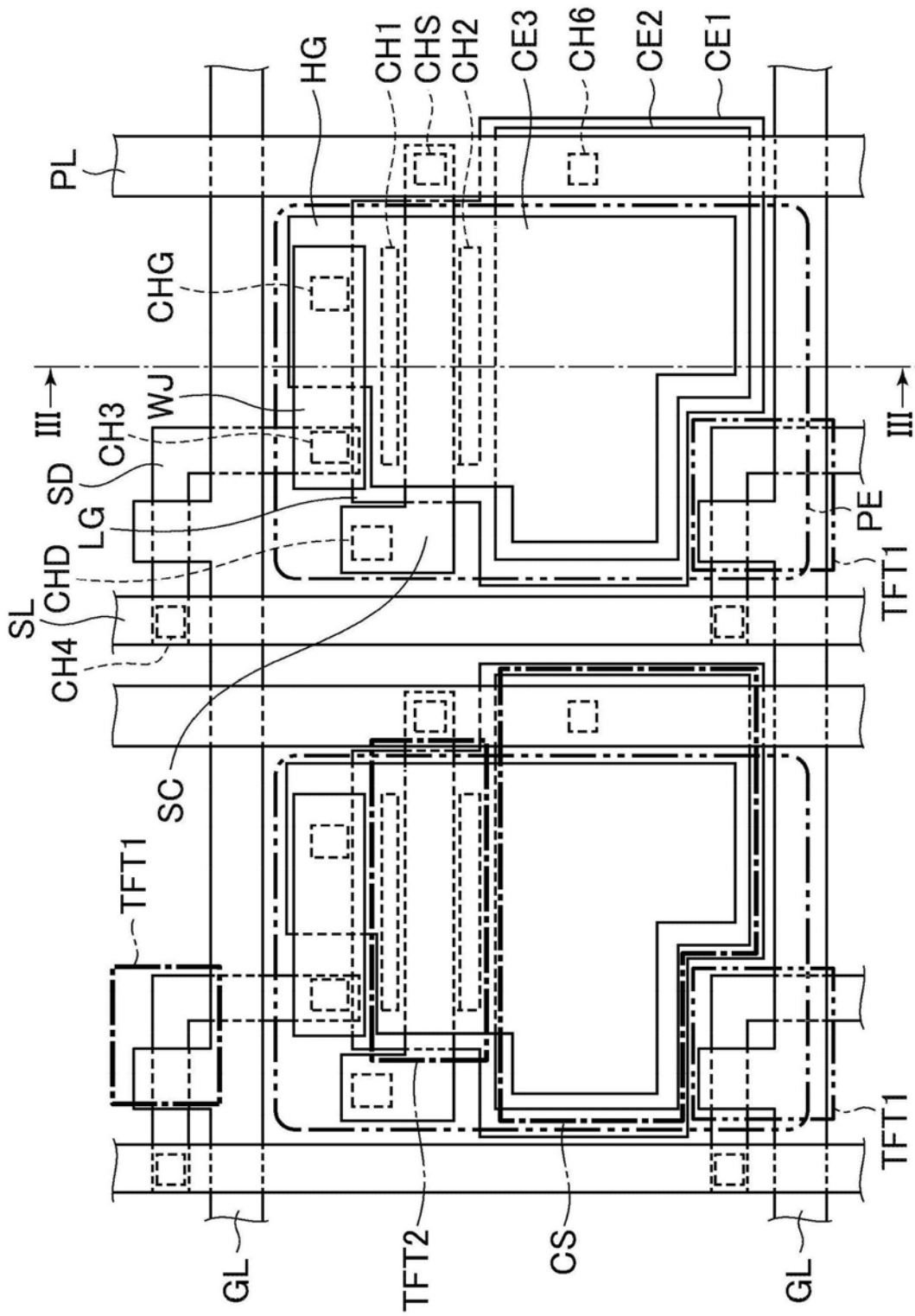


图2

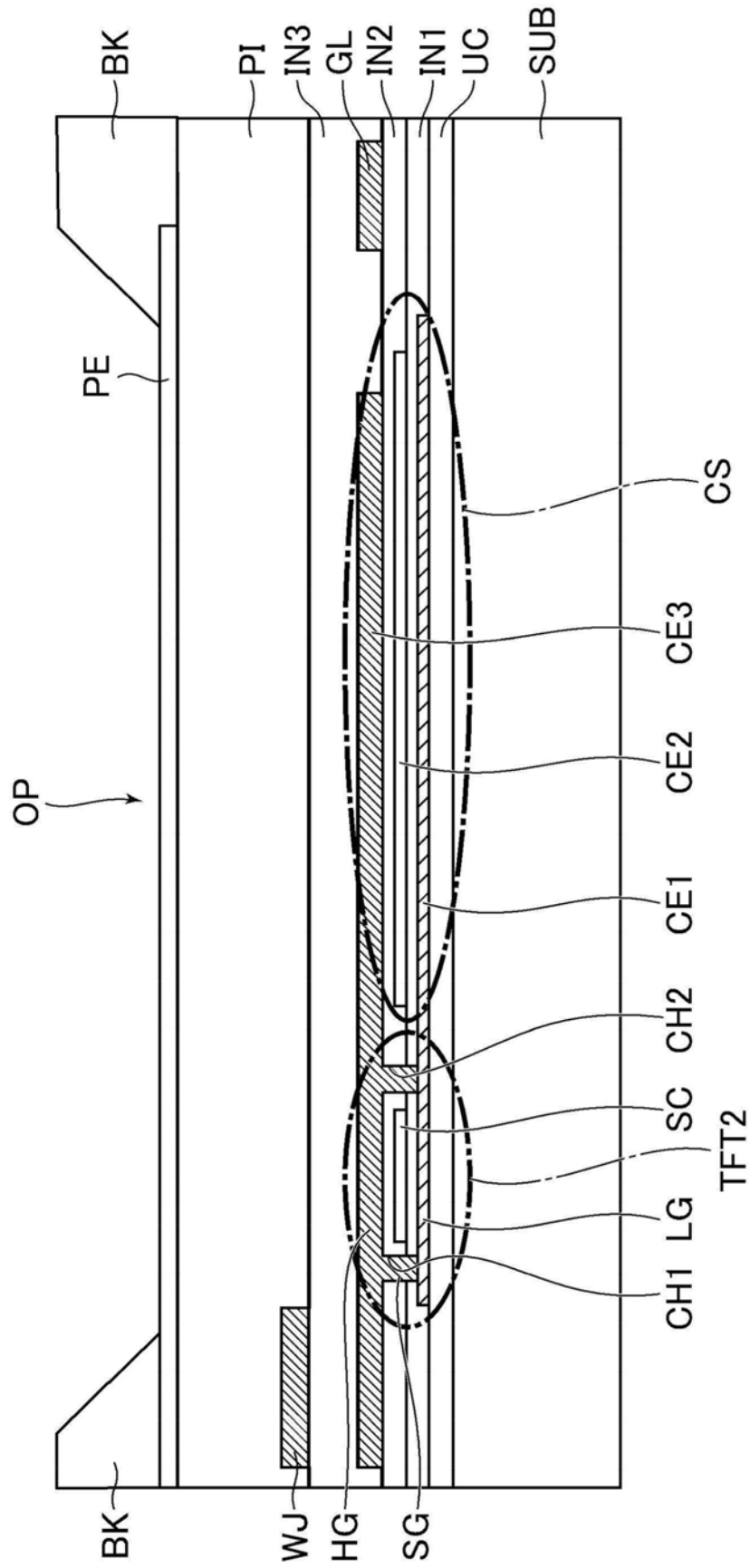


图3

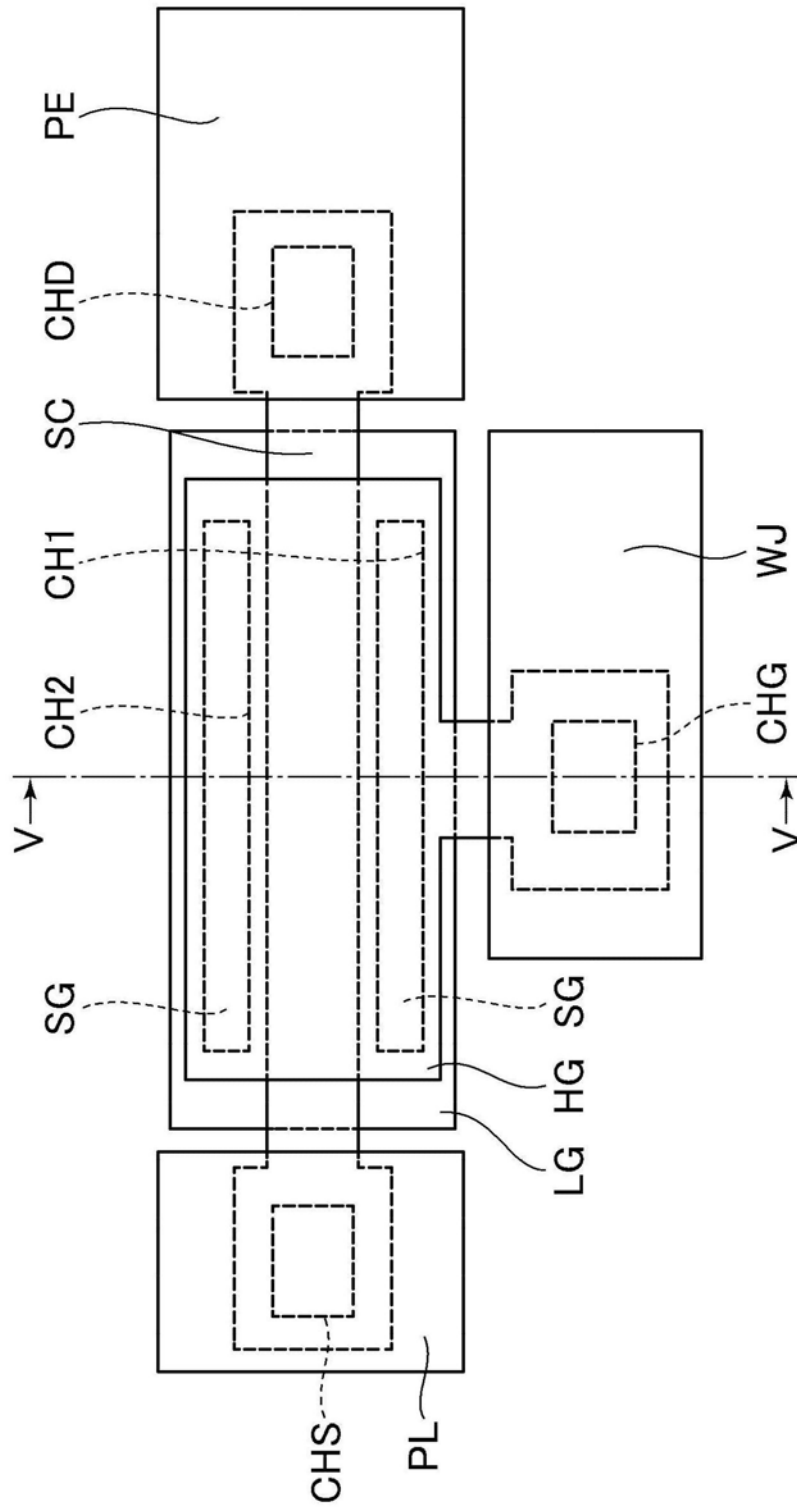


图4

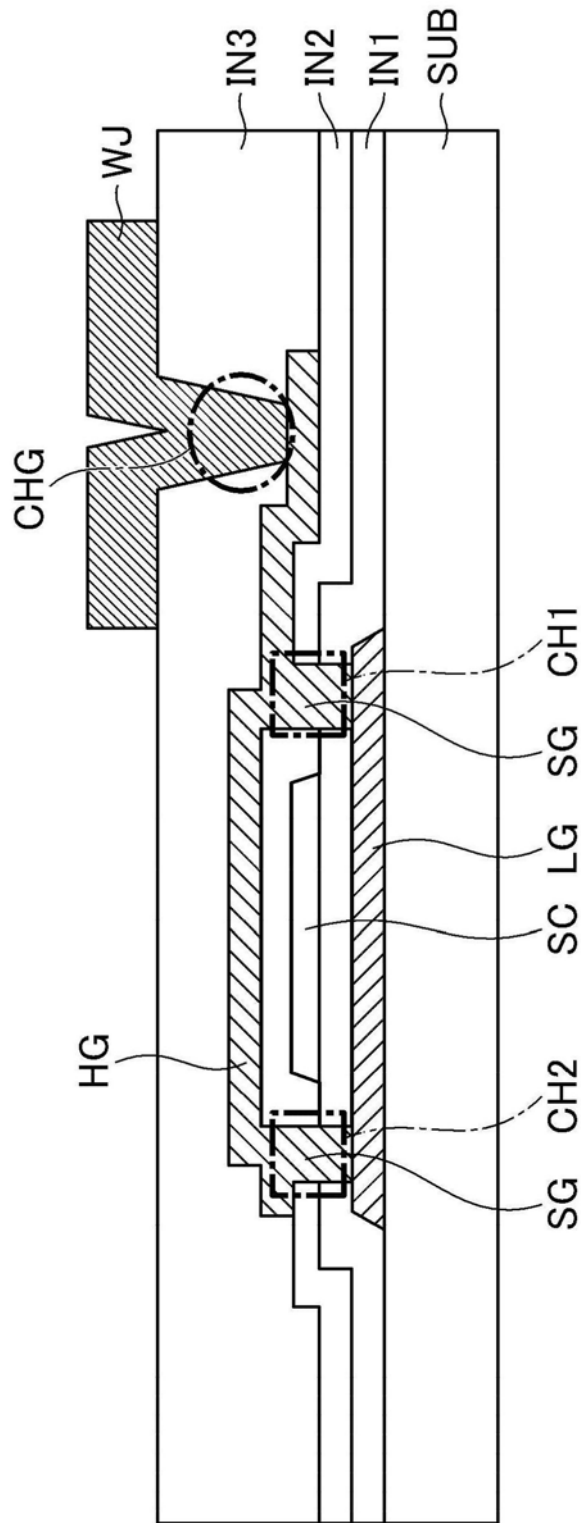


图5

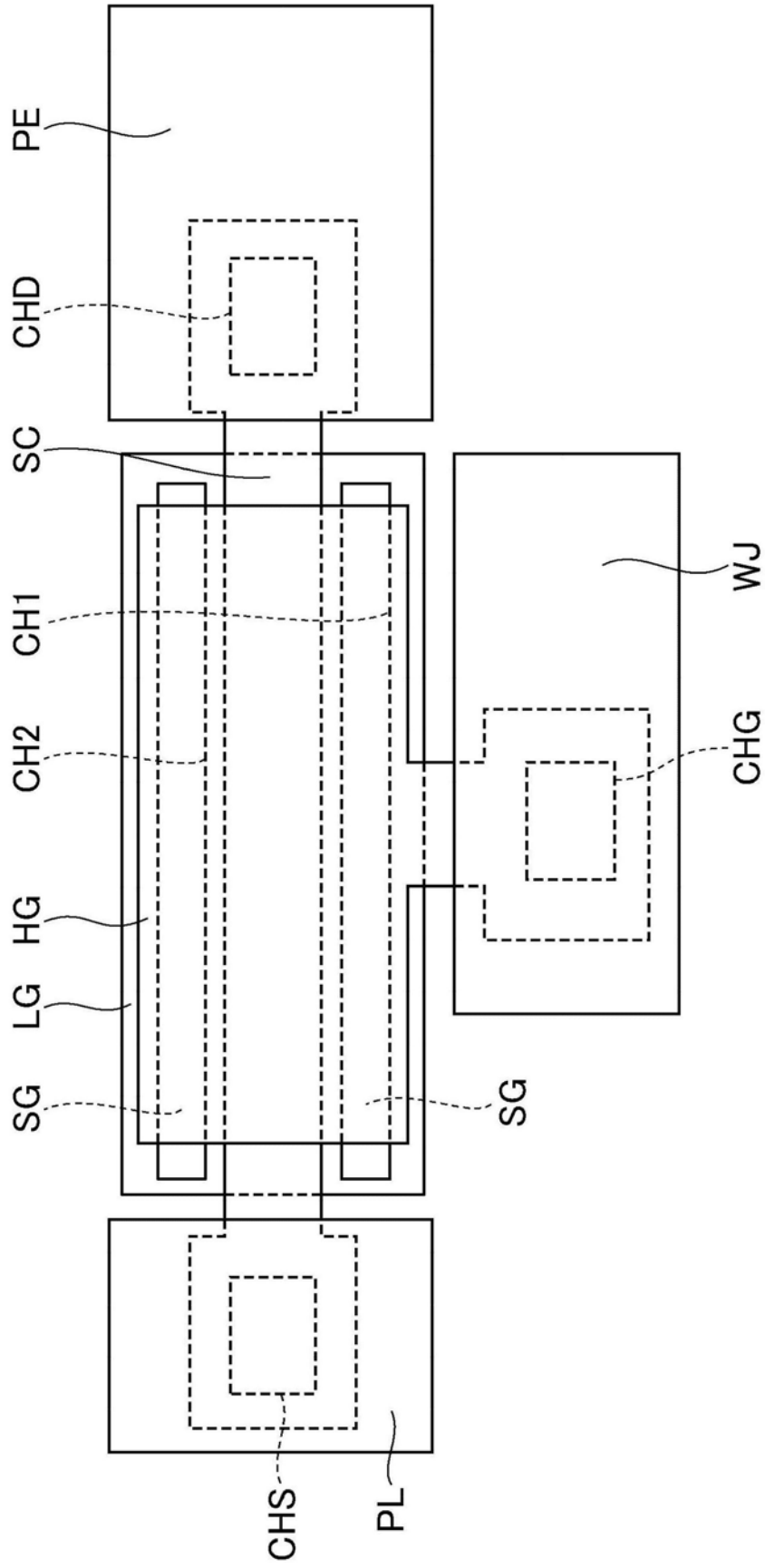


图6

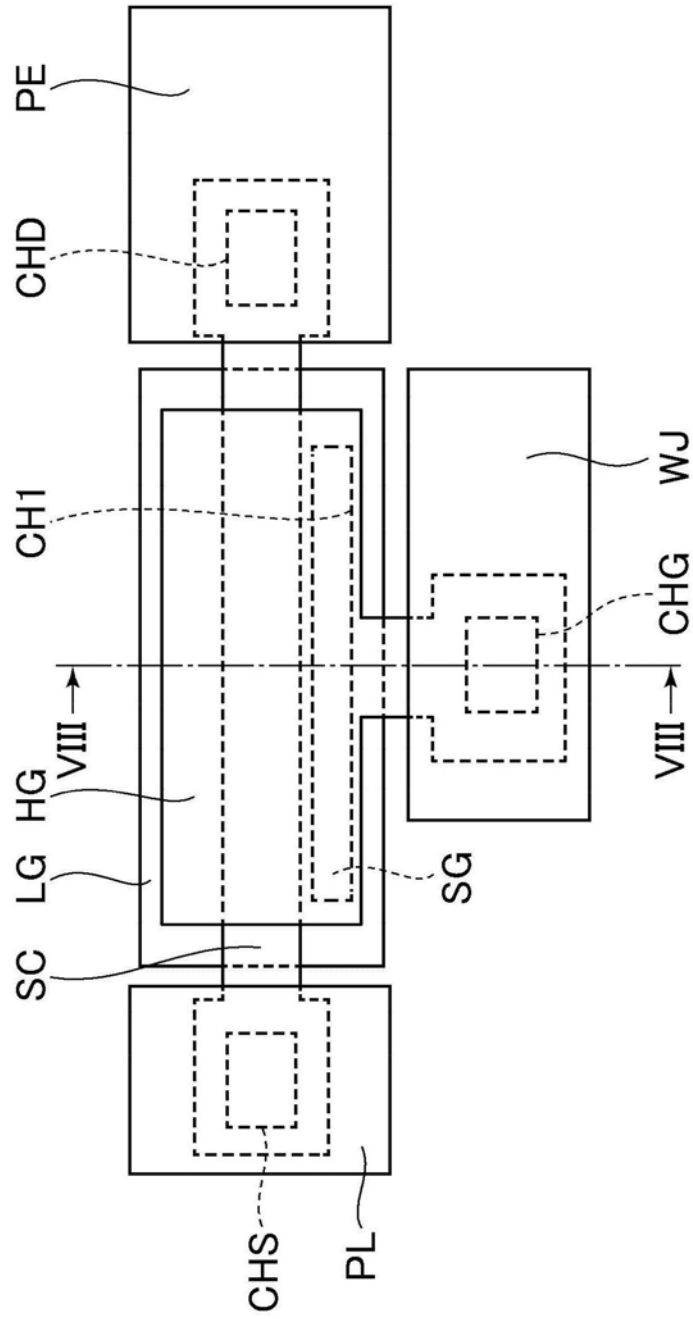


图7

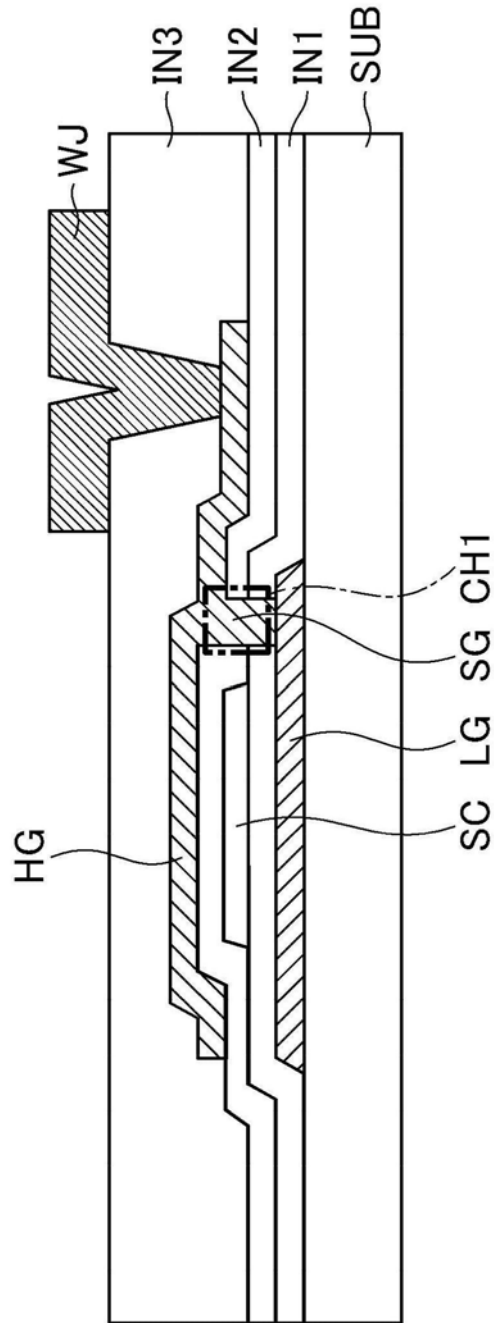


图8



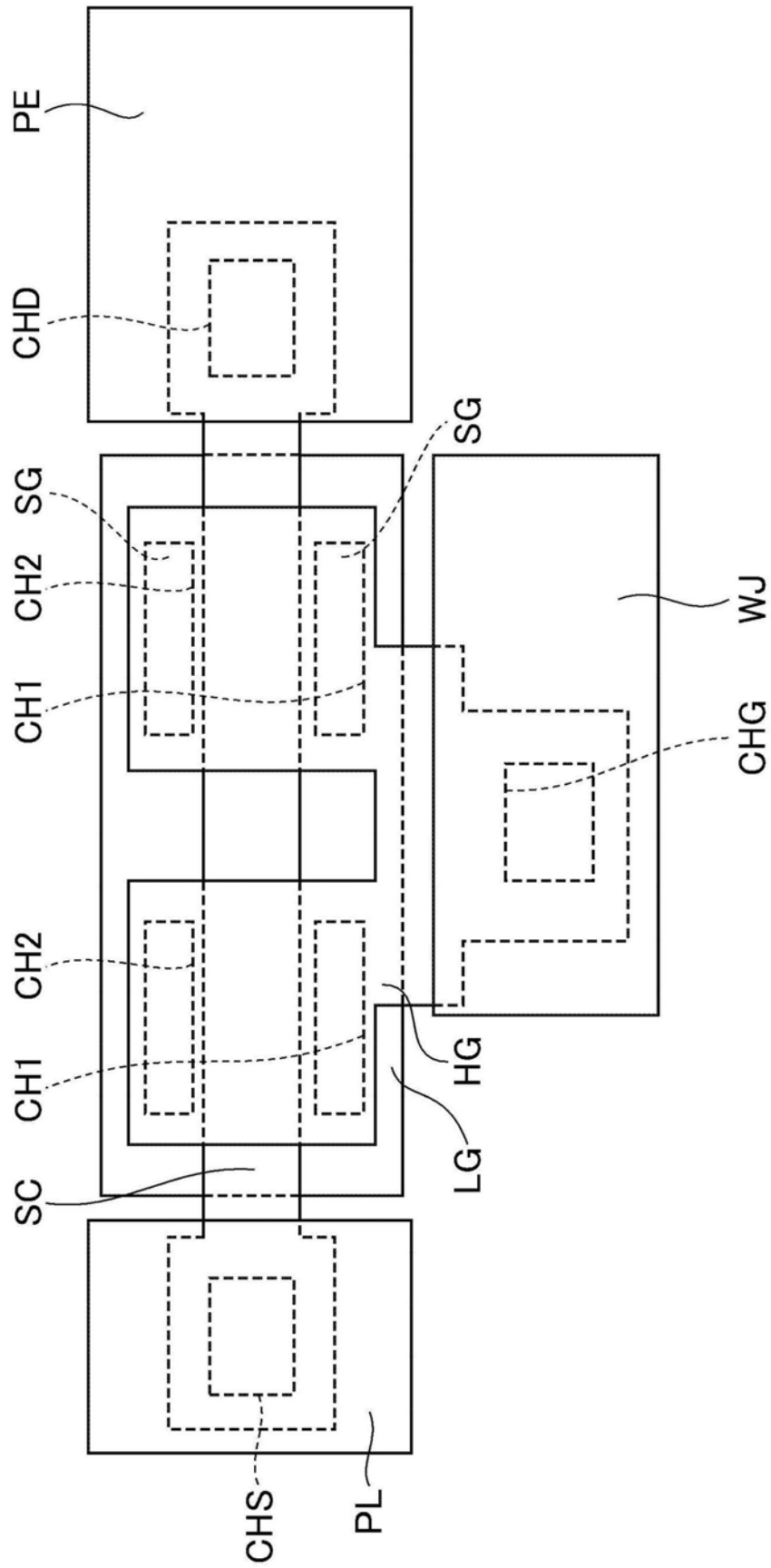


图10

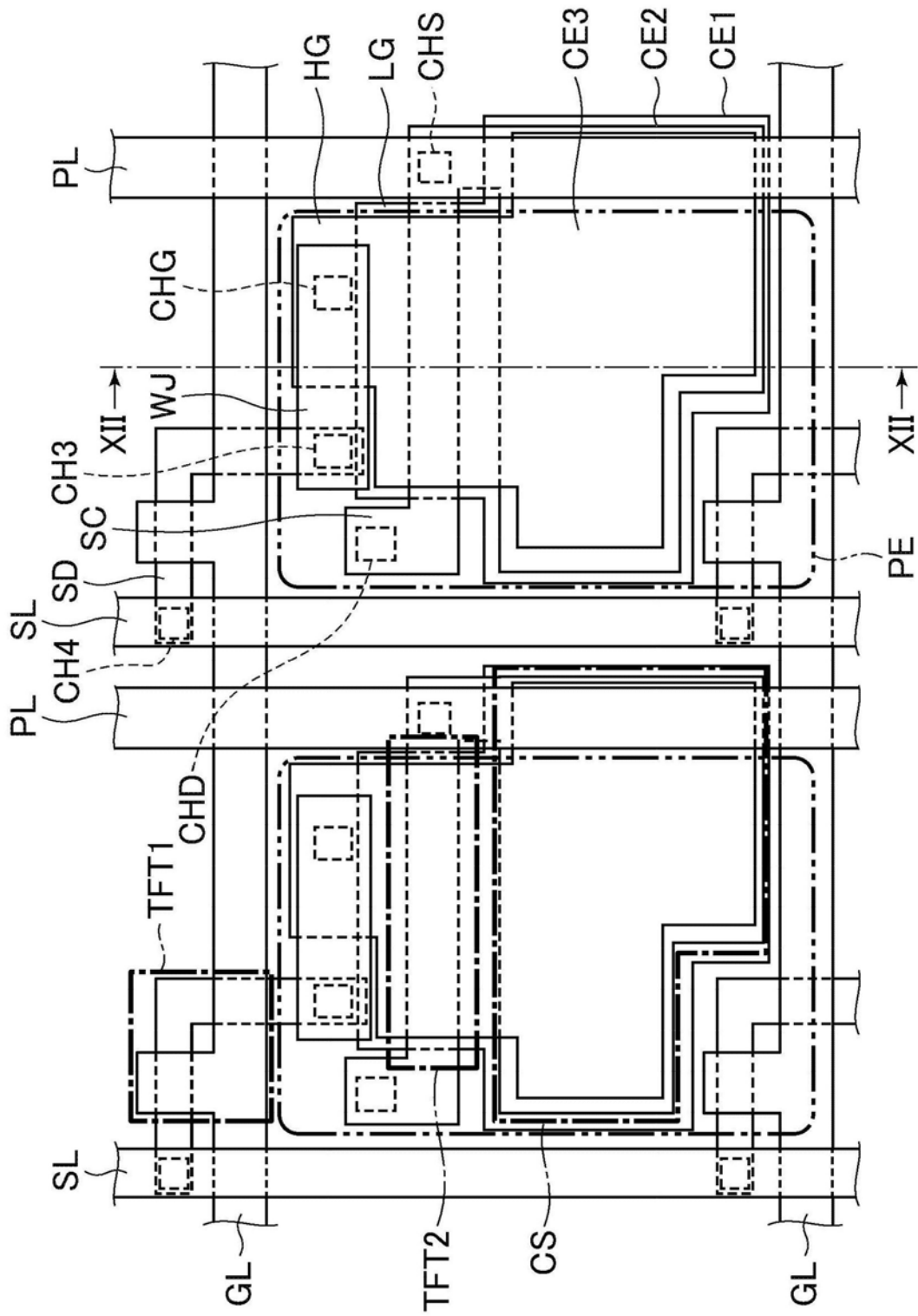


图11

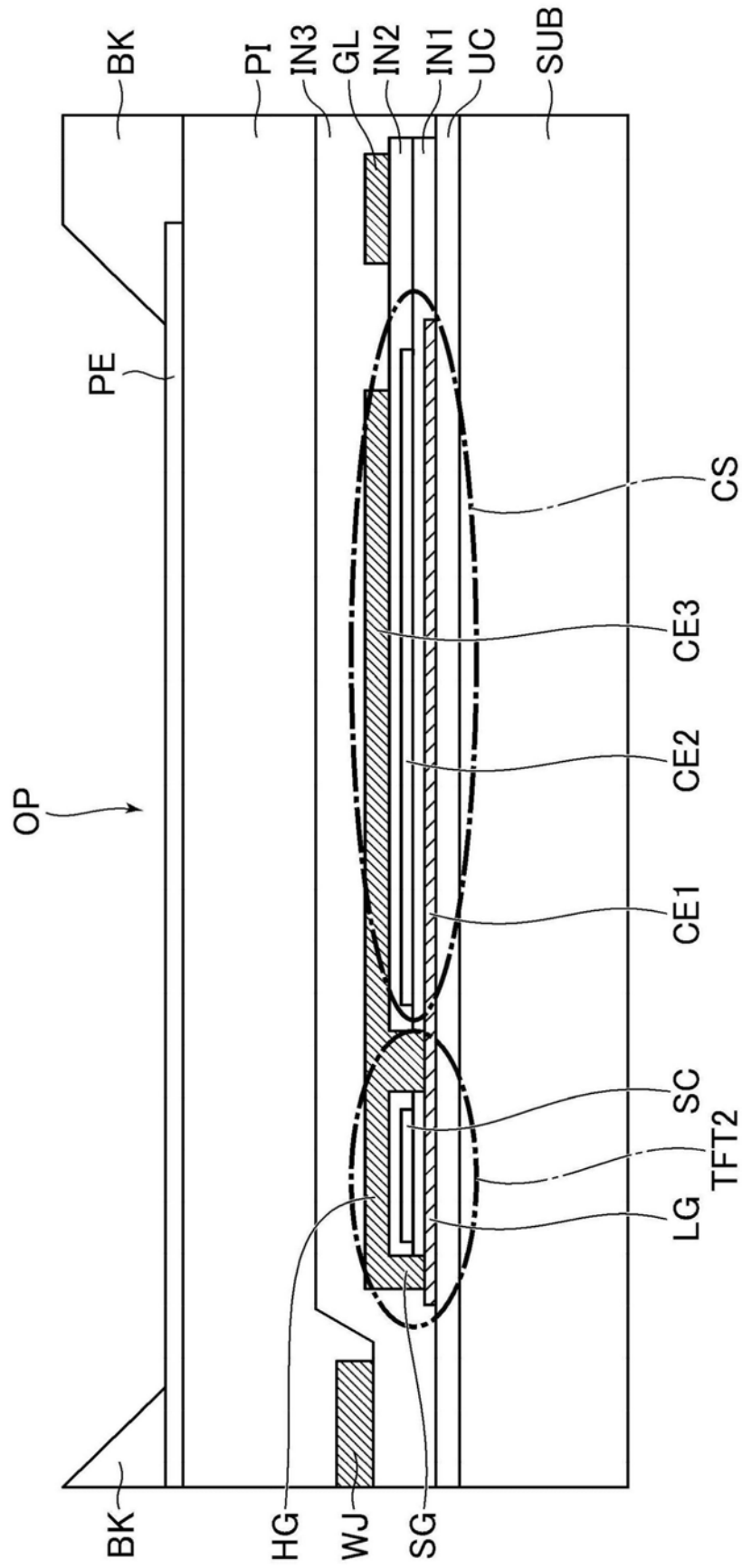


图12

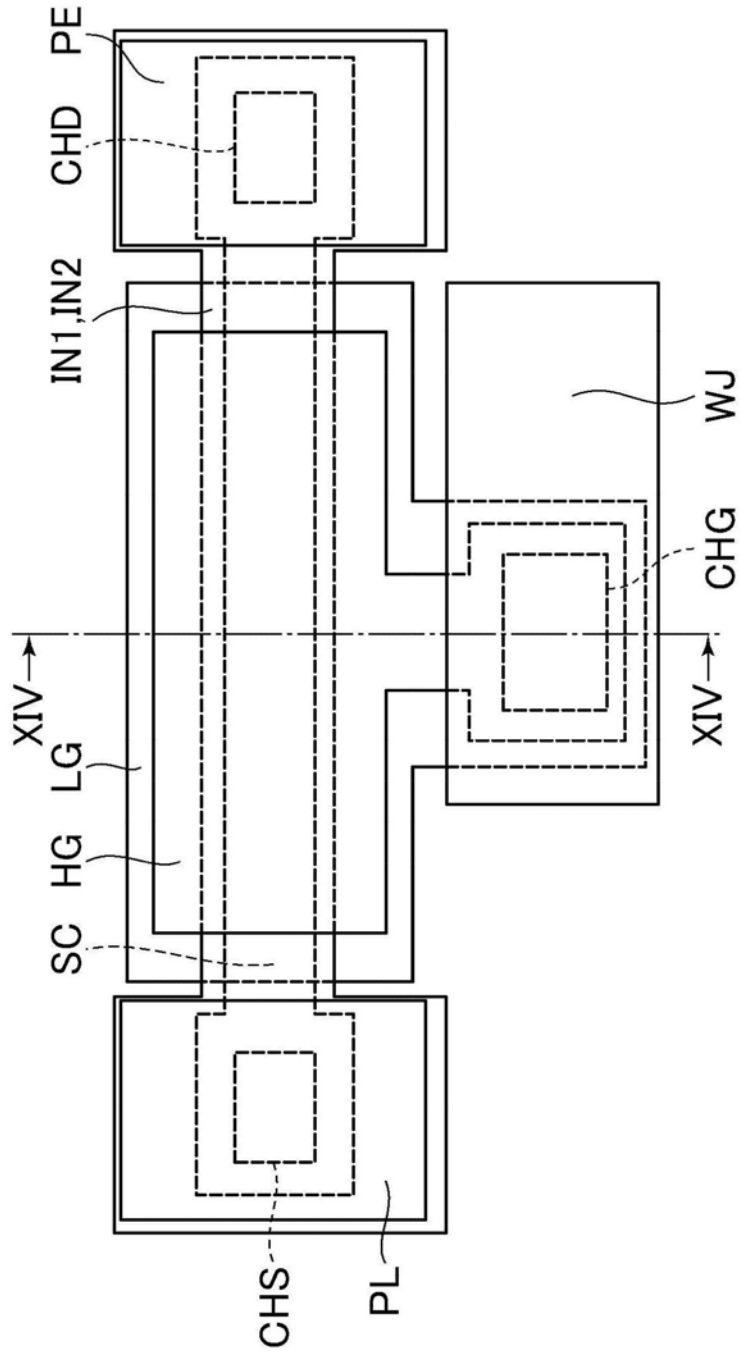


图13

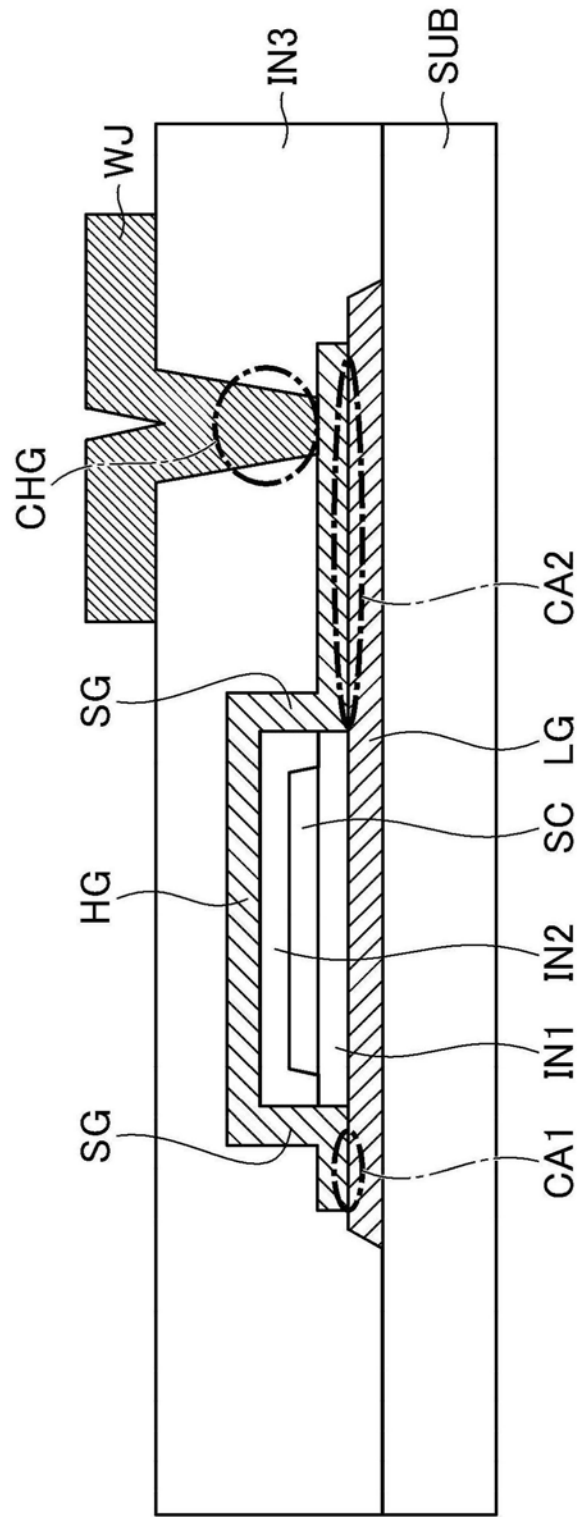


图14

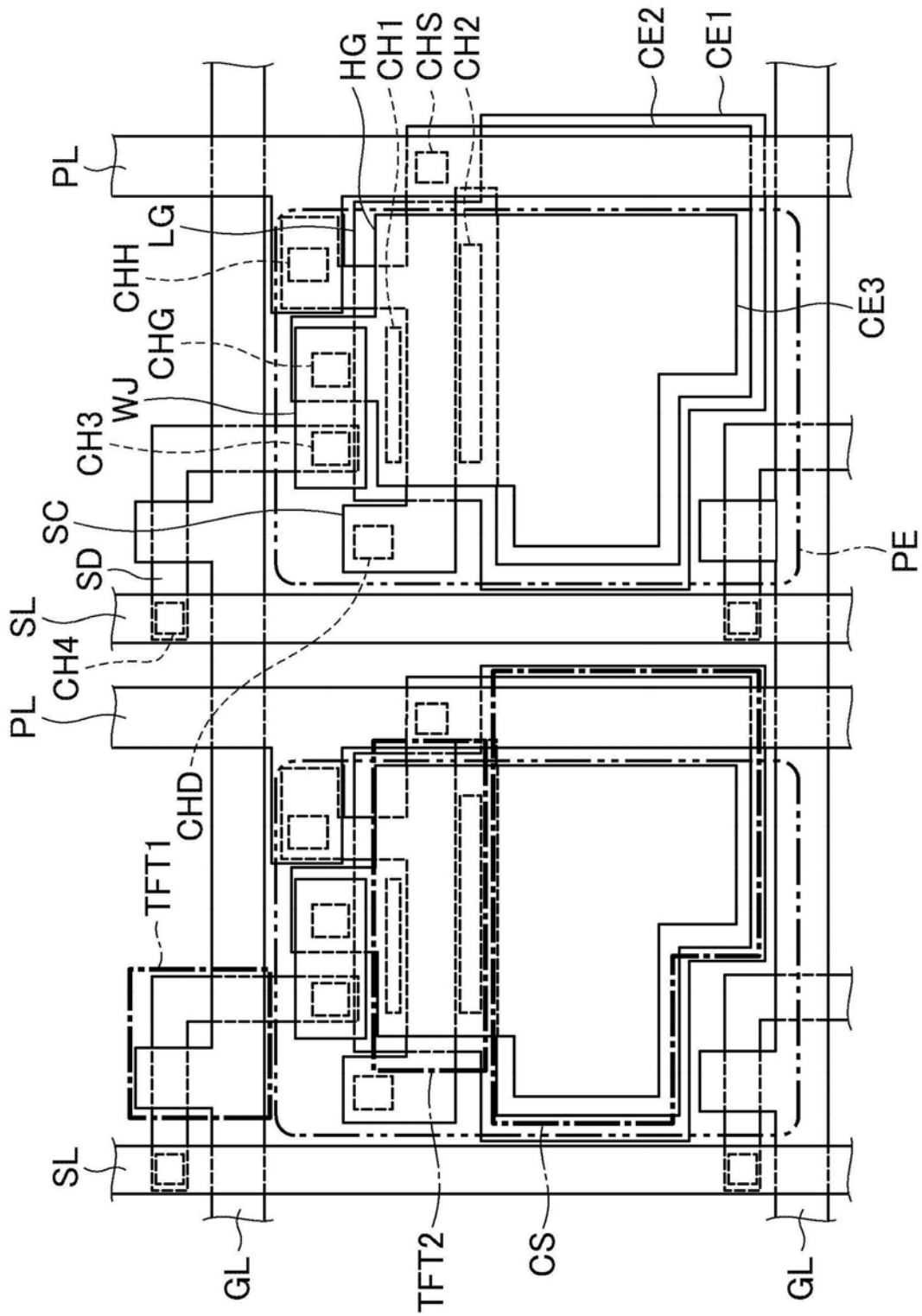


图15

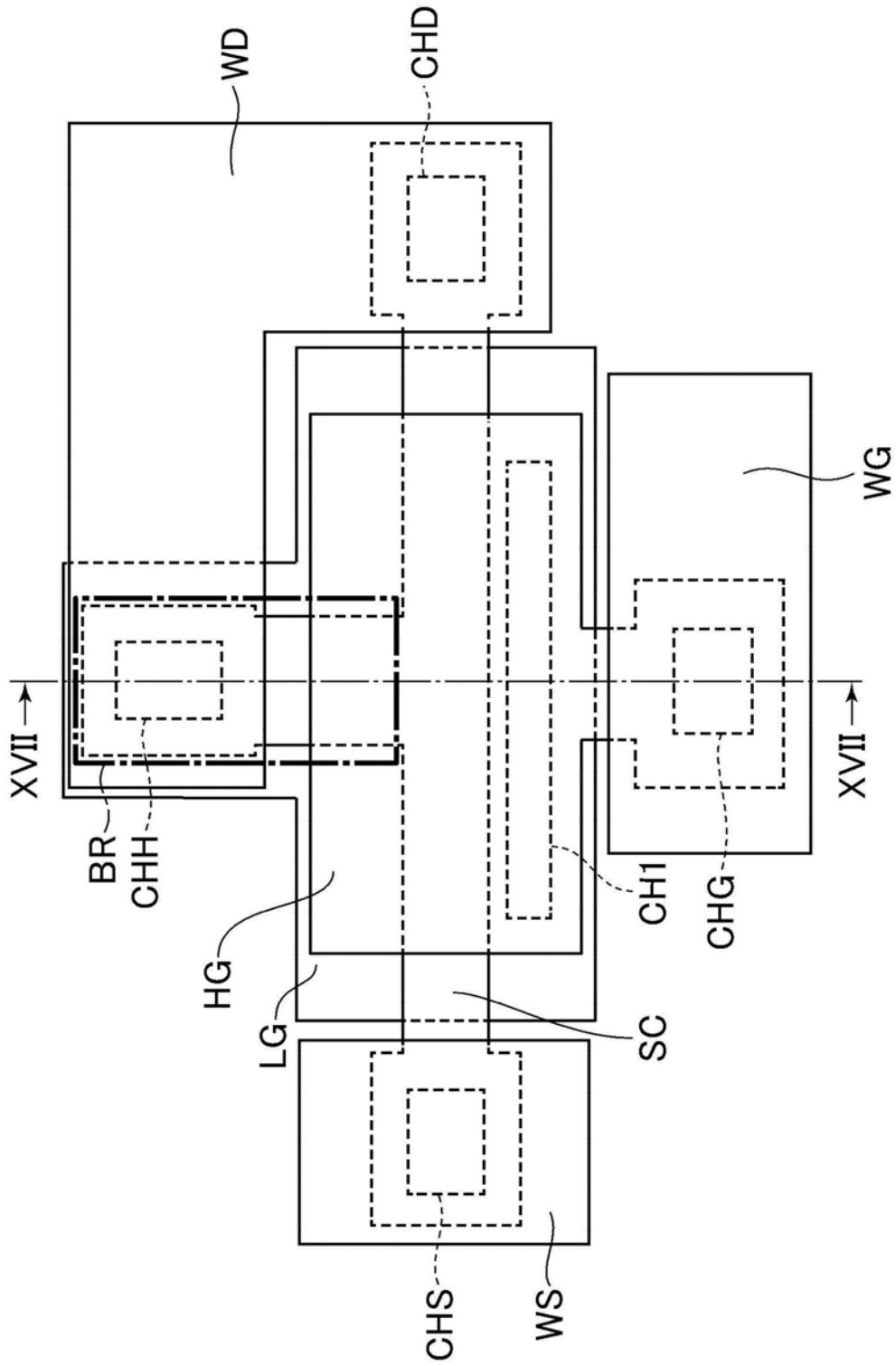


图16

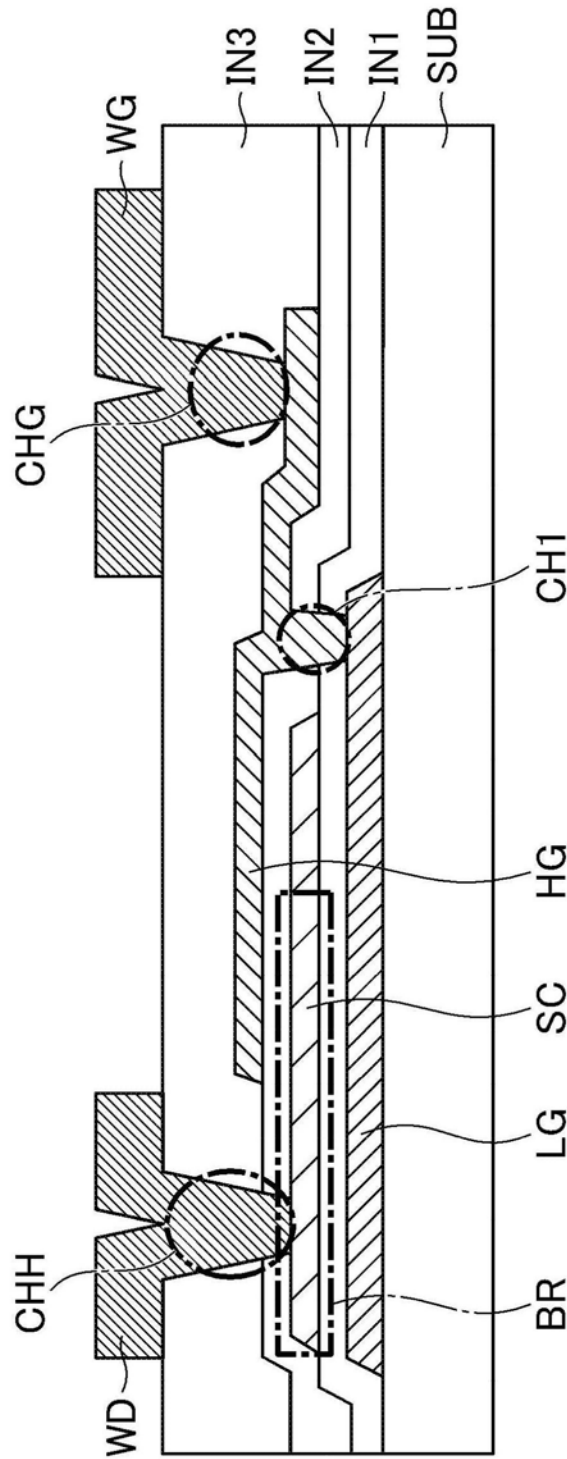


图17

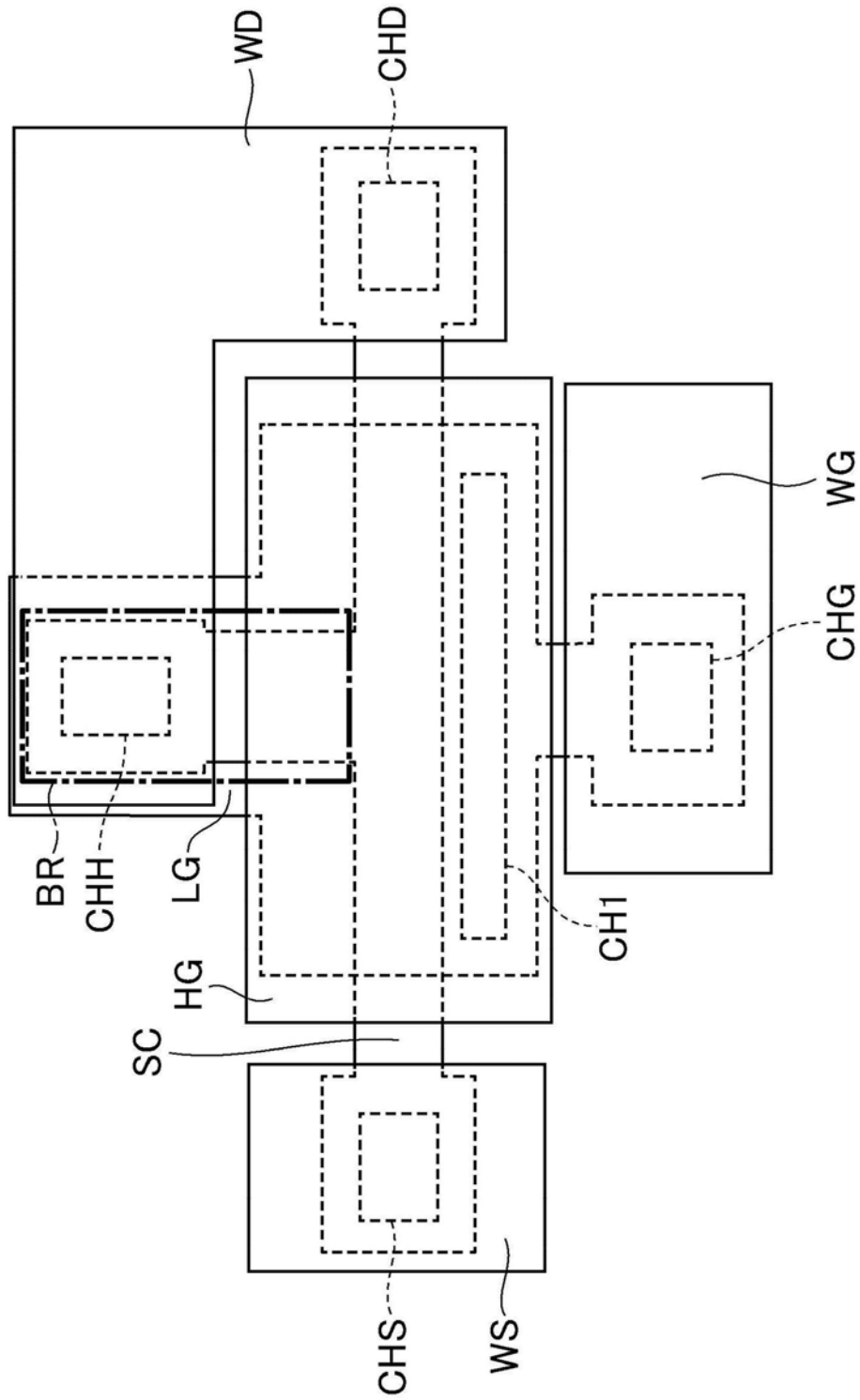


图18

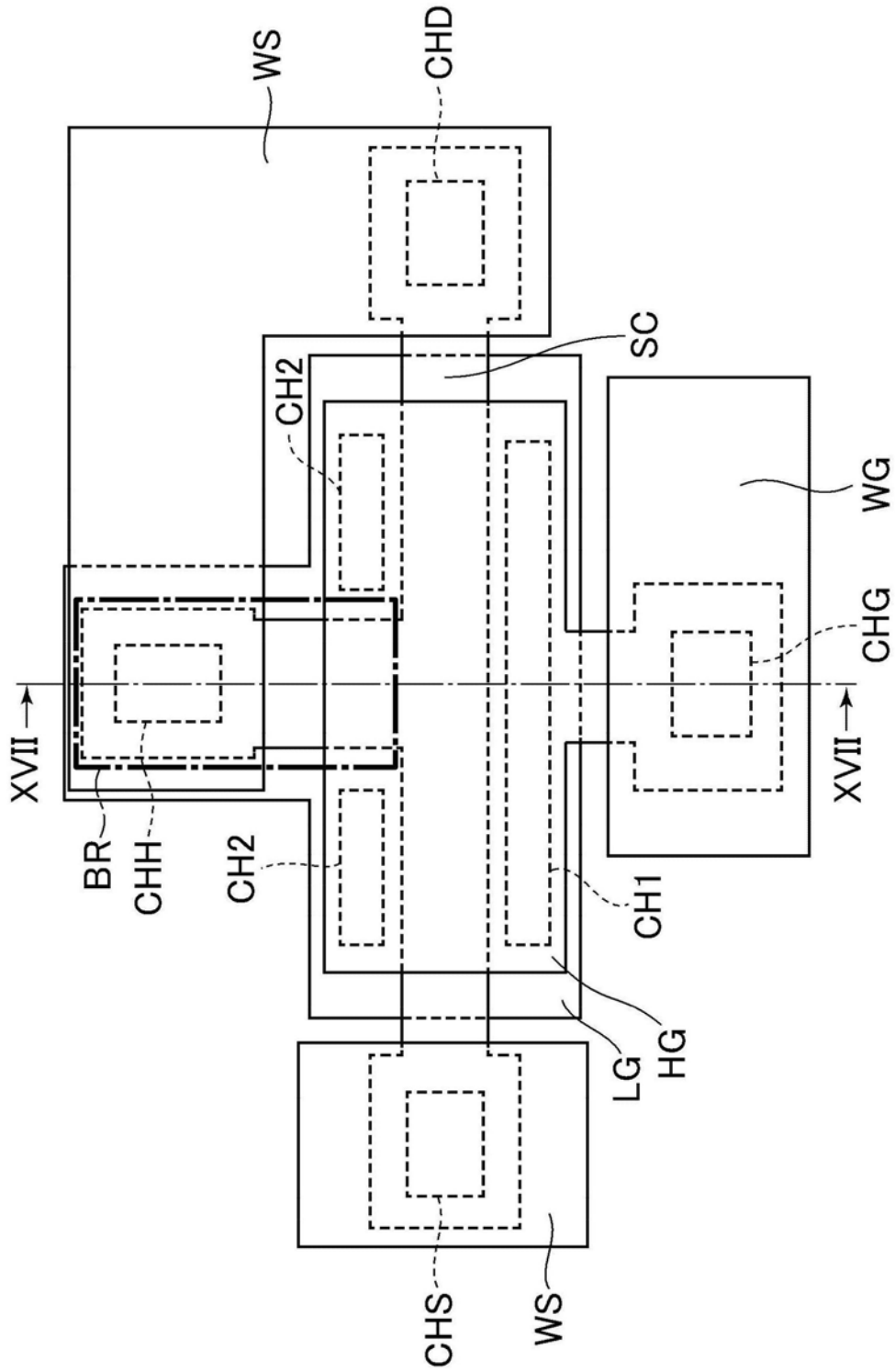


图19

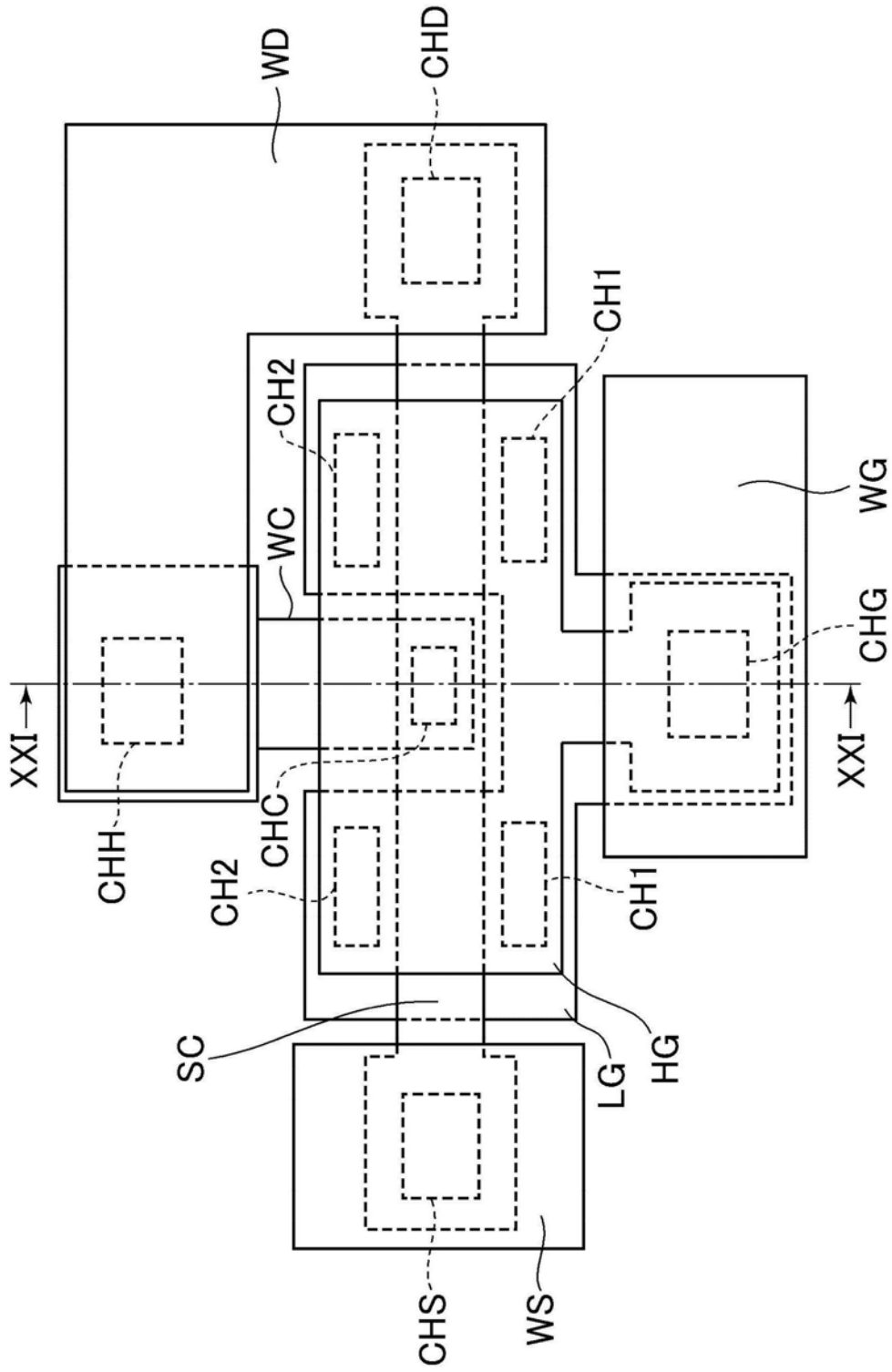


图20

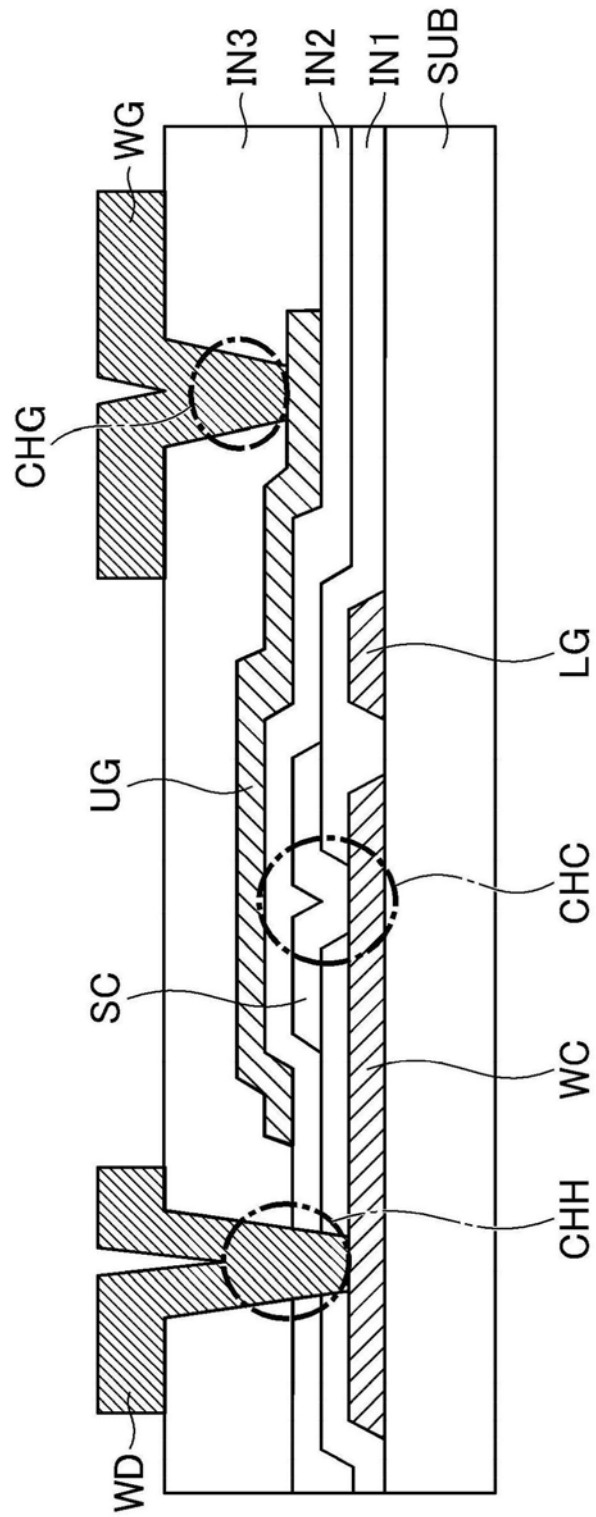


图21