

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5708202号
(P5708202)

(45) 発行日 平成27年4月30日(2015.4.30)

(24) 登録日 平成27年3月13日(2015.3.13)

(51) Int.Cl. F I
HO2M 3/155 (2006.01) HO2M 3/155 H

請求項の数 6 (全 10 頁)

<p>(21) 出願番号 特願2011-97453 (P2011-97453) (22) 出願日 平成23年4月25日(2011.4.25) (65) 公開番号 特開2012-231574 (P2012-231574A) (43) 公開日 平成24年11月22日(2012.11.22) 審査請求日 平成26年3月14日(2014.3.14)</p>	<p>(73) 特許権者 000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号 (74) 代理人 100074099 弁理士 大菅 義之 (72) 発明者 山田 耕平 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 審査官 下原 浩嗣</p>
---	---

最終頁に続く

(54) 【発明の名称】 DC-DCコンバータの制御方法およびDC-DCコンバータの制御回路

(57) 【特許請求の範囲】

【請求項1】

出力段からの帰還電圧と基準電圧との差電圧を増幅して出力する誤差増幅器と、前記誤差増幅器の出力に接続された位相補償容量と、前記誤差増幅器の出力電圧によって前記出力段のスイッチング素子を駆動する出力信号のパルス幅が変化するPWM信号生成回路を具備したDC-DCコンバータの制御方法であって、

前記PWM信号生成回路の出力信号のパルス幅に非ゼロの最小値を設定し、前記出力信号の前記パルス幅が前記非ゼロの最小値で動作している場合は、前記位相補償容量に電流を供給することを特徴とするDC-DCコンバータの制御方法。

【請求項2】

出力段からの帰還電圧と基準電圧との差電圧を増幅して出力する誤差増幅器と、前記誤差増幅器の出力側に接続された位相補償容量と、前記誤差増幅器の出力電圧によって前記出力段のスイッチング素子に対する出力信号のパルス幅を変化させるパルス幅変調(PWM)を行うPWM信号生成回路と、を含み、前記PWM信号生成回路は、

前記スイッチング素子に対する前記出力信号の前記パルス幅に非ゼロの最小値を設定する最小パルス幅設定回路と、

前記出力信号の前記パルス幅が前記非ゼロの最小値で動作している場合は前記位相補償容量に電流を供給する最小パルス幅検出回路と、を具備したことを特徴とするDC-DCコンバータの制御回路。

【請求項 3】

前記 DC - DC コンバータの制御回路は、前記誤差増幅器の出力に基づき最小パルス幅がゼロのパルス幅変調原信号 (V_{pwm}) を生成する PWM 変換器を有し、

前記最小パルス幅設定回路は、前記パルス幅変調原信号に前記非ゼロの最小値を設定することにより前記スイッチング素子に対する前記出力信号を生成し、

前記最小パルス幅検出回路は、前記パルス幅変調原信号のパルス出力が終了しても前記スイッチング素子に対する前記出力信号のパルス出力が終了していないと、前記スイッチング素子に対する前記出力信号のパルス出力が終了するまで前記位相補償容量に電流を供給することを特徴とする請求項 2 記載の DC - DC コンバータの制御回路。

【請求項 4】

前記最小パルス幅検出回路は、

前記位相補償容量に対する前記電流の供給のオン / オフを制御する開閉素子と、

前記パルス幅変調原信号の後縁を遅延させた信号を生成する第 1 遅延回路と、

前記第 1 遅延回路の出力を反転させるインバータと、

前記インバータの反転出力と前記スイッチング素子に対する前記出力信号との否定論理積で前記開閉素子の前記オン / オフを制御する否定論理積回路と、

を含むことを特徴とする請求項 2 または 3 に記載の DC - DC コンバータの制御回路。

【請求項 5】

前記最小パルス幅設定回路は、

前記パルス幅変調原信号をクロック入力とし、Q 出力を前記スイッチング素子に対する前記出力信号とする D - フリップフロップと、

前記 D - フリップフロップの反転 Q 出力の前縁を前記非ゼロの最小値で遅延させる第 2 遅延回路と、

前記第 2 遅延回路の出力と前記パルス幅変調原信号の否定論理和を前記 D - フリップフロップのリセット入力とする否定論理和回路と、

を含むことを特徴とする請求項 2 ないし 4 のいずれか 1 項に記載の DC - DC コンバータの制御回路。

【請求項 6】

前記誤差増幅器がトランスコンダクタンスアンプからなることを特徴とする請求項 2 ないし 5 のいずれか 1 項に記載の DC - DC コンバータの制御回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、DC - DC コンバータの制御方法および DC - DC コンバータの制御回路に関する。

【背景技術】

【0002】

直流電圧を別の直流電圧に変換する電力変換装置として、例えば、図 4 の参考技術のような、変換効率にすぐれるスイッチング方式の DC - DC コンバータが広く普及している。

【0003】

この図 4 に示される参考技術の DC - DC コンバータは、出力電圧 V_{out} を出力する出力端子に直列に接続されたスイッチング素子 SW およびインダクタ L と、出力端子と接地電位 (GND) との間に接続されたコンデンサ C と、スイッチング素子 SW とインダクタ L との接続点と接地電位との間に接続された転流ダイオード D と、スイッチング素子 SW の ON / OFF を PWM (パルス幅変調) 制御するための駆動信号 V_{drv} を生成する PWM 信号生成回路と、出力電圧 V_{out} を分圧して帰還電圧 V_d を生成する分圧抵抗 R_{d1} 、 R_{d2} と、出力電圧 V_{ea} を生成して PWM 信号生成回路に入力するトランスコンダクタンスアンプからなる誤差増幅器と、誤差増幅器の出力に接続された位相補償容量 C_c を備えている。

10

20

30

40

50

【0004】

誤差増幅器は、位相補償容量 C_c に対し基準電圧 V_{ref} と出力電圧 V_{out} を分圧抵抗 R_{d1} , R_{d2} で分圧して帰還した帰還電圧 V_d の差に応じた電流を注入または排出することにより、基準電圧 V_{ref} と帰還電圧 V_d の差を増幅した出力電圧 V_{ea} を位相補償容量 C_c の電圧として生成する。

【0005】

PWM信号生成回路は、誤差増幅器の出力電圧 V_{ea} に応じて駆動信号 V_{drv} を生成する。このPWM信号生成回路では、出力する駆動信号 V_{drv} のパルス幅 T_{drv} には最小値 T_{min} が設けられており、 V_{ea} が制御範囲を超えて低下した場合、このパルス幅 T_{drv} の最小値 T_{min} を有する駆動信号 V_{drv} が出力される。

10

【0006】

ここで、負荷のモード変更などにより負荷電流が急減した場合を考えると、出力電圧 V_{out} が上昇し、帰還電圧 V_d も上昇するため、誤差増幅器の出力電圧 V_{ea} が低下し始める。パルス幅 T_{drv} が最小値 T_{min} まで小さくなくても、帰還電圧 V_d が V_{ref} より高ければ（すなわち、出力電圧 V_{out} が目標値を超えていれば）、誤差増幅器の出力電圧 V_{ea} は下がり続ける。

【0007】

なお、図4には図示していないが、駆動信号 V_{drv} のパルス幅が最小値 T_{min} となっても V_{out} の上昇が見込まれる条件でDC-DCコンバータを動作させる場合、過電圧を検出してパルスをスキップする回路を設け、 V_{out} の上昇を所定の範囲に抑えることがある。このような場合、誤差増幅器の出力電圧 V_{ea} が、誤差増幅器の回路構成で決まる下限まで低下した状態で、静定する。

20

【0008】

ここで、誤差増幅器の出力電圧 V_{ea} が下限まで振り切れた状態で負荷電流が急増すると、 V_{ea} は再び上昇を始めるが、この時、 V_{ea} がPWM制御範囲（パルス幅 T_{drv} が T_{min} より広がる範囲）に達するまでに時間を要するため、出力電圧 V_{out} の低下が大きくなってしまいうという技術的課題がある。

【0009】

なお、スイッチング素子の最小オン時間に関しては、以下の特許文献1および特許文献2の技術が知られている。

30

特許文献1には、負荷の大きさによってスイッチング素子の制御を、PFM制御またはPWM制御に切り換える構成において、PWM制御には最小オン期間を設定し、最小オン期間の経過後にスイッチング素子に流れる電流が許容値を超えるとスイッチング素子をオフにする動作を行うとともに、最小オン期間をPFM制御のオン期間より短くする技術が開示されている。

【0010】

一方、特許文献2では、誤差増幅器の出力電圧 V_{ea} の回復に関して同様の課題が認識されており、誤差増幅器の回路構成を工夫して、誤差増幅器の出力電圧の下限を制限する手法が開示されている。

【0011】

40

しかし、このような回路では、PWM信号生成回路の制御範囲を誤差増幅器の出力電圧の下限に合わせないと、効果を得ることができない。差動増幅器を用いて、誤差増幅器の出力が所定電圧を下回ると電流を位相補償容量 C_c に供給するような回路を構成すれば、下限値を自由に設定することも可能ではあるが、PWM制御範囲が動作条件によって変化する場合（例えば、 T_{min} は固定値であるが、スイッチング周波数を変更可能にする場合等）は、予め、 V_{ea} に固定の下限値を与える手法では対応が困難である。

【先行技術文献】

【特許文献】

【0012】

【特許文献1】特開2008-187813号公報

50

【特許文献2】特開2009-60439号公報

【発明の概要】

【発明が解決しようとする課題】

【0013】

本発明の目的は、PWM制御を行うスイッチング電源において、負荷変動等における出力電圧の過渡応答の改善を実現することが可能な技術を提供することにある。

【課題を解決するための手段】

【0014】

本発明の第1の観点は、出力段からの帰還電圧と基準電圧との差電圧を増幅して出力する誤差増幅器と、前記誤差増幅器の出力に接続された位相補償容量と、前記誤差増幅器の出力電圧によって前記出力段のスイッチング素子を駆動する出力信号のパルス幅が変化するPWM信号生成回路を具備したDC-DCコンバータの制御方法であって、

10

前記PWM信号生成回路の出力信号のパルス幅に非ゼロの最小値を設定し、前記出力信号の前記パルス幅が前記非ゼロの最小値で動作している場合は、前記位相補償容量に電流を供給するDC-DCコンバータの制御方法を提供する。

【0015】

本発明の第2の観点は、出力段からの帰還電圧と基準電圧との差電圧を増幅して出力する誤差増幅器と、

前記誤差増幅器の出力側に接続された位相補償容量と、

前記誤差増幅器の出力電圧によって前記出力段のスイッチング素子に対する出力信号のパルス幅を変化させるパルス幅変調(PWM)を行うPWM信号生成回路と、を含み、

20

前記PWM信号生成回路は、

前記スイッチング素子に対する前記出力信号の前記パルス幅に非ゼロの最小値を設定する最小パルス幅設定回路と、

前記出力信号の前記パルス幅が前記非ゼロの最小値で動作している場合は前記位相補償容量に電流を供給する最小パルス幅検出回路と、を具備したDC-DCコンバータの制御回路を提供する。

【発明の効果】

【0016】

本発明によれば、PWM制御を行うスイッチング電源において、負荷変動等における出力電圧の過渡応答の改善を実現することが可能な技術を提供することができる。

30

【図面の簡単な説明】

【0017】

【図1】本発明の制御方法，制御回路に係る一実施の形態であるDC-DCコンバータの制御回路の構成の一例を示す図である。

【図2】本発明の制御方法，制御回路に係る一実施の形態である図1のDC-DCコンバータの制御回路の一部の構成をさらに詳細に例示した図である。

【図3】本発明の制御方法，制御回路に係る一実施の形態であるDC-DCコンバータの制御回路の作用の一例を示すタイミングチャートである。

【図4】本発明の参考技術のDC-DCコンバータの回路図である。

40

【発明を実施するための形態】

【0018】

本実施の形態では、一態様として、PWM制御を行うスイッチング電源において、PWM制御のパルス幅が最小値になると、位相補償容量に電流を供給し、誤差増幅器の出力電圧の低下を防止する。

【0019】

これにより、PWM信号の制御範囲の下限を超えて、誤差増幅器の出力電圧が低下することを防止し、過渡応答の改善を図ることが可能となる。

以下、図面を参照しながら、本発明の実施の形態について詳細に説明する。

【0020】

50

図1は、本発明の制御方法，制御回路に係る一実施の形態であるDC-DCコンバータの制御回路の構成の一例を示す図である。

図2は、本発明の制御方法，制御回路に係る一実施の形態である図1のDC-DCコンバータの制御回路の一部の構成をさらに詳細に例示した図である。

【0021】

図3は、本発明の一実施の形態である制御方法を実施するDC-DCコンバータの制御回路の作用の一例を示すタイミングチャートである。

図1に例示される本実施の形態のPWM信号生成回路110を備えたDC-DCコンバータMは、上述の図4の参考技術とは、PWM信号生成回路に、Tmin検出回路が設けられており、パルス幅がTminの場合に（すなわち、最小パルス幅Tminを設けなければパルス幅がTminより小さくなってしまふ場合に）、位相補償容量Ccに電流Iupが供給される点が異なる。

10

【0022】

図1に例示されるように、本実施の形態のDC-DCコンバータMは、スイッチング素子210（SW）、直流電源250、インダクタ220（L）、転流ダイオード230（D）、コンデンサ240（C）からなる出力段200と、この出力段200のスイッチング素子210のON/OFFを制御するための制御回路100を備えている。

【0023】

この実施の形態のDC-DCコンバータMの場合、出力段200のスイッチング素子210とインダクタ220は、負荷に対して直列に接続されてバックコンバータを構成し、直流電源250の直流電圧を降圧して出力端子260に出力する。

20

【0024】

また、制御回路100は、PWM信号生成回路110と、トランスコンダクタンスアンプからなる誤差増幅器150、位相補償容量160（Cc）を備えている。

PWM信号生成回路110から出力される駆動信号VdrvによってON/OFFが制御される出力段200のスイッチング素子210は、インダクタ220、転流ダイオード230、コンデンサ240に対する直流電源250の接続経路をON/OFFすることで、出力端子260に、ONとOFFの比率に応じた直流の出力電圧Voutを出力する。

【0025】

また、出力電圧Voutは、分圧抵抗140を介して誤差増幅器150の帰還電圧Vdとなる。

30

誤差増幅器150は、所定の基準電圧Vrefと、出力段200の出力電圧Voutを分圧抵抗140で分圧して帰還した帰還電圧Vdとの差を増幅し、後段のPWM信号生成回路110へ出力電圧Veaを出力する。より詳細には、位相補償容量Ccに対し基準電圧Vrefと帰還電圧Vdの差に応じた電流を注入または排出することにより、基準電圧Vrefと帰還電圧Vdの差を増幅した出力電圧Veaを位相補償容量Ccの電圧として生成する。

【0026】

そして、本実施の形態の場合、制御回路100のPWM信号生成回路110は、後述の最小パルス幅検出回路130を備え、この最小パルス幅検出回路130は、電流Iupを、後述のようなタイミングで、誤差増幅器150の位相補償容量Ccに供給可能になっている。

40

【0027】

次に、図2を参照して、本実施の形態のDC-DCコンバータMの制御回路100を構成するPWM信号生成回路110の内部構成の一例をさらに詳細に説明する。

本実施の形態の制御回路100を構成するPWM信号生成回路110は、誤差増幅器150の出力電圧VeaをPWM原信号（パルス幅変調原信号）Vpwmに変換するPWM変換器111と、PWM原信号Vpwmのパルス幅が最小値Tminよりも小さい時にパルス幅を延長して最小値Tminを設定するとともに位相補償容量Ccに電流を注入する回路として、最小パルス幅設定回路120および最小パルス幅検出回路130を備えてい

50

る。

【0028】

ここで、PWM変換器111から出力されるPWM原信号 V_{pwm} は、まだ最小オン時間である最小値 T_{min} が設定されていない信号で、その最小値はゼロである。具体的には、誤差増幅器150の出力電圧（誤差信号） V_{ea} と三角波もしくは鋸波からなる図示しないキャリア信号 V_{carry} とを比較して生成する信号で、 $V_{ea} > V_{carry}$ のときにHighレベルとなる信号である。

【0029】

誤差増幅器150の出力電圧 V_{ea} が V_{carry} の最小値より小さいと、PWM原信号 V_{pwm} はLowレベルのまま、オン時間はゼロとなる。

10

最小パルス幅設定回路120は、立ち下がり遅延時間が最小値 T_{min} の遅延回路123(D2)、非同期リセット機能を有するD-フリップフロップ121(D-FF)、NOR（否定論理和）ゲート122で構成されている。

【0030】

立下り遅延時間 T_{min} の遅延回路123(D2)は、入力（この場合、駆動信号 V_{drv} の反転信号）の前縁（立下り）のみ遅延させる回路で、立ち上がりは遅延させない回路である。この遅延回路123(D2)の遅延時間 T_{min} が最小パルス幅（最小値 T_{min} ）に相当する。

【0031】

そして、D-FFのD入力は固定入力124でHighレベルに固定され、PWM原信号 V_{pwm} の立ち上がりエッジでD-FFの出力QをHighレベル（Qの反転の Q_b は V_{drv} の反転論理であるLowレベル）にセットし、遅延回路123(D2)の出力V1の立ち下がりとPWM原信号 V_{pwm} の立ち下がりの遅い方を示す電圧V2をD-FFのCLR入力とすることによって、D-FFをリセットすることで、パルス幅が出力電圧 V_{ea} に応じた値であるとともに最小値 T_{min} を有する駆動信号 V_{drv} でスイッチング素子210をON/OFF制御する動作を実現できる。

20

【0032】

さらに、本実施の形態の場合、PWM信号生成回路110の電流 I_{up} を制御する最小パルス幅検出回路130は、 V_{pwm} の後縁（立ち下がり）を微小時間 T_s （最小パルス幅設定回路120のD-FF等のロジックゲートの遅延時間より若干長い程度）遅延させる立ち下がり遅延回路135(D1)、遅延回路135(D1)の出力を反転させるインバータ134、インバータ134の出力V3と駆動信号 V_{drv} の論理積の反転を得るNAND（否定論理積）ゲート133、およびNANDゲート133の出力に応じて導通し電流を出力するPチャンネルMOSFET132を備えている。

30

【0033】

そして、PチャンネルMOSFET132は、定電流源131からの定電流をON/OFFすることで電流 I_{up} による位相補償容量160(Cc)の充電動作のON/OFFを制御する。

【0034】

次に、図3等を参照して、本実施の形態のDC-DCコンバータMにおける、PWM信号生成回路110、誤差増幅器150、位相補償容量160、分圧抵抗140等で構成される制御回路の作用の一例を説明する。

40

【0035】

PWM信号生成回路110において、PWM変換器111から出力されるPWM原信号 V_{pwm} のパルス幅Tpが所定の最小値 T_{min} よりも大きい場合（図3の左側半分）、 V_{pwm} がLowレベルとなる時点で、遅延回路123(D2)の出力V1が既にLowレベルとなっているため電圧V2がHighレベルになってD-FFにリセットがかかり、PWM信号生成回路110の出力である駆動信号 V_{drv} は、D-FF等のロジックゲートの遅延を以って即座にLowレベルとなる。

【0036】

50

このため、最小パルス幅検出回路130においては、Vpwmを遅延回路135(D1)で遅延させて反転させた信号(出力V3)と、駆動信号Vdrvとが、共にHighレベルになることはなく、PチャンネルMOSFET132は導通(ON)せず、電流Iupによる位相補償容量160(Cc)の充電は行われない。

【0037】

一方、Vpwmのパルス幅Tpが最小値Tminよりも小さい場合には(図3の右側半分)、VpwmがLレベルとなっても、最小パルス幅設定回路120における遅延回路123(D2)の出力V1がLレベルとなるまで(すなわち、D-FFのリセット入力(CLR)である電圧V2がHレベルになるまで)、駆動信号VdrvはLowレベルにならない。

10

【0038】

そして、Vpwmが立ち上がったから時間Tminが経過すると、遅延回路123(D2)の出力V1がLowレベルになることにより、D-FFがリセットされて駆動信号VdrvはLowレベルになる。したがって、Vpwmのパルス幅Tpが最小値Tminよりも小さい場合、駆動信号Vdrvは最小値Tminの期間は必ずHighレベルを保つ。すなわち、駆動信号Vdrvに最小パルス幅Tminが設定されることになる。

【0039】

このため、Vpwmのパルス幅Tpが駆動信号Vdrvの最小パルスTminよりも小さい場合には、駆動信号VdrvがLowレベルになるまでのtの間(すなわち、駆動信号Vdrvのパルス幅Hが最小値Tminまで延長されている期間)、PチャンネルMOSFET132が導通し、位相補償容量Ccへと電流Iupが供給される。

20

【0040】

この結果、誤差増幅器150の出力電圧Veaは、Vpwmのパルス幅が最小値Tminとなる電圧より低下しなくなる。

このため、負荷電流の増加により必要な駆動信号Vdrvのパルス幅が増加した場合に、誤差増幅器150の出力電圧Veaが、それに応じた値まで増加する時の増加幅を最低限にし、これに要する時間を最小限に抑えることができるため、DC-DCコンバータMの出力電圧Voutの低下を最小限に抑えることができる。

【0041】

これにより、例えば、DC-DCコンバータMの出力端子260の接続される負荷が過渡的に大きく変動する場合における出力電圧の変動を抑制することが可能となる。

30

すなわち、本実施の形態のDC-DCコンバータMによれば、制御回路100の誤差増幅器150の出力電圧Veaが、最小値Tminで規定されるPWM制御範囲の下限よりも低下することを防止し、DC-DCコンバータMの過渡応答が改善される、という効果が得られる。

【0042】

なお、本発明は、上述の実施の形態に例示した構成に限らず、その趣旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【符号の説明】

【0043】

- 100 制御回路
- 110 PWM信号生成回路
- 111 PWM変換器
- 120 最小パルス幅設定回路
- 121 D-フリップフロップ
- 122 NORゲート
- 123 遅延回路
- 124 固定入力
- 130 最小パルス幅検出回路
- 131 定電流源

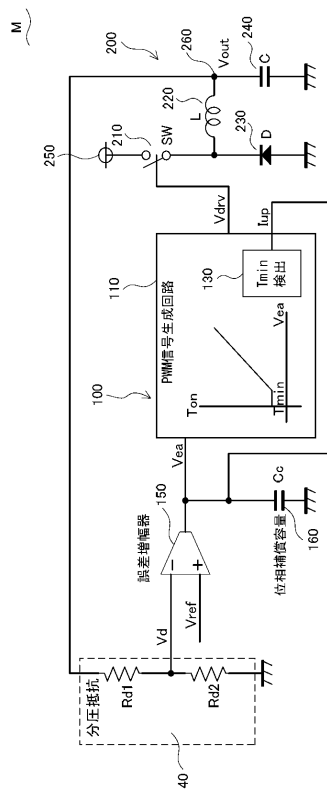
40

50

- 1 3 2 PチャネルMOSFET
- 1 3 3 NANDゲート
- 1 3 4 インバータ
- 1 3 5 遅延回路
- 1 4 0 分圧抵抗
- 1 5 0 誤差増幅器
- 1 6 0 位相補償容量
- 2 0 0 出力段
- 2 1 0 スwitching素子
- 2 2 0 インダクタ
- 2 3 0 転流ダイオード
- 2 4 0 コンデンサ
- 2 5 0 直流電源
- 2 6 0 出力端子

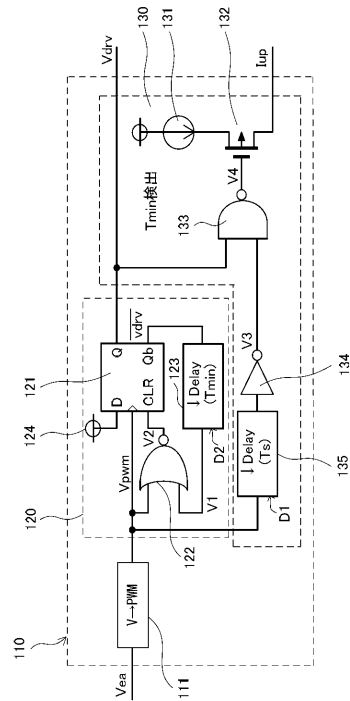
【図1】

本発明の制御方法、制御回路に係る一実施の形態であるDC-DCコンバータの制御回路の構成の一例を示す図



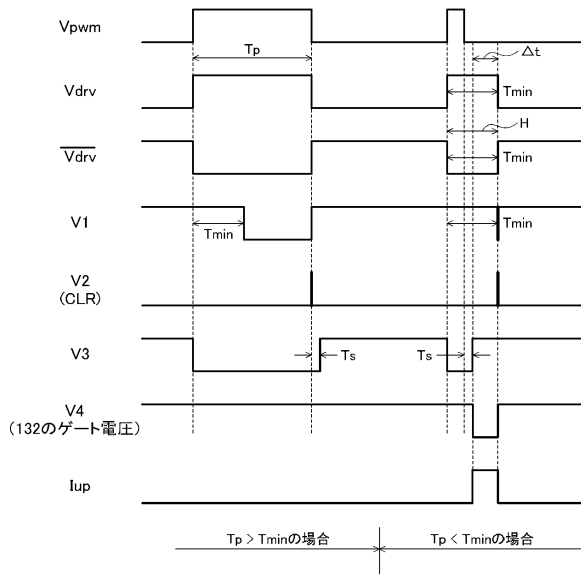
【図2】

本発明の制御方法、制御回路に係る一実施の形態である図1のDC-DCコンバータの制御回路の一部の構成をさらに詳細に例示した図



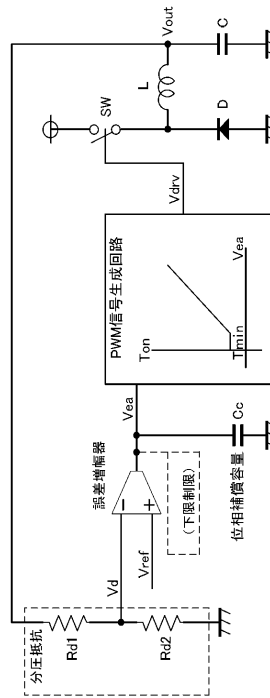
【図3】

本発明の制御方法、制御回路に係る一実施の形態であるDC-DCコンバータの制御回路の作用の一例を示すタイミングチャート



【図4】

本発明の参考技術のDC-DCコンバータの回路図



フロントページの続き

- (56)参考文献 特開2008-236915(JP,A)
特開2006-333636(JP,A)
米国特許出願公開第2011/0018507(US,A1)
特開2008-187813(JP,A)
特開2009-060439(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H02M 3/155