

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-165989

(P2010-165989A)

(43) 公開日 平成22年7月29日(2010.7.29)

(51) Int. Cl.
H01L 21/768 (2006.01)

F I
H01L 21/90

テーマコード(参考)
5F033

審査請求 未請求 請求項の数 17 O L (全 15 頁)

(21) 出願番号 特願2009-8949(P2009-8949)
(22) 出願日 平成21年1月19日(2009.1.19)

(71) 出願人 500174247
エルピーダメモリ株式会社
東京都中央区八重洲2-2-1
(74) 代理人 100123788
弁理士 宮崎 昭夫
(74) 代理人 100106138
弁理士 石橋 政幸
(74) 代理人 100127454
弁理士 緒方 雅昭
(72) 発明者 神作 孝
東京都中央区八重洲2-2-1 エルピー
ダメモリ株式会社内

最終頁に続く

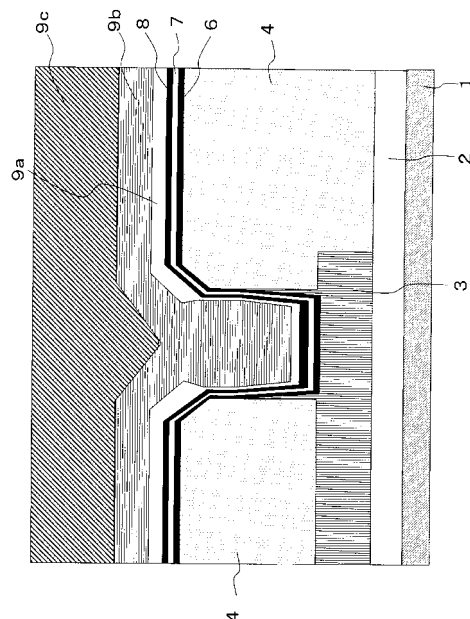
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】 (修正有)

【課題】多層配線構造において、下層金属配線への接続用スルーホール内にポイドが発生することを防止する半導体装置の製造方法を提供する。

【解決手段】半導体基板上に金属配線3を形成し、全面に層間絶縁膜4を形成する。絶縁膜内にスルーホールを形成する。スパッタエッチングにより、スルーホール開口部に傾斜部を設け断面を大きくするとともに金属配線の表面の酸化Alを除去する。半導体基板を冷却し、基板温度20 ~ 40 で、スルーホールの内面を含む全面に第1のチタン膜6、窒化チタン膜7、第2のチタン膜8、第1のAl層9aを形成する。続いて基板を加熱して第2のAl層9bをリフローしながら形成した後、第3のAl層9cを形成する。

【選択図】 図8



【特許請求の範囲】

【請求項 1】

半導体基板上に金属配線を形成する工程と、

全面に絶縁膜を形成する工程と、

前記絶縁膜内をその厚み方向に貫通して前記金属配線の上面を露出させるスルーホールを形成する工程と、

前記スルーホールの開口部の断面積を大きくするスパッタエッチング工程と、

20 ~ 40 の温度範囲内で、前記スルーホールの内面を含む全面に第 1 のチタン膜、窒化チタン膜、第 2 のチタン膜を順次、形成する工程と、

前記第 2 のチタン膜上に第 1 の A 1 層を形成する工程と、

前記第 1 の A 1 層上に第 2 の A 1 層を形成する工程と、

前記第 2 の A 1 層上に第 3 の A 1 層を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

10

【請求項 2】

半導体基板上に金属配線を形成する工程と、

全面に絶縁膜を形成する工程と、

前記絶縁膜内をその厚み方向に貫通して前記金属配線の上面を露出させるスルーホールを形成する工程と、

前記スルーホールの開口部の断面積を大きくするスパッタエッチング工程と、

20 ~ 40 の温度範囲内で、前記スルーホールの内面を含む全面に第 1 の導電膜、第 2 の導電膜、第 3 の導電膜を順次、形成する工程と、

前記第 3 の導電膜上に第 4 の導電膜を形成する工程と、

前記第 4 の導電膜上に第 5 の導電膜を形成する工程と、

前記第 5 の導電膜上に第 6 の導電膜を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

20

【請求項 3】

請求項 2 において、

前記第 1 の導電膜が第 1 のチタン膜、

前記第 2 の導電膜が窒化チタン膜、

前記第 3 の導電膜が第 2 のチタン膜、

前記第 4 の導電膜が第 1 の A 1 層、

前記第 5 の導電膜が第 2 の A 1 層、

前記第 6 の導電膜が第 3 の A 1 層である、

ことを特徴とする半導体装置の製造方法。

30

【請求項 4】

請求項 1 又は 3 において、

前記スルーホールを形成する工程の後、前記スパッタエッチング工程の前に脱ガス処理工程をさらに有することを特徴とする半導体装置の製造方法。

【請求項 5】

請求項 4 において、

前記脱ガス処理工程は、400 ~ 450 の温度範囲で前記半導体基板を熱処理する工程であることを特徴とする半導体装置の製造方法。

40

【請求項 6】

請求項 4 又は 5 において、

前記脱ガス処理工程に続く前記スパッタエッチング工程の後、前記第 1 のチタン膜を形成する工程の前に、前記半導体基板を冷却する冷却処理工程をさらに有することを特徴とする半導体装置の製造方法。

【請求項 7】

請求項 6 において、

前記冷却処理工程では、前記半導体基板が 20 ~ 40 の温度範囲内となるように冷

50

却されることを特徴とする半導体装置の製造方法。

【請求項 8】

請求項 6 又は 7 において、

前記冷却処理工程の後、前記第 1 のチタン膜を形成する工程の前に、保護 A 1 層を形成する工程をさらに有することを特徴とする半導体装置の製造方法。

【請求項 9】

請求項 1、3 乃至 8 のいずれか 1 項において、

前記スパッタエッチング工程から前記第 3 の A 1 層を形成する工程までの工程は、大気に曝されないように連続的に行なわれることを特徴とする半導体装置の製造方法。

【請求項 10】

請求項 1、3 乃至 9 のいずれか 1 項において、

前記第 1 の A 1 層の形成は、前記半導体基板が 20 ~ 40 の温度範囲、雰囲気圧力が 0.1 ~ 0.5 mTorr の範囲で行なわれることを特徴とする半導体装置の製造方法。

【請求項 11】

請求項 1、3 乃至 10 のいずれか 1 項において、

前記第 2 の A 1 層、および前記第 3 の A 1 層の形成は、前記半導体基板が 400 ~ 450 の温度範囲で行なわれることを特徴とする半導体装置の製造方法。

【請求項 12】

請求項 1、3 乃至 11 のいずれか 1 項において、

前記第 1 の A 1 層を形成する工程の後、前記第 2 の A 1 層を形成する工程の前に、前記半導体基板を加熱するプレヒート処理工程をさらに有することを特徴とする半導体装置の製造方法。

【請求項 13】

請求項 1、3 乃至 12 のいずれか 1 項において、

前記第 2 の A 1 層を形成する工程における A 1 層の形成速度は、前記第 3 の A 1 層を形成する工程における A 1 層の形成速度より遅いことを特徴とする半導体装置の製造方法。

【請求項 14】

請求項 1、3 乃至 13 のいずれか 1 項において、

前記第 3 の A 1 層を形成した後、前記第 3 の A 1 層、前記第 2 の A 1 層、前記第 1 の A 1 層、前記第 2 のチタン膜、前記窒化チタン膜、前記第 1 のチタン膜を順次エッチングして A 1 配線を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 15】

請求項 1 乃至 14 のいずれか 1 項において、

前記金属配線の上面にはキャップ窒化チタン膜が形成されていることを特徴とする半導体装置の製造方法。

【請求項 16】

請求項 1 乃至 15 のいずれか 1 項において、

前記金属配線は A 1 配線であることを特徴とする半導体装置の製造方法。

【請求項 17】

請求項 1 乃至 15 のいずれか 1 項において、

前記金属配線は Cu 配線であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関する。

【背景技術】

【0002】

半導体装置は、半導体基板上に形成されるトランジスタ、ダイオード、キャパシタなどの機能素子と、それらの機能素子を接続して回路を構成するための配線を主たる構成部材

10

20

30

40

50

として構成されている。近年、半導体装置の高集積化、あるいは高機能化のため、配線には多層配線構造が用いられている。

【0003】

多層配線構造では、スルーホールを介して下層配線と上層配線を接続するビアプラグが必要となる。しかし、上層配線をAlで形成する場合、高集積化の進展に伴い、スルーホールの径が縮小されるとスパッタ法でAlを成膜するだけでは、スルーホール内をAlで完全に充填することが困難となってきた。これに対処するために、高温でリフローさせながらAlを成膜する方法や成膜したAlを熱処理してリフローさせる方法が用いられるようになってきた。

【0004】

特許文献1(特開2001-015515号公報)には、絶縁膜内に形成したコンタクトホールを介して、半導体基板に形成した拡散層と上層Al配線を接続する方法が開示されている。より具体的には、Alの下地にバリア層として形成するチタン(Ti)膜を100から250の温度範囲で形成することにより、その上に形成するAlの結晶性を改善し、配線の信頼性を向上させる方法が記載されている。

【0005】

図11は、特許文献1に記載されている図5を転記したものである。特許文献1に記載された技術を以下に述べる。

まず、半導体基板10上に形成された絶縁膜11内にコンタクトホールを形成する。次に、基板温度を100~250に加熱制御した状態で、全面に厚さ20nm程度のチタン膜13を形成する。次に、全面にバリアメタルとなる窒化チタン膜14を全面に形成する。次に、接触抵抗を低減させるために600の窒素雰囲気中で熱処理する。

【0006】

その後、Al膜との接合性を向上させるため、全面にチタン膜15を形成する。次に、低温スパッタにより全面にAl膜16を形成し、さらに高温スパッタにより全面にAl膜17を形成してコンタクトホールを埋め込むと同時にリフローAl配線層18を形成する。

【0007】

上記方法によりチタン膜13の結晶性を向上させることができ、結果的にAl配線層18の結晶性も向上し、信頼性の高い配線層が得られる利点があると記載されている。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2001-015515号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかし、発明者らの検討によれば、上記特許文献1に記載された技術は、図12に示すように、下層配線が半導体基板内に形成された拡散層ではなく金属配線30で構成される場合、スルーホール内にボイド19が発生しやすいという問題があることが明らかとなった。これは、以下の原因によるものと考えられる。すなわち、径が縮小されたスルーホールでは、チタン膜13を薄く形成せざるを得なくなる。この結果、チタン膜13を100~250に加熱した状態で形成すると、スルーホールの側壁に形成されるチタン膜13aは凝集して不連続膜となる。そして、結果的に側壁部でのAl膜の濡れ性が悪くなり、リフローを阻害しているものと推察される。

【0010】

また、下層配線30が金属配線の場合には、以下に述べる阻害要因も新たに発生することが明らかとなった。図13は、半導体基板10上に、層間絶縁膜20を介して金属配線30を形成し、さらに層間絶縁膜40を形成して、層間絶縁膜40内を貫通するようにスルーホール50を形成した状態を示している。

10

20

30

40

50

【 0 0 1 1 】

層間絶縁膜 4 0 にスルーホール 5 0 を形成することによってスルーホール 5 0 の底部に金属配線 3 0 の上面を露出させた場合、露出した金属配線 3 0 の表面には、自然酸化による酸化金属膜が形成される。このため、この状態で全面にチタン膜を形成すると導通不良の原因となる。

【 0 0 1 2 】

これを回避するためにチタン膜の形成直前に酸化金属膜をスパッタエッチングにより除去するが、スパッタエッチングされたリスパッタ酸化金属膜 3 0 a がスルーホールの側壁に形成されてしまう。

【 0 0 1 3 】

このリスパッタ酸化金属膜 3 0 a は酸素を含んでいるために、この上に形成されるチタン膜は酸化の影響を受ける。その結果、チタン膜の膜質は、スパッタエッチングの必要がない、下地が半導体基板の場合よりさらに悪化する。

【 0 0 1 4 】

膜質が悪化したチタン膜 1 3 の上に形成される窒化チタン膜 1 4 およびチタン膜 1 5 は下地チタン膜 1 3 の膜質の影響を受けて同じく膜質が悪化することとなる。結果的に側壁部での A 1 膜の濡れ性が悪くなりリフローを阻害しているものと推察される。

【 課題を解決するための手段 】

【 0 0 1 5 】

本発明は、1 以上の上記課題を解決するか、又は上記課題を少なくとも部分的に改良する。

【 0 0 1 6 】

一実施形態は、
半導体基板上に金属配線を形成する工程と、
全面に絶縁膜を形成する工程と、
前記絶縁膜内をその厚み方向に貫通して前記金属配線の上面を露出させるスルーホールを形成する工程と、
前記スルーホールの開口部の断面積を大きくするスパッタエッチング工程と、
2 0 ~ 4 0 の温度範囲内で、前記スルーホールの内面を含む全面に第 1 のチタン膜、窒化チタン膜、第 2 のチタン膜を順次、形成する工程と、
前記第 2 のチタン膜上に第 1 の A 1 層を形成する工程と、
前記第 1 の A 1 層上に第 2 の A 1 層を形成する工程と、
前記第 2 の A 1 層上に第 3 の A 1 層を形成する工程と、
を含むことを特徴とする半導体装置の製造方法に関する。

【 0 0 1 7 】

他の一実施形態は、
半導体基板上に金属配線を形成する工程と、
全面に絶縁膜を形成する工程と、
前記絶縁膜内をその厚み方向に貫通して前記金属配線の上面を露出させるスルーホールを形成する工程と、
前記スルーホールの開口部の断面積を大きくするスパッタエッチング工程と、
2 0 ~ 4 0 の温度範囲内で、前記スルーホールの内面を含む全面に第 1 の導電膜、第 2 の導電膜、第 3 の導電膜を順次、形成する工程と、
前記第 3 の導電膜上に第 4 の導電膜を形成する工程と、
前記第 4 の導電膜上に第 5 の導電膜を形成する工程と、
前記第 5 の導電膜上に第 6 の導電膜を形成する工程と、
を含むことを特徴とする半導体装置の製造方法に関する。

【 0 0 1 8 】

なお、本明細書では、配線層間のコンタクトに用いるコンタクトホールとして「スルーホール」という呼称を用いる。

10

20

30

40

50

【発明の効果】

【0019】

下層金属配線と上層Al配線を接続するビアプラグの形成において、スルーホール内のAlのリフロー埋設性を確保する。また、上層Al配線を低抵抗とする。

【図面の簡単な説明】

【0020】

【図1】本発明の半導体装置の製造方法の一例を説明するフローチャートである。

【図2】本発明の半導体装置の製造方法の一例の一工程を説明する図である。

【図3】本発明の半導体装置の製造方法の一例の一工程を説明する図である。

【図4】本発明の半導体装置の製造方法の一例の一工程を説明する図である。

10

【図5】本発明の半導体装置の製造方法の一例の一工程を説明する図である。

【図6】本発明の半導体装置の製造方法の一例の一工程を説明する図である。

【図7】本発明の半導体装置の製造方法の一例の一工程を説明する図である。

【図8】本発明の半導体装置の製造方法の一例の一工程を説明する図である。

【図9】本発明の半導体装置の製造方法の一例の一工程を説明する図である。

【図10】実施例及び比較例のホール埋設率を示す図である。

【図11】関連する半導体装置を説明する図である。

【図12】関連する半導体装置の問題点を説明する図である。

【図13】関連する半導体装置の問題点を説明する図である。

20

【発明を実施するための形態】

【0021】

以下に、図面を参照して、本発明に係る半導体装置の製造方法を説明する。なお、下記実施例は、本発明のより一層の深い理解のために示される具体例であって、本発明は、これらの具体例に何ら限定されるものではない。

【0022】

(第1実施例)

以下、第1実施例について、図1～図8を参照して説明する。図1は、第1実施例の半導体装置の製造方法の全体構成を各ステップ順に示している。また、図2～図8は、図1の各ステップを行った後の状態を説明する断面図を示している。以下の説明では、図1の各ステップの説明に、図2～図8に示した断面図を構成する各部材の符号を併用することとする。

30

【0023】

最初に、ステップ1では、金属配線を形成する工程が実施される。図2に示すように、半導体基板1上に、層間絶縁膜2を介してAlからなる金属配線3を形成する。Alには、純AlやCu含有Alを用いることができる。

【0024】

半導体基板上の全面にスパッタ法によりAlを成膜した後、リソグラフィ法とドライエッチング法により配線を形成する。Al配線3を形成した後、ドライエッチングのマスクとして用いたマスク材を除去する。金属配線3としてCuを用いる場合は、周知のダマシン法で形成することができる。

40

【0025】

また、半導体基板にはシリコンの他、化合物半導体などを用いることができる。半導体基板としては例えば、半導体基板上にトランジスタやダイオードなどの能動素子、抵抗や複数の配線層などの受動素子が形成されているものを用いる。ステップ1における一連の工程は、各々独立する金属スパッタ装置、リソグラフィ装置、ドライエッチング装置を用いて実施される。

【0026】

次に、ステップ2では、層間絶縁膜を形成する。図2に示すように、Al配線3を含む半導体基板上の全面に層間絶縁膜4を形成する。層間絶縁膜4の厚さは700nm～1000nmとする。この層間絶縁膜4としては例えば、TEOS(Tetraethoxy

50

silane)を原料とするプラズマCVD(Chemical Vapor Deposition)法により形成した酸化シリコン膜を用いることができる。また、フッ素(F)を含有する酸化シリコン膜(SiOF)や窒化炭素(CN)を含有する酸化シリコン膜(SiCN)などを用いることもできる。これらのSiOFやSiCNは低誘電率材料として知られている。

【0027】

次に、ステップ3ではスルーホールを形成する。図2に示すように、リソグラフィ法とドライエッチング法により、層間絶縁膜4内をその厚み方向に貫通して、Al配線3の表面が露出するようにスルーホール5を形成する。スルーホール5の直径は250~500nmとする。

10

【0028】

スルーホール5を形成した後、ドライエッチングのマスクとして用いたマスク材を除去する。ステップ2における一連の工程は、各々独立するプラズマCVD装置、リソグラフィ装置、ドライエッチング装置を用いて実施される。

【0029】

次に、ステップ4では、半導体基板を、真空搬送が可能なマルチチャンバーの内、脱ガス処理チャンバーに搬入し、脱ガス処理工程を実施する。層間絶縁膜4は水分(H₂O)やCOなどの不安定な不純物を含有している。このため、後の工程で、これらの不純物が離脱すると、形成されている金属が酸化されAlのリフローを阻害する原因となる。そこで、リフローの阻害を回避するために、金属を形成する前の段階で脱ガス処理を行なう。

20

【0030】

この脱ガス処理工程では、半導体基板1を真空状態に維持したマルチチャンバー型の処理装置に移設し、400~450の非酸化性雰囲気中で35秒間、熱処理を行う。この段階で、スルーホール5内に露出するAl配線3の表面には、層間絶縁膜4からの離脱不純物によって酸化Alが形成される。

【0031】

なお、ステップ4からステップ13まではマルチチャンバー型の装置内で処理することができるので、半導体基板1は大気に暴露されることがない。したがって、大気によって金属が酸化されることを回避できる。

【0032】

30

次に、ステップ5では、半導体基板を、マルチチャンバーのうちスパッタエッチングチャンバーに移送して、図3に示すようにスパッタエッチング工程を実施する。ステップ5では、導通不良の原因となる、ステップ4で形成された酸化Alを除去する。ステップ5では、半導体基板1をエッチングチャンバーに移設し、高周波パワー400~600W、好ましくは500Wで励起したアルゴン(Ar)ガスを用いて、半導体基板1全体をスパッタエッチングする。これにより、Al配線3の表面に形成されていた酸化Alはスパッタエッチングされ、スルーホール5の側壁にリスパッタ酸化Al3aが形成される。また、スルーホール5の開口部には傾斜部5aが形成される。

【0033】

40

本実施例では、この傾斜部5aがスルーホール5の側壁と交差する深さD1が、Al配線3上に残存している層間絶縁膜4の厚さD2の15~25%の範囲となるようにスパッタエッチングの時間を調整する。具体的には、30~60秒間、スパッタエッチングを行う。この時、スルーホール5の開口部の直径は、スパッタエッチング前に比べて2×D1分だけ拡大する。このように本実施例では、傾斜部5aの角度がほぼ45°となる、スパッタエッチングの特性を利用してスルーホール5の開口部の直径を拡大させている。このように開口部の直径を拡大させることによって、後で行なうAlのリフローを確実に実施することができる効果も併せて有している。なお、本明細書において、「開口部」とは、スルーホールの、半導体基板上に形成された金属配線と最も離れた最上端の部分のことを表す。

【0034】

50

次に、ステップ6では、マルチチャンバーの内、チタン、窒化チタン形成チャンバーに移送し、冷却処理を行なう。ステップ5のスputタエッチング終了段階ではステップ4の脱ガス処理工程における熱処理の影響が残存し、半導体基板自体の温度が不均一に加温された状態にあるため、チタン、窒化チタンの形成に悪影響を及ぼす場合がある。すなわち、チタン、窒化チタンの膜厚が基板全体で不均一になりやすく、また、表面の凹凸も大きくなる。本実施例では、チタン、窒化チタン形成装置のステージには冷却機構が設けられている。ステップ6では冷却処理により、半導体基板の温度を20～40の範囲内で制御する。本実施例では、半導体基板の温度を25とした。

【0035】

次に、ステップ7では、同じチャンバー内で、図4に示すように第1チタン膜6を形成する。具体的には、直流パワー35～40kW、好ましくは37kWで励起されたArを用いるスputタ法により、層間絶縁膜4上での膜厚が18～22nm、好ましくは20nmとなるように第1チタン膜6を形成する。

10

【0036】

次に、ステップ8では、図5に示すように、第1チタン膜6上に窒化チタン膜7を形成する。具体的には、直流パワー30～35kW、好ましくは33kWで励起されたArとN₂を用いる反応性スputタ法により、層間絶縁膜上での膜厚が18～22nm、好ましくは20nmとなるように形成する。この窒化チタン膜7は、バリアメタルとして機能する。

20

【0037】

さらに、ステップ9では、窒化チタン膜7上に第2チタン膜8を形成する。具体的には、直流パワー35～40kW、好ましくは37kWで励起されたArを用いるスputタ法により、層間絶縁膜上での膜厚が18～22nm、好ましくは20nmとなるように第2チタン膜8を形成する。この第2チタン膜8を設けることで、後の工程で形成する第1Al層9aとの接合性を向上させることができる。

【0038】

次に、ステップ10では、半導体基板を第1Al層の形成チャンバーに移送し、図6に示すように、第1Al層9aを形成する。具体的には、直流パワー30～40kW、好ましくは35kWで励起されたArを用いるスputタ法により、層間絶縁膜4上での膜厚が140～160nm、好ましくは150nmとなるように第1Al層9aを形成する。なお、ステップ10では、第1Al層の形成チャンバーに設けられた冷却機構により、ステップ6～9に引き続いて半導体基板の温度は20～40の範囲内で維持される。

30

【0039】

次に、ステップ11では、半導体基板を第2Al層の形成チャンバーに移送し、加熱機構を用いて第2Al層を形成する前にプレヒート処理を行なう。このプレヒート処理では、半導体基板が載置されるステージの温度を400～450、好ましくは415に設定して、60秒間、処理を行ない、半導体基板の温度を安定化させる。

【0040】

次に、ステップ12では、リフローAl層形成工程を実施する。まず、ステップ12では、半導体基板の温度を415に安定化した後、図7に示すように、第2Al層9bを形成する。具体的には、直流パワー3～4kW、好ましくは3.5kWで励起されたArを用いるスputタ法により、層間絶縁膜4上での膜厚が250～350nm、好ましくは300nmとなるように第2Al層9bを形成する。

40

【0041】

ステップ12では、直流パワーを3～4kWに低下させることにより、スputタ堆積速度を100～200nm/minになるように制御する。スputタ堆積速度を低下させた状態で第2Al層のリフローを実施するので、スルーホール5内部にポイドを発生させることなく、確実に第2Al層9aを充填することができる。このステップ12は、スルーホール5の内部が充填されるまで実施する。本実施例では、層間絶縁膜4上に300nm形成した段階がステップ12の終了段階となる。

50

【0042】

次に、ステップ13では、同じチャンパー内で、且つ同じ基板温度で、図8に示すように、第3 Al層9cを形成する。具体的には、直流パワー直流パワー20~25kW、好ましくは22kWで励起されたArを用いるスパッタ法により、層間絶縁膜4上での膜厚が500~600nm、好ましくは550nmとなるように第3 Al層9cを形成する。

【0043】

本実施例では、ステップ12の段階でスルーホールは、第2のAl層9bで充填されているので、ボイドの発生を回避する必要がない。このため、第2のAl層形成に比べて直流パワーを増加させてスパッタ体積速度を増加させることができる。ステップ13におけるスパッタ堆積速度は1000nm/min以上となっている。

10

【0044】

次に、図8には示していないが、ステップ13の後、第3 Al層9c上にキャップ窒化チタンをスパッタ法により50nm程度、形成する。さらに、その後、リソグラフィとドライエッチング法により、キャップ窒化チタン、第3 Al層9c、第2 Al層9b、第1 Al層9a、第2チタン膜8、窒化チタン膜7、第1チタン膜6を順次にエッチングし、Al配線を形成する。

【0045】

本実施例では、ステップ5において、下地Al配線3表面の酸化物除去およびスルーホール開口径の拡大を目的にスパッタエッチングを行なうと、図3に示したように、スルーホール5の側壁にはリスパッタ酸化Al3aが形成される。リスパッタ酸化Al3aが形成された状態で、従来技術のように、第1チタン膜6、窒化チタン膜7、第2チタン膜8を100~200に加熱された基板上に形成すると、特に第1チタン膜6がリスパッタ酸化Al3a中の酸素の影響を強く受けて酸化され、結晶性が悪くなる。この結果、その上に形成する窒化チタン膜7および第2チタン膜8の結晶性も悪化し、Alがリフローしにくくなりボイドが発生しやすくなる。また、第1 Al層を加熱した状態で形成した場合もAlの粒径が大きくなってしまい、その後の第2、第3のAlのリフローを阻害する原因となる。さらに、リフローAlを単層で比較的早い堆積速度で形成した場合もボイドが発生しやすくなる。

20

【0046】

これに対して本実施例では、スルーホール5の側壁にリスパッタ酸化Al3aが形成されていても、第1チタン膜6、窒化チタン膜7、第2チタン膜8および第1 Al層を20~40の基板温度で形成する。また、この後、基板を415に制御して、第2 Al層を堆積速度が遅い条件でスルーホールが埋まる程度にリフロー形成し、続いて第3 Al層を速い堆積速度でリフロー形成する。このため、生産性の低下を抑制しつつ、スルーホール内のプラグ部分にはボイドの発生がなく、層間絶縁膜上の配線部分では結晶性がよく低抵抗のAl配線層を形成することができる。

30

【0047】

(第2実施例)

第2実施例について、図9を用いて説明する。下記に記載の事項以外は第1実施例と同じであるので記載を省略する。本実施例では、半導体基板1上に、層間絶縁膜2を介してAlからなる金属配線3を形成した後、バリア膜として窒化チタン膜31を形成する構成とする。バリア窒化チタン膜は、スパッタ法により厚さ50nm程度、形成する。

40

【0048】

その後、第1実施例と同様に、層間絶縁膜4を堆積し、リソグラフィとドライエッチング法を用いてスルーホール5を形成する。次いで、ドライエッチングのマスクとして用いたマスク材を除去し、さらに、Arガスを用いたスパッタエッチングを施す。このスパッタエッチングにより、スルーホールの開口部には傾斜5aが形成され、開口径が拡大される。これにより、後で行なうAlのリフローが容易化される。また、このスパッタエッチングにより、スルーホール5の底部に露出するバリア窒化チタン31表面の酸化チタンがスパッタされ、スルーホール5の側面にはリスパッタ酸化チタン31aが形成される。

50

【0049】

発明者の実験結果によれば、このリスパッタ酸化チタン31aは、第1実施例に記載したリスパッタ酸化Al3aに比べて、その上に形成する第1チタン膜の結晶性を阻害しないことが明らかになっている。リスパッタ酸化チタン31aと第1チタン膜とは同一元素のチタンを構成要素としていることが寄与しているものと推察される。したがって、金属配線3表面をバリア窒化チタン膜で被覆し、スルーホールの側面に形成されるリスパッタ膜をチタン含有膜とすることにより、リスパッタ酸化Alの場合に比べてさらに確実にAlのリフローを実現することができる。

【0050】

(比較例1)

比較例1として、第1実施例において、図1に示したステップ12の第2Al層形成工程をスキップしたサンプルを作成した。

【0051】

(比較例2)

比較例2として、第1実施例において、図1に示したステップ7の第1チタン膜形成、ステップ8の窒化チタン膜形成、ステップ9の第2チタン膜形成を200で行なったサンプルを作成した。

【0052】

(評価)

上記第1実施例および第2実施例、比較例1および2で作成したサンプルについて、スルーホール内におけるAlの埋設率を走査型電子顕微鏡による断面観察で評価した。一つのサンプルにつき20個のスルーホールを観察し、その平均埋設率を図10に示した。

【0053】

第1実施例のサンプルでは最終のステップ13で全てのサンプルにおいてスルーホールが完全にAlで充填されていることが確認された。第2実施例のサンプルではステップ12の段階で全てのサンプルにおいてスルーホールが完全にAlで充填されていることが確認された。

【0054】

しかし、比較例1および2のサンプルでは最終のステップ13の段階においてもボイドが発生しており、スルーホールはAlで完全に充填されていないことが確認された。

【符号の説明】

【0055】

- 1、10 半導体基板
- 2、4、11、20、40 層間絶縁膜
- 3、30 金属配線
- 3a 酸化Al
- 5、50 スルーホール
- 5a 傾斜部
- 6 第1チタン膜
- 7、14、31 窒化チタン膜
- 8 第2チタン膜
- 9a 第1Al層
- 9b 第2Al層
- 9c 第3Al層
- 13、15 チタン膜
- 13a チタン膜
- 16、17 Al膜
- 18 Al配線層
- 19 ボイド
- 30a 酸化金属膜

10

20

30

40

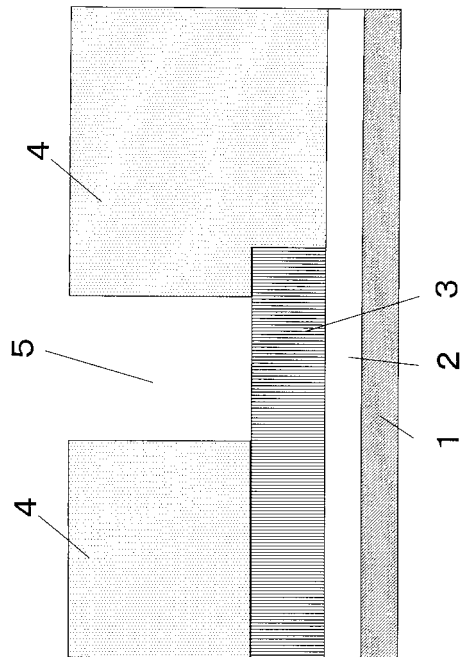
50

3 1 a 酸化チタン

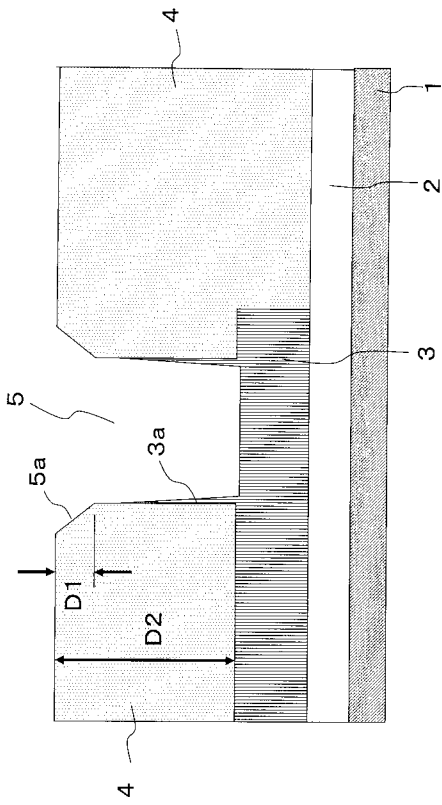
【 図 1 】

ステップ1	金属配線形成
ステップ2	層間絶縁膜形成
ステップ3	スルーホール形成
ステップ4	脱ガス処理
ステップ5	スパッタエッチング
ステップ6	冷却処理
ステップ7	第1チタン膜形成
ステップ8	窒化チタン膜形成
ステップ9	第2チタン膜形成
ステップ10	第1Al層形成
ステップ11	プレヒート処理
ステップ12	第2Al層形成
ステップ13	第3Al層形成

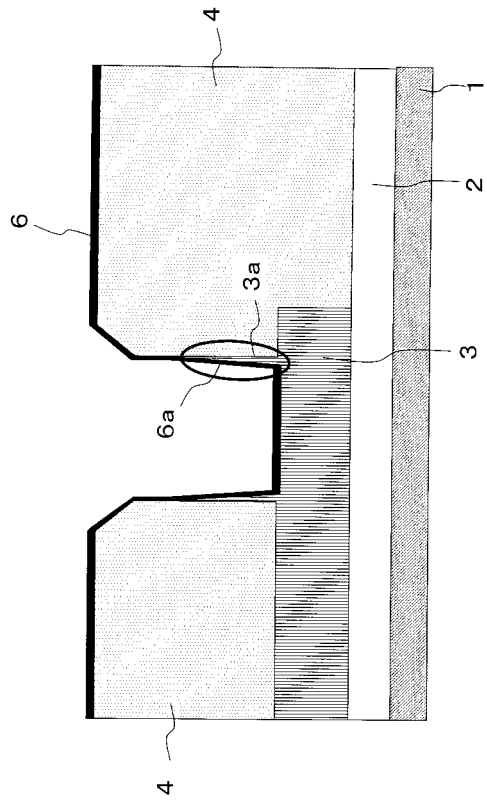
【 図 2 】



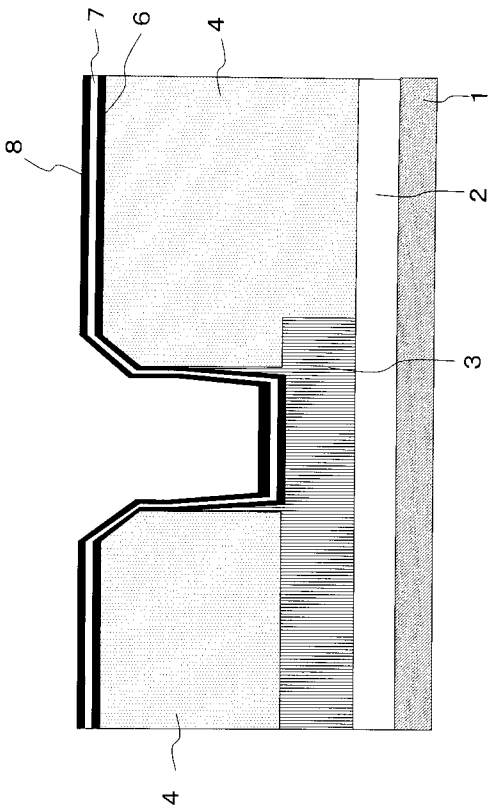
【 図 3 】



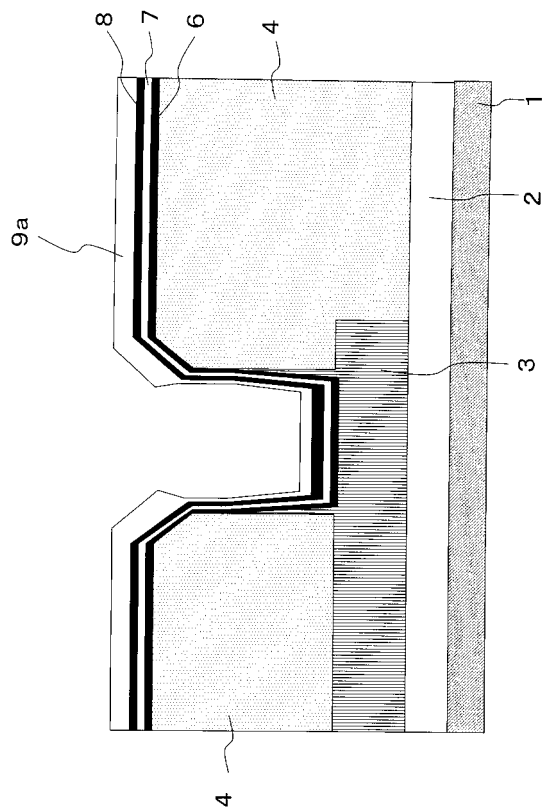
【 図 4 】



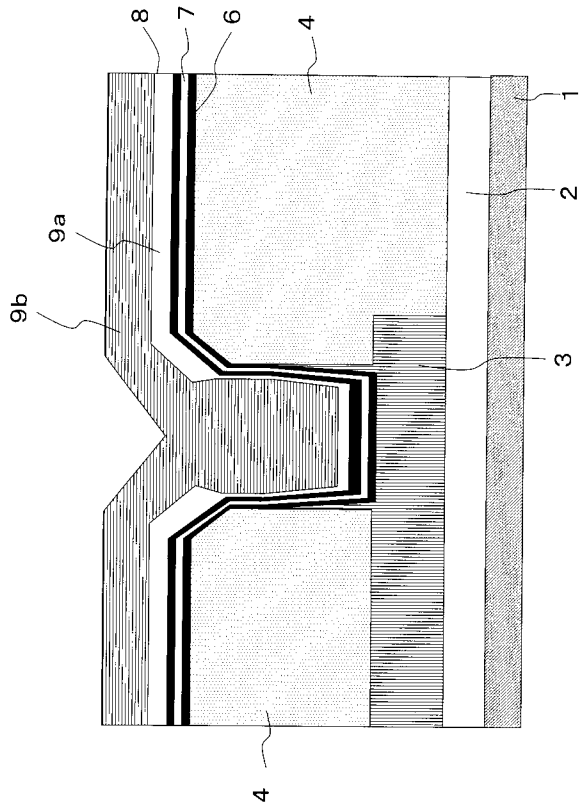
【 図 5 】



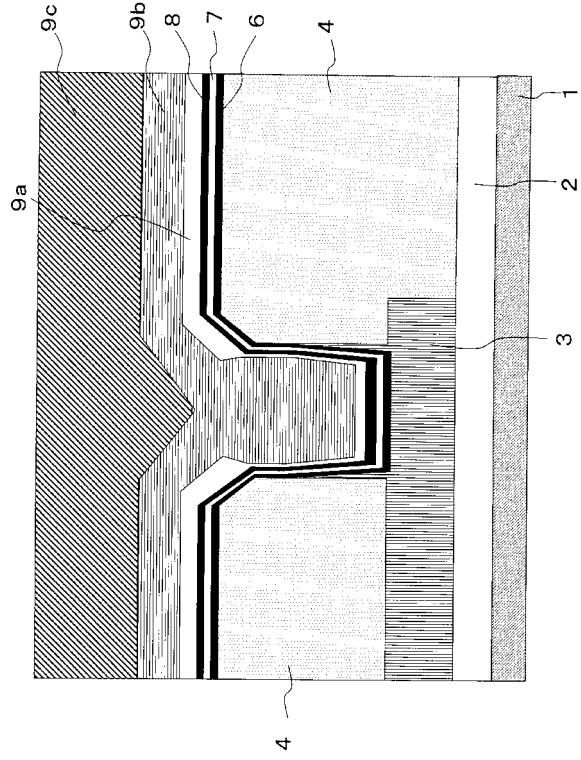
【 図 6 】



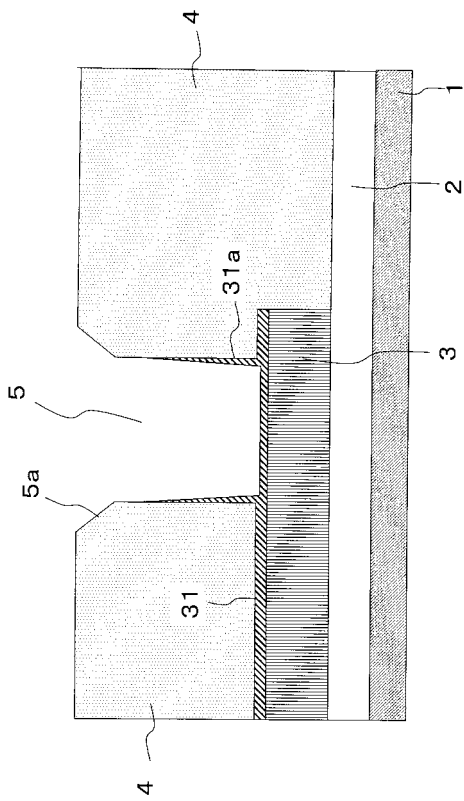
【図7】



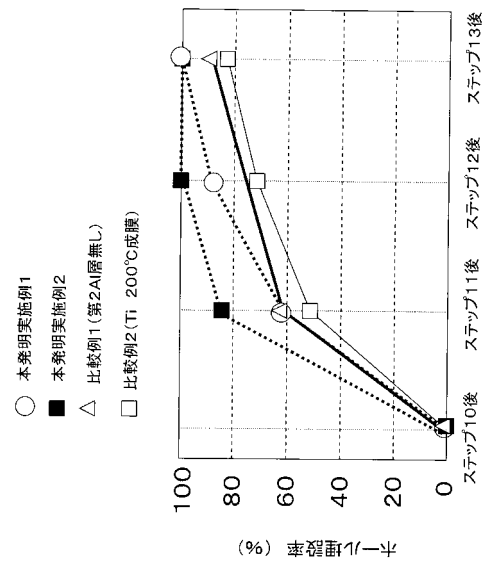
【図8】



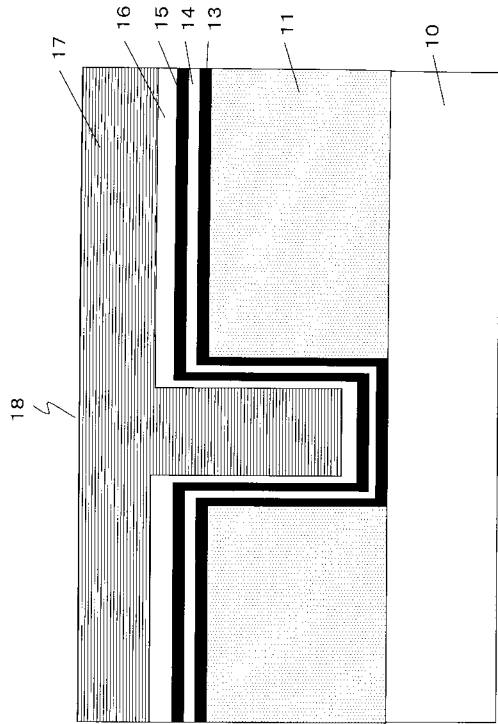
【図9】



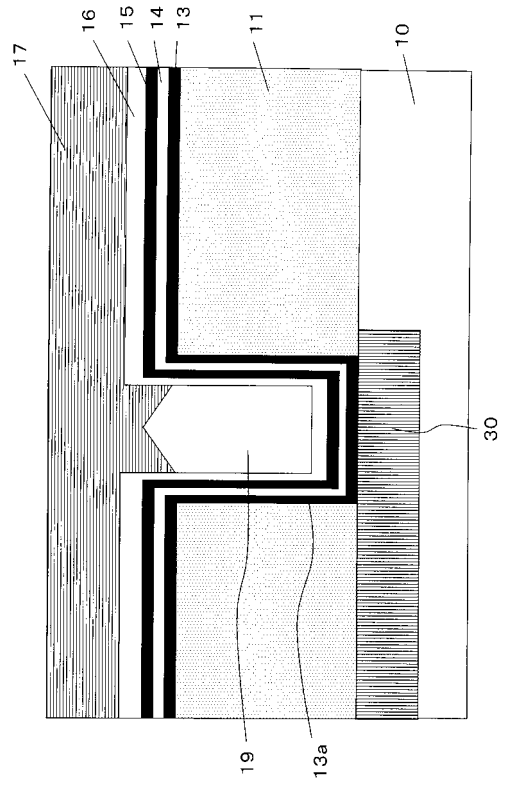
【図10】



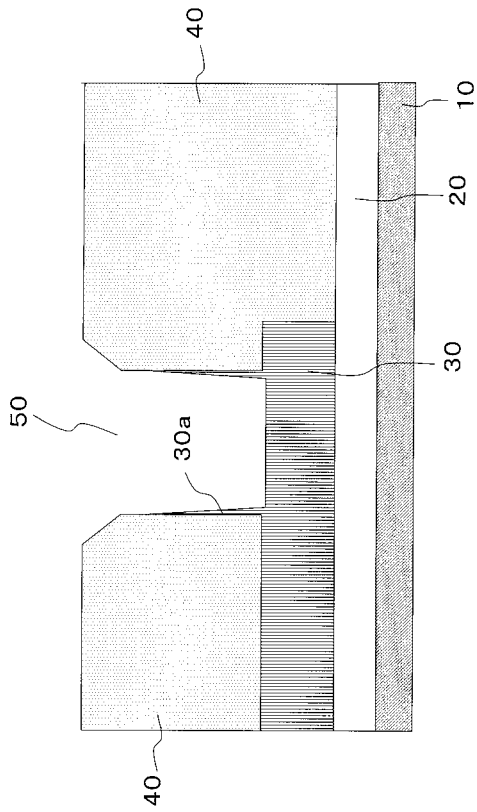
【図 1 1】



【図 1 2】



【図 1 3】



フロントページの続き

Fターム(参考) 5F033 GG01 HH08 HH18 HH33 JJ08 JJ18 JJ33 KK08 KK09 KK11
KK33 MM01 MM08 MM13 NN06 NN07 NN32 PP15 PP16 PP18
PP33 QQ08 QQ09 QQ11 QQ14 QQ34 QQ37 QQ74 QQ88 QQ92
QQ94 QQ98 RR01 RR04 RR11 SS04 SS15 WW03 WW05 XX02
XX09