

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G05F 3/30 (2006.01)



[12] 发明专利说明书

专利号 ZL 200610153133.8

[45] 授权公告日 2010 年 2 月 10 日

[11] 授权公告号 CN 100589060C

[22] 申请日 2006.12.8

[21] 申请号 200610153133.8

[30] 优先权

[32] 2005.12.8 [33] JP [31] 2005-354872

[73] 专利权人 尔必达存储器株式会社

地址 日本东京

[72] 发明人 藤泽宏树 中村正行 田中均

[56] 参考文献

CN1132085C 2003.12.24

US6489835B1 2002.12.3

US6958597B1 2005.10.25

US6249175B1 2001.6.19

CN1119734C 2003.8.27

CN1596474A 2005.3.16

审查员 严嫵婉

[74] 专利代理机构 中原信达知识产权代理有限责
任公司

代理人 陆锦华 谢丽娜

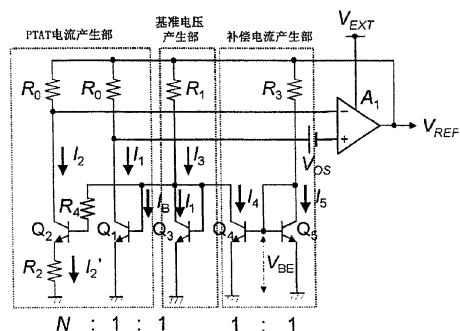
权利要求书 3 页 说明书 24 页 附图 5 页

[54] 发明名称

基准电压产生电路

[57] 摘要

一种基准电压产生电路，能降低差动放大器的偏置的影响，对应低电压化。包含电阻 (R_0 、 R_0 、 R_3)、差动放大器 (A_1)、晶体管 (Q_1 、 Q_2 、 Q_3)，晶体管 (Q_1 、 Q_2) 的集电极与差动放大器的差动输入端子连接，电阻 (R_0 、 R_0 、 R_3) 的一端与差动放大器 A_1 的输出共连，2 个电阻 (R_0) 的另一端与 Q_1 、 Q_2 的集电极连接，电阻 (R_1) 的另一端与 Q_3 的集电极及基极连接， Q_3 的基极与 Q_1 、 Q_2 的基极连接，其中， Q_1 、 Q_2 的发射极尺寸比设定为 1 : N，输出在电阻 (R_1) 中重叠流过与 Q_1 或 Q_2 的集电极电流大体上相等的电流和具有比它大的正的溫度系数的电流而在电阻 (R_1) 的两端产生的电压和 Q_3 的基极 - 发射极间电压 (V_{BE3}) 相加所得的电压。



1. 一种基准电压产生电路，具备：

生成温度系数为正的电流的电流产生部；

生成温度系数为负的电压的电压产生部；

在电阻中流过温度系数为正的电流，从而生成把在上述电阻的端子间出现的温度系数为正的电压和上述温度系数为负的电压合成所得的电压的合成部，

其特征在于，

还具备生成温度系数为正的电流的补偿电流产生部，

在上述电阻中流过把上述第1电流和上述第2电流合成所得的电流，

上述合成部生成把上述第1电流和上述第2电流的合成电流所涉及的上述电阻的端子电压和上述温度系数为负的电压合成所得的电压，将其作为基准电压来输出，

上述补偿电流产生部把以下电流作为上述第2电流来输出：该电流的值与从上述合成部输出的上述基准电压中减去温度系数为负的电压所得的差电压的值成比例。

2. 根据权利要求1所述的基准电压产生电路，其特征在于，上述第2电流的温度系数比上述第1电流的温度系数大。

3. 根据权利要求1所述的基准电压产生电路，其特征在于，

在上述电阻中流过上述第1电流和上述第2电流的和电流，

上述合成部把上述第1电流和上述第2电流的和电流所涉及的上述电阻的端子电压和上述温度系数为负的电压相加所得的电压作为基准电压来输出。

4. 根据权利要求1所述的基准电压产生电路，其特征在于，

上述合成部由差动放大器组成，

上述电流产生部具备：

一端与上述差动放大器的输出端子连接的第 1 电阻；

集电极与上述第 1 电阻的另一端连接，发射极与地电位连接的第 1 晶体管；

一端与上述差动放大器的输出端子连接的第 2 电阻；以及

集电极与上述第 2 电阻的另一端连接，发射极通过第 3 电阻而与地电位连接的第 2 晶体管，

上述电压产生部具备：

一端与上述差动放大器的输出端子连接的第 4 电阻；以及

集电极和基极与上述第 4 电阻的另一端连接，发射极与地电位连接的第 3 晶体管，

上述第 2 晶体管的基极与上述第 1 晶体管的基极通过第 5 电阻而连接，而且，上述第 3 晶体管的集电极及基极与上述第 1 晶体管的基极连接，

上述第 1 及第 2 晶体管的集电极分别与上述差动放大器的非反相输入端子及反相输入端子连接，

上述补偿电流产生部具备：

一端与上述差动放大器的输出端子连接的第 6 电阻；

集电极与上述第 4 电阻的另一端连接，发射极与地电位连接的第 4 晶体管；以及

发射极与地电位连接，集电极和基极与上述第 6 电阻的另一端共连，集电极和基极与上述第 4 晶体管的基极连接的第 5 晶体管。

5. 根据权利要求 4 所述的基准电压产生电路，其特征在于，在上述电流产生部中，上述第 1、第 2 晶体管的发射极尺寸的比为 1: N，其中 N 是比 1 大的整数。

6. 根据权利要求 1 所述的基准电压产生电路，其特征在于，上述温度系数为负的电压相当于双极晶体管的基极-发射极间电压。

7. 根据权利要求 1 所述的基准电压产生电路，其特征在于，上述

温度系数为正的 1 电流是值与热电压的值成比例的电流，上述热电压 $=kT/q$ ，其中 k 是波尔茨曼常数， T 是绝对温度， q 是电子的电荷。

8. 根据权利要求 4 所述的基准电压产生电路，其特征在于，上述差动放大器具备：由源极共连，栅极分别与非反相输入端子和反相输入端子连接的 MOS 晶体管组成的差动对；连接在上述差动对的共用源极和地间，向上述差动对供给电流的电流源；具备连接在上述差动对的 MOS 晶体管的漏极和电源间的负载电路的输入差动级；以及接收上述输入差动级的输出而驱动输出端子的输出级。

基准电压产生电路

技术领域

本发明涉及基准电压产生电路，特别涉及在低电压下动作，制造偏差小的基准电压产生电路。

背景技术

图 1 是表示输出没有温度依赖性的基准电压的现有带隙基准电压产生电路(也称为“Band-Gap-Referenced Biasing Circuit”)的构成的一个例子的图。关于这种电路，可参照非专利文献 1 等的记载。此基准电压产生电路具备 PNP 型的双极结晶体管(简称「BJT」) Q_1 、 Q_2 、差动放大器 A_1 、电阻 R_1 、 R_2 。基极和集电极与地电位连接的 BJT Q_1 的发射极上连接有一端与差动放大器 A_1 的输出连接的电阻 R_1 的另一端，基极和集电极与地电位连接的 BJT Q_2 的发射极与电阻 R_2 的一端连接，电阻 R_2 的另一端上连接有一端与差动放大器 A_1 的输出连接的电阻 R_1 的另一端，电阻 R_1 和 BJT Q_1 的发射极的连接点的节点 N_1 、电阻 R_1 和 R_2 的连接点的节点 N_2 与差动放大器 A_1 的非反相输入端子、反相输入端子连接。另外，在 N-阱工艺中，N-阱中的 P+区域成为发射极，N-阱成为基极，P 型基板成为集电极，该集电极与地电位连接，作为 PNP 型双极结晶体管而动作(参照非专利文献 1)。

BJT Q_1 、 Q_2 的发射极尺寸的比为 $AE(Q_1):AE(Q_2)=1:N$ 。此电路的输出电压 V_{REF} 如下求得。

通过差动放大器 A_1 的负反馈，节点 N_1 和 N_2 的电位就会相等。因此，流过 2 个 R_1 的电流就会相等，流过 BJT Q_1 和 Q_2 的电流(集电极电流)也会相等。

此处, BJT Q_1 和 Q_2 的发射极面积是 Q_2 一方大, 因而 Q_2 的基极—发射极间电压 V_{BE2} 低, 与 Q_1 的基极—发射极间电压 V_{BE1} 的差电压 ΔV_{BE} 加在电阻 R_2 上。此电位差 $\Delta V_{BE}=V_{BE1}-V_{BE2}$ 由下式(1)给出。

$$\Delta V_{BE} = \frac{kT}{q} \ln N \quad (1)$$

先简单地说明式(1)的导出, BJT Q_1 、 Q_2 的集电极电流 I_1 、 I_2 分别由 $I_1=I_S \exp(qV_{BE1}/(kT))$ 、 $I_2=I_S \exp(qV_{BE2}/(kT))$ 给出(其中, I_S 是饱和电流, k 是波尔茨曼常数, T 是绝对温度, q 是电子的电荷(单位电荷)), 所以 Q_1 、 Q_2 的基极—发射极间电压表示为 $V_{BE1}=(kT/q)\ln(I_1/I_S)$ 、 $V_{BE2}=(kT/q)\ln(I_2/I_S)$ 。因而成为,

$$\begin{aligned} \Delta V_{BE} &= V_{BE1} - V_{BE2} = (kT/q)\ln(I_1/I_S) - (kT/q)\ln(I_2/(NI_S)) \\ &= (kT/q)\ln(NI_1/I_2) \end{aligned}$$

$I_1=I_2$ 时, 导出上式(1)。

流过电阻 R_2 的电流 I_2 由下式(2)给出。

$$I_2 = \frac{\Delta V_{BE}}{R_2} = \frac{kT}{R_2 q} \ln N = I_1 \quad (2)$$

因而, 差动放大器 A_1 的输出电压 V_{REF} 表示为下式(3)。

$$V_{REF} = V_{BE1} + R_1 I_1 = V_{BE1} + \frac{R_1}{R_2} \frac{kT}{q} \ln N \quad (3)$$

上式(3)中,

第 1 项 V_{BE1} 具有负的温度依赖性(温度系数为负, 随着温度变高而电压下降),

第 2 项的 $(R_1/R_2)(kT/q)\ln N$ 与绝对温度 T 成比例, 具有正的温度依

赖性。

因而，适当调整电阻 R_1 和电阻 R_2 比，就能消除输出电压 V_{REF} 的温度依赖性。

并且，此时的电压称为「带隙电压」，在 Si 的 BJT 中为 $1.2\sim 1.3V$ 。还有，电流 I_1 、 I_2 与绝对温度 T 成比例，所以称为 Proportional To Absolute Temperature 电流，简称「PTAT 电流」。

这种电路大致可分为 PTAT 电流产生部和基准电压产生部。在图 1 中，电阻 R_1 、 R_2 、BJT Q_1 、 Q_2 对应 PTAT 电流产生部，电阻 R_1 和 BJT Q_1 对应基准电压产生部。BJT Q_1 在 PTAT 电流产生部和基准电压产生部中共用。

一般而言，BJT 的基极-发射极间电压 V_{BE} 的工艺偏差小。因此，在差动放大器为理想的放大器的场合，能实现偏差极小的基准电压。

然而，一般接近的 MOS 晶体管的阈值电压 V_T 的偏差从数 mV 起大到数 10mV。因此，在采用了 MOS 晶体管的差动放大器中，其所涉及的偏置电压会产生。

对此偏置电压以电路整体来补足，将其换算成放大器的输入电压所得的东西是所谓的输入换算偏置电压。图 1 的 V_{OS} 表示输入换算偏置电压。

图 6 表示采用了 MOS 晶体管的差动放大器的典型例子。差动放大器具备：源极共连，栅极上分别输入电压 V_{IN-} 、 V_{IN+} ，构成差动对的 N 沟道 MOS 晶体管 M_1 、 M_2 ；连接在电源 V_{EXT} 和 N 沟道 MOS 晶体管 M_1 、 M_2 的漏极间，构成差动对的有源负载，电流镜构成的 P 沟道 MOS 晶体管 M_3 、 M_4 ；连接在 N 沟道 MOS 晶体管 M_1 、 M_2 的共用源极和地

间，构成恒流源的 N 沟道 MOS 晶体管 M_5 ；连接在电源 V_{EXT} 和输出端子 V_{OUT} 间，栅极与晶体管 M_4 、 M_2 的漏极们的连接点连接的 P 沟道 MOS 晶体管 M_6 ；以及连接在输出端子 V_{OUT} 和地间，构成恒流源的 N 沟道 MOS 晶体管 M_7 ，N 沟道 MOS 晶体管 M_5 、 M_7 的栅极上被供给偏置电压 V_{BIAS} 。

在此差动放大器中，特别对输入换算偏置有影响的是输入级的差动对晶体管 M_1 、 M_2 。

此偏置电压 V_{OS} 和输出电压 V_{REF} 的关系由下式(4)表示。

$$\begin{aligned} \left. \frac{dV_{REF}}{dV_{OS}} \right|_{V_{OS} \rightarrow 0} &= \left. \frac{dV_{BE1}}{dV_{OS}} \right|_{V_{OS} \rightarrow 0} + R_1 \left. \frac{dI_1}{dV_{OS}} \right|_{V_{OS} \rightarrow 0} \\ &= 1 + \frac{2}{\ln N} + \frac{R_1}{R_2} + \frac{R_2(1+1/\ln N)}{R_1 \ln N} \\ &> 10 \end{aligned} \quad (4)$$

此处，上式(4)可以通过对以下 2 个方程式分别以 V_{OS} 进行微分来求得。式(5)对应于图 1 中电阻 R_2 的端子间电压与 BJT Q_1 、 Q_2 的基极—发射极间电压的差电压 ΔV_{BE} 和偏置电压 V_{OS} 的和相等这一点。还有，式(6) 对应于节点 N_1 、 N_2 的电压的差成为偏置电压 V_{OS} 这一点。

$$I_2 R_2 = V_{BE1} - V_{BE2} + V_{OS} = \frac{kT}{q} \ln \frac{NI_1}{I_2} + V_{OS} \quad (5)$$

$$I_1 R_1 - V_{OS} = I_2 R_1 \quad (6)$$

根据上式(4)，在图 1 的电路构成的场合，偏置电压 V_{OS} 为 10 倍以上，表现为差动放大器 A_1 的输出。

这是在通常的应用中也不能忽视的量。因此，需要用激光、电熔化(電気ヒューズ)等来修整电阻 R_1 或 R_2 。

还有，在图 1 的电路构成的场合，输出电压 V_{REF} 是 $1.2V \sim 1.3V$ 。因此，如图 7 所示，作为电源电压 V_{EXT} ，至少需要 $1.3V$ 以上。另外，图 7 是对于现有电路和后述的本发明，对比表示输出电压 $V_{OUT}(V_{REF})$ (纵轴)和电源电压 V_{EXT} (横轴)的关系的图。

图 2 是表示专利文献 1(特开平 8-320730 号公报)披露的电路构成的图。参照图 2，NPN 型 Q_1 的发射极直接与地电位连接(接地)，NPN 型 BJT Q_2 的发射极通过电阻 R_2 而与地电位连接，BJT Q_1 、 Q_2 的集电极分别与差动放大器 A_1 的非反相输入端子(+)、反相输入端子连接。3 个电阻 R_0 、 R_0 、 R_1 的一端与差动放大器 A_1 的输出端子共连，电阻 R_0 、 R_0 的另一端分别与 BJT Q_1 、 Q_2 的集电极连接，电阻 R_1 的另一端与 NPN 型 BJT Q_3 的集电极和基极连接。BJT Q_3 的基极与 BJT Q_1 、 Q_2 的基极连接。BJT Q_1 的基极和 BJT Q_2 的基极之间连接有电阻 R_3 。BJT Q_1 、 Q_2 的发射极尺寸比设为 $1:N$ (其中， N 为给定的正整数)。在此构成中，用 NPN 型的 BJT 把 ΔV_{BE} 产生用电阻 R_2 与发射极连接起来，向差动放大器 A_1 的反馈从它们的集电极端子进行。

在图 2 的基准电压产生电路中，产生 PTAT 电流的 PTAT 电流产生部由电阻 R_0 、 R_2 、 R_3 、BJT Q_1 、 Q_2 组成。生成温度系数为负的电压的基准电压产生部由电阻 R_1 和 BJT Q_3 组成。

BJT Q_1 、 Q_2 、 Q_3 的集电极电流 I_1 、 I_2 、 I_3 ，从后述的式(8)、(9)、(10)可以看出，具有比例关系，都成为 PTAT 电流。此电路的输出电压 V_{REF} 为晶体管 Q_3 的基极-发射极间电压 V_{BE3} 和电阻 R_1 的端子间电压 $R_1 \cdot I_1$ 的和，由下式(7)表示。

$$V_{REF} = V_{BE3} + R_1 I_3$$

(7)

晶体管 Q_3 的基极-发射极间电压 V_{BE3} 具有负的温度依赖性(温度系数为负), 电流 I_3 具有正的温度依赖性(温度系数为正), 所以适当调整电阻 R_1 , 与图 1 电路同样, 就能得到温度依赖性被消除了的带隙电压。

专利文献 1: 特开平 8-320730 号公报

非专利文献 1: Behzad Razavi 著, 黑田忠广译, “アナログ CMOS 集積回路の設計”, 第 470-471 页, 图 11.11, 丸善株式会社

发明内容

发明打算解决的课题

根据图 2 的构成, 能大幅度降低差动放大器的 MOS 的偏置所涉及的输出误差。这一点, 专利文献 1 没有记载, 是本申请的发明者等完全独自发现的特性。以下, 基于本申请的发明者等所做的分析结果进行说明。

图 2 中的偏置电压 V_{OS} 和输出电压 V_{REF} 的关系由下式(8)表示。

$$R_0 I_1 - R_0 I_2 = V_{OS}$$

(8)

还有, 把 BJT Q_2 的基极-发射极间电压设为 V_{BE2} , 把发射极电流设为 I_2' 的话, 基极电压由 $V_{BE2} + R_2 \cdot I_2'$ 给出。还有, 把 BJT Q_2 的基极接地电流放大率设为 α ($I_2 = \alpha I_2'$) 的话, Q_2 的基极电流 I_B 由 $(1 - \alpha) I_2 / \alpha$ 给出。在图 2 中, BJT Q_2 的基极电压, 把 Q_1 的基极-发射极间电压设为 V_{BE1} 的话, 就成为 $V_{BE1} + R_3 \cdot I_B$, 根据 $V_{BE2} + R_2 \cdot I_2' = V_{BE1} + R_3 \cdot (1 - \alpha) I_2 / \alpha$ 、 $R_3 = 2R_2$, 导出下式(9)。

$$R_2 I_2' = R_2 \frac{I_2}{\alpha} = (V_{BE1} - V_{BE2}) - \frac{(1-\alpha)I_1}{\alpha} 2R_2 = \frac{kT}{q} \ln \frac{NI_1}{I_2} - \frac{(1-\alpha)I_1}{\alpha} 2R_2$$

$$\therefore I_2 = \frac{\alpha}{R_2} \frac{kT}{q} \ln \frac{NI_1}{I_2} - 2(1-\alpha)I_1$$

(9)

还有, 流过电阻 R_1 的电流 I_3 是 BJT Q_3 的集电极电流 I_1 和 3 个 BJT Q_1 、 Q_2 、 Q_3 的基极电流 I_B 的和, 因而下式(10)成立。

$$I_3 = I_1 + 3I_B = I_1 + 3\left(\frac{1-\alpha}{\alpha} I_1\right) = \frac{3-2\alpha}{\alpha} I_1$$

(10)

因而, 输出电压 V_{REF} 由下式(11)表示。

$$V_{REF} = V_{BE3} + R_1 I_3 = V_{BE1} + R_1 \frac{3-2\alpha}{\alpha} I_1$$

(11)

此处, 对式(8)、(9)分别以偏置电压 V_{OS} 进行微分, 再使用式(10)、(11), 求得 dV_{REF}/dV_{OS} 的 $V_{OS} \rightarrow 0$ 的话, 就得到下式(12)。

$$\begin{aligned} \left. \frac{dV_{REF}}{dV_{OS}} \right|_{V_{OS} \rightarrow 0} &= \left. \frac{dV_{BE1}}{dV_{OS}} \right|_{V_{OS} \rightarrow 0} + \frac{3-2\alpha}{\alpha} R_1 \left. \frac{dI_1}{dV_{OS}} \right|_{V_{OS} \rightarrow 0} \\ &= \frac{\left(\frac{R_2}{\ln N} + \frac{3-2\alpha}{\alpha} R_1 \right)}{R_0 \left[1 - \frac{\ln N}{\ln N + \alpha} \left\{ \frac{\alpha}{\ln N} - 2(1-\alpha) \right\} \right]} \approx 1 \sim 2 \end{aligned}$$

(12)

α 是 BJT Q_1 、 Q_2 的基极接地电流放大率($\alpha < 1$)。计算式(12)的话, 作为 dV_{REF}/dV_{OS} , 得到 $1 \sim 2$ 的值。因此, 在图 2 的电路构成中, 偏置电压 V_{OS} 会以 $1 \sim 2$ 倍出现在输出电压中。

此值与图 1 的构成(偏置电压 V_{OS} 以 10 倍以上作为输出出现)相比,是充分小的。可以定性地说,这是因为 BJT Q_1 、 Q_2 和 2 个电阻 R_0 所涉及的放大作用。

即,输出电压 V_{REF} 变化的话,该变化的量通过电阻 R_1 表现为 BJT Q_3 的基极和集电极电位的变化。

并且,BJT Q_3 的基极电位的变化成为 BJT Q_1 、 Q_2 的基极电流的变化。此电流变化由 BJT Q_1 、 Q_2 和 2 个电阻 R_0 放大,在各自的集电极(节点 N_1 、 N_2)上出现,成为差动放大器 A_1 的输入。按此放大的量,与图 1 的构成的场合相比,以较小的输出电压 V_{REF} 的变化,就能补正 V_{OS} 所涉及的节点 N_1 、 N_2 间的失衡。

如上所述,差动放大器的偏置电压为数 mV ~数 $10mV$,所以此误差的大小,在作为存储器、逻辑电路的内部电源的应用中基本上可以忽略。即,不用修整。

然而,在图 2 的电路构成中,其输出电压,与图 1 的电路构成相同,是 $1.2V$ ~ $1.3V$ 。因此,电源电压需要 $1.3V$ 以上。

近几年,在 $1.5V$ 以下动作的 LSI 增多,因此,基准电压要有富余,要到 $1V$ 的程度都能动作。

如上所述,在图 1 的电路构成中,在基准电压产生电路的构成要素中使用了 MOS 晶体管的场合,输出电压的偏差大,这是存在的问题。

还有,作为解决此问题的构成,在图 2 所示的基准电压产生电路中,输出电压设为 $1.2V$ 的程度,所以为了使此基准电压产生电路动作就需要 $1.3V$ 以上的电源电压,这是存在的问题。

因此，本发明是鉴于上述问题点而提出的，其目的在于提供偏差小、动作开始电压低的基准电压产生电路。

用于解决课题的方案

本申请所披露的发明，为了解决上述课题大致为以下构成。

本发明的 1 个方面所涉及的基准电压产生电路，具备：生成温度系数为正的 第 1 电流的电流产生部；生成温度系数为负的电压的电压产生部；在电阻中流过温度系数为正的电流，从而生成把在上述电阻的端子间出现的温度系数为正的电压和上述温度系数为负的电压合成所得的电压的合成部，其特征在于，还具备生成温度系数为正的 第 2 电流的补偿电流产生部，在上述电阻中流过把上述第 1 电流和上述第 2 电流合成(重叠)所得的电流，上述合成部生成把上述第 1 电流和上述第 2 电流的合成电流所涉及的上述电阻的端子电压和上述温度系数为负的电压合成所得的电压，将其作为基准电压来输出。在上述电阻中流过上述第 1 电流和上述第 2 电流的电流和。

在本发明中，优选的是，上述补偿电流产生部把与从被输出的上述基准电压中减去温度系数为负的电压所得的差电压成比例的电流作为上述第 2 电流来输出。在本发明中，上述第 2 电流与上述第 1 电流相比，温度系数可以大些。

在本发明中，上述合成部由差动放大器组成，上述电流产生部也可以构成为具备：一端与上述差动放大器的输出端子连接的第 1 电阻；集电极与上述第 1 电阻的另一端连接，发射极与地电位连接的第 1 晶体管；一端与上述差动放大器的输出端子连接的第 2 电阻；以及集电极与上述第 2 电阻的另一端连接，发射极通过第 3 电阻而与地电位连接的第 2 晶体管。上述电压产生部也可以构成为具备：一端与上述差动放大器的输出端子连接的第 4 电阻；以及集电极和基极与上述第 4 电阻的另一端连接，发射极与地电位连接的第 3 晶体管。上述第 2 晶

体管的基极与上述第 1 晶体管的基极通过第 5 电阻而连接,而且,上述第 3 晶体管的集电极及基极与上述第 1 晶体管的基极连接,上述第 1 及第 2 晶体管的集电极分别与上述差动放大器的非反相输入端子及反相输入端子连接。上述补偿电流产生部也可以构成为具备:一端与上述差动放大器的输出端子连接的第 6 电阻;集电极与上述第 4 电阻的另一端连接,发射极与地电位连接的第 4 晶体管;以及发射极与地电位连接,集电极和基极与上述第 6 电阻的另一端共连,集电极和基极与上述第 4 晶体管的基极连接的第 5 晶体管。

本发明的另一方面所涉及的基准电压产生电路,具备:生成温度系数为正的 第 1 电流的电流产生部;生成温度系数为负的电压的电压产生部;对由上述电压产生部生成了的温度系数为负的电压进行分压的分压电路;以及生成输出把在电阻中流过上述第 1 电流而获得的端子电压和由上述分压电路对上述温度系数为负的电压进行分压所得的电压进行合成所得的电压的合成部。

在本发明中,上述合成部由差动放大器组成。上述电流产生部也可以构成为具备:一端与上述差动放大器的输出端子连接的第 1 电阻;集电极与上述第 1 电阻的另一端连接,发射极与地电位连接的第 1 晶体管;一端与上述差动放大器的输出端子连接的第 2 电阻;以及集电极与上述第 2 电阻的另一端连接,发射极通过第 3 电阻而与地电位连接的第 2 晶体管。上述电压产生部也可以构成为具备:一端与上述差动放大器的输出端子连接的第 4 电阻;集电极与上述第 4 电阻的另一端连接,发射极与地电位连接的第 3 晶体管。具备非反相输入端子及反相输入端子分别与上述第 1 及第 2 电阻和上述第 1 及第 2 晶体管的集电极的连接点连接,输出端子与上述第 3 晶体管的基极连接的别的差动放大器,还具备上述第 1 至第 3 晶体管的基极共连后在上述第 1 至第 3 晶体管的共连的基极节点和地间以串联方式连接的多个电阻所组成的分压电路。也可以构成为,上述分压电路所涉及的分压输出电压被输入到上述差动放大器的非反相输入端子,上述第 4 电阻和上述

第3晶体管的集电极的连接点与上述差动放大器的反相输入端子连接。

在本发明中，在上述电流产生部中，上述第1、第2晶体管的发射极尺寸的比设为1:N(N为比1大的整数)。还有，上述温度系数为负的电压相当于双极晶体管的基极-发射极间电压。

在本发明中，上述温度系数为正的电流是与热电压($=kT/q$ ，其中， k 是波尔茨曼常数， T 是绝对温度， q 是电子的电荷)成比例的电流。

本发明的1个方面所涉及的电路，具备

包含第1、第2、第3电阻、第1差动放大器、第1、第2、第3双极结晶体管，

上述第1及第2双极结晶体管的集电极分别与上述第1差动放大器的第1及第2输入端子连接，

上述第1、第2、第3电阻的一端与上述第1差动放大器的输出端子共连，

上述第1电阻的另一端与上述第1双极结晶体管的集电极连接，

上述第2电阻的另一端与上述第2双极结晶体管的集电极连接，

上述第3电阻的另一端与上述第3双极结晶体管的集电极和基极连接，

上述第3双极晶体管的基极与上述第1及上述第2双极晶体管的基极连接，

第1和第2双极晶体管的发射极尺寸比设定为1:N(其中，N是比1大的整数)，

生成具有比上述第1双极结晶体管或上述第2双极晶体管的集电极电流大的正的温度系数的电流

的补偿电流产生电路，

在上述第3电阻中重叠流与上述第1双极结晶体管或上述第2双极晶体管的集电极电流相等电流和具有比与上述集电极电流相等

的电流大的正的温度系数的电流，

由上述第 1 差动放大器输出把上述第 3 电阻的端子间电压和上述第 3 双极结晶体管的基极-发射极间电压相加所得的电压。

在本发明中，上述补偿电流产生电路具备：

发射极与地电位连接，集电极通过第 4 电阻而与上述第 1 差动放大器的输出端子连接，基极与集电极连接的第 4 晶体管；以及

发射极与地电位连接，集电极与上述第 3 晶体管的集电极连接，基极与上述第 4 晶体管的基极连接的第 5 晶体管。

在本发明中，上述第 1 及第 2 双极晶体管的发射极尺寸的比设定为 1: N(N 是比 1 大的整数)。

本发明的 1 个方面所涉及的电路，优选的是，至少具有第 1、第 2、第 3 电阻、第 1 差动放大器、第 1、第 2、第 3 晶体管(双极结晶体管)，该第 1 晶体管的集电极端子与该第 1 差动放大器的第 1 输入端子连接，第 2 晶体管的集电极端子与该第 1 差动放大器的第 2 输入端子连接，该第 1、第 2、第 3 电阻的一端与差动放大器的输出连接，第 1 电阻的另一端与第 1 晶体管的集电极连接，第 2 电阻的另一端与第 2 晶体管的集电极连接，第 3 电阻的另一端与该第 3 晶体管的集电极及基极连接，而且该第 3 晶体管的基极与该第 1 及该第 2 晶体管的基极连接，第 1 和第 2 晶体管的发射极尺寸比设定为 1: N，在该第 3 电阻中重叠流过与该第 1 晶体管或该第 2 晶体管的集电极电流大体上相等的电流和具有比其大的正的温度系数的电流，输出在该第 3 电阻两端产生了的电压和该第 3 晶体管的基极-发射极间电压相加所得的电压即可。

本发明的另一方面所涉及的电路，优选的是，至少具有第 1 电阻、第 1 差动放大器、第 1、第 2、第 3 晶体管(双极结晶体管)，该第 1 晶体管的集电极端子与该第 1 差动放大器的第 1 输入端子连接，该第 2 晶体管的集电极端子与该第 1 差动放大器的第 2 输入端子连接，该第 1

及第2晶体管的基极与该第1差动放大器的输出连接,该第1和第2晶体管的发射极尺寸比设定为1:N,输出对该第1晶体管的基极-发射极间电压进行分压所得的电压和通过在该第1电阻中流过与该第1晶体管或该第2晶体管的集电极电流相等电流而获得的电压相加所得的电压即可。

本发明的别的方面所涉及的基准电压产生电路,具备:第1端子与地电位连接,控制端子和第2端子连接的第1晶体管;第1端子通过第1电阻而与地电位连接,控制端子与上述第1晶体管的第2端子和控制端子共连的第2晶体管;差动输入对分别与上述第1晶体管的第2端子和上述第2晶体管的第2端子连接的差动放大器;以及一端分别与上述第1及第2晶体管的第2端子连接,另一端与上述差动放大器的输出端子共连的第2及第3电阻。

本发明的又另一方面所涉及的电路,优选的是,具有第1、第2、第3电阻、沟道宽度比为1:N的第1、第2MOS晶体管、第1差动放大器,该第1、第2电阻的一端与该差动放大器的输出连接,该第1电阻的另一端与该第1MOS晶体管的漏极及栅极和该第1差动放大器的第1输入端子连接,该第2电阻的另一端与该第2MOS晶体管的漏极和该第1差动放大器的第2输入端子连接,该第3电阻的一端与该第2MOS晶体管的源极连接,该第3电阻的另一端与地电位连接,并且,把该第1及该第2MOS晶体管的栅极域值电压设定得比BJT的基极-发射极间电压低,从该第1差动放大器的输出端子输出即可。

发明效果

根据本发明,能在减小了该第1差动放大器的偏置电压依赖性的情况下,在比1.2V低的电压下消除温度依赖性,因而偏差小,能实现温度依赖性小的基准电压产生电路。

附图说明

图 1 是表示现有基准电压电路的构成的一个例子的图。

图 2 是表示现有基准电压电路的构成的别的例子的图。

图 3 是表示本发明的第 1 实施例的构成的图。

图 4 是表示本发明的第 2 实施例的构成的图。

图 5 是表示本发明的第 3 实施例的构成的图。

图 6 是本发明中使用的差动放大器的实施例。

图 7 是表示本发明和现有基准电压电路的输出电压和外部电压的关系的图表。

图 8 是表示本发明的第 4 实施例的构成的图。

图 9 是表示本发明的参考例的构成的图。

标号说明

V_{EXT} 外部电源电压

V_{REF} 基准电压

A_1 、 A_2 差动放大器

$R_0 \sim R_4$ 电阻

$Q_1 \sim Q_5$ 双极结晶体管

$M_1 \sim M_7$ MOS 晶体管

V_{IN+} 差动放大器的正输入端子

V_{IN-} 差动放大器的负输入端子

V_{OUT} 差动放大器的输出端子

V_{OS} 差动放大器的输入换算偏置电压

具体实施方式

为更加详细述说上述本发明，以下参照附图来说明。本发明，参照图 3，具备：生成温度系数为正的第 1 电流(I_1)的 PTAT 电流产生部(BJT Q_1 、 Q_2 、电阻 R_0 、 R_0 、 R_2 、 R_4)；生成温度系数为负的电压(V_{BE3})的基准电压产生部(BJT Q_3 、电阻 R_1)；以及生成把电阻(R_1)的端子电压和上述温度系数为负的电压(V_{BE3})合成所得的电压的合成部(差动放大器 A_1)，还具备生成温度系数为正的第 2 电流的补偿电流产生部(Q_4 、 Q_5 、

电阻 R_3)。PTAT 电流产生部的 BJT Q_1 、 Q_2 的发射极尺寸比设定为 1:N。作为流过电阻(R_1)的电流而流过把第 2 电流(I_4)与第 1 电流(I_1)重叠所得的合成电流(和电流)(I_3)，合成部(A_1)把第 1 电流(I_1)和第 2 电流(I_4)的合成电流所涉及的电阻(R_1)的端子电压和上述温度系数为负的温度电压(V_{BE3})合成所得的电压作为基准电压(V_{REF})来输出。补偿电流产生部由把与从合成部(A_1)输出的电压(V_{REF})中减去温度系数为负的温度电压(Q_5 的基极-发射极间电压 V_{BE})所得的差电压成比例的电流作为第 2 电流(I_4)来输出的电流镜构成。

根据本发明，在电阻(R_1) 中重叠流过与晶体管(Q_1 或 Q_2)的集电极电流(I_1 或 I_2)大体上相等电流和具有比其大的正的温度系数的电流(I_4)，向其输出把电阻(R_1)的端子间电压和晶体管(Q_3)的基极-发射极间电压(V_{BE3})相加所得的电压。

根据这种构成，能在减小了差动放大器(A_1)的偏置电压依赖性的情况下，在比 1.2V 低的电压下消除温度依赖性，因而偏差小，能够实现温度依赖性小的基准电压产生电路。

还有，作为本发明的别的实施方式，参照图 4，具备：生成温度系数为正的 PTAT 电流产生部(BJT Q_1 、 Q_2 、电阻 R_1 、 R_1 、 R_2)；生成温度系数为负的温度电压的基准电压产生部(BJT Q_3 、电阻 R_0)；对由上述基准电压产生部生成了的温度系数为负的温度电压进行分压的分压电路(R_3 、 R_4)；以及生成输出把在电阻中流过上述第 1 电流而获得的端子电压和对上述温度系数为负的温度电压(V_{BE})由分压电路(R_3 、 R_4)进行分压所得的电压合成所得的电压的合成部(差动放大器 A_2)。PTAT 电流产生部的 BJT Q_1 、 Q_2 的发射极尺寸比设定为 1:N。还具备非反相输入端子与 PTAT 电流产生部的 BJT Q_1 的集电极和电阻 R_1 的连接点连接，反相输入端子与 BJT Q_1 的集电极和电阻 R_1 的连接点连接，输出端子与 BJT Q_3 的基极连接的差动放大器(A_2)。BJT Q_1 、 Q_2 、 Q_3 的基极共连。差动放大器(A_2)的非反相输入端子与分压电路(R_3 、 R_4)的输出端子连接，

反相输入端子与 BJT Q_3 和电阻 R_0 的连接点连接。通过输出对 BJT Q_1 基极-发射极间电压($=V_{BE}$)进行分压所得的电压($=\{R_4/(R_3+R_4)\}V_{BE}$)和在电阻(R_0)中流过与 BJT Q_1 、 Q_2 的集电极电流(I_1 或 I_2)大体上相等电流而获得的电压相加所得的电压,就能在减小了该差动放大器(A_1)的偏置电压依赖性的情况下,在比 1.2V 低的电压下消除温度依赖性。因此,根据本发明的别的实施方式,偏差小,能实现温度依赖性小的基准电压产生电路。

根据本发明的又一别的实施方式,参照图 5,具备:第 1 端子与地电位连接,控制端子和第 2 端子连接的第 1 晶体管(M_1);第 1 端子通过第 1 电阻(R_2)而与地电位连接,控制端子与上述第 1 晶体管的第 2 端子和控制端子共连的第 2 晶体管(M_2);差动输入对分别与上述第 1 晶体管的第 2 端子和上述第 2 晶体管的第 2 端子连接的差动放大器(A_1);以及一端分别与上述第 1 及第 2 晶体管(M_1 、 M_2)的第 2 端子连接,另一端与上述差动放大器(A_1)的输出端共连的第 2 及第 3 电阻(R_1 、 R_1)。以 MOS 晶体管构成第 1、第 2 晶体管(M_1 、 M_2),沟道宽度(W)的比设定为 1: N。把第 1 及该第 2 MOS 晶体管的栅极域值电压设定得比 BJT 的基极-发射极间电压低,从该第 1 差动放大器的输出端子输出,从而能在减小了该第 1 差动放大器的偏置电压依赖性的情况下,在比 1.2V 低的电压下消除温度依赖性,因而偏差小,能实现温度依赖性小的基准电压产生电路。另外,在此实施方式中,第 1、第 2 晶体管也可以是发射极尺寸的比为 1: N 的 BJT。以下就实施例进行说明。

实施例

图 3 是表示本发明第一实施例的构成的图。本实施例构成为,对于图 2 所示的电路,对电阻 R_1 ,使得输出电压 V_{REF} <带隙电压而减小其电阻值。并且,新设置用于产生具有比 PTAT 电流大的正的温度系数的电流的补偿电流产生部,把由补偿电流产生部生成了的电流与 PTAT 电流合成,使其流过电阻 R_1 。

更详细而言, 参照图 3, 在本实施例的基准电压产生电路中, 补偿电流产生部具备: 集电极与电阻 R_1 、晶体管 Q_3 的基极和集电极的连接点连接, 发射极与地电位连接的 BJT Q_4 ; 以及发射极与地电位连接, 集电极和基极通过电阻 R_3 而与差动放大器 A_1 的输出连接的 BJT Q_5 , BJT Q_4 、 Q_5 的基极共连, 构成电流镜。

参照图 3, 在本实施例中, PTAT 电流产生部, 与图 2 的构成同样, 具备: 一端与差动放大器 A_1 的输出连接的电阻 R_0 ; 集电极与此电阻 R_0 的另一端连接, 发射极与地电位连接的 BJT Q_1 ; 一端与差动放大器 A_1 的输出连接的电阻 R_0 ; 以及集电极与此电阻 R_0 的另一端连接, 发射极通过电阻 R_2 而与地电位连接的 BJT Q_2 , BJT Q_1 、 Q_2 的发射极尺寸比设为 1: N。

还有, 基准电压产生部具备: 一端与差动放大器 A_1 的输出连接的电阻 R_1 ; 以及集电极和基极与电阻 R_1 的另一端连接, 发射极与地电位连接的 BJT Q_3 。BJT Q_2 的基极通过电阻 R_4 而与 BJT Q_1 的基极连接, BJT Q_3 的基极和集电极与 BJT Q_1 的基极连接。

根据这种构成, 能在减小了差动放大器的偏置电压依赖性(V_{OS} 依赖性)的情况下, 在比现有技术的带隙电压(1.2V)低的电压下消除温度依赖性。图 7 对比表示本发明和现有技术中的输出电压和外部电压的关系。另外, 在图 7 中, 纵轴的输出电压(V_{OUT})对应于输出基准电压 V_{REF} 。例如输出电压, 现有技术是 1.26V, 而根据本发明, 能消除输出电压(V_{OUT})的温度依赖性, 减小差动放大器的偏置电压依赖性而输出比现有技术低的输出电压。

具有比 PTAT 电流大的正的温度系数的电流 I_5 由电阻 R_3 和 BJT Q_5 生成。电阻 R_3 的一端与差动放大器 A_1 的输出端子连接, 电阻 R_3 的另一端连接于发射极与地电位连接的 BJT Q_5 的基极和集电极。

还有, 把 BJT Q_4 的集电极与 BJT Q_3 的集电极和电阻 R_1 的连接节点连接, 把其基极与 BJT Q_5 的集电极和基极连接, 从而构成电流镜, 在电阻 R_1 中流过与电流 I_5 成比例的电流 $I_4(=I_5)$ 。

此处, 电流镜电路(Q_4 、 Q_5)的输入电流 I_5 (BJT Q_5 的集电极电流)由下式(13)表示。

$$I_5 = \frac{(V_{REF} - V_{BE})}{R_1} = I_4 \quad (13)$$

对于输出电压(基准电压) V_{REF} , 温度依赖性被抵消, 温度系数成为零的话, 电流 I_5 的温度依赖性就由晶体管 Q_5 的基极-发射极间电压的负极性 $-V_{BE}$ 来决定。

另一方面, 用于产生 PTAT 电流的 BJT Q_1 和 Q_2 的基极-发射极间电压 V_{BE} 的差 ΔV_{BE} 由上式(1)表示。

V_{BE} 的温度依赖性为 $-2\text{mV}/^\circ\text{C}$

ΔV_{BE} 在 $N=10$ 时为 $+0.2\text{mV}/^\circ\text{C}$

V_{BE} 一方的温度依赖性大达 10 倍的程度。

补偿电流产生部的输出电流 I_4 的温度系数(正特性)就比基于 Q_1 、 Q_2 的基极-发射极间电压的差电压的 PTAT 电流 I_1 的温度系数大。

因而, 使得电阻 R_1 中也中流过补偿电流产生部的输出电流 I_4 , 电阻 R_1 就能以比图 2 的构成的场合小的电阻值来消除输出电压的温度依赖性。关于电阻 R_1 的端子间电压, 流过该电阻 R_1 的电流 I_3 的温度依赖性相当于把 PTAT 电流 I_1 和补偿电流产生部的输出电流 I_4 重叠所得的电流(和电流)(在实效上温度系数的值变大)。

此处, 输出电压 V_{REF} 根据式(7)由下式(14)给出。

$$V_{REF} = R_1 \cdot I_3 + V_{BE3}$$

(14)

根据式(14), 通过减小电阻 R_1 的电阻值, 由差动放大器 A_1 输出的基准电压 V_{REF} 就会更低。即, 能输出 1.2V 以下的基准电压 V_{REF} 。

其次, 说明本发明的第 2 实施例。图 4 是表示本发明的第 2 实施例的构成的图。在本实施例中, 把 2 个 BJT Q_1 、 Q_2 (发射极尺寸比 1:N)的集电极端子和差动放大器 A_1 的差动输入端子分别连接, 把 BJT Q_1 、 Q_2 的基极和差动放大器 A_1 的输出连接而作成反馈环, BJT Q_2 的发射极连接于一端与地电位连接的电阻 R_2 , 使得 BJT Q_1 、 Q_2 的基极及集电极中流过 PTAT 电流, 把对 BJT Q_1 的基极-发射极间电压 V_{BE} 进行分压所得的电压和在电阻值比电阻 R_1 小的电阻 R_0 中流过 PTAT 电流时的电压合成, 从而就能在减小了 V_{OS} 依赖性的情况下, 以比现有带隙电压 (1.2V) 低的电压来消除温度依赖性。

此处, 以下证明 BJT Q_1 、 Q_2 的集电极电流 I_1 、 I_2 为 PTAT 电流。其中, α 是 BJT Q_2 的电流放大率($I_2 = \alpha I_2'$)。

$$V_{BE} = V_{BE1} = V_{BE2} + R_2 I_2' = V_{BE2} + R_2 \frac{I_2}{\alpha}$$

$$V_{BE1} - V_{BE2} = \frac{kT}{q} \ln \left(\frac{NI_1}{I_2} \right) = R_2 \frac{I_2}{\alpha}$$

$$\therefore I_2 = \alpha \frac{kT}{R_2 q} \ln \left(\frac{NI_1}{I_2} \right) \bigg|_{V_{OS} \rightarrow 0} = \alpha \frac{kT}{R_2 q} \ln(N) = I_1 = I_3, (\because V_{BE1} = V_{BE3})$$

(15)

在上述式(3)中, 在对 BJT Q_1 的基极-发射极间电压 V_{BE1} 和电阻 R_1 共同乘以系数 $m(0 < m < 1)$ 的场合, 输出电压变小为 $m \times V_{REF}$, 而没有温度依赖性这样的特性则原样被保持, 这很明显。

在本实施例中基于此原理。即，通过电阻 R_3 和 R_4 来产生基极-发射极间电压 V_{BE} 的分压电压。

另一方面，新设置 BJT Q_3 ，把 BJT Q_3 的基极与 BJT Q_1 、 Q_2 的基极连接而构成电流镜。根据这种构成，在 BJT Q_3 中就会流过 PTAT 电流 I_3 。

在本实施例中，如图 4 所示，差动放大器 A_2 被追加，把非反相输入端子(+)与电阻 R_3 和 R_4 的连接点连接，输入基极-发射极间电压 V_{BE} 的分压电压($V_{BE} \times R_4 / (R_3 + R_4)$)，把其输出通过电阻 R_0 而与 BJT Q_3 的集电极连接。根据要这样的构成，BJT Q_3 的集电极(与差动放大器 A_2 的反相输入端子连接)为基极-发射极间电压 V_{BE} 的分压电压。

BJT Q_3 的集电极中流过 PTAT 电流 I_3 ，所以电阻 R_0 中也流过 PTAT 电流 I_3 。此处，把电阻 R_0 电阻值设为，对于不对基极-发射极间电压 V_{BE} 进行分压就能消除温度依赖性的大小，乘以与基极-发射极间电压 V_{BE} 的分压比($=\{R_4 / (R_3 + R_4)\}$)相同的系数所得的值的话，就能获得没有温度依赖性，比现有电路低的电压的基准电压 V_{REF} 。

差动放大器 A_2 的输出端子还与 PTAT 电流产生电路的电阻 R_1 的一端连接。差动放大器 A_2 的输出电压不依赖于外部电压、温度，因而能获得稳定的 PTAT 电流。

其次，说明本发明的第 3 实施例。图 5 是表示本发明的第 3 实施例的构成的图。在本实施例中，为了 PTAT 电流的产生和基准电压的产生，采用了 MOS 晶体管。

MOS 晶体管的阈值电压 V_T 可以比 BJT 的基极-发射极间电压 V_{BE} 低。因此，根据本实施例，与采用了 BJT 的场合的构成相比，能获得更低电平的输出电压 V_{REF} 。

参照图 5, 本实施例由 3 个电阻(R_1 为 2 个, R_2 为 1 个)和沟道宽度比设定为 1: N 的 MOS 晶体管 M_1 、 M_2 以及差动放大器 A_1 构成。

N 沟道 MOS 晶体管 M_1 连接成二极管, 其漏极端子和栅极端子与差动放大器 A_1 的非反相输入端子(+)连接。N 沟道 MOS 晶体管 M_2 的漏极端子与差动放大器 A_1 的反相输入端子(-)连接, MOS 晶体管 M_2 的栅极与 MOS 晶体管 M_1 的漏极及栅极连接, MOS 晶体管 M_2 的源极与电阻 R_2 的一端连接。电阻 R_2 的另一端与地电位连接。MOS 晶体管 M_1 、 M_2 的漏极分别连接于一端与差动放大器 A_1 的输出端子共连的 2 个电阻 R_1 、 R_1 的另一端。

MOS 晶体管在弱反转区域(或亚域值区域)动作时, 与 BJT 的基极-发射极间电压和集电极电流的关系同样, 在栅极-源极电压和漏极电流之间, 下式(16)成立。

$$I_D = I_{D0} \exp\left(\frac{qV_{GS}}{nkT}\right) \quad (16)$$

此处, n 是依赖于工艺的常数, 通常取 1~2 的值。

因此, 采用图 5 那样的构成, 与使用了 BJT 的场合相同, 在电阻 R_1 中流过 PTAT 电流 $I_1(=I_2)$ 。即, MOS 晶体管 M_1 、 M_2 的栅极·源极间电压的差电压 $\Delta V_{GS}=V_{GS1}-V_{GS2}$ 由下式(17)表示。此处, 设为 $n=1$ 。因此, $I_1(=I_2)$ 由下式(18)表示。

$$\Delta V_{GS} = \frac{kT}{q} \ln N \quad (17)$$

$$I_2 = \frac{\Delta V_{GS}}{R_2} = \frac{kT}{R_2 q} \ln N = I_1$$

(18)

另一方面，MOS 晶体管的域值电压 V_T 也具有与 BJT 的基极—发射极间电压 V_{BE} 大体上相同的温度依赖性。

因此，使得 MOS 晶体管的域值电压 V_T 低于 BJT 的基极—发射极间电压 V_{BE} ，与采用了 BJT 的场合相比，就能以低的输出电压 V_{REF} 来消除温度依赖性。这一点在本实施例的电路中从次式(19)成立可以看出。

$$V_{REF} = V_T(M_1) + I_1 R_1$$

(19)

根据式(19)可以看出，第 1 项具有负的，第 2 项具有正的温度依赖性，所以适当调整电阻 R_1 ，就能消除温度依赖性。

此处，在本实施例中，输出电压(输出基准电压) V_{REF} 的差动放大器的输入偏置电压依赖性是与参照图 3、图 4 说明了的上述第 1、第 2 实施例大体上相同的程度。

这是因为与上述第 1、第 2 实施例同样，通过 MOS 晶体管 M_2 的放大作用，输出电压 V_{REF} 的微小变化(V_{OS} 的程度)使得 M_2 的漏极电流变化， R_1 使其漏极电压很大地变化。

在本实施例的电路构成中，与工艺偏差伴随的 MOS 晶体管的阈值电压 V_T 的绝对值偏差(50mV~100mV)会原样出现在输出电压(输出基准电压) V_{REF} 上，因而也可以说不是面向特别要求高精度的用途。然而，元件数少，没有 N 阱、P 阱等面积大的结合部，所以漏泄电流少，例如，可以面向需要 1uA 或其以下的低消耗电流化的用途。

其次，说明本发明的第 4 实施例。图 8 是表示本发明的第 4 实施例的构成的图。在本实施例中，用 BJT 置换了图 5 的 N 沟道 MOS 晶

体管。

在本实施例中，输出电压 V_{REF} 与图 2 所示的构成大体上相同，不过，元件数少，相应降低了布置面积，这是其优点。

另一方面，必须通过电阻 R_1 来供给 BJT Q_1 和 Q_2 的基极电流，因而有时 BJT Q_1 和 Q_2 的电流密度比会偏离 1: N，不能输出正确的带隙电压。因此，需要某种程度的精度，不过，可以面向想降低面积的用途。

其次，说明本发明的参考例。图 9 是表示本发明的参考例的构成的图。参照图 9，此参考例在图 1 所示的构成中追加了参照图 3 说明了的本发明的补偿电流产生部。另外，在图 9 中，晶体管 Q_1 、 Q_2 设为 NPN 型 BJT，当然也可以如图 1 那样设为 PNP 型 BJT。

如图 9 所示，补偿电流产生部具备：一端与差动放大器 A_1 的输出端连接的电阻 R_3 ；发射极接地，基极和集电极与电阻 R_3 的另一端连接的 BJT Q_3 ；发射极接地，集电极与 BJT Q_1 的集电极一起与节点 N_1 连接，基极与 BJT Q_3 的基极连接的 BJT Q_4 。还具备发射极接地，集电极与 BJT Q_2 的集电极一起与节点 N_2 连接，基极与 BJT Q_3 的基极连接的 BJT Q_5 。电流 I_3 设为 $(V_{REF} - V_{BE3})/R_3$ ，如上所述，具有正的温度系数。在 BJT Q_1 的集电极电流(PTAT 电流) I_1 上重叠 I_3 的镜像电流 I_4 而成的合成电流(和电流)流过连接在节点 N_1 和差动放大器 A_1 的输出端子之间的电阻 R_1 ，在 BJT Q_2 的集电极电流(PTAT 电流) I_2 上重叠镜像电流 I_4 而成的合成电流(和电流)流过连接在节点 N_2 和差动放大器 A_1 的输出端子之间的电阻 R_1 。

根据图 9 的参考例的电路，使得在 PTAT 电流 I_1 (或 I_2)上重叠由补偿电流产生部生成了的温度系数为正的电流 I_4 而成的电流流过电阻 R_1 ，从而减小电阻 R_1 的电阻值，使得输出电压(输出基准电压) V_{REF} 成

为比图 1 的现有技术低的电压。另外，在由 MOS 晶体管构成了差动放大器 A_1 的场合，如上所述，偏置 V_{OS} 会以 10 倍的程度出现在输出上，不过，在此场合，如上所述，通过用激光、电熔化等修整电阻 R_1 或 R_2 等，或是对差动放大器附加偏置调整功能等，就能输出例如比 1.26V 低的基准电压 V_{REF} 。

以上就各种实施例说明了的本发明可适用于例如在电源电压 1.5V 以下的低电源电压下动作的存储器、逻辑、模拟集成电路等广泛的集成电路。

以上就上述实施例说明了本发明，当然，本发明不限于上述实施例的构成，而是还包括在本发明的范围内本领域技术人员能做的各种变形、修正。

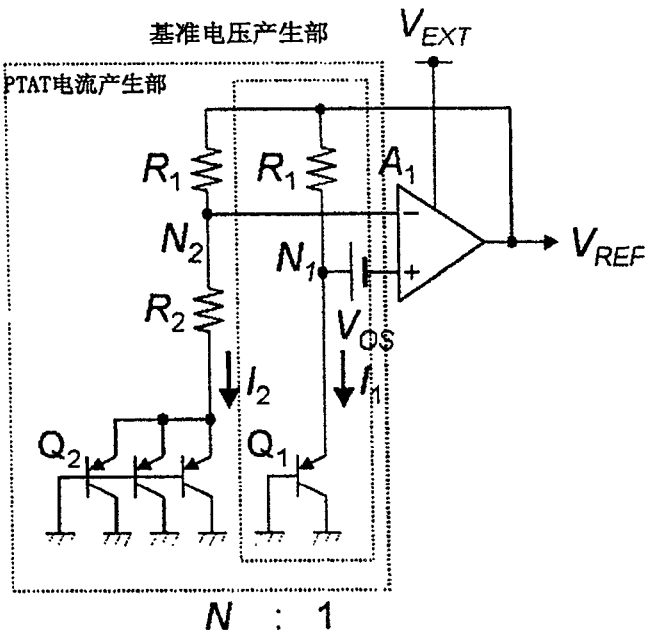


图1

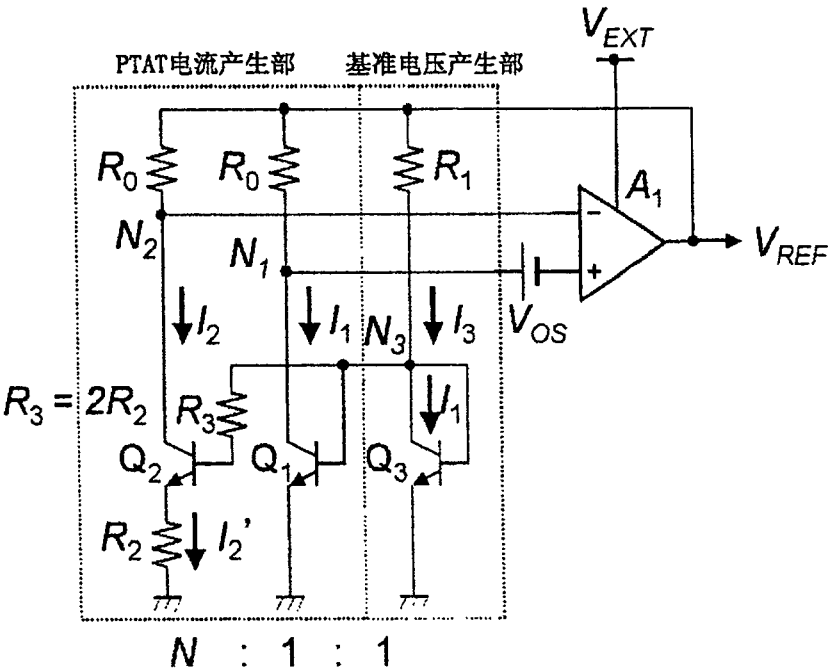


图2

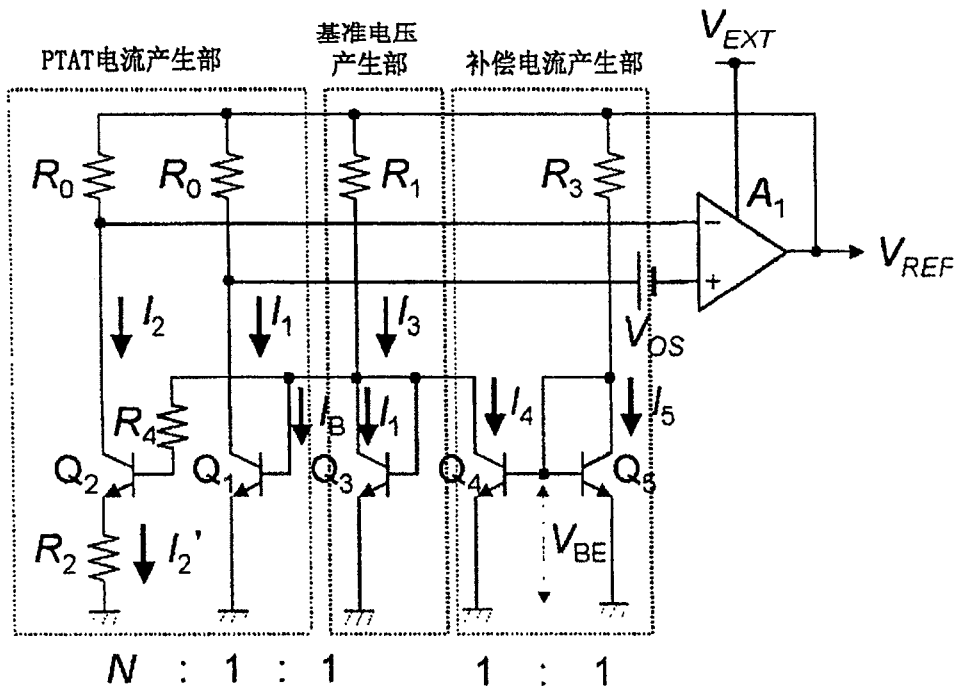


图3

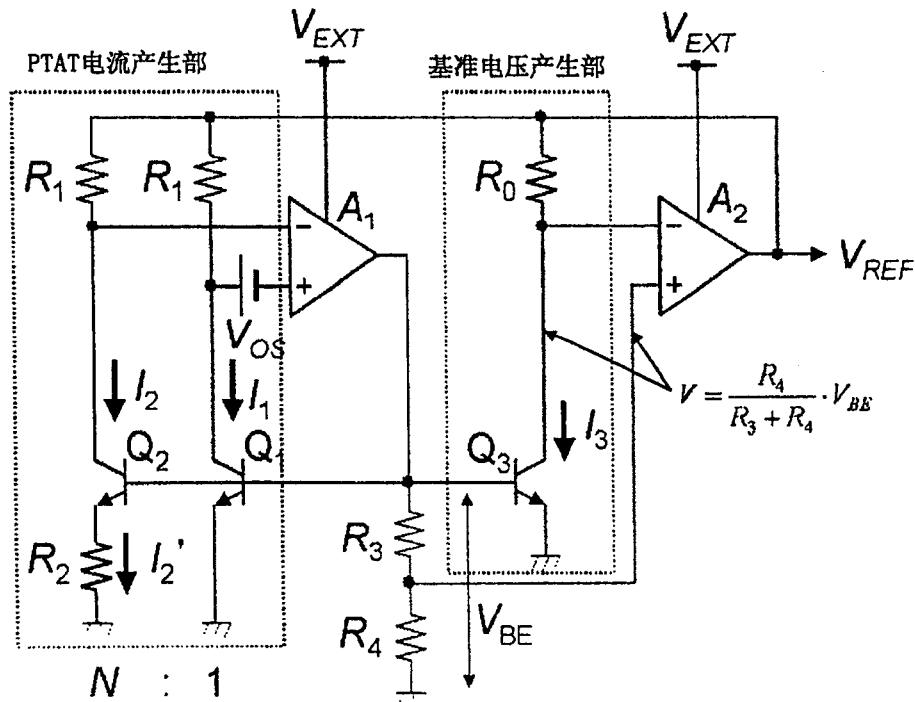


图4

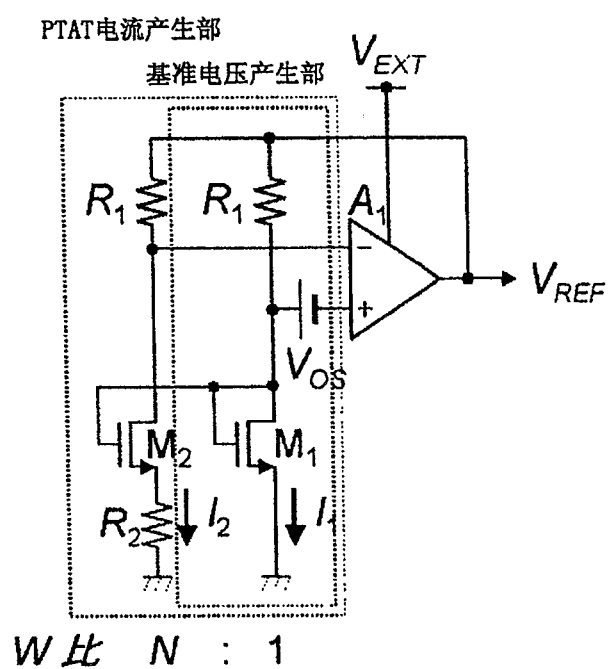


图5

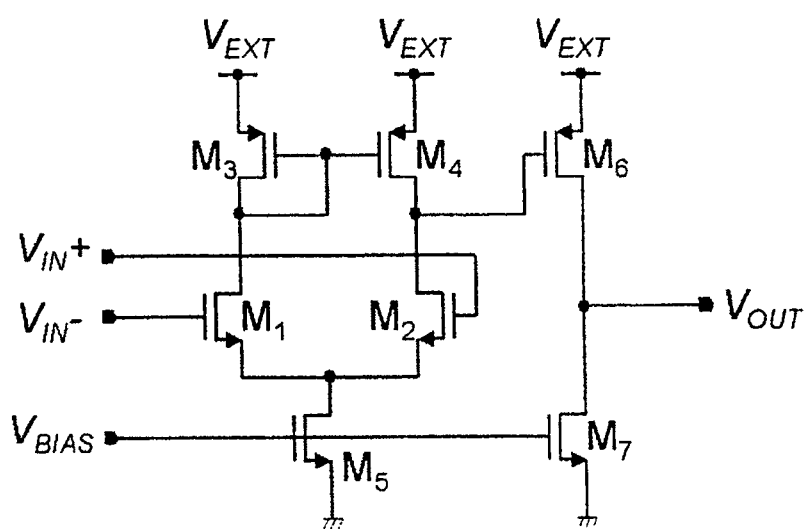


图6

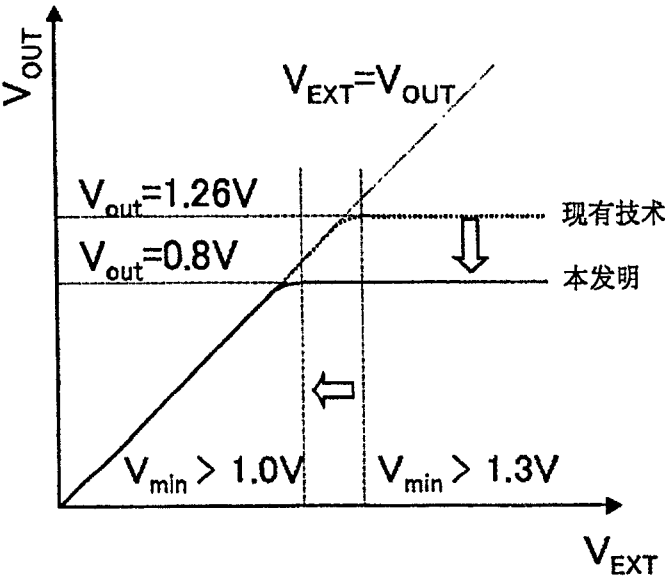


图7

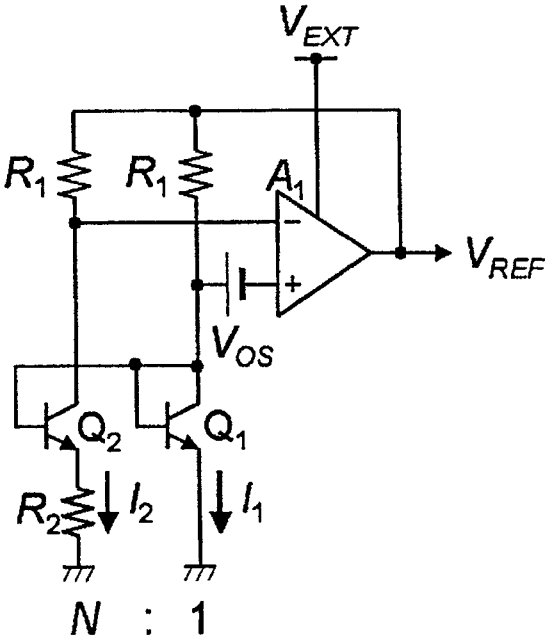


图8

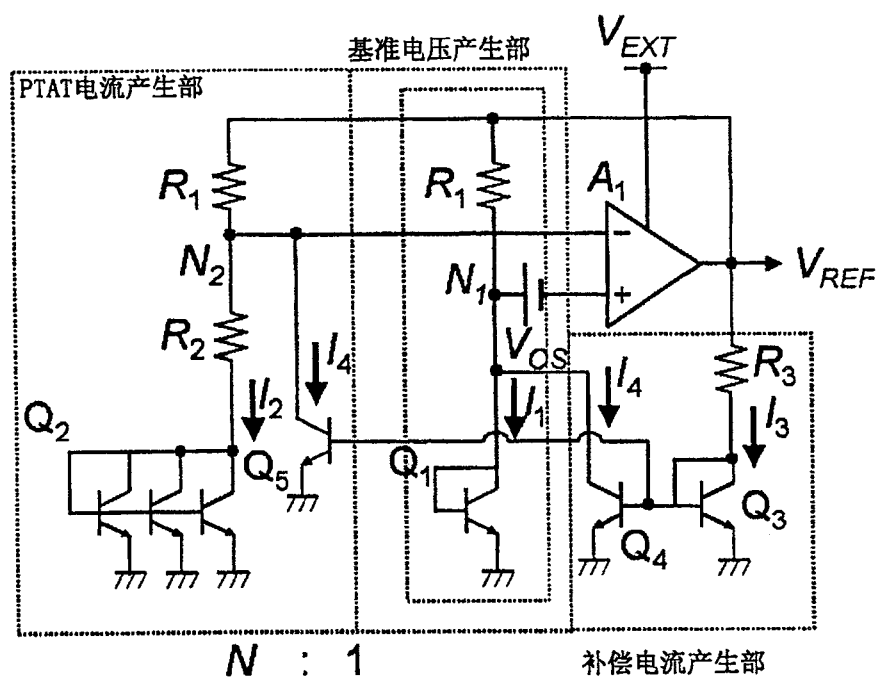


图9