

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年6月27日(27.06.2024)



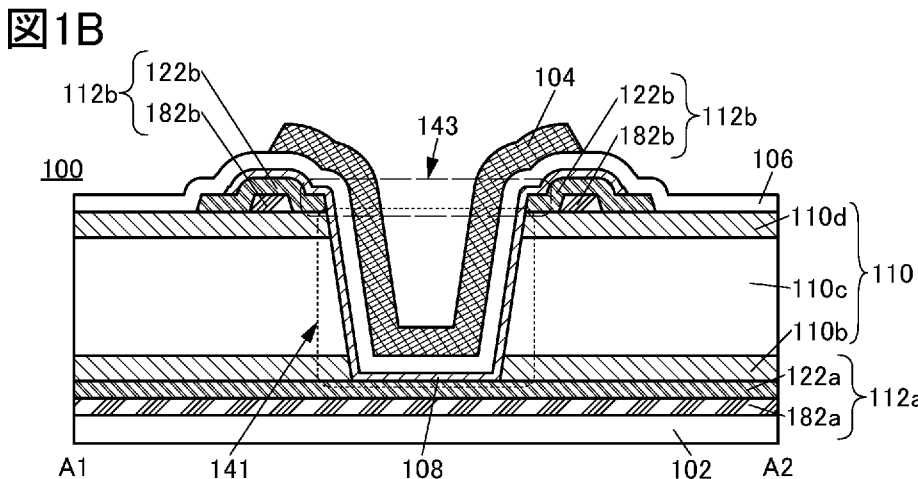
(10) 国際公開番号

WO 2024/134442 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 27/146 (2006.01)
H01L 21/28 (2006.01) H01L 29/417 (2006.01)
H01L 21/318 (2006.01) H10K 39/32 (2023.01)
H01L 21/336 (2006.01) H10K 39/34 (2023.01)
H01L 21/8234 (2006.01) H10K 50/84 (2023.01)
H01L 27/06 (2006.01) H10K 59/131 (2023.01)
H01L 27/088 (2006.01)
- (21) 国際出願番号: PCT/IB2023/062851
- (22) 国際出願日: 2023年12月18日(18.12.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-206895 2022年12月23日(23.12.2022) JP
- (71) 出願人: 株式会社半導体エネルギー研究所 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).
- (72) 発明者: 島行徳 (SHIMA, Yukinori). 土橋正佳 (DOBASHI, Masayoshi). 松本真理恵 (MATSUMOTO, Marie). 佐藤来 (SATO, Rai); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 肥塚純一 (KOEZUKA, Junichi); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 神長正美 (JINTYOU, Masami).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: Provided is a transistor of minute size. This semiconductor device comprises a semiconductor layer, a first electroconductive layer, a second electroconductive layer, a third electroconductive layer, a first insulating layer, and a second insulating layer, wherein: at least one of the first electroconductive layer and the second electroconductive layer includes two electroconductive layers that contain mutually different metals, the upper electroconductive layer among the two electroconductive layers covering at least a portion of the upper surface and at least a portion of a side surface of the lower electroconductive layer; the first insulating layer is positioned on the first electroconductive layer; the second

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))
- 一 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

electroconductive layer is positioned on the first insulating layer; the semiconductor layer is in contact with the upper surface of the first electroconductive layer, the upper surface and a side surface of the second electroconductive layer, and a side surface of the first insulating layer; the second insulating layer is positioned on the semiconductor layer; and the third electroconductive layer is positioned on the second insulating layer and overlaps the semiconductor layer with the second insulating layer interposed therebetween.

(57) 要約: 微細なサイズのトランジスタを提供する。半導体層、第1の導電層、第2の導電層、第3の導電層、第1の絶縁層、及び、第2の絶縁層を有し、第1の導電層及び第2の導電層の少なくとも一方は、互いに異なる金属を含む2層の導電層を有し、2層の導電層のうち上側の導電層は、下側の導電層の上面の少なくとも一部及び側面の少なくとも一部を覆い、第1の絶縁層は第1の導電層上に位置し、第2の導電層は第1の絶縁層上に位置し、半導体層は、第1の導電層の上面、第2の導電層の上面及び側面、並びに、第1の絶縁層の側面と接し、第2の絶縁層は半導体層上に位置し、第3の導電層は第2の絶縁層上に位置し、かつ、第2の絶縁層を介して半導体層と重なる、半導体装置である。

明細書

発明の名称

半導体装置

技術分野

[0001]

本発明の一態様は、半導体装置、及びその作製方法に関する。本発明の一態様は、トランジスタ、及びその作製方法に関する。本発明の一態様は、半導体装置を有する表示装置に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置（例えば、タッチセンサ）、入出力装置（例えば、タッチパネル）、それらの駆動方法、またはそれらの製造方法を一例として挙げる事ができる。

[0003]

なお、本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップ、パッケージにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置、及び電子機器は、それ自体が半導体装置であり、かつ、それぞれが半導体装置を有している場合がある。

背景技術

[0004]

トランジスタを有する半導体装置は、電子機器に広く適用されている。例えば、表示装置において、トランジスタの占有面積を小さくすることで、画素サイズを縮小でき、高精細化を図ることができる。そのため、トランジスタの微細化が求められている。

[0005]

高精細な表示装置が要求される機器として、例えば、仮想現実（VR：Virtual Reality）、拡張現実（AR：Augmented Reality）、代替現実（SR：Substitutional Reality）、及び、複合現実（MR：Mixed Reality）向けの機器が、盛んに開発されている。

[0006]

表示装置としては、例えば、有機EL（Electro Luminescence）素子、または発光ダイオード（LED：Light Emitting Diode）を有する発光装置が開発されている。

[0007]

特許文献1には、有機EL素子を用いた、高精細な表示装置が開示されている。

[先行技術文献]

[特許文献]

[0008]

[特許文献1] 国際公開第2016/038508号

発明の概要

発明が解決しようとする課題

[0009]

本発明の一態様は、微細なサイズのトランジスタを提供することを課題の一とする。または、チャネル長が小さいトランジスタを提供することを課題の一とする。または、オン電流が大きいトランジスタを提供することを課題の一とする。または、電気特性が良好なトランジスタを提供することを課題の一とする。または、占有面積の小さい半導体装置を提供することを課題の一とする。または、配線抵抗の小さい半導体装置を提供することを課題の一とする。または、消費電力の少ない半導体装置または表示装置を提供することを課題の一とする。または、信頼性の高いトランジスタ、半導体装置、または表示装置を提供することを課題の一とする。または、高精細化が容易な表示装置を提供することを課題の一とする。または、生産性の高い半導体装置または表示装置の作製方法を提供することを課題の一とする。または、新規なトランジスタ、半導体装置、表示装置、及びこれらの作製方法を提供することを課題の一とする。

[0010]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はないものとする。明細書、図面、請求項の記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0011]

本発明の一態様は、半導体層、第1の導電層、第2の導電層、第3の導電層、第1の絶縁層、及び、第2の絶縁層を有し、第1の絶縁層は第1の導電層上に位置し、第2の導電層は第1の絶縁層上に位置し、第2の導電層は、第4の導電層と第5の導電層とを有し、第4の導電層と第5の導電層とは、互いに異なる金属を含み、第5の導電層は、第4の導電層の上面の少なくとも一部及び側面の少なくとも一部を覆い、半導体層は、第1の導電層の上面、第5の導電層の上面及び側面、並びに、第1の絶縁層の側面と接し、第2の絶縁層は半導体層上に位置し、第3の導電層は、第2の絶縁層上に位置し、かつ、第2の絶縁層を介して半導体層と重なる、半導体装置である。

[0012]

また、本発明の一態様は、半導体層、第1の導電層、第2の導電層、第3の導電層、第1の絶縁層、及び、第2の絶縁層を有し、第1の絶縁層は、第1の導電層上に位置し、かつ、第1の開口を有し、第2の導電層は、第1の絶縁層上に位置し、かつ、第1の開口と重なる第2の開口を有し、第2の導電層は、第4の導電層と第5の導電層とを有し、第4の導電層と第5の導電層とは、互いに異なる金属を含み、第5の導電層は、第4の導電層の上面の少なくとも一部及び側面の少なくとも一部を覆い、半導体層は、第1の開口及び第2の開口を介して第1の導電層の上面と接し、かつ、第5の導電層の、上面及び第2の開口における側面と、第1の絶縁層の第1の開口における側面と、のそれぞれと接し、第2の絶縁層は半導体層上に位置し、第3の導電層は、第2の絶縁層上に位置し、かつ、第2の絶縁層を介して半導体層と重なる、半導体装置である。

[0013]

第4の導電層は、第3の開口を有していてもよい。このとき、第5の導電層は、上面視において、第3の開口の内側に第2の開口を有することが好ましい。

[0014]

第1の導電層は、第6の導電層と第7の導電層とを有し、第6の導電層と第7の導電層とは、互い

に異なる金属を含み、第7の導電層は、第6の導電層の上面の少なくとも一部及び側面の少なくとも一部を覆うことが好ましい。

[0015]

半導体層は、チャネル形成領域に金属酸化物を有し、第5の導電層は第1の酸化物導電体層を有し、第7の導電層は第2の酸化物導電体層を有し、半導体層は、第1の酸化物導電体層及び第2の酸化物導電体層と接することが好ましい。

[0016]

第4の導電層の導電率は、第5の導電層の導電率よりも高く、第6の導電層の導電率は、第7の導電層の導電率よりも高いことが好ましい。

[0017]

第1の導電層は、第8の導電層を有し、第6の導電層は、第8の導電層上に位置し、第6の導電層の端部よりも外側で、第7の導電層と第8の導電層が接することが好ましい。

[0018]

第2の導電層は、第9の導電層を有し、第4の導電層は、第9の導電層上に位置し、第4の導電層の端部よりも外側で、第5の導電層と第9の導電層が接することが好ましい。

[0019]

第5の導電層は、第1の金属層と、第1の金属層上の第1の金属酸化物層と、を有し、第1の金属層と第1の金属酸化物層とは、同じ金属を含み、第1の金属層は、第1の金属酸化物層を介して、半導体層と電氣的に接続し、第7の導電層は、第2の金属層と、第2の金属層上の第2の金属酸化物層と、を有し、第2の金属層と第2の金属酸化物層とは、同じ金属を含み、第2の金属層は、第2の金属酸化物層を介して、半導体層と電氣的に接続することが好ましい。

[0020]

第6の導電層は、第8の導電層と、第8の導電層上の第9の導電層と、を有し、第8の導電層の上面形状は、第9の導電層の上面形状と一致または概略一致していることが好ましい。

[0021]

第4の導電層は、第10の導電層と、第10の導電層上の第11の導電層と、を有し、第11の導電層の上面形状は、第10の導電層の上面形状と一致または概略一致していることが好ましい。

[0022]

第1の絶縁層は、第1の導電層上の、窒素とシリコンとを含む第1の層と、第1の層上の、酸素とシリコンとを含む第2の層と、第2の層上の、窒素とシリコンとを含む第3の層と、を有することが好ましい。

[0023]

第1の絶縁層は、第1の導電層と第1の層との間に位置する第4の層と、第3の層上の第5の層と、を有し、第4の層は、第1の層よりも水素の含有量が多い領域を有し、第5の層は、第3の層よりも水素の含有量が多い領域を有することが好ましい。

発明の効果

[0024]

本発明の一態様により、微細なサイズのトランジスタを提供できる。または、チャネル長が小さいトランジスタを提供できる。または、オン電流が大きいトランジスタを提供できる。または、電気特性が良好なトランジスタを提供できる。または、占有面積の小さい半導体装置を提供できる。ま

たは、配線抵抗の小さい半導体装置を提供できる。または、消費電力の少ない半導体装置または表示装置を提供できる。または、信頼性の高いトランジスタ、半導体装置、または表示装置を提供できる。または、高精細化が容易な表示装置を提供できる。または、生産性の高い半導体装置または表示装置の作製方法を提供できる。または、新規なトランジスタ、半導体装置、表示装置、及びこれらの作製方法を提供できる。

[0025]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。明細書、図面、請求項の記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0026]

図1Aは、半導体装置の一例を示す上面図である。図1B及び図1Cは、半導体装置の一例を示す断面図である。

図2Aは、半導体装置の一例を示す上面図である。図2Bは、半導体装置の一例を示す断面図である。

図3A乃至図3Cは、半導体装置の一例を示す断面図である。

図4A及び図4Bは、半導体装置の一例を示す断面図である。

図5A乃至図5Cは、半導体装置の一例を示す断面図である。

図6A乃至図6Cは、半導体装置の一例を示す断面図である。

図7A乃至図7Cは、半導体装置の一例を示す断面図である。

図8A及び図8Bは、半導体装置の一例を示す断面図である。

図9Aは、半導体装置の一例を示す上面図である。図9B及び図9Cは、半導体装置の一例を示す断面図である。

図10Aは、半導体装置の一例を示す上面図である。図10B及び図10Cは、半導体装置の一例を示す断面図である。

図11A及び図11Bは、半導体装置の一例を示す断面図である。

図12Aは、半導体装置の一例を示す断面図である。図12Bは、半導体装置の一例を示す上面図である。

図13A乃至図13Iは、半導体装置の一例を示す回路図である。

図14A及び図14Bは、半導体装置の一例を示す断面図である。

図15Aは、半導体装置の一例を示す上面図である。図15Bは、半導体装置の一例を示す断面図である。

図16Aは、半導体装置の一例を示す上面図である。図16Bは、半導体装置の一例を示す断面図である。

図17Aは、半導体装置の一例を示す上面図である。図17Bは、半導体装置の一例を示す断面図である。

図18Aは、半導体装置の一例を示す上面図である。図18Bは、半導体装置の一例を示す断面図である。

図19A乃至図19Dは、半導体装置の作製方法の一例を示す断面図である。

図20A乃至図20Cは、半導体装置の作製方法の一例を示す断面図である。

図 2 1 A 及び図 2 1 B は、半導体装置の作製方法の一例を示す断面図である。
図 2 2 は、表示装置の一例を示す斜視図である。
図 2 3 A 及び図 2 3 B は、表示装置の一例を示す断面図である。
図 2 4 は、表示装置の一例を示す断面図である。
図 2 5 A 乃至図 2 5 C は、表示装置の一例を示す断面図である。
図 2 6 A 及び図 2 6 B は、表示装置の一例を示す断面図である。
図 2 7 は、表示装置の一例を示す断面図である。
図 2 8 A 乃至図 2 8 D は、電子機器の一例を示す図である。
図 2 9 A 乃至図 2 9 F は、電子機器の一例を示す図である。
図 3 0 A 乃至図 3 0 G は、電子機器の一例を示す図である。
図 3 1 A 乃至図 3 1 C は、実施例 1 の試料の断面 S T E M 像である。
図 3 2 は、実施例 1 のトランジスタの $I_d - V_g$ 特性及び電界効果移動度を示すグラフである。
図 3 3 は、実施例 1 のトランジスタの $I_d - V_g$ 特性及び電界効果移動度を示すグラフである。
図 3 4 は、実施例 1 のトランジスタの $I_d - V_g$ 特性及び電界効果移動度を示すグラフである。
図 3 5 は、実施例 2 のトランジスタの $I_d - V_g$ 特性及び電界効果移動度を示すグラフである。

発明を実施するための形態

[0027]

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

[0028]

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチングパターンを同じくし、特に符号を付さない場合がある。

[0029]

また、図面において示す各構成の、位置、大きさ、及び、範囲などは、理解の簡単のため、実際の位置、大きさ、及び、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面に開示された位置、大きさ、及び、範囲などに限定されない。

[0030]

なお、本明細書等において、「第 1」、「第 2」という序数詞は、便宜上用いるものであり、構成要素の数、または、構成要素の順序（例えば、工程順、または積層順）を限定するものではない。また、本明細書のある箇所において構成要素に付す序数詞と、本明細書の他の箇所、または特許請求の範囲において、当該構成要素に付す序数詞と、が一致しない場合がある。

[0031]

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能である。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能である。

[0032]

また、トランジスタは半導体素子の一種であり、電流または電圧を増幅する機能、及び、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor) 及び薄膜トランジスタ (TFT: Thin Film Transistor) を含む。

[0033]

また、「ソース」と「ドレイン」の機能は、異なる極性のトランジスタを採用する場合、または回路動作において電流の方向が変化する場合には入れ替わることがある。このため、本明細書においては、「ソース」と「ドレイン」の用語は、入れ替えて用いることができるものとする。

[0034]

本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極または配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、コイル、その他の各種機能を有する素子などが含まれる。

[0035]

本明細書等において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのソースドレイン間のリーク電流をいう。オフ状態とは、特に断りがない場合、nチャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低い（pチャネル型トランジスタでは、 V_{th} よりも高い）状態をいう。

[0036]

本明細書等において、ノーマリーオンとは、ゲートに電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れてしまう状態のことをいう。また、ノーマリーオフとは、ゲートに電位を印加しない、またはゲートに接地電位を与えたときに、トランジスタに電流が流れない状態のことをいう。

[0037]

本明細書等において「上面形状が概略一致」とは、積層した層と層との間で少なくとも輪郭の一部が重なることをいう。例えば、上層と下層とが、同一のマスクパターン、または一部が同一のマスクパターンにより加工された場合を含む。ただし、厳密には輪郭が重なり合わず、上層が下層の内側に位置すること、または上層が下層の外側に位置することもあり、この場合も「上面形状が概略一致」という場合がある。また、上面形状が一致または概略一致している場合、端部が揃っている、または概略揃っているということもできる。

[0038]

本明細書等において、ある構成要素の上面形状とは、平面視（上面視ともいう）における当該構成要素の輪郭形状のことをいう。また、平面視とは、当該構成要素の被形成面、または当該構成要素が形成される支持体（例えば基板）の表面の法線方向から見ることをいう。

[0039]

なお、本明細書等において、テーパ形状とは、構造の側面の少なくとも一部が、基板面または被形成面に対して傾斜して設けられている形状のことを指す。例えば、傾斜した側面と基板面または被形成面とがなす角（テーパ角ともいう）が0度より大きく90度未満である領域を有すると好ましい。なお、構造の側面、基板面、及び被形成面は、必ずしも完全に平坦である必要はなく、微小な

曲率を有する略平面状、または微細な凹凸を有する略平面状であってもよい。

[0040]

なお、本明細書等において、酸化窒化物とは、その組成として窒素よりも酸素の含有量が多い材料を指す。窒化酸化物とは、その組成として酸素よりも窒素の含有量が多い材料を指す。

[0041]

水素、酸素、窒素などの元素の含有量の分析には、例えば、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）、またはX線光電子分光法（XPS：X-ray Photoelectron Spectroscopy）を用いることができる。目的の元素の含有率が高い（例えば、0.5 atomic%以上、または1 atomic%以上）場合は、XPSが適している。一方、目的の元素の含有率が低い（例えば0.5 atomic%以下、または1 atomic%以下）場合には、SIMSが適している。元素の含有量を比較する際には、SIMSとXPSの両方の分析手法を用いた複合解析を行うことがより好ましい。

[0042]

本明細書等において、AはBと接する、と記載されている場合、Aの少なくとも一部がBと接する。そのため、例えば、AはBと接する領域を有する、と言い換えることができる。

[0043]

本明細書等において、AはB上に位置する、と記載されている場合、Aの少なくとも一部がB上に位置する。そのため、例えば、AはB上に位置する領域を有する、と言い換えることができる。

[0044]

本明細書等において、AはBと重なる、と記載されている場合、Aの少なくとも一部がBと重なる。そのため、例えば、AはBと重なる領域を有する、と言い換えることができる。

[0045]

本明細書等において、メタルマスク、またはFMM（ファインメタルマスク、高精細なメタルマスク）を用いて作製されるデバイスをMM（メタルマスク）構造のデバイスと呼称する場合がある。また、本明細書等において、メタルマスク、またはFMMを用いずに作製されるデバイスをMML（メタルマスクレス）構造のデバイスと呼称する場合がある。

[0046]

本明細書等では、発光波長が異なる発光素子（発光デバイスともいう）で発光層を作り分ける構造をSBS（Side By Side）構造と呼ぶ場合がある。SBS構造は、発光素子ごとに材料及び構成を最適化することができるため、材料及び構成の選択の自由度が高まり、輝度の向上及び信頼性の向上を図ることが容易となる。

[0047]

本明細書等において、正孔または電子を、「キャリア」といって示す場合がある。具体的には、正孔注入層または電子注入層を「キャリア注入層」といい、正孔輸送層または電子輸送層を「キャリア輸送層」といい、正孔ブロック層または電子ブロック層を「キャリアブロック層」という場合がある。なお、上述のキャリア注入層、キャリア輸送層、及びキャリアブロック層は、明確に区別できない場合がある。また、1つの層が、キャリア注入層、キャリア輸送層、及びキャリアブロック層のうち2つまたは3つの機能を兼ねる場合がある。

[0048]

本明細書等において、発光素子は、一対の電極間にEL層を有する。EL層は、少なくとも発光層

を有する。ここで、EL層が有する層（機能層ともいう）としては、発光層、キャリア注入層（正孔注入層及び電子注入層）、キャリア輸送層（正孔輸送層及び電子輸送層）、及び、キャリアブロック層（正孔ブロック層及び電子ブロック層）などが挙げられる。本明細書等において、受光素子（受光デバイスともいう）は、一対の電極間に少なくとも光电変換層として機能する活性層を有する。本明細書等では、一対の電極の一方を画素電極と記し、他方を共通電極と記すことがある。

[0049]

本明細書等において、犠牲層（マスク層と呼称してもよい）とは、少なくとも発光層（より具体的には、EL層を構成する層のうち、島状に加工される層）の上方に位置し、製造工程中において、当該発光層を保護する機能を有する。

[0050]

本明細書等において、段切れとは、層、膜、または電極が、被形成面の形状（例えば段差など）に起因して分断される現象を示す。

[0051]

（実施の形態1）

本実施の形態では、本発明の一態様の半導体装置について図1乃至図18を用いて説明する。

[0052]

本発明の一態様の半導体装置は、半導体層、第1の導電層、第2の導電層、第3の導電層、第1の絶縁層、及び、第2の絶縁層を有する。

[0053]

第1の絶縁層は、第1の導電層上に位置し、第2の導電層は、第1の絶縁層上に位置する。酸化物半導体層は、第1の導電層の上面、第2の導電層の上面及び側面、並びに、第1の絶縁層の側面と接する。第2の絶縁層は、半導体層上に位置する。第3の導電層は、第2の絶縁層上に位置し、かつ、第2の絶縁層を介して半導体層と重なる。

[0054]

第2の絶縁層は、ゲート絶縁層として機能する。第3の導電層は、トランジスタのゲート電極として機能する。

[0055]

第1の絶縁層は、第1の導電層に達する第1の開口を有していてもよい。また、第2の導電層は、第1の開口と重なる第2の開口を有していてもよい。このとき、第3の導電層は、第1の開口及び第2の開口と重なる位置で、第2の絶縁層を介して、半導体層と重なることが好ましい。

[0056]

本発明の一態様のトランジスタは、ソース電極とドレイン電極とが、異なる高さに位置し、半導体層を流れる電流は、高さ方向に流れる。すなわち、チャンネル長方向が高さ方向（縦方向）の成分を有するといえるため、本発明の一態様のトランジスタは、VFET（Vertical Field Effect Transistor）、縦型トランジスタ、縦型チャンネルトランジスタ、縦チャンネル型トランジスタなどとも呼ぶことができる。

[0057]

本発明の一態様のトランジスタは、ソース電極、半導体層、及びドレイン電極を、重ねて設けることができるため、半導体層を平面状に配置した、いわゆるプレーナ型のトランジスタと比較して、占有面積を大幅に縮小できる。

[0058]

第1の導電層は、トランジスタのソース電極またはドレイン電極の一方として機能する。第1の導電層は、第4の導電層と、第4の導電層上の第5の導電層と、を有することが好ましい。第4の導電層と第5の導電層とは互いに異なる金属を含む。第5の導電層は、第4の導電層の上面の少なくとも一部及び側面の少なくとも一部を覆う。このとき、半導体層は、第5の導電層の上面と接することが好ましい。第4の導電層は、第5の導電層を介して、半導体層と導通する。言い換えると、第4の導電層は、第5の導電層を介して、半導体層と電氣的に接続する。

[0059]

第2の導電層は、トランジスタのソース電極またはドレイン電極の他方として機能する。第2の導電層は、第6の導電層と、第6の導電層上の第7の導電層と、を有することが好ましい。第6の導電層と第7の導電層とは互いに異なる金属を含む。第7の導電層は、第6の導電層の上面の少なくとも一部及び側面の少なくとも一部を覆う。このとき、半導体層は、第7の導電層の上面及び側面と接することが好ましい。第6の導電層は、第7の導電層を介して、半導体層と導通する。言い換えると、第6の導電層は、第7の導電層を介して、半導体層と電氣的に接続する。

[0060]

ソース電極及びドレイン電極は、それぞれ、半導体層と接する部分を有する。例えば、半導体層に金属酸化物を用いる場合、ソース電極及びドレイン電極における半導体層と接する部分には、酸化されにくい導電材料、酸化されても電気抵抗が低く保たれる導電材料、または導電性を有する金属酸化物（酸化物導電体（OC: Oxide Conductor）とも記す）などを用いることが好ましい。一方で、ソース電極またはドレイン電極は、配線としても機能する場合がある。そのため、金属、合金、またはこれらの窒化物など、酸化物導電体と比較して導電性の高い材料を用いることが好ましい。また、抵抗が低く、配線及びトランジスタの電極として好適な材料として銅が挙げられるが、銅が半導体層に拡散するとトランジスタの特性に悪影響を及ぼす恐れがある。

[0061]

そこで、本発明の一態様では、ソース電極及びドレイン電極の少なくとも一方を、第1の層の上面及び側面を第2の層が覆う、2層以上の積層構造とする。電極のうち、半導体層と接する最上層には、半導体層との接触抵抗が低い導電材料を用い、当該最上層に覆われた導電層に、導電性の高い材料を用いることで、信頼性が高く、オン電流の高いトランジスタを実現することができる。

[0062]

第1の導電層上、及び、第2の導電層上に半導体層が位置することから、本発明の一態様のトランジスタは、ボトムコンタクト型であるということが出来る。本発明の一態様のトランジスタの作製において、第2の導電層を作製した後（例えば、第2の導電層となる膜を加工した後、または第2の開口を形成した後）に、半導体層を成膜することができるため、半導体層にダメージが入ることを抑制できる。また、第1の開口及び第2の開口を形成する工程を連続して（成膜工程などを介さずに）行うことができるため、開口の形成が容易となり好ましい。

[0063]

なお、第1の開口及び第2の開口の代わりに、それぞれ、溝（スリット）が設けられていてもよい。

[0064]

[トランジスタ100]

図1A及び図2Aにトランジスタ100の上面図を示す。図2Aは、直径D143、及びチャネル

幅W100を示し、開口145と一点鎖線B1-B2を示していない点で図1Aと異なる。図1A及び図2Aでは、絶縁層の図示を省略している。なお、他の上面図においても、一部の構成要素の図示を省略する。

[0065]

図1B及び図2Bは、図1A及び図2Aにおける一点鎖線A1-A2間の断面図である。図2Bは、図1Bの拡大図ともいえる。図1Bでは、開口141、143、145を示しており、図2Bは、直径D143、チャンネル幅W100、チャンネル長L100、厚さT110、及び角度 θ 110を示している。それ以外の要素は、図1B及び図2Bに共通で示している。図1Cは、図1Aにおける一点鎖線B1-B2間の断面図である。

[0066]

トランジスタ100は、基板102上に設けられている。トランジスタ100は、導電層112a（導電層182a及び導電層122a）、絶縁層110（絶縁層110b、絶縁層110c、及び絶縁層110d）、半導体層108、導電層112b（導電層182b及び導電層122b）、絶縁層106、及び導電層104を有する。トランジスタ100を構成する各層は、単層構造であってもよく、積層構造であってもよい。なお、絶縁層110は、トランジスタ100の構成要素に含めなくてもよい。つまり、本発明の一態様の半導体装置は、トランジスタ100と、絶縁層110と、を有する、ともいえる。

[0067]

本実施の形態では、半導体層108に、酸化物半導体を用いる場合を主に例に挙げて説明する。

[0068]

導電層112aは、基板102上に設けられている。導電層112aは、トランジスタ100のソース電極またはドレイン電極の一方として機能する。導電層112aは、導電層182aと導電層122aとを有する。図1Cに示すように、導電層122aは、導電層182aの上面及び側面に接し、かつ当該上面及び当該側面を覆うように設けられている。導電層122aは、半導体層108と接する。

[0069]

絶縁層110は、基板102、及び、導電層112a上に位置する。絶縁層110は、導電層112aと接する。絶縁層110には、導電層112aに達する開口141が設けられている。

[0070]

絶縁層110は、基板102及び導電層112a上の絶縁層110bと、絶縁層110b上の絶縁層110cと、絶縁層110c上の絶縁層110dと、の積層構造を有する。

[0071]

導電層112bは、絶縁層110上に位置する。導電層112bには、開口141と重なる開口143が設けられている。導電層112bは、トランジスタ100のソース電極またはドレイン電極の他方として機能する。導電層112bは、導電層182bと導電層122bとを有する。図1B及び図1Cに示すように、導電層122bは、導電層182bの上面及び側面に接し、かつ当該上面及び当該側面を覆うように設けられている。導電層122bは、半導体層108と接する。導電層182bは開口145を有する。上面視において、開口141及び開口143は、それぞれ、導電層182bに設けられた開口145の内側に位置する。

[0072]

半導体層108は、導電層112aの上面、絶縁層110の側面、並びに、導電層112bの上面及び側面と接する。より具体的には、半導体層108は、導電層122aの上面、絶縁層110の側面、並びに、導電層122bの上面及び側面と接する。半導体層108は、絶縁層110における開口141側の端部（絶縁層110の開口141における側面、開口141の側壁ともいえる）及び導電層112bにおける開口143側の端部（導電層112bの開口143における側面、開口143の側壁ともいえる）に接して設けられる。半導体層108は、開口141及び開口143を介して導電層112aと接する。

[0073]

絶縁層106は、絶縁層110、半導体層108、及び導電層112b上に位置する。絶縁層106は、半導体層108を介して、開口141の側壁及び開口143の側壁に沿って設けられる。絶縁層106は、トランジスタ100のゲート絶縁層（第1のゲート絶縁層ともいえる）として機能する。

[0074]

導電層104は、絶縁層106上に位置する。導電層104は、開口141及び開口143の内部で、絶縁層106を介して半導体層108と重なる。導電層104は、トランジスタ100のゲート電極（第1のゲート電極ともいえる）として機能する。

[0075]

導電層112a、導電層112b、及び導電層104は、それぞれ、配線として機能することができ、トランジスタ100はこれらの配線が重なる領域に設けることができる。つまり、トランジスタ100及び配線を有する回路において、トランジスタ100及び配線の占有面積を縮小することができる。したがって、回路の占有面積を縮小することができ、小型の半導体装置とすることができる。

[0076]

例えば、本発明の一態様の半導体装置を表示装置の画素回路に適用する場合、画素回路の占有面積を縮小することができ、高精細の表示装置とすることができる。また、例えば、本発明の一態様の半導体装置を表示装置の駆動回路（例えば、ゲート線駆動回路及びソース線駆動回路の一方または双方）に適用する場合、駆動回路の占有面積を縮小することができ、狭額縁の表示装置とすることができる。

[0077]

トランジスタ100のチャンネル長及びチャンネル幅などについて、図2A及び図2Bを用いて説明する。

[0078]

半導体層108において、導電層112aと接する領域はソース領域及びドレイン領域の一方として機能し、導電層112bと接する領域はソース領域及びドレイン領域の他方として機能し、ソース領域とドレイン領域の間にチャンネル形成領域として機能する領域を有する。

[0079]

図2Bでは、トランジスタ100のチャンネル長L100を破線の両矢印で示している。チャンネル長L100は、断面視において、半導体層108における絶縁層110bと接する部分と、絶縁層110dと接する部分と、の最短距離とすることができる。

[0080]

トランジスタ100のチャンネル長 L_{100} は、断面視における絶縁層110cの開口141側の側面の長さに対応する。つまり、チャンネル長 L_{100} は、絶縁層110cの厚さ T_{110} 、及び絶縁層110cの開口141側の側面と絶縁層110cの被形成面（ここでは、絶縁層110bの上面）とのなす角の角度 θ_{110} で決まる。したがって、例えば、チャンネル長 L_{100} を露光装置の限界解像度よりも小さな値とすることができ、微細なサイズのトランジスタを実現することができる。具体的には、従来のフラットパネルディスプレイの量産用の露光装置（例えば最小線幅 $2\mu\text{m}$ または $1.5\mu\text{m}$ 程度）では実現できなかった、極めて小さいチャンネル長のトランジスタを実現することができる。また、最先端のLSI技術で用いられる極めて高額な露光装置を用いることなく、チャンネル長が 10nm 未満のトランジスタを実現することもできる。

[0081]

チャンネル長 L_{100} は、例えば、 5nm 以上、 7nm 以上、または 10nm 以上であって、 $3\mu\text{m}$ 未満、 $2.5\mu\text{m}$ 以下、 $2\mu\text{m}$ 以下、 $1.5\mu\text{m}$ 以下、 $1.2\mu\text{m}$ 以下、 $1\mu\text{m}$ 以下、 500nm 以下、 300nm 以下、 200nm 以下、 100nm 以下、 50nm 以下、 30nm 以下、または 20nm 以下とすることができる。例えば、チャンネル長 L_{100} を、 100nm 以上 $1\mu\text{m}$ 以下とすることもできる。

[0082]

チャンネル長 L_{100} を小さくすることにより、トランジスタ100のオン電流を高くすることができる。トランジスタ100を用いることにより、高速動作が可能な回路を作製することができる。さらには回路の占有面積を縮小することが可能となる。したがって、小型の半導体装置とすることができる。例えば、本発明の一態様の半導体装置を大型の表示装置、または高精細な表示装置に適用する際、配線数が増加した場合においても、各配線における信号遅延を低減することができ、表示ムラを抑制することができる。また、回路の占有面積を縮小できるため、表示装置の額縁を狭くすることができる。

[0083]

絶縁層110cの厚さ T_{110} 及び角度 θ_{110} を調整することにより、チャンネル長 L_{100} を制御することができる。なお、図2Bでは、絶縁層110cの厚さ T_{110} を一点鎖線の両矢印で示している。

[0084]

絶縁層110cの厚さ T_{110} は、例えば、 10nm 以上、 50nm 以上、 100nm 以上、 150nm 以上、 200nm 以上、 300nm 以上、 400nm 以上、または、 500nm 以上であって、 $3.0\mu\text{m}$ 未満、 $2.5\mu\text{m}$ 以下、 $2.0\mu\text{m}$ 以下、 $1.5\mu\text{m}$ 以下、 $1.2\mu\text{m}$ 以下、 $1.0\mu\text{m}$ 以下とすることができる。

[0085]

絶縁層110cの開口141側の側面は、垂直形状、または、テーパ形状であることが好ましい。絶縁層110cの開口141側の側面と絶縁層110cの被形成面（ここでは、絶縁層110bの上面）とのなす角 θ_{110} は、 90 度以下であることが好ましい。角度 θ_{110} を小さくすることにより、絶縁層110c上に設けられる層（例えば、半導体層108）の被覆性を高めることができる。また、角度 θ_{110} が小さいほど、チャンネル長 L_{100} を大きくすることができ、角度 θ_{110} が大きいほど、チャンネル長 L_{100} を小さくすることができる。図1B、図1C、及び図2Bでは、絶縁層110cの開口141側の側面がテーパ形状である例を示す（角度 θ_{110} が 90

度未満)。図3A及び図3Bでは、絶縁層110cの開口141側の側面が垂直形状である例を示す(角度 θ_{110} が90度)。

[0086]

角度 θ_{110} は、例えば、30度以上、35度以上、40度以上、45度以上、50度以上、55度以上、60度以上、65度以上、または70度以上であって、90度以下、85度以下、または80度以下とすることができる。また、角度 θ_{110} は、75度以下、70度以下、65度以下、または60度以下としてもよい。

[0087]

角度 θ_{110} が80度以上90度以下の場合、被覆性の高い成膜法を用いて、絶縁層110を被覆する膜を形成することが好ましい。例えば、導電層104をCVD法により、絶縁層106及び半導体層108をALD法により、それぞれ形成することが好ましい。また、例えば、導電層104、絶縁層106、及び半導体層108をALD法により形成することが好ましい。また、上記角度 θ_{110} が60度以上85度以下の場合、より生産性の高い成膜方法を用いて、絶縁層110を被覆する膜を形成してもよい。例えば、半導体層108をスパッタリング法により形成することが好ましい。

[0088]

なお、ここでは、角度 θ_{110} を、絶縁層110cを基準に設定したが、絶縁層110全体を基準に設定してもよい。つまり、角度 θ_{110} は、絶縁層110の開口141側の側面と絶縁層110の被形成面(ここでは、導電層112aの上面)とのなす角度としてもよい。

[0089]

また、半導体層108における絶縁層110bと接する領域、及び、絶縁層110dと接する領域をチャンネル形成領域に含む場合、チャンネル長L100は、断面視において、半導体層108における導電層112aと接する部分と、導電層112bと接する部分と、の最短距離といえることができる。また、チャンネル長L100は、断面視における絶縁層110b、110c、110dの開口141側の側面の長さの和に相当する。

[0090]

図2A及び図2Bでは、開口143の直径D143を二点鎖線の両矢印で示している。図2Aでは、開口141及び開口143の上面形状が直径D143の円形である例を示す。このとき、トランジスタ100のチャンネル幅W100は、当該円の円周の長さと同じになる。すなわち、チャンネル幅W100は、 $\pi \times D143$ となる。このように、開口141及び開口143の上面形状が円形であると、他の形状に比べて、チャンネル幅の小さいトランジスタを実現できる。

[0091]

なお、開口141の径と開口143の径は互いに異なる場合がある。また、開口141の径及び開口143の径は、それぞれ、深さ方向で変化する場合がある。開口141の径としては、例えば、断面視における絶縁層110(または絶縁層110c)の最も高い位置の径、最も低い位置の径、及びこれらの中点の位置の径の3つの平均値を用いることができる。または、開口141の径として、例えば、断面視における絶縁層110(または絶縁層110c)の最も高い位置の径、最も低い位置の径、またはこれらの中点の位置の径の、いずれかの径を用いてもよい。同様に、開口143の径としては、例えば、断面視における導電層112bの最も高い位置の径、最も低い位置の径、及びこれらの中点の位置の径の、いずれかの径、または、3つの平均値を用いることがで

きる。

[0092]

フォトリソグラフィ法を用いて開口143を形成する場合、開口143の直径D143は露光装置の限界解像度以上となる。直径D143は、例えば、20nm以上、50nm以上、100nm以上、200nm以上、300nm以上、400nm以上、または、500nm以上であって、5.0μm未満、4.5μm以下、4.0μm以下、3.5μm以下、3.0μm以下、2.5μm以下、2.0μm以下、1.5μm以下、または1.0μm以下とすることができる。

[0093]

開口141及び開口143の上面形状に限定はなく、それぞれ、例えば、円形、楕円形、三角形、四角形（長方形、菱形、正方形を含む）、五角形、星形多角形などの多角形、またはこれら多角形の角が丸い形状とすることができる。なお、多角形としては、凹多角形（少なくとも一つの内角が180度を超える多角形）及び凸多角形（全ての内角が180度以下である多角形）のどちらであってもよい。図1A等に示すように、開口141及び開口143の上面形状は、それぞれ、円形であることが好ましい。開口の上面形状を円形とすることにより、開口を形成する際の加工精度を高めることができ、微細なサイズの開口を形成することができる。なお、本明細書等において、円形とは真円に限定されない。

[0094]

本明細書等において、開口141の上面形状とは、絶縁層110の開口141側の上面端部の形状を指す。また、開口143の上面形状とは、導電層112bの開口143側の下面端部の形状を指す。

[0095]

図1A等に示すように、開口141の上面形状と開口143の上面形状とは互いに一致、または概略一致させることができる。このとき、図1B及び図1C等に示すように、導電層112bの開口143側の下面端部は、絶縁層110の開口141側の上面端部と一致、または概略一致することが好ましい。導電層112bの下面とは、絶縁層110側の面を指す。絶縁層110の上面とは、導電層112b側の面を指す。

[0096]

なお、開口141の上面形状と開口143の上面形状とは互いに一致しなくてもよい（後述するトランジスタ100C（図9A等）参照）。また、開口141と開口143の上面形状が円形であるとき、開口141と開口143は同心円状であってもよく、同心円状でなくてもよい。

[0097]

[導電層112a、導電層112b]

導電層112aは、導電層182aと、導電層182a上の導電層122aと、を有する。導電層182aと導電層122aとは互いに異なる金属を含む。導電層182aは、導電層122aを介して、半導体層108と導通する。導電層112aのうち、半導体層108と接する部分には、導電層122aが設けられていることが好ましい。

[0098]

同様に、導電層112bは、導電層182bと、導電層182b上の導電層122bと、を有する。導電層182bと導電層122bとは互いに異なる金属を含む。導電層182bは、導電層122bを介して、半導体層108と導通する。導電層112bのうち、半導体層108と接する部分に

は、導電層122bが設けられていることが好ましい。

[0099]

導電層122a及び導電層122bには、それぞれ、酸化されにくい導電材料、酸化されても電気抵抗が低く保たれる導電材料、または酸化物導電体を用いることが好ましい。これにより、導電層112aまたは導電層112bと半導体層108との間の接触抵抗が高くなることを抑制できる。

[0100]

酸化されにくい導電材料、または、酸化されても電気抵抗が低く保たれる導電材料としては、例えば、チタン、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、ルテニウム、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、及びランタンとニッケルを含む酸化物が挙げられる。

[0101]

酸化物導電体としては、例えば、酸化インジウム、酸化亜鉛、In-Sn酸化物(ITO)、In-Zn酸化物(IZO(登録商標)とも記す)、In-W酸化物、In-W-Zn酸化物、In-Ti酸化物、In-Ti-Sn酸化物、In-Sn-Si酸化物(シリコンを含むITO、ITSOともいう)、ガリウムを添加した酸化亜鉛、及びIn-Ga-Zn酸化物が挙げられる。特にインジウムを含む導電性酸化物は、導電性が高いため好ましい。

[0102]

半導体特性を有する金属酸化物に酸素欠損を形成し、該酸素欠損に水素を添加すると、伝導帯近傍にドナー準位が形成される。この結果、金属酸化物は、導電性が高くなり導電体化する。導電体化された金属酸化物を、酸化物導電体とすることができる。

[0103]

導電層122a及び導電層122bは、同じ材料を用いてもよく、異なる材料を用いてもよい。

[0104]

導電層122a及び導電層122bは、それぞれ、単層構造であってもよく、積層構造であってもよい。なお、導電層122aまたは導電層122bが積層構造である場合、半導体層108と接する層に、酸化されにくい導電材料、酸化されても電気抵抗が低く保たれる導電材料、または酸化物導電体を用いることが好ましく、他の層には、各種導電材料を用いることができる。つまり、後述する導電層182a及び導電層182bに用いることができる材料も、導電層122a及び導電層122bを構成する層に用いることができる。

[0105]

導電層182aには、導電層122aよりも導電性が高い材料(導電率が高い材料、または抵抗率が低い材料、と言い換えることもできる。)を用いることが好ましい。同様に、導電層182bには、導電層122bよりも導電性が高い材料を用いることが好ましい。これにより、導電層112a及び導電層112bを配線として好適な層にすることができる。

[0106]

導電層182a及び導電層182bに用いることができる材料としては、例えば、クロム、銅、アルミニウム、金、銀、亜鉛、タンタル、チタン、タングステン、マンガン、ニッケル、鉄、コバルト、モリブデン、及びニオブの一または複数、並びに前述した金属の一または複数を含む合金が挙げられる。金属または合金を含む導電層を用いることで、配線抵抗を小さくすることができる。導電層182a及び導電層182bには、それぞれ、銅、銀、金、及びアルミニウムのうち一

または複数を含む、低抵抗な導電材料が好適である。特に、銅またはアルミニウムは量産性に優れるため好ましい。

[0107]

導電層182a及び導電層182bは、それぞれ、Cu-X合金膜(Xは、Mn、Ni、Cr、Fe、Co、Mo、Ta、またはTi)を適用してもよい。Cu-X合金膜を用いることで、ウェットエッチングプロセスで加工できるため、製造コストを抑制できる。

[0108]

導電層182aと導電層182bは、同じ材料を用いてもよく、異なる材料を用いてもよい。

[0109]

導電層182aと導電層182bは、それぞれ、単層構造であってもよく、積層構造であってもよい。なお、導電層182aまたは導電層182bが積層構造である場合、少なくとも一層に導電層122aまたは導電層122bよりも導電性が高い材料を用い、他の層には、各種導電材料を用いることができる。つまり、前述した導電層122a及び導電層122bに用いることができる材料も、導電層182a及び導電層182bを構成する層に用いることができる。

[0110]

以上のように、導電層112a及び導電層112bは、それぞれ、半導体層108と接する層に、酸化されにくい導電材料、酸化されても電気抵抗が低く保たれる導電材料、または酸化物導電体を用いることが好ましく、他の層の少なくとも一層に、当該半導体層108と接する層に用いる材料よりも導電性が高い材料を用いることが好ましい。これにより、半導体層108と導電層112aとの接触抵抗、及び半導体層108と導電層112bとの接触抵抗が高くなることを抑制できる。また、導電層112a及び導電層112bの配線抵抗を低くすることができる。

[0111]

具体的な導電層112a及び導電層112bの構成としては、例えば、導電層182a及び導電層182bとして、それぞれ、金属膜を用い、導電層122a及び導電層122bとして、それぞれ、酸化物導電体膜を用いることが好ましい。金属膜としては、例えば、タングステン膜の単層構造、チタン膜の単層構造、銅膜の単層構造、チタン膜とアルミニウム膜の2層構造、及び、チタン膜とアルミニウム膜とチタン膜の3層構造が挙げられる。酸化物導電体膜としては、例えば、In-Zn酸化物膜の単層構造、ITO膜の単層構造、及び、ITSO膜の単層構造が挙げられる。

[0112]

[導電層104]

導電層104は、単層構造、または、2層以上の積層構造とすることができる。導電層104に用いることができる材料としては、例えば、クロム、銅、アルミニウム、金、銀、亜鉛、タンタル、チタン、タングステン、マンガン、ニッケル、鉄、コバルト、モリブデン、及びニオブの一または複数、並びに前述した金属の一または複数を成分とする合金が挙げられる。導電層104には、銅、銀、金、及びアルミニウムのうち一または複数を含む、低抵抗な導電性材料を好適に用いることができる。特に、銅またはアルミニウムは量産性に優れるため好ましい。

[0113]

導電層104には、酸化物導電体を用いることができる。酸化物導電体としては、例えば、酸化インジウム、酸化亜鉛、In-Sn酸化物(ITO)、In-Zn酸化物、In-W酸化物、In-W-Zn酸化物、In-Ti酸化物、In-Ti-Sn酸化物、In-Sn-Si酸化物(ITS

O)、ガリウムを添加した酸化亜鉛、及びIn-Ga-Zn酸化物が挙げられる。特にインジウムを含む導電性酸化物は、導電性が高いため好ましい。

[0114]

導電層104は、前述の酸化物導電体（金属酸化物）を含む導電膜と、金属または合金を含む導電膜と、の積層構造としてもよい。金属または合金を含む導電膜を用いることで、配線抵抗を小さくすることができる。

[0115]

導電層104は、Cu-X合金膜（Xは、Mn、Ni、Cr、Fe、Co、Mo、Ta、またはTi）を適用してもよい。Cu-X合金膜を用いることで、ウェットエッチングプロセスで加工できるため、製造コストを抑制できる。

[0116]

例えば、導電層104に、チタン膜とアルミニウム膜とチタン膜との3層積層構造を用いることが好ましい。

[0117]

[絶縁層110]

絶縁層110は、単層構造または積層構造とすることができ、3層以上の積層構造であることが好ましい。

[0118]

絶縁層110を構成する各層には、無機絶縁膜を用いることが好ましい。無機絶縁膜としては、例えば、酸化絶縁膜、窒化絶縁膜、酸化窒化絶縁膜、及び窒化酸化絶縁膜が挙げられる。酸化絶縁膜としては、例えば、酸化シリコン膜、酸化アルミニウム膜、酸化マグネシウム膜、酸化ガリウム膜、酸化ゲルマニウム膜、酸化イットリウム膜、酸化ジルコニウム膜、酸化ランタン膜、酸化ネオジム膜、酸化ハフニウム膜、酸化タンタル膜、酸化セリウム膜、ガリウム亜鉛酸化物膜、及び、ハフニウムアルミネート膜が挙げられる。窒化絶縁膜としては、例えば、窒化シリコン膜、及び窒化アルミニウム膜が挙げられる。酸化窒化絶縁膜としては、例えば、酸化窒化シリコン膜、酸化窒化アルミニウム膜、酸化窒化ガリウム膜、酸化窒化イットリウム膜、及び、酸化窒化ハフニウム膜が挙げられる。窒化酸化絶縁膜としては、例えば、窒化酸化シリコン膜、及び窒化酸化アルミニウム膜が挙げられる。

[0119]

絶縁層110は、半導体層108と接する部分を有する。半導体層108に酸化物半導体を用いる場合、半導体層108と絶縁層110との界面特性を向上させるため、絶縁層110の半導体層108と接する部分の少なくとも一部に酸化物を用いることが好ましい。具体的には、絶縁層110における半導体層108のチャネル形成領域と接する部分に酸化物を用いることが好ましい。チャネル形成領域は、キャリア濃度が低い高抵抗領域である。チャネル形成領域は、i型（真性）または実質的にi型であるということができる。

[0120]

半導体層108のチャネル形成領域と接する絶縁層110cには、酸素を含む層を用いることが好ましい。絶縁層110cは、絶縁層110b及び絶縁層110dの一方または双方と比べて、酸素の含有量が多い領域を有することが好ましい。

[0121]

絶縁層 110c には、前述の酸化絶縁膜及び酸化窒化絶縁膜のいずれか一つまたは複数を用いることが好ましい。具体的には、絶縁層 110c には、酸化シリコン膜及び酸化窒化シリコン膜の一方または双方を用いることが好ましい。絶縁層 110c が、酸素の含有量が多い層であると、半導体層 108 における絶縁層 110c と接する領域とその近傍に、i 型の領域を形成することが容易となる。

[0122]

絶縁層 110c には、加熱により酸素を放出する膜を用いるとより好ましい。トランジスタ 100 の作製工程中にかかる熱により、絶縁層 110c が酸素を放出することで、半導体層 108 に酸素を供給することができる。絶縁層 110c から半導体層 108、特に半導体層 108 のチャンネル形成領域に酸素を供給することで、半導体層 108 中の酸素欠損の低減を図ることができ、良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。

[0123]

例えば、酸素を含む雰囲気下における加熱処理、または、酸素を含む雰囲気下におけるプラズマ処理を行うことで、絶縁層 110c に酸素を供給することができる。また、絶縁層 110c の上面に、スパッタリング法により、酸素雰囲気下で酸化物膜を成膜することで酸素を供給してもよい。その後、当該酸化物膜を除去してもよい。なお、実施の形態 2 では、亜酸化窒素 (N_2O) プラズマ処理を行うこと、及び、金属酸化物層 149 を成膜することで、絶縁層 110c に酸素を供給する例を示す。

[0124]

絶縁層 110c は、スパッタリング法、またはプラズマ化学気相堆積 (PECVD: Plasma Enhanced Chemical Vapor Deposition) 法などの成膜方法で形成することが好ましい。特に、スパッタリング法を用いると、成膜ガスに水素を用いなくてよい。そのため、水素の含有量の極めて少ない膜とすることができる。そのため、半導体層 108 に水素が供給されることを抑制し、トランジスタ 100 の電気特性の安定化を図ることができる。

[0125]

絶縁層 110b 及び絶縁層 110d には、それぞれ、酸素が拡散しにくい膜を用いることが好ましい。これにより、絶縁層 110c に含まれる酸素が、加熱により絶縁層 110b を介して基板 102 側に透過すること、及び、絶縁層 110d を介して導電層 112b 及び絶縁層 106 側に透過することを防ぐことができる。言い換えると、酸素が拡散しにくい絶縁層 110b 及び絶縁層 110d で絶縁層 110c の上下を挟むことで、絶縁層 110c に含まれる酸素を閉じ込めることができる。これにより、半導体層 108 に効果的に酸素を供給することができる。

[0126]

また、絶縁層 110b 及び絶縁層 110d には、それぞれ、水素が拡散しにくい膜を用いることが好ましい。これにより、トランジスタの外から絶縁層 110b または絶縁層 110d を介して、半導体層 108 に水素が拡散することを抑制できる。

[0127]

絶縁層 110b 及び絶縁層 110d には、それぞれ、前述の、酸化絶縁膜、窒化絶縁膜、酸化窒化絶縁膜、及び窒化酸化絶縁膜のいずれか一つまたは複数を用いることが好ましい。具体的には、絶縁層 110b 及び絶縁層 110d には、それぞれ、窒化シリコン膜、窒化酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、窒化アルミニウム膜、酸化ハフニ

ウム膜、及びハフニウムアルミネート膜のいずれか一つまたは複数を用いることが好ましい。

[0128]

絶縁層110b及び絶縁層110dには、それぞれ、前述の窒化絶縁膜及び窒化酸化絶縁膜のいずれか一つまたは複数を用いることが好ましい。具体的には、絶縁層110b及び絶縁層110dには、それぞれ、窒化シリコン膜及び窒化酸化シリコン膜の一方または双方を用いることが好ましい。

[0129]

窒化シリコン膜、及び、窒化酸化シリコン膜は、それぞれ、自身からの不純物（例えば、水及び水素）の放出が少なく、酸素及び水素が透過しにくい膜を実現できるため、絶縁層110b及び絶縁層110dとして好適に用いることができる。

[0130]

また、絶縁層110b及び絶縁層110dには、例えば、前述のアルミニウムを含む膜を用いてもよい。例えば、絶縁層110b及び絶縁層110dには、それぞれ、酸化アルミニウム膜を用いることが好ましい。酸化アルミニウム膜は、窒化シリコン膜に比べて水素の含有量をより少なくできるため、好適である。

[0131]

絶縁層110b及び絶縁層110dの膜厚は、それぞれ、5nm以上150nm以下が好ましく、5nm以上100nm以下がより好ましく、5nm以上70nm以下がより好ましく、さらには10nm以上70nm以下が好ましく、さらには10nm以上50nm以下が好ましく、さらには20nm以上50nm以下が好ましい。絶縁層110b及び絶縁層110dの膜厚を前述の範囲とすることで、半導体層108中、特にチャネル形成領域の酸素欠損を低減することができる。なお、絶縁層110bと絶縁層110dの膜厚は、等しくてもよく、互いに異なってもよい。

[0132]

例えば、絶縁層110b及び絶縁層110dに、窒化シリコン膜または窒化酸化シリコン膜を用い、絶縁層110cに、酸化シリコン膜または酸化窒化シリコン膜を用いることが好ましい。

[0133]

[半導体層108]

半導体層108は、半導体特性を示す金属酸化物（酸化物半導体ともいう）を有する。

[0134]

半導体層108に用いる半導体材料の結晶性は特に限定されず、非晶質半導体、単結晶性半導体、または単結晶以外の結晶性を有する半導体（微結晶半導体、多結晶半導体、または一部に結晶領域を有する半導体）のいずれを用いてもよい。単結晶半導体または結晶性を有する半導体を用いると、トランジスタ特性の劣化を抑制できるため好ましい。

[0135]

半導体層108に用いる金属酸化物のバンドギャップは、2.0eV以上が好ましく、2.5eV以上がより好ましい。

[0136]

半導体層108に用いることができる金属酸化物として、例えば、インジウム酸化物、ガリウム酸化物、及び亜鉛酸化物が挙げられる。金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。また、金属酸化物は、インジウムと、元素Mと、亜鉛と、の中から選ばれる二または三を有することが好ましい。なお、元素Mは、酸素との結合エネルギーが高い金属元素または半金

属元素であり、例えば、酸素との結合エネルギーがインジウムよりも高い金属元素または半金属元素である。元素Mとして、具体的には、アルミニウム、ガリウム、スズ、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タングステン、ランタン、セリウム、ネオジウム、マグネシウム、カルシウム、ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、及びアンチモンなどが挙げられる。金属酸化物が有する元素Mは、上記元素のいずれか一種または複数種であることが好ましく、アルミニウム、ガリウム、スズ、及びイットリウムから選ばれた一種または複数種であることがより好ましく、ガリウムがさらに好ましい。なお、本明細書等において、金属元素と半金属元素をまとめて「金属元素」と呼ぶことがあり、本明細書等に記載の「金属元素」には半金属元素が含まれることがある。

[0137]

半導体層108は、例えば、インジウム亜鉛酸化物（In-Zn酸化物、IZO（登録商標）とも記す）、インジウムスズ酸化物（In-Sn酸化物）、インジウムチタン酸化物（In-Ti酸化物）、インジウムガリウム酸化物（In-Ga酸化物）、インジウムガリウムアルミニウム酸化物（In-Ga-Al酸化物）、インジウムガリウムスズ酸化物（In-Ga-Sn酸化物）、ガリウム亜鉛酸化物（Ga-Zn酸化物、GZOとも記す）、アルミニウム亜鉛酸化物（Al-Zn酸化物、AZOとも記す）、インジウムアルミニウム亜鉛酸化物（In-Al-Zn酸化物、IAZOとも記す）、インジウムスズ亜鉛酸化物（In-Sn-Zn酸化物、ITZO（登録商標）とも記す）、インジウムチタン亜鉛酸化物（In-Ti-Zn酸化物）、インジウムガリウム亜鉛酸化物（In-Ga-Zn酸化物、IGZOとも記す）、インジウムガリウムスズ亜鉛酸化物（In-Ga-Sn-Zn酸化物、IGZTOとも記す）、インジウムガリウムアルミニウム亜鉛酸化物（In-Ga-Al-Zn酸化物、IGAZO、IGZAO、またはIAGZOとも記す）などを用いることができる。または、シリコンを含むインジウムスズ酸化物、ガリウムスズ酸化物（Ga-Sn酸化物）、アルミニウムスズ酸化物（Al-Sn酸化物）などを用いることができる。

[0138]

金属酸化物に含まれる全ての金属元素の原子数の和に対するインジウムの原子数の割合を高くすることにより、トランジスタの電界効果移動度を高めることができる。また、オン電流の大きいトランジスタを実現できる。

[0139]

なお、金属酸化物は、インジウムに代えて、または、インジウムに加えて、元素周期表における周期番号が大きい金属元素の一種または複数種を有してもよい。金属元素の軌道の重なりが大きいほど、金属酸化物におけるキャリア伝導は大きくなる傾向がある。よって、周期番号が大きい金属元素を含むことで、トランジスタの電界効果移動度を高めることができる場合がある。周期番号が大きい金属元素として、第5周期に属する金属元素、及び第6周期に属する金属元素などが挙げられる。当該金属元素として、具体的には、イットリウム、ジルコニウム、銀、カドミウム、スズ、アンチモン、バリウム、鉛、ビスマス、ランタン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、及びユウロピウムなどが挙げられる。なお、ランタン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、及びユウロピウムは、軽希土類元素と呼ばれる。

[0140]

また、金属酸化物は、非金属元素の一種または複数種を有してもよい。金属酸化物が非金属元素を

有することで、キャリア濃度の増加、または、バンドギャップの縮小などが生じ、トランジスタの電界効果移動度を高めることができる場合がある。非金属元素として、例えば、炭素、窒素、リン、硫黄、セレン、フッ素、塩素、臭素、及び水素などが挙げられる。

[0141]

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する亜鉛の原子数の割合を高くすることにより、結晶性の高い金属酸化物となり、金属酸化物中の不純物の拡散を抑制できる。したがって、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0142]

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する元素Mの原子数の割合を高くすることにより、金属酸化物に酸素欠損が形成されることを抑制できる。したがって、酸素欠損に起因するキャリア生成が抑制され、オフ電流の小さいトランジスタとすることができる。また、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0143]

半導体層108に適用する金属酸化物の組成により、トランジスタの電気特性、及び信頼性が異なる。したがって、トランジスタに求められる電気特性、及び信頼性に応じて金属酸化物の組成を異ならせることにより、優れた電気特性と高い信頼性を両立した半導体装置とすることができる。

[0144]

金属酸化物が $In-M-Zn$ 酸化物の場合、当該 $In-M-Zn$ 酸化物における In の原子数比は M の原子数比以上であることが好ましい。このような $In-M-Zn$ 酸化物の金属元素の原子数比として、例えば、 $In:M:Zn=1:1:1$ 、 $In:M:Zn=1:1:1.2$ 、 $In:M:Zn=2:1:3$ 、 $In:M:Zn=3:1:1$ 、 $In:M:Zn=3:1:2$ 、 $In:M:Zn=4:2:3$ 、 $In:M:Zn=4:2:4.1$ 、 $In:M:Zn=5:1:3$ 、 $In:M:Zn=5:1:6$ 、 $In:M:Zn=5:1:7$ 、 $In:M:Zn=5:1:8$ 、 $In:M:Zn=6:1:6$ 、 $In:M:Zn=5:2:5$ 、及び、これらの近傍の組成が挙げられる。なお、近傍の組成とは、所望の原子数比の $\pm 30\%$ の範囲を含む。金属酸化物中のインジウムの原子数比を大きくすることで、トランジスタのオン電流、または電界効果移動度などを高めることができる。

[0145]

また、 $In-M-Zn$ 酸化物における In の原子数比は M の原子数比未満であってもよい。このような $In-M-Zn$ 酸化物の金属元素の原子数比として、例えば、 $In:M:Zn=1:3:2$ 、 $In:M:Zn=1:3:3$ 、 $In:M:Zn=1:3:4$ 、及びこれらの近傍の組成が挙げられる。金属酸化物中の M の原子数の割合を大きくすることで、酸素欠損の生成を抑制することができる。

[0146]

なお、元素 M として複数の金属元素を有する場合は、当該金属元素の原子数の割合の合計を、元素 M の原子数の割合とすることができる。

[0147]

本明細書等において、含有される全ての金属元素の原子数の和に対するインジウムの原子数の割合を、インジウムの含有率と記す場合がある。他の金属元素においても同様である。

[0148]

金属酸化物の形成には、スパッタリング法、または原子層堆積 (ALD: Atomic Layer

r Deposition) 法を好適に用いることができる。なお、金属酸化物をスパッタリング法で形成する場合、成膜後の金属酸化物の組成はターゲットの組成と異なる場合がある。特に亜鉛は、成膜後の金属酸化物における含有率が、ターゲットと比較して50%程度にまで減少する場合がある。

[0149]

半導体層108は、2以上の金属酸化物層を有する積層構造としてもよい。半導体層108が有する2以上の金属酸化物層は、組成が互いに同じ、または概略同じであってもよい。組成が同じ金属酸化物層の積層構造とすることで、例えば、同じスパッタリングターゲットを用いて形成できるため、製造コストを削減できる。

[0150]

半導体層108が有する2以上の金属酸化物層は、組成が互いに異なってもよい。例えば、In:M:Zn=1:3:4 [原子数比] もしくはその近傍の組成の第1の金属酸化物層と、当該第1の金属酸化物層上に設けられるIn:M:Zn=1:1:1 [原子数比] もしくはその近傍の組成の第2の金属酸化物層と、の積層構造を好適に用いることができる。また、元素Mとして、ガリウム、アルミニウム、またはスズを用いることが特に好ましい。例えば、インジウム酸化物、インジウムガリウム酸化物、及びIGZOの中から選ばれるいずれか一と、IAZO、IAGZO、及びITZO (登録商標) の中から選ばれるいずれか一と、の積層構造を用いてもよい。

[0151]

半導体層108は、結晶性を有する金属酸化物層を有することが好ましい。結晶性を有する金属酸化物の構造としては、例えば、CAAC (c-axis aligned crystal) 構造、多結晶構造、及び、微結晶 (nc:nano-crystal) 構造が挙げられる。結晶性を有する金属酸化物層を半導体層108に用いることにより、半導体層108中の欠陥準位密度を低減でき、信頼性の高い半導体装置を実現できる。

[0152]

半導体層108に用いる金属酸化物層の結晶性が高いほど、半導体層108中の欠陥準位密度を低減できる。一方、結晶性の低い金属酸化物層を用いることで、大きな電流を流すことができるトランジスタを実現することができる。

[0153]

金属酸化物層をスパッタリング法により形成する場合、形成時の基板温度 (ステージ温度) が高いほど、結晶性の高い金属酸化物層を形成することができる。また、形成時に用いる成膜ガスの全流量に対する酸素ガスの流量の割合 (以下、酸素流量比ともいう) が高いほど、結晶性の高い金属酸化物層を形成することができる。

[0154]

半導体層108は、結晶性が異なる2以上の金属酸化物層の積層構造としてもよい。例えば、第1の金属酸化物層と、当該第1の金属酸化物層上に設けられる第2の金属酸化物層と、の積層構造とし、第2の金属酸化物層は、第1の金属酸化物層より結晶性が高い領域を有する構成とすることができる。または、第2の金属酸化物層は、第1の金属酸化物層より結晶性が低い領域を有する構成とすることができる。このとき、第1の金属酸化物層と第2の金属酸化物層は、互いに異なる組成であってもよく、同じまたは概略同じ組成であってもよい。

[0155]

半導体層108の厚さは、3nm以上200nm以下が好ましく、さらには3nm以上100nm以下が好ましく、さらには5nm以上100nm以下が好ましく、さらには10nm以上100nm以下が好ましく、さらには10nm以上70nm以下が好ましく、さらには15nm以上70nm以下が好ましく、さらには15nm以上50nm以下が好ましく、さらには20nm以上50nm以下が好ましい。

[0156]

半導体層108に酸化物半導体を用いる場合、酸化物半導体に含まれる水素が金属原子と結合する酸素と反応して水になり、酸化物半導体中に酸素欠損(V_O)が形成される場合がある。さらに、酸素欠損に水素が入った欠陥(以下、 V_OH と記す)はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン(つまり、しきい値電圧がマイナスの値)となりやすい。また、酸化物半導体中の水素は、熱、電界などのストレスによって動きやすいため、酸化物半導体に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。

[0157]

半導体層108に酸化物半導体を用いる場合、半導体層108中の V_OH をできる限り低減し、高純度真性または実質的に高純度真性にすることが好ましい。このように、 V_OH が十分低減された酸化物半導体を得るには、酸化物半導体中の水、水素などの不純物を除去すること(脱水、脱水素化処理と記載する場合がある。)と、酸化物半導体に酸素を供給して酸素欠損を修復することが重要である。 V_OH などの不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。なお、酸化物半導体に酸素を供給して酸素欠損を修復することを、加酸素化処理と記す場合がある。

[0158]

半導体層108に酸化物半導体を用いる場合、チャネル形成領域として機能する領域の酸化物半導体のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域として機能する領域の酸化物半導体のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0159]

酸化物半導体を用いたトランジスタ(以下、OSトランジスタと記す)は、非晶質シリコンを用いたトランジスタと比較して電界効果移動度が極めて高い。また、OSトランジスタは、オフ電流が著しく小さく、当該トランジスタと直列に接続された容量に蓄積した電荷を長期間に亘って保持することが可能である。また、OSトランジスタを適用することで、半導体装置の消費電力を低減することができる。

[0160]

OSトランジスタは、放射線照射による電気特性の変動が小さい、つまり放射線に対する耐性が高いため、放射線が入射しうる環境においても好適に用いることができる。OSトランジスタは、放射線に対する信頼性が高いともいえる。例えば、X線のフラットパネルディテクタの画素回路に、OSトランジスタを好適に用いることができる。また、OSトランジスタは、宇宙空間で使用する

半導体装置に好適に用いることができる。放射線として、電磁放射線（例えば、X線、及びガンマ線）、及び粒子放射線（例えば、アルファ線、ベータ線、陽子線、及び中性子線）が挙げられる。

[0161]

半導体層108に用いることができる他の半導体材料としては、例えば、単体元素よりなる半導体、または化合物半導体が挙げられる。単体元素よりなる半導体として、例えば、シリコン、及びゲルマニウムが挙げられる。化合物半導体として、例えば、ヒ化ガリウム、及びシリコンゲルマニウムが挙げられる。その他、化合物半導体として、例えば、有機半導体、及び、窒化物半導体が挙げられる。なお、前述の酸化物半導体も、化合物半導体の一種である。なお、これらの半導体材料に、ドーパントとして不純物が含まれてもよい。

[0162]

半導体層108に用いることができるシリコンとして、単結晶シリコン、多結晶シリコン、微結晶シリコン、及び非晶質シリコンが挙げられる。多結晶シリコンとして、例えば、低温ポリシリコン（LTPS: Low Temperature Poly Silicon）が挙げられる。

[0163]

半導体層108に非晶質シリコンを用いたトランジスタは、大型のガラス基板上に形成でき、低コストで作製することができる。半導体層108に多結晶シリコンを用いたトランジスタは、電界効果移動度が高く、高速動作が可能である。また、半導体層108に微結晶シリコンを用いたトランジスタは、非晶質シリコンを用いたトランジスタより電界効果移動度が高く、高速動作が可能である。

[0164]

半導体層108は、半導体として機能する層状物質を有してもよい。層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合またはイオン結合によって形成される層が、ファンデルワールス結合のような、共有結合またはイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャンネル形成領域に用いることで、オン電流の大きいトランジスタを提供することができる。

[0165]

上記層状物質として、例えば、グラフェン、シリセン、カルコゲン化合物などが挙げられる。カルコゲン化合物は、カルコゲン（第16族に属する元素）を含む化合物である。また、カルコゲン化合物として、遷移金属カルコゲナイド、13族カルコゲナイドなどが挙げられる。トランジスタの半導体層として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には MoS_2 ）、セレン化モリブデン（代表的には MoSe_2 ）、モリブデンテルル（代表的には MoTe_2 ）、硫化タングステン（代表的には WS_2 ）、セレン化タングステン（代表的には WSe_2 ）、タングステンテルル（代表的には WTe_2 ）、硫化ハフニウム（代表的には HfS_2 ）、セレン化ハフニウム（代表的には HfSe_2 ）、硫化ジルコニウム（代表的には ZrS_2 ）、セレン化ジルコニウム（代表的には ZrSe_2 ）などが挙げられる。

[0166]

[絶縁層106]

絶縁層106は、単層構造、または2層以上の積層構造とすることができる。絶縁層106は、1層以上の無機絶縁膜を有することが好ましい。無機絶縁膜としては、例えば、酸化絶縁膜、窒化絶

縁膜、酸化窒化絶縁膜、及び窒化酸化絶縁膜が挙げられる。これらの無機絶縁膜の具体例は、前述の通りである。

[0167]

絶縁層106は、半導体層108と接する部分を有する。半導体層108に酸化物半導体を用いる場合、絶縁層106を構成する膜のうち、少なくとも半導体層108と接する膜には、前述の酸化絶縁膜及び酸化窒化絶縁膜のいずれかを用いることが好ましい。また、絶縁層106には、加熱により酸素を放出する膜を用いるとより好ましい。

[0168]

具体的には、絶縁層106が単層構造の場合、絶縁層106には、酸化シリコン膜または酸化窒化シリコン膜を用いることが好ましい。

[0169]

また、絶縁層106は、半導体層108と接する酸化絶縁膜または酸化窒化絶縁膜と、導電層104と接する窒化絶縁膜または窒化酸化絶縁膜と、の積層構造とすることができる。当該酸化絶縁膜または酸化窒化絶縁膜として、例えば、酸化シリコン膜または酸化窒化シリコン膜を用いることが好ましい。当該窒化絶縁膜または窒化酸化絶縁膜として、窒化シリコン膜または窒化酸化シリコン膜を用いることが好ましい。

[0170]

窒化シリコン膜、及び、窒化酸化シリコン膜は自身からの不純物（例えば、水及び水素）の放出が少なく、酸素及び水素が透過しにくい特徴を有するため、絶縁層106として好適に用いることができる。不純物が絶縁層106から半導体層108に拡散することが抑制されることで、トランジスタの電気特性を良好とし、かつ信頼性を高めることができる。

[0171]

なお、微細なトランジスタにおいて、ゲート絶縁層の膜厚が薄くなると、リーク電流が大きくなってしまう場合がある。ゲート絶縁層に、比誘電率の高い材料（high-k材料ともいう）を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。絶縁層106に用いることができるhigh-k材料として、例えば、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物が挙げられる。

[0172]

[基板102]

基板102の材質に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、シリコン、または炭化シリコンを材料とした単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、SOI基板、ガラス基板、石英基板、サファイア基板、セラミック基板、または樹脂基板を、基板102として用いてもよい。また、基板102には、半導体素子が設けられていてもよい。なお、半導体基板、及び絶縁性基板の形状は円形であってもよく、角形であってもよい。

[0173]

基板102として、可撓性基板を用い、可撓性基板上に直接、トランジスタ100等を形成してもよい。または、基板102とトランジスタ100等の間に剥離層を設けてもよい。剥離層は、その

上に半導体装置を一部あるいは全部完成させた後、基板102より分離し、他の基板に転載するのに用いることができる。その際、トランジスタ100等を耐熱性の劣る基板、または可撓性基板にも転載できる。

[0174]

[トランジスタ100の変形例]

図3C、及び、図4乃至図12に、トランジスタ100の変形例を示す。

[0175]

なお、本発明の一態様の半導体装置において、導電層112a及び導電層112bの少なくとも一方が、第1の層（導電層182aまたは導電層182b）の上面及び側面を第2の層（導電層122aまたは導電層122b）が覆う、2層以上の積層構造とする。

[0176]

例えば、図3Cに示すように、導電層122aは、導電層182aの上面に接し、かつ、側面には接しない構成とすることもできる。これにより、導電層122aと導電層182aとを同一のマスクパターンにより加工して形成することができる。これにより、作製工程及びコストの削減を図ることができる。この場合、導電層122aと導電層182aとは、上面形状が一致または概略一致するといえ、また、端部が揃っている、または概略揃っているともいえる。

[0177]

[トランジスタ100A]

図4A及び図4Bにトランジスタ100Aの断面図を示す。なお、トランジスタ100Aの上面図は、トランジスタ100の上面図と同様であるため、図1Aを参照することができる。

[0178]

トランジスタ100Aは、導電層112a及び導電層112bがそれぞれ3層構造である点で、トランジスタ100と異なる。

[0179]

トランジスタ100Aにおける導電層112aは、導電層184aと、導電層184a上の導電層182aと、導電層182a上の導電層122aとを、有する。図4Bに示すように、導電層184a上に導電層182aの端部及び導電層122aの端部が位置している。導電層122aは、導電層182aの上面及び側面に接し、かつ当該上面及び当該側面を覆うように設けられている。導電層122aは、半導体層108と接する。導電層122aは、導電層182aの端部よりも外側で、導電層184aの上面と接している。つまり、導電層182aは、導電層184aと導電層122aとにより上面、側面、及び下面を包み込まれているともいえる。

[0180]

導電層182aの材料によっては、被形成面（ここでは基板102）との密着性が低く、半導体装置の製造歩留まりが低くなる恐れがある。そのため、導電層182aに比べて、下地との密着性の高い導電層184aを設けることが好ましい。

[0181]

例えば、導電層184aにITSOを用い、導電層182aに銅を用い、導電層122aにITSOを用いることが好ましい。ガラス基板と銅膜との密着性に比べて、ガラス基板とITSO膜との密着性は高い。また、導電層184aと導電層122aとを同一工程で加工できるため、作製工程の大幅な増加を防止しつつ、半導体装置の製造歩留まりを高めることができる。

[0182]

トランジスタ100Aにおける導電層112bは、導電層184bと、導電層184b上の導電層182bと、導電層182b上の導電層122bとを、有する。図4Bに示すように、導電層184b上に導電層182bの端部及び導電層122bの端部が位置している。導電層122bは、導電層182bの上面及び側面に接し、かつ当該上面及び当該側面を覆うように設けられている。導電層122b及び導電層184bは、半導体層108と接する。導電層122bは、導電層182bの端部よりも外側で、導電層184bの上面と接している。つまり、導電層182bは、導電層184bと導電層122bとにより上面、側面、及び下面を包み込まれているともいえる。

[0183]

導電層182bとして銅を用いることで、導電層112bの配線抵抗を低くでき好ましいが、銅が絶縁層110、さらには、半導体層108に拡散することで、トランジスタの特性に悪影響を及ぼす恐れがある。そこで、導電層184bを設けることで、導電層182bから絶縁層110、さらには半導体層108に銅が拡散することを抑制できる。

[0184]

例えば、導電層184bにITSOを用い、導電層182bに銅を用い、導電層122bにITSOを用いることが好ましい。導電層184bと導電層122bとを同一工程で加工できるため、作製工程の大幅な増加を防止しつつ、トランジスタの信頼性を高めることができる。

[0185]

なお、本発明の一態様の半導体装置において、導電層112a及び導電層112bの少なくとも一方が、第1の層（導電層182aまたは導電層182b）の上面及び側面を第2の層（導電層122aまたは導電層122b）が覆う、2層以上の積層構造とする。

[0186]

次に、図5乃至図7を用いて、導電層112a及び導電層112bの組み合わせの例を示す。

[0187]

図5Aは、導電層112aが2層構造であり、導電層112bが単層構造である例を示す。図5Bは、導電層112aが2層構造であり、導電層112bが3層構造である例を示す。図5Cは、導電層112aが単層構造であり、導電層112bが2層構造である例を示す。図6Aは、導電層112aが3層構造であり、導電層112bが2層構造である例を示す。図6Bは、導電層112aが3層構造であり、導電層112bが単層構造である例を示す。図6Cは、導電層112aが単層構造であり、導電層112bが3層構造である例を示す。

[0188]

単層構造の導電層112aは、酸化されにくい導電材料、酸化されても電気抵抗が低く保たれる導電材料、または酸化物導電体を用いることが好ましく、具体的にはITSOを用いることが好ましい。これにより、導電層112aと半導体層108との間の接触抵抗が高くなることを抑制できる。

[0189]

2層構造の導電層112aの構成例については、トランジスタ100（図1乃至図3）の説明を参照できる。

[0190]

3層構造の導電層112aの構成例については、トランジスタ100A（図4A及び図4B）の説明を参照できる。

[0191]

単層構造の導電層112bは、酸化されにくい導電材料、酸化されても電気抵抗が低く保たれる導電材料、または酸化物導電体を用いることが好ましく、具体的にはITSOを用いることが好ましい。これにより、導電層112bと半導体層108との間の接触抵抗が高くなることを抑制できる。

[0192]

2層構造の導電層112bの構成例については、トランジスタ100（図1乃至図3）の説明を参照できる。

[0193]

3層構造の導電層112bの構成例については、トランジスタ100A（図4A及び図4B）の説明を参照できる。

[0194]

なお、導電層182bは、開口145を有していなくてもよい。断面視において、図1B及び図1Cなどのように、開口143を挟んで、左右に導電層182bが存在していてもよく、図7Aに示すように、開口143よりも左側または右側の一方にのみ導電層182bが存在していてもよい。図7Aでは、導電層182bの端部が、開口143の右側に位置し、開口143の左側に導電層182bが存在していない例を示す。

[0195]

図7Bに示すように、導電層112aは、導電層186aを有していてもよい。また、導電層112bは、導電層186bを有していてもよい。

[0196]

導電層122aは金属層であり、導電層186aは金属酸化物層であり、導電層122aと導電層186aとは、互いに同じ金属を含むことが好ましい。例えば、半導体層108の成膜工程、及び、導電層122aと半導体層108とが接した状態で行われる加熱工程のうち一方または双方によって、導電層122aの一部が酸化され、金属酸化物層である導電層186aが形成される。また、導電層122aを形成した後に酸化処理を行うことで、導電層122aの一部を酸化し、金属酸化物層である導電層186aを形成してもよい。

[0197]

導電層186aは、導電層122aと半導体層108の間に位置する。導電層186aは、導電層122aの上面の一部を覆う、ということもできる。

[0198]

同様に、導電層122bは金属層であり、導電層186bは金属酸化物層であり、導電層122bと導電層186bとは、互いに同じ金属を含むことが好ましい。例えば、半導体層108の成膜工程、及び、導電層122bと半導体層108とが接した状態で行われる加熱工程のうち一方または双方によって、導電層122bの一部が酸化され、金属酸化物層である導電層186bが形成される。また、導電層122bを形成した後に酸化処理を行うことで、導電層122bの一部を酸化し、金属酸化物層である導電層186bを形成してもよい。

[0199]

導電層186bは、導電層122bと半導体層108の間に位置する。導電層186bは、導電層122bの上面及び側面を覆う、ということもできる。

[0200]

導電層 1 2 2 a、導電層 1 2 2 b、導電層 1 8 6 a、及び導電層 1 8 6 bは、それぞれ、チタンを含むことが好ましい。これにより、導電層 1 2 2 a 及び導電層 1 2 2 b の高い導電性を維持し、かつ、導電層 1 8 6 a 及び導電層 1 8 6 b が形成されることによる接触抵抗の上昇を抑制できる。

[0201]

例えば、導電層 1 8 2 a に、アルミニウム膜の単層構造、タングステン膜の単層構造、または、チタン膜とアルミニウム膜の積層構造を用い、導電層 1 2 2 a にチタン膜を用い、導電層 1 8 6 a に酸化チタン膜を用いることができる。同様に、導電層 1 8 2 b に、アルミニウム膜の単層構造、タングステン膜の単層構造、または、チタン膜とアルミニウム膜の積層構造を用い、導電層 1 2 2 b にチタン膜を用い、導電層 1 8 6 b に酸化チタン膜を用いることができる。

[0202]

また、導電層 1 2 2 a 及び導電層 1 2 2 b は、それぞれ、絶縁層 1 1 0 と接する部分を有する。図 7 B では、導電層 1 2 2 a と絶縁層 1 1 0 b とが接し、導電層 1 2 2 b と絶縁層 1 1 0 d とが接している。絶縁層 1 1 0 b 及び絶縁層 1 1 0 d には、それぞれ、窒化物を用いることが好ましい。具体的には、窒化シリコンまたは窒化酸化シリコンを用いることが好ましい。これにより、導電層 1 2 2 a または導電層 1 2 2 b と、絶縁層 1 1 0 と、の間に酸化物が形成されることを抑制し、導電層 1 1 2 a 及び導電層 1 1 2 b の電気抵抗が上昇することを抑制できる。また、導電層 1 2 2 a 及び導電層 1 1 2 b にチタンを用いる場合、密着性の観点からも、導電層 1 2 2 a 及び導電層 1 1 2 b は、酸化シリコン及び酸化窒化シリコンに比べて、窒化シリコンまたは窒化酸化シリコンと接することが好ましい。

[0203]

また、絶縁層 1 1 0 b に窒化物を用いる場合、導電層 1 2 2 a と、絶縁層 1 1 0 b と、の間に、金属窒化物層が形成されることがある。同様に、絶縁層 1 1 0 d に窒化物を用いる場合、導電層 1 2 2 b と、絶縁層 1 1 0 d と、の間に、金属窒化物層が形成されることがある。したがって、導電層 1 2 2 a 及び導電層 1 1 2 b には、窒化物であっても電気抵抗が低く保たれる金属を用いることが好ましい。例えば、導電層 1 2 2 a 及び導電層 1 1 2 b にチタンを用いると、当該金属窒化物層として、窒化チタン層が形成されるため、好ましい。

[0204]

図 7 C は、導電層 1 8 2 a が 2 層構造である場合の例である。導電層 1 8 2 a が積層構造である場合、少なくとも 2 層は、同一のマスクパターンにより加工されて形成されることが好ましい。これにより、作製工程及びコストの削減を図ることができる。この場合、導電層 1 8 2 a を構成する 2 層以上の層は、上面形状が一致または概略一致するといえ、また、端部が揃っている、または概略揃っているともいえる。

[0205]

[トランジスタ 1 0 0 B]

図 8 A 及び図 8 B にトランジスタ 1 0 0 B の断面図を示す。なお、トランジスタ 1 0 0 B の上面図は、トランジスタ 1 0 0 の上面図と同様であるため、図 1 A を参照することができる。

[0206]

トランジスタ 1 0 0 では、絶縁層 1 1 0 が 3 層構造である例を示したが、トランジスタ 1 0 0 B は、絶縁層 1 1 0 が 5 層構造である例を示す。具体的には、図 8 A 及び図 8 B に示す絶縁層 1 1 0 は、基板 1 0 2 及び導電層 1 1 2 a 上の絶縁層 1 1 0 a と、絶縁層 1 1 0 a 上の絶縁層 1 1 0 b と、絶

絶縁層110b上の絶縁層110cと、絶縁層110c上の絶縁層110dと、絶縁層110d上の絶縁層110eと、の積層構造を有する。

[0207]

半導体層108には、ゲート電界がかかりにくい領域（オフセット領域）が存在する。絶縁層110aは、当該オフセット領域に接するように設けることが好ましい。

[0208]

絶縁層110aは、絶縁層110bと比べて、水素の含有量が多い領域を有する。また、絶縁層110aは、絶縁層110dと比べて、水素の含有量が多い領域を有することが好ましい。

[0209]

オフセット領域の抵抗が高いと、トランジスタの電界効果移動度が低下してしまうことがある。絶縁層110aが、水素の含有量が多い層であると、半導体層108における絶縁層110aと接する領域とその近傍を低抵抗化させることができる（図8Aに示す下側の2つの領域108n参照）。これにより、オフセット領域に起因する電界効果移動度の低下を抑制できる。

[0210]

絶縁層110aは、加熱により水素を放出する層であることが好ましい。トランジスタ100Bの作製工程中にかかる熱により、絶縁層110aが水素を放出することで、半導体層108に水素を供給することができる。半導体層108のオフセット領域に水素を供給することで、オフセット領域を低抵抗化し、電界効果移動度の低下を抑制できる。

[0211]

同様に、絶縁層110eは、絶縁層110dと比べて、水素の含有量が多い領域を有する。また、絶縁層110eは、絶縁層110bと比べて、水素の含有量が多い領域を有することが好ましい。

[0212]

絶縁層110eが、水素の含有量が多い層であると、半導体層108における絶縁層110eと接する領域とその近傍を低抵抗化させることができる（図8Aに示す上側の2つの領域108n参照）。

[0213]

絶縁層110eは、加熱により水素を放出する層であることが好ましい。トランジスタ100Bの作製工程中にかかる熱により、絶縁層110eが水素を放出することで、半導体層108に水素を供給することができる。これにより、半導体層108の導電層112bと接する領域の近傍に、低抵抗領域を形成することができる。

[0214]

トランジスタ100Bでは、半導体層108において、導電層112aと接する領域と、i型の領域である、絶縁層110cと接する領域と、の間に、低抵抗領域である、絶縁層110aと接する領域が設けられる。ここで、導電層112aがドレイン電極として機能し、導電層112bがソース電極として機能する場合、半導体層108は、ドレイン電極と接する領域と、チャンネル形成領域と、の間に、低抵抗領域を有するといえる。これにより、ドレイン領域近傍に高い電界が生じにくくなり、ホットキャリアの発生を抑制し、トランジスタの劣化を抑制することができる。

[0215]

同様に、トランジスタ100Bでは、半導体層108において、導電層112bと接する領域と、i型の領域である、絶縁層110cと接する領域と、の間に、低抵抗領域である、絶縁層110e

と接する領域が設けられる。ここで、導電層 112a がソース電極として機能し、導電層 112b がドレイン電極として機能する場合、半導体層 108 は、ドレイン電極と接する領域と、チャンネル形成領域と、の間に、低抵抗領域を有するといえる。これにより、ドレイン領域近傍に高い電界が生じにくくなり、ホットキャリアの発生を抑制し、トランジスタの劣化を抑制することができる。

[0216]

このように、本発明の一態様のトランジスタは、導電層 112a と導電層 112b のどちらがドレイン電極であっても、高い信頼性が得られる。したがって、半導体装置の設計の自由度を高めることができる。

[0217]

絶縁層 110b は、絶縁層 110a と比べて水素の含有量が少ない。また、絶縁層 110d は、絶縁層 110e と比べて水素の含有量が少ない。そのため、絶縁層 110b または絶縁層 110d から、絶縁層 110c、及び、半導体層 108 におけるゲート電界が十分にかかる領域（i 型にした領域）に水素が拡散することを抑制できる。

[0218]

前述の通り、絶縁層 110b 及び絶縁層 110d には、それぞれ、水素が拡散しにくい膜を用いることが好ましい。これにより、絶縁層 110a から絶縁層 110b を介して、半導体層 108 に水素が拡散することを抑制できる。また、絶縁層 110e から絶縁層 110d を介して、半導体層 108 に水素が拡散することを抑制できる。

[0219]

絶縁層 110a 及び絶縁層 110e には、それぞれ、前述の、酸化絶縁膜、窒化絶縁膜、酸化窒化絶縁膜、及び窒化酸化絶縁膜のいずれか一つまたは複数を用いることが好ましい。具体的には、絶縁層 110a 及び絶縁層 110e には、それぞれ、窒化シリコン膜、窒化酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、窒化アルミニウム膜、酸化ハフニウム膜、及びハフニウムアルミネート膜のいずれか一つまたは複数を用いることが好ましい。

[0220]

絶縁層 110a 及び絶縁層 110e には、それぞれ、前述の窒化絶縁膜及び窒化酸化絶縁膜のいずれか一つまたは複数を用いることが好ましい。具体的には、絶縁層 110a 及び絶縁層 110e には、それぞれ、窒化シリコン膜及び窒化酸化シリコン膜の一方または双方を用いることが好ましい。

[0221]

窒化シリコン膜、及び、窒化酸化シリコン膜は、それぞれ、成膜条件（例えば、成膜時の電力（成膜時の電力密度）、成膜時の圧力、成膜ガス種、成膜ガス流量比、成膜温度、及び基板と電極との間の距離のいずれか一または複数）を変えることで、加熱により放出する水素の量を調整することができる。したがって、絶縁層 110a 及び絶縁層 110e として好適に用いることができる。また、絶縁層 110b 及び絶縁層 110d としても好適である。

[0222]

例えば、絶縁層を、成膜ガスの全流量に対する NH₃ ガスの流量の割合が高い条件で成膜することで、当該絶縁層中の水素の含有量を多くすることができる。これにより、絶縁層における、加熱により放出する水素の量を増加させることができる。一方、成膜ガスの全流量に対する NH₃ ガスの流量の割合が低い条件または成膜ガスに NH₃ ガスを用いない条件で絶縁層を成膜することで、当該絶縁層における、加熱により放出する水素の量を少なくできる。例えば、絶縁層 110a は、絶

縁層 110b に比べて、成膜ガスの全流量に対する NH₃ ガスの流量の割合が高い条件で成膜することが好ましい。また、例えば、絶縁層 110e は、絶縁層 110d に比べて、成膜ガスの全流量に対する NH₃ ガスの流量の割合が高い条件で成膜することが好ましい。

[0223]

例えば、絶縁層を、成膜時の電力密度が小さい条件で成膜することで、当該絶縁層中の水素の含有量を多くすることができる。例えば、絶縁層 110a は、絶縁層 110b に比べて、成膜時の電力密度が小さい条件で成膜することが好ましい。また、例えば、絶縁層 110e は、絶縁層 110d に比べて、成膜時の電力密度が小さい条件で成膜することが好ましい。

[0224]

また、半導体層 108 において、絶縁層 110b と接する領域は、絶縁層 110a と接する領域よりも高抵抗であり、絶縁層 110c と接する領域よりも低抵抗であることが好ましい。半導体層 108 において、絶縁層 110b と接する領域は、n⁻型の領域、または n⁻領域とすることができる。半導体層 108 において、絶縁層 110c から供給された酸素は、絶縁層 110c に接する領域だけでなく、絶縁層 110b と接する領域とその近傍にも到達することがある。同様に、半導体層 108 において、絶縁層 110a から供給された水素は、絶縁層 110a に接する領域だけでなく、絶縁層 110b と接する領域とその近傍にも到達することがある。ここで、絶縁層 110a が設けられていない場合、半導体層 108 における、絶縁層 110b と接する領域とその近傍は、絶縁層 110c からの酸素が供給されることで、比較的高抵抗となる。半導体層 108 において、チャンネル形成領域と、ドレイン電極と接する領域との間に、高抵抗な領域があると、トランジスタのオン電流が低下する恐れがある。一方で、水素の含有量が多い絶縁層 110a が設けられていると、水素が供給されることで、半導体層 108 における、絶縁層 110b と接する領域とその近傍の高抵抗化を抑制でき、トランジスタのオン電流の低下を抑制できるため、好ましい。

[0225]

例えば、絶縁層 110a、絶縁層 110b、絶縁層 110d、及び絶縁層 110e に、窒化シリコン膜または窒化酸化シリコン膜を用い、絶縁層 110c に、酸化シリコン膜または酸化窒化シリコン膜を用いることが好ましい。

[0226]

また、例えば、絶縁層 110a 及び絶縁層 110e に、窒化シリコン膜または窒化酸化シリコン膜を用い、絶縁層 110b 及び絶縁層 110d に、酸化アルミニウム膜を用い、絶縁層 110c に、酸化シリコン膜または酸化窒化シリコン膜を用いることが好ましい。

[0227]

以上のことから、絶縁層 110a 乃至絶縁層 110e と接して半導体層 108 を設けることで、ゲート電界が十分にかかる位置に、半導体層 108 におけるチャンネル形成領域を配置することができる。また、半導体層 108 におけるオフセット領域を低抵抗化させることができる。したがって、トランジスタの電界効果移動度の低下を抑制でき、良好な電気特性を得ることができる。

[0228]

半導体層 108 の導電層 112a と接する領域と、導電層 112b と接する領域と、の間には、絶縁層 110 と接する領域が設けられる。絶縁層 110 は、絶縁層 110c の上下を、水素の含有量が少ない絶縁層 110b と絶縁層 110d とで挟み、さらに、この 3 層構造の上下を、水素の含有量が多い絶縁層 110a と絶縁層 110e とで挟む構成となっている。つまり、絶縁層 110 は、

上下方向（積層方向）に対して垂直な線を基準として対称的な構造となっている。これにより、半導体層108におけるチャネル長方向のキャリア濃度分布を適切にすることができる。このことから、トランジスタにおいて良好な電気特性及び高い信頼性を得ることができる。

[0229]

絶縁層を構成する主成分（例えば、窒化シリコン層であれば、窒素とシリコン）に比べて、水素は含有量が少ないため、絶縁層110a、110b、110d、110eにおける水素の含有量は、SIMS分析を用いて比較することが好ましい。

[0230]

また、絶縁層110aと絶縁層110bに、主成分が同じ層（例えば、窒化シリコン層）を用いた場合であっても、断面観察により、区別できることがある。例えば、走査透過電子顕微鏡（STEM: Scanning Transmission Electron Microscopy）の透過電子（TE: Transmitted Electron）像で、絶縁層110aは、絶縁層110bよりも明度が高く観察される。同様に、絶縁層110dと絶縁層110eに、主成分が同じ層を用いた場合であっても、断面観察により、区別できることがある。例えば、STEMのTE像で、絶縁層110eは、絶縁層110dよりも明度が高く観察される。

[0231]

図8Aに示すように、導電層112aの上面から、半導体層108の絶縁層110cと接する部分までの最短距離T1は、導電層112aの上面から、導電層104の下面までの最短距離T2よりも長い。また、断面視において、絶縁層110cの半導体層108と接する部分よりも、開口141の内側における導電層104の下面のほうが下側（基板102側）に位置する、ともいえる。これにより、半導体層108のチャネル形成領域に確実にゲート電界をかけることができ、トランジスタの電気特性を良好とすることができる。

[0232]

最短距離T1は、絶縁層110aの厚さと、絶縁層110bの厚さと、の和によって決まり、最短距離T2は、半導体層108の厚さと、絶縁層106の厚さと、の和によって決まるということが出来る。そのため、絶縁層110aの厚さと、絶縁層110bの厚さと、の和は、半導体層108の厚さと、絶縁層106の厚さと、の和よりも大きいことが好ましいということが出来る。最短距離T1は、最短距離T2の、0.5倍以上が好ましく、1.0倍以上がより好ましく、1.0倍を超えることがさらに好ましい。

[0233]

絶縁層110aの膜厚は、上記最短距離T1、T2の関係が成り立つ範囲で決定することができる。絶縁層110a及び絶縁層110eの膜厚は、それぞれ、10nm以上200nm以下が好ましく、20nm以上150nm以下がより好ましく、50nm以上100nm以下がさらに好ましい。なお、絶縁層110aと絶縁層110eの膜厚は、等しくてもよく、互いに異なってもよい。

[0234]

トランジスタ100Bのチャネル長及びチャネル幅などについて、図8Aを用いて説明する。なお、トランジスタ100と同様の内容については説明を省略することがある。

[0235]

半導体層108において、絶縁層110aと接する領域、及び、絶縁層110eと接する領域は、それぞれ、低抵抗領域（n⁺型の領域、またはn⁺領域ともいう）として機能し、絶縁層110cと

接する領域は、チャンネル形成領域として機能する。半導体層108において、絶縁層110bと接する領域は、絶縁層110aと接する領域よりも高抵抗であり、絶縁層110cと接する領域よりも低抵抗である場合がある。半導体層108において、絶縁層110dと接する領域は、絶縁層110eと接する領域よりも高抵抗であり、絶縁層110cと接する領域よりも低抵抗である場合がある。本実施の形態では、半導体層108における、絶縁層110bと接する領域、及び、絶縁層110dと接する領域は、チャンネル形成領域に含めずに説明するが、これらの領域を、チャンネル形成領域に含めることもできる。または、半導体層108における、絶縁層110bと接する領域、及び、絶縁層110dと接する領域を、低抵抗領域と呼ぶこともできる。なお、低抵抗領域は、ソース領域またはドレイン領域として機能することもできる。

[0236]

図8Aでは、トランジスタ100Bのチャンネル長L100を破線の両矢印で示している。チャンネル長L100は、断面視において、半導体層108における絶縁層110bと接する部分と、絶縁層110dと接する部分と、の最短距離ということができる。

[0237]

絶縁層110cの厚さT110及び角度 θ 110を調整することにより、チャンネル長L100を制御することができる。なお、図8Aでは、絶縁層110cの厚さT110を一点鎖線の両矢印で示している。

[0238]

また、半導体層108における絶縁層110bと接する領域、及び、絶縁層110dと接する領域をチャンネル形成領域に含む場合、チャンネル長L100は、断面視において、半導体層108における絶縁層110aと接する部分と、絶縁層110eと接する部分と、の最短距離ということができる。また、チャンネル長L100は、断面視における絶縁層110b、110c、110dの開口141側の側面の長さの和に相当する。

[0239]

図8Aでは、開口143の直径D143を二点鎖線の両矢印で示している。図1Aでは、開口141及び開口143の上面形状が直径D143の円形である例を示す。このとき、トランジスタ100Bのチャンネル幅W100は、当該円の円周の長さと同じである。

[0240]

チャンネル長L100、厚さT110、角度 θ 110、直径D143、及び、チャンネル幅W100については、先の記載を参照できる。

[0241]

[トランジスタ100C]

図9Aにトランジスタ100Cの上面図を示す。図9Bは、図9Aにおける一点鎖線A1-A2間の断面図である。図9Cは、図9Aにおける一点鎖線B1-B2間の断面図である。

[0242]

トランジスタ100Cは、上面視において、開口141よりも開口143の方が大きい点で、トランジスタ100Bと主に異なる。

[0243]

導電層112bの開口143側の端部は、絶縁層110の開口141側の端部よりも外側に位置している。

[0244]

半導体層108は、導電層112bの上面及び側面、絶縁層110dの上面及び側面、絶縁層110cの側面、絶縁層110bの側面、絶縁層110aの側面、及び、導電層112aの上面と接する。

[0245]

[トランジスタ100D]

図10Aにトランジスタ100Dの上面図を示す。図10Bは、図10Aにおける一点鎖線A1-A2間の断面図であり、図10Cは、図10Aにおける一点鎖線B1-B2間の断面図である。

[0246]

トランジスタ100Dは、半導体層108が、導電層112bの開口143に面しない側（開口143とは反対側）の側面と接する点で、トランジスタ100Bと異なる。

[0247]

半導体層108と導電層112bの上面形状及びサイズは、それぞれ、特に限定されない。半導体層108の端部は、導電層112bの端部と揃っていてもよく、導電層112bの端部よりも内側に位置していてもよく、導電層112bの端部よりも外側に位置していてもよい。

[0248]

図10Bに示すように、トランジスタ100Dの半導体層108は、導電層112bの開口143に面しない側の側面を覆っている。半導体層108の端部は、導電層112bの端部よりも外側に位置し、絶縁層110上に接している。また、半導体層108の、図10Cにおける左側の端部は、導電層112bの端部を覆っており、絶縁層110上に接している。また、半導体層108の、図10Cにおける右側の端部は、導電層112b上に接している。

[0249]

[トランジスタ100E]

図11Aにトランジスタ100Eの断面図を示す。

[0250]

トランジスタ100Eは、導電層112a上に導電層103を有する点、及び、絶縁層110が6層構造である点で、トランジスタ100Bと主に異なる。

[0251]

導電層103は、絶縁層110b上に位置する。導電層112aと導電層103とは、絶縁層110a及び絶縁層110bによって互いに電氣的に絶縁されている。導電層103には導電層112aと重なる位置に開口が設けられている。

[0252]

なお、導電層103は、導電層112aと電氣的に接続されていてもよい。例えば、絶縁層110a及び絶縁層110bに設けられた開口を介して、導電層112aと導電層103とが接していてもよい。または、絶縁層110a及び絶縁層110bを設けず、導電層112a上に接して導電層103を設けてもよい。このとき、絶縁層110の構成としては、少なくとも絶縁層110f、110c、110dを有することが好ましく、さらに絶縁層110eを有することが好ましい。

[0253]

絶縁層110は、導電層112a上の絶縁層110aと、絶縁層110a上の絶縁層110bと、絶縁層110b及び導電層103上の絶縁層110fと、絶縁層110f上の絶縁層110cと、

絶縁層110c上の絶縁層110dと、絶縁層110d上の絶縁層110eと、を有する。

[0254]

絶縁層110fは、導電層103の上面及び側面を覆う。絶縁層110fは、導電層103の開口の一部を覆うように設けられる。絶縁層110fは、当該開口を介して、絶縁層110bと接する。

[0255]

絶縁層110fには、絶縁層110b、110dと同様の構成を適用することが好ましい。具体的には、絶縁層110fには、酸素が拡散しにくい膜を用いることが好ましい。また、絶縁層110fには、水素が拡散しにくい膜を用いることが好ましい。

[0256]

トランジスタ100Eにおいて、半導体層108には、絶縁層106を介して導電層104と重なり、かつ、絶縁層110の一部（特に、絶縁層110f、及び絶縁層110c）を介して導電層103と重なる領域が存在する。言い換えると、半導体層108には、絶縁層106及び絶縁層110の一部（特に、絶縁層110f、及び絶縁層110c）を介して導電層104と導電層103に挟まれる領域が存在する。

[0257]

導電層103は、トランジスタ100Eのバックゲート電極として機能する。また、絶縁層110の一部は、トランジスタ100Eのバックゲート絶縁層として機能する。

[0258]

トランジスタ100Eはバックゲート電極を有するため、半導体層108のバックゲート側（バックチャネルともいう）の電位を固定することができる。したがって、トランジスタ100Eの I_d-V_d 特性における飽和性を高めることができる。

[0259]

なお、本明細書等において、トランジスタの I_d-V_d 特性における、飽和領域の電流の変化が小さい（傾きが小さい）ことを、「飽和性が高い」と表現する場合がある。

[0260]

また、トランジスタ100Eは、バックゲート電極を有するため、半導体層108のバックチャネルの電位を固定でき、しきい値電圧がマイナスシフトすることを抑制できる。これにより、ノーマリーオフ（つまり、しきい値電圧がプラスの値）のトランジスタを実現できる。

[0261]

図11Aでは、絶縁層110bの厚さが場所によらず均一である例を示す。なお、絶縁層110bは、導電層103と重なる領域と、重ならない領域とで、厚さが異なる場合がある。例えば、導電層103となる膜の加工時に、絶縁層110bの導電層103と重ならない領域は、一部が除去され、厚さが薄くなる場合がある。

[0262]

半導体層108において、導電層112aと接する領域はソース領域及びドレイン領域の一方として機能し、導電層112bと接する領域はソース領域及びドレイン領域の他方として機能する。また、半導体層108において、絶縁層110aと接する領域及び絶縁層110eと接する領域は、低抵抗領域として機能する。半導体層108において、少なくとも絶縁層110cと接する領域は、チャンネル形成領域として機能する。本実施の形態では、半導体層108における、絶縁層110b、110d、110fと接する領域は、チャンネル形成領域に含めずに説明するが、当該領域を、チャ

ネル形成領域に含めてもよい。

[0263]

図11Aでは、トランジスタ100Eのチャンネル長L100を破線の両矢印で示している。チャンネル長L100は、断面視において、半導体層108における絶縁層110fと接する部分と、絶縁層110dと接する部分と、の最短距離ということができる。

[0264]

一般に、チャンネル長が小さいと、トランジスタの I_d-V_d 特性における飽和性が低下する傾向があるが、トランジスタ100Eはバックゲートを有するため、高い飽和性を実現することができる。

[0265]

チャンネル長L100、厚さT110、角度 θ 110の好ましい数値範囲は前述の通りである。

[0266]

導電層103の厚さT103は、チャンネル長L100の、0.5倍以上が好ましく、1.0倍以上がより好ましく、1.0倍を超えることがさらに好ましい。これにより、半導体層108における、絶縁層106を介して導電層104と重なり、かつ、絶縁層110を介して導電層103と重なる領域を広くすることができる。したがって、半導体層108のバックチャンネルの電界をより確実に制御することができる。

[0267]

トランジスタ100Eは、導電層103、絶縁層110、半導体層108、絶縁層106、及び導電層104が、間に他の層を含まず、一方向にこの順で重なっている領域を有する。当該方向としては、チャンネル長L100に垂直な方向が挙げられる。当該領域を広くすることで、半導体層108のバックチャンネルの電界をより確実に制御することができる。

[0268]

導電層103と半導体層108との最短距離である距離L1は、チャンネル長L100よりも短いことが好ましく、0.5倍以下がより好ましく、0.1倍以下がさらに好ましい。導電層103と半導体層108の距離が近いほど、トランジスタ100Eの I_d-V_d 特性における飽和性を高めることができる。

[0269]

なお、断面視において、絶縁層110の開口の左右で、導電層103と半導体層108との最短距離が異なる場合がある。このとき、開口の左右の少なくとも一方で、距離L1が上記を満たすことが好ましく、双方において距離L1が上記を満たすことがより好ましい。任意の断面において、開口の左側における導電層103と半導体層108との最短距離は、開口の右側における当該最短距離の50%以上150%以下が好ましく、30%以上130%以下がより好ましく、10%以上110%以下がさらに好ましい。

[0270]

図11Aに示すように、チャンネル長L100は、導電層103と半導体層108との最短距離L1によっては、導電層103の厚さT103の影響を受ける場合がある。

[0271]

トランジスタ100Eのチャンネル長L100は、断面視における絶縁層110cの開口側の側面の長さに対応する。導電層103と半導体層108の距離を近づける（つまり、距離L1を短くする）と、導電層103の厚さの影響を受けて、チャンネル長L100は長くなることがある。そのため、

チャンネル長L100は、厚さT110の1倍以上、1.5倍以上、または、2倍以上とすることもできる。

[0272]

導電層103は、単層構造、または2層以上の積層構造とすることができる。導電層103には、導電層112a、導電層112b、及び導電層104に用いることができる材料を適用することができる。

[0273]

[トランジスタ100F]

図11Bにトランジスタ100Fの断面図を示す。

[0274]

トランジスタ100Fは、絶縁層110が8層構造である点で、トランジスタ100Eと主に異なる。

[0275]

絶縁層110は、導電層112a上の絶縁層110aと、絶縁層110a上の絶縁層110bと、絶縁層110b上の絶縁層110c1と、絶縁層110c1上の絶縁層110f1と、絶縁層110f1及び導電層103上の絶縁層110f2と、絶縁層110f2上の絶縁層110c2と、絶縁層110c2上の絶縁層110dと、絶縁層110d上の絶縁層110eと、を有する。

[0276]

絶縁層110c1及び絶縁層110c2には、それぞれ、絶縁層110cに適用可能な構成と同様の構成を適用できる。具体的には、絶縁層110c1及び絶縁層110c2には、それぞれ、酸素を含む層を用いることが好ましく、絶縁層110a、110b、110d、110e、110f1、110f2の少なくとも一つと比べて酸素の含有量が多い領域を有することが好ましい。

[0277]

絶縁層110f1及び絶縁層110f2には、絶縁層110fに適用可能な構成と同様の構成を適用できる。具体的には、絶縁層110f1及び絶縁層110f2には、それぞれ、酸素が拡散しにくい膜を用いることが好ましい。また、絶縁層110f1及び絶縁層110f2には、それぞれ、水素が拡散しにくい膜を用いることが好ましい。

[0278]

絶縁層110a、110b、110d、110eには、それぞれ、前述の構成を適用できる。

[0279]

図11Bにおいて、チャンネル長L100は、半導体層108における絶縁層110bと接する部分と、絶縁層110dと接する部分と、の最短距離とすることができる。

[0280]

このような構成とすることで、絶縁層110の構成を、導電層103の上下で対称にすることができる。また、半導体層108に対して、絶縁層110c1、110c2の2つから酸素を供給することができるため、トランジスタの特性向上を図ることができる。

[0281]

[トランジスタ100G]

図12Aにトランジスタ100GのXZ平面における断面図を示し、図12Bにトランジスタ100GのXY平面における断面図を示す。

[0282]

トランジスタ100Gは、酸化半導体層470、絶縁層430、導電層420、配線440S、及び配線440Dを有する。絶縁層430はゲート絶縁層として機能し、導電層420はゲート電極として機能し、配線440Sは、ソース電極としての機能を有し、配線440Dは、ドレイン電極としての機能を有する。

[0283]

配線440Sは、導電層182Sと、導電層182S上の導電層122Sと、を有する。導電層122Sは、導電層182Sの上面及び側面に接し、かつ当該上面及び当該側面を覆うように設けられている。導電層122Sは、酸化半導体層470と接する。

[0284]

配線440Dは、導電層182Dと、導電層182D上の導電層122Dと、を有する。導電層122Dは、導電層182Dの上面及び側面に接し、かつ当該上面及び当該側面を覆うように設けられている。導電層122Dは、酸化半導体層470と接する。

[0285]

各層に用いることができる材料は、トランジスタ100における記載を参照できる。具体的には、酸化半導体層470は、半導体層108に相当し、絶縁層430は絶縁層106に相当し、導電層420は導電層104に相当し、配線440S及び配線440Dは、導電層112a及び導電層112bに相当する。

[0286]

絶縁層480には、絶縁層460に達する開口部490が設けられている。開口部490は上面が概略円形の柱状形状を有する。このような構成にすることで、トランジスタ100Gの微細化または高集積化を図ることができる。なお、開口部490の側面は、絶縁層480の上面に対して垂直であることが好ましい。

[0287]

酸化半導体層470は環状の形状を有する。具体的には、開口部490において、配線440Sの側面に接する領域と、配線440Dの側面に接する領域と、絶縁層480の側面に接する領域と、を有する。ここでは、酸化半導体層470が配線440S及び配線440Dの上面と接しない構成としている。このような形状の酸化半導体層470は、例えば異方性のエッチングにより加工することで形成することができる。

[0288]

絶縁層430は、少なくとも一部が開口部490を覆うように配置されている。導電層420は、少なくとも一部が開口部490に位置するように配置されている。なお、図12Aに示す導電層420は、開口部490を埋め込むように設ける例を示すが、導電層104のように、開口部490の側壁に沿って設けられていてもよい。

[0289]

図12Aに示すように、酸化半導体層470は、領域470iと、領域470i上の領域470naと、領域470i上の領域470nbと、を有する。

[0290]

領域470naは、酸化半導体層470の配線440Sと接する領域である。領域470naの少なくとも一部は、トランジスタ100Gのソース領域として機能する。領域470nbは、酸化

物半導体層470の配線440Dと接する領域である。領域470nbの少なくとも一部は、トランジスタ100Gのドレイン領域として機能する。

[0291]

領域470iの少なくとも一部が、トランジスタ100Gのチャネル形成領域として機能する。また、トランジスタ100Gのチャネル形成領域は、酸化物半導体層470において、絶縁層480と接する領域またはその近傍の領域に位置する、ということもできる。

[0292]

このように、開口部490に、チャネル形成領域、ソース領域、及びドレイン領域を形成することができる。これにより、チャネル形成領域、ソース領域、及びドレイン領域が、XY平面上に別々に設けられていた従来のトランジスタと比較して、トランジスタ100Gの占有面積を低減できる。これにより、画素密度を高めることができる。

[0293]

図12Bに示すように、配線440Sと配線440Dの幅Hは、開口部490の最大幅Dよりも小さい。このとき、開口部490の円周方向が、トランジスタ100Gのチャネル長方向に相当する。ここでは、酸化物半導体層470が環状の形状を有するため、配線440Sから配線440Dへの電流経路（すなわちチャネル）が2種類存在する。なお、酸化物半導体層470は必ずしも環状の形状とする必要はなく、配線440Sと配線440Dの両方と接する構成としてもよい。

[0294]

チャネル長は、開口部490の形状、及び大きさによって制御することができる。例えばチャネル長を大きくしたい場合には、開口部490の周長を長くする。また平面視において開口部490が円形である例について示したが、本発明はこれに限られるものではない。例えば、平面視において開口部490が、円形その他、楕円形、角の丸い四角形などとすることができる。また、正三角形、正方形、正五角形をはじめとした正多角形、正多角形以外の多角形としてもよい。また、星形多角形などの、少なくとも一つの内角が180度を超える多角形である、凹多角形とすると、チャネル幅を大きくできる。そのほか、楕円形、角の丸い多角形、直線と曲線とを組み合わせた閉曲線などとすることができる。このとき、開口部490の最大幅は、開口部490の最上部の形状に合わせて適宜算出できる。例えば、平面視において開口部が正方形または長方形である場合、開口部490の最大幅は、開口部490の最上部の対角線の長さとするすることができる。

[0295]

また、図12Aに示すように、酸化物半導体層470の高さがトランジスタ100Gのチャネル幅Wとなる。そのため、トランジスタ100Gのチャネル幅Wは、絶縁層480の厚さによって制御することができる。例えば、トランジスタ100Gのチャネル幅をフォトリソグラフィの露光限界以下の非常に微細な構造（例えば60nm以下、50nm以下、40nm以下、30nm以下、20nm以下、または10nm以下であって、1nm以上、または5nm以上）にすることができる。

[0296]

前述のトランジスタ100乃至トランジスタ100Fは、それぞれ、チャネル長が極めて小さく、チャネル幅を大きくできるトランジスタであり、高いオン電流を実現することができる。一方、トランジスタ100Gはチャネル幅が極めて小さく、チャネル長を大きくできるトランジスタであり、適度なオン電流を実現でき、設計が容易となる。トランジスタ100Gは、トランジスタ100乃至トランジスタ100Fと作製工程の一部を兼ねることができ、同一基板上に作り分けることがで

きる。例えば、表示装置においては、トランジスタ100Gを、発光素子に流れる電流を制御するための駆動トランジスタに適用し、トランジスタ100乃至トランジスタ100Fのいずれかを、スイッチとして機能するトランジスタに適用することができる。

[0297]

[半導体装置の具体例]

図13に、本発明の一態様の半導体装置の回路図を示す。図14乃至図18に、本発明の一態様の半導体装置の上面図及び断面図を示す。以下では、本発明の一態様の半導体装置が有するトランジスタとして、主にトランジスタ100またはトランジスタ100Bを例に挙げて説明する。本発明の一態様の半導体装置は、これに限られず、前述のトランジスタ100A及びトランジスタ100C乃至トランジスタ100Gのいずれか一または複数を有していてもよい。

[0298]

本発明の一態様の半導体装置は、トランジスタを少なくとも2つ有し、1つのトランジスタのゲート、ソースまたはドレインのいずれかが、他の1つのトランジスタのゲート、ソースまたはドレインのいずれかと電気的に接続する構成を有する。

[0299]

例えば、図13Aに示す半導体装置は、トランジスタ100及びトランジスタ200を有する。トランジスタ200のソースまたはドレインの一方は、トランジスタ100のゲートと電気的に接続される。

[0300]

なお、図13A乃至図13Cでは、各トランジスタをnチャネル型で示しているが、本発明の一態様はこれに限られない。トランジスタ100（100B）及びトランジスタ200（200B）の一方または双方をpチャネル型としてもよい。

[0301]

[半導体装置10]

図14A及び図14Bに、半導体装置10の断面図を示す。半導体装置10は、トランジスタ100及びトランジスタ150を有する。半導体装置10において、トランジスタ100のゲート、ソースまたはドレインのいずれかを、トランジスタ150のゲート、ソースまたはドレインのいずれかと電気的に接続させることができる。

[0302]

トランジスタ100は、基板102上に設けられる。トランジスタ100は、前述の構成を有するため、詳細な説明は省略する（図1乃至図2参照）。

[0303]

トランジスタ150は、導電層120、絶縁層121、半導体層108a、絶縁層106、導電層107a、導電層107b、及び導電層104aを有する。トランジスタ150を構成する各層は、単層構造であってもよく、積層構造であってもよい。

[0304]

導電層120は、トランジスタ150のバックゲート電極として機能する。ここで、トランジスタ150のバックゲート電極は、導電層112aと同じ材料、及び、同じ工程で形成してもよい。これにより、半導体装置10の作製工程を削減できる。一方、絶縁層110上に設けられた導電層120は、導電層112aと同一工程で作製可能な導電層に比べて、半導体層108aの近くに位置

する。これにより、半導体層108aに電界をかけやすくなり、良好な電気特性を得ることができる。なお、トランジスタ150は、バックゲート電極を有していなくてもよい。

[0305]

導電層120の上面及び側面を覆うように、絶縁層121が設けられている。絶縁層121は、トランジスタ150のバックゲート絶縁層として機能する。絶縁層121は、半導体層108aのチャネル形成領域と接する層のため、酸素を含む絶縁層であることが好ましい。絶縁層121は、例えば、絶縁層110cに好適な材料を用いることができる。

[0306]

絶縁層121上に半導体層108aが設けられる。半導体層108aは、絶縁層121を介して、導電層120と重なる領域を有する。

[0307]

図14Aでは、絶縁層121の上面に、半導体層108aの端部が位置する例を示し、図14Bでは、絶縁層121の上面及び側面を半導体層108aが覆う例を示す。

[0308]

半導体層108aは、半導体層108と同じ材料、及び、同じ工程で形成することができる。

[0309]

ここで、半導体層108と半導体層108aには、同じ材料を用いてもよく、互いに異なる材料を用いてもよい。また、半導体層108と半導体層108aには、組成が互いに異なる材料を用いてもよい。例えば、半導体層108と半導体層108aの双方に、同じ組成の、In-Ga-Zn酸化物を用いてもよい。また、半導体層108と半導体層108aの双方に、In-Ga-Zn酸化物を用い、一方は、他方に比べて、In-Ga-Zn酸化物中のInの原子数の割合が大きくてもよい。また、半導体層108と半導体層108aのうち、一方にIn-Ga-Zn酸化物を用い、他方にIn-Zn酸化物を用いてもよい。

[0310]

絶縁層121及び半導体層108aを覆うように、絶縁層106が設けられている。絶縁層106は、トランジスタ150のゲート絶縁層として機能する。

[0311]

絶縁層106上に、導電層104aが設けられている。導電層104aは、絶縁層106を介して半導体層108aと重なる領域を有する。導電層104aは、トランジスタ150のゲート電極として機能する。導電層104aは、導電層104と同じ材料、及び、同じ工程で形成することができる。

[0312]

図14Aでは、導電層104aを覆うように、絶縁層195が設けられており、絶縁層195上に導電層107a及び導電層107bが設けられている。導電層107a及び導電層107bは、それぞれ、絶縁層106及び絶縁層195に設けられた開口を介して、半導体層108aと接する。

[0313]

図14Bでは、導電層107a及び導電層107bを、導電層104a及び導電層104と同じ材料、及び、同じ工程で形成する場合を例に示す。導電層107a及び導電層107bは、それぞれ、絶縁層106に設けられた開口を介して、半導体層108aと接する。

[0314]

導電層 107 a 及び導電層 107 b は、一方がトランジスタ 150 のソース電極として機能し、他方がドレイン電極として機能する。

[0315]

絶縁層 195 は、保護層として機能する。絶縁層 195 には、不純物が拡散しにくい材料を用いることが好ましい。絶縁層 195 を設けることにより、トランジスタに外部から不純物が拡散することを効果的に抑制でき、半導体装置の信頼性を高めることができる。不純物として、例えば、水及び水素が挙げられる。例えば、絶縁層 195 は、無機絶縁層及び有機絶縁層の一方または双方を有する。絶縁層 195 は、無機絶縁層と、有機絶縁層との積層構造としてもよい。

[0316]

絶縁層 195 に用いることができる無機絶縁膜としては、例えば、酸化絶縁膜、窒化絶縁膜、酸化窒化絶縁膜、及び窒化酸化絶縁膜が挙げられる。これら無機絶縁膜の具体例は、絶縁層 110 の説明で挙げた通りである。より具体的には、絶縁層 195 に、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化アルミニウム、酸化ハフニウム、及びハフニウムアルミネートの一または複数を用いることができる。絶縁層 195 に、有機材料として、例えば、アクリル樹脂、及びポリイミド樹脂の一または複数を用いることができる。

[0317]

導電層 104 a は、絶縁層 106 及び絶縁層 110 に設けられた開口を介して、導電層 120 と接続されていてもよい。これにより、ゲートとバックゲートに同じ電位が与えられ、トランジスタ 150 がオン状態のときに流すことのできる電流を大きくすることができる。また、トランジスタ 150 がオフ状態のときに流れる電流を小さくすることもできる。

[0318]

導電層 104 a と導電層 120 とは、電氣的に接続されていなくてもよい。例えば、バックゲートに定電位を供給し、ゲートにトランジスタ 150 を駆動するための信号を与えることができる。これにより、バックゲートに与える電位により、トランジスタ 150 を駆動する際のしきい値電圧を制御することができる。

[0319]

また、導電層 107 a または導電層 107 b が、絶縁層 106 及び絶縁層 110 に設けられた開口を介して、導電層 120 と接続されていてもよい。ソースとバックゲートに同じ電位を与えることで、バックチャネルの電位が安定し、トランジスタの $I_d - V_d$ 特性における飽和性を高めることができる。

[0320]

トランジスタ 150 は、半導体層 108 a よりも上方にゲート電極を有する、いわゆるトップゲート型のトランジスタである。例えば、ゲート電極として機能する導電層 104 a をマスクに不純物元素を半導体層 108 a に添加することにより、自己整合的にソース領域及びドレイン領域を形成することができる。トランジスタ 150 は、TGSA (Top Gate Self-Aligned) 型のトランジスタということができる。

[0321]

トランジスタ 150 は、チャンネル長方向における導電層 104 a の幅でチャンネル長を制御することができる。したがって、トランジスタ 150 のチャンネル長は、トランジスタの作製に用いる露光装置の限界解像度以上の値となる。チャンネル長を大きくすることにより、飽和特性の高いトランジス

タとすることができる。

[0322]

半導体装置10の作製において、チャンネル長の小さいトランジスタ100と、チャンネル長の大きいトランジスタ150を、一部の工程を共通にして同じ基板上に形成することができる。例えば、大きいオン電流が求められるトランジスタにトランジスタ100を適用し、高い飽和特性を求められるトランジスタにトランジスタ150を適用することにより、高い性能の半導体装置とすることができる。

[0323]

[半導体装置10A]

図13Bに、半導体装置10Aの回路図を示す。図15Aに、半導体装置10Aの上面図を示す。図15Bは、図15Aにおける一点鎖線A1-A2間の断面図である。

[0324]

半導体装置10Aは、トランジスタ100B及びトランジスタ200Bを有する。トランジスタ200Bのソースまたはドレインの他方は、トランジスタ100Bのソースまたはドレインの他方と電氣的に接続される。

[0325]

トランジスタ100B及びトランジスタ200Bは、それぞれ、基板102上に設けられる。

[0326]

トランジスタ100Bは、前述の構成を有するため、詳細な説明は省略する（図8参照）。

[0327]

トランジスタ200Bは、導電層112c（導電層182c及び導電層122c）、絶縁層110（絶縁層110a、110b、110c、110d、110e）、半導体層108a、導電層112b（導電層182b及び導電層122b）、絶縁層106、及び導電層104aを有する。

[0328]

導電層112cは、トランジスタ200Bのソース電極またはドレイン電極の一方として機能する。導電層112cは、導電層112aと同一の材料、同一の工程で形成することができる。

[0329]

半導体層108aは、半導体層108と同一の材料、同一の工程で形成することができる。または、半導体層108と半導体層108aとは互いに異なる材料、別々の工程で形成してもよい。半導体層108と半導体層108aの構成については、半導体装置10における半導体層の記載も参照できる。

[0330]

導電層112bは、トランジスタ100Bのソース電極またはドレイン電極の他方として機能し、かつ、トランジスタ200Bのソース電極またはドレイン電極の他方として機能する。トランジスタ100Bとトランジスタ200Bとで導電層112bを共有することで、半導体装置の占有面積を縮小することができる。

[0331]

導電層104aは、トランジスタ200Bのゲート電極として機能する。導電層104aは、導電層104と同一の材料、同一の工程で形成することができる。

[0332]

絶縁層 110 に設けられる開口 141 と開口 141 a の形状及び大きさ（直径など）は、同一であってもよく、互いに異なってもよい。同様に、導電層 112 b に設けられる開口 143 と開口 143 a の形状及び大きさ（直径など）は、同一であってもよく、互いに異なってもよい。

[0333]

[半導体装置 10B]

図 13C に、半導体装置 10B の回路図を示す。図 16A に、半導体装置 10B の上面図を示す。図 16B は、図 16A における一点鎖線 A1-A2 間の断面図である。

[0334]

半導体装置 10B は、トランジスタ 100B 及びトランジスタ 200B を有する。トランジスタ 200B のソースまたはドレインの一方は、トランジスタ 100B のソースまたはドレインの一方と電氣的に接続される。

[0335]

トランジスタ 100B 及びトランジスタ 200B は、それぞれ、基板 102 上に設けられる。

[0336]

トランジスタ 100B は、前述の構成を有するため、詳細な説明は省略する。

[0337]

トランジスタ 200B は、導電層 112c（導電層 182c 及び導電層 122c）、絶縁層 110（絶縁層 110a、110b、110c、110d、110e）、半導体層 108a、導電層 112a（導電層 182a 及び導電層 122a）、絶縁層 106、及び導電層 104a を有する。

[0338]

導電層 112c は、トランジスタ 200B のソース電極またはドレイン電極の一方として機能する。導電層 112c は、導電層 112b と同一の材料、同一の工程で形成することができる。

[0339]

導電層 112a は、トランジスタ 100B のソース電極またはドレイン電極の他方として機能し、かつ、トランジスタ 200B のソース電極またはドレイン電極の他方として機能する。トランジスタ 100B とトランジスタ 200B とで導電層 112a を共有することで、半導体装置の占有面積を縮小することができる。

[0340]

導電層 104a は、トランジスタ 200B のゲート電極として機能する。導電層 104a は、導電層 104 と同一の材料、同一の工程で形成することができる。

[0341]

絶縁層 110 に設けられる開口 141 と開口 141 a の形状及び大きさ（直径など）は、同一であってもよく、互いに異なってもよい。同様に、導電層 112 b に設けられる開口 143 と導電層 112 c に設けられる開口 143 a の形状及び大きさ（直径など）は、同一であってもよく、互いに異なってもよい。

[0342]

[半導体装置 10C]

図 13D に、半導体装置 10C の回路図を示す。図 17A に、半導体装置 10C の上面図を示す。図 17B は、図 17A における一点鎖線 A1-A2 間の断面図である。

[0343]

半導体装置 10C は、トランジスタ 100B 及びトランジスタ 250 を有する。トランジスタ 250 のソースまたはドレインの一方は、トランジスタ 100B のソースまたはドレインの一方と電氣的に接続される。

[0344]

なお、図 13D 乃至図 13H では、トランジスタ 100B を n チャンネル型で示し、トランジスタ 250 を p チャンネル型で示しているが、本発明の一態様はこれに限られない。トランジスタ 100B 及びトランジスタ 250 の双方を n チャンネル型としてもよく、または、p チャンネル型としてもよい。また、トランジスタ 100B を p チャンネル型とし、トランジスタ 250 を n チャンネル型としてもよい。

[0345]

トランジスタ 100B 及びトランジスタ 250 は、それぞれ、基板 102 上に設けられる。

[0346]

半導体装置 10C は、基板 102 上に導電層 259 を有し、基板及び導電層 259 の上に絶縁層 252 を有し、絶縁層 252 上に半導体層 253 を有する。また、絶縁層 252 及び半導体層 253 の上に絶縁層 254 を有し、絶縁層 254 上に導電層 255 を有する。半導体層 253 と導電層 255 は、互いに重なる領域を有する。

[0347]

また、絶縁層 254 及び導電層 255 の上に絶縁層 256 を有する。また、半導体層 253 の一部と重なる領域において、絶縁層 254 及び絶縁層 256 に開口 257a が設けられている。また、半導体層 253 の他の一部と重なる領域において、絶縁層 254 及び絶縁層 256 に開口 257b が設けられている。

[0348]

また、絶縁層 256 上及び開口 257a の内部に導電層 258a が設けられ、絶縁層 256 上及び開口 257b の内部に導電層 258b が設けられている。導電層 258a は開口 257a において半導体層 253 と電氣的に接続する。また、導電層 258b は開口 257b において半導体層 253 と電氣的に接続する。

[0349]

半導体層 253 は、ドレイン領域 253a、チャンネル形成領域 253b、ソース領域 253c を有する。半導体層 253 において、導電層 255 と重なる領域がチャンネル形成領域 253b として機能する。ドレイン領域 253a は導電層 258a と電氣的に接続され、ソース領域 253c は導電層 258b と電氣的に接続される。

[0350]

また、絶縁層 256、導電層 258a、及び導電層 258b の上に絶縁層 110（絶縁層 110a、110b、110c、110d、110e）が設けられ、絶縁層 110 上に導電層 112b が設けられている。

[0351]

また、導電層 258a の一部と重なる領域において、導電層 112b、及び、絶縁層 110 に開口 146 が設けられている（図 17A）。また、開口 146 の内部に半導体層 108 を有する。

[0352]

また、絶縁層 110、導電層 112b、及び半導体層 108 の上に絶縁層 106 を有し、絶縁層 1

06上に導電層104を有する。また、絶縁層106及び導電層104の上に絶縁層195を有する。

[0353]

導電層259はトランジスタ250のバックゲート電極として機能する。よって、導電層259は、チャンネル形成領域253bと重なり、かつ、チャンネル形成領域253bの端部を越えて延在することが好ましい。すなわち、導電層259は、チャンネル形成領域253bよりも大きいことが好ましい。また、導電層259は、半導体層253の端部を越えて延在することが好ましい。すなわち、導電層259は、半導体層253よりも大きいことが好ましい。

[0354]

バックゲート電極は、ゲート電極とバックゲート電極で半導体層のチャンネル形成領域を挟むように配置される。また、バックゲート電極の電位を変化させることで、トランジスタのしきい値電圧を変化させることができる。バックゲート電極の電位は、接地電位または任意の電位としてもよい。

[0355]

バックゲート電極は導電層で形成され、ゲート電極と同様に機能させることができる。例えば、バックゲート電極の電位をゲート電極と同電位としてもよい。

[0356]

バックゲート電極は、ゲート電極、ソース電極、ドレイン電極などと同様の材料及び方法により形成することができる。また、ゲート電極とバックゲート電極は導電層であるため、トランジスタの外部で生じる電場が、チャンネルが形成される半導体層に作用しないようにする機能（特に静電気に対する電界遮蔽機能）を有する。すなわち、静電気などの外部の電場の影響によりトランジスタの電気的な特性が変動することを防止できる。また、バックゲート電極を設けることで、BT（Bias Temperature）ストレス試験前後におけるトランジスタのしきい値電圧の変化量を低減できる。バックゲート電極を設けることで、トランジスタの特性ばらつきが低減され、当該トランジスタを有する半導体装置の信頼性を向上できる。

[0357]

半導体層253は、トランジスタ250のチャンネルが形成される半導体層として機能し、絶縁層254はゲート絶縁層として機能し、導電層255はゲート電極として機能する。また、導電層258aはトランジスタ250のドレイン電極として機能し、導電層258bはソース電極として機能する。

[0358]

トランジスタ250には、トランジスタ100Bと同様に、OSトランジスタを適用してもよい。

[0359]

ここで、半導体層108と半導体層253には、同じ材料を用いてもよく、互いに異なる材料を用いてもよい。半導体層108と半導体層253の構成については、半導体装置10における半導体層108と半導体層108aの記載も参照できる。

[0360]

また、トランジスタ250には、シリコンをチャンネル形成領域に用いたトランジスタ（Siトランジスタ）を適用してもよい。

[0361]

シリコンとしては、単結晶シリコン、多結晶シリコン、非晶質シリコン等が挙げられる。特に、半

導電層にLTPSを有するトランジスタ（以下、LTPSトランジスタともいう）を用いることができる。LTPSトランジスタは、電界効果移動度が高く、周波数特性が良好である。

[0362]

トランジスタ100Bは、導電層112aの代わりに、導電層258aを有する点以外は、前述と同様の構成である。

[0363]

導電層258aは、トランジスタ100Bのソース電極またはドレイン電極の一方として機能し、かつ、トランジスタ250のソース電極またはドレイン電極の一方として機能する。トランジスタ100Bとトランジスタ250とで導電層258aを共有することで、半導体装置の占有面積を縮小することができる。

[0364]

導電層258aは、前述のトランジスタ100Bにおける導電層112aに対応するため、先の記載を参照することができる。

[0365]

導電層258aは、半導体層253と半導体層108との双方と接する導電層である。導電層258aとして、半導体層253と接する導電層と、半導体層108と接する導電層と、の少なくとも2層の積層構造を用いることで、半導体層253と半導体層108それぞれと接続する層として適した材料を用いることができ、好ましい。これにより、導電層258aと半導体層253との間、及び、導電層258aと半導体層108との間、の双方における、接触抵抗の低減、良好な密着性を実現することができる。例えば、導電層258aの最下層（半導体層253と接する層）に、金属層または合金層を用い、最上層（半導体層108と接する層）に、酸化物導電体層を用いることが好ましい。

[0366]

前述の通り、トランジスタ100Bは、縦チャンネル型トランジスタである。一方、トランジスタ250は、半導体層を流れる電流は横方向、すなわち、基板102表面と平行な方向または略平行な方向に沿って流れる。このようなトランジスタを、横チャンネル型トランジスタ、または、横型チャンネルトランジスタとすることができる。

[0367]

このように、本発明の一態様の半導体装置は、縦チャンネル型トランジスタだけでなく、横チャンネル型トランジスタを有していてもよい。

[0368]

図13Eに示すように、トランジスタ250は、バックゲートと、ゲートと、が電氣的に接続されていてもよい。また、図13Fに示すように、トランジスタ250は、バックゲートと、ソースまたはドレインと、が、電氣的に接続されていてもよい。また、図13Gに示すように、トランジスタ250は、バックゲートを有していなくてもよい。

[0369]

[半導体装置10D]

図13Hに、半導体装置10Dの回路図を示す。図18Aに、半導体装置10Dの上面図を示す。図18Bは、図18Aにおける一点鎖線A1-A2間の断面図である。

[0370]

半導体装置10Dは、トランジスタ100B及びトランジスタ250を有する。トランジスタ250のゲートは、トランジスタ100Bのソースまたはドレインの一方と電氣的に接続される。

[0371]

半導体装置10Dは、開口146が、トランジスタ250のゲート電極として機能する導電層255と重ねて設けられている点が半導体装置10Cと異なる。よって、半導体装置10Cでは、トランジスタ100Bが、トランジスタ250のゲート電極上に重ねて設けられている。半導体装置10Dにおいて、開口146は、導電層255と重なる領域に、導電層112b及び絶縁層110それぞれの一部を選択的に除去して形成される。

[0372]

図18A及び図18Bでは、開口146がチャンネル形成領域253bと重ねて設けられているが、これに限定されない。開口146は、チャンネル形成領域253bと重ならず、かつ、導電層255と重ねて設けてもよい。半導体装置10Dにおいて、導電層255は、トランジスタ250のゲート電極として機能し、かつ、トランジスタ100Bのソース電極またはドレイン電極の一方として機能する。

[0373]

トランジスタ100Bとトランジスタ250を重ねて設けることで、より占有面積が低減された半導体装置が実現できる。

[0374]

導電層255は、前述のトランジスタ100Bにおける導電層112aに対応するため、先の記載を参照することができる。

[0375]

また、半導体装置10Dは、開口257a、開口257b、導電層258a、及び、導電層258bの構成が、半導体装置10Cと異なる。

[0376]

半導体装置10Dにおいて、開口257aは、半導体層253のドレイン領域253aと重なる領域に、絶縁層254及び絶縁層110それぞれの一部を選択的に除去して形成される。また、半導体装置10Dにおいて、開口257bは、半導体層253のソース領域253cと重なる領域に、絶縁層254及び絶縁層110それぞれの一部を選択的に除去して形成される。

[0377]

また、半導体装置10Dにおいて、導電層258a及び導電層258bは絶縁層110上に設けられる。

[0378]

半導体装置10Dにおいて、導電層258a、258bは、導電層112bと同じ材料を用いて同じ作製工程で同時に形成できる。導電層258a、258bと導電層112bとを別々に作製する必要がないため、半導体装置の作製工程が短縮され、半導体装置の生産性を高めることができる。

[0379]

また、本発明の一態様の半導体装置は、トランジスタを少なくとも1つと、容量素子を少なくとも1つ有し、トランジスタのソースまたはドレインが、容量素子の一对の電極の一方と電氣的に接続する構成を有する。図13Iでは、トランジスタ100のソースまたはドレインが、容量素子190の一方の電極と電氣的に接続されている例を示す。

[0380]

本発明の一態様のトランジスタは、縦型トランジスタの一種であり、ソース電極、半導体層、及びドレイン電極を重ねて設けることができるため、プレーナ型のトランジスタと比較して、占有面積を大幅に縮小できる。また、プレーナ型のトランジスタをpチャネル型のSiトランジスタとし、縦型トランジスタをnチャネル型のOSトランジスタとすることで、CMOS (Complementary Metal Oxide Semiconductor) 回路を構成することができる。また、当該構成とし、かつ、プレーナ型のトランジスタと、縦型トランジスタとを、重ねて設けることで、CMOS回路の占有面積を縮小させることができる。

[0381]

また、縦型トランジスタは、プレーナ型のトランジスタと比較して、オン電流の向上、及び、集積度の向上が可能であるため、LTFSよりもオン電流が低いというOSトランジスタの課題を解消することが可能であり、また、表示装置の狭額縁も可能である。したがって、LTFSトランジスタとOSトランジスタを組み合わせる構成 (LTPOともいう) を用いなくても、大型及び中小型のサイズ問わず、表示装置のバックプレーンをOSトランジスタのみで実現することも可能である。LTPOを用いる場合に比べて、OSトランジスタのみを用いて表示装置を作製する方が、必要なフォトリソの枚数が少なく、作製工程数を削減でき、低コスト化が実現できる。

[0382]

以上のように、本発明の一態様のトランジスタは、ソース電極及びドレイン電極の少なくとも一方に、異なる金属を含む2層以上の導電層を有することで、半導体層との接触抵抗を低くし、かつ配線抵抗を低くすることができる。これにより、信頼性が高く、オン電流の高いトランジスタを実現できる。

[0383]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。また、本明細書において、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

[0384]

(実施の形態2)

本実施の形態では、本発明の一態様の半導体装置の作製方法について図19乃至図21を用いて説明する。本実施の形態では、実施の形態1で例示したトランジスタ100の作製方法を説明する。なお、各要素の材料及び形成方法について、先に実施の形態1で説明した部分と同様の部分については説明を省略することができる。

[0385]

図19乃至図21には、図1Aに示す一点鎖線A1-A2間の断面図と、一点鎖線B1-B2間の断面図と、を並べて示す。

[0386]

半導体装置を構成する薄膜 (絶縁膜、半導体膜、及び、導電膜等) は、スパッタリング法、化学気相堆積 (CVD: Chemical Vapor Deposition) 法、真空蒸着法、パルスレーザー堆積 (PLD: Pulsed Laser Deposition) 法、ALD法等を用いて形成することができる。CVD法としては、PECVD法、及び、熱CVD法などがある。また、熱CVD法のひとつに、有機金属化学気相堆積 (MOCVD: Metal Organic

CVD) 法がある。

[0387]

また、半導体装置を構成する薄膜（絶縁膜、半導体膜、及び、導電膜等）は、スピコート法、ディップコート法、スプレーコート法、インクジェット法、ディスペンス、スクリーン印刷、オフセット印刷、ドクターナイフ法、スリットコート、ロールコート、カーテンコート、またはナイフコート等の湿式の成膜方法により形成することができる。

[0388]

また、半導体装置を構成する薄膜を加工する際には、フォトリソグラフィ法等を用いることができる。または、ナノインプリント法、サンドブラスト法、リフトオフ法などにより薄膜を加工してもよい。また、メタルマスクなどの遮蔽マスクを用いた成膜方法により、島状の薄膜を直接形成してもよい。

[0389]

フォトリソグラフィ法としては、代表的には以下の2つの方法がある。1つは、加工したい薄膜上にレジストマスクを形成して、エッチング等により当該薄膜を加工し、レジストマスクを除去する方法である。もう1つは、感光性を有する薄膜を成膜した後に、露光、現像を行って、当該薄膜を所望の形状に加工する方法である。

[0390]

フォトリソグラフィ法において、露光に用いる光は、例えばi線（波長365nm）、g線（波長436nm）、h線（波長405nm）、またはこれらを混合させた光を用いることができる。そのほか、紫外線、KrFレーザ光、またはArFレーザ光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外（EUV: Extreme Ultraviolet）光、またはX線を用いてもよい。また、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、X線または電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビームなどのビームを走査することにより露光を行う場合には、フォトマスクは不要である。

[0391]

薄膜のエッチングには、ドライエッチング法、ウェットエッチング法、サンドブラスト法などを用いることができる。

[0392]

[作製方法例]

まず、基板102上に、導電層112aを形成する。図19Aでは、導電層112aが、導電層182aと、導電層182aの上面及び側面を覆う導電層122aとの2層構造である場合を示している。

[0393]

まず、基板102上に導電層182aとなる導電膜を形成し、当該導電膜を加工することにより導電層182aを形成する。続いて、基板102及び導電層182a上に、導電層122aとなる導電膜を形成し、当該導電膜を加工することにより、導電層182aの上面及び側面を覆う導電層122aを形成する（図19A）。

[0394]

導電膜の形成には、例えば、スパッタリング法が好適である。導電膜上にフォトリソグラフィ工程

によりレジストマスクを形成した後、当該導電膜を加工することにより、導電層を形成することができる。導電膜の加工には、ウェットエッチング法及びドライエッチング法的一方または双方を用いることができる。

[0395]

なお、導電層112aを3層以上の積層構造とする場合、上面形状が一致または概略一致するように形成する複数の層は、同一のマスクパターンにより加工することができる。例えば、トランジスタ100A（図4A及び図4B参照）が有する導電層184aと導電層122aは、同一工程で導電膜を加工することにより形成できる。また、図7Cに示す導電層184aと導電層182aは、同一工程で導電膜を加工することにより形成できる。

[0396]

続いて、導電層112a上に、絶縁層110bとなる絶縁膜110bf、及び絶縁層110cとなる絶縁膜110cfを形成する（図19B）。

[0397]

例えば、絶縁膜110bfとして、窒化シリコン膜、または、酸化アルミニウム膜を形成することが好ましい。また、例えば、絶縁膜110cfとして、酸化シリコン膜または酸化窒化シリコン膜を形成することが好ましい。

[0398]

絶縁膜110bf、及び絶縁膜110cfの形成には、例えば、スパッタリング法またはPECVD法が好適である。絶縁膜110bfを形成した後、絶縁膜110cfの表面を大気に曝すことなく、真空中で連続して絶縁膜110cfを形成することが好ましい。絶縁膜110bf及び絶縁膜110cfを連続して形成することで、絶縁膜110bfの表面に大気由来の不純物が付着することを抑制できる。当該不純物として、例えば、水、及び有機物が挙げられる。

[0399]

なお、トランジスタ100B（図8A及び図8B参照）に示すように絶縁層110を5層構造とする場合、絶縁層110を構成する少なくとも1層の形成にPECVD法を用いると、水素の含有量が少ない膜と、水素の含有量が多い膜と、の双方をそれぞれ容易に形成できるため好ましい。また、絶縁層110aとなる絶縁膜を形成した後、当該絶縁膜の表面を大気に曝すことなく、真空中で連続して絶縁膜110bfを形成することが好ましい。

[0400]

絶縁膜110bf、及び絶縁膜110cfの形成時の基板温度はそれぞれ、180℃以上450℃以下が好ましく、さらには200℃以上450℃以下が好ましく、さらには250℃以上450℃以下が好ましく、さらには300℃以上450℃以下が好ましく、さらには300℃以上400℃以下が好ましく、さらには350℃以上400℃以下が好ましい。絶縁膜110bf、及び絶縁膜110cfの形成時の基板温度を前述の範囲とすることで、自身からの不純物（例えば、水及び水素）の放出を少なくすることができ、不純物が半導体層108に拡散することを抑制することができる。したがって、良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。

[0401]

なお、絶縁膜110bf、及び絶縁膜110cfは、半導体層108より先に形成されるため、絶縁膜110bf、及び絶縁膜110cfの形成時に加わる熱によって半導体層108から酸素が脱離することを懸念する必要はない。

[0402]

絶縁膜110cfを形成した後、大気開放せずに（*in-situ*で）、酸素を含む雰囲気下でプラズマ処理を行うことが好ましい。例えば、 N_2O プラズマ処理を行うことが好ましい。このようなプラズマ処理を行うことで、絶縁膜110cfに酸素を供給することができる。

[0403]

続いて、絶縁膜110cf上に、金属酸化物層149を形成することが好ましい（図19C）。金属酸化物層149を形成することで、絶縁膜110cfに酸素を供給することができる。

[0404]

金属酸化物層149の導電性は問わない。金属酸化物層149としては、絶縁膜、半導体膜、及び、導電膜の少なくとも一種を用いることができる。金属酸化物層149として、例えば、酸化アルミニウム、酸化ハフニウム、ハフニウムアルミネート、インジウム酸化物、インジウムスズ酸化物（ITO）、またはシリコンを含有したインジウムスズ酸化物（ITSO）を用いることができる。

[0405]

金属酸化物層149として、半導体層108と同一の元素を一以上含む酸化物材料を用いることが好ましい。特に、半導体層108に適用可能な酸化物半導体材料を用いることが好ましい。

[0406]

金属酸化物層149の形成時に、成膜装置の処理室内に導入する成膜ガスの全流量に対する酸素流量の割合（酸素流量比）、または処理室内の酸素分圧が高いほど、絶縁膜110cf中に供給される酸素の量を増やすことができる。酸素流量比または酸素分圧は、例えば50%以上100%以下、好ましくは65%以上100%以下、より好ましくは80%以上100%以下、さらに好ましくは90%以上100%以下とする。特に、酸素流量比100%とし、酸素分圧を100%にできるだけ近づけることが好ましい。

[0407]

このように、酸素を含む雰囲気ですパッタリング法により金属酸化物層149を形成することにより、金属酸化物層149の形成時に、絶縁膜110cfへ酸素を供給するとともに、絶縁膜110cfから酸素が脱離することを防ぐことができる。その結果、絶縁膜110cfに多くの酸素を閉じ込めることができる。そして、後の加熱処理によって、半導体層108に多くの酸素を供給することができる。その結果、半導体層108中の酸素欠損及び V_oH を低減することができ、良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。

[0408]

金属酸化物層149を形成した後、加熱処理を行うことが好ましい。金属酸化物層149を形成した後に加熱処理を行うことで、金属酸化物層149から絶縁膜110cfに効果的に酸素を供給することができる。

[0409]

加熱処理の温度は、150℃以上基板の歪み点未満が好ましく、さらには200℃以上450℃以下が好ましく、さらには250℃以上450℃以下が好ましく、さらには300℃以上450℃以下が好ましく、さらには300℃以上400℃以下が好ましく、さらには350℃以上400℃以下が好ましい。加熱処理は、貴ガス、窒素または酸素の一以上を含む雰囲気で行うことができる。窒素を含む雰囲気、または酸素を含む雰囲気として、乾燥空気（CDA: Clean Dry Air）を用いてもよい。なお、当該雰囲気における水素、水などの含有量が極力少ないことが好ま

しい。当該雰囲気として、露点が -60°C 以下、好ましくは -100°C 以下の高純度ガスを用いることが好ましい。水素、水などの含有量が極力少ない雰囲気を用いることで、絶縁膜110cf等に水素、水などが取り込まれることを可能な限り防ぐことができる。加熱処理は、オープン、急速加熱(RTA: Rapid Thermal Annealing)装置等を用いることができる。RTA装置を用いることで、加熱処理時間を短縮できる。

[0410]

金属酸化物層149を形成した後、または前述の加熱処理の後に、さらに、金属酸化物層149を介して絶縁膜110cfに酸素を供給してもよい。酸素の供給方法として、例えば、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、またはプラズマ処理を用いることができる。本発明の一態様の半導体装置の作製方法におけるプラズマ処理では、酸素ガスを高周波電力によってプラズマ化させる装置を好適に用いることができる。ガスを高周波電力によってプラズマ化させる装置として、例えば、プラズマエッチング装置及びプラズマアッシング装置が挙げられる。

[0411]

なお、絶縁膜110bf、及び絶縁膜110cfを形成した後、金属酸化物層149を形成する前に、加熱処理を行ってもよい。加熱処理を行うことで、絶縁膜110cfの表面及び膜中から水及び水素を脱離させることができる。

[0412]

続いて、金属酸化物層149を除去する(図19D)。

[0413]

金属酸化物層149の除去方法に特に限定は無いが、ウェットエッチング法を好適に用いることができる。ウェットエッチング法を用いることで、金属酸化物層149の除去の際に、絶縁膜110cfがエッチングされることを抑制できる。これにより、絶縁膜110cfの膜厚が薄くなることを抑制でき、絶縁層110cの膜厚を均一にすることができる。

[0414]

なお、絶縁膜110cfに対して酸素を供給する処理は、前述の方法に限定されない。例えば、絶縁膜110cfに対して、イオンドーピング法、イオン注入法、または、プラズマ処理により、酸素ラジカル、酸素原子、酸素原子イオン、または酸素分子イオン等を供給できる。また、絶縁膜110cf上に酸素の脱離を抑制する膜を形成した後、該膜を介して絶縁膜110cfに酸素を供給してもよい。該膜は、酸素を供給した後に除去することが好ましい。上述の酸素の脱離を抑制する膜として、インジウム、亜鉛、ガリウム、錫、アルミニウム、クロム、タンタル、チタン、モリブデン、ニッケル、鉄、コバルト、及びタングステンのうち、1以上を有する導電膜あるいは半導体膜を用いることができる。

[0415]

続いて、絶縁膜110cf上に、絶縁層110dとなる絶縁膜110dfを形成する(図19D)。

[0416]

絶縁膜110dfの形成は、絶縁膜110bfの形成に係る記載を参照できる。なお、絶縁膜110bfと絶縁膜110dfの成膜条件は同一であってもよく、互いに異なってもよい。

[0417]

続いて、絶縁膜110df上に、導電層112bを形成する(図20A乃至図20C、図21A)。図21Aでは、導電層112bが、導電層182bと、導電層182bの上面及び側面を覆う導電

層122aとの2層構造である場合を示している。

[0418]

まず、絶縁膜110df上に導電層182bとなる導電膜182fを形成し(図20A)、導電膜182fを加工することにより導電層182bを形成する(図20B)。

[0419]

導電層182bは、絶縁膜110bf、110cf、110dfにおける、後に開口する部分と重ならないように、島状に形成される。導電層182bは、当該後に開口する部分全体と重なる開口(図1A等に示す開口145参照)を有していてもよい。

[0420]

続いて、絶縁膜110df及び導電層182b上に、導電層122bとなる導電膜122fを形成し(図20C)、導電膜122fを加工することにより、導電層182bの上面及び側面を覆う導電層122bを形成する(図21A)。導電層122bは、絶縁膜110bf、110cf、110dfにおける、後に開口する部分と重なる位置に開口143を有するように形成される。

[0421]

導電膜(導電膜182f、導電膜122f)の形成には、例えば、スパッタリング法が好適である。導電膜上にフォトリソグラフィ工程によりレジストマスクを形成した後、当該導電膜を加工することにより、導電層を形成することができる。導電膜(導電膜182f、導電膜122f)の加工には、ウェットエッチング法及びドライエッチング法の一方または双方を用いることができる。特に、開口143の形成には、ウェットエッチング法が好適である。

[0422]

導電膜122fを島状に加工する工程と、導電膜122fに開口143を設ける工程とは、それぞれ独立に行うことができ、その場合の順序は問わない。また、方形の島状に加工するためのマスクを用いた露光と、円形の開口を設けるためのマスクを用いた露光と、を行った後に、エッチングを行うことで、島状の加工と開口の形成を一度に行ってもよい。また、多階調マスク(代表的にはハーフトーンマスク、またはグレートーンマスク)を用いた露光を利用してもよい。

[0423]

また、絶縁膜110bf乃至絶縁膜110dfを開口し、開口141を有する絶縁層110(絶縁層110b、110c、110d)を形成する(図21A)。

[0424]

開口141は、導電層112bの開口143と重なる位置に設けられる。開口141を設けることで、導電層182a(後の導電層112a)の、開口141、143と重なる領域が露出する。

[0425]

ここで、開口141の形成時に、導電層122a及び導電層122bの表面が酸化されることがある。例えば、アッシングを行うことで、導電層122aの上面、並びに、導電層122bの上面及び側面に金属酸化物膜が形成されることがある。つまり、図21A以降の工程で、導電層112a及び導電層112bの表面には、金属酸化物層が形成されていることがある(図7Bの導電層186a及び導電層186b参照)。

[0426]

開口141の形成には、ウェットエッチング法及びドライエッチング法の一方または双方を用いることができ、例えば、ドライエッチング法が好適である。

[0427]

開口141は、例えば、開口143の形成に用いたレジストマスクを用いて形成することができる。具体的には、導電膜122f上にレジストマスクを形成し、当該レジストマスクを用いて導電膜122fの一部を除去して開口143を形成し、当該レジストマスクを用いて絶縁膜110bf、110cf、110dfそれぞれの一部を除去して開口141を形成することができる。また、開口141と開口143は、それぞれ異なるレジストマスクを用いて形成してもよい。

[0428]

ここで、開口141の内部に露出する層の表面には、導電層112b由来の金属を含む不純物、及び、エッチング工程により生じた不純物（例えば、エッチングガス由来の不純物）などが残存していることがある。そのため、半導体層108の形成前に、開口141の内部に露出する層の表面に付着している不純物を除去することが好ましい。これにより、半導体層108の被覆性を良好にすることができる。また、トランジスタの電気特性を良好にする、または、電気特性のばらつきを低減することができる。

[0429]

例えば、酸系の溶液を用いて開口141の内部を洗浄することが好ましい。具体的には、希フッ酸、シュウ酸、リン酸、酢酸、硝酸、またはこれらの2以上を含む混合溶液等を用いることが好ましい。なお、開口141の内部には、導電層112a、導電層112b、及び、絶縁層110など、複数の層が露出している。そのため、これら露出している層が過剰にエッチングされることのないよう、十分に希釈された溶液で処理することが好ましい。

[0430]

続いて、開口141及び開口143を覆うように、金属酸化物膜を形成し、当該金属酸化物膜を加工することにより、半導体層108を形成する（図21B）。半導体層108は、導電層112bの上面及び側面、絶縁層110の上面及び側面、並びに導電層112aの上面に接して設けられる。

[0431]

半導体層108となる金属酸化物膜は、絶縁層110の開口141における側面、及び、導電層112bの開口143における側面に、出来るだけ均一な厚さの膜として形成されることが好ましい。当該金属酸化物膜は、例えば、スパッタリング法またはALD法を用いて成膜することができる。

[0432]

半導体層108となる金属酸化物膜は、金属酸化物ターゲットを用いたスパッタリング法により形成することが好ましい。

[0433]

半導体層108は、可能な限り欠陥の少ない緻密な膜とすることが好ましい。また、半導体層108は、可能な限り水素元素を含む不純物が低減され、高純度な膜であることが好ましい。特に、半導体層108として、結晶性を有する金属酸化物層を用いることが好ましい。

[0434]

半導体層108となる金属酸化物膜を形成する際に、酸素ガスを用いることが好ましい。当該金属酸化物膜の形成時に酸素ガスを用いることで、絶縁層110中に好適に酸素を供給することができる。例えば、絶縁層110cに酸化物を用いる場合、絶縁層110c中に好適に酸素を供給することができる。

[0435]

絶縁層 110c に酸素を供給することにより、後の工程で半導体層 108 に酸素が供給され、半導体層 108 中の酸素欠損及び V_{OH} を低減できる。

[0436]

半導体層 108 となる金属酸化物膜を成膜する際に、酸素ガスと、不活性ガス（例えば、ヘリウムガス、アルゴンガス、キセノンガスなど）と、を混合させてもよい。なお、当該金属酸化物膜を成膜する際の酸素流量比が高いほど、半導体層 108 の結晶性を高めることができ、信頼性の高いトランジスタを実現できる。一方、酸素流量比が低いほど、半導体層 108 の結晶性が低くなり、オン電流の大きいトランジスタとすることができる。

[0437]

半導体層 108 となる金属酸化物膜を形成する際の基板温度が高いほど、結晶性が高く、緻密な金属酸化物膜とすることができる。一方、基板温度が低いほど、結晶性が低く、電気伝導性の高い金属酸化物膜とすることができる。

[0438]

半導体層 108 となる金属酸化物膜の形成時の基板温度は、室温以上 250°C 以下が好ましく、室温以上 200°C 以下がより好ましく、室温以上 140°C 以下がさらに好ましい。例えば、基板温度を、室温以上 140°C 以下とすると、生産性が高くなり好ましい。また、基板温度を室温とする、または基板を加熱しない状態で、当該金属酸化物膜を成膜することにより、結晶性を低くすることができる。

[0439]

ALD法を用いる場合、熱ALD法、またはPEALD（Plasma Enhanced ALD）等の成膜方法を用いることが好ましい。熱ALD法による成膜は、極めて高い段差被覆性を示すため好ましい。PEALD法による成膜は、高い段差被覆性を示すことに加え低温で行うことが可能であるため好ましい。

[0440]

半導体層 108 となる金属酸化物膜は、例えば、構成する金属元素を含むプリカーサと、酸化剤と、を用いてALD法により成膜することができる。

[0441]

インジウムを含むプリカーサとしては、例えば、トリメチルインジウム、トリエチルインジウム、トリス（2, 2, 6, 6-テトラメチルー3, 5-ヘプタンジオン酸）インジウム、シクロペンタジエニルインジウム、塩化インジウム（III）、及び、（3-（ジメチルアミノ）プロピル）ジメチルインジウムが挙げられる。

[0442]

ガリウムを含むプリカーサとしては、例えば、トリメチルガリウム、トリエチルガリウム、トリス（ジメチルアミド）ガリウム（III）、ガリウム（III）アセチルアセトナート、トリス（2, 2, 6, 6-テトラメチルー3, 5-ヘプタンジオン酸）ガリウム、ジメチルクロロガリウム、ジエチルクロロガリウム、及び、塩化ガリウム（III）が挙げられる。

[0443]

スズを有するプリカーサとしては、例えば、テトラメチルスズ、テトラエチルスズ、テトラエチルニルスズ、テトラアシルスズ、トリブチルビニルスズ、アリルトリブチルスズ、トリブチルスタニルアセチレン、トリブチルフェニルスズ、クロロトリメチルスズ、クロロトリエチルスズ、及び、塩

化スズ（I V）が挙げられる。

[0444]

亜鉛を含むプリカーサとしては、例えば、ジメチル亜鉛、ジエチル亜鉛、ビス（2，2，6，6-テトラメチル-3，5-ヘプタンジオン酸）亜鉛、及び、塩化亜鉛が挙げられる。

[0445]

例えば、In-Ga-Zn酸化物を成膜する場合には、インジウムを含むプリカーサ、ガリウムを含むプリカーサ、及び亜鉛を含むプリカーサの、3つのプリカーサを用いることができる。または、インジウムを含むプリカーサと、ガリウム及び亜鉛を含むプリカーサの2つのプリカーサを用いてもよい。

[0446]

酸化剤としては、例えば、オゾン、酸素、及び、水が挙げられる。

[0447]

得られる膜の組成を制御する方法としては、原料ガスの流量比、原料ガスを流す時間、原料ガスを流す順番などを調整することが挙げられる。また、これらを調整することで、組成が連続して変化する膜を成膜することもできる。また、組成の異なる膜を連続して成膜することも可能となる。

[0448]

半導体層108となる金属酸化物膜を成膜する前に、絶縁層110の表面に吸着した水、水素、及び有機物等を脱離させるための処理、及び絶縁層110中に酸素を供給する処理のうち、少なくとも一方を行うことが好ましい。例えば、減圧雰囲気にて70℃以上200℃以下の温度で加熱処理を行うことができる。または、酸素を含む雰囲気におけるプラズマ処理を行ってもよい。または、一酸化二窒素（N₂O）などの酸化性気体を含む雰囲気におけるプラズマ処理により、絶縁層110に酸素を供給してもよい。一酸化二窒素ガスを含むプラズマ処理を行うと、絶縁層110の表面の有機物を好適に除去しつつ、酸素を供給することができる。このような処理の後、絶縁層110の表面を大気に暴露することなく、連続して当該金属酸化物膜を成膜することが好ましい。

[0449]

なお、半導体層108を積層構造とする場合には、先に形成する金属酸化物膜を成膜した後に、その表面を大気に曝すことなく連続して、次の金属酸化物膜を成膜することが好ましい。

[0450]

また、半導体層108を積層構造とする場合には、半導体層108を構成する全ての層を同じ成膜方法（例えば、スパッタリング法またはALD法）で形成してもよく、層によって異なる成膜方法を用いてもよい。例えば、第1の金属酸化物膜をスパッタリング法で成膜し、第2の金属酸化物膜をALD法で成膜してもよい。

[0451]

半導体層108の形成には、ウェットエッチング法及びドライエッチング法的一方または双方を用いることができ、例えば、ウェットエッチング法が好適である。このとき、半導体層108と重ならない領域の導電層112bの一部がエッチングされ、薄くなる場合がある。同様に、半導体層108及び導電層112bの双方と重ならない領域の絶縁層110の一部がエッチングされ、膜厚が薄くなる場合がある。

[0452]

金属酸化物膜の成膜後、または金属酸化物膜を半導体層108に加工した後に、加熱処理を行うこ

とが好ましい。加熱処理により、半導体層108中に含まれる、または表面に吸着した水素または水を除去することができる。また、加熱処理により、半導体層108の膜質が向上する（例えば、欠陥が低減する、または結晶性が向上する）場合がある。加熱処理は、半導体層108に加工する前に行うことがより好ましい。

[0453]

加熱処理により、絶縁層110cから金属酸化物膜の少なくとも一部、または半導体層108の少なくとも一部に酸素を供給することが好ましい。半導体層108における、絶縁層110cと接する領域及びその近傍は、チャンネル形成領域として機能する。当該領域に酸素を供給することで、チャンネル形成領域の酸素欠損を少なくでき、キャリア濃度を低くすることができる。つまり、チャンネル形成領域を、i型（真性）または実質的にi型の領域とすることができる。これにより、トランジスタに安定した電気特性を付与することができる。

[0454]

加熱処理については、前述の記載を参照できるため、詳細な説明は省略する。

[0455]

なお、当該加熱処理は不要であれば行わなくてもよい。また、ここでは加熱処理は行わず、後の工程で行われる加熱処理と兼ねてもよい。また、後の工程での高温下の処理（例えば成膜工程）が、当該加熱処理を兼ねられる場合もある。

[0456]

なお、半導体層108となる金属酸化物膜の成膜工程、または、その後の加熱処理などによって、導電層112a及び導電層112bにおける、当該金属酸化物膜（または半導体層108）と接する部分が酸化する場合がある（図7Bの導電層186a及び導電層186b参照）。

[0457]

続いて、半導体層108、導電層112b、及び絶縁層110を覆って、絶縁層106を形成する（図21B）。絶縁層106の形成には、例えば、PECVD法またはALD法が好適である。

[0458]

半導体層108に酸化物半導体を用いる場合、絶縁層106は、酸素が拡散することを抑制するバリア膜として機能することが好ましい。絶縁層106が酸素の拡散を抑制する機能を有することにより、酸素が絶縁層106より上側から導電層104へ拡散することが抑制され、導電層104が酸化されることを抑制できる。その結果、良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。

[0459]

なお、本明細書等において、バリア膜とは、バリア性を有する膜のことを示す。例えば、バリア性を有する絶縁層を、バリア絶縁層とすることができる。本明細書等において、バリア性とは、対応する物質の拡散を抑制する機能（透過性が低いともいう）、及び、対応する物質を、捕獲、または固着する（ゲッターリングともいう）機能の一方または双方を指すものとする。

[0460]

ゲート絶縁層として機能する絶縁層106の形成時の温度を高くすることにより、欠陥の少ない絶縁層とすることができる。しかしながら、絶縁層106の形成時の温度が高いと半導体層108から酸素が脱離し、半導体層108中の酸素欠損及びV_oHが増加してしまう場合がある。絶縁層106の形成時の基板温度は、180℃以上450℃以下が好ましく、さらには200℃以上45

0℃以下が好ましく、さらには250℃以上450℃以下が好ましく、さらには300℃以上450℃以下が好ましく、さらには300℃以上400℃以下が好ましい。絶縁層106の形成時の基板温度を前述の範囲とすることで、絶縁層106の欠陥を少なくするとともに、半導体層108から酸素が脱離することを抑制できる。したがって、良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。

[0461]

絶縁層106を形成する前に、半導体層108の表面に対してプラズマ処理を行ってもよい。当該プラズマ処理により、半導体層108の表面に吸着する水などの不純物を低減することができる。そのため、半導体層108と絶縁層106との界面における不純物を低減でき、信頼性の高いトランジスタを実現できる。特に、半導体層108の形成から、絶縁層106の形成までの間に半導体層108の表面が大気に曝される場合に好適である。プラズマ処理は、例えば、酸素、オゾン、窒素、一酸化二窒素、アルゴンなどの雰囲気で行うことができる。また、プラズマ処理と絶縁層106の成膜とは、大気に曝すことなく連続して行われることが好ましい。

[0462]

また、絶縁層106に酸素を多く含む膜を用いると、絶縁層106から半導体層108に酸素を供給することができ好ましい。また、絶縁層106には、加熱により酸素を放出する膜を用いるとより好ましい。トランジスタの作製工程中にかかる熱により、絶縁層106が酸素を放出することで、半導体層108に酸素を供給することができる。絶縁層106から半導体層108、特に半導体層108のチャンネル形成領域に酸素を供給することで、半導体層108中の酸素欠損の低減を図ることができ、良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。

[0463]

続いて、絶縁層106上に、導電層104を形成する(図21B)。導電層104となる導電膜の形成には、例えば、スパッタリング法、熱CVD法(MOCVD法を含む)、またはALD法が好適である。当該導電膜上にフォトリソグラフィ工程によりレジストマスクを形成した後、当該導電膜を加工することにより、ゲート電極として機能する島状の導電層104を形成することができる。

[0464]

以上の工程により、本発明の一態様の半導体装置を作製することができる。

[0465]

[絶縁層110cの作製方法]

以下では、絶縁層110cの作製方法の一例について説明する。前述の通り、半導体層108のチャンネル形成領域と接する絶縁層110cには、酸素を含む層を用いることが好ましい。ここで、絶縁層110cは、半導体層108のチャンネル形成領域の中央部に特に酸素を供給しやすい構成であることが好ましい。そのため、例えば、絶縁層110cは、領域によって、酸素の拡散係数が異なる(酸素の拡散のしやすさが異なる)構成としてもよい。または、絶縁層110cの膜厚方向の中央部に、他の部分よりも多くの酸素を含む領域を有してもよい。

[0466]

具体的には、酸化絶縁膜または酸化窒化絶縁膜の成膜工程を異なる条件で2回以上行うことで、絶縁層110cを形成してもよい。

[0467]

ここでは、PECVD法を用いて酸化窒化シリコンを形成する例を挙げて、説明する。

[0468]

絶縁層110cの原料ガスとして、シリコンを含む堆積性ガス、及び酸化性ガスを含む混合ガスを用いることができる。シリコンを含む堆積性ガスとして、例えば、シラン (SiH_4)、ジシラン (Si_2H_6)、トリシラン (Si_3H_8)、フッ化シラン (SiF_4)、TEOS (Tetraethoxysilane、 $\text{Si}(\text{OC}_2\text{H}_5)_4$) の一または複数を用いることができる。酸化性ガスとして、酸素を含むガスを好適に用いることができる。酸化性ガスとして、例えば、酸素 (O_2)、オゾン (O_3)、一酸化二窒素 (N_2O)、一酸化窒素 (NO)、及び二酸化窒素 (NO_2) の一または複数を用いることができる。シリコンを含む堆積性ガスとしてシラン (SiH_4) を用いる場合、酸化性ガスとして一酸化二窒素 (N_2O) を用いると、酸素 (O_2) を用いる場合よりもパーティクルを少なくすることができ、好適である。または、絶縁層110bとして酸化シリコンを形成する場合は、シリコンを含む堆積性ガスとしてTEOSを用いる場合、酸化性ガスとして酸素 (O_2) を好適に用いることができる。

[0469]

PECVD法を用いた絶縁層110cの形成において、堆積性ガスの流量に対してプラズマ密度を低くする、つまり堆積性ガスの流量に対するプラズマ密度の比 (比の値ともいえる) を小さくすることにより、酸素の拡散係数の大きい絶縁層とすることができる。ここで、原料ガスのプラズマ化にRF電源を用いる場合、RF電源のパワー (以下、RFパワーとも記す) を低くすることにより、プラズマ密度を低くすることができる。堆積性ガスの流量に対してRFパワーを低くする (堆積性ガスの流量に対するRFパワーの比を小さくする) ことにより、酸素の拡散係数の大きい絶縁層とすることができる。堆積性ガスの流量に対するRFパワーの比 (以下、F比とも記す) を小さくすることにより、絶縁層110cにおける酸素の拡散係数が大きくなり、絶縁層110cに含まれる酸素を効率よく半導体層108 (特に、チャンネル形成領域) へ供給することができる。これにより、トランジスタがノーマリーオンになることを抑制し、また、トランジスタのしきい値電圧がマイナス方向にシフトすることを抑制できる。

[0470]

しかしながら、原料ガスに水素を含むガス (例えば、 SiH_4) を用いる場合、F比が小さすぎると、絶縁層110cに含まれる水素が多くなってしまう場合がある。絶縁層110cに含まれる水素が多いと、絶縁層110cから放出される水素を含む不純物 (例えば、水、水素、及びアンモニア) の量が多くなってしまう恐れがある。

[0471]

また、原料ガスに窒素を含むガス (例えば、 N_2O) を用いる場合、F比が小さすぎると、絶縁層110cに含まれる窒素が多くなってしまう場合がある。絶縁層110cに含まれる窒素が多いと、絶縁層110cから放出される窒素を含む不純物 (例えば、窒素酸化物 (NO_x)) の量が多くなってしまふ恐れがある。

[0472]

なお、二酸化窒素 (NO_2) を含む窒素酸化物 (NO_x) は、絶縁層中に準位を形成する。当該準位は、酸化物半導体のエネルギーギャップ内に位置する。そのため、窒素酸化物 (NO_x) が、絶縁層110cと半導体層108の界面に拡散すると、当該準位が絶縁層110c側において電子をトラップする場合がある。この結果、トラップされた電子が、絶縁層110cと半導体層108の界面近傍に留まるため、トランジスタのしきい値電圧をプラス方向にシフトさせてしまう。

[0473]

そこで、本発明の一態様では、絶縁層110cの膜厚方向の中央部に設ける酸化絶縁膜または酸化窒化絶縁膜を、F比が小さい条件で形成し、絶縁層110cの膜厚方向の中央部から離れた位置にある絶縁膜は、F比がより大きい条件で形成する。これにより、半導体層108のチャンネル形成領域の中央部は、酸素の拡散係数が大きい絶縁膜と接することとなる。したがって、チャンネル形成領域に酸素が供給されやすく、チャンネル形成領域の酸素欠損の低減を図ることができ、トランジスタのしきい値電圧をプラスにする（ノーマリーオフとする）ことができる。また、トランジスタのしきい値電圧のマイナスシフトを抑制できる。一方で、半導体層108のチャンネル形成領域の中央部から離れた領域では、中央部に比べて酸素の拡散係数が小さい絶縁膜と接することとなる。絶縁層110c全体をF比が小さい条件で形成する場合に比べて、水素を含む不純物及び窒素を含む不純物が、絶縁層110cから半導体層108に拡散することを抑制できるため、トランジスタのしきい値電圧のプラスシフトを抑制できる。以上のことから、絶縁層110cをF比の異なる条件で成膜された複数の層で構成することで、信頼性の高いトランジスタを実現できる。

[0474]

なお、F比の条件等によっては、半導体層108の絶縁層110cと接する領域の一部は低抵抗領域となる場合がある。特に、半導体層108の絶縁層110cと接する領域のうち、絶縁層110bの近傍の領域または絶縁層110dの近傍の領域に低抵抗領域が形成されることがある。これにより、ドレイン領域近傍に高い電界が生じにくくなり、ホットキャリアの発生を抑制し、トランジスタの劣化を抑制することができる。

[0475]

堆積性ガスの流量の単位をsccm (Standard Cubic Centimeters Per Minute) で表し、RFパワーをW (Watt) で表す場合、絶縁層110cが有する各層の成膜におけるF比は12以下、10以下、9以下、8以下、7以下、6以下、または5以下であって、2以上、または3以上が好ましい。例えば、シラン (SiH₄) 流量を290sccm、RFパワーを1160Wとする場合、F比は4となる。また、例えば、シラン (SiH₄) 流量を290sccm、RFパワーを1740Wとする場合、F比は6となる。F比を前述の範囲とすることにより、絶縁層110cに含まれる酸素を効率よく半導体層108（特に、チャンネル形成領域）へ供給できるとともに、絶縁層110cから放出される不純物の量を少なくすることができる。なお、絶縁層110cの膜厚方向の中央部から離れた位置にある絶縁膜（絶縁層110bまたは絶縁層110dと接する膜及びその近傍の膜）のF比は、2未満、または12より大きくてもよい場合がある。

[0476]

本明細書等において、sccmは1気圧、0℃ (273.15K) での流量を示す。また、堆積性ガスの流量の単位をsccm、RFパワーをWで表す場合のF比を示したが、これらと異なる単位を用いる場合は当該単位を換算してF比を算出することができる。例えば、流量が0.3SLM (Standard Liter Per Minute) の場合は、300sccmに換算して、F比を算出することができる。

[0477]

チャンネル長が長いトランジスタと比較して、チャンネル長が短いトランジスタにおいて、チャンネル形成領域の酸素欠損 (V_o) 及びV_oHが電気特性へ与える影響は大きくなる。したがって、絶縁層1

10cから酸素を効率よく半導体層108（特に、チャネル形成領域）へ供給するとともに、絶縁層110cから放出される不純物の量を少なくすることが非常に重要である。絶縁層110cの形成におけるF比を前述の範囲とすることにより、良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。

[0478]

具体的には、絶縁層110cは、第1の酸化窒化シリコン膜を成膜し、第1の酸化窒化シリコン膜よりもF比の小さい条件で、第2の酸化窒化シリコン膜を成膜し、第2の酸化窒化シリコン膜よりもF比の大きい条件で、第3の酸化窒化シリコン膜を成膜することで作製することが好ましい。このとき、第1の酸化窒化シリコン膜と第3の酸化窒化シリコン膜は、F比が同じ条件で成膜することが好ましい。絶縁層110cにおいて、第2の酸化窒化シリコン膜が、半導体層108のチャネル形成領域の中央部と接する層に相当する。これにより、半導体層108のチャネル形成領域の中央部に特に酸素を供給しやすい構成とし、かつ、トランジスタの信頼性が低下することを抑制できる。

[0479]

例えば、絶縁層110cは、それぞれ、F比が、10、4、10の条件で形成された3層の酸化窒化シリコン膜がこの順で積層された構成であると好ましい。

[0480]

または、絶縁層110cは、第1の酸化窒化シリコン膜を成膜し、第1の酸化窒化シリコン膜よりもF比の小さい条件で、第2の酸化窒化シリコン膜を成膜し、第2の酸化窒化シリコン膜よりもF比の小さい条件で、第3の酸化窒化シリコン膜を成膜し、第3の酸化窒化シリコン膜よりもF比の大きい条件で、第4の酸化窒化シリコン膜を成膜し、第4の酸化窒化シリコン膜よりもF比の大きい条件で、第5の酸化窒化シリコン膜を成膜することで作製することが好ましい。このとき、第1の酸化窒化シリコン膜と第5の酸化窒化シリコン膜は、F比が同じ条件で成膜することが好ましく、第2の酸化窒化シリコン膜と第4の酸化窒化シリコン膜は、F比が同じ条件で成膜することが好ましい。絶縁層110cにおいて、第3の酸化窒化シリコン膜が、半導体層108のチャネル形成領域の中央部と接する層に相当する。これにより、半導体層108のチャネル形成領域の中央部に特に酸素を供給しやすい構成とし、かつ、トランジスタの信頼性が低下することを抑制できる。

[0481]

例えば、絶縁層110cは、それぞれ、F比が、10、6、4、6、10の条件で形成された5層の酸化窒化シリコン膜がこの順で積層された構成であると好ましい。

[0482]

なお、各層の膜厚とその大小関係は、特に限定されない。例えば、F比が小さい条件で形成された層ほど、膜厚を小さくしてもよい。または、F比が小さい条件で形成された層ほど、膜厚を大きくしてもよい。また、各層を同じ厚さで形成してもよい。

[0483]

なお、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）を用いて、絶縁層110cの深さ方向の窒素濃度（N濃度）プロファイルまたは水素濃度（H濃度）プロファイルを測定することで、絶縁層110cが成膜条件の異なる複数の層で構成されていることを確認することができる。具体的には、F比が小さい条件で成膜された層ほど水素濃度は高くなる。また、F比が小さい条件で成膜された層ほど窒素濃度は低くなる。このよう

な分析により、絶縁層110cを構成する層の数、及び、各層のF比の条件の大小関係を推定することができる。

[0484]

なお、膜の形成時のF比が高いとエッチャントに対するエッチング速度が遅くなり、F比が低いとエッチャントに対するエッチング速度が速くなるため、エッチング速度を拡散しやすさの指標として用いることができる。当該エッチャントとして、例えば、フッ酸を含むエッチャントを用いることができる。具体的には、フッ酸、及びBHF (Buffered Hydrofluoric acid) が挙げられる。なお、BHFは、フッ酸及び緩衝剤 (例えば、フッ化アンモニウム (NH₄F)) を含むエッチャントである。また、これらに界面活性剤を加えたエッチャントを用いてもよい。例えば、25°Cにおいて、0.5重量%のフッ酸に対する絶縁層110cを構成する各層のエッチング速度は、8nm/min以上、9nm/min以上、10nm/min以上、11nm/min以上、または12nm/min以上であって、15nm/min以下が好ましい。なお、エッチング速度は、エッチングを行う前の対象膜の厚さと、エッチングを行った後の対象膜の厚さの差分を、エッチングを行った時間で割ることにより算出することができる。

[0485]

また、酸化絶縁膜または酸化窒化絶縁膜の成膜工程を2回以上行い、これらの成膜工程のうち少なくとも1回の工程の後に、酸素を含む雰囲気下におけるプラズマ処理を行うことで、絶縁層110cを形成してもよい。一例としては、第1の酸化窒化シリコン膜を成膜し、第1のN₂Oプラズマ処理を行い、第2の酸化窒化シリコン膜を成膜し、第2のN₂Oプラズマ処理を行うことで、絶縁層110cを形成してもよい。また、一例としては、第1の酸化窒化シリコン膜を成膜し、第1のN₂Oプラズマ処理を行い、第2の酸化窒化シリコン膜を成膜し、第2のN₂Oプラズマ処理を行い、さらに、第3の酸化窒化シリコン膜を成膜し、第3のN₂Oプラズマ処理を行うことで、絶縁層110cを形成してもよい。なお、成膜工程数及びプラズマ処理の工程数は、それぞれ、2回または3回に限られず、4回以上としてもよい。

[0486]

それぞれの酸化窒化シリコン膜の成膜条件は、全て同じであってもよく、1つ以上が異なってもよい。また、それぞれのプラズマ処理の条件は、全て同じであってもよく、1つ以上が異なってもよい。

[0487]

酸素を含む雰囲気下におけるプラズマ処理を複数回行うことで、絶縁層110c中に含まれる酸素の量を多くすることができ、好ましい。また、回によってプラズマ処理の有無または条件 (処理時間など) を変えることで、絶縁層110cの膜厚方向の中央部に、他の部分よりも多くの酸素を含む領域を形成することが容易となる。例えば、3回のプラズマ処理を行う場合、第1回と第3回で同じ条件を用い、第2回は、第1回及び第3回よりも、処理時間を長くすることが好ましい。または、第1回の成膜と第3回の成膜の後ではプラズマ処理を行わず、第2回の成膜の後にのみ、プラズマ処理を行ってもよい。または、第1回の成膜と第3回の成膜の後でプラズマ処理を行い、第2回の成膜の後にはプラズマ処理を行わなくてもよい。

[0488]

例えば、絶縁層110cは、F比が10の条件で形成された酸化窒化シリコン膜を形成し、N₂Oプラズマ処理を行い、F比が4の条件で形成された酸化窒化シリコン膜を形成し、F比が10の条

件で形成された酸化窒化シリコン膜を形成し、N₂Oプラズマ処理を行うことで、形成してもよい。

[0489]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

[0490]

(実施の形態3)

本実施の形態では、本発明の一態様の表示装置について図22乃至図27を用いて説明する。

[0491]

本実施の形態の表示装置は、解像度の高い表示装置または大型の表示装置とすることができる。したがって、本実施の形態の表示装置は、例えば、テレビジョン装置、デスクトップ型もしくはノート型のパーソナルコンピュータ、コンピュータ用などのモニタ、デジタルサイネージ、及び、パチンコ機などの大型ゲーム機などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、及び、音響再生装置の表示部に用いることができる。

[0492]

また、本実施の形態の表示装置は、高精細な表示装置とすることができる。したがって、本実施の形態の表示装置は、例えば、腕時計型、及び、ブレスレット型などの情報端末機（ウェアラブル機器）の表示部、並びに、ヘッドマウントディスプレイ（HMD）などのVR向け機器、及び、メガネ型のAR向け機器などの頭部に装着可能なウェアラブル機器の表示部に用いることができる。

[0493]

本発明の一態様の半導体装置は、表示装置、または、当該表示装置を有するモジュールに用いることができる。当該表示装置を有するモジュールとしては、当該表示装置にフレキシブルプリント回路基板（Flexible printed circuit、以下、FPCと記す）もしくはTCP（Tape Carrier Package）等のコネクタが取り付けられたモジュール、COG（Chip On Glass）方式もしくはCOF（Chip On Film）方式等により集積回路（IC）が実装されたモジュール等が挙げられる。

[0494]

また、本実施の形態の表示装置はタッチパネルとしての機能を有していてもよい。例えば、表示装置には、指などの被検知体の近接または接触を検知できる様々な検知素子（センサ素子ともいえる）を適用することができる。

[0495]

センサの方式としては、例えば、静電容量方式、抵抗膜方式、表面弾性波方式、赤外線方式、光学方式、及び、感圧方式が挙げられる。

[0496]

静電容量方式としては、例えば、表面型静電容量方式、投影型静電容量方式がある。また、投影型静電容量方式としては、例えば、自己容量方式、相互容量方式がある。相互容量方式を用いると、同時多点検出が可能となるため好ましい。

[0497]

タッチパネルとしては、例えば、アウトセル型、オンセル型、及び、インセル型が挙げられる。なお、インセル型のタッチパネルは、表示素子を支持する基板と対向基板のうち一方または双方に、検知素子を構成する電極が設けられた構成をいう。

[0498]

[表示装置50A]

図22に、表示装置50Aの斜視図を示す。

[0499]

表示装置50Aは、基板152と基板151とが貼り合わされた構成を有する。図22では、基板152を破線で示している。

[0500]

表示装置50Aは、表示部162、接続部140、回路部164、導電層165等を有する。図22では表示装置50AにIC173及びFPC172が実装されている例を示している。そのため、図22に示す構成は、表示装置50Aと、ICと、FPCと、を有する表示モジュールということもできる。

[0501]

接続部140は、表示部162の外側に設けられる。接続部140は、表示部162の一边または複数の辺に沿って設けることができる。接続部140は、単数であっても複数であってもよい。図22では、表示部の四辺を囲むように接続部140が設けられている例を示す。接続部140では、表示素子の共通電極と、導電層とが電氣的に接続されており、共通電極に電位を供給することができる。

[0502]

回路部164は、例えば走査線駆動回路（ゲートドライバともいう）を有する。また、回路部164は、走査線駆動回路及び信号線駆動回路（ソースドライバともいう）の双方を有していてもよい。

[0503]

導電層165は、表示部162及び回路部164に信号及び電力を供給する機能を有する。当該信号及び電力は、FPC172を介して外部から導電層165に入力される、またはIC173から導電層165に入力される。

[0504]

図22では、COG方式またはCOF方式等により、基板151にIC173が設けられている例を示す。IC173には、例えば、走査線駆動回路及び信号線駆動回路のうち一方または双方を有するICを適用できる。なお、表示装置50A及び表示モジュールは、ICを設けない構成としてもよい。また、ICを、COF方式等により、FPCに実装してもよい。

[0505]

本発明の一態様の半導体装置は、例えば、表示装置50Aの表示部162及び回路部164の一方または双方に適用することができる。

[0506]

例えば、本発明の一態様の半導体装置を表示装置の画素回路に適用する場合、画素回路の占有面積を縮小することができ、高精細の表示装置とすることができる。また、例えば、本発明の一態様の半導体装置を表示装置の駆動回路（例えば、ゲート線駆動回路及びソース線駆動回路の一方または双方）に適用する場合、駆動回路の占有面積を縮小することができ、狭額縁の表示装置とすることができる。また、本発明の一態様の半導体装置は、電気特性が良好であるため、表示装置に用いることで表示装置の信頼性を高めることができる。

[0507]

表示部 162 は、表示装置 50A における画像を表示する領域であり、周期的に配列された複数の画素 201 を有する。図 22 には、1つの画素 201 の拡大図を示している。

[0508]

本実施の形態の表示装置における画素の配列に特に限定はなく、様々な方法を適用することができる。画素の配列としては、例えば、ストライプ配列、Sストライプ配列、マトリクス配列、デルタ配列、ベイヤー配列、及びペンタイル配列が挙げられる。

[0509]

図 22 に示す画素 201 は、赤色の光を呈する副画素 11R、緑色の光を呈する副画素 11G、及び、青色の光を呈する副画素 11B を有する。1つの画素が有する副画素の数は特に限定されない。

[0510]

副画素 11R、11G、11B は、それぞれ、表示素子と、当該表示素子の駆動を制御する回路と、を有する。

[0511]

表示素子としては、様々な素子を用いることができ、例えば、液晶素子及び発光素子が挙げられる。その他、シャッター方式または光干渉方式の MEMS (Micro Electro Mechanical Systems) 素子、マイクロカプセル方式、電気泳動方式、エレクトロウエッチング方式、または電子粉流体 (登録商標) 方式等を適用した表示素子などを用いることもできる。また、光源と、量子ドット材料による色変換技術と、を用いた QLED (Quantum-dot LED) を用いてもよい。

[0512]

液晶素子を用いた表示装置としては、例えば、透過型の液晶表示装置、反射型の液晶表示装置、及び、半透過型の液晶表示装置が挙げられる。

[0513]

液晶素子を用いた表示装置に用いることができるモードとしては、例えば、垂直配向 (VA: Vertical Alignment) モード、FFS (Fringe Field Switching) モード、IPS (In-Plane-Switching) モード、TN (Twisted Nematic) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optically Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード、ECB (Electrically Controlled Birefringence) モード、及び、ゲストホストモードが挙げられる。VA モードとしては、例えば、MVA (Multi-Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、及び、ASV (Advanced Super View) モードが挙げられる。

[0514]

液晶素子に用いることができる液晶材料としては、例えば、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶 (PDLC: Polymer Dispersed Liquid Crystal)、高分子ネットワーク型液晶 (PNLC: Polymer Network Liquid Crystal)、強誘電性液晶、及び、反強誘電性液晶が挙げられる。これらの液

晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相、ブルー相などを示す。また、液晶材料としては、ポジ型の液晶及びネガ型の液晶のどちらを用いてもよく、適用するモードまたは設計に応じて選択できる。

[0515]

発光素子としては、例えば、LED (Light Emitting Diode)、OLED (Organic LED)、半導体レーザなどの、自発光型の発光素子が挙げられる。LEDとして、例えば、ミニLED、マイクロLEDなどを用いることができる。

[0516]

発光素子が有する発光物質としては、例えば、蛍光を発する物質（蛍光材料）、燐光を発する物質（燐光材料）、熱活性化遅延蛍光を示す物質（熱活性化遅延蛍光 (Thermally activated delayed fluorescence: TADF) 材料)、及び、無機化合物（量子ドット材料等）が挙げられる。

[0517]

発光素子の発光色は、赤外、赤、緑、青、シアン、マゼンタ、黄、または白などとすることができる。また、発光素子にマイクロキャビティ構造を付与することにより色純度を高めることができる。

[0518]

発光素子が有する一対の電極のうち、一方の電極は陽極として機能し、他方の電極は陰極として機能する。

[0519]

なお、本発明の一態様の表示装置は、発光素子が形成されている基板とは反対方向に光を射出する上面射出型（トップエミッション型）、発光素子が形成されている基板側に光を射出する下面射出型（ボトムエミッション型）、両面に光を射出する両面射出型（デュアルエミッション型）のいずれであってもよい。

[0520]

図23Aに、表示装置50Aの、FPC172を含む領域の一部、回路部164の一部、表示部162の一部、接続部140の一部、及び、端部を含む領域の一部をそれぞれ切断したときの断面の一例を示す。

[0521]

図23Aに示す表示装置50Aは、基板151と基板152の間に、トランジスタ205D、205R、205G、205B、発光素子130R、発光素子130G、発光素子130B等を有する。発光素子130Rは、赤色の光を呈する副画素11Rが有する表示素子であり、発光素子130Gは、緑色の光を呈する副画素11Gが有する表示素子であり、発光素子130Bは、青色の光を呈する副画素11Bが有する表示素子である。

[0522]

表示装置50Aには、SBS構造が適用されている。SBS構造は、発光素子ごとに材料及び構成を最適化することができるため、材料及び構成の選択の自由度が高まり、輝度の向上及び信頼性の向上を図ることが容易となる。

[0523]

また、表示装置50Aは、トップエミッション型である。トップエミッション型は、トランジスタ等を発光素子の発光領域と重ねて配置できるため、ボトムエミッション型に比べて画素の開口率を

高めることができる。

[0524]

トランジスタ205D、205R、205G、205Bは、いずれも基板151上に形成されている。これらのトランジスタは、同一の材料及び同一の工程により作製することができる。

[0525]

本実施の形態では、トランジスタ205D、205R、205G、205Bには、OSトランジスタを用いる例を示す。トランジスタ205D、205R、205G、205Bには、本発明の一態様のトランジスタを用いることができる。つまり、表示装置50Aは、表示部162及び回路部164の双方に、本発明の一態様のトランジスタを有する。表示部162に本発明の一態様のトランジスタを用いることで、画素サイズを縮小でき、高精細化を図ることができる。また、回路部164に本発明の一態様のトランジスタを用いることで、回路部164の占有面積を小さくでき、狭額縁化を図ることができる。本発明の一態様のトランジスタについては、先の実施の形態の記載を参照できる。

[0526]

具体的には、トランジスタ205D、205R、205G、205Bは、それぞれ、ゲートとして機能する導電層104、ゲート絶縁層として機能する絶縁層106、ソース及びドレインとして機能する導電層112a及び導電層112b、金属酸化物を有する半導体層108、並びに、絶縁層110を有する。ここでは、同一の導電膜を加工して得られる複数の層に、同じハッチングパターンを付している。絶縁層110は、導電層112aと半導体層108との間に位置する。絶縁層106は、導電層104と半導体層108との間に位置する。

[0527]

本実施の形態では、トランジスタ205D、205R、205G、205Bに、実施の形態1で説明したトランジスタ100Bを適用する例を示す。具体的には、絶縁層110が、絶縁層110a、110b、110c、110d、110eの5層構造である例を示す。また、導電層112a及び導電層112bが、それぞれ、下層の上面及び側面を上層が覆う2層構造である例を示す。

[0528]

なお、本実施の形態の表示装置が有するトランジスタは、本発明の一態様のトランジスタのみに限定されない。例えば、本発明の一態様のトランジスタと、他の構造のトランジスタと、を組み合わせ有していてもよい。

[0529]

本実施の形態の表示装置は、例えば、プレーナ型のトランジスタ、スタガ型のトランジスタ、逆スタガ型のトランジスタのいずれか一以上を有していてもよい。本実施の形態の表示装置が有するトランジスタは、トップゲート型またはボトムゲート型のいずれとしてもよい。または、チャンネルが形成される半導体層の上下にゲートが設けられていてもよい。

[0530]

また、本実施の形態の表示装置は、Siトランジスタを有していてもよい。

[0531]

画素回路に含まれる発光素子の発光輝度を高くする場合、発光素子に流す電流量を大きくする必要があり、そのためには、画素回路に含まれている駆動トランジスタのソースドレイン間電圧を高くする必要がある。OSトランジスタは、Siトランジスタと比較して、ソースドレイン間にお

いて耐圧が高いため、OSトランジスタのソースドレイン間には高い電圧を印加することができる。したがって、画素回路に含まれる駆動トランジスタをOSトランジスタとすることで、発光素子に流れる電流量を大きくし、発光素子の発光輝度を高くすることができる。

[0532]

また、トランジスタが飽和領域で動作する場合において、OSトランジスタは、Siトランジスタよりも、ゲートソース間電圧の変化に対して、ソースドレイン間電流の変化を小さくすることができる。このため、画素回路に含まれる駆動トランジスタとしてOSトランジスタを適用することによって、ゲートソース間電圧の変化によって、ソースドレイン間に流れる電流を細かく定めることができるため、発光素子に流れる電流量を制御することができる。このため、画素回路における階調数を多くすることができる。

[0533]

また、トランジスタが飽和領域で動作するとき流れる電流の飽和特性において、OSトランジスタは、ソースドレイン間電圧が徐々に高くなった場合においても、Siトランジスタよりも安定した電流（飽和電流）を流すことができる。そのため、OSトランジスタを駆動トランジスタとして用いることで、例えば、発光素子の電流－電圧特性にばらつきが生じた場合においても、発光素子に安定した電流を流すことができる。つまり、OSトランジスタは、飽和領域で動作する場合において、ソースドレイン間電圧を変化させても、ソースドレイン間電流がほぼ変化しないため、発光素子の発光輝度を安定させることができる。

[0534]

回路部164が有するトランジスタと、表示部162が有するトランジスタは、同じ構造であってもよく、異なる構造であってもよい。回路部164が有する複数のトランジスタの構造は、全て同じであってもよく、2種類以上であってもよい。同様に、表示部162が有する複数のトランジスタの構造は、全て同じであってもよく、2種類以上であってもよい。

[0535]

表示部162が有するトランジスタの全てをOSトランジスタとしてもよく、表示部162が有するトランジスタの全てをSiトランジスタとしてもよく、表示部162が有するトランジスタの一部をOSトランジスタとし、残りをSiトランジスタとしてもよい。

[0536]

例えば、表示部162にLTPSトランジスタとOSトランジスタとの双方を用いることで、消費電力が低く、駆動能力の高い表示装置を実現することができる。また、LTPSトランジスタと、OSトランジスタとを、組み合わせる構成をLTPOと呼称する場合がある。なお、より好適な例としては、配線間の導通、非導通を制御するためのスイッチとして機能するトランジスタ等にOSトランジスタを適用し、電流を制御するトランジスタ等にLTPSトランジスタを適用する構成が挙げられる。

[0537]

例えば、表示部162が有するトランジスタの一は、発光素子に流れる電流を制御するためのトランジスタとして機能し、駆動トランジスタとも呼ぶことができる。駆動トランジスタのソース及びドレインの一方は、発光素子の画素電極と電気的に接続される。当該駆動トランジスタには、LTPSトランジスタを用いることが好ましい。これにより、画素回路において発光素子に流れる電流を大きくできる。

[0538]

一方、表示部162が有するトランジスタの他の一は、画素の選択、非選択を制御するためのスイッチとして機能し、選択トランジスタとも呼ぶことができる。選択トランジスタのゲートはゲート線と電氣的に接続され、ソース及びドレインの一方は、ソース線（信号線）と電氣的に接続される。選択トランジスタには、OSトランジスタを適用することが好ましい。これにより、フレーム周波数を著しく小さく（例えば1fps以下）しても、画素の階調を維持することができるため、静止画を表示する際にドライバを停止することで、消費電力を低減することができる。

[0539]

トランジスタ205D、205R、205G、205Bを覆うように、絶縁層218が設けられ、絶縁層218上に絶縁層235が設けられている。

[0540]

絶縁層218は、トランジスタの保護層として機能することが好ましい。絶縁層218には、水及び水素などの不純物が拡散しにくい材料を用いることが好ましい。これにより、絶縁層218をバリア層として機能させることができる。このような構成とすることで、トランジスタに外部から不純物が拡散することを効果的に抑制でき、表示装置の信頼性を高めることができる。

[0541]

絶縁層218は、1層以上の無機絶縁膜を有することが好ましい。無機絶縁膜としては、例えば、酸化絶縁膜、窒化絶縁膜、酸化窒化絶縁膜、及び窒化酸化絶縁膜が挙げられる。これらの無機絶縁膜の具体例は、前述の通りである。

[0542]

絶縁層235は、平坦化層としての機能を有することが好ましく、有機絶縁膜が好適である。有機絶縁膜に用いることができる材料としては、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、及びこれら樹脂の前駆体等が挙げられる。また、絶縁層235を、有機絶縁膜と、無機絶縁膜との積層構造にしてもよい。絶縁層235の最表層は、エッチング保護層としての機能を有することが好ましい。これにより、画素電極111R、111G、111Bなどの加工時に、絶縁層235に凹部が形成されることを抑制することができる。または、絶縁層235には、画素電極111R、111G、111Bなどの加工時に、凹部が設けられてもよい。

[0543]

絶縁層235上に、発光素子130R、130G、130Bが設けられている。

[0544]

発光素子130Rは、絶縁層235上の画素電極111Rと、画素電極111R上のEL層113Rと、EL層113R上の共通電極115と、を有する。図23Aに示す発光素子130Rは、赤色の光（R）を発する。EL層113Rは、赤色の光を発する発光層を有する。

[0545]

発光素子130Gは、絶縁層235上の画素電極111Gと、画素電極111G上のEL層113Gと、EL層113G上の共通電極115と、を有する。図23Aに示す発光素子130Gは、緑色の光（G）を発する。EL層113Gは、緑色の光を発する発光層を有する。

[0546]

発光素子130Bは、絶縁層235上の画素電極111Bと、画素電極111B上のEL層113

Bと、EL層113B上の共通電極115と、を有する。図23Aに示す発光素子130Bは、青色の光(B)を発する。EL層113Bは、青色の光を発する発光層を有する。

[0547]

なお、図23Aでは、EL層113R、113G、113Bを全て同じ膜厚で示すが、これに限られない。EL層113R、113G、113Bのそれぞれの膜厚は異なってもよい。例えば、EL層113R、113G、113Bは、それぞれの発する光を強める光路長に対応して膜厚を設定することが好ましい。これにより、マイクロキャビティ構造を実現し、各発光素子から射出される光の色純度を高めることができる。

[0548]

画素電極111Rは、絶縁層106、絶縁層218、及び絶縁層235に設けられた開口を介して、トランジスタ205Rが有する導電層112bと電氣的に接続されている。同様に、画素電極111Gは、トランジスタ205Gが有する導電層112bと電氣的に接続され、画素電極111Bは、トランジスタ205Bが有する導電層112bと電氣的に接続されている。

[0549]

前述の通り、本実施の形態では、導電層112bが、下層の上面及び側面を上層が覆う2層構造である例を示している。図23Aでは、導電層112bの上層に開口が設けられ、当該開口を介して、画素電極が、導電層112bの下層の上面と接する例を示している。本発明の一態様のトランジスタは、導電層112bが積層構造である。画素電極と導電層112bとのコンタクト抵抗が低くなるように、導電層112bを構成する層の中から、画素電極と接する層を選択することが好ましい。また、密着性の観点から、画素電極と接する層を選択してもよい。

[0550]

例えば、画素電極（または画素電極の最も下側の層）に金属層または合金層を用いる場合、導電層112bを構成する層のうち、金属層または合金層の上面と、画素電極が接すると好ましい。また、画素電極（または画素電極の最も下側の層）に酸化物導電層を用いる場合、導電層112bを構成する層のうち、酸化物導電層の上面と、画素電極が接すると好ましい。

[0551]

画素電極111R、111G、111Bのそれぞれの端部は、絶縁層237によって覆われている。絶縁層237は、隔壁として機能する。絶縁層237は、無機絶縁材料及び有機絶縁材料の一方または双方を用いて、単層構造または積層構造で設けることができる。絶縁層237には、例えば、絶縁層218に用いることができる材料及び絶縁層235に用いることができる材料を適用できる。絶縁層237により、画素電極と共通電極とを電氣的に絶縁することができる。また、絶縁層237により、隣接する発光素子同士を電氣的に絶縁することができる。

[0552]

絶縁層237は、少なくとも表示部162に設けられる。絶縁層237は、表示部162だけでなく、接続部140及び回路部164に設けられていてもよい。また、絶縁層237は、表示装置50Aの端部にまで設けられていてもよい。

[0553]

共通電極115は、発光素子130R、130G、130Bに共通して設けられる一続きの膜である。複数の発光素子が共通して有する共通電極115は、接続部140に設けられた導電層123と電氣的に接続される。導電層123には、画素電極111R、111G、111Bと同じ材料及

び同じ工程で形成された導電層を用いることが好ましい。

[0554]

本発明の一態様の表示装置において、画素電極と共通電極のうち、光を取り出す側の電極には、可視光を透過する導電膜を用いる。また、光を取り出さない側の電極には、可視光を反射する導電膜を用いることが好ましい。

[0555]

また、光を取り出さない側の電極にも可視光を透過する導電膜を用いてもよい。この場合、反射層と、EL層との間に当該電極を配置することが好ましい。つまり、EL層の発光は、当該反射層によって反射されて、表示装置から取り出されてもよい。

[0556]

発光素子の一对の電極を形成する材料としては、金属、合金、電気伝導性化合物、及びこれらの混合物などを適宜用いることができる。当該材料としては、具体的には、アルミニウム、マグネシウム、チタン、クロム、マンガン、鉄、コバルト、ニッケル、銅、ガリウム、亜鉛、インジウム、スズ、モリブデン、タンタル、タングステン、パラジウム、金、白金、銀、イットリウム、ネオジムなどの金属、及びこれらを適宜組み合わせる含む合金が挙げられる。また、当該材料としては、インジウムスズ酸化物（In-Sn酸化物、ITOともいう）、In-Si-Sn酸化物（ITSOともいう）、インジウム亜鉛酸化物（In-Zn酸化物）、及びIn-W-Zn酸化物などを挙げることができる。また、当該材料としては、アルミニウム、ニッケル、及びランタンの合金（Al-Ni-La）等のアルミニウムを含む合金（アルミニウム合金）、並びに、銀とマグネシウムの合金、及び、銀とパラジウムと銅の合金（Ag-Pd-Cu、APCとも記す）等の銀を含む合金が挙げられる。その他、当該材料としては、上記例示のない元素周期表の第1族または第2族に属する元素（例えば、リチウム、セシウム、カルシウム、ストロンチウム）、ユウロピウム、イッテルビウムなどの希土類金属及びこれらを適宜組み合わせる含む合金、グラフェン等が挙げられる。

[0557]

発光素子には、微小光共振器（マイクロキャビティ）構造が適用されていることが好ましい。したがって、発光素子が有する一对の電極の一方は、可視光に対する透過性及び反射性を有する電極（半透過・半反射電極）を有することが好ましく、他方は、可視光に対する反射性を有する電極（反射電極）を有することが好ましい。発光素子がマイクロキャビティ構造を有することで、発光層から得られる発光を両電極間で共振させ、発光素子から射出される光を強めることができる。

[0558]

透明電極の光の透過率は、40%以上とする。例えば、発光素子の透明電極には、可視光（波長400nm以上750nm未満の光）の透過率が40%以上である電極を用いることが好ましい。半透過・半反射電極の可視光の反射率は、10%以上95%以下、好ましくは30%以上80%以下とする。反射電極の可視光の反射率は、40%以上100%以下、好ましくは70%以上100%以下とする。また、これらの電極の抵抗率は、 $1 \times 10^{-2} \Omega \text{cm}$ 以下が好ましい。

[0559]

EL層113R、113G、113Bは、それぞれ、島状に設けられている。図23Aでは、隣り合うEL層113Rの端部とEL層113Gの端部とが重なっており、隣り合うEL層113Gの端部とEL層113Bの端部とが重なっており、隣り合うEL層113Rの端部とEL層113Bの端部とが重なっている。ファインメタルマスクを用いて島状のEL層を成膜する場合、図23A

に示すように、隣り合うEL層の端部同士が重なることがあるが、これに限られない。つまり、隣り合うEL層同士は重ならず、互いに離隔されていてもよい。また、表示装置において、隣り合うEL層同士が重なっている部分と、隣り合うEL層同士が重ならず離隔されている部分と、の双方が存在してもよい。

[0560]

EL層113R、113G、113Bは、それぞれ、少なくとも発光層を有する。発光層は、1種または複数種の発光物質を有する。発光物質としては、青色、紫色、青紫色、緑色、黄緑色、黄色、橙色、または赤色などの発光色を呈する物質を適宜用いる。また、発光物質として、近赤外光を発する物質を用いることもできる。

[0561]

発光物質としては、蛍光材料、燐光材料、TADF材料、及び量子ドット材料などが挙げられる。

[0562]

発光層は、発光物質（ゲスト材料）に加えて、1種または複数種の有機化合物（ホスト材料、アシスト材料等）を有していてもよい。1種または複数種の有機化合物としては、正孔輸送性の高い物質（正孔輸送性材料）及び電子輸送性の高い物質（電子輸送性材料）の一方または双方を用いることができる。また、1種または複数種の有機化合物として、バイポーラ性の物質（電子輸送性及び正孔輸送性が高い物質）、またはTADF材料を用いてもよい。

[0563]

発光層は、例えば、燐光材料と、励起錯体を形成しやすい組み合わせである正孔輸送性材料及び電子輸送性材料と、を有することが好ましい。このような構成とすることにより、励起錯体から発光物質（燐光材料）へのエネルギー移動であるExTET（Exciplex-Triplet Energy Transfer）を用いた発光を効率よく得ることができる。発光物質の最も低エネルギー側の吸収帯の波長と重なるような発光を呈する励起錯体を形成するような組み合わせを選択することで、エネルギー移動がスムーズとなり、効率よく発光を得ることができる。この構成により、発光素子の高効率、低電圧駆動、長寿命を同時に実現できる。

[0564]

EL層は、発光層の他に、正孔注入性の高い物質を含む層（正孔注入層）、正孔輸送性材料を含む層（正孔輸送層）、電子ブロック性の高い物質を含む層（電子ブロック層）、電子注入性の高い物質を含む層（電子注入層）、電子輸送性材料を含む層（電子輸送層）、及び、正孔ブロック性の高い物質を含む層（正孔ブロック層）のうち一つまたは複数有することができる。その他、EL層は、バイポーラ性の物質及びTADF材料の一方または双方を含んでもよい。

[0565]

発光素子には低分子化合物及び高分子化合物のいずれを用いることもでき、無機化合物を含んでもよい。発光素子を構成する層は、それぞれ、蒸着法（真空蒸着法を含む）、転写法、印刷法、インクジェット法、塗布法等の方法で形成することができる。

[0566]

発光素子には、シングル構造（発光ユニットを1つだけ有する構造）を適用してもよく、タンデム構造（発光ユニットを複数有する構造）を適用してもよい。発光ユニットは、少なくとも1層の発光層を有する。タンデム構造は、複数の発光ユニットが電荷発生層を介して直列に接続された構成である。電荷発生層は、一对の電極間に電圧を印加したときに、2つの発光ユニットの一方に電子

を注入し、他方に正孔を注入する機能を有する。タンデム構造とすることで、高輝度発光が可能な発光素子とすることができる。また、タンデム構造は、シングル構造と比べて、同じ輝度を得るために必要な電流を低減できるため、信頼性を高めることができる。なお、タンデム構造をスタック構造と呼ぶこともできる。

[0567]

図23Aにおいて、タンデム構造の発光素子を用いる場合、EL層113Rは、赤色の光を発する発光ユニットを複数有する構造であり、EL層113Gは、緑色の光を発する発光ユニットを複数有する構造であり、EL層113Bは、青色の光を発する発光ユニットを複数有する構造であると好ましい。

[0568]

発光素子130R、130G、130B上には保護層131が設けられている。保護層131と基板152は接着層142を介して接着されている。基板152には、遮光層117が設けられている。発光素子の封止には、例えば、固体封止構造または中空封止構造が適用できる。図23Aでは、基板152と基板151との間の空間が、接着層142で充填されており、固体封止構造が適用されている。または、当該空間を不活性ガス（窒素またはアルゴンなど）で充填し、中空封止構造を適用してもよい。このとき、接着層142は、発光素子と重ならないように設けられていてもよい。また、当該空間を、枠状に設けられた接着層142とは異なる樹脂で充填してもよい。

[0569]

保護層131は、少なくとも表示部162に設けられており、表示部162全体を覆うように設けられていることが好ましい。保護層131は、表示部162だけでなく、接続部140及び回路部164を覆うように設けられていることが好ましい。また、保護層131は、表示装置50Aの端部にまで設けられていることが好ましい。一方で、接続部204には、FPC172と導電層166とを電氣的に接続させるため、保護層131が設けられていない部分が生じる。

[0570]

発光素子130R、130G、130B上に保護層131を設けることで、発光素子の信頼性を高めることができる。

[0571]

保護層131は、単層構造、または、2層以上の積層構造とすることができる。また、保護層131の導電性は問わない。保護層131としては、絶縁膜、半導体膜、及び、導電膜の少なくとも一種を用いることができる。

[0572]

保護層131が無機膜を有することで、共通電極115の酸化を防止する、発光素子に不純物（水分及び酸素等）が入り込むことを抑制する、等、発光素子の劣化を抑制し、表示装置の信頼性を高めることができる。

[0573]

保護層131には、例えば、酸化絶縁膜、窒化絶縁膜、酸化窒化絶縁膜、及び窒化酸化絶縁膜等の無機絶縁膜を用いることができる。これらの無機絶縁膜の具体例は、前述の通りである。特に、保護層131は、窒化絶縁膜または窒化酸化絶縁膜を有することが好ましく、窒化絶縁膜を有することがより好ましい。

[0574]

また、保護層131には、ITO、In-Zn酸化物、Ga-Zn酸化物、Al-Zn酸化物、またはIGZO等を含む無機膜を用いることもできる。当該無機膜は、高抵抗であることが好ましく、具体的には、共通電極115よりも高抵抗であることが好ましい。当該無機膜は、さらに窒素を含んでいてもよい。

[0575]

発光素子の発光を、保護層131を介して取り出す場合、保護層131は、可視光に対する透過性が高いことが好ましい。例えば、ITO、IGZO、及び、酸化アルミニウムは、それぞれ、可視光に対する透過性が高い無機材料であるため、好ましい。

[0576]

保護層131としては、例えば、酸化アルミニウム膜と、酸化アルミニウム膜上の窒化シリコン膜と、の積層構造、または、酸化アルミニウム膜と、酸化アルミニウム膜上のIGZO膜と、の積層構造を用いることができる。当該積層構造を用いることで、不純物（水及び酸素等）がEL層側に入り込むことを抑制できる。

[0577]

さらに、保護層131は、有機膜を有していてもよい。例えば、保護層131は、有機膜と無機膜の双方を有していてもよい。保護層131に用いることができる有機膜としては、例えば、絶縁層235に用いることができる有機絶縁膜などが挙げられる。

[0578]

基板151の、基板152が重ならない領域には、接続部204が設けられている。接続部204では、導電層165が、導電層166及び接続層242を介してFPC172と電氣的に接続されている。導電層165は、導電層112bと同一の導電膜を加工して得られた導電層の積層構造である例を示す。導電層166は、画素電極111R、111G、111Bと同一の導電膜を加工して得られた導電層である例を示す。導電層165と導電層166との接続部には、画素電極と導電層112bとの接続部と同様の構成が適用できる。具体的には、図23Aでは、導電層165の上層に開口が設けられ、当該開口を介して、導電層166が、導電層165の下層の上面と接する例を示している。接続部204の上面では、導電層166が露出している。これにより、接続部204とFPC172とを接続層242を介して電氣的に接続することができる。

[0579]

表示装置50Aは、トップエミッション型である。発光素子が発する光は、基板152側に射出される。基板152には、可視光に対する透過性が高い材料を用いることが好ましい。画素電極111R、111G、111Bは可視光を反射する材料を含み、対向電極（共通電極115）は可視光を透過する材料を含む。

[0580]

基板152の基板151側の面には、遮光層117を設けることが好ましい。遮光層117は、隣り合う発光素子の間、接続部140、及び、回路部164などに設けることができる。

[0581]

また、基板152の基板151側の面、または、保護層131上に、カラーフィルタなどの着色層を設けてもよい。発光素子に重ねてカラーフィルタを設けると、画素から射出される光の色純度を高めることができる。

[0582]

着色層は特定の波長域の光を選択的に透過し、他の波長域の光を吸収する有色層である。例えば、赤色の波長域の光を透過する赤色（R）のカラーフィルタ、緑色の波長域の光を透過する緑色（G）のカラーフィルタ、青色の波長域の光を透過する青色（B）のカラーフィルタなどを用いることができる。各着色層には、金属材料、樹脂材料、顔料、染料のうち一つまたは複数を用いることができる。着色層は、印刷法、インクジェット法、フォトリソグラフィ法を用いたエッチング方法などでそれぞれ所望の位置に形成する。

[0583]

また、基板152の外側（基板151とは反対側の面）には各種光学部材を配置することができる。光学部材としては、例えば、偏光板、位相差板、光拡散層（拡散フィルムなど）、反射防止層、及び集光フィルムが挙げられる。また、基板152の外側には、ゴミの付着を抑制する帯電防止膜、汚れを付着しにくくする撥水性の膜、使用に伴う傷の発生を抑制するハードコート膜、衝撃吸収層等の表面保護層を配置してもよい。例えば、表面保護層として、ガラス層またはシリカ層（SiO_x層）を設けることで、表面汚染及び傷の発生を抑制することができ、好ましい。また、表面保護層としては、DLC（ダイヤモンドライクカーボン）、酸化アルミニウム（AlO_x）、ポリエステル系材料、またはポリカーボネート系材料などを用いてもよい。なお、表面保護層には、可視光に対する透過率が高い材料を用いることが好ましい。また、表面保護層には、硬度が高い材料を用いることが好ましい。

[0584]

基板151及び基板152としては、それぞれ、ガラス、石英、セラミックス、サファイア、樹脂、金属、合金、半導体などを用いることができる。発光素子からの光を取り出す側の基板には、該光を透過する材料を用いる。基板151及び基板152に可撓性を有する材料を用いると、表示装置の可撓性を高め、フレキシブルディスプレイを実現することができる。また、基板151及び基板152の少なくとも一方として偏光板を用いてもよい。

[0585]

基板151及び基板152としては、それぞれ、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）等のポリエステル樹脂、ポリアクリロニトリル樹脂、アクリル樹脂、ポリイミド樹脂、ポリメチルメタクリレート樹脂、ポリカーボネート（PC）樹脂、ポリエーテルスルホン（PES）樹脂、ポリアミド樹脂（ナイロン、アラミド等）、ポリシロキサン樹脂、シクロオレフィン樹脂、ポリスチレン樹脂、ポリアミドイミド樹脂、ポリウレタン樹脂、ポリ塩化ビニル樹脂、ポリ塩化ビニリデン樹脂、ポリプロピレン樹脂、ポリテトラフルオロエチレン（PTFE）樹脂、ABS樹脂、セルロースナノファイバー等を用いることができる。基板151及び基板152の少なくとも一方に、可撓性を有する程度の厚さのガラスを用いてもよい。

[0586]

なお、表示装置に円偏光板を重ねる場合、表示装置が有する基板には、光学等方性の高い基板を用いることが好ましい。光学等方性が高い基板は、複屈折が小さい（複屈折量が小さい、ともいえる）。光学等方性が高いフィルムとしては、トリアセチルセルロース（TAC、セルローストリアセテートともいう）フィルム、シクロオレフィンポリマー（COP）フィルム、シクロオレフィンコポリマー（COC）フィルム、及びアクリルフィルム等が挙げられる。

[0587]

接着層142としては、紫外線硬化型等の光硬化型接着剤、反応硬化型接着剤、熱硬化型接着剤、

嫌気型接着剤などの各種硬化型接着剤を用いることができる。これら接着剤としてはエポキシ樹脂、アクリル樹脂、シリコーン樹脂、フェノール樹脂、ポリイミド樹脂、イミド樹脂、PVC（ポリビニルクロライド）樹脂、PVB（ポリビニルブチラール）樹脂、EVA（エチレンビニルアセテート）樹脂等が挙げられる。特に、エポキシ樹脂等の透湿性が低い材料が好ましい。また、二液混合型の樹脂を用いてもよい。また、接着シート等を用いてもよい。

[0588]

接続層242としては、異方性導電フィルム（ACF：Anisotropic Conductive Film）、異方性導電ペースト（ACP：Anisotropic Conductive Paste）などを用いることができる。

[0589]

[表示装置50B]

図23Bに、表示装置50Bの表示部162の断面の一例を示す。表示装置50Bは、各色の副画素に、共通のEL層113を有する発光素子と、着色層（カラーフィルタなど）と、が用いられている点で、表示装置50Aと主に異なる。図23Bに示す構成は、図23Aに示す、FPC172を含む領域、回路部164、表示部162の基板151から絶縁層235までの積層構造、接続部140、及び、端部の構成と、組み合わせることができる。なお、以降の表示装置の説明では、先に説明した表示装置と同様の部分については説明を省略することがある。

[0590]

図23Bに示す表示装置50Bは、発光素子130R、130G、130B、赤色の光を透過する着色層132R、緑色の光を透過する着色層132G、及び、青色の光を透過する着色層132B等を有する。

[0591]

発光素子130Rは、画素電極111Rと、画素電極111R上のEL層113と、EL層113上の共通電極115と、を有する。発光素子130Rの発光は、着色層132Rを介して表示装置50Bの外部に赤色の光として取り出される。

[0592]

発光素子130Gは、画素電極111Gと、画素電極111G上のEL層113と、EL層113上の共通電極115と、を有する。発光素子130Gの発光は、着色層132Gを介して表示装置50Bの外部に緑色の光として取り出される。

[0593]

発光素子130Bは、画素電極111Bと、画素電極111B上のEL層113と、EL層113上の共通電極115と、を有する。発光素子130Bの発光は、着色層132Bを介して表示装置50Bの外部に青色の光として取り出される。

[0594]

発光素子130R、130G、130Bは、EL層113と、共通電極115と、をそれぞれ共有して有する。各色の副画素に共通のEL層113を設ける構成は、各色の副画素にそれぞれ異なるEL層を設ける構成に比べて、作製工程数の削減が可能である。

[0595]

例えば、図23Bに示す発光素子130R、130G、130Bは、白色の光を発する。発光素子130R、130G、130Bが発する白色の光が、着色層132R、132G、132Bを透過

することで、所望の色の光を得ることができる。

[0596]

白色の光を発する発光素子は、2つ以上の発光層を含むことが好ましい。2つの発光層を用いて白色発光を得る場合、2つの発光層の発光色が補色の関係となるような発光層を選択する。例えば、第1の発光層の発光色と第2の発光層の発光色を補色の関係になるようにすることで、発光素子全体として白色発光する構成を得ることができる。また、3つ以上の発光層を用いて白色発光を得る場合、3つ以上の発光層の発光色が合わさることで、発光素子全体として白色発光する構成とする。

[0597]

EL層113は、例えば、青色の光を発する発光物質を有する発光層、及び、青色よりも長波長の可視光を発する発光物質を有する発光層を有することが好ましい。EL層113は、例えば、黄色の光を発する発光層、及び、青色の光を発する発光層を有することが好ましい。または、EL層113は、例えば、赤色の光を発する発光層、緑色の光を発する発光層、及び、青色の光を発する発光層を有することが好ましい。

[0598]

白色の光を発する発光素子には、タンデム構造を用いることが好ましい。具体的には、黄色の光を発する発光ユニットと、青色の光を発する発光ユニットとを有する2段タンデム構造、赤色と緑色の光を発する発光ユニットと、青色の光を発する発光ユニットとを有する2段タンデム構造、青色の光を発する発光ユニットと、黄色、黄緑色、または緑色の光を発する発光ユニットと、青色の光を発する発光ユニットとをこの順で有する3段タンデム構造、または、青色の光を発する発光ユニットと、黄色、黄緑色、または緑色の光と、赤色の光とを有する発光ユニットと、青色の光を発する発光ユニットと、をこの順で有する3段タンデム構造などを適用することができる。例えば、発光ユニットの積層数と色の順番としては、陽極側から、B、Yの2段構造、Bと発光ユニットXとの2段構造、B、Y、Bの3段構造、B、X、Bの3段構造が挙げられ、発光ユニットXにおける発光層の積層数と色の順番としては、陽極側から、R、Yの2層構造、R、Gの2層構造、G、Rの2層構造、G、R、Gの3層構造、または、R、G、Rの3層構造などとする事ができる。また、2つの発光層の間に他の層が設けられていてもよい。

[0599]

なお、マイクロキャビティ構造を適用することで、白色の光を発する構成の発光素子は、赤色、緑色、または青色などの特定の波長の光が強められて発光する場合もある。

[0600]

または、例えば、図23Bに示す発光素子130R、130G、130Bは、青色の光を発する。このとき、EL層113は、青色の光を発する発光層を1層以上有する。青色の光を呈する副画素11Bにおいては、発光素子130Bが発する青色の光を取り出すことができる。また、赤色の光を呈する副画素11R及び緑色の光を呈する副画素11Gにおいては、発光素子130Rまたは発光素子130Gと、基板152との間に、色変換層を設けることで、発光素子130Rまたは発光素子130Gが発する青色の光をより長波長の光に変換し、赤色または緑色の光を取り出すことができる。さらに、発光素子130R上には、色変換層と基板152との間に着色層132Rを設け、発光素子130G上には、色変換層と基板152との間に着色層132Gを設けることが好ましい。発光素子が発する光の一部は、色変換層で変換されずにそのまま透過してしまうことがある。色変換層を透過した光を、着色層を介して取り出すことで、所望の色の光以外を着色層で吸収し、副画

素が呈する光の色純度を高めることができる。

[0601]

[表示装置50C]

図24に示す表示装置50Cは、ボトムエミッション型の表示装置である点で、表示装置50Bと主に相違する。

[0602]

発光素子が発する光は、基板151側に射出される。基板151には、可視光に対する透過性が高い材料を用いることが好ましい。一方、基板152に用いる材料の透光性は問わない。

[0603]

基板151とトランジスタとの間には、遮光層117を形成することが好ましい。図24では、基板151上に遮光層117が設けられ、遮光層117上に絶縁層153が設けられ、絶縁層153上にトランジスタ205D、トランジスタ205R（図示しない）、トランジスタ205G、及びトランジスタ205Bなどが設けられている例を示す。また、絶縁層218上に、着色層132R、着色層132G、及び着色層132Bが設けられ、着色層132R、着色層132G、及び着色層132B上に絶縁層235が設けられている。

[0604]

着色層132Rと重なる発光素子130Rは、画素電極111Rと、EL層113と、共通電極115と、を有する。

[0605]

着色層132Gと重なる発光素子130Gは、画素電極111Gと、EL層113と、共通電極115と、を有する。

[0606]

着色層132Bと重なる発光素子130Bは、画素電極111Bと、EL層113と、共通電極115と、を有する。

[0607]

画素電極111R、111G、111Bには、それぞれ、可視光に対する透過性が高い材料を用いる。共通電極115には可視光を反射する材料を用いることが好ましい。ボトムエミッション型の表示装置では、共通電極115に抵抗の低い金属等を用いることができるため、共通電極115の抵抗に起因する電圧降下が生じることを抑制でき、高い表示品位を実現できる。

[0608]

本発明の一態様のトランジスタは微細化が可能であり、占有面積を小さくできるため、ボトムエミッション構造の表示装置において、画素の開口率を高めること、または、画素のサイズを小さくすることができる。

[0609]

[表示装置50D]

図25Aに示す表示装置50Dは、受光素子130Sを有する点で、表示装置50Aと主に相違する。

[0610]

表示装置50Dは、画素に、発光素子と受光素子を有する。表示装置50Dにおいて、発光素子として有機EL素子を用い、受光素子として有機フォトダイオードを用いることが好ましい。有機E

L素子及び有機フォトダイオードは、同一基板上に形成することができる。したがって、有機EL素子を用いた表示装置に有機フォトダイオードを内蔵することができる。

[0611]

画素に、発光素子及び受光素子を有する表示装置50Dでは、画素が受光機能を有するため、画像を表示しながら、対象物の接触または近接を検出することができる。したがって、表示部162は、画像表示機能に加えて、撮像機能及びセンシング機能の一方または双方を有する。例えば、表示装置50Dが有する副画素全てで画像を表示するだけでなく、一部の副画素は、光源としての光を呈し、他の一部の副画素で光検出を行い、残りの副画素で画像を表示することもできる。

[0612]

したがって、表示装置50Dと別に受光部及び光源を設けなくてもよく、電子機器の部品点数を削減することができる。例えば、電子機器に設けられる生体認証装置、またはスクロールなどを行うための静電容量方式のタッチパネルなどを別途設ける必要がない。したがって、表示装置50Dを用いることで、製造コストが低減された電子機器を提供することができる。

[0613]

受光素子をイメージセンサに用いる場合、表示装置50Dは、受光素子を用いて、画像を撮像することができる。例えば、イメージセンサを用いて、指紋、掌紋、虹彩、脈形状（静脈形状、動脈形状を含む）、または顔などを用いた個人認証のための撮像を行うことができる。

[0614]

また、受光素子は、タッチセンサ（ダイレクトタッチセンサともいう）または非接触センサ（ホバーセンサ、ホバータッチセンサ、タッチレスセンサともいう）などに用いることができる。タッチセンサは、表示装置と、対象物（指、手、またはペンなど）とが、直接接することで、対象物を検出できる。また、非接触センサは、対象物が表示装置に接触しなくても、当該対象物を検出することができる。

[0615]

受光素子130Sは、絶縁層235上の画素電極111Sと、画素電極111S上の機能層113Sと、機能層113S上の共通電極115と、を有する。機能層113Sには、表示装置50Dの外部から光Linが入射する。

[0616]

画素電極111Sは、絶縁層106、絶縁層218、及び絶縁層235に設けられた開口を介して、トランジスタ205Sが有する導電層112bと電氣的に接続されている。

[0617]

画素電極111Sの端部は、絶縁層237によって覆われている。

[0618]

共通電極115は、受光素子130S、発光素子130R（図示しない）、発光素子130G、及び、発光素子130Bに共通して設けられる一続きの膜である。発光素子と受光素子とが共通して有する共通電極115は、接続部140に設けられた導電層123と電氣的に接続される。

[0619]

機能層113Sは、少なくとも活性層（光電変換層ともいう）を有する。活性層は、半導体を含む。当該半導体としては、シリコンなどの無機半導体、及び、有機化合物を含む有機半導体が挙げられる。本実施の形態では、活性層が有する半導体として、有機半導体を用いる例を示す。有機半導体

を用いることで、発光層と、活性層と、を同じ方法（例えば、真空蒸着法）で形成することができ、製造装置を共通化できるため好ましい。

[0620]

機能層113Sは、活性層以外の層として、正孔輸送性の高い物質、電子輸送性の高い物質、またはバイポーラ性の物質等を含む層をさらに有していてもよい。また、上記に限られず、正孔注入性の高い物質、正孔ブロック材料、電子注入性の高い物質、または電子ブロック材料などを含む層をさらに有していてもよい。機能層113Sには、例えば、上述の発光素子に用いることができる材料を用いることができる。

[0621]

受光素子には低分子化合物及び高分子化合物のいずれを用いることもでき、無機化合物を含んでいてもよい。受光素子を構成する層は、それぞれ、蒸着法（真空蒸着法を含む）、転写法、印刷法、インクジェット法、塗布法等の方法で形成することができる。

[0622]

図25B及び図25Cに示す表示装置50Dは、基板151と基板152との間に、受光素子を有する層353、回路層355、及び、発光素子を有する層357を有する。

[0623]

層353は、例えば、受光素子130Sを有する。層357は、例えば、発光素子130R、130G、130Bを有する。

[0624]

回路層355は、受光素子を駆動する回路、及び、発光素子を駆動する回路を有する。回路層355は、例えば、トランジスタ205R、205G、205Bを有する。その他、回路層355には、スイッチ、容量、抵抗、配線、及び端子などのうち一つまたは複数設けることができる。

[0625]

図25Bは、受光素子130Sをタッチセンサに用いる例である。図25Bに示すように、層357において発光素子が発した光を、表示装置50Dに接触した指352が反射することで、層353における受光素子はその反射光を検出する。これにより、表示装置50Dに指352が接触したことを検出することができる。

[0626]

図25Cは、受光素子130Sを非接触センサに用いる例である。図25Cに示すように、層357において発光素子が発した光を、表示装置50Dに近接している（つまり、接触していない）指352が反射することで、層353における受光素子はその反射光を検出する。

[0627]

[表示装置50E]

図26Aに示す表示装置50Eは、MML（メタルマスクレス）構造が適用された表示装置の一例である。つまり、表示装置50Eは、ファインメタルマスクを用いずに作製された発光素子を有する。

[0628]

MML構造が適用された表示装置が有する発光素子における島状の発光層は、発光層を一面に成膜した後、フォトリソグラフィ法を用いて加工することで形成される。したがって、これまで実現が困難であった高精細な表示装置または高開口率の表示装置を実現することができる。さらに、発光

層を各色で作分けることができるため、極めて鮮やかでコントラストが高く、表示品位の高い表示装置を実現できる。例えば、表示装置が、青色の光を発する発光素子、緑色の光を発する発光素子、及び赤色の光を発する発光素子の3種類で構成される場合、発光層の成膜、及び、フォトリソグラフィによる加工を3回繰り返すことで、3種類の島状の発光層を形成することができる。

[0629]

MML構造のデバイスは、メタルマスクを用いることなく製造することができるため、メタルマスクの合わせ精度に起因する精細度の上限を超えることができる。また、メタルマスクを用いずにデバイスを作製する場合、メタルマスクの製造に係る設備、及び、メタルマスクの洗浄工程を不要にすることができる。また、フォトリソグラフィによる加工には、トランジスタを作製する際に用いる装置と共通または同様の装置を用いることができるため、MML構造のデバイスを作製するために特別な装置を導入する必要はない。このように、MML構造は、製造コストを低く抑えることが可能となるため、デバイスの大量生産に適している。

[0630]

MML構造が適用された表示装置では、例えば、ペンタイル配列などの特殊な画素配列を適用し疑似的に精細度を高める必要がないため、R、G、Bの副画素をそれぞれ一方向に配列させた、いわゆるストライプ配列で、かつ、高精細（例えば500 p p i以上、1000 p p i以上、2000 p p i以上、3000 p p i以上、または5000 p p i以上）の表示装置を実現することができる。

[0631]

また、発光層上に犠牲層を設けることで、表示装置の作製工程中に発光層が受けるダメージを低減し、発光素子の信頼性を高めることができる。

[0632]

また、エリアマスクを用いた成膜工程と、レジストマスクを用いた加工工程と、を採用することで、比較的簡単なプロセスにて発光素子を作製することができる。

[0633]

なお、基板151から絶縁層235までの積層構造、及び保護層131から基板152までの積層構造は、表示装置50Aと同様のため、説明を省略する。

[0634]

図26Aにおいて、絶縁層235上に、発光素子130R、130G、130Bが設けられている。

[0635]

発光素子130Rは、絶縁層235上の導電層124Rと、導電層124R上の導電層126Rと、導電層126R上の層133Rと、層133R上の共通層114と、共通層114上の共通電極115と、を有する。図26Aに示す発光素子130Rは、赤色の光（R）を発する。層133Rは、赤色の光を発する発光層を有する。発光素子130Rにおいて、層133R、及び、共通層114をまとめてEL層と呼ぶことができる。また、導電層124R及び導電層126Rのうち一方または双方を画素電極と呼ぶことができる。

[0636]

発光素子130Gは、絶縁層235上の導電層124Gと、導電層124G上の導電層126Gと、導電層126G上の層133Gと、層133G上の共通層114と、共通層114上の共通電極115と、を有する。図26Aに示す発光素子130Gは、緑色の光（G）を発する。層133Gは、

緑色の光を発する発光層を有する。発光素子130Gにおいて、層133G、及び、共通層114をまとめてEL層と呼ぶことができる。また、導電層124G及び導電層126Gのうち一方または双方を画素電極と呼ぶことができる。

[0637]

発光素子130Bは、絶縁層235上の導電層124Bと、導電層124B上の導電層126Bと、導電層126B上の層133Bと、層133B上の共通層114と、共通層114上の共通電極115と、を有する。図26Aに示す発光素子130Bは、青色の光(B)を発する。層133Bは、青色の光を発する発光層を有する。発光素子130Bにおいて、層133B、及び、共通層114をまとめてEL層と呼ぶことができる。また、導電層124B及び導電層126Bのうち一方または双方を画素電極と呼ぶことができる。

[0638]

本明細書等では、発光素子が有するEL層のうち、発光素子ごとに島状に設けられた層を層133B、層133G、または層133Rと示し、複数の発光素子が共有して有する層を共通層114と示す。なお、本明細書等において、共通層114を含めず、層133R、層133G、及び層133Bを指して、島状のEL層、島状に形成されたEL層などと呼ぶ場合もある。また、メタルマスクを用いずに作製される発光素子は、共通層を有していなくてもよく、EL層を構成する全ての層が島状に形成されていてもよい。

[0639]

層133R、層133G、及び層133Bは、互いに離隔されている。EL層を発光素子ごとに島状に設けることで、隣接する発光素子間のリーク電流を抑制することができる。これにより、クロストークに起因した意図しない発光を防ぐことができ、コントラストの極めて高い表示装置を実現できる。

[0640]

なお、図26Aでは、層133R、133G、133Bを全て同じ膜厚で示すが、これに限られない。層133R、133G、133Bのそれぞれの膜厚は異なってもよい。

[0641]

導電層124Rは、絶縁層106、絶縁層218、及び絶縁層235に設けられた開口を介して、トランジスタ205Rが有する導電層112bと電氣的に接続されている。同様に、導電層124Gは、トランジスタ205Gが有する導電層112bと電氣的に接続され、導電層124Bは、トランジスタ205Bが有する導電層112bと電氣的に接続されている。

[0642]

導電層124R、124G、124Bは、絶縁層235に設けられた開口を覆うように形成される。導電層124R、124G、124Bの凹部には、それぞれ、層128が埋め込まれている。

[0643]

層128は、導電層124R、124G、124Bの凹部を平坦化する機能を有する。導電層124R、124G、124B及び層128上には、導電層124R、124G、124Bと電氣的に接続される導電層126R、126G、126Bが設けられている。したがって、導電層124R、124G、124Bの凹部と重なる領域も発光領域として使用でき、画素の開口率を高めることができる。導電層124R及び導電層126Rに反射電極として機能する導電層を用いることが好ましい。

[0644]

層128は、絶縁層であってもよく、導電層であってもよい。層128には、各種無機絶縁材料、有機絶縁材料、及び導電材料を適宜用いることができる。特に、層128は、絶縁材料を用いて形成されることが好ましく、有機絶縁材料を用いて形成されることが特に好ましい。層128には、例えば前述の絶縁層237に用いることができる有機絶縁材料を適用することができる。

[0645]

図26Aでは、層128の上面が平坦部を有する例を示すが、層128の形状は、特に限定されない。層128の上面は、凸曲面、凹曲面、及び平面の少なくとも一つを有することができる。

[0646]

また、層128の上面の高さと、導電層124Rの上面の高さと、は、一致または概略一致していてもよく、互いに異なってもよい。例えば、層128の上面の高さは、導電層124Rの上面の高さより低くてもよく、高くてもよい。

[0647]

導電層126Rの端部は、導電層124Rの端部と揃っていてもよく、導電層124Rの端部の側面を覆っていてもよい。導電層124R及び導電層126Rのそれぞれの端部は、テーパ形状を有することが好ましい。具体的には、導電層124R及び導電層126Rのそれぞれの端部はテーパ角が0度より大きく90度未満のテーパ形状を有することが好ましい。画素電極の端部がテーパ形状を有する場合、画素電極の側面に沿って設けられる層133Rは、傾斜部を有する。画素電極の側面をテーパ形状とすることで、画素電極の側面に沿って設けられるEL層の被覆性を良好にすることができる。

[0648]

導電層124G、126G、及び、導電層124B、126Bについては、導電層124R、126Rと同様であるため詳細な説明は省略する。なお、図26において、導電層123及び導電層166は、導電層124R、124G、124Bと同一の導電膜を加工して得られた導電層と、導電層126R、126G、126Bと同一の導電膜を加工して得られた導電層と、の積層構造である例を示す。

[0649]

導電層126Rの上面及び側面は、層133Rによって覆われている。同様に、導電層126Gの上面及び側面は、層133Gによって覆われており、導電層126Bの上面及び側面は、層133Bによって覆われている。したがって、導電層126R、126G、126Bが設けられている領域全体を、発光素子130R、130G、130Bの発光領域として用いることができるため、画素の開口率を高めることができる。

[0650]

層133R、層133G、及び層133Bそれぞれの上面の一部及び側面は、絶縁層125、127によって覆われている。層133R、層133G、層133B、及び、絶縁層125、127上に、共通層114が設けられ、共通層114上に共通電極115が設けられている。共通層114及び共通電極115は、それぞれ、複数の発光素子に共通して設けられるひと続きの膜である。

[0651]

図26Aにおいて、導電層126Rと層133Rとの間には、図23A等に示す絶縁層237が設けられていない。つまり、表示装置50Eには、画素電極に接し、かつ、画素電極の上面端部を覆

う絶縁層（隔壁、バンク、スペーサなどともいう）が設けられていない。そのため、隣り合う発光素子の間隔を極めて狭くすることができる。したがって、高精細、または、高解像度の表示装置とすることができる。また、当該絶縁層を形成するためのマスクも不要となり、表示装置の製造コストを削減することができる。

[0652]

前述の通り、層133R、層133G、及び層133Bは、それぞれ、発光層を有する。層133R、層133G、及び層133Bは、それぞれ、発光層と、発光層上のキャリア輸送層（電子輸送層または正孔輸送層）と、を有することが好ましい。または、層133R、層133G、及び層133Bは、それぞれ、発光層と、発光層上のキャリアブロック層（正孔ブロック層または電子ブロック層）と、を有することが好ましい。または、層133R、層133G、及び層133Bは、それぞれ、発光層と、発光層上のキャリアブロック層と、キャリアブロック層上のキャリア輸送層と、を有することが好ましい。層133R、層133G、及び層133Bの表面は、表示装置の作製工程中に露出するため、キャリア輸送層及びキャリアブロック層の一方または双方を発光層上に設けることで、発光層が最表面に露出することを抑制し、発光層が受けるダメージを低減することができる。これにより、発光素子の信頼性を高めることができる。

[0653]

共通層114は、例えば電子注入層、または正孔注入層を有する。または、共通層114は、電子輸送層と電子注入層とを積層して有していてもよく、正孔輸送層と正孔注入層とを積層して有していてもよい。共通層114は、発光素子130R、130G、130Bで共有されている。

[0654]

層133R、層133G、及び層133Bのそれぞれの側面は、絶縁層125によって覆われている。絶縁層127は、絶縁層125を介して、層133R、層133G、及び層133Bのそれぞれの側面を覆っている。

[0655]

層133R、層133G、及び層133Bの側面（さらには、上面の一部）が、絶縁層125及び絶縁層127の少なくとも一方によって覆われていることで、共通層114（または共通電極115）が、画素電極、及び、層133R、133G、133Bの側面と接することを抑制し、発光素子のショートを抑制することができる。これにより、発光素子の信頼性を高めることができる。

[0656]

絶縁層125は、層133R、層133G、及び層133Bのそれぞれの側面と接することが好ましい。絶縁層125が層133R、層133G、及び層133Bと接する構成とすることで、層133R、層133G、及び層133Bの膜剥がれを防止でき、発光素子の信頼性を高めることができる。

[0657]

絶縁層127は、絶縁層125の凹部を充填するように、絶縁層125上に設けられる。絶縁層127は、絶縁層125の側面の少なくとも一部を覆うことが好ましい。

[0658]

絶縁層125及び絶縁層127を設けることで、隣り合う島状の層の間を埋めることができるため、島状の層上に設ける層（例えばキャリア注入層、及び共通電極など）の被形成面の高低差の大きな凹凸を低減し、より平坦にすることができる。したがって、キャリア注入層及び共通電極などの被

覆性を高めることができる。

[0659]

共通層114及び共通電極115は、層133R、層133G、層133B、絶縁層125、及び絶縁層127上に設けられる。絶縁層125及び絶縁層127を設ける前の段階では、画素電極及び島状のEL層が設けられる領域と、画素電極及び島状のEL層が設けられない領域（発光素子間の領域）と、に起因する段差が生じている。本発明の一態様の表示装置は、絶縁層125及び絶縁層127を有することで当該段差を平坦化させることができ、共通層114及び共通電極115の被覆性を向上させることができる。したがって、段切れによる接続不良を抑制することができる。また、段差によって共通電極115が局所的に薄膜化して電気抵抗が上昇することを抑制することができる。

[0660]

絶縁層127の上面は平坦性の高い形状を有することが好ましい。絶縁層127の上面は、平面、凸曲面、及び、凹曲面のうち、少なくとも一つを有していてもよい。例えば、絶縁層127の上面は、曲率半径の大きい凸曲面形状を有することが好ましい。

[0661]

絶縁層125は、無機材料を有する絶縁層とすることができる。絶縁層125には、例えば、酸化絶縁膜、窒化絶縁膜、酸化窒化絶縁膜、及び窒化酸化絶縁膜等の無機絶縁膜を用いることができる。これらの無機絶縁膜の具体例は、前述の通りである。絶縁層125は単層構造であってもよく積層構造であってもよい。特に、酸化アルミニウムは、エッチングにおいて、EL層との選択比が高く、後述する絶縁層127の形成において、EL層を保護する機能を有するため、好ましい。特にALD法により形成した酸化アルミニウム膜、酸化ハフニウム膜、または酸化シリコン膜等の無機絶縁膜を絶縁層125に適用することで、ピンホールが少なく、EL層を保護する機能に優れた絶縁層125を形成することができる。また、絶縁層125は、ALD法により形成した膜と、スパッタリング法により形成した膜と、の積層構造としてもよい。絶縁層125は、例えば、ALD法によって形成された酸化アルミニウム膜と、スパッタリング法によって形成された窒化シリコン膜と、の積層構造であってもよい。

[0662]

絶縁層125は、水及び酸素の少なくとも一方に対するバリア絶縁層としての機能を有することが好ましい。絶縁層125は、水及び酸素の少なくとも一方の拡散を抑制する機能を有することが好ましい。また、絶縁層125は、水及び酸素の少なくとも一方を捕獲、または固着する（ゲッタリングともいう）機能を有することが好ましい。

[0663]

絶縁層125が、バリア絶縁層としての機能を有することで、外部から各発光素子に拡散しうる不純物（代表的には、水及び酸素の少なくとも一方）の侵入を抑制することが可能な構成となる。当該構成とすることで、信頼性の高い発光素子、さらには、信頼性の高い表示装置を提供することができる。

[0664]

また、絶縁層125は、不純物濃度が低いことが好ましい。これにより、絶縁層125からEL層に不純物が混入し、EL層が劣化することを抑制することができる。また、絶縁層125において、不純物濃度を低くすることで、水及び酸素の少なくとも一方に対するバリア性を高めることができ

る。例えば、絶縁層 1 2 5 は、水素濃度及び炭素濃度の一方、好ましくは双方が十分に低いことが望ましい。

[0665]

絶縁層 1 2 5 上に設けられる絶縁層 1 2 7 は、隣接する発光素子間に形成された絶縁層 1 2 5 の高低差の大きな凹凸を平坦化する機能を有する。換言すると、絶縁層 1 2 7 を有することで共通電極 1 1 5 を形成する面の平坦性を向上させる効果を奏する。

[0666]

絶縁層 1 2 7 としては、有機材料を有する絶縁層を好適に用いることができる。有機材料としては、感光性の樹脂を用いることが好ましく、例えば、アクリル樹脂を含む感光性の樹脂組成物を用いることが好ましい。なお、本明細書などにおいて、アクリル樹脂とは、ポリメタクリル酸エステル、またはメタクリル樹脂だけを指すものではなく、広義のアクリル系ポリマー全体を指す場合がある。

[0667]

また、絶縁層 1 2 7 として、アクリル樹脂、ポリアイミド樹脂、エポキシ樹脂、イミド樹脂、ポリアミド樹脂、ポリアイミドアミド樹脂、シリコーン樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、及びこれら樹脂の前駆体等を用いてもよい。また、絶縁層 1 2 7 として、ポリビニルアルコール (PVA)、ポリビニルブチラール、ポリビニルピロリドン、ポリエチレングリコール、ポリグリセリン、プルラン、水溶性のセルロース、またはアルコール可溶性のポリアミド樹脂等の有機材料を用いてもよい。また、感光性の樹脂としてはフォトレジストを用いてもよい。感光性の樹脂として、ポジ型の材料及びネガ型の材料のどちらを用いてもよい。

[0668]

絶縁層 1 2 7 には可視光を吸収する材料を用いてもよい。絶縁層 1 2 7 が発光素子からの発光を吸収することで、発光素子から絶縁層 1 2 7 を介して隣接する発光素子に光が漏れること (迷光) を抑制することができる。これにより、表示装置の表示品位を高めることができる。また、表示装置に偏光板を用いなくても、表示品位を高めることができるため、表示装置の軽量化及び薄型化を図ることができる。

[0669]

可視光を吸収する材料としては、黒色などの顔料を含む材料、染料を含む材料、光吸収性を有する樹脂材料 (例えばポリアイミドなど)、及び、カラーフィルタに用いることのできる樹脂材料 (カラーフィルタ材料) が挙げられる。特に、2色、または3色以上のカラーフィルタ材料を積層または混合した樹脂材料を用いると、可視光の遮蔽効果を高めることができるため好ましい。特に3色以上のカラーフィルタ材料を混合させることで、黒色または黒色近傍の樹脂層とすることが可能となる。

[0670]

[表示装置 50F]

図 2 6 B に、表示装置 50F の表示部 1 6 2 の断面の一例を示す。表示装置 50F は、各色の副画素に、層 1 3 3 を有する発光素子と、着色層 (カラーフィルタなど) と、が用いられている点で、表示装置 50E と主に異なる。図 2 6 B に示す構成は、図 2 6 A に示す、FPC 1 7 2 を含む領域、回路部 1 6 4、表示部 1 6 2 の基板 1 5 1 から絶縁層 2 3 5 までの積層構造、接続部 1 4 0、及び、端部の構成と、組み合わせることができる。

[0671]

図26Bに示す表示装置50Fは、発光素子130R、130G、130B、赤色の光を透過する着色層132R、緑色の光を透過する着色層132G、及び、青色の光を透過する着色層132B等を有する。

[0672]

発光素子130Rの発光は、着色層132Rを介して表示装置50Fの外部に赤色の光として取り出される。同様に、発光素子130Gの発光は、着色層132Gを介して表示装置50Fの外部に緑色の光として取り出される。発光素子130Bの発光は、着色層132Bを介して表示装置50Fの外部に青色の光として取り出される。

[0673]

発光素子130R、130G、130Bは、それぞれ、層133を有する。これら3つの層133は、同一の工程、同一の材料で形成される。また、これら3つの層133は、互いに離隔されている。EL層を発光素子ごとに島状に設けることで、隣接する発光素子間のリーク電流を抑制することができる。これにより、クロストークに起因した意図しない発光を防ぐことができ、コントラストの極めて高い表示装置を実現できる。

[0674]

例えば、図26Bに示す発光素子130R、130G、130Bは、白色の光を発する。発光素子130R、130G、130Bが発する白色の光が、着色層132R、132G、132Bを透過することで、所望の色の光を得ることができる。

[0675]

または、例えば、図26Bに示す発光素子130R、130G、130Bは、青色の光を発する。このとき、層133は、青色の光を発する発光層を1層以上有する。青色の光を呈する副画素11Bにおいては、発光素子130Bが発する青色の光を取り出すことができる。また、赤色の光を呈する副画素11R及び緑色の光を呈する副画素11Gにおいては、発光素子130Rまたは発光素子130Gと、基板152との間に、色変換層を設けることで、発光素子130Rまたは発光素子130Gが発する青色の光をより長波長の光に変換し、赤色または緑色の光を取り出すことができる。さらに、発光素子130R上には、色変換層と基板152との間に着色層132Rを設け、発光素子130G上には、色変換層と基板152との間に着色層132Gを設けることが好ましい。色変換層を透過した光を、着色層を介して取り出すことで、所望の色の光以外を着色層で吸収し、副画素が呈する光の色純度を高めることができる。

[0676]

[表示装置50G]

図27に示す表示装置50Gは、ボトムエミッション型の表示装置である点で、表示装置50Fと主に相違する。

[0677]

発光素子が発する光は、基板151側に射出される。基板151には、可視光に対する透過性が高い材料を用いることが好ましい。一方、基板152に用いる材料の透光性は問わない。

[0678]

基板151とトランジスタの間には、遮光層117を形成することが好ましい。図27では、基板151上に遮光層117が設けられ、遮光層117上に絶縁層153が設けられ、絶縁層153上にトランジスタ205D、トランジスタ205R（図示しない）、トランジスタ205G、及び

トランジスタ 205Bなどが設けられている例を示す。また、絶縁層 218 上に、着色層 132R、着色層 132G、及び着色層 132B が設けられ、着色層 132R、着色層 132G、及び着色層 132B 上に絶縁層 235 が設けられている。

[0679]

着色層 132R と重なる発光素子 130R は、導電層 124R と、導電層 126R と、層 133 と、共通層 114 と、共通電極 115 と、を有する。

[0680]

着色層 132G と重なる発光素子 130G は、導電層 124G と、導電層 126G と、層 133 と、共通層 114 と、共通電極 115 と、を有する。

[0681]

着色層 132B と重なる発光素子 130B は、導電層 124B と、導電層 126B と、層 133 と、共通層 114 と、共通電極 115 と、を有する。

[0682]

導電層 124R、124G、124B、126R、126G、126B には、それぞれ、可視光に対する透過性が高い材料を用いる。共通電極 115 には可視光を反射する材料を用いることが好ましい。ボトムエミッション型の表示装置では、共通電極 115 に抵抗の低い金属等を用いることができるため、共通電極 115 の抵抗に起因する電圧降下が生じることを抑制でき、高い表示品位を実現できる。

[0683]

本発明の一態様のトランジスタは微細化が可能であり、占有面積を小さくできるため、ボトムエミッション構造の表示装置において、画素の開口率を高めること、または、画素のサイズを小さくすることができる。

[0684]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

[0685]

(実施の形態 4)

本実施の形態では、本発明の一態様の電子機器について、図 28 乃至図 30 を用いて説明する。

[0686]

本実施の形態の電子機器は、表示部に本発明の一態様の表示装置を有する。本発明の一態様の表示装置は、高精細化及び高解像度化が容易である。したがって、様々な電子機器の表示部に用いることができる。

[0687]

また、本発明の一態様の半導体装置は、電子機器の表示部以外に適用することもできる。例えば、電子機器の制御部等に、本発明の一態様の半導体装置を用いることで、低消費電力化が可能となり好ましい。

[0688]

電子機器としては、例えば、テレビジョン装置、デスクトップ型もしくはノート型のパーソナルコンピュータ、コンピュータ用などのモニタ、デジタルサイネージ、パチンコ機などの大型ゲーム機などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられ

る。

[0689]

特に、本発明の一態様の表示装置は、精細度を高めることが可能なため、比較的小さな表示部を有する電子機器に好適に用いることができる。このような電子機器としては、例えば、腕時計型及びブレスレット型の情報端末機（ウェアラブル機器）、並びに、ヘッドマウントディスプレイなどのVR向け機器、メガネ型のAR向け機器、及び、MR向け機器など、頭部に装着可能なウェアラブル機器等が挙げられる。

[0690]

本発明の一態様の表示装置は、HD（画素数1280×720）、FHD（画素数1920×1080）、WQHD（画素数2560×1440）、WQXGA（画素数2560×1600）、4K（画素数3840×2160）、8K（画素数7680×4320）といった極めて高い解像度を有していることが好ましい。特に4K、8K、またはそれ以上の解像度とすることが好ましい。また、本発明の一態様の表示装置における画素密度（精細度）は、100ppi以上が好ましく、300ppi以上が好ましく、500ppi以上がより好ましく、1000ppi以上がより好ましく、2000ppi以上がより好ましく、3000ppi以上がより好ましく、5000ppi以上がより好ましく、7000ppi以上がさらに好ましい。このように高い解像度及び高い精細度の一方または双方を有する表示装置を用いることで、臨場感及び奥行き感などをより高めることが可能となる。また、本発明の一態様の表示装置の画面比率（アスペクト比）については、特に限定はない。例えば、表示装置は、1:1（正方形）、4:3、16:9、16:10など様々な画面比率に対応することができる。

[0691]

本実施の形態の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を検知、検出、または測定する機能を含むもの）を有してもよい。

[0692]

本実施の形態の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。

[0693]

図28A乃至図28Dを用いて、頭部に装着可能なウェアラブル機器の一例を説明する。これらウェアラブル機器は、ARのコンテンツを表示する機能、VRのコンテンツを表示する機能、SRのコンテンツを表示する機能、MRのコンテンツを表示する機能のうち少なくとも一つを有する。電子機器が、AR、VR、SR、及びMRなどの少なくとも一つのコンテンツを表示する機能を有することで、使用者の没入感を高めることが可能となる。

[0694]

図28Aに示す電子機器700A、及び、図28Bに示す電子機器700Bは、それぞれ、一对の表示パネル751と、一对の筐体721と、通信部（図示しない）と、一对の装着部723と、制御部（図示しない）と、撮像部（図示しない）と、一对の光学部材753と、フレーム757と、一对の鼻パッド758と、を有する。

[0695]

表示パネル751には、本発明の一態様の表示装置を適用することができる。したがって極めて精細度の高い表示が可能な電子機器とすることができる。

[0696]

電子機器700A、及び、電子機器700Bは、それぞれ、光学部材753の表示領域756に、表示パネル751で表示した画像を投影することができる。光学部材753は透光性を有するため、使用者は光学部材753を通して視認される透過像に重ねて、表示領域に表示された画像を見ることができる。したがって、電子機器700A、及び、電子機器700Bは、それぞれ、AR表示が可能な電子機器である。

[0697]

電子機器700A、及び、電子機器700Bには、撮像部として、前方を撮像することのできるカメラが設けられていてもよい。また、電子機器700A、及び、電子機器700Bは、それぞれ、ジャイロセンサなどの加速度センサを備えることで、使用者の頭部の向きを検知して、その向きに応じた画像を表示領域756に表示することもできる。

[0698]

通信部は無線通信機を有し、当該無線通信機により映像信号等を供給することができる。なお、無線通信機に代えて、または無線通信機に加えて、映像信号及び電源電位が供給されるケーブルを接続可能なコネクタを備えていてもよい。

[0699]

電子機器700A、及び、電子機器700Bには、バッテリーが設けられており、無線及び有線の一方または双方によって充電することができる。

[0700]

筐体721には、タッチセンサモジュールが設けられていてもよい。タッチセンサモジュールは、筐体721の外側の面がタッチされることを検出する機能を有する。タッチセンサモジュールにより、使用者のタップ操作またはスライド操作などを検出し、様々な処理を実行することができる。例えば、タップ操作によって動画の一時停止または再開などの処理を実行することが可能となり、スライド操作により、早送りまたは早戻しの処理を実行することなどが可能となる。また、2つの筐体721のそれぞれにタッチセンサモジュールを設けることで、操作の幅を広げることができる。

[0701]

タッチセンサモジュールとしては、様々なタッチセンサを適用することができる。例えば、静電容量方式、抵抗膜方式、赤外線方式、電磁誘導方式、表面弾性波方式、光学方式等、種々の方式を採用することができる。特に、静電容量方式または光学方式のセンサを、タッチセンサモジュールに適用することが好ましい。

[0702]

光学方式のタッチセンサを用いる場合には、受光素子として、光電変換素子を用いることができる。光電変換素子の活性層には、無機半導体及び有機半導体の一方または双方を用いることができる。

[0703]

図28Cに示す電子機器800A、及び、図28Dに示す電子機器800Bは、それぞれ、一对の表示部820と、筐体821と、通信部822と、一对の装着部823と、制御部824と、一对の撮像部825と、一对のレンズ832と、を有する。

[0704]

表示部820には、本発明の一態様の表示装置を適用することができる。したがって極めて精細度の高い表示が可能な電子機器とすることができる。これにより、使用者に高い没入感を感じさせることができる。

[0705]

表示部820は、筐体821の内部の、レンズ832を通して視認できる位置に設けられる。また、一对の表示部820に異なる画像を表示させることで、視差を用いた3次元表示を行うこともできる。

[0706]

電子機器800A、及び、電子機器800Bは、それぞれ、VR向けの電子機器ということができる。電子機器800Aまたは電子機器800Bを装着した使用者は、レンズ832を通して、表示部820に表示される画像を視認することができる。

[0707]

電子機器800A、及び、電子機器800Bは、それぞれ、レンズ832及び表示部820が、使用者の目の位置に応じて最適な位置となるように、これらの左右の位置を調整可能な機構を有していることが好ましい。また、レンズ832と表示部820との距離を変えることで、ピントを調整する機構を有していることが好ましい。

[0708]

装着部823により、使用者は電子機器800Aまたは電子機器800Bを頭部に装着することができる。なお、図28Cなどにおいては、メガネのつる（テンプルともいう）のような形状として例示しているがこれに限定されない。装着部823は、使用者が装着できる形状とすることができ、例えば、ヘルメット型またはバンド型の形状としてもよい。

[0709]

撮像部825は、外部の情報を取得する機能を有する。撮像部825が取得したデータは、表示部820に出力することができる。撮像部825には、イメージセンサを用いることができる。また、望遠、広角などの複数の画角に対応可能なように複数のカメラを設けてもよい。

[0710]

なお、ここでは撮像部825を有する例を示したが、これに限られず、対象物の距離を測定することのできる測距センサ（以下、検知部とも呼ぶ）を設けることができる。すなわち、撮像部825は、検知部の一態様である。検知部としては、例えばイメージセンサ、または、ライダー（LIDAR: Light Detection and Ranging）などの距離画像センサを用いることができる。カメラによって得られた画像と、距離画像センサによって得られた画像とを用いることにより、より多くの情報を取得し、より高精度なジェスチャー操作を可能とすることができる。

[0711]

電子機器800Aは、骨伝導イヤフォンとして機能する振動機構を有してもよい。例えば、表示部820、筐体821、及び装着部823のいずれか一または複数に、当該振動機構を有する構成を適用することができる。これにより、別途、ヘッドフォン、イヤフォン、またはスピーカなどの音響機器を必要とせず、電子機器800Aを装着しただけで映像と音声を楽しむことができる。

[0712]

電子機器 800A、及び、電子機器 800Bは、それぞれ、入力端子を有してもよい。入力端子には映像出力機器等からの映像信号、及び、電子機器内に設けられるバッテリーを充電するための電力等を供給するケーブルを接続することができる。

[0713]

本発明の一態様の電子機器は、イヤフォン750と無線通信を行う機能を有してもよい。イヤフォン750は、通信部（図示しない）を有し、無線通信機能を有する。イヤフォン750は、無線通信機能により、電子機器から情報（例えば音声データ）を受信することができる。例えば、図28Aに示す電子機器700Aは、無線通信機能によって、イヤフォン750に情報を送信する機能を有する。また、例えば、図28Cに示す電子機器800Aは、無線通信機能によって、イヤフォン750に情報を送信する機能を有する。

[0714]

電子機器がイヤフォン部を有してもよい。図28Bに示す電子機器700Bは、イヤフォン部727を有する。例えば、イヤフォン部727と制御部とは、互いに有線接続されている構成とすることができる。イヤフォン部727と制御部とをつなぐ配線の一部は、筐体721または装着部723の内部に配置されていてもよい。

[0715]

同様に、図28Dに示す電子機器800Bは、イヤフォン部827を有する。例えば、イヤフォン部827と制御部824とは、互いに有線接続されている構成とすることができる。イヤフォン部827と制御部824とをつなぐ配線の一部は、筐体821または装着部823の内部に配置されていてもよい。また、イヤフォン部827と装着部823とがマグネットを有してもよい。これにより、イヤフォン部827を装着部823に磁力によって固定することができ、収納が容易となり好ましい。

[0716]

なお、電子機器は、イヤフォンまたはヘッドフォンなどを接続することができる音声出力端子を有してもよい。また、電子機器は、音声入力端子及び音声入力機構の一方または双方を有してもよい。音声入力機構としては、例えば、マイクなどの集音装置を用いることができる。電子機器が音声入力機構を有することで、電子機器に、いわゆるヘッドセットとしての機能を付与してもよい。

[0717]

このように、本発明の一態様の電子機器としては、メガネ型（電子機器700A、及び、電子機器700Bなど）と、ゴーグル型（電子機器800A、及び、電子機器800Bなど）と、のどちらも好適である。

[0718]

本発明の一態様の電子機器は、有線または無線によって、イヤフォンに情報を送信することができる。

[0719]

図29Aに示す電子機器6500は、スマートフォンとして用いることのできる携帯情報端末機である。

[0720]

電子機器6500は、筐体6501、表示部6502、電源ボタン6503、ボタン6504、スピーカ6505、マイク6506、カメラ6507、及び光源6508等を有する。表示部650

2はタッチパネル機能を備える。

[0721]

表示部6502に、本発明の一態様の表示装置を適用することができる。

[0722]

図29Bは、筐体6501のマイク6506側の端部を含む断面概略図である。

[0723]

筐体6501の表示面側には透光性を有する保護部材6510が設けられ、筐体6501と保護部材6510に囲まれた空間内に、表示パネル6511、光学部材6512、タッチセンサパネル6513、プリント基板6517、バッテリー6518等が配置されている。

[0724]

保護部材6510には、表示パネル6511、光学部材6512、及びタッチセンサパネル6513が接着層（図示しない）により固定されている。

[0725]

表示部6502よりも外側の領域において、表示パネル6511の一部が折り返されており、当該折り返された部分にFPC6515が接続されている。FPC6515には、IC6516が実装されている。FPC6515は、プリント基板6517に設けられた端子に接続されている。

[0726]

表示パネル6511には本発明の一態様のフレキシブルディスプレイを適用することができる。そのため、極めて軽量の電子機器を実現できる。また、表示パネル6511が極めて薄いため、電子機器の厚さを抑えつつ、大容量のバッテリー6518を搭載することもできる。また、表示パネル6511の一部を折り返して、画素部の裏側にFPC6515との接続部を配置することにより、狭額縁の電子機器を実現できる。

[0727]

図29Cにテレビジョン装置の一例を示す。テレビジョン装置7100は、筐体7101に表示部7000が組み込まれている。ここでは、スタンド7103により筐体7101を支持した構成を示している。

[0728]

表示部7000に、本発明の一態様の表示装置を適用することができる。

[0729]

図29Cに示すテレビジョン装置7100の操作は、筐体7101が備える操作スイッチ、及び、別体のリモコン操作機7111により行うことができる。または、表示部7000にタッチセンサを備えていてもよく、指等で表示部7000に触れることでテレビジョン装置7100を操作してもよい。リモコン操作機7111は、当該リモコン操作機7111から出力する情報を表示する表示部を有してもよい。リモコン操作機7111が備える操作キーまたはタッチパネルにより、チャンネル及び音量の操作を行うことができ、表示部7000に表示される映像を操作することができる。

[0730]

なお、テレビジョン装置7100は、受信機及びモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができる。また、モデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、

あるいは受信者間など)の情報通信を行うことも可能である。

[0731]

図29Dに、ノート型パーソナルコンピュータの一例を示す。ノート型パーソナルコンピュータ7200は、筐体7211、キーボード7212、ポインティングデバイス7213、外部接続ポート7214等を有する。筐体7211に、表示部7000が組み込まれている。

[0732]

表示部7000に、本発明の一態様の表示装置を適用することができる。

[0733]

図29E及び図29Fに、デジタルサイネージの一例を示す。

[0734]

図29Eに示すデジタルサイネージ7300は、筐体7301、表示部7000、及びスピーカ7303等を有する。さらに、LEDランプ、操作キー(電源スイッチ、または操作スイッチを含む)、接続端子、各種センサ、マイクロフォン等を有することができる。

[0735]

図29Fは円柱状の柱7401に取り付けられたデジタルサイネージ7400である。デジタルサイネージ7400は、柱7401の曲面に沿って設けられた表示部7000を有する。

[0736]

図29E及び図29Fにおいて、表示部7000に、本発明の一態様の表示装置を適用することができる。

[0737]

表示部7000が広いほど、一度に提供できる情報量を増やすことができる。また、表示部7000が広いほど、人の目につきやすく、例えば、広告の宣伝効果を高めることができる。

[0738]

表示部7000にタッチパネルを適用することで、表示部7000に画像または動画を表示するだけでなく、使用者が直感的に操作することができ、好ましい。また、路線情報もしくは交通情報などの情報を提供するための用途に用いる場合には、直感的な操作によりユーザビリティを高めることができる。

[0739]

図29E及び図29Fに示すように、デジタルサイネージ7300またはデジタルサイネージ7400は、使用者が所持するスマートフォン等の情報端末機7311または情報端末機7411と無線通信により連携可能であることが好ましい。例えば、表示部7000に表示される広告の情報を、情報端末機7311または情報端末機7411の画面に表示させることができる。また、情報端末機7311または情報端末機7411を操作することで、表示部7000の表示を切り替えることができる。

[0740]

デジタルサイネージ7300またはデジタルサイネージ7400に、情報端末機7311または情報端末機7411の画面を操作手段(コントローラ)としたゲームを実行させることもできる。これにより、不特定多数の使用者が同時にゲームに参加し、楽しむことができる。

[0741]

図30A乃至図30Gに示す電子機器は、筐体9000、表示部9001、スピーカ9003、操

作キー 9005（電源スイッチ、または操作スイッチを含む）、接続端子 9006、センサ 9007（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を検知、検出、または測定する機能を含むもの）、マイクロフォン 9008、等を有する。

[0742]

図 30A 乃至図 30G において、表示部 9001 に、本発明の一態様の表示装置を適用することができる。

[0743]

図 30A 乃至図 30G に示す電子機器は、様々な機能を有する。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出して処理する機能、等を有することができる。なお、電子機器の機能はこれらに限られず、様々な機能を有することができる。電子機器は、複数の表示部を有してもよい。また、電子機器にカメラ等を設け、静止画または動画を撮影し、記録媒体（外部またはカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有してもよい。

[0744]

図 30A 乃至図 30G に示す電子機器の詳細について、以下説明を行う。

[0745]

図 30A は、携帯情報端末 9101 を示す斜視図である。携帯情報端末 9101 は、例えばスマートフォンとして用いることができる。なお、携帯情報端末 9101 は、スピーカ 9003、接続端子 9006、センサ 9007 等を設けてもよい。また、携帯情報端末 9101 は、文字及び画像情報をその複数の面に表示することができる。図 30A では 3 つのアイコン 9050 を表示した例を示している。また、破線の矩形で示す情報 9051 を表示部 9001 の他の面に表示することもできる。情報 9051 の一例としては、電子メール、SNS、電話などの着信の通知、電子メールまたは SNS などの題名、送信者名、日時、時刻、バッテリーの残量、電波強度などがある。または、情報 9051 が表示されている位置にはアイコン 9050 などを表示してもよい。

[0746]

図 30B は、携帯情報端末 9102 を示す斜視図である。携帯情報端末 9102 は、表示部 9001 の 3 面以上に情報を表示する機能を有する。ここでは、情報 9052、情報 9053、情報 9054 がそれぞれ異なる面に表示されている例を示す。例えば使用者は、洋服の胸ポケットに携帯情報端末 9102 を収納した状態で、携帯情報端末 9102 の上方から観察できる位置に表示された情報 9053 を確認することもできる。使用者は、携帯情報端末 9102 をポケットから取り出すことなく表示を確認し、例えば電話を受けるか否かを判断できる。

[0747]

図 30C は、タブレット端末 9103 を示す斜視図である。タブレット端末 9103 は、一例として、携帯電話、電子メール、文章閲覧及び作成、音楽再生、インターネット通信、コンピュータゲーム等の種々のアプリケーションの実行が可能である。タブレット端末 9103 は、筐体 9000 の正面に表示部 9001、カメラ 9002、マイクロフォン 9008、スピーカ 9003 を有し、筐体 9000 の左側面には操作作用のボタンとしての操作キー 9005、底面には接続端子 9006

を有する。

[0748]

図30Dは、腕時計型の携帯情報端末9200を示す斜視図である。携帯情報端末9200は、例えばスマートウォッチ（登録商標）として用いることができる。また、表示部9001はその表示面が湾曲して設けられ、湾曲した表示面に沿って表示を行うことができる。また、携帯情報端末9200は、例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、携帯情報端末9200は、接続端子9006により、他の情報端末と相互にデータ伝送を行うこと、及び、充電を行うこともできる。なお、充電動作は無線給電により行ってもよい。

[0749]

図30E乃至図30Gは、折り畳み可能な携帯情報端末9201を示す斜視図である。また、図30Eは携帯情報端末9201を展開した状態、図30Gは折り畳んだ状態、図30Fは図30Eと図30Gの一方から他方に変化する途中の状態の斜視図である。携帯情報端末9201は、折り畳んだ状態では可搬性に優れ、展開した状態では継ぎ目のない広い表示領域により表示の一覧性に優れる。携帯情報端末9201が有する表示部9001は、ヒンジ9055によって連結された3つの筐体9000に支持されている。例えば、表示部9001は、曲率半径0.1mm以上150mm以下で曲げることができる。

[0750]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

[実施例1]

[0751]

本実施例では、本発明の一態様のトランジスタを作製し評価した結果について説明する。

[0752]

本実施例では、3種類の試料（試料A、試料B、及び試料C）を作製した。試料Aは、図8A及び図8Bに示すトランジスタ100Bの構造に対応するトランジスタである。また、試料B及び試料Cは、それぞれ、試料Aとは導電層112bの構成が異なる。具体的には、試料Aでは、導電層112bが2層構造であり、試料Bでは、導電層112bが3層構造（図5B参照）であり、試料Cでは、導電層112bが単層構造（図5A参照）である。

[0753]

以下では、トランジスタの具体的な作製方法を図19乃至図21を用いて説明する。

[0754]

まず、ガラス基板（基板102に相当）上に、厚さ約300nmの銅膜をスパッタリング法により成膜し、加工することで、導電層182aを形成した。続いて、ガラス基板及び導電層182a上に厚さ約100nmのITO膜をスパッタリング法により成膜し、加工することで、導電層182aの上面及び側面を覆う導電層122aを形成した（図19A）。以上により、導電層112aを形成した。

[0755]

次に、基板102及び導電層112a上に、絶縁膜110af（図示しない）、絶縁膜110bf、及び、絶縁膜110cfを順に形成した（図19B）。

[0756]

絶縁膜 110af として、厚さ約 70 nm の窒化シリコン膜を PECVD 法により成膜し、絶縁膜 110bf として、厚さ約 100 nm の窒化シリコン膜を PECVD 法により成膜し、絶縁膜 110cf として、厚さ約 500 nm の酸化窒化シリコン膜を PECVD 法により成膜した。絶縁膜 110af は、絶縁膜 110bf よりも、成膜ガスの全流量に対する NH₃ ガスの流量の割合が高い条件で成膜した。絶縁膜 110cf は、F 比が 6 の条件で形成した。各絶縁膜は、基板温度 350 °C の条件で形成した。

[0757]

次に、絶縁膜 110cf 上に、厚さ約 20 nm の In-Ga-Zn 酸化物膜を成膜することで、金属酸化物層 149 を形成した (図 19C)。In-Ga-Zn 酸化物膜は、スパッタリング法により、原子数比が In : Ga : Zn = 1 : 1 : 1 である金属酸化物ターゲットを用いて、酸素流量比 100%、基板温度は室温で、形成した。In-Ga-Zn 酸化物膜を形成した後、250 °C で 1 時間の加熱処理を行った。その後、ウェットエッチング法を用いて、金属酸化物層 149 を除去した。

[0758]

次に、絶縁膜 110cf 上に、絶縁膜 110df 及び絶縁膜 110ef (図示しない) を形成した (図 19D)。

[0759]

絶縁膜 110df として、厚さ約 50 nm の窒化シリコン膜を PECVD 法により成膜し、絶縁膜 110ef として、厚さ約 100 nm の窒化シリコン膜を PECVD 法により成膜した。絶縁膜 110ef は、絶縁膜 110df よりも、成膜ガスの全流量に対する NH₃ ガスの流量の割合が高い条件で成膜した。なお、試料 A では、さらに、絶縁膜 110ef 上に厚さ約 30 nm の窒化シリコン膜を、成膜ガスの全流量に対する NH₃ ガスの流量の割合が絶縁膜 110ef よりも低い条件で、PECVD 法により成膜した。各絶縁膜は、基板温度 350 °C の条件で形成した。

[0760]

試料 A では、次に、窒化シリコン膜上に、厚さ約 50 nm の銅膜をスパッタリング法により成膜し ((図 20A) の導電膜 182f 参照)、加工することで、導電層 182b を形成した (図 20B)。続いて、窒化シリコン膜及び導電層 182b 上に厚さ約 100 nm の I T S O 膜をスパッタリング法により成膜し (図 20C の導電膜 122f 参照)、加工することで、導電層 182b の上面及び側面を覆う導電層 122b を形成した (図 21A)。以上により、導電層 112b を作製した。なお、導電層 112b には、ウェットエッチング法を用いて開口 143 を設けた。なお、試料 A では、絶縁膜 110ef 上に窒化シリコン膜を設け、その後に導電膜 182f として銅膜を形成した。当該窒化シリコン膜を設けることで、絶縁層 110 に銅が拡散することを抑制できる。

[0761]

試料 B では、図 5B に示すような導電層 112b を形成した。具体的には、導電層 184b として、厚さ約 50 nm の I T S O 膜を用い、導電層 182b として、厚さ約 50 nm の銅膜を用い、導電層 122b として、厚さ約 50 nm の I T S O 膜を用いた。試料 B では、I T S O 膜上に銅膜を形成するため、絶縁層 110 に銅が拡散することを抑制できる。

[0762]

試料 C では、図 5A に示すような導電層 112b を形成した。具体的には、導電層 112b として、厚さ約 100 nm の I T S O 膜を用いた。

[0763]

さらに、ドライエッチング法を用いて、各絶縁膜を加工することで、開口141を有する絶縁層110を形成した(図21A)。

[0764]

次に、絶縁層110及び導電層112b上に、金属酸化物膜を形成し、加工することで、半導体層108を形成した(図21B)。

[0765]

金属酸化物膜としては、厚さ約20nmのIn-Ga-Zn酸化物膜を形成した。In-Ga-Zn酸化物膜は、スパッタリング法により、原子数比がIn:Ga:Zn=1:1:1である金属酸化物ターゲットを用いて、酸素流量比10%、基板温度は室温で、形成した。In-Ga-Zn酸化物膜を形成した後、CDA雰囲気下にて350°C、1時間の加熱処理を行った。

[0766]

次に、絶縁層110、導電層112b、及び半導体層108上に、絶縁層106を形成した(図21B)。

[0767]

絶縁層106として、厚さ約50nmの酸化窒化シリコン膜をPECVD法により成膜した。絶縁層106は、F比が5の条件で形成した。

[0768]

次に、絶縁層106上に、導電層104となる膜を成膜し、加工することで、導電層104を形成した(図21B)。

[0769]

導電層104となる膜として、厚さ約50nmのチタン膜、厚さ約200nmのアルミニウム膜、及び、厚さ約50nmのチタン膜を、スパッタリング法により、この順で成膜した。

[0770]

その後、トランジスタを覆う絶縁層(図示しない)として、厚さ約300nmの窒化酸化シリコン膜をPECVD法により成膜した。その後、CDA雰囲気下にて300°C、1時間の加熱処理を行った。その後、平坦化膜(図示しない)として、厚さ約1.5µmのポリイミド膜を形成し、窒素雰囲気下、250°C、1時間の加熱処理を行った。

[0771]

以上により、本実施例のトランジスタを作製した。

[0772]

次に、各試料の断面STEM(Scanning Transmission Electron Microscopy)観察を行った。図31Aに、試料Aの断面STEM像を示し、図31Bに、試料Bの断面STEM像を示し、図31Cに、試料Cの断面STEM像を示す。なお、図31A乃至図31Cは、Zコントラスト(ZC:Z Contrast)像である。ZC像では、原子番号が大きい物質ほど明るく観察される。

[0773]

図31A乃至図31Cに示すように、各試料では、導電層182aの上面及び側面を覆うように、導電層122aが設けられていることがわかる。また、図31A及び図31Bでは、導電層182bの上面及び側面を覆うように導電層122bが設けられていることがわかる。また、図31Bで

は、導電層184b上に導電層182bの端部が位置し、当該端部を越えた領域にて、導電層184bと導電層122bとが接していることがわかる。つまり、導電層182bは、導電層184bと導電層122bとにより上面、側面、及び下面を包み込まれていることがわかる。また、図31Cでは、導電層112bが単層構造であることがわかる。このように、各試料では、図8A、図5B、または図5Aの構造を、狙い通りに作製できていることがわかった。

[0774]

次に、本実施例で作製したトランジスタの I_d-V_g 特性を測定した。図32に試料Aの I_d-V_g 特性結果を示す。図33に試料Bの I_d-V_g 特性結果を示す。図34に試料Cの I_d-V_g 特性結果を示す。

[0775]

図32乃至図34は、導電層112bをソース電極として機能させた場合の結果である。

[0776]

図32乃至図34において、縦軸はドレイン電流(I_d (A))と電界効果移動度(μ_{FE} (cm^2/Vs))、横軸はゲート電圧(V_g (V))を表す。図32乃至図34では、 I_d-V_g 特性結果を実線で示し、電界効果移動度を点線で示している。また、図32乃至図34では、20個のトランジスタの I_d-V_g 特性結果、及び、電界効果移動度をそれぞれ重ねて示している。

[0777]

本実施例で作製したトランジスタは、nチャネル型のトランジスタであり、チャネル長(L)が $0.5\mu m$ 、チャネル幅(W)が $6.3\mu m$ (開口径 $2\mu m\phi$)となるように作製した。

[0778]

トランジスタの I_d-V_g 特性の測定条件としては、導電層104に印加する電圧(ゲート電圧(V_g))を、 $-10V$ から $+10V$ まで $0.1V$ 刻みで印加した。また、ソース電極に印加する電圧(ソース電圧(V_s))を $0V$ (common)とし、ドレイン電極に印加する電圧(ドレイン電圧(V_d))を、 $0.1V$ 及び $5.1V$ とした。

[0779]

図32乃至図34に示すように、本実施例で作製したトランジスタは、良好なスイッチング特性を示しており、オン電流が高いことが確認できた。

[0780]

以上のように、本実施例では、ソース電極及びドレイン電極の少なくとも一方に、異なる金属を含む2層以上の導電層を用い、良好な特性のトランジスタを作製することができた。

[実施例2]

[0781]

本実施例では、本発明の一態様のトランジスタを作製し評価した結果について説明する。

[0782]

本実施例の試料では、酸化窒化シリコン膜の成膜工程を5回に分けて行うことで、絶縁層110cを形成した。

[0783]

以下では、トランジスタの具体的な作製方法を図19乃至図21を用いて説明する。実施例1と同様の部分については説明を省略することがある。

[0784]

まず、ガラス基板（基板102に相当）上に、厚さ約300nmの銅膜をスパッタリング法により成膜し、加工することで、導電層182aを形成した。続いて、ガラス基板及び導電層182a上に厚さ約100nmのITSO膜をスパッタリング法により成膜し、加工することで、導電層182aの上面及び側面を覆う導電層122aを形成した（図19A）。以上により、導電層112aを作製した。

[0785]

次に、基板102及び導電層112a上に、絶縁膜110af（図示しない）、絶縁膜110bf、及び、絶縁膜110cfを順に形成した（図19B）。各絶縁膜は、基板温度350°Cの条件で形成した。

[0786]

絶縁膜110afとして、厚さ約70nmの窒化シリコン膜をPECVD法により成膜し、絶縁膜110bfとして、厚さ約100nmの窒化シリコン膜をPECVD法により成膜した。絶縁膜110afは、絶縁膜110bfよりも、成膜ガスの全流量に対するNH₃ガスの流量の割合が高い条件で成膜した。

[0787]

絶縁膜110cfとして、5層の酸化窒化シリコン膜をPECVD法により成膜した。まず、F比が10の条件で、厚さ約50nmの酸化窒化シリコン膜を成膜し、次に、F比が6の条件で、厚さ約100nmの酸化窒化シリコン膜を成膜し、次に、F比が4の条件で、厚さ約200nmの酸化窒化シリコン膜を成膜し、次に、F比が6の条件で、厚さ約100nmの酸化窒化シリコン膜を成膜し、そして、F比が10の条件で、厚さ約50nmの酸化窒化シリコン膜を成膜した。つまり、絶縁膜110cfの総膜厚は、約500nmである。

[0788]

次に、N₂Oガスを含む雰囲気下においてプラズマ処理を240秒行った。

[0789]

次に、絶縁膜110cf上に、厚さ約20nmのIn-Ga-Zn酸化物膜を成膜することで、金属酸化物層149を形成した（図19C）。In-Ga-Zn酸化物膜は、スパッタリング法により、原子数比がIn:Ga:Zn=1:1:1である金属酸化物ターゲットを用いて、酸素流量比100%、基板温度は室温で、形成した。In-Ga-Zn酸化物膜を形成した後、300°Cで1時間の加熱処理を行った。その後、ウェットエッチング法を用いて、金属酸化物層149を除去した。

[0790]

次に、絶縁膜110cf上に、絶縁膜110df及び絶縁膜110ef（図示しない）を形成した（図19D）。

[0791]

絶縁膜110dfとして、厚さ約50nmの窒化シリコン膜をPECVD法により成膜し、絶縁膜110efとして、厚さ約100nmの窒化シリコン膜をPECVD法により成膜した。絶縁膜110efは、絶縁膜110dfよりも、成膜ガスの全流量に対するNH₃ガスの流量の割合が高い条件で成膜した。各絶縁膜は、基板温度350°Cの条件で形成した。

[0792]

試料Aでは、次に、窒化シリコン膜上に、厚さ約50nmの銅膜をスパッタリング法により成膜し

(図20A)の導電膜182f参照)、加工することで、導電層182bを形成した(図20B)。続いて、窒化シリコン膜及び導電層182b上に厚さ約100nmのITSO膜をスパッタリング法により成膜し(図20Cの導電膜122f参照)、加工することで、導電層182bの上面及び側面を覆う導電層122bを形成した(図21A)。以上により、導電層112bを作製した。なお、導電層112bには、ウェットエッチング法を用いて開口143を設けた。

[0793]

試料Bでは、図5Bに示すような導電層112bを形成した。具体的には、導電層184bとして、厚さ約50nmのITSO膜を用い、導電層182bとして、厚さ約50nmの銅膜を用い、導電層122bとして、厚さ約50nmのITSO膜を用いた。

[0794]

試料Cでは、図5Aに示すような導電層112bを形成した。具体的には、導電層112bとして、厚さ約100nmのITSO膜を用いた。

[0795]

さらに、ドライエッチング法を用いて、各絶縁膜を加工することで、開口141を有する絶縁層110を形成した(図21A)。

[0796]

次に、絶縁層110及び導電層112b上に、金属酸化物膜を形成し、加工することで、半導体層108を形成した(図21B)。

[0797]

金属酸化物膜としては、厚さ約20nmのIn-Ga-Zn酸化物膜を形成した。In-Ga-Zn酸化物膜は、スパッタリング法により、原子数比がIn:Ga:Zn=1:1:1である金属酸化物ターゲットを用いて、酸素流量比10%、基板温度は室温で、形成した。In-Ga-Zn酸化物膜を形成した後、CDA雰囲気下にて350℃、1時間の加熱処理を行った。

[0798]

次に、N₂Oガスを含む雰囲気下においてプラズマ処理を20秒行い、その後、絶縁層110、導電層112b、及び半導体層108上に、絶縁層106を形成した。

[0799]

絶縁層106として、厚さ約50nmの酸化窒化シリコン膜をPECVD法により成膜した。絶縁層106は、F比が5の条件で形成した。

[0800]

その後、導電層104の形成以降の工程を、実施例1と同様の条件で行うことで、本実施例のトランジスタを作製した(図21B)。

[0801]

次に、本実施例で作製したトランジスタのI_d-V_g特性を測定した。図35に本実施例の試料のI_d-V_g特性結果を示す。

[0802]

図35は、導電層112bをソース電極として機能させた場合の結果である。

[0803]

図35において、縦軸はドレイン電流(I_d(A))と電界効果移動度(μ_{FE} (cm²/Vs))、横軸はゲート電圧(V_g(V))を表す。図35では、I_d-V_g特性結果を実線で示し、

電界効果移動度を点線で示している。また、図35では、19個のトランジスタの I_d-V_g 特性結果、及び、電界効果移動度をそれぞれ重ねて示している。

[0804]

本実施例で作製したトランジスタは、nチャネル型のトランジスタであり、チャネル長(L)が $0.5\mu\text{m}$ 、チャネル幅(W)が $6.3\mu\text{m}$ (開口径 $2\mu\text{m}\phi$)となるように作製した。

[0805]

トランジスタの I_d-V_g 特性の測定条件としては、導電層104に印加する電圧(ゲート電圧(V_g))を、 -10V から $+10\text{V}$ まで 0.1V 刻みで印加した。また、ソース電極に印加する電圧(ソース電圧(V_s))を 0V (common)とし、ドレイン電極に印加する電圧(ドレイン電圧(V_d))を、 0.1V 及び 5.1V とした。

[0806]

図35に示すように、本実施例で作製したトランジスタは、良好なスイッチング特性を示しており、オン電流が高いことが確認できた。

[0807]

次に、本実施例で作製したトランジスタのストレス試験を行った。

[0808]

ストレス試験としては、ゲートバイアスストレス試験(GBT試験)を用いた。GBT試験は加速試験の一種であり、長期間の使用によって起こるトランジスタの特性変化を、短時間で評価することができる。ここでは、GBT試験として、トランジスタが形成されている基板を 60°C に保持し、トランジスタのソースとドレインに 0V 、ゲートに 10V 、 15V 、 -10V 、または -15V の電圧を印加し、この状態を 3600 秒間保持した。このとき、ゲートに正の電圧を印加する試験をPBTS(Positive Bias Temperature Stress)、負の電圧を印加する試験をNBTS(Negative Bias Temperature Stress)と表記する。また、 $50001x$ の白色LED光を照射した状態でゲートに 10V 、 15V 、 -10V 、または -15V の電圧を印加し、この状態を 3600 秒間保持した。このとき、ゲートに正の電圧を印加する試験をPBITS(Positive Bias Illumination Temperature Stress)、負の電圧を印加する試験をNBITS(Negative Bias Illumination Temperature Stress)と表記する。

[0809]

ゲートに 10V を印加したPBTS試験における、しきい値の変動量(ΔV_{th})は、 0.09V であり、ゲートに 15V を印加したPBTS試験における ΔV_{th} は、 0.14V であり、ゲートに -10V を印加したNBITS試験における ΔV_{th} は、 -0.29V であり、ゲートに -15V を印加したNBITS試験における ΔV_{th} は、 -0.33V であった。

[0810]

F比の小さい条件(例えばF比が4)で絶縁層110c全体を形成した場合、トランジスタのPBTS試験における ΔV_{th} が大きくなりやすい。一方でF比がより大きい条件(例えばF比が6)で絶縁層110c全体を形成した場合、トランジスタのNBITS試験における ΔV_{th} が大きくなりやすい。

[0811]

本実施例のトランジスタは、P B T S 試験及びN B T I S 試験ともに、 ΔV_{th} が小さく、信頼性が高いことがわかった。

[0812]

以上のように、本実施例では、絶縁層110cについて、膜厚方向の中央部をF比の小さい条件で成膜し、中央部から離れた領域をF比がより大きい条件で成膜することで作製した。このような絶縁層110cは、一つの条件で形成された絶縁層110cに比べて、半導体層108のチャネル形成領域に対する、酸素の拡散しやすさ、と、水素を含む不純物及び窒素を含む不純物の拡散しにくさと、を両立した構造といえる。したがって、トランジスタのしきい値電圧のシフトを抑制し、高い信頼性を得ることができたと考えられる。

[符号の説明]

[0813]

10A：半導体装置、10B：半導体装置、10C：半導体装置、10D：半導体装置、10：半導体装置、11B：副画素、11G：副画素、11R：副画素、50A：表示装置、50B：表示装置、50C：表示装置、50D：表示装置、50E：表示装置、50F：表示装置、50G：表示装置、100A：トランジスタ、100B：トランジスタ、100C：トランジスタ、100D：トランジスタ、100E：トランジスタ、100F：トランジスタ、100G：トランジスタ、100：トランジスタ、102：基板、103：導電層、104a：導電層、104：導電層、106：絶縁層、107a：導電層、107b：導電層、108a：半導体層、108：半導体層、110a：絶縁層、110b：絶縁層、110bf：絶縁膜、110c：絶縁層、110cf：絶縁膜、110d：絶縁層、110df：絶縁膜、110e：絶縁層、110f：絶縁層、110f1：絶縁層、110：絶縁層、111B：画素電極、111G：画素電極、111R：画素電極、111S：画素電極、112a：導電層、112b：導電層、112c：導電層、113B：EL層、113G：EL層、113R：EL層、113S：機能層、113：EL層、114：共通層、115：共通電極、117：遮光層、120：導電層、121：絶縁層、122a：導電層、122b：導電層、122c：導電層、122D：導電層、122f：導電膜、122S：導電層、123：導電層、124B：導電層、124G：導電層、124R：導電層、125：絶縁層、126B：導電層、126G：導電層、126R：導電層、127：絶縁層、128：層、130B：発光素子、130G：発光素子、130R：発光素子、130S：受光素子、131：保護層、132B：着色層、132G：着色層、132R：着色層、133B：層、133G：層、133R：層、133：層、140：接続部、141：開口、142：接着層、143：開口、149：金属酸化物層、150：トランジスタ、151：基板、152：基板、153：絶縁層、162：表示部、164：回路部、165：導電層、166：導電層、172：FPC、173：IC、182a：導電層、182b：導電層、182c：導電層、182D：導電層、182f：導電膜、182S：導電層、184a：導電層、184b：導電層、186a：導電層、186b：導電層、190：容量素子、195：絶縁層、200B：トランジスタ、200：トランジスタ、201：画素、204：接続部、205B：トランジスタ、205D：トランジスタ、205G：トランジスタ、205R：トランジスタ、205S：トランジスタ、218：絶縁層、235：絶縁層、237：絶縁層、242：接続層、250：トランジスタ、252：絶縁層、253a：ドレイン領域、253b：チャネル形成領域、253c：ソース領域、253：半導体層、254：絶縁層、255：導電層、256：絶縁層、257a：開口、257b：開口、258a：導電層、258b：

導電層、259：導電層、352：指、353：層、355：回路層、357：層、420：導電層、430：絶縁層、440D：配線、440S：配線、460：絶縁層、470i：領域、470na：領域、470nb：領域、470：酸化物半導体層、480：絶縁層、490：開口部、700A：電子機器、700B：電子機器、721：筐体、723：装着部、727：イヤフォン部、750：イヤフォン、751：表示パネル、753：光学部材、756：表示領域、757：フレーム、758：鼻パッド、800A：電子機器、800B：電子機器、820：表示部、821：筐体、822：通信部、823：装着部、824：制御部、825：撮像部、827：イヤフォン部、832：レンズ、6500：電子機器、6501：筐体、6502：表示部、6503：電源ボタン、6504：ボタン、6505：スピーカ、6506：マイク、6507：カメラ、6508：光源、6510：保護部材、6511：表示パネル、6512：光学部材、6513：タッチセンサパネル、6515：FPC、6516：IC、6517：プリント基板、6518：バッテリー、7000：表示部、7100：テレビジョン装置、7101：筐体、7103：スタンド、7111：リモコン操作機、7200：ノート型パーソナルコンピュータ、7211：筐体、7212：キーボード、7213：ポインティングデバイス、7214：外部接続ポート、7300：デジタルサイネージ、7301：筐体、7303：スピーカ、7311：情報端末機、7400：デジタルサイネージ、7401：柱、7411：情報端末機、9000：筐体、9001：表示部、9002：カメラ、9003：スピーカ、9005：操作キー、9006：接続端子、9007：センサ、9008：マイクロフォン、9050：アイコン、9051：情報、9052：情報、9053：情報、9054：情報、9055：ヒンジ、9101：携帯情報端末、9102：携帯情報端末、9103：タブレット端末、9200：携帯情報端末、9201：携帯情報端末

請求の範囲

[請求項1]

半導体層、第1の導電層、第2の導電層、第3の導電層、第1の絶縁層、及び、第2の絶縁層を有し、

前記第1の絶縁層は、前記第1の導電層上に位置し、

前記第2の導電層は、前記第1の絶縁層上に位置し、

前記第2の導電層は、第4の導電層と、第5の導電層と、を有し、

前記第4の導電層と前記第5の導電層とは、互いに異なる金属を含み、

前記第5の導電層は、前記第4の導電層の上面の少なくとも一部及び側面の少なくとも一部を覆い、

前記半導体層は、前記第1の導電層の上面、前記第5の導電層の上面及び側面、並びに、前記第1の絶縁層の側面と接し、

前記第2の絶縁層は、前記半導体層上に位置し、

前記第3の導電層は、前記第2の絶縁層上に位置し、かつ、前記第2の絶縁層を介して前記半導体層と重なる、半導体装置。

[請求項2]

半導体層、第1の導電層、第2の導電層、第3の導電層、第1の絶縁層、及び、第2の絶縁層を有し、

前記第1の絶縁層は、前記第1の導電層上に位置し、かつ、第1の開口を有し、

前記第2の導電層は、前記第1の絶縁層上に位置し、かつ、前記第1の開口と重なる第2の開口を有し、

前記第2の導電層は、第4の導電層と、第5の導電層と、を有し、

前記第4の導電層と前記第5の導電層とは、互いに異なる金属を含み、

前記第5の導電層は、前記第4の導電層の上面の少なくとも一部及び側面の少なくとも一部を覆い、

前記半導体層は、前記第1の開口及び前記第2の開口を介して前記第1の導電層の上面と接し、かつ、前記第5の導電層の、上面及び前記第2の開口における側面と、前記第1の絶縁層の前記第1の開口における側面と、のそれぞれと接し、

前記第2の絶縁層は、前記半導体層上に位置し、

前記第3の導電層は、前記第2の絶縁層上に位置し、かつ、前記第2の絶縁層を介して前記半導体層と重なる、半導体装置。

[請求項3]

請求項2において、

前記第4の導電層は、第3の開口を有し、

前記第5の導電層は、上面視において、前記第3の開口の内側に、前記第2の開口を有する、半導体装置。

[請求項4]

請求項1乃至3のいずれか一において、

前記第1の導電層は、第6の導電層と、第7の導電層と、を有し、

前記第6の導電層と前記第7の導電層とは、互いに異なる金属を含み、

前記第7の導電層は、前記第6の導電層の上面の少なくとも一部及び側面の少なくとも一部を覆う、半導体装置。

[請求項5]

請求項4において、

前記半導体層は、チャネル形成領域に金属酸化物を有し、

前記第5の導電層は、第1の酸化物導電体層を有し、

前記第7の導電層は、第2の酸化物導電体層を有し、

前記半導体層は、前記第1の酸化物導電体層及び前記第2の酸化物導電体層と接する、半導体装置。

[請求項6]

請求項4において、

前記第4の導電層の導電率は、前記第5の導電層の導電率よりも高く、

前記第6の導電層の導電率は、前記第7の導電層の導電率よりも高い、半導体装置。

[請求項7]

請求項4において、

前記第1の導電層は、第8の導電層を有し、

前記第6の導電層は、前記第8の導電層上に位置し、

前記第6の導電層の端部よりも外側で、前記第7の導電層と前記第8の導電層が接する、半導体装置。

[請求項8]

請求項1乃至3のいずれか一において、

前記第2の導電層は、第9の導電層を有し、

前記第4の導電層は、前記第9の導電層上に位置し、

前記第4の導電層の端部よりも外側で、前記第5の導電層と前記第9の導電層が接する、半導体装置。

[請求項9]

請求項4において、

前記第5の導電層は、第1の金属層と、前記第1の金属層上の第1の金属酸化物層と、を有し、

前記第1の金属層と前記第1の金属酸化物層とは、同じ金属を含み、

前記第1の金属層は、前記第1の金属酸化物層を介して、前記半導体層と電氣的に接続し、

前記第7の導電層は、第2の金属層と、前記第2の金属層上の第2の金属酸化物層と、を有し、

前記第2の金属層と前記第2の金属酸化物層とは、同じ金属を含み、

前記第2の金属層は、前記第2の金属酸化物層を介して、前記半導体層と電氣的に接続する、半導体装置。

[請求項10]

請求項4において、

前記第6の導電層は、第8の導電層と、前記第8の導電層上の第9の導電層と、を有し、

前記第8の導電層の上面形状は、前記第9の導電層の上面形状と一致または概略一致している、半導体装置。

[請求項11]

請求項 1 乃至 3 のいずれか一において、
前記第 4 の導電層は、第 10 の導電層と、前記第 10 の導電層上の第 11 の導電層と、を有し、
前記第 11 の導電層の上面形状は、前記第 10 の導電層の上面形状と一致または概略一致している、半導体装置。

[請求項 1 2]

請求項 1 乃至 3 のいずれか一において、
前記第 1 の絶縁層は、前記第 1 の導電層上の、窒素とシリコンとを含む第 1 の層と、前記第 1 の層上の、酸素とシリコンとを含む第 2 の層と、前記第 2 の層上の、窒素とシリコンとを含む第 3 の層と、を有する、半導体装置。

[請求項 1 3]

請求項 1 2 において、
前記第 1 の絶縁層は、前記第 1 の導電層と前記第 1 の層との間に位置する第 4 の層と、前記第 3 の層上の第 5 の層と、を有し、
前記第 4 の層は、前記第 1 の層よりも水素の含有量が多い領域を有し、
前記第 5 の層は、前記第 3 の層よりも水素の含有量が多い領域を有する、半導体装置。

図3A

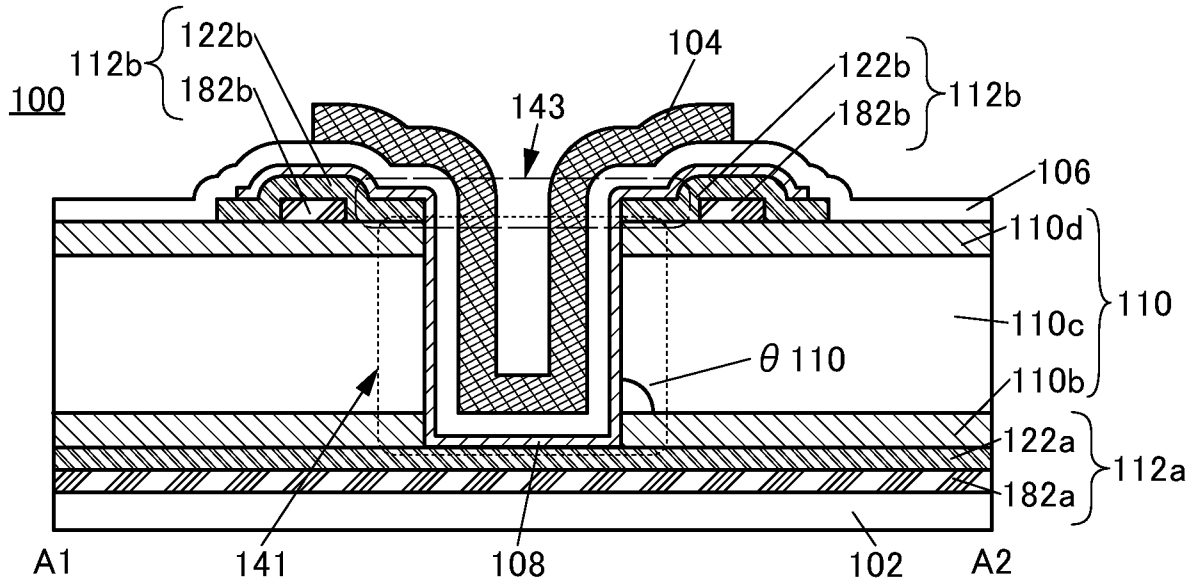


図3B

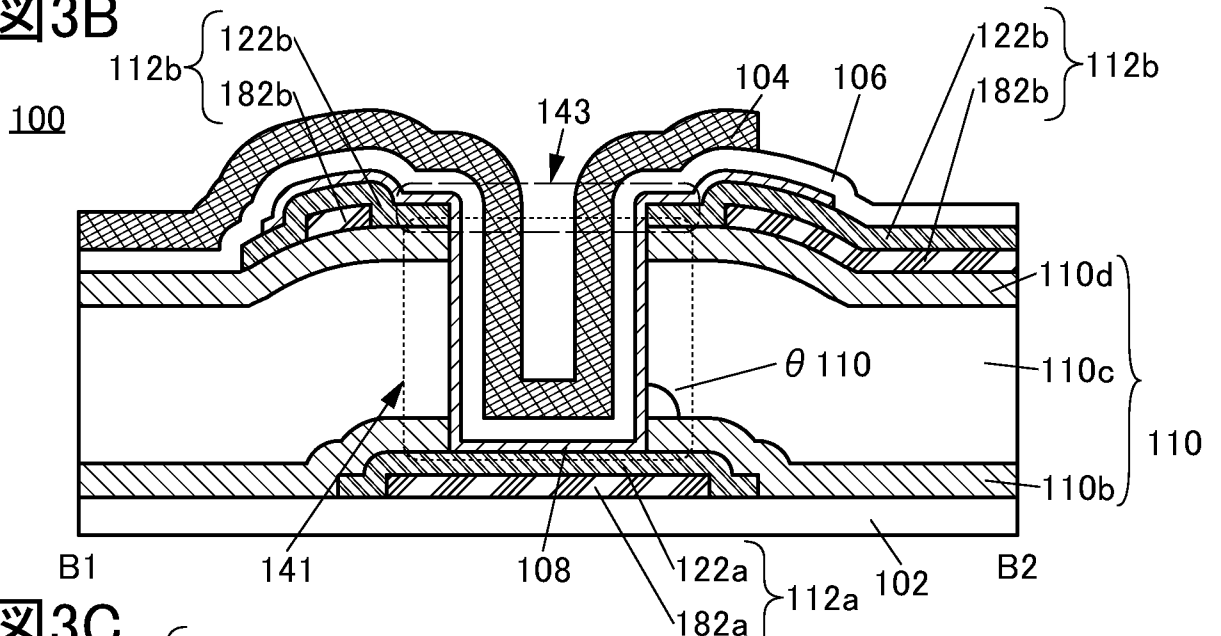
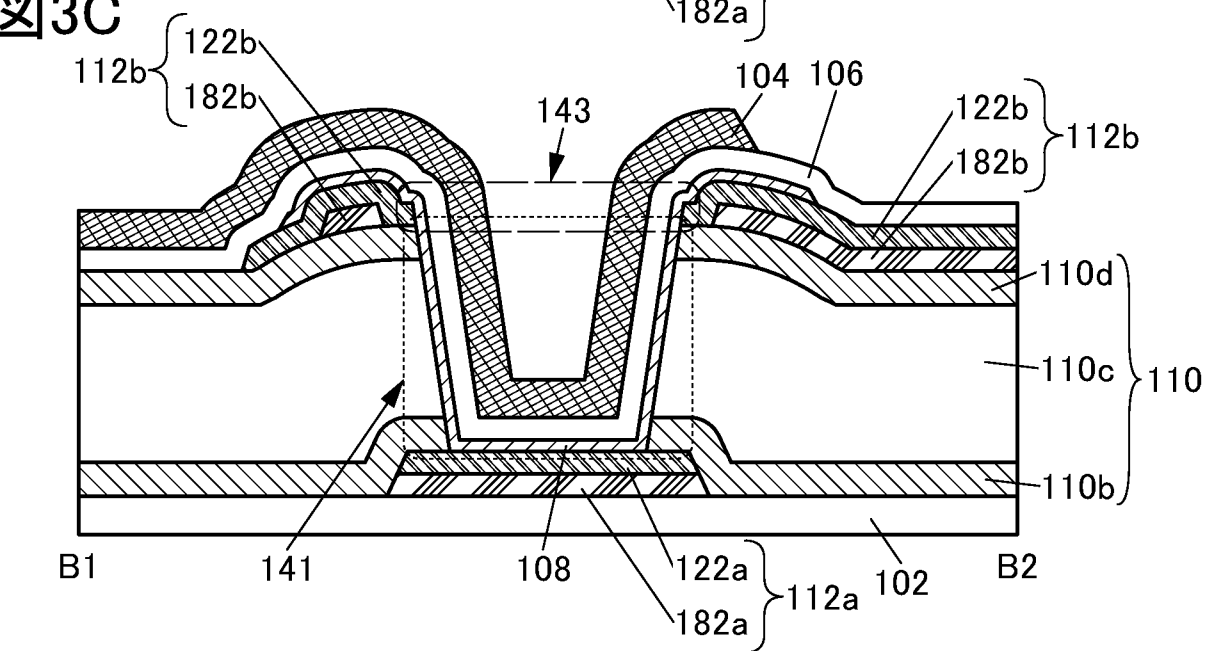
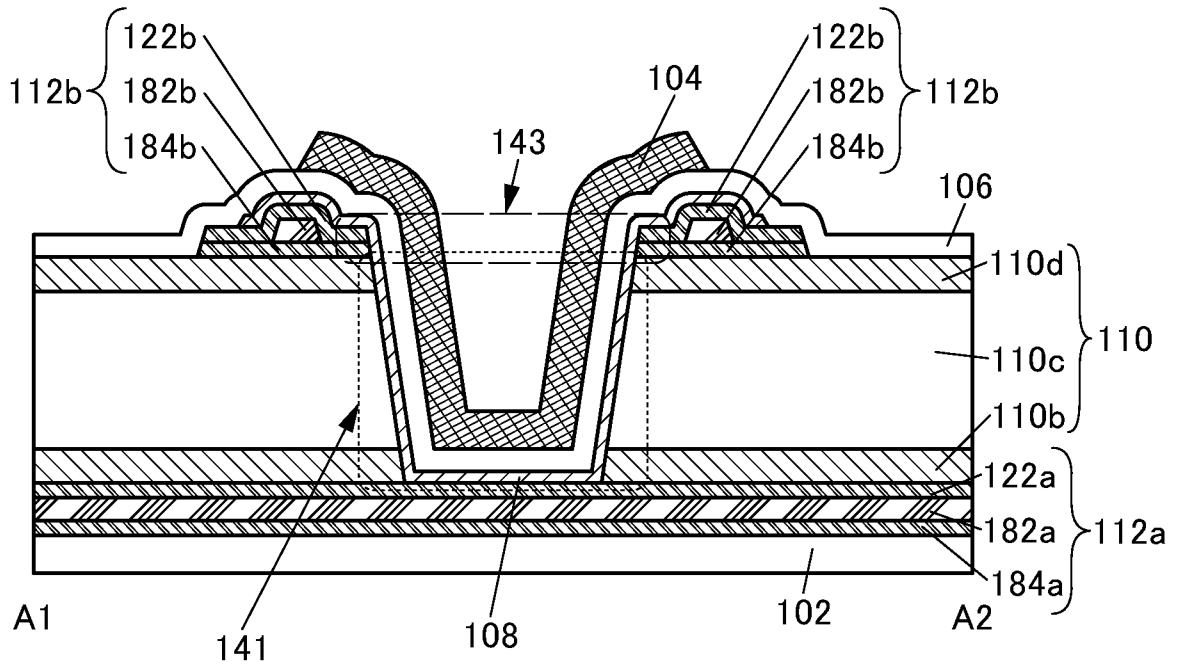


図3C



4A

100A



4B

100A

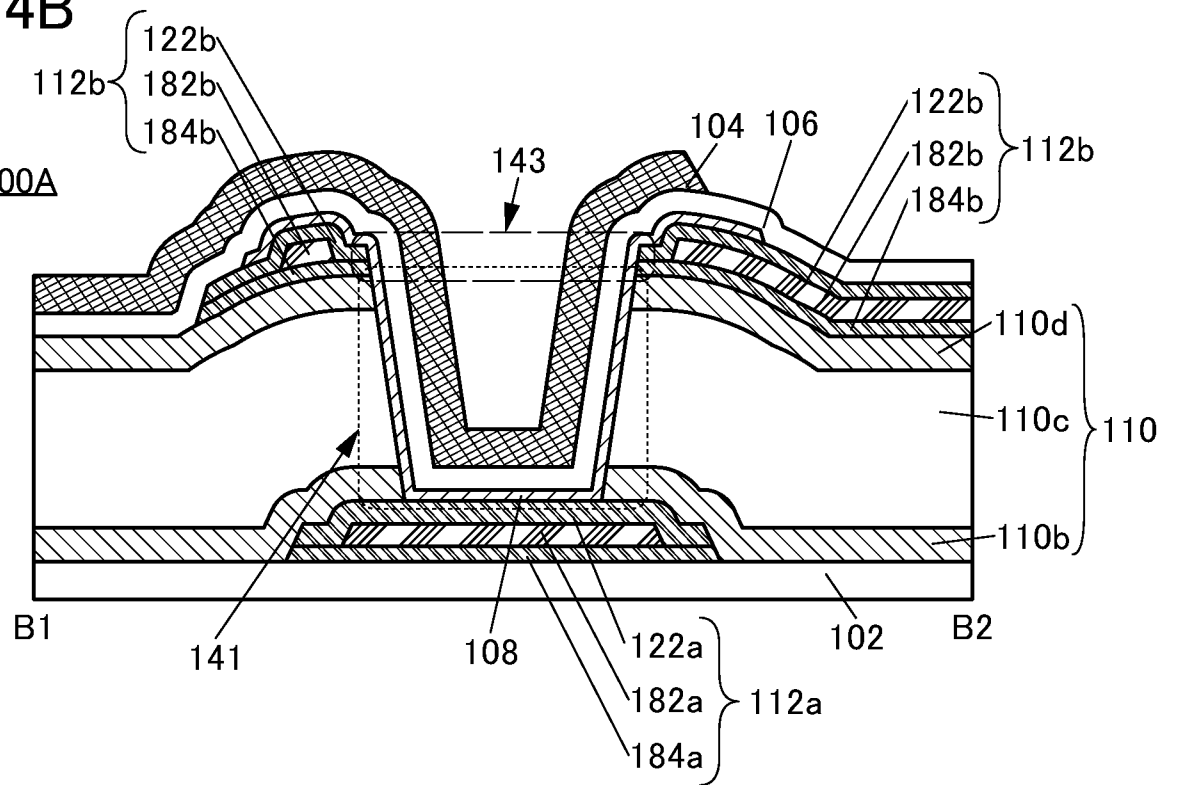


図5A

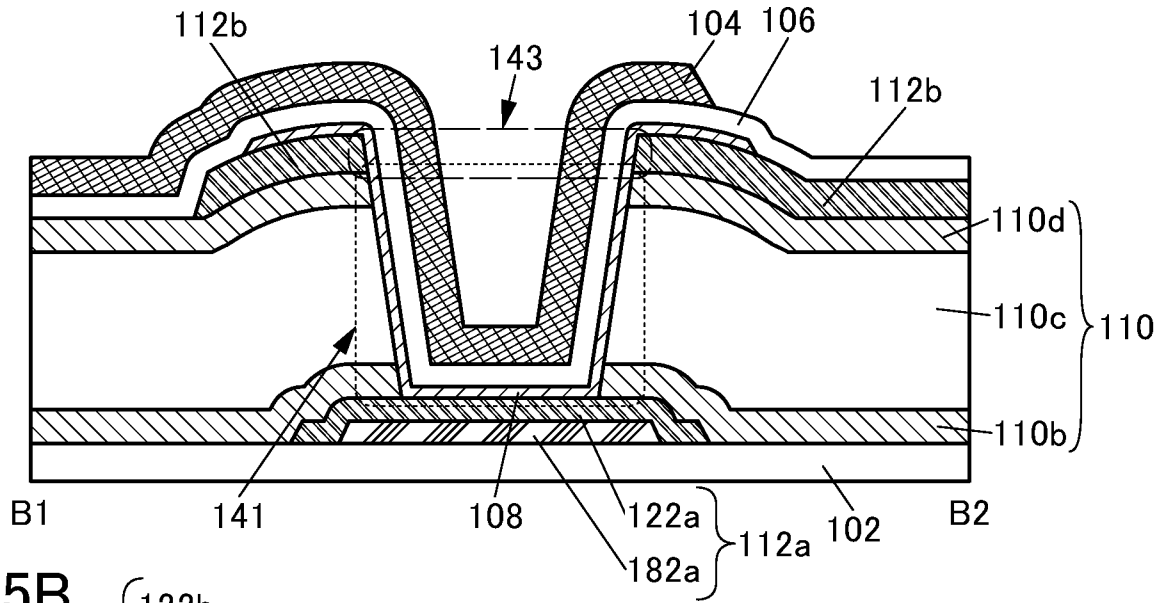


図5B

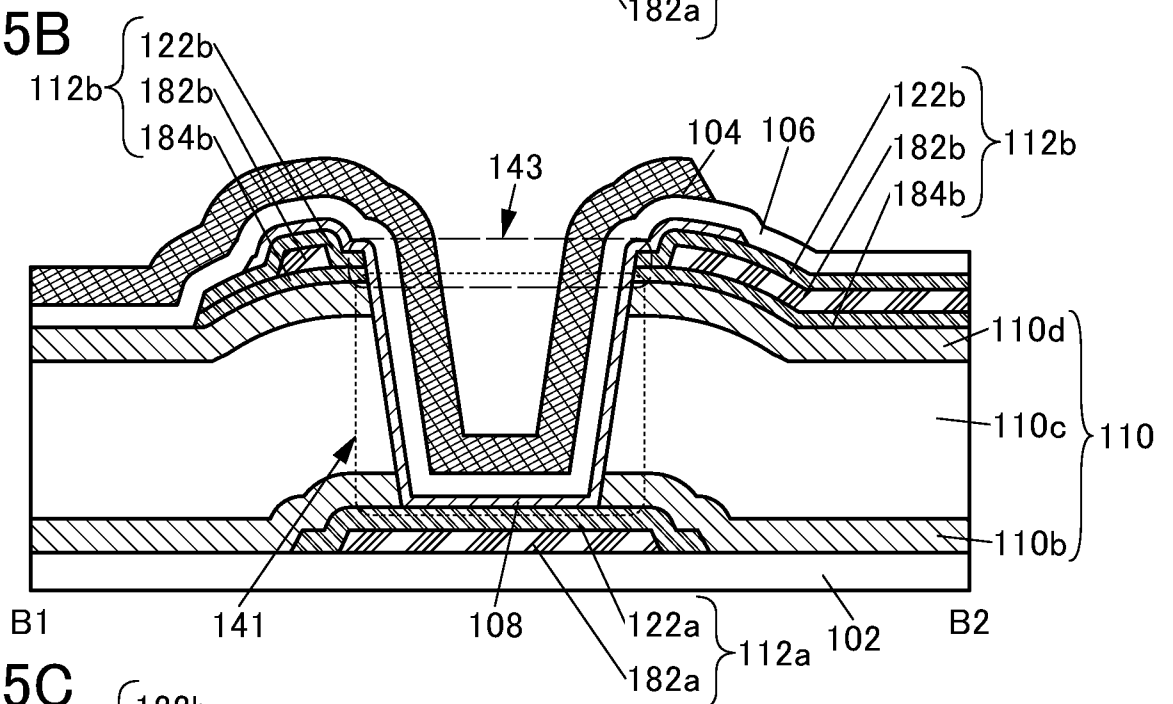
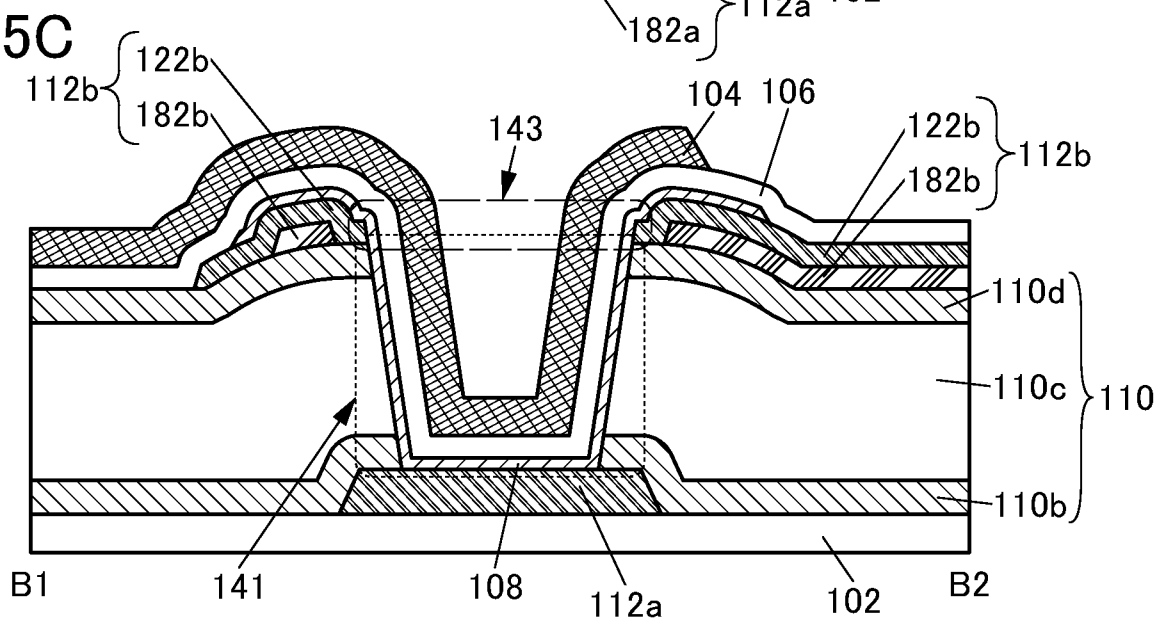
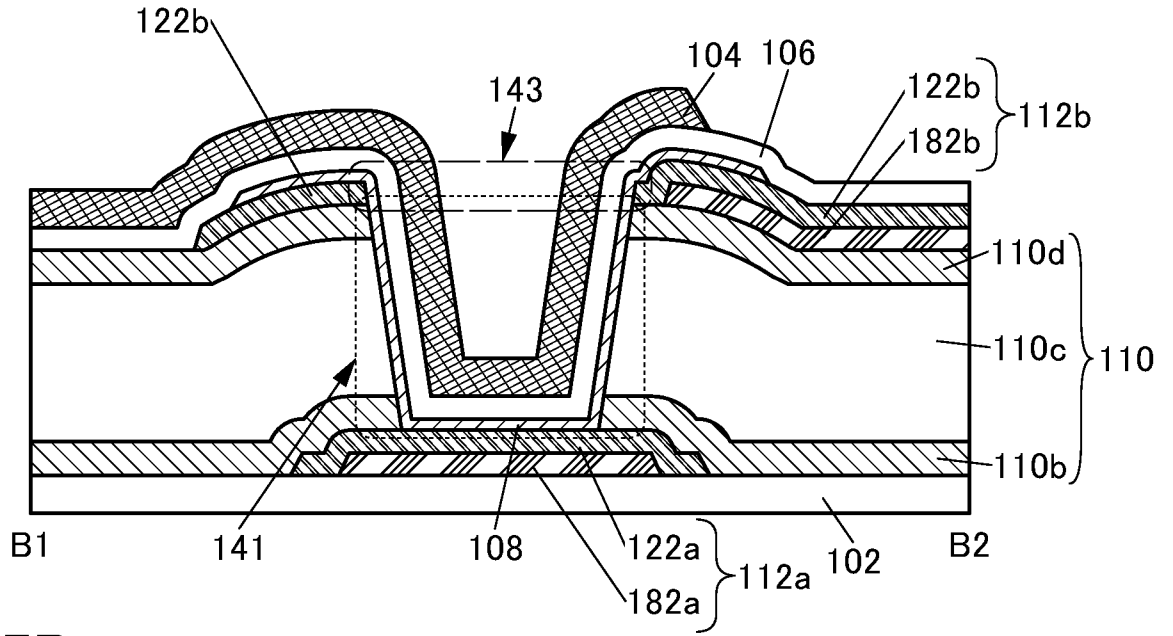
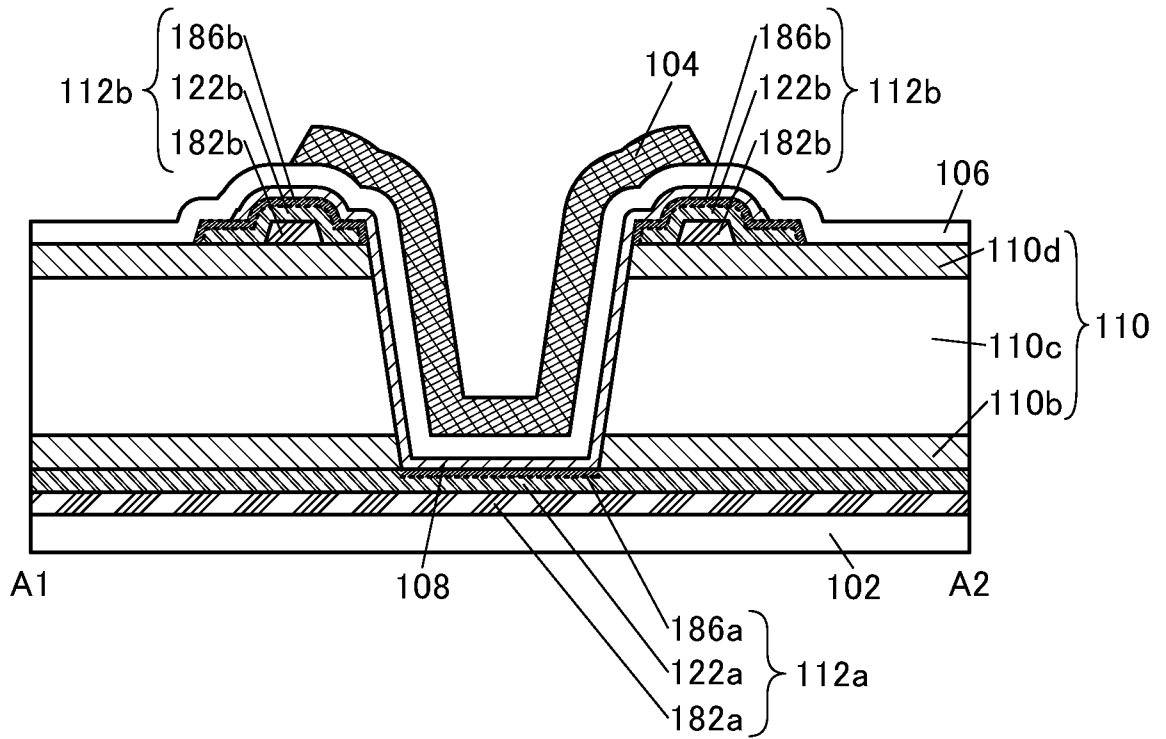


図5C

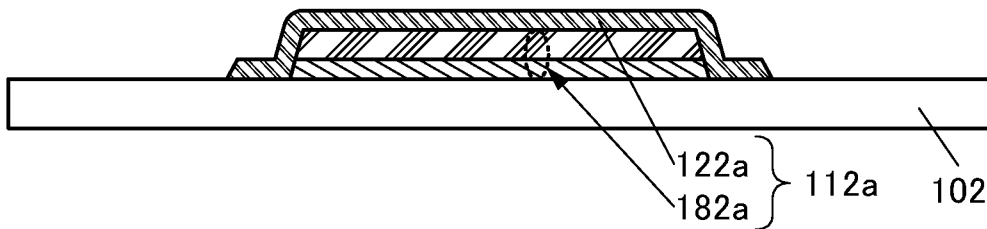




7B

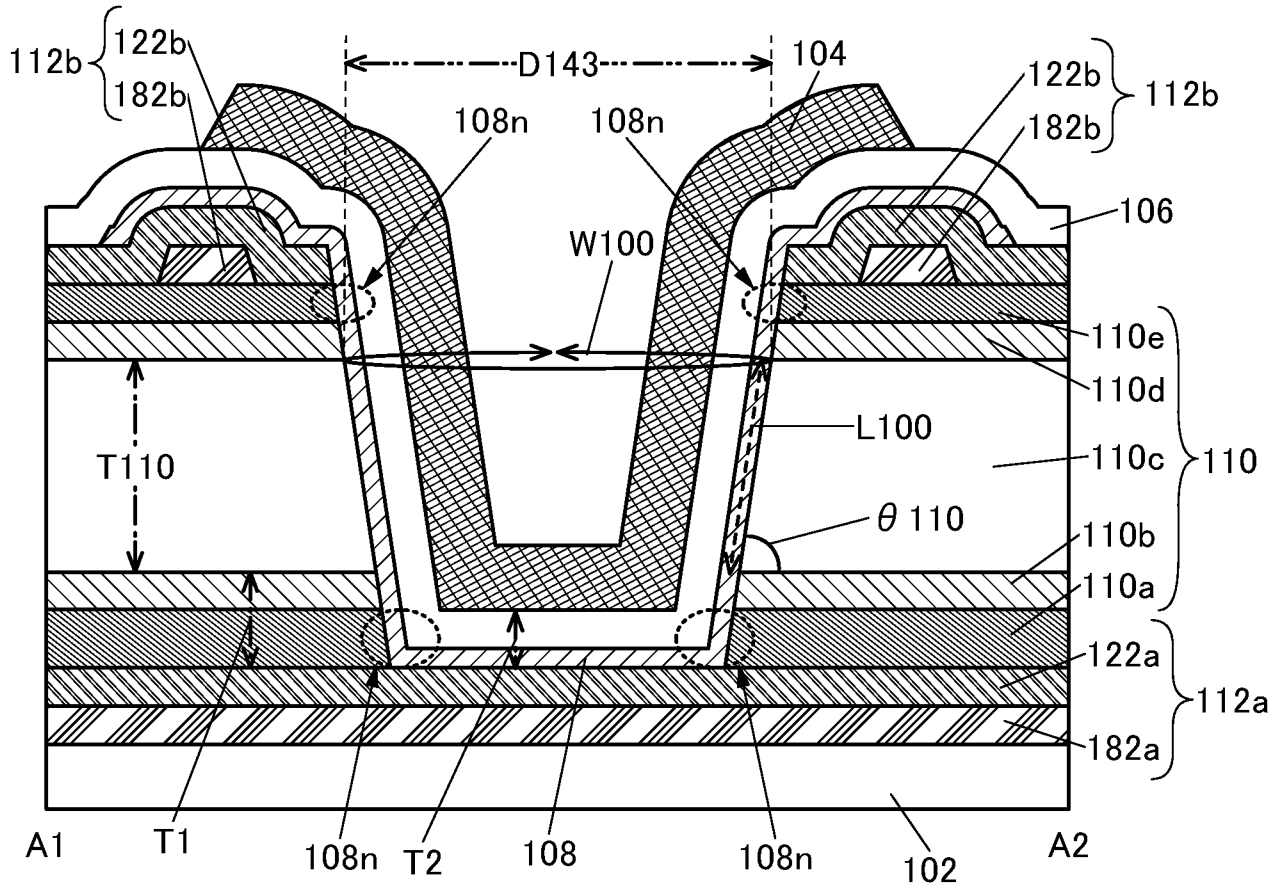


7C



8A

100B



8B

100B

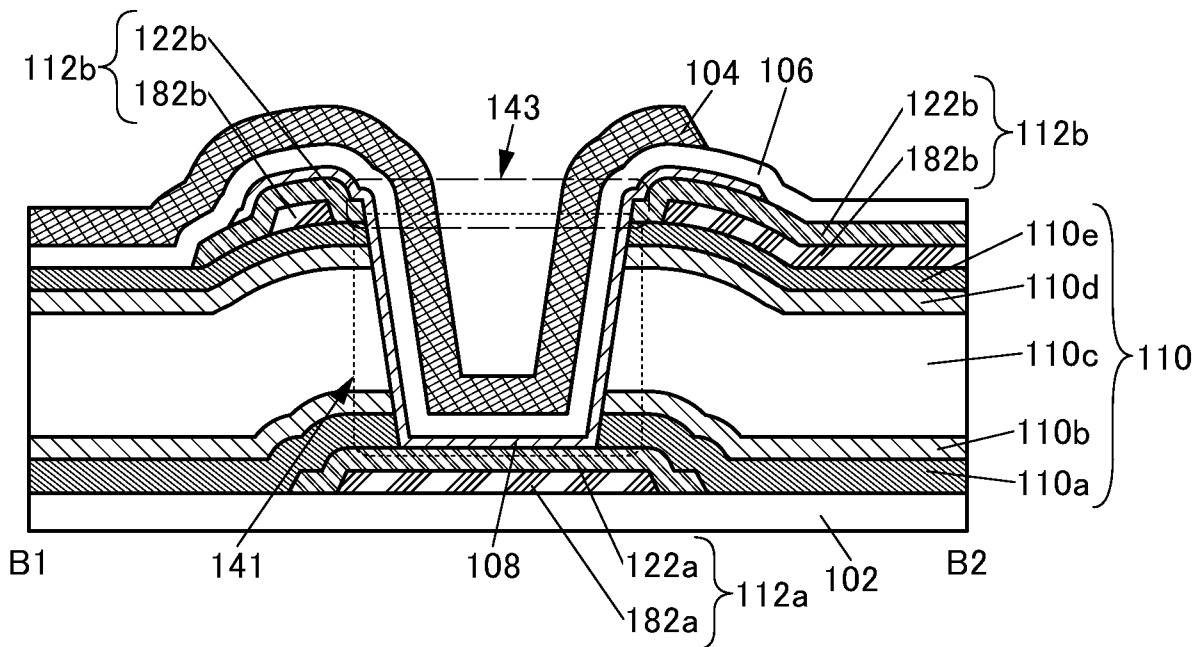


図9A

100C

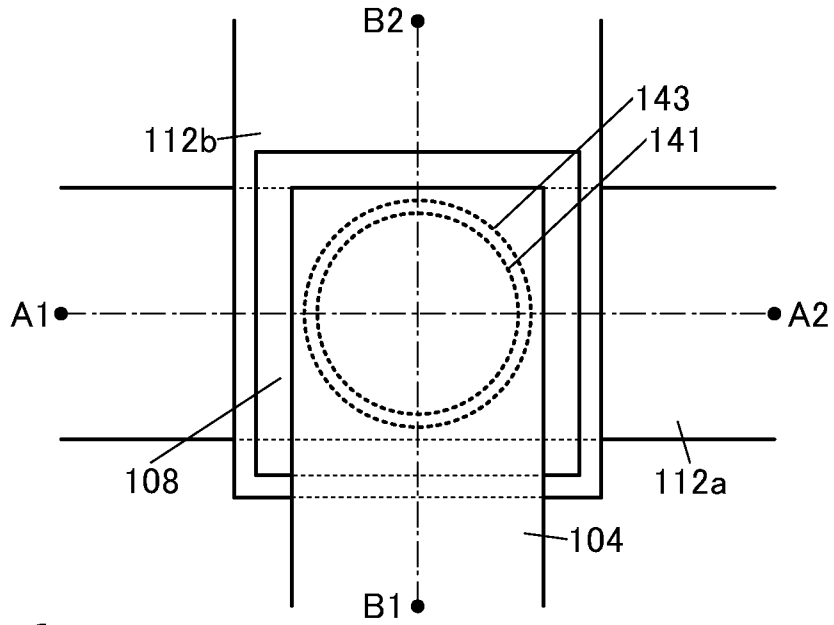


図9B

100C

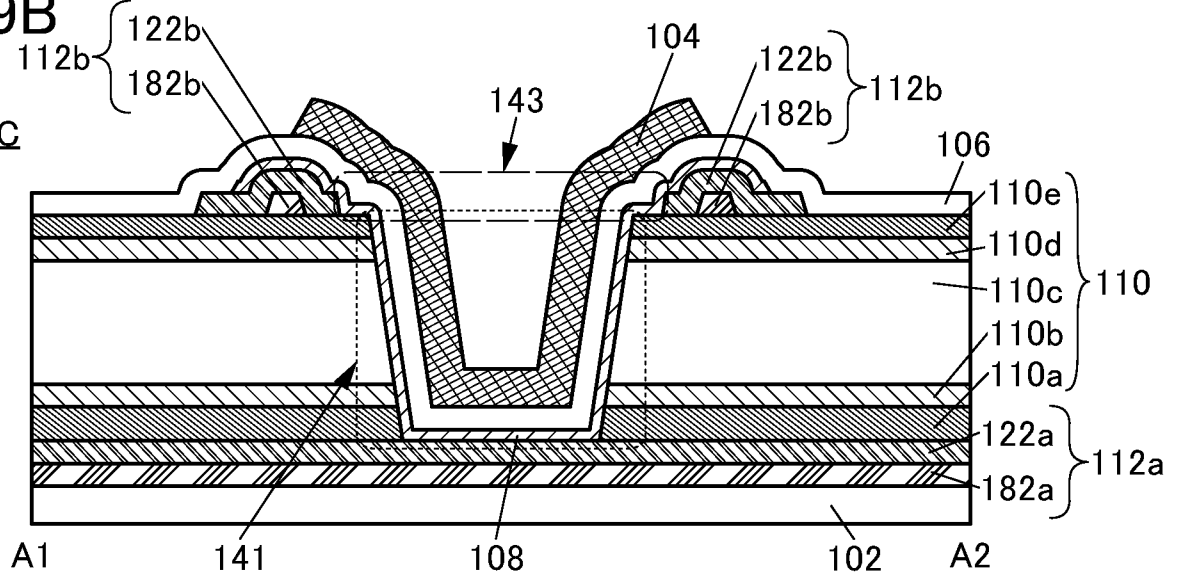
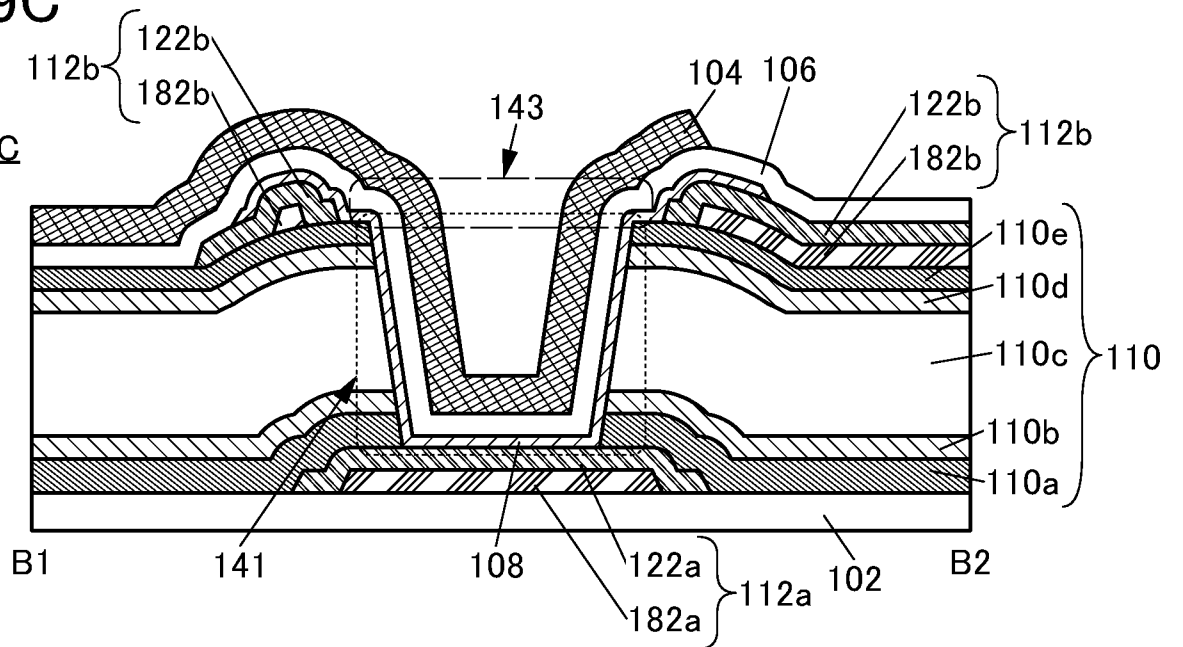
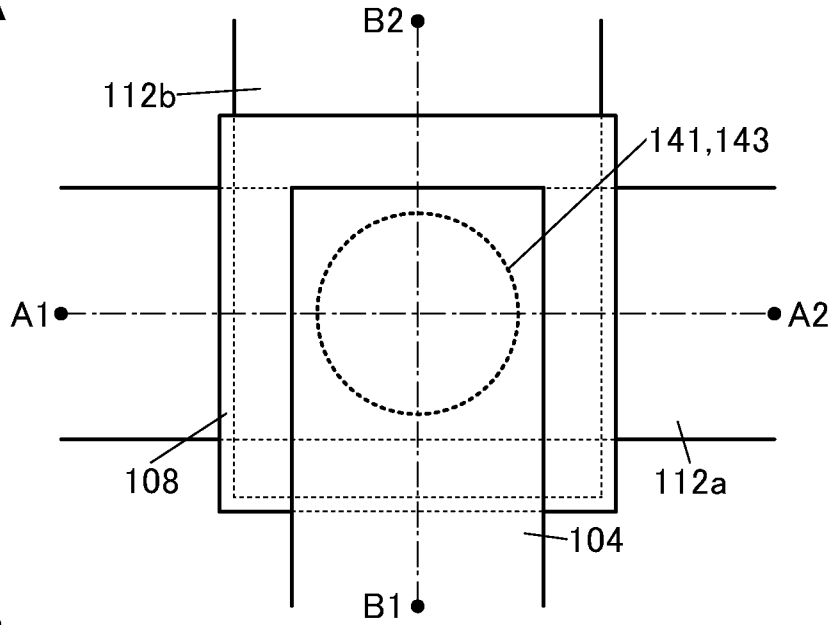


図9C

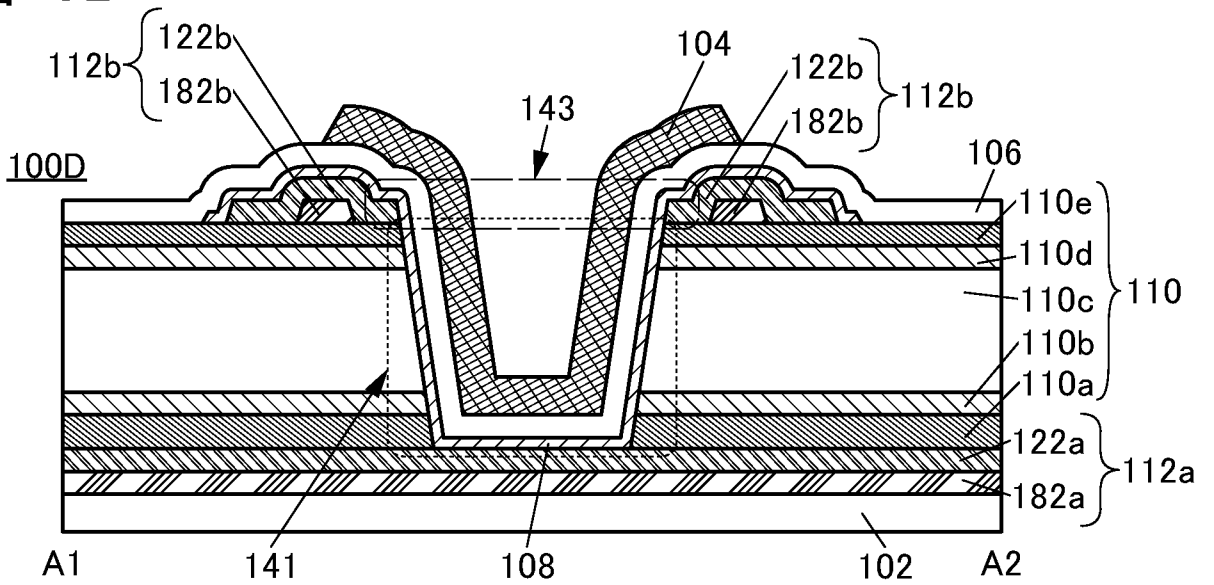
100C



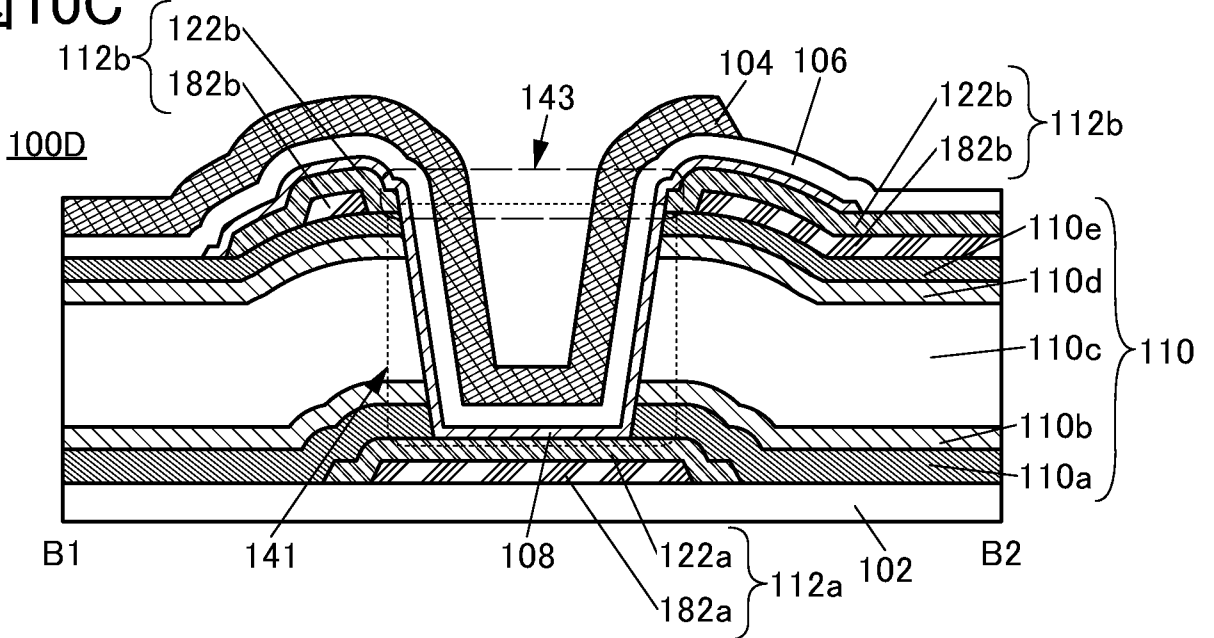
10A



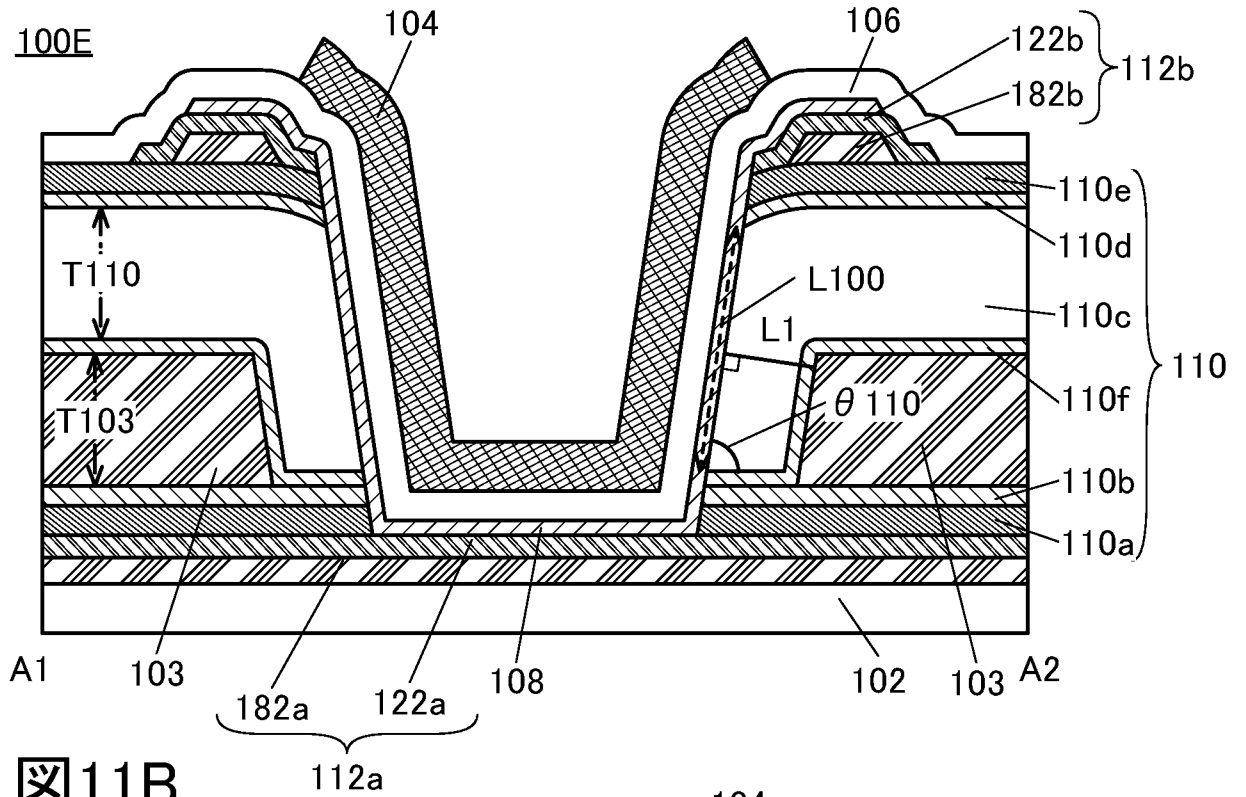
10B



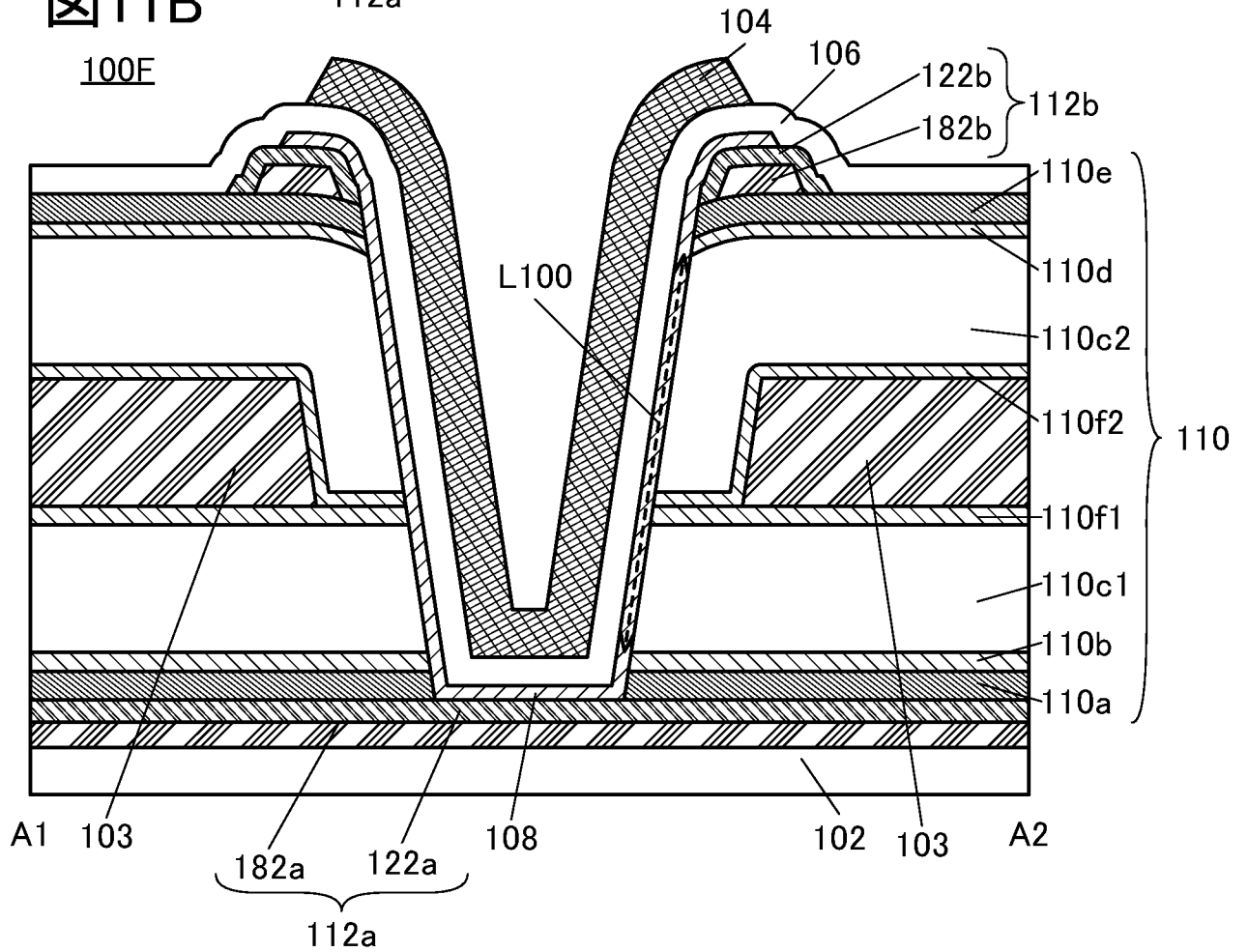
10C



11A



11B



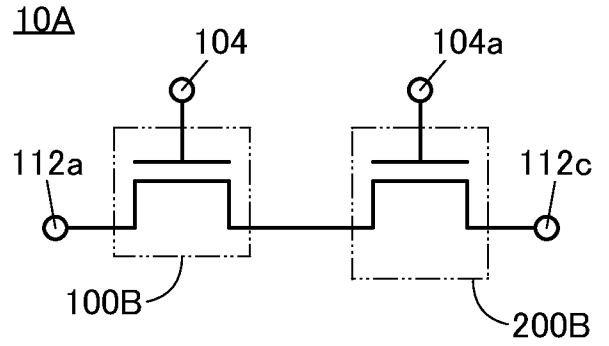
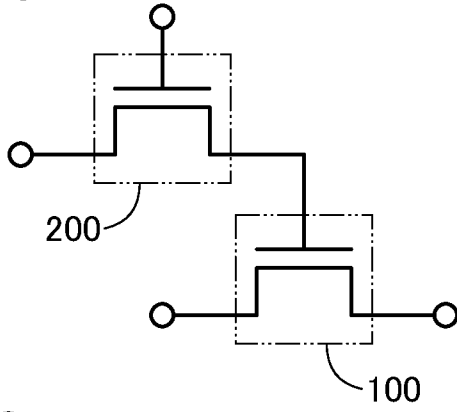


FIG 13C

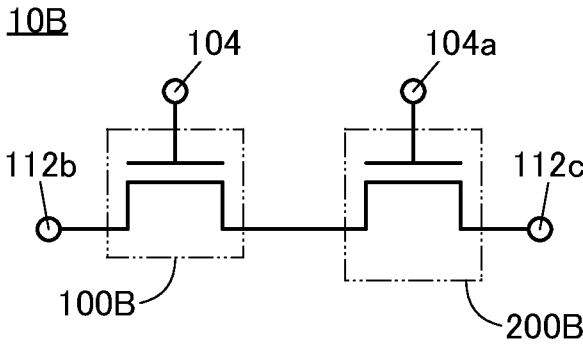


FIG 13D

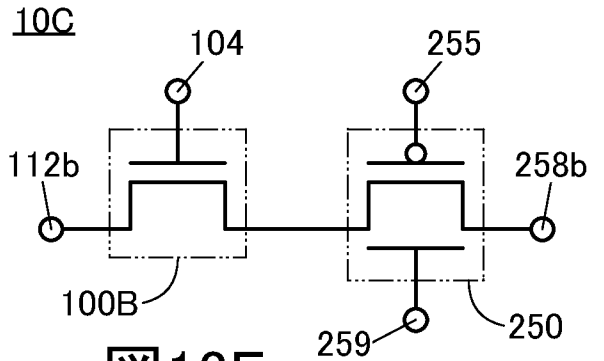


FIG 13E

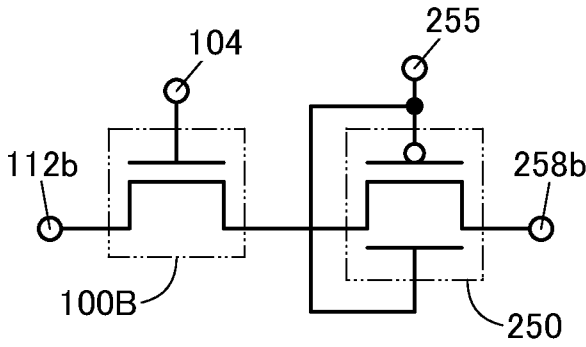


FIG 13F

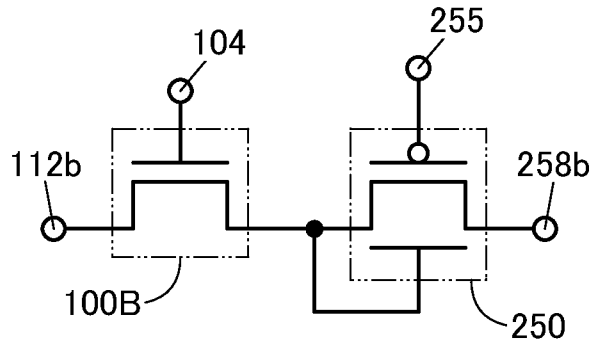


FIG 13G

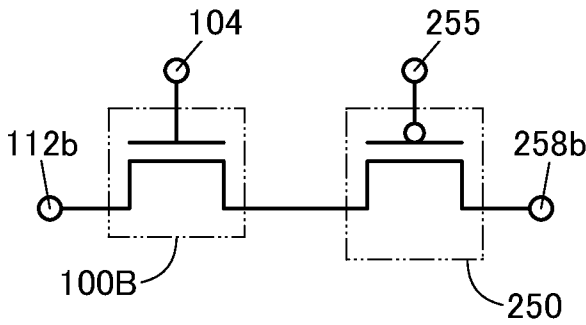


FIG 13H

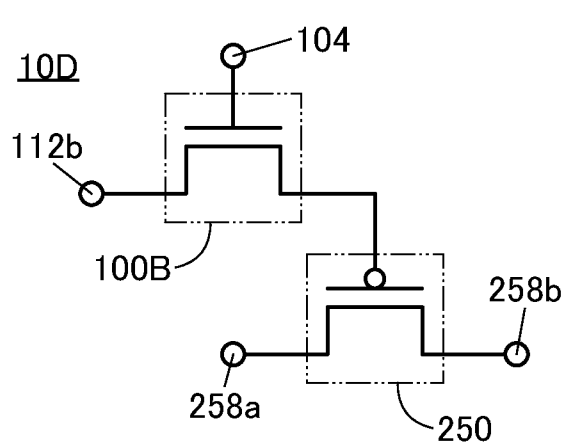
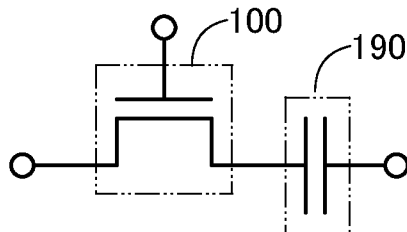
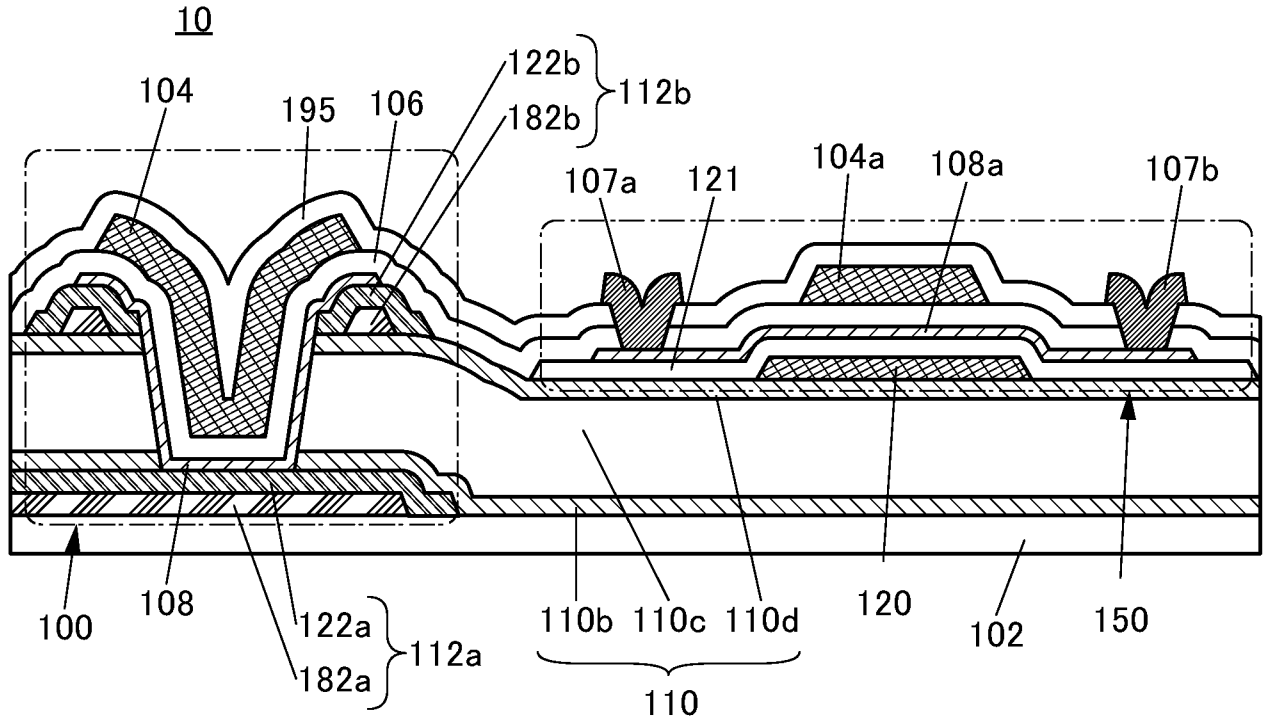


FIG 13I





14B

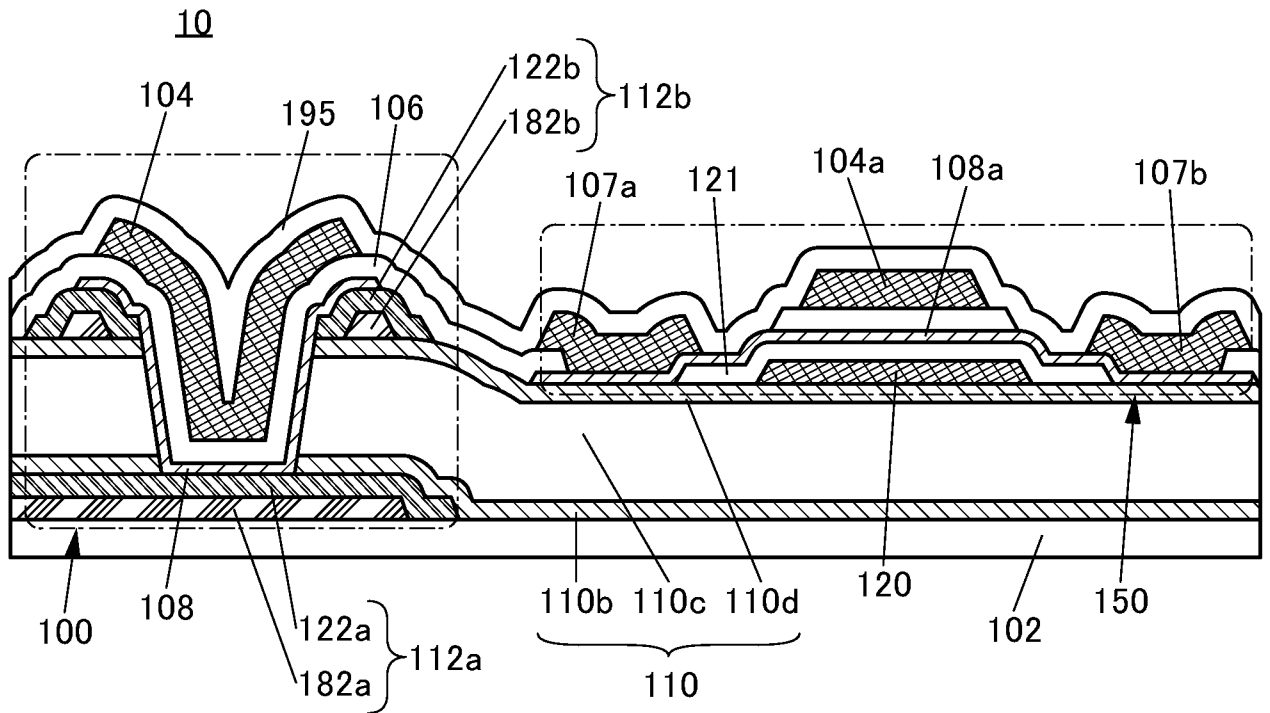


図15A

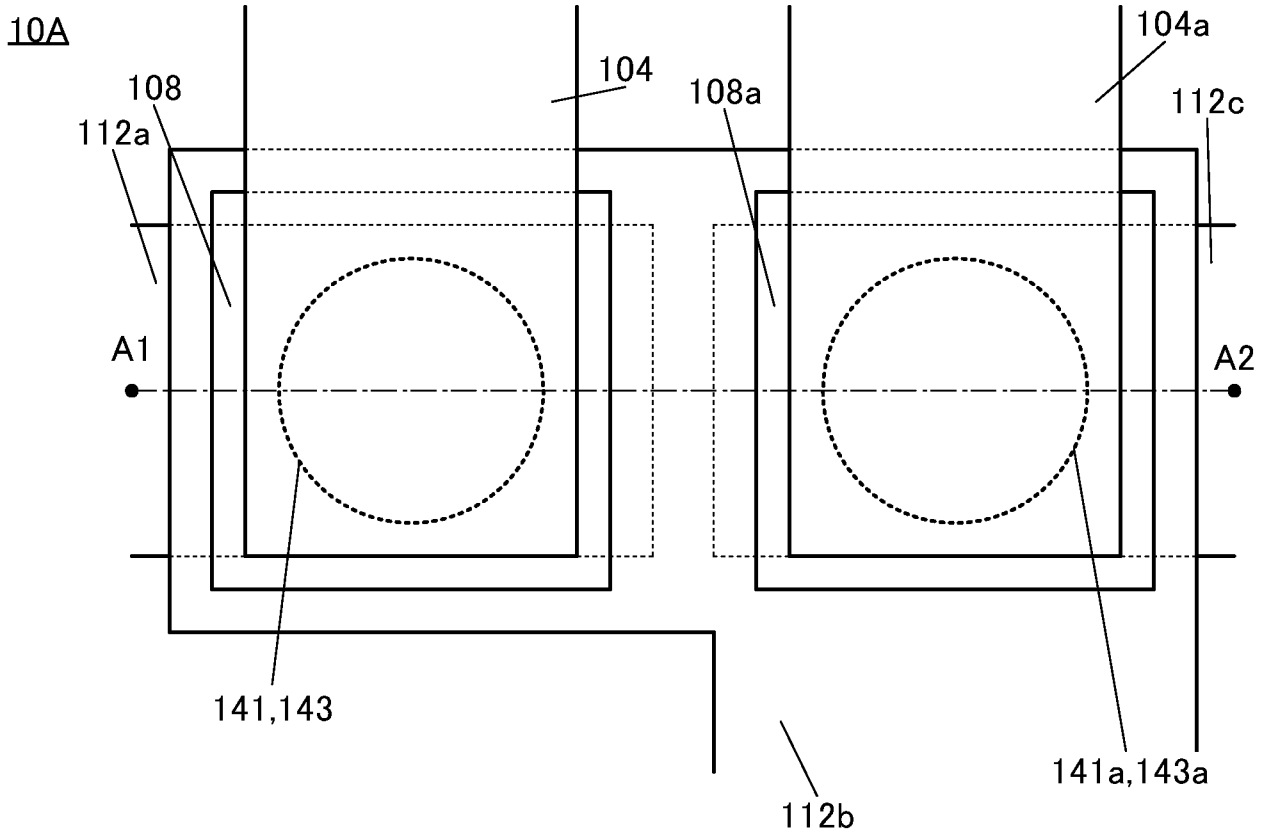
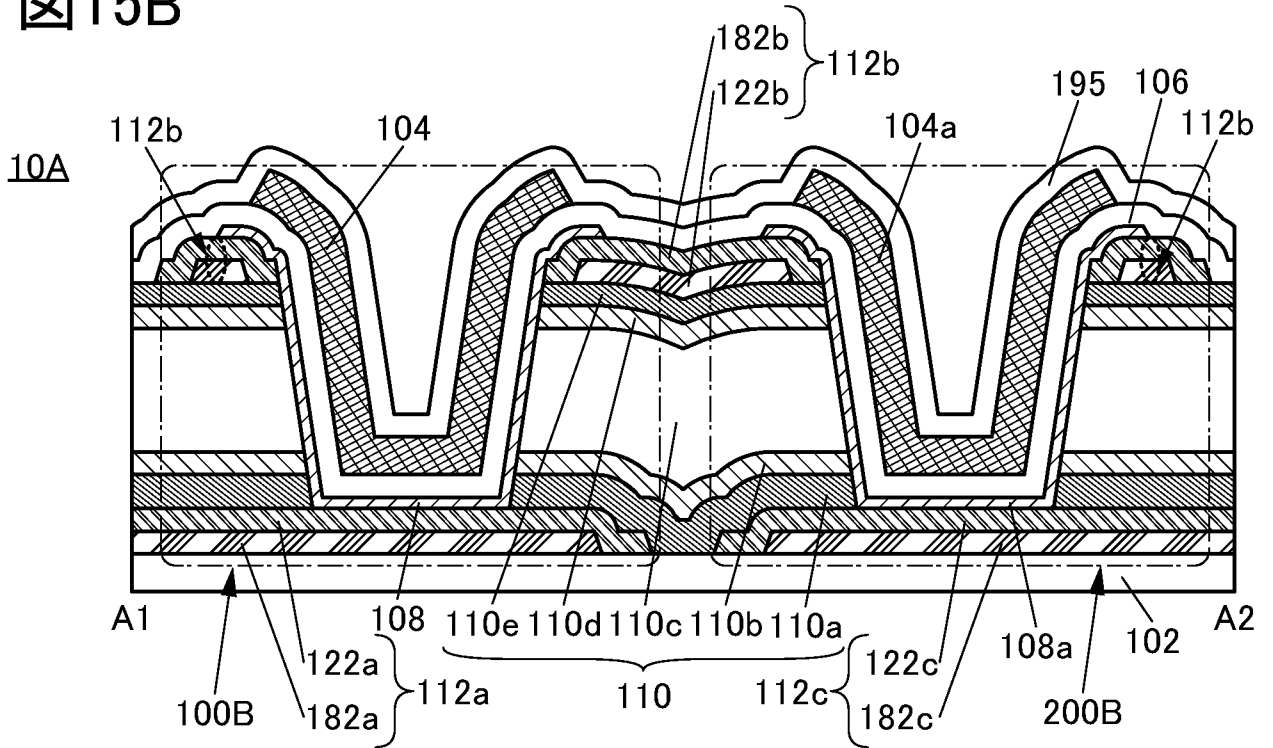
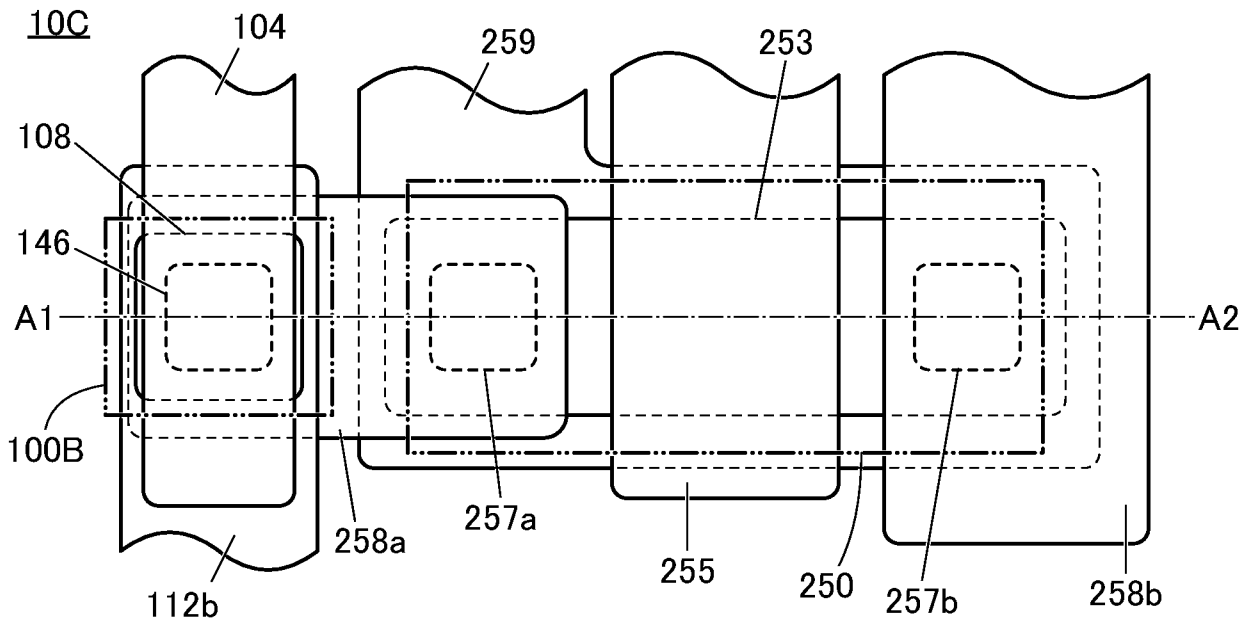
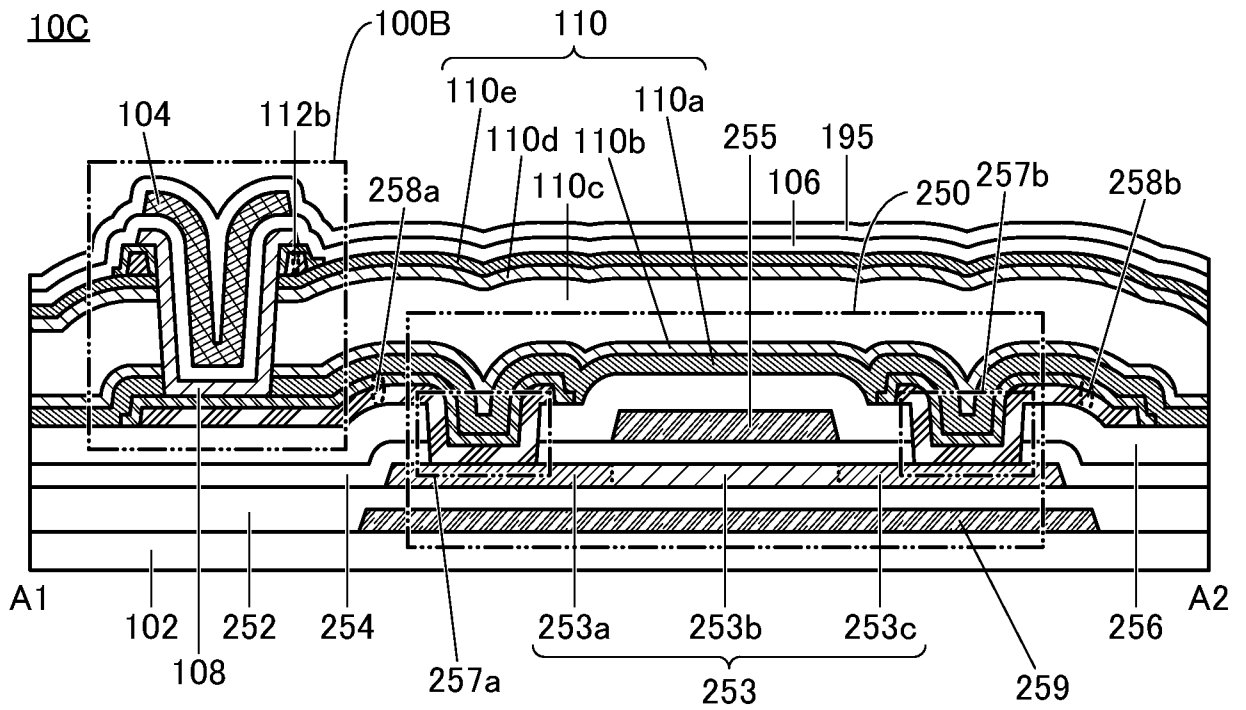


図15B



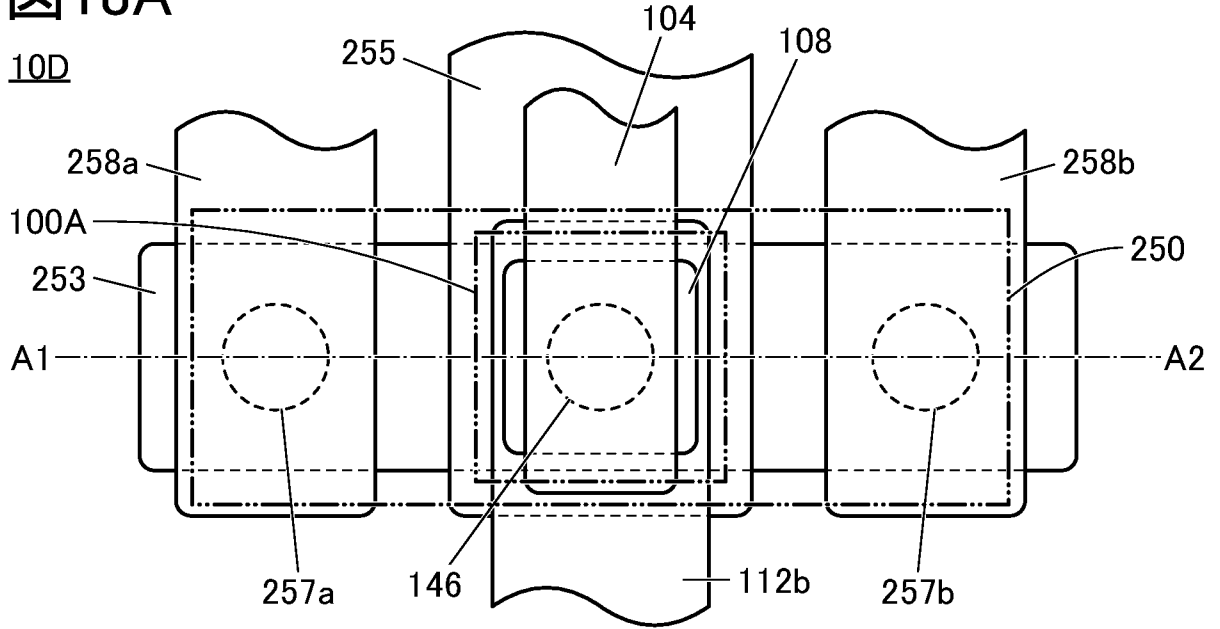


17B



18A

10D



18B

10D

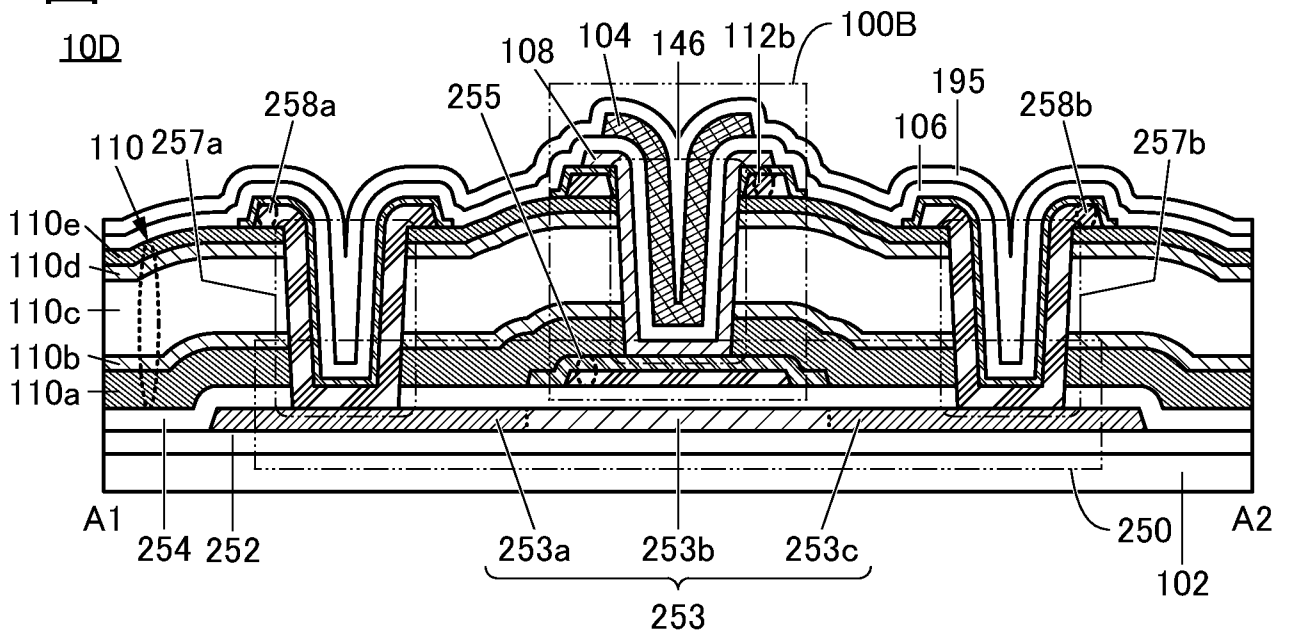


図19A

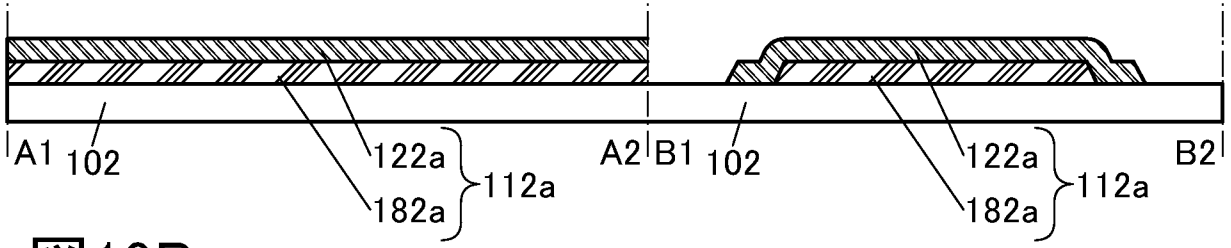


図19B

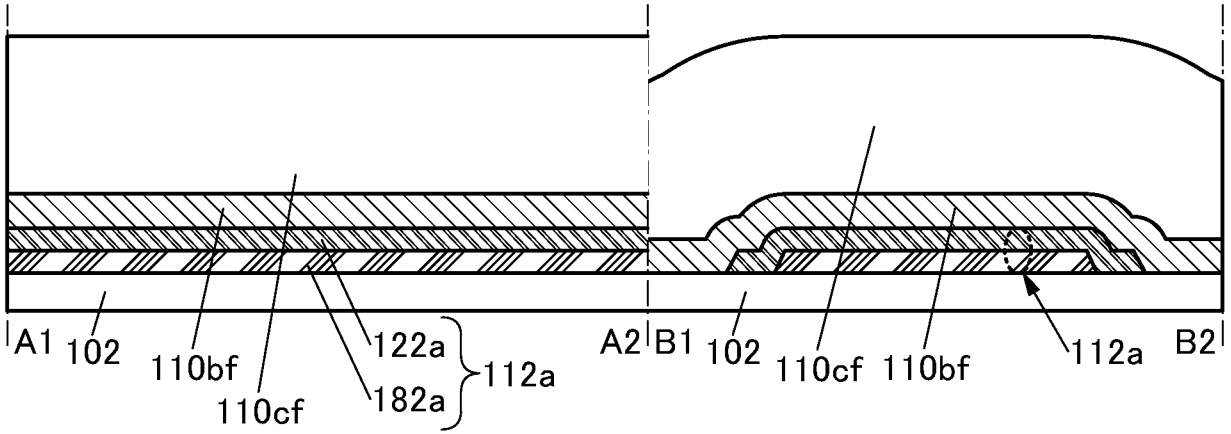


図19C

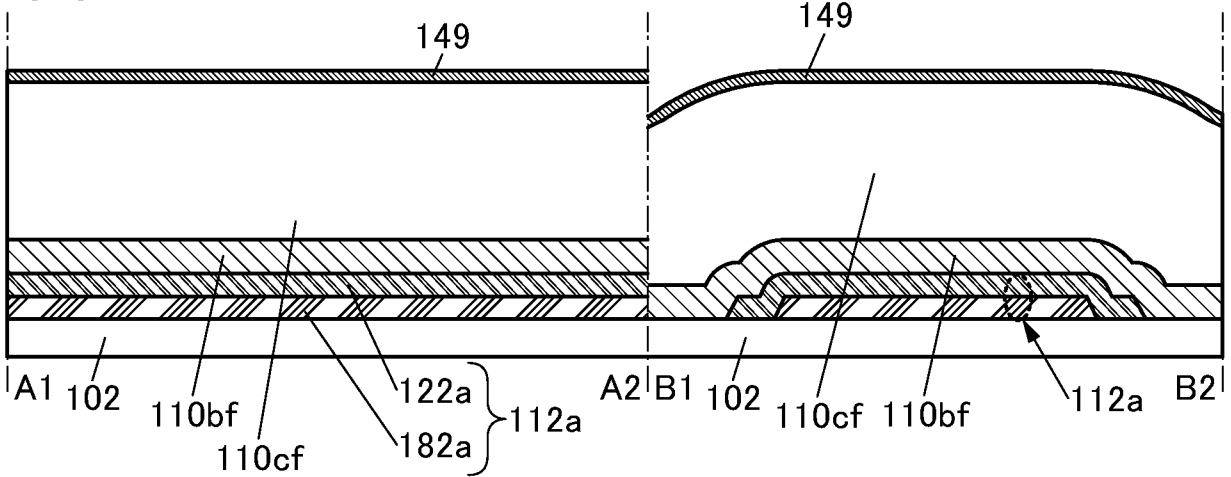
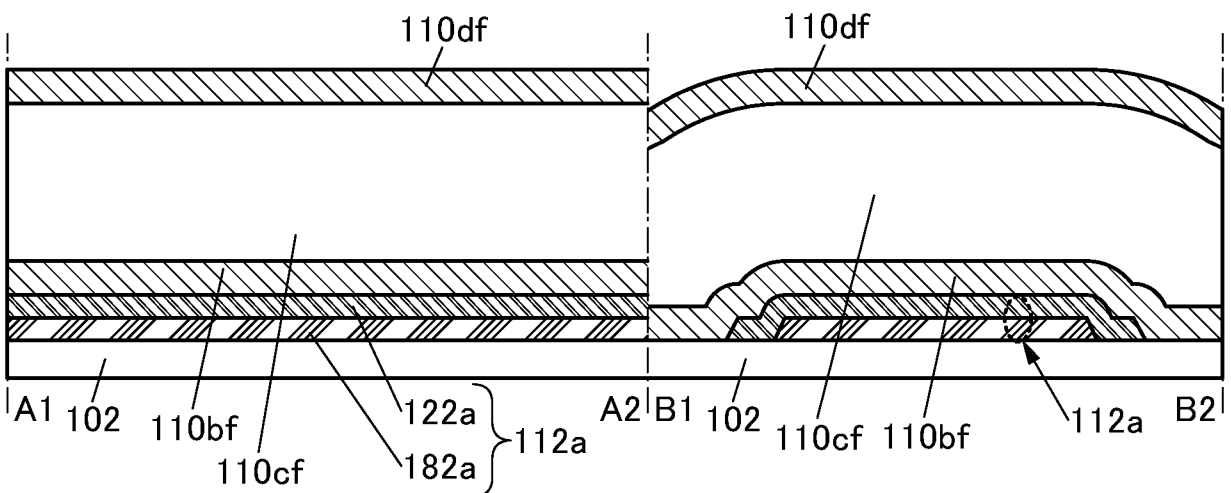
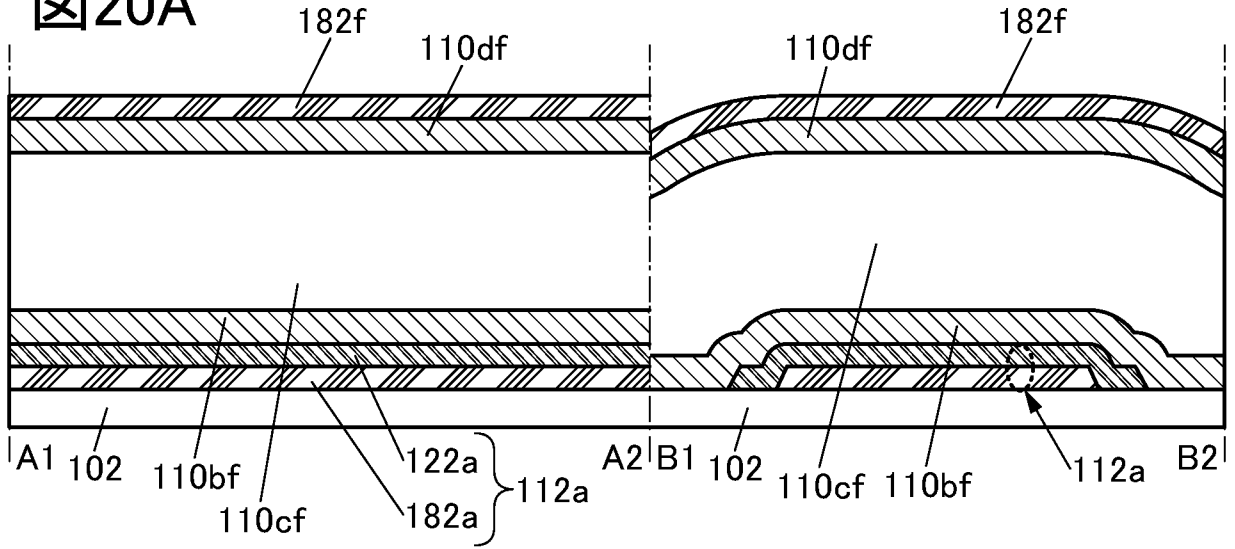
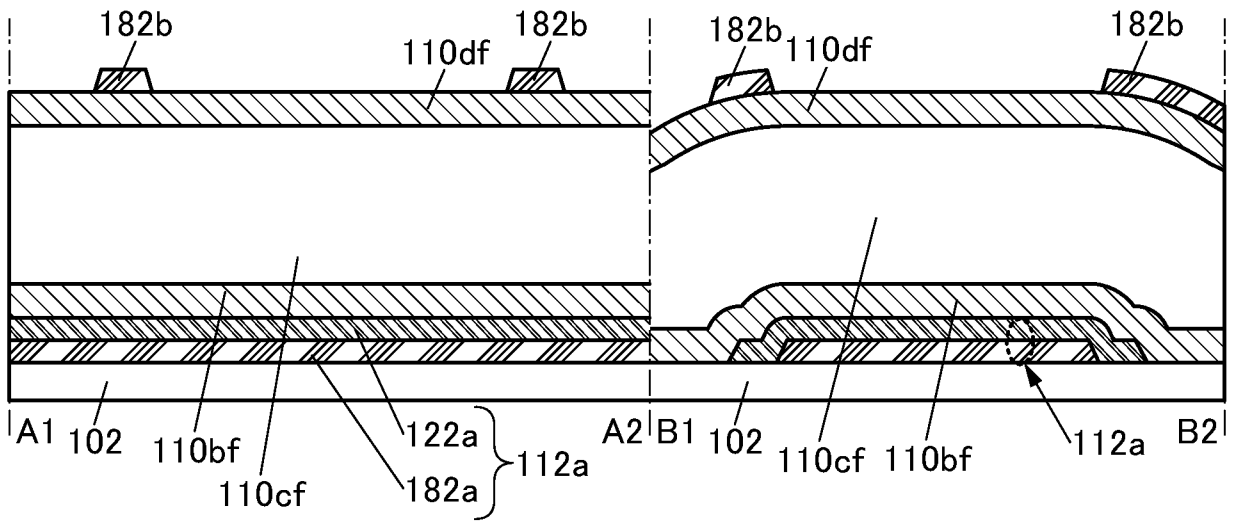


図19D

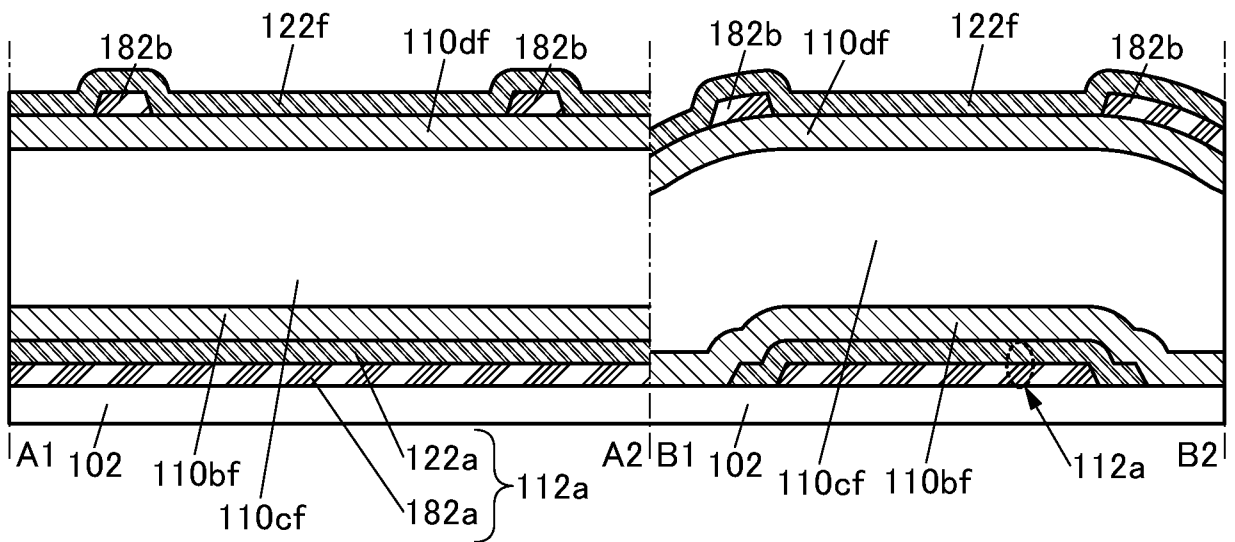


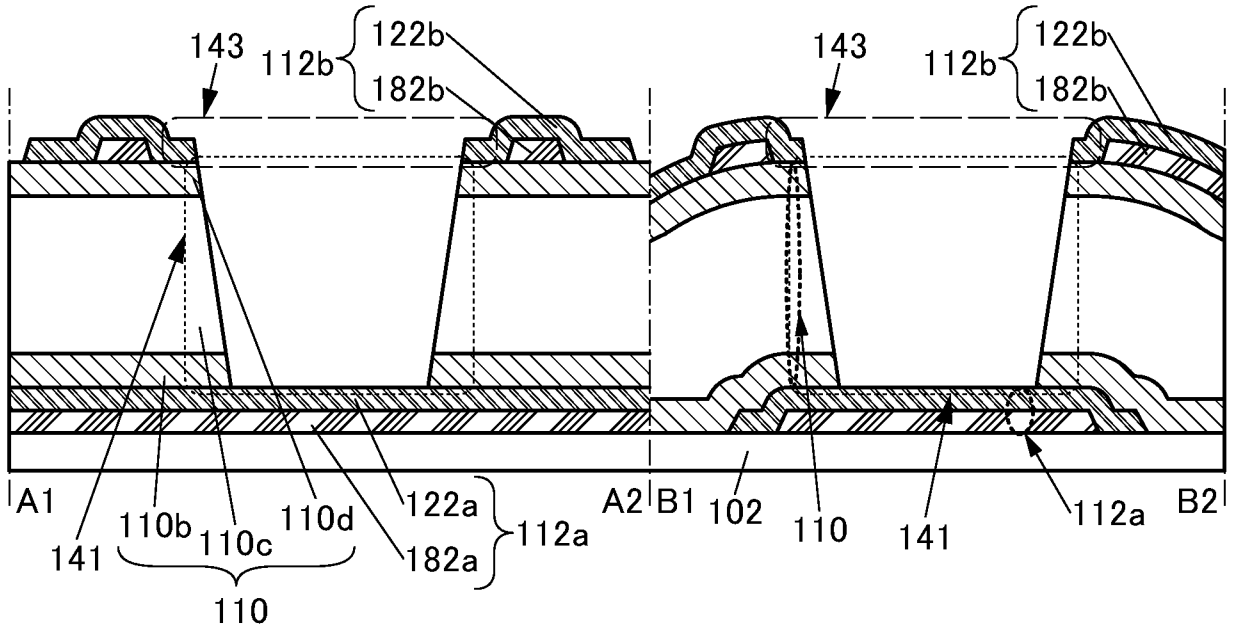


20B

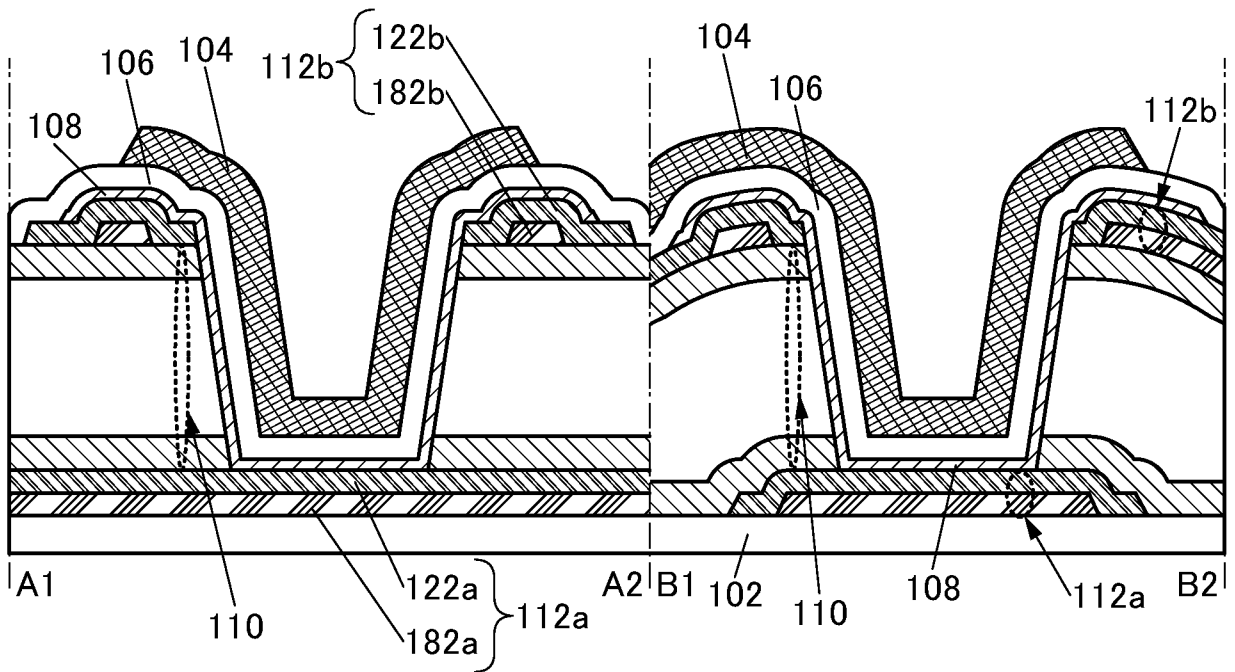


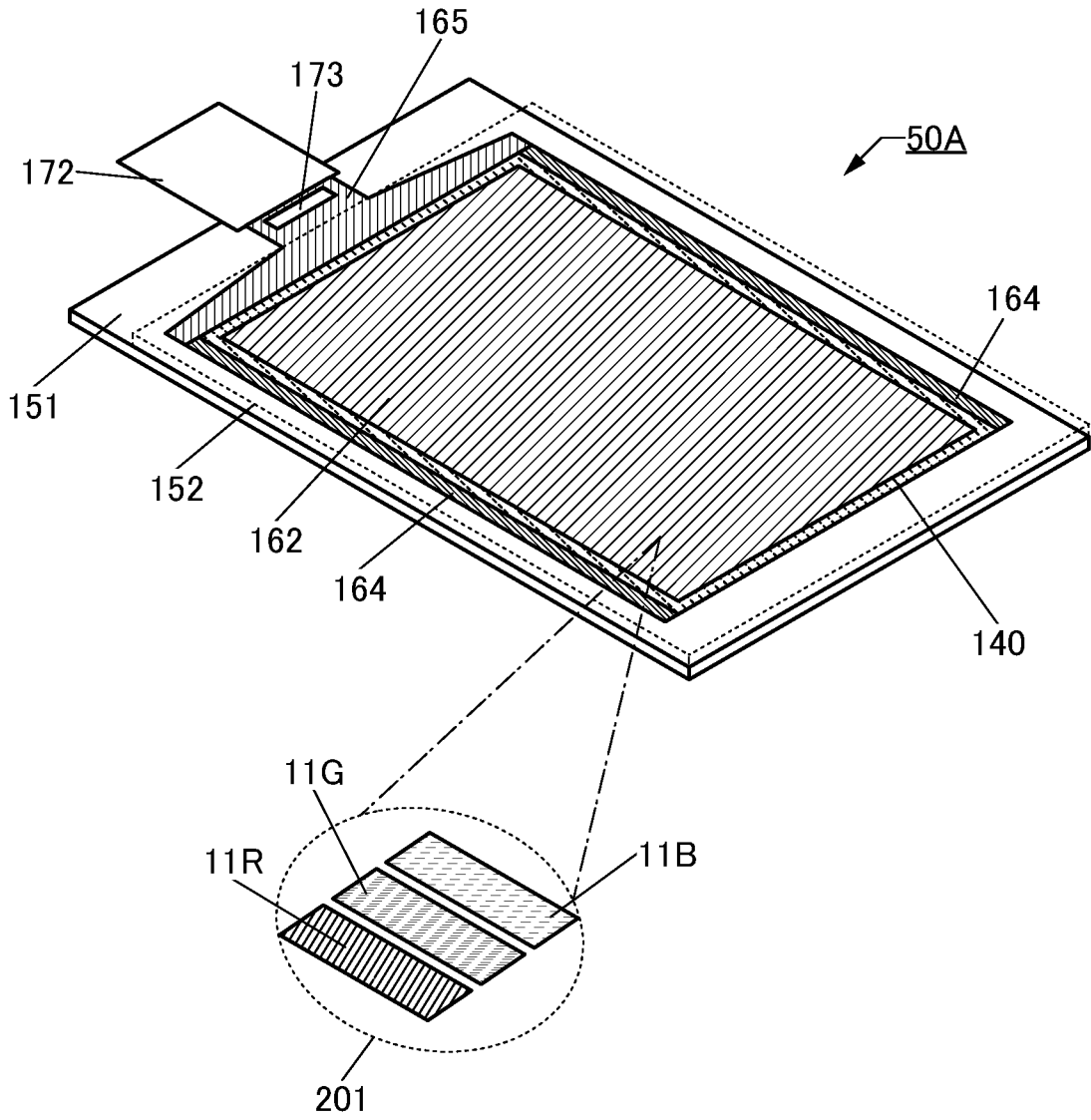
20C



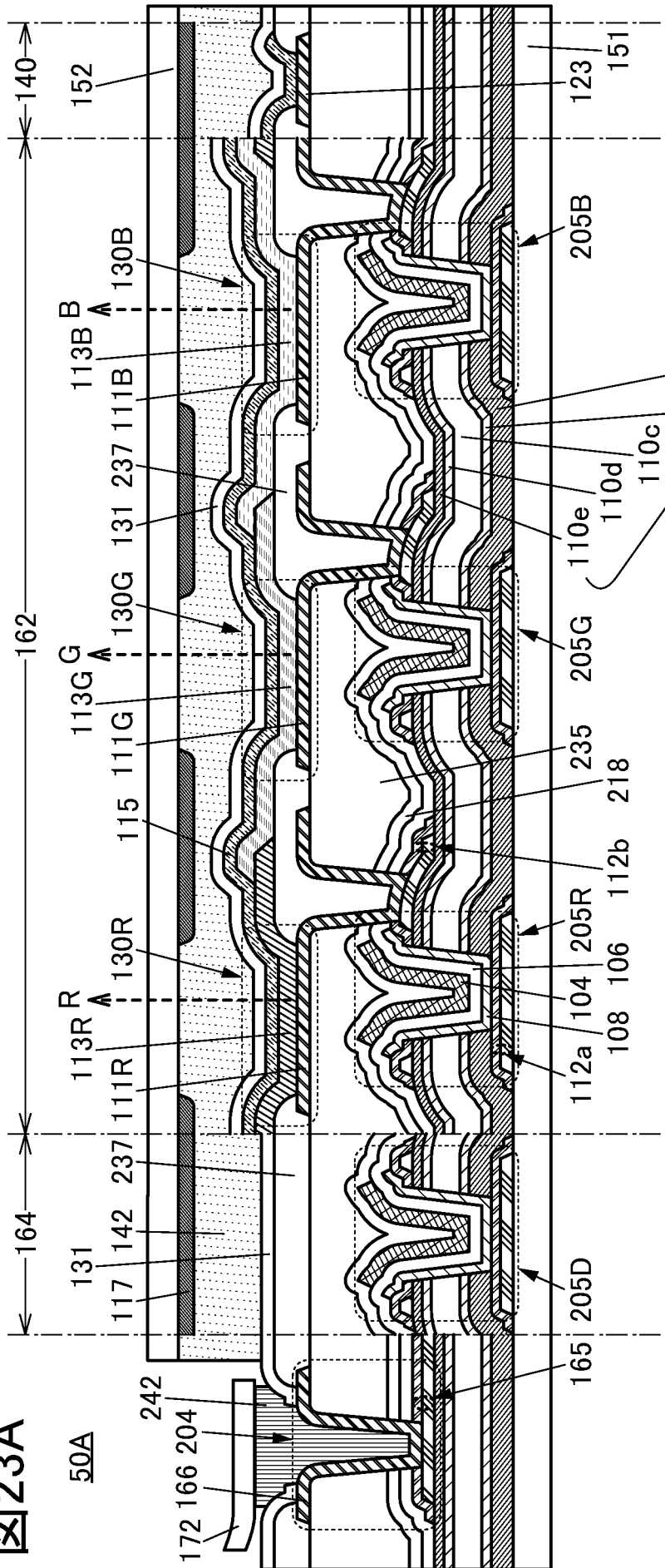


21B

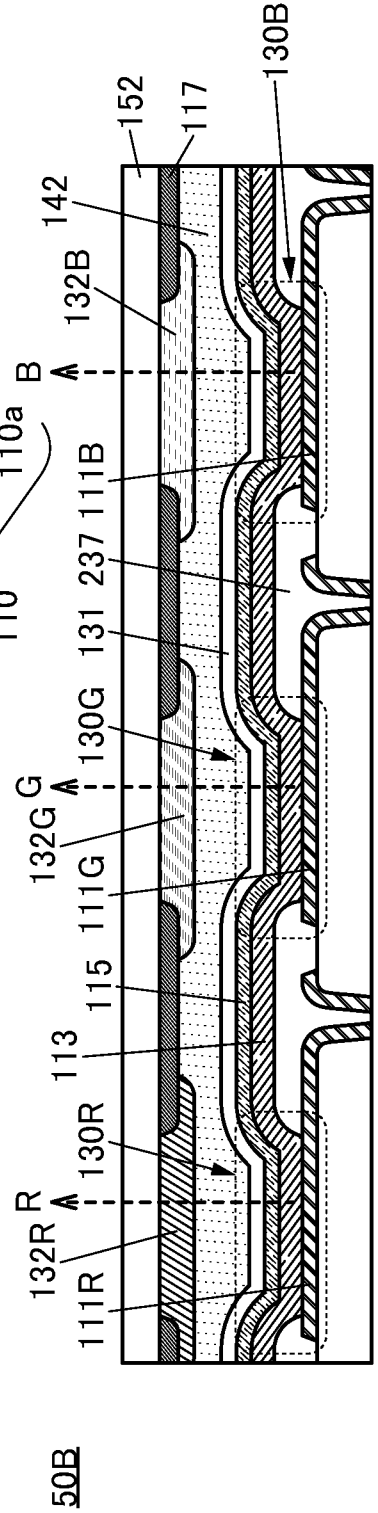




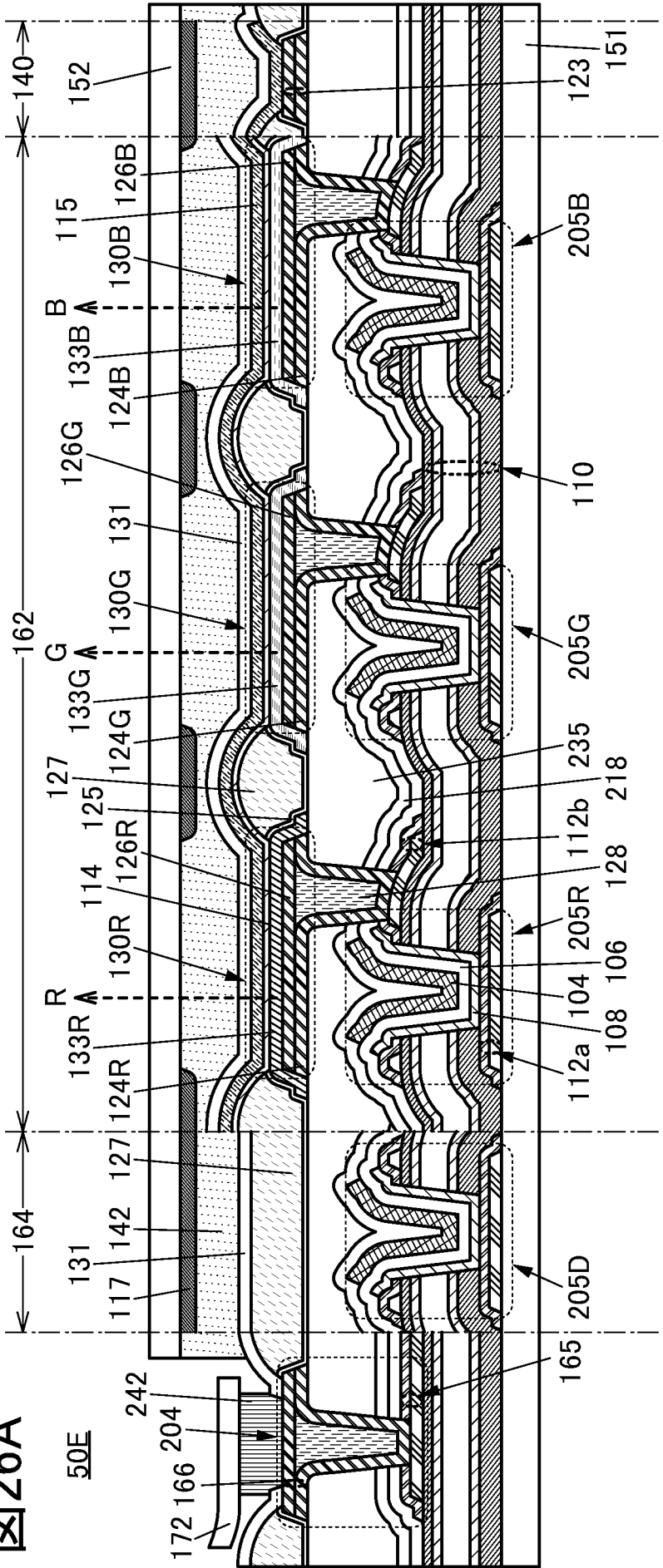
23A



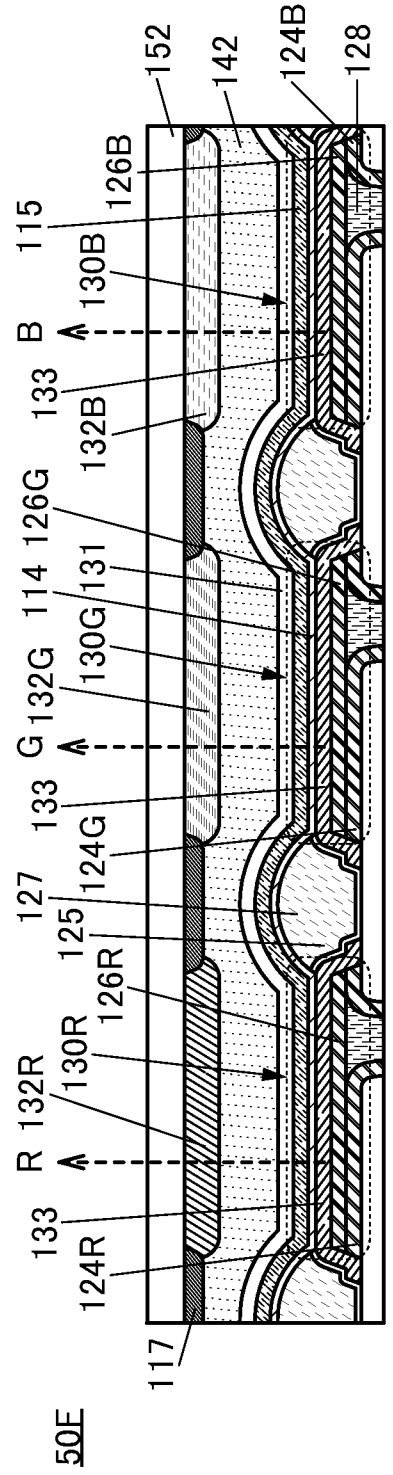
23B



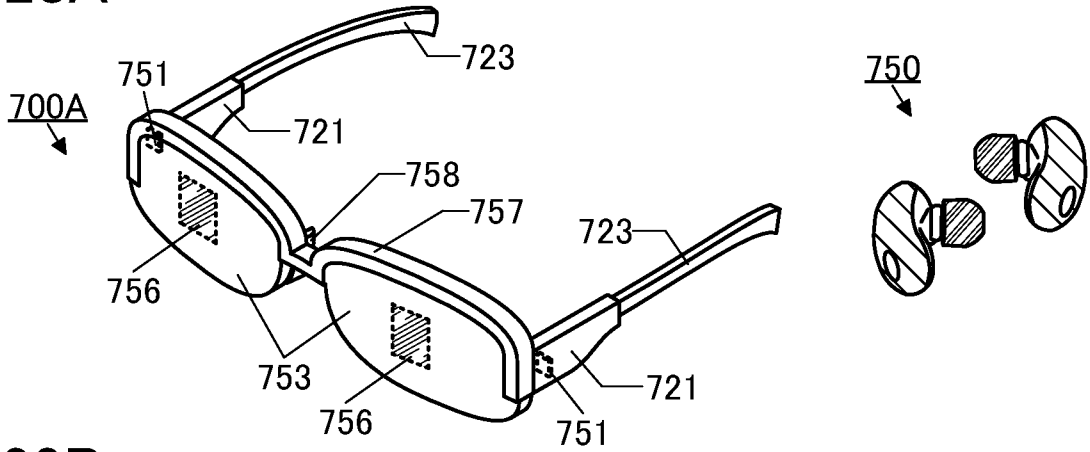
26A



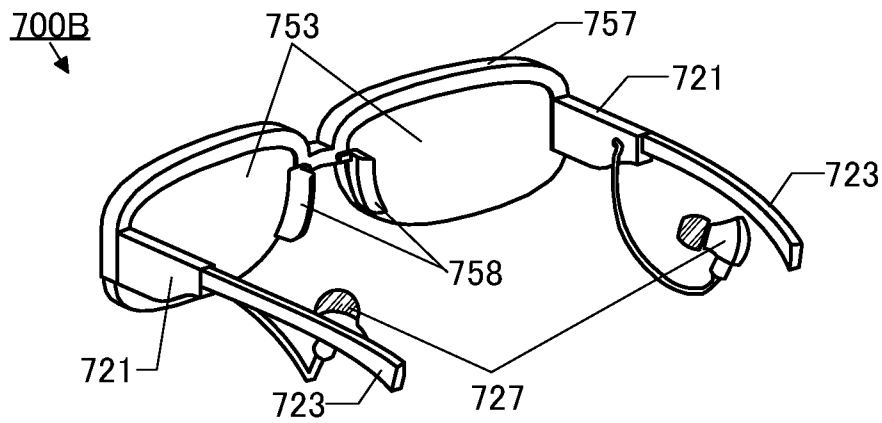
26B



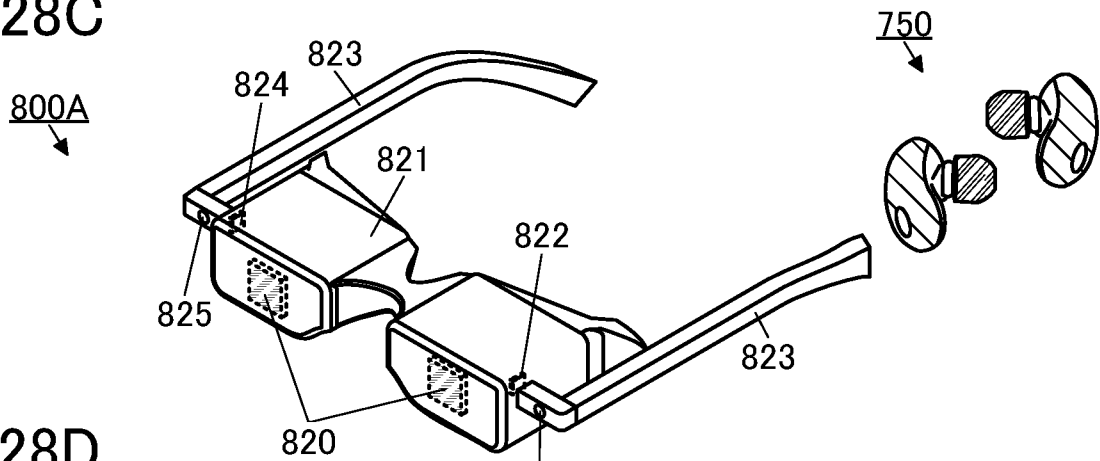
28A



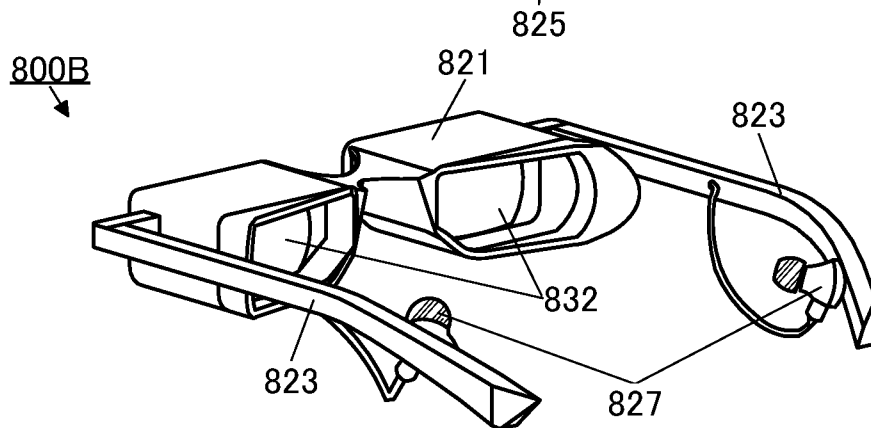
28B



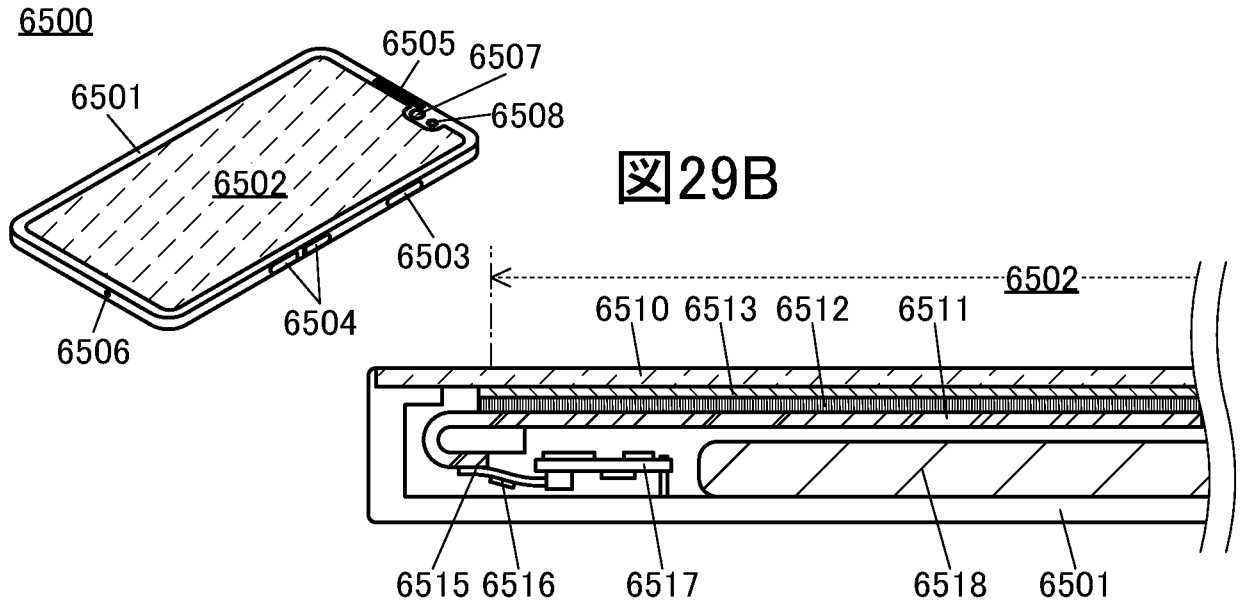
28C



28D

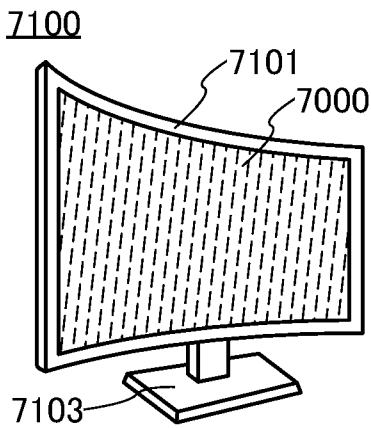


29A

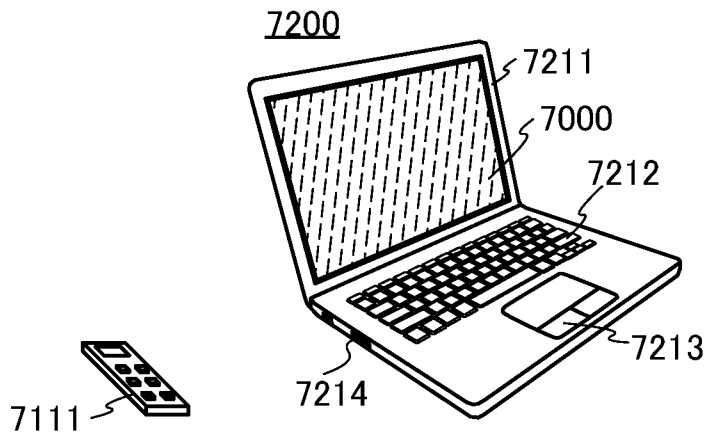


29B

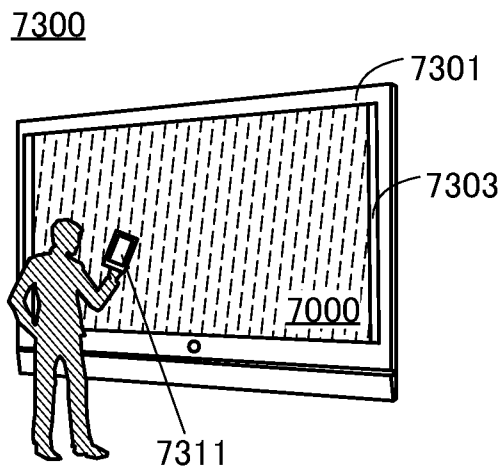
29C



29D



29E



29F

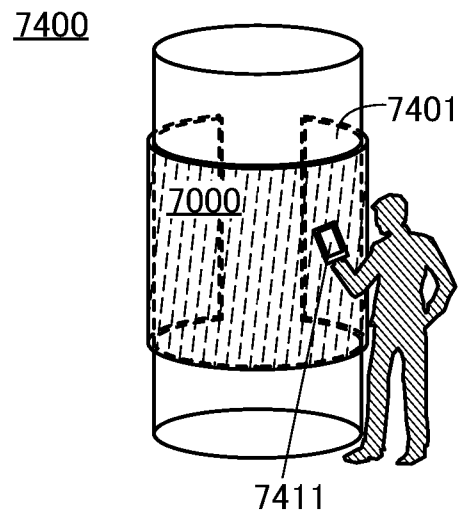


图 30A

9101

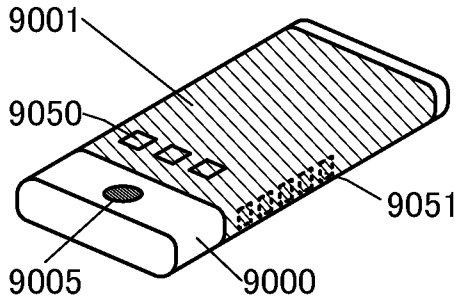


图 30D

9200

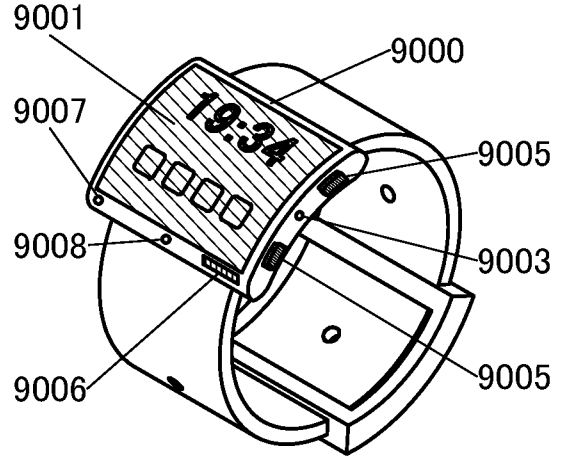


图 30B

9102

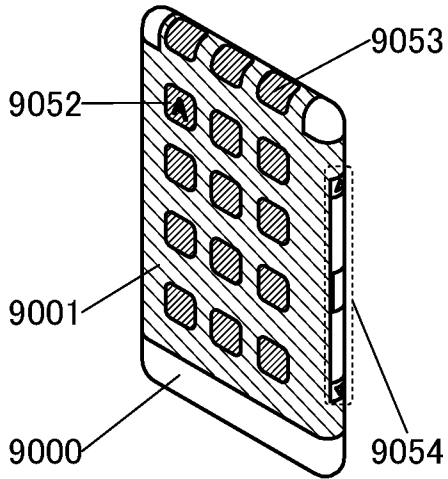


图 30E

9201

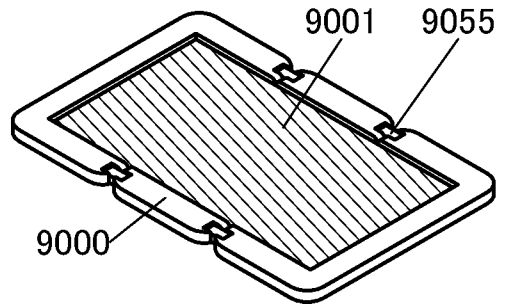


图 30F

9201

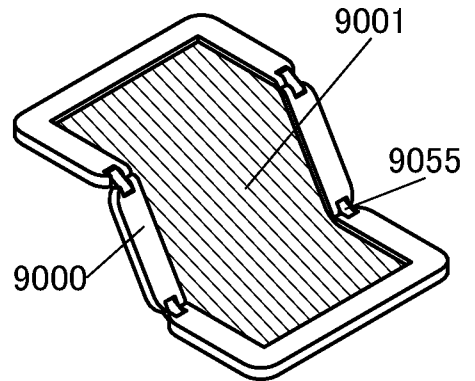


图 30C

9103

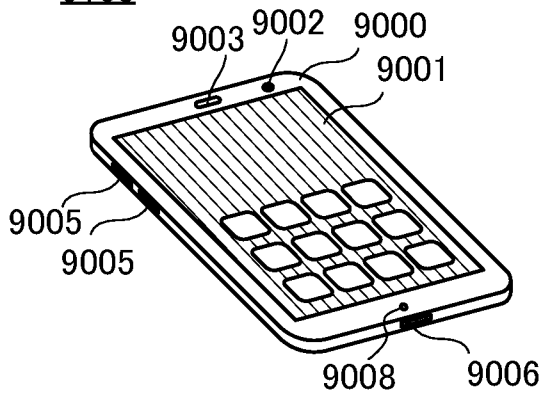


图 30G

9201

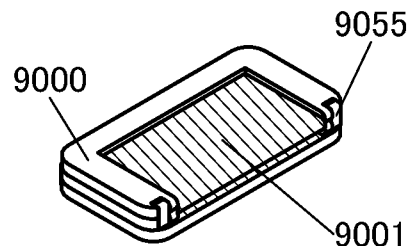


図31A

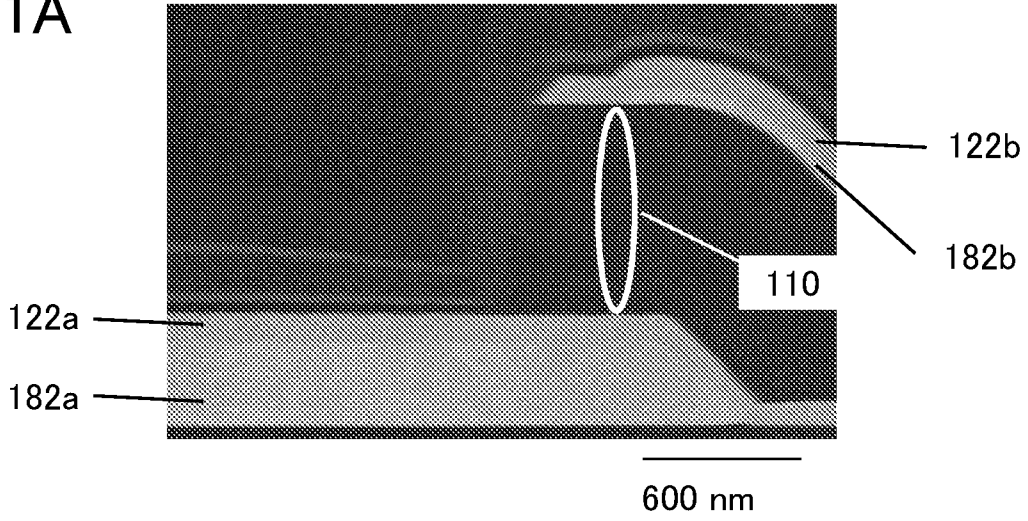


図31B

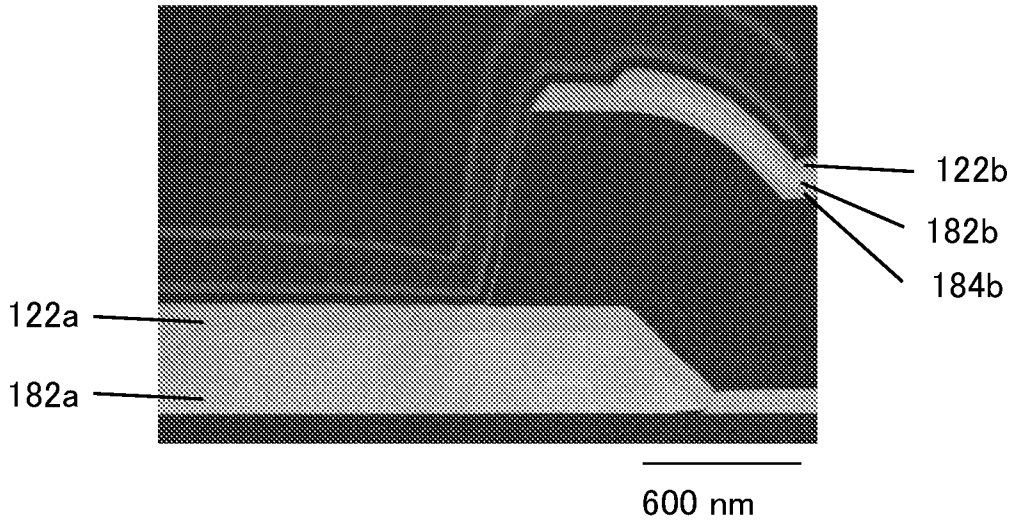
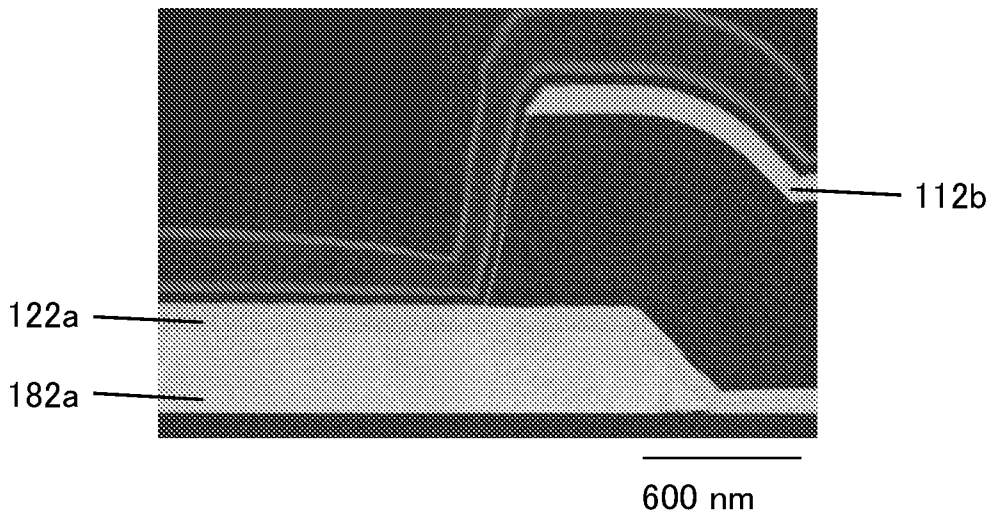
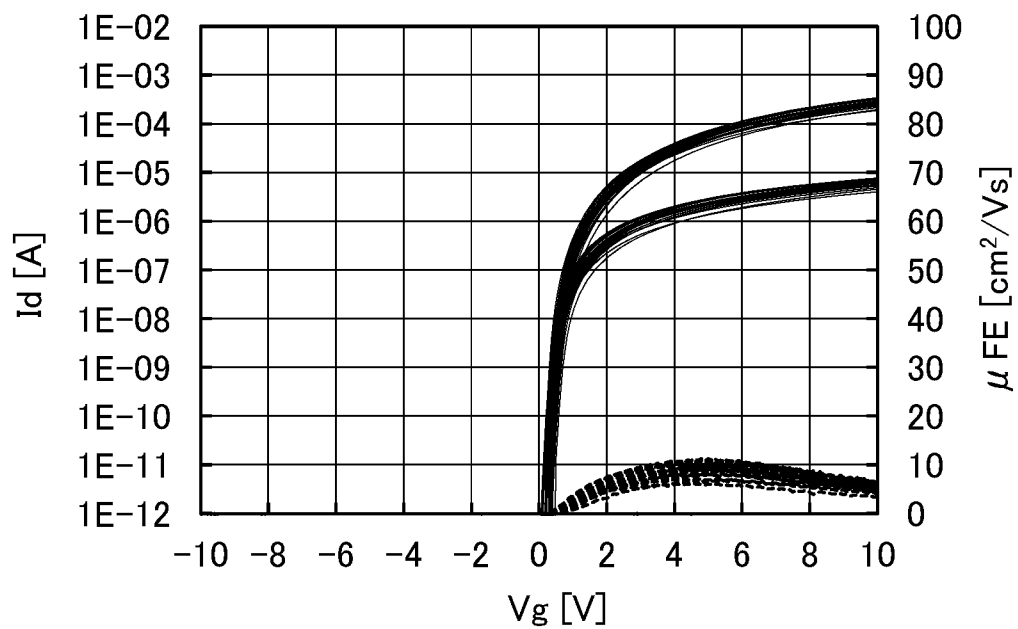
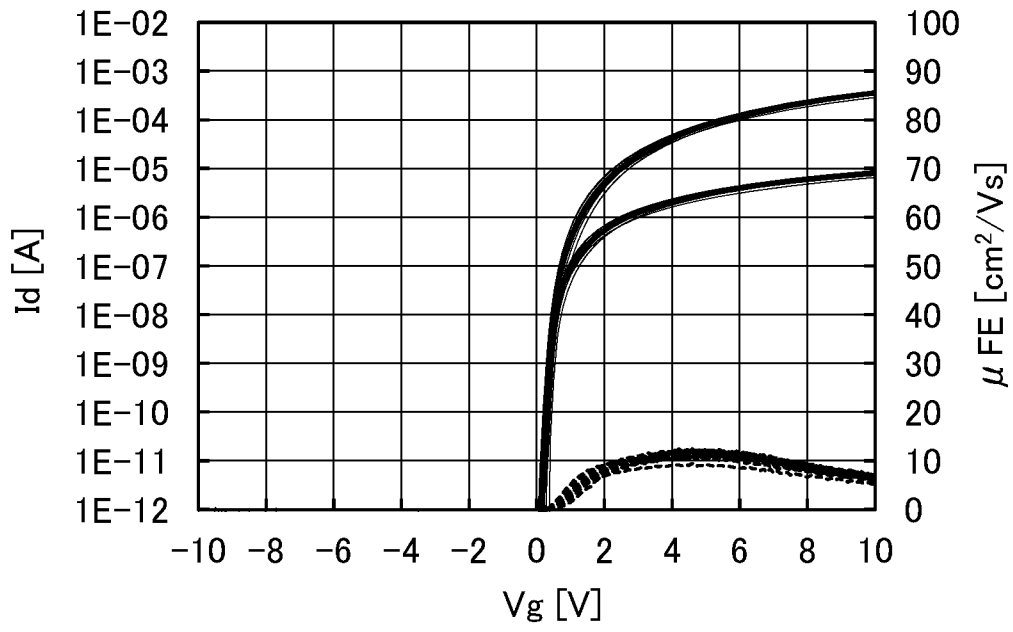
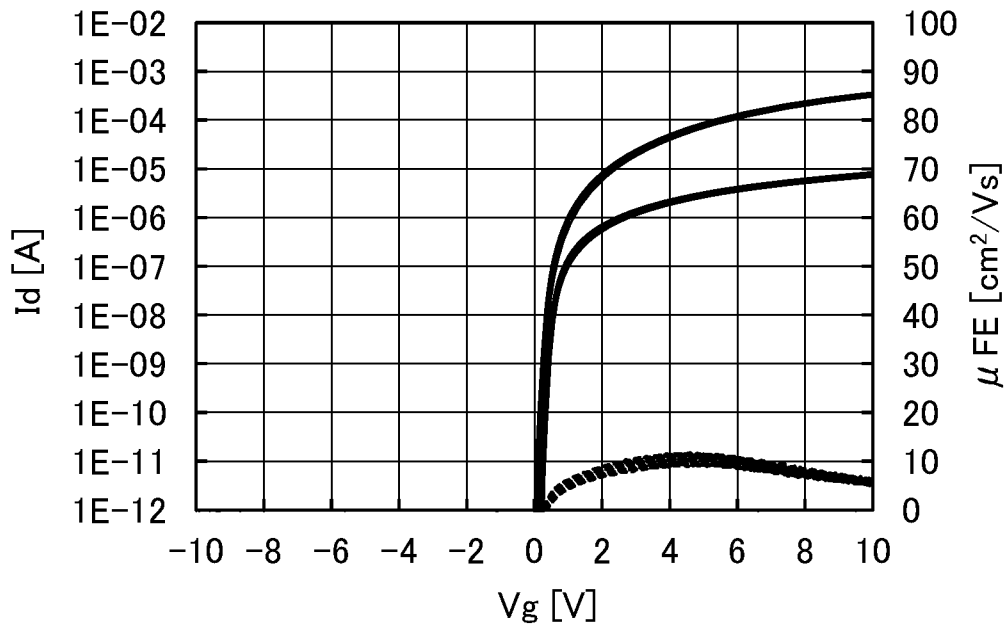


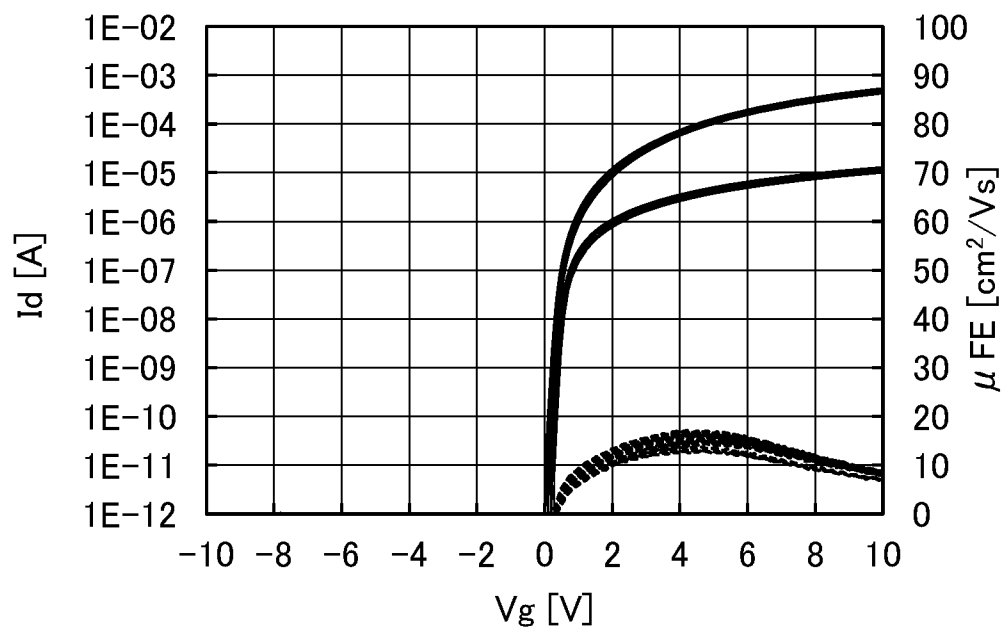
図31C











INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2023/062851

A. CLASSIFICATION OF SUBJECT MATTER		
<p>H01L 29/786(2006.01)i; H01L 21/28(2006.01)i; H01L 21/318(2006.01)i; H01L 21/336(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 27/146(2006.01)i; H01L 29/417(2006.01)i; H10K 39/32(2023.01)i; H10K 39/34(2023.01)i; H10K 50/84(2023.01)i; H10K 59/131(2023.01)i</p> <p>FI: H01L29/78 626A; H01L29/78 618B; H01L29/78 616U; H01L29/78 616T; H01L29/78 617U; H01L29/78 617T; H01L29/78 616V; H01L29/78 619A; H01L27/088 E; H01L27/088 B; H01L29/50 M; H01L21/28 301B; H01L21/28 301R; H01L27/06 102A; H01L21/318 M; H01L27/146 C; H10K39/32; H10K59/131; H10K50/84; H10K39/34</p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H01L29/786; H01L21/28; H01L21/318; H01L21/336; H01L21/8234; H01L27/06; H01L27/088; H01L27/146; H01L29/417; H10K39/32; H10K39/34; H10K50/84; H10K59/131		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
<p>Published examined utility model applications of Japan 1922-1996</p> <p>Published unexamined utility model applications of Japan 1971-2024</p> <p>Registered utility model specifications of Japan 1996-2024</p> <p>Published registered utility model applications of Japan 1994-2024</p>		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2016-149552 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 18 August 2016 (2016-08-18) paragraphs [0049], [0050], [0086]-[0143], fig. 1, 5-7	1-2, 4, 10-11
Y		1-11
A		12-13
Y	JP 2018-116274 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 26 July 2018 (2018-07-26) paragraphs [0277]-[0281], fig. 14	1-11
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“D” document cited by the applicant in the international application</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>		
Date of the actual completion of the international search		Date of mailing of the international search report
07 March 2024		19 March 2024
Name and mailing address of the ISA/JP		Authorized officer
Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2023/062851

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2018-148051 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 20 September 2018 (2018-09-20) paragraphs [0180]-[0185], fig. 7	1-11
Y	JP 2011-100995 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 19 May 2011 (2011-05-19) paragraphs [0086]-[0090], [0518]-[0525]	9
A	JP 2017-167452 A (JAPAN DISPLAY INC.) 21 September 2017 (2017-09-21) entire text, all drawings	1-13
A	US 2022/0199836 A1 (ELECTRONICS AND TELECOMMUNICATIONS RESEARCH INSTITUTE) 23 June 2022 (2022-06-23) entire text, all drawings	1-13

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/IB2023/062851

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2016-149552	A	18 August 2016	US 2016/0233343 A1 paragraphs [0074], [0075], [0110]-[0167], fig. 1A-1C, 5A-7C	
				WO 2016/128859 A1	
JP	2018-116274	A	26 July 2018	US 2018/0204532 A1 paragraphs [0314]-[0318], fig. 14A-14C	
JP	2018-148051	A	20 September 2018	(Family: none)	
JP	2011-100995	A	19 May 2011	US 2011/0084268 A1 paragraphs [0138]-[0142], [0567]-[0574]	
				WO 2011/043195 A1	
				EP 2486595 A1	
				CN 102598278 A	
				KR 10-2012-0093864 A	
JP	2017-167452	A	21 September 2017	US 2017/0271375 A1 entire text, all drawings	
				CN 107204362 A	
US	2022/0199836	A1	23 June 2022	KR 10-2022-0089784 A entire text, all drawings	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 29/786(2006.01)i; H01L 21/28(2006.01)i; H01L 21/318(2006.01)i; H01L 21/336(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 27/146(2006.01)i; H01L 29/417(2006.01)i; H10K 39/32(2023.01)i; H10K 39/34(2023.01)i; H10K 50/84(2023.01)i; H10K 59/131(2023.01)i FI: H01L29/78 626A; H01L29/78 618B; H01L29/78 616U; H01L29/78 616T; H01L29/78 617U; H01L29/78 617T; H01L29/78 616V; H01L29/78 619A; H01L27/088 E; H01L27/088 B; H01L29/50 M; H01L21/28 301B; H01L21/28 301R; H01L27/06 102A; H01L21/318 M; H01L27/146 C; H10K39/32; H10K59/131; H10K50/84; H10K39/34</p>																				
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L29/786; H01L21/28; H01L21/318; H01L21/336; H01L21/8234; H01L27/06; H01L27/088; H01L27/146; H01L29/417; H10K39/32; H10K39/34; H10K50/84; H10K59/131</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2024年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2024年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2024年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2024年	日本国実用新案登録公報	1996-2024年	日本国登録実用新案公報	1994-2024年										
日本国実用新案公報	1922-1996年																			
日本国公開実用新案公報	1971-2024年																			
日本国実用新案登録公報	1996-2024年																			
日本国登録実用新案公報	1994-2024年																			
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリ*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2016-149552 A（株式会社半導体エネルギー研究所）18.08.2016（2016-08-18） 段落 [0049] - [0050], [0086] - [0143], 図1, 5-7</td> <td>1-2, 4, 10-11</td> </tr> <tr> <td>Y</td> <td></td> <td>1-11</td> </tr> <tr> <td>A</td> <td></td> <td>12-13</td> </tr> <tr> <td>Y</td> <td>JP 2018-116274 A（株式会社半導体エネルギー研究所）26.07.2018（2018-07-26） 段落 [0277] - [0281], 図14</td> <td>1-11</td> </tr> <tr> <td>Y</td> <td>JP 2018-148051 A（株式会社半導体エネルギー研究所）20.09.2018（2018-09-20） 段落 [0180] - [0185], 図7</td> <td>1-11</td> </tr> </tbody> </table> <p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリ “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に 公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若し くは他の特別な理由を確立するために引用する文献（理由を 付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の 後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵 触するものではなく、発明の原理又は理論の理解のために引 用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性 又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献 との、当業者にとって自明である組合せによって進歩性がな いと考えられるもの “&” 同一パテントファミリー文献</p>			引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	JP 2016-149552 A（株式会社半導体エネルギー研究所）18.08.2016（2016-08-18） 段落 [0049] - [0050], [0086] - [0143], 図1, 5-7	1-2, 4, 10-11	Y		1-11	A		12-13	Y	JP 2018-116274 A（株式会社半導体エネルギー研究所）26.07.2018（2018-07-26） 段落 [0277] - [0281], 図14	1-11	Y	JP 2018-148051 A（株式会社半導体エネルギー研究所）20.09.2018（2018-09-20） 段落 [0180] - [0185], 図7	1-11
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																		
X	JP 2016-149552 A（株式会社半導体エネルギー研究所）18.08.2016（2016-08-18） 段落 [0049] - [0050], [0086] - [0143], 図1, 5-7	1-2, 4, 10-11																		
Y		1-11																		
A		12-13																		
Y	JP 2018-116274 A（株式会社半導体エネルギー研究所）26.07.2018（2018-07-26） 段落 [0277] - [0281], 図14	1-11																		
Y	JP 2018-148051 A（株式会社半導体エネルギー研究所）20.09.2018（2018-09-20） 段落 [0180] - [0185], 図7	1-11																		
<p>国際調査を完了した日</p> <p>07.03.2024</p>	<p>国際調査報告の発送日</p> <p>19.03.2024</p>																			
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>高橋 優斗 5F 5585</p> <p>電話番号 03-3581-1101 内線 3514</p>																			

C. 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2011-100995 A (株式会社半導体エネルギー研究所) 19.05.2011 (2011 - 05 - 19) 段落 [0086] - [0090], [0518] - [0525]	9
A	JP 2017-167452 A (株式会社ジャパンディスプレイ) 21.09.2017 (2017 - 09 - 21) 全文, 全図	1-13
A	US 2022/0199836 A1 (ELECTRONICS AND TELECOMMUNICATIONS RESEARCH INSTITUTE) 23.06.2022 (2022 - 06 - 23) 全文, 全図	1-13

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2023/062851

引用文献	公表日	パテントファミリー文献	公表日
JP 2016-149552 A	18.08.2016	US 2016/0233343 A1 段落 [0074] - [0075], [0110] - [0167], 図1A-1C, 5A-7C WO 2016/128859 A1	
JP 2018-116274 A	26.07.2018	US 2018/0204532 A1 段落 [0314] - [0318], 図14A-14C	
JP 2018-148051 A	20.09.2018	(ファミリーなし)	
JP 2011-100995 A	19.05.2011	US 2011/0084268 A1 段落 [0138] - [0142], [0567] - [0574] WO 2011/043195 A1 EP 2486595 A1 CN 102598278 A KR 10-2012-0093864 A	
JP 2017-167452 A	21.09.2017	US 2017/0271375 A1 全文, 全図 CN 107204362 A	
US 2022/0199836 A1	23.06.2022	KR 10-2022-0089784 A 全文, 全図	