



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

208414

(11)

(B1)

(51) Int. Cl.³
G 11 C 29/00

(22) Přihlášeno 31 05 79

(21) (PV 3753-79)

(40) Zveřejněno 31 12 80

(45) Vydáno 01 02 84

(75)

Autor vynálezu

ŠINDELÁŘ BEDŘICH ing., PRAHA

(54) Generátor vzorku posouvavé diagonály pro zkoušení paměti

1. Generátor vzorku posouvavé diagonály pro zkoušení paměti

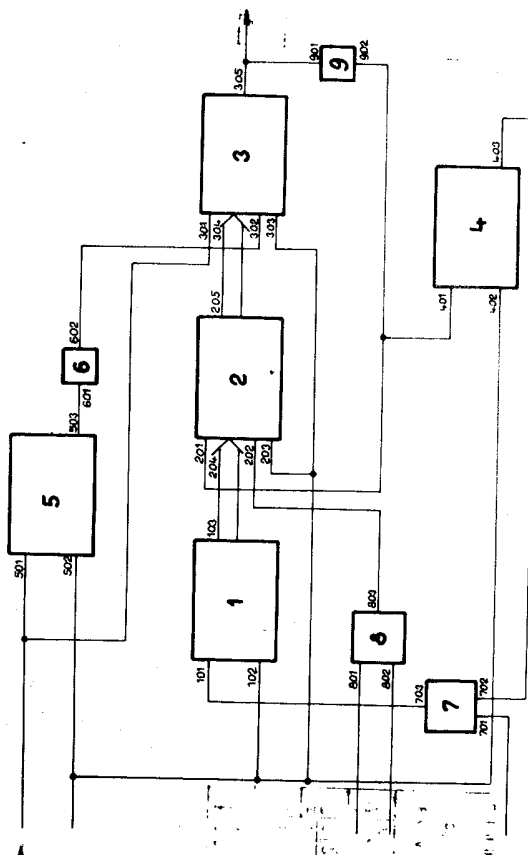
2. Výpočetní technika

3. Vynález řeší problém sestavení jednoduchého obvodu, který umožňuje generovat testovací posloupnost vytvářející v poli paměťových buněk testované paměti, vzorek posouvavé diagonály.

4. V prvním kroku je proveden zápis 1 (0) v poli 0 (1) do těch buněk zkoušené paměti, pro které souhlasí adresa řádku a sloupce paměťové matice. V dalších krocích je proveden zápis tak, že osamocená 1 (0) je postupně vystřídána ve všech buňkách paměti. Generátor využívá pro svou funkci postupného nastavování tří binárních synchronních čítačů v závislosti na čítání počtu sloupců zkoušené paměti. Synchronní čítač z nehož je odebírán vzorek je nastavován na obsah předchozího čítače vždy po naplnění řádku paměťové matice. Tento čítač je nastavován na obsah předchozího čítače pro vytváření posunu diagonály v poli paměťových buněk.

5. Vynálezu lze využít ve zkušebních zařízeních servisních a výrobních služeb počítačů a zařízení používající paměti.

7. Vynález je znázorněn na připojeném obrázku, kterého se týká předmět vynálezu.



Vynález se týká generátoru vzorku posouvané diagonály pro zkoušení paměti. Pro svou funkci využívá postupného nastavování synchronních čítačů pro každé posunutí vzorku diagonály v poli buněk zkoušené paměti.

Doposud užívané způsoby generování uvedeného vzorku využívají programového vybavení, což vede k náročnějšímu systému.

Tyto nevýhody odstraňuje generátor vzorku posouvané diagonály pro zkoušení paměti, jehož podstata spočívá v tom, že sestává z prvního čítače, jehož vstup čítání je připojen na výstup prvního hradla, přičemž nulovací vstup prvního čítače je spojen s nulovacím vstupem druhého čítače, s nulovacím vstupem třetího čítače, s nastavovacím vstupem čtvrtého čítače a s nastavovacím vstupem pátého čítače, přičemž adresové výstupy prvního čítače jsou připojeny na adresové vstupy druhého čítače, jehož čítací vstup je připojen na výstup druhého monostabilního obvodu a na čítací vstup čtvrtého čítače, přičemž nastavovací vstup druhého čítače je připojen na výstup druhého hradla, jehož první vstup je vstupem signálu přenosu adresového registru a druhý vstup druhého hradla je vstupem vzorkovacího signálu, přičemž adresové výstupy druhého čítače jsou připojeny na adresové vstupy třetího čítače, jehož čítací vstup je připojen na čítací vstup pátého čítače, přičemž nastavovací vstup třetího čítače je připojen na výstup prvního monostabilního obvodu, jehož vstup je připojen na výstup přenosu pátého čítače, přičemž výstup přenosu třetího čítače je připojen na vstup druhého monostabilního obvodu, přičemž výstup přenosu čtvrtého čítače je připojen na druhý vstup prvního hradla, jehož první vstup je vstupem signálu čtení a výstup přenosu třetího čítače je výstupem vzorku.

Vynález zjednodušuje obvodové vybavení a nevyžaduje vybavení programové. Ve zkušebním systému umožňuje dokonalé prověření funkce zkoušené paměti.

Na připojeném obrázku je znázorněno zapojení generátoru vzorku posouvané diagonály pro zkoušení paměti.

Generátor podle vynálezu sestává z prvního čítače 1, jehož vstup 101 čítání je připojen na výstup 703 prvního hradla 7, přičemž nulovací vstup 102 prvního čítače 1 je spojen s nulovacím vstupem 203 druhého čítače 2, s nulovacím vstupem 303 třetího čítače 3, s nastavovacím vstupem 402 čtvrtého čítače 4 a s nastavovacím vstupem 502 pátého čítače 5, přičemž adresové výstupy 103

prvního čítače 1 jsou připojeny na adresové vstupy 204 druhého čítače 2, jehož čítací vstup je připojen na výstup 902 druhého monostabilního obvodu 9 a na čítací vstup 401 čtvrtého čítače 4, přičemž nastavovací vstup 202 druhého čítače 2 je připojen na výstup 803 druhého hradla 8, jehož první vstup 801 je vstupem signálu přenosu adresového registru a druhý vstup 802 druhého hradla 8 je vstupem vzorkovacího signálu, přičemž adresové výstupy 205 druhého čítače 2 jsou připojeny na adresové vstupy 304 třetího čítače 3, jehož čítací vstup 301 je připojen na čítací vstup 501 pátého čítače 5, přičemž nastavovací vstup 302 třetího čítače 3 je připojen na výstup 602 prvního monostabilního obvodu 6, jehož vstup 601 je připojen na výstup 503 přenosu pátého čítače 5, přičemž výstup 305 přenosu třetího čítače 3 je připojen na vstup 901 druhého monostabilního obvodu 9, přičemž výstup 403 přenosu čtvrtého čítače 4 je připojen na druhý vstup 702 prvního hradla 7, jehož první vstup 701 je vstupem signálu čtení a výstup 305 přenosu třetího čítače 3 je výstupem vzorku.

Zapojení podle vynálezu je jednoduché a rychlé a je tedy vhodné pro zkoušení všech polovodičových pamětí.

V prvním kroku je proveden zápis 1 (0) v poli 0 (1) do těch buněk paměti, pro které souhlasí adresa řádku a sloupce paměťové matice. V dalších krocích je proveden zápis tak, že osamocená 1 (0) je postupně vystřídána ve všech buňkách paměti. Pátý čítač 5 počítá sloupce paměťové matice a po dočítání nastaveného počtu sloupců vydá přes první monostabilní obvod 6 signál k nastavení třetího čítače 3, který je nastaven do stavu druhého čítače 2. Třetí čítač 3 čítá v rytmu hodinových signálů směrem dolů a po dočítání vydá na výstupu 305 signál přenos, který je výstupním signálem generátoru a současně vydá přes druhý monostabilní obvod 9 impuls na vstup čítání 201 druhého čítače 2 a na vstup čítání čtvrtého čítače 4, který počítá přenosy třetího čítače 3. Signál posledního přenosu čtvrtého čítače 4 v součinu se signálem čtení vydá signál k čítání prvního čítače 1, který určuje stav nastavení druhého čítače 2. Do tohoto stavu se druhý čítač 2 uvede signálem z výstupu druhého hradla 8 na jehož vstupy jsou přivedeny signál přenosu adresového registru a vzorkovací signál, který určuje časový okamžik nastavení druhého čítače 2.

Generátor podle vynálezu může být využit ve zkušebních zařízeních servisních a výrobních služeb počítačů a zařízení používající paměti.

PŘEDMĚT VYNÁLEZU

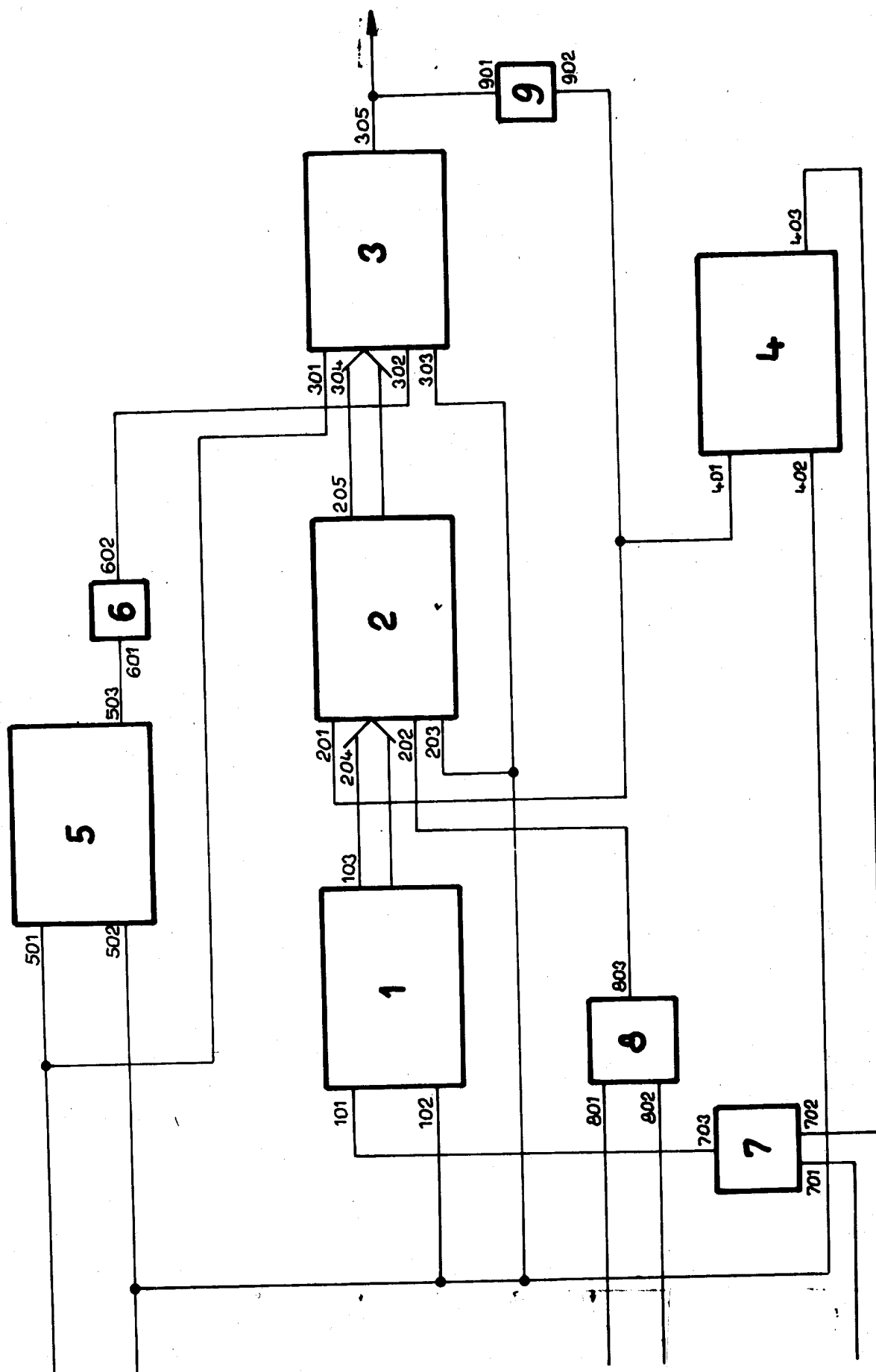
Generátor vzorku posouvané diagonály pro zkoušení paměti vyznačující se tím, že sestává z prvního čítače (1), jehož vstup (101) čítání je připojen na výstup (703) prvního hradla (7), přičemž nulovací vstup (102) prvního čítače (1) je spojen s nulovacím vstupem (203) druhého čítače

(2), s nulovacím vstupem (303) třetího čítače (3), s nastavovacím vstupem (402) čtvrtého čítače (4) a s nastavovacím vstupem (502) pátého čítače (5), přičemž adresové výstupy (103) prvního čítače (1) jsou připojeny na adresové vstupy (204) druhého čítače (2), jehož čítací vstup (201) je připojen na

výstup (902) druhého monostabilního obvodu (9) a na čítací vstup (401) čtvrtého čítače (4), přičemž nastavovací vstup (202) druhého čítače (2) je připojen na výstup (803) druhého hradla (8), jehož první vstup (801) je vstupem signálu přenosu adresového registru a druhý vstup (802) druhého hradla (8) je vstupem vzorkovacího signálu, přičemž adresové výstupy (205) druhého čítače (2) jsou připojeny na adresové vstupy (304) třetího čítače (3), jehož čítací vstup (301) je připojen na čítací vstup (501) pátého čítače (5), přičemž

nastavovací vstup (302) třetího čítače (3), je připojen na výstup (602) prvního monostabilního obvodu (6), jehož vstup (601) je připojen na výstup (503) přenosu pátého čítače (5), přičemž výstup (305) přenosu třetího čítače (3) je připojen na vstup (901) druhého monostabilního obvodu (9), přičemž výstup (403) přenosu čtvrtého čítače (4) je připojen na druhý vstup (702) prvního hradla (7), jehož první vstup (701) je vstupem signálu čtení a výstup (305) přenosu třetího čítače (3) je výstupem vzorku.

1 výkres



A

Vytiskly Moravské tiskařské závody,
provoz 12, Leninova 21, Olomouc

Cena: 2,40 Kčs