

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-243744

(P2007-243744A)

(43) 公開日 平成19年9月20日(2007.9.20)

(51) Int. Cl.	F I	テーマコード (参考)
HO4N 5/335 (2006.01)	HO4N 5/335 P	4M118
HO1L 27/146 (2006.01)	HO1L 27/14 A	5C024
	HO4N 5/335 U	

審査請求 未請求 請求項の数 10 O L (全 24 頁)

(21) 出願番号	特願2006-65106 (P2006-65106)	(71) 出願人	000004112 株式会社ニコン
(22) 出願日	平成18年3月10日 (2006.3.10)	(74) 代理人	100078189 弁理士 渡辺 隆男
		(74) 代理人	100119839 弁理士 大澤 圭司
		(72) 発明者	鈴木 智 東京都千代田区丸の内3丁目2番3号 株式会社ニコン内
		Fターム(参考)	4M118 BA09 BA14 CA04 CA22 DA20 DD04 DD12 FA06 FA28 GD04 5C024 CX06 CX54 CY47 EX43 HX02

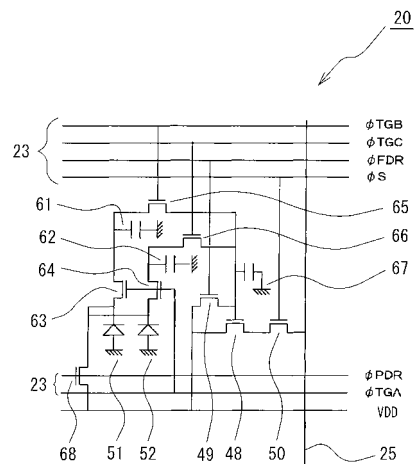
(54) 【発明の名称】 固体撮像素子及びこれを用いた電子カメラ

(57) 【要約】

【課題】 瞳分割位相差方式を採用した固体撮像素子において、1フレームでの焦点検出における露光タイミングの同時性が確保される固体撮像素子とこれを用いた電子カメラを提供する。

【解決手段】 本発明の固体撮像素子は、少なくとも一部の画素が、複数の光電変換部と、光電変換部のそれぞれに対応して配置され電荷を対応する光電変換部から受け取る複数の電荷格納部と、複数の電荷格納部から電荷を受け取るフローティング拡散領域と、光電変換部から対応するそれぞれの電荷格納部に電荷を転送する第1の転送部と、複数の電荷格納部からフローティング拡散領域に電荷を転送する第2の転送部と、光電変換部に入射光を導くマイクロレンズとを有する。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

二次元状に配置された複数の画素と、前記画素を駆動し画素から信号を外部に出力するための周辺回路とを有し、少なくとも一部の画素は、入射光に応じた電荷を生成し蓄積する複数の光電変換部と、前記光電変換部のそれぞれに対応して配置され、前記電荷に対応する前記光電変換部から受け取って蓄積する複数の電荷格納部と、前記複数の電荷格納部から前記電荷を受け取って蓄積するフローティング拡散領域と、前記複数の光電変換部から対応するそれぞれの前記電荷格納部に前記電荷を転送する第 1 の転送部と、  
前記複数の電荷格納部から前記フローティング拡散領域に前記電荷を転送する第 2 の転送部と、  
前記複数の光電変換部に前記入射光を導くマイクロレンズと、を有することを特徴とする固体撮像素子。

10

## 【請求項 2】

前記少なくとも一部の画素は、さらに、前記フローティング拡散領域に蓄積された前記電荷の量に対応する信号を出力する画素アンプ部と、  
前記フローティング拡散領域に蓄積された電荷をリセットする第 1 のリセット部と、  
信号を読み出す画素を選択し、前記選択された画素の前記画素アンプ部から信号を出力する選択スイッチと、を有することを特徴とする請求項 1 に記載の固体撮像素子。

20

## 【請求項 3】

前記画素アンプ部、前記第 1 のリセット部、及び、前記選択スイッチは、複数の画素に対して一つ配置されることを特徴とする請求項 2 に記載の固体撮像素子。

## 【請求項 4】

同一の画素に配置される前記第 1 の転送部は、前記周辺回路によって同時に駆動され、同一の画素に配置される前記第 2 の転送部は、前記周辺回路によって個別に駆動されることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の固体撮像素子。

## 【請求項 5】

前記少なくとも一部の画素は、前記光電変換部が 2 個配置されることを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の固体撮像素子。

30

## 【請求項 6】

前記少なくとも一部の画素は、前記光電変換部が 3 個配置されることを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の固体撮像素子。

## 【請求項 7】

前記少なくとも一部の画素は、二次元状に配置され焦点検出信号を出力し、且つ、前記焦点検出信号とは異なるタイミングで画像信号を出力することを特徴とする請求項 1 乃至請求項 6 のいずれかに記載の固体撮像素子。

## 【請求項 8】

前記少なくとも一部の画素は、前記光電変換部に蓄積された電荷をリセットする第 2 のリセット部を有することを特徴とする請求項 1 乃至請求項 7 に記載の固体撮像素子。

40

## 【請求項 9】

前記電荷格納部は、前記光電変換部と前記フローティング拡散領域の間に配置され、前記第 1 の転送部は、前記光電変換部と前記電荷格納部の間に配置されるゲート電極を有し、  
前記第 2 の転送部は、前記電荷格納部と前記フローティング拡散領域の間に配置されるゲート電極を有し、  
前記光電変換部と前記電荷格納部が配置される方向と、前記電荷格納部と前記フローティング拡散領域が配置される方向は、同一方向であることを特徴とする請求項 1 乃至請求項 8 のいずれかに記載の固体撮像素子。

50

## 【請求項 10】

請求項 1 乃至請求項 9 のいずれか一項記載の固体撮像素子と、  
前記固体撮像素子から焦点検出信号を取得し、前記焦点検出信号から抽出される瞳分割像のパターンズレを検出して、焦点検出を行う焦点演算部と、  
前記固体撮像素子から画像信号を読み出す撮像制御部と、を有することを特徴とする電子カメラ。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、焦点検出用の信号を出力する固体撮像素子及びこれを用いた電子カメラに関するものである。 10

## 【背景技術】

## 【0002】

近年、ビデオカメラや電子スチルカメラが広く一般に普及している。これらのカメラには、CCD型や増幅型の固体撮像素子が使用されている。固体撮像素子は、画素が二次元状に複数配置され、各画素に配置される光電変換部にて入射光に応じた電荷を生成し蓄積する。

増幅型の固体撮像素子は、画素の光電変換部にて生成・蓄積された信号電荷を画素に設けられた画素アンプ部に導き、信号電荷に対応した電気信号を画素から出力する。そして、増幅型の固体撮像素子には、画素アンプ部に接合型電界効果トランジスタを用いた固体撮像素子（特許文献 1）や、画素アンプ部に MOS トランジスタを用いた CMOS 型固体撮像素子などが提案されている。 20

## 【0003】

特許文献 1 - 2 に開示されている従来の固体撮像素子では、1つの画素毎に光電変換部及び画素アンプ部と、それらの間において一時的に電荷を蓄積する電荷格納部とが設けられている。このような従来の固体撮像素子では、全画素を同時に露光した後、生成された信号電荷は、全画素同時に光電変換部から電荷格納部に転送されて蓄積される。そして、行ごとにフローティング拡散領域、又は制御電極をリセットし相関二重サンプリング処理を施して信号を出力する。このように、特許文献 1 - 2 に開示されている固体撮像素子は、相関二重サンプリングがなされた全画素同時露光が可能となる。 30

## 【0004】

一方、焦点検出技術の一つとして瞳分割位相差方式が知られている。瞳分割位相差方式は、撮影レンズの通過光束を瞳分割して一对の分割像を形成し、そのパターンズレを検出することで、撮影レンズのデフォーカス量を検出するものである。

そして、瞳分割位相差方式を固体撮像素子に適用した提案がなされている。例えば特許文献 3 には、画像信号を生成する画素と、焦点検出用の信号を生成する画素を有する固体撮像素子が提案されている。焦点検出用画素は、二つの光電変換部を有している。また、焦点検出用画素は、隣接配置されないように設けられている。そして、焦点検出用信号を得る際には、二つの光電変換部のうちの一方の光電変換部の信号を当該画素の出力部から、他方の光電変換部の信号を隣接する画像信号用画素の出力部から同時に読み出す。このことにより、特許文献 3 に記載の固体撮像素子は、焦点検出用画素の 2 つの光電変換部における露光時間とタイミングを同一にすることが可能となっている。 40

【特許文献 1】特開平 11 - 177076 号公報

【特許文献 2】特開 2004 - 111590 号公報

【特許文献 3】特開 2003 - 244712 号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0005】

しかしながら、特許文献 3 に提案された固体撮像素子は、同一行においては、露光のタイミングが同一であるものの、異なる行の間では焦点検出用信号の露光のタイミングが異 50

なっていた。すなわち、有効画素の焦点検出における露光タイミングの同時性が無かった。

【0006】

このため、1フレームにおいて、合焦の位置が変動してしまうという問題点があった。特に、速い動作の被写体を撮像する場合や、静止画を撮像する場合に顕著な問題を生じていた。したがって、瞳分割位相差方式を採用した固体撮像素子において、特許文献1-2に記載されたような全画素同時電子シャッターの動作をさせても、焦点の合わない画像が得られることがあった。

【0007】

本発明は、このような問題点に鑑みてなされたものであり、1フレームでの焦点検出における露光タイミングの同時性が確保される固体撮像素子を提供する。

【課題を解決するための手段】

【0008】

特許文献3の固体撮像素子は、各画素に配置される2つの光電変換部の信号を同時に出力できるので、同一行に接続される画素間においては、露光時間とそのタイミングを同一にすることができる。しかし、異なる行間においては、所謂ローリングシャッターであるため露光のタイミングがずれてしまっていた。このため、異なる行間では、焦点検出のタイミングがずれていた。

【0009】

そこで、本発明の第1の態様による固体撮像素子は、二次元状に配置された複数の画素と、前記画素を駆動し画素から信号を外部に出力するための周辺回路とを有し、前記少なくとも一部の画素は、(1)入射光に応じた電荷を生成し蓄積する複数の光電変換部と、(2)前記光電変換部のそれぞれに対応して配置され、前記電荷に対応する前記光電変換部から受け取って蓄積する複数の電荷格納部と、(3)前記複数の電荷格納部から前記電荷を受け取って蓄積するフローティング拡散領域と、(4)前記複数の光電変換部から対応するそれぞれの前記電荷格納部に前記電荷を転送する第1の転送部と、(5)前記複数の電荷格納部から前記フローティング拡散領域に前記電荷を転送する第2の転送部と、(6)前記複数の光電変換部に前記入射光を導くマイクロレンズと、を有することを特徴とする。

【0010】

入射光は、画素に配置される複数の光電変換部で信号電荷に変換される。それらの信号電荷は、それぞれの光電変換部に対応する電荷格納部に独立に転送され蓄積される。この構成により、行ごとに相関二重サンプリング処理をしつつ全画素同時露光を行うことが可能となる。さらに、この信号電荷を焦点検出用の信号として用いることが可能となる。したがって、1フレームの焦点検出信号の露光タイミングにおける同時性が確保される。よって、速い動作の被写体を撮像する場合や、静止画を撮像する場合においても、正しく焦点を合わせることが可能となる。

【0011】

本発明の第2の態様による固体撮像素子は、前記第1の態様において、前記少なくとも一部の画素は、さらに、(7)前記フローティング拡散領域に蓄積された前記電荷の量に対応する信号を出力する画素アンプ部と、(8)前記フローティング拡散領域に蓄積された電荷をリセットする第1のリセット部と、(9)信号を読み出す画素を選択し、前記選択された画素の前記画素アンプ部から信号を出力する選択スイッチと、を有することを特徴とする。

【0012】

本発明の第3の態様による固体撮像素子は、前記第2の態様において、前記画素アンプ部、前記第1のリセット部、及び、前記選択スイッチは、複数の画素に対して一つ配置されることを特徴とする。この構成により、画素アンプ部、第1のリセット部、及び、選択スイッチは、複数の画素にて共用されて、より微細化されることが可能となる。

【0013】

本発明の第4の態様による固体撮像素子は、前記第1から第3のいずれかの態様におい

10

20

30

40

50

て、同一の画素に配置される前記第 1 の転送部は、前記周辺回路によって同時に駆動され、同一の画素に配置される前記第 2 の転送部は、前記周辺回路によって個別に駆動されることを特徴とする。

【0014】

本発明の第 5 の態様による固体撮像素子は、前記第 1 から第 4 のいずれかの態様において、前記少なくとも一部の画素は、前記光電変換部が 2 個配置されることを特徴とする。

本発明の第 6 の態様による固体撮像素子は、前記第 1 から第 4 のいずれかの態様において、前記少なくとも一部の画素は、前記光電変換部が 3 個配置されることを特徴とする。

【0015】

本発明の第 7 の態様による固体撮像素子は、前記第 1 から第 6 のいずれかの態様において、前記少なくとも一部の画素は、二次元状配置され焦点検出信号を出力し、且つ、前記焦点検出信号とは異なるタイミングで画像信号を出力することを特徴とする。この構成により、少なくとも一部の画素は、焦点を検出するための焦点検出信号のみならず、それとは異なるタイミングで画像を得るための画像信号をも出力するので、画像信号生成時に補間などの補正を行う必要がない。

【0016】

本発明の第 8 の態様による固体撮像素子は、前記第 1 から第 7 の態様において、前記少なくとも一部の画素は、前記光電変換部に蓄積された電荷をリセットする第 2 のリセット部を有することを特徴とする。この構成により、光電変換部のリセットが容易になる。

【0017】

本発明の第 9 の態様による固体撮像素子は、前記第 1 から第 7 の態様において、前記電荷格納部は前記光電変換部と前記フローティング拡散領域の間に配置され、前記第 1 の転送部は前記光電変換部と前記電荷格納部の間に配置されるゲート電極を有し、前記第 2 の転送部は前記電荷格納部と前記フローティング拡散領域の間に配置されるゲート電極を有し、前記光電変換部と前記電荷格納部が配置される方向と前記電荷格納部と前記フローティング拡散領域が配置される方向は同一方向であることを特徴とする。この構成により、光電変換部、電荷格納部、及び、フローティング拡散領域の配置方向が揃うので、製造が容易となる。

【0018】

さらに、本発明の第 10 の態様による電子カメラは、前記第 1 から第 9 のいずれかの態様の固体撮像素子と、前記固体撮像素子から前記焦点検出用の信号を取得し、前記焦点検出用の信号から抽出される瞳分割像のパターンズレを検出して、焦点検出を行う焦点演算部と、前記固体撮像素子から前記画像信号を読み出す撮像制御部とを有する。

【発明の効果】

【0019】

本発明によれば、1 フレームでの焦点検出における露光タイミングの同時性が確保される。これにより、速い被写体を確実に撮像ができる。

【発明を実施するための最良の形態】

【0020】

以下、本発明による固体撮像素子及び電子カメラについて、図面を参照して説明する。

[第 1 の実施形態]

(電子カメラの構成)

図 1 は、本発明の第 1 の実施形態に係る電子カメラ 1 を示すブロック図である。電子カメラ 1 には、撮影レンズ 2 が装着される。この撮影レンズ 2 は、レンズ制御部 2 a によって焦点や絞りが駆動される。この撮影レンズ 2 の像空間には、固体撮像素子 3 の撮像面が配置される。

固体撮像素子 3 は、撮像制御部 4 の指令によって駆動され、信号を出力する。固体撮像素子 3 から出力される信号は、画像用の信号、焦点検出用の信号のいずれかである。いずれにおいても信号は、信号処理部 5、及び A/D 変換部 6 を介して処理された後、メモリ 7 に一旦蓄積される。メモリ 7 は、バス 8 に接続される。バス 8 には、レンズ制御部 2 a、

10

20

30

40

50

撮像制御部 4、マイクロプロセッサ 9、焦点演算部 10、記録部 11、画像圧縮部 12 及び画像処理部 13 なども接続される。上記マイクロプロセッサ 9 には、リリース釦などの操作部 9a が接続される。また、上記の記録部 11 には記録媒体 11a が着脱自在に装着される。

#### 【0021】

電子カメラ 1 内のマイクロプロセッサ 9 は、リリース釦の半押し操作に同期して撮像制御部 4 を駆動する。撮像制御部 4 は、固体撮像素子 3 に配置された画素から焦点検出用の信号を読み出し、メモリ 7 に蓄積する。

ここでは、後述するようにすべての有効画素は、焦点検出用の信号を生成する。また、すべての有効画素は、焦点検出用の信号とは異なるタイミングで画像用の信号を生成する。しかし、これに限らず、焦点検出用の信号を生成する画素は、固体撮像素子 3 に配置される画素のうち、少なくとも一部であれば良い。この場合において、その他の画素は、画像用の信号を出力する。

10

#### 【0022】

撮像制御部 4 の指令によって固体撮像素子 3 から焦点検出用の信号が出力されメモリ 7 に蓄積されると、焦点演算部 10 は、この信号を用いて焦点検出演算処理を実施し、デフォーカス量を算出する。

ところで、後述するように、本実施形態の固体撮像素子 3 は、焦点検出信号を出力する画素に二つの光電変換部を有している。そして、この二つの光電変換部上には共通する一つのマイクロレンズが配置されている。この二つの光電変換部から出力される焦点検出信号が一对(一組)となり、デフォーカス量は、この一組の焦点検出信号によって以下のように算出される。

20

#### 【0023】

合焦被写体の一点から出た光束は、撮影レンズ 2 の射出瞳のそれぞれ異なる位置を通過した後、撮像面に点像を結ぶために再び集束する。そのため、合焦状態にある場合、上記二つの光電変換部は、被写体の同じ一点から出た瞳分割光束を受光する。したがって、各光電変換によって得られる一組の瞳分割像は、その像パターンが略一致し位相差は、ほぼゼロとなる。

#### 【0024】

一方、前ピン状態の被写体から出た光束は、撮影レンズ 2 の射出瞳の異なる箇所をそれぞれ通過した後、撮像面の手前で交差し、合焦位置とはずれて画素位置に到達する。この場合、一組の瞳分割像は、瞳分割方向にずれた位相差を示す。逆に後ピン状態の被写体像から出た光束は、撮影レンズ 2 の射出瞳の異なる箇所をそれぞれ通過した後、集束不足のまま合焦位置とはずれて画素位置に到達する。この場合、一組の瞳分割像は、前ピン状態と逆方向にずれた位相差を示す。

30

#### 【0025】

以上説明したように、撮影レンズ 2 の合焦状況に応じて瞳分割像の位相差が変化する。そこで、焦点演算部 10 は、メモリ 7 内の焦点検出用信号を分配して、一組の瞳分割像の像パターンを求める。焦点演算部 10 は、これらの像パターンについてパターンマッチング処理を実施して位相差(像ズレ)を検出する。そして、焦点演算部 10 は、この位相差に基づいて、撮影レンズ 2 のデフォーカス量を検出する。

40

#### 【0026】

焦点演算部 10 によって検出されたデフォーカス量は、レンズ制御部 2a に伝達される。レンズ制御部 2a は、このデフォーカス量に基づいて撮影レンズ 2 の焦点駆動を行い、撮影レンズ 2 を被写体に合焦させる。その後、電子カメラ 1 内のマイクロプロセッサ 9 は、リリース釦の全押し操作に同期して撮像制御部 4 を用いて、画像信号の読み出し動作を開始する。

#### 【0027】

撮像制御部 4 は、画素から画像用の信号を読み出し、メモリ 7 に蓄積する。その後、マイクロプロセッサ 9 は、操作部 9a の指令に基づき、必要に応じて画像処理部 13 や画像

50

圧縮部 1 2 にて所望の処理を行い、記録部に処理後の信号を出力させ記録媒体 1 1 a に記録する。

**【 0 0 2 8 】**

( 固体撮像素子の全体構成 )

図 2 は、本実施形態に係る固体撮像素子 3 の概略構成を示す回路図である。固体撮像素子 3 は、マトリクス状に配置された複数の画素 2 0 と、画素 2 0 から信号を出力するための周辺回路とを有している。図において、画素数は、横に 4 行縦に 4 行の 1 6 個の画素を示している。しかし、これに限られるものではない。なお、破線部の符号 2 0 が画素の概略部を示すが、その具体的な回路構成や構造は、後述する。

本実施形態において各画素 2 0 は、ダミーやオプチカルブラックなど画像のための光電変換を行わない画素を除き（即ち、所謂有効画素領域において）、同一の回路構成、平面構造の画素が配置されている。そして、これらの画素 2 0 は、周辺回路の駆動信号に従って画像用の信号、及び、焦点検出用の信号のいずれかを出力する。又、すべての画素 2 0 は、同時に光電変換部がリセットされて露光の時間とタイミングを同一にすることが可能となっている。

10

**【 0 0 2 9 】**

周辺回路は、垂直走査回路 2 1、水平走査回路 2 2、これらと接続されている駆動信号線 2 3、2 4、画素からの信号を受け取る垂直信号線 2 5、垂直信号線 2 5 と接続される定電流源 2 6 及び相関二重サンプリング回路 ( C D S ) 2 7、相関二重サンプリング回路 2 7 から出力される信号を受け取る水平信号線 2 8、出力アンプ 2 9 等からなる。

20

垂直走査回路 2 1 及び水平走査回路 2 2 は、電子カメラ 1 の撮像制御部 4 からの指令に基づいて駆動信号を出力する。各画素 2 0 は、垂直走査回路 2 1 から出力される駆動信号を所定の駆動信号線 2 3 から受け取って駆動され、画像用又は焦点検出用信号を垂直信号線 2 5 に出力する。垂直走査回路 2 1 から出力される駆動信号は複数あり、それに伴い駆動配線 2 3 も複数ある。これらについては後述する。

画素から出力された信号は、相関二重サンプリング回路 2 7 にて所定のノイズ除去が施される。そして、水平走査回路 2 2 の駆動信号により水平信号線 2 8 及び出力アンプ 2 9 を介して外部に信号が出力される。

**【 0 0 3 0 】**

( 画素構成 )

図 3 は、本実施形態に係る固体撮像素子 3 の画素回路図である。画素 2 0 は、入射光に応じた電荷を生成し蓄積する光電変換部としての 2 つの埋め込みフォトダイオード 5 1、5 2 と、各埋め込みフォトダイオード 5 1、5 2 から転送される電荷をそれぞれ独立に蓄積する二つの電荷格納部 6 1、6 2 と、各埋め込みフォトダイオード 5 1、5 2 からそれぞれに対応する電荷格納部 6 1、6 2 に電荷を転送する第 1 転送部 6 3、6 4 と、電荷格納部 6 1、6 2 から転送される電荷を個別に、又は、同時に蓄積するフローティング拡散領域 ( F D ) 6 7 と、各電荷格納部 6 1、6 2 から F D 6 7 に電荷を個別に、又は、同時に転送する第 2 転送部 6 5、6 6 と、F D 6 7 の電荷量に応じた信号を出力する画素アンプ部としての増幅トランジスタ 4 8 と、F D 6 7 の電荷を排出する第 1 のリセット部としての F D リセット部 4 9 と、増幅トランジスタ 4 8 の信号を画素から出力する選択スイッチ 5 0 と、埋め込みフォトダイオード 5 1、5 2 で生成された電荷であって不要電荷を埋め込みフォトダイオード 5 1、5 2 から排出する第 2 のリセット部としての P D リセット部 6 8 を有している。

30

40

**【 0 0 3 1 】**

図 3 に示すように、埋め込みフォトダイオード 5 1、5 2 は、各画素 2 0 に 2 個配置される。埋め込みフォトダイオード 5 1、5 2 の上面には一つのマイクロレンズが配置される。これにより、瞳分割された入射光が各埋め込みフォトダイオード 5 1、5 2 に導かれる。したがって、各埋め込みフォトダイオード 5 1、5 2 は、焦点検出用の信号を生成することが出来る。一方、二つの埋め込みフォトダイオード 5 1、5 2 の光電荷を合算して信号を出力すれば、固体撮像素子 3 は、画像用の信号を得ることが出来る。

50

また、それぞれの埋め込みフォトダイオード 5 1、5 2 に対応して電荷格納部 6 1、6 2 が配置される。電荷格納部 6 1、6 2 は、対応する埋め込みフォトダイオード 5 1、5 2 から電荷が転送されて電荷を一時的に蓄積する。これにより、相関二重サンプリングの処理を行いつつ、全画素の露光時間とそのタイミングを同一にすることが可能となる。

#### 【0032】

そして、埋め込みフォトダイオード 5 1、5 2 で生成される光電荷を焦点検出用の信号として使用するなら、相関二重サンプリングの処理を行いつつすべての画素で焦点検出の露光時間とタイミングを同一にすることが可能となる。よって、速い動作の被写体を撮像する場合や、静止画を撮像する場合においても、正しく焦点を合わせることが可能となる。また、埋め込みフォトダイオード 5 1、5 2 で生成される光電荷を画像用の信号として使用するなら、相関二重サンプリングの処理を行いつつすべての画素の画像信号の露光時間とタイミングを同一にすることが可能となる。

10

#### 【0033】

一方の第 1 転送部 6 3 は、一方の埋め込みフォトダイオード 5 1 に蓄積されている電荷を一方の電荷格納部 6 1 に転送する。また、他方の第 1 転送部 6 4 は、他方の埋め込みフォトダイオード 5 2 に蓄積されている電荷を他方の電荷格納部 6 2 に転送する。

第 1 転送部 6 3、6 4 は、後述するとおり MOS トランジスタのゲート部として構成されている。画素内の二つの第 1 転送部は、そのゲート電極が共通に接続されており、垂直走査回路 2 1 から駆動配線 2 3 を介して駆動信号 TGA が供給される。2 個の第 1 転送部 6 3、6 4 は、この駆動信号 TGA に従って所定のタイミングで同時にオンとされ、2 個の埋め込みフォトダイオード 5 1、5 2 から電荷を同時に各々の電荷格納部 6 1、6 2 に転送する。ただし、同時にオンとされるなら、各々のゲート電極は、個別に駆動信号 TGA を供給されても構わない。

20

#### 【0034】

第 2 転送部 6 5、6 6 も第 1 転送部と同様に MOS トランジスタのゲート部である。しかし、2 個の第 2 転送部 6 5、6 6 のゲート電極には、それぞれ個別の駆動信号が供給される。すなわち、一方の第 2 転送部 6 5 のゲート電極は、垂直走査回路 2 1 から駆動配線 2 3 を介して駆動信号 TGB が供給され、他方の第 2 転送部 6 6 のゲート電極は、垂直走査回路 2 1 から駆動配線 2 3 を介して駆動信号 TGC が供給される。2 個の第 2 転送部 6 5、6 6 は、これらの駆動信号に従って所定のタイミングで個別にオンとされ、2 個の電荷格納部 6 1、6 2 から電荷を個別のタイミングで、又は、同一のタイミングで FD 6 7 に転送する。

30

#### 【0035】

選択スイッチ 5 0 は、MOS トランジスタのゲート部として構成されている。そのゲート電極は、垂直走査回路 2 1 から駆動配線 2 3 を介して駆動信号 S が供給される。FD リセット部 4 9 は、MOS トランジスタのゲート部として構成されている。そのゲート電極は、垂直走査回路 2 1 から駆動配線 2 3 を介して駆動信号 FDR が供給される。また、PD リセット部 6 8 も MOS トランジスタのゲート部として構成されており、そのゲート電極は、垂直走査回路 2 1 から駆動配線 2 3 を介して駆動信号 PDR が供給される。なお、本実施形態において、有効画素はすべて同一の構造の画素とし、これらの画素は、焦点検出用の信号と画像用の信号を異なるタイミングで出力することが可能である。しかし、これに限らず、固体撮像素子 3 は、所定部に焦点検出エリアが設けられ、このエリアに図 2 の回路を有する画素が配置されて焦点検出用の信号を生成し、その他のエリアに光電変換部を一つ有する画素が配置されて画像用の信号を生成するよう構成されても構わない。

40

また、図 3 において、埋め込みフォトダイオード 5 1、5 2 の一方の端子、電荷格納部 6 1、6 2 の一方の端子、及び、FD 6 7 の一方の端子は、接地としている。しかし、これに限らず所定の電圧が印加される（実際には、これらの電位は、以下に示す図 5、図 6 から理解されるとおり P 型ウエル 3 2 の電位となる）。

#### 【0036】

50

図4は、本実施形態に係る固体撮像素子の画素平面図である。また、図5は、図4におけるA - A'部の断面図である。ただし、図5においてマイクロレンズは省略されている。図6は、図4におけるB - B'部の断面図である。図4乃至図6において駆動配線は省略されており、配線は画素内の電氣的接続関係のみ示されている。

【0037】

図5及び図6に示されているように、N型のシリコン基板31上にP型ウエル32が設けられている。そして、P型ウエル32にN型の電荷蓄積層55が形成され、さらに電荷蓄積層55の基板表面側にP型の空乏化防止層56を設けることで、埋め込みフォトダイオード51、52が構成されている。なお、ここでは、埋め込みフォトダイオードの構造としたが、これに限られるものではなく、空乏化防止層56を省略したフォトダイオード

10

【0038】

各画素20は、2個の埋め込みフォトダイオード51、52を有している。そして、入射光を埋め込みフォトダイオード51、52に導く一つのマイクロレンズ57が配置される。2個の埋め込みフォトダイオード51、52は、入射光側から見てマイクロレンズ57の中心線X X'（直径を有する線）に対して線対称となるように配置されている。このため、マイクロレンズ57から導かれる入射光は、瞳分割されて各埋め込みフォトダイオード51、52に入射される。

【0039】

電荷格納部61、62と埋め込みフォトダイオード51、52との間には、薄いシリコン酸化膜33を介して第1転送部63、64のゲート電極35が配置される。そして、ゲート電極35をゲートとし、電荷格納部61、62、及び、埋め込みフォトダイオード51、52の電荷蓄積層55をソース又はドレインとするMOSトランジスタが構成されている。

20

【0040】

一方の第1転送部63のゲート電極と他方の第1転送トランジスタ64のゲート電極は、一体的に形成されており、互いに電氣的に接続されている。このため、2つの第1転送部63、64は、駆動信号TGAにしたがって同時にオン、オフ状態とされる。よって、2つの埋め込みフォトダイオード51、52に蓄積されたそれぞれの電荷は、駆動信号TGAがハイになると、それぞれ対応する電荷格納部61、62に同時に転送される。

30

【0041】

電荷格納部61、62は、P型ウエル32に形成されたN型拡散層75、76を有している。そして、第1転送部63、64のゲート電極35は、2つのN型拡散層75、76の上部に覆いかぶさるように配置される。電荷格納部61、62は、このようにゲート電極35と、N型拡散層75、76によるMOSキャパシタとして構成されている。この構成により、ゲート電極35にローの電圧を印加すると、P型ウエル32の電位にピンニングされて電荷格納部61、62の表面の界面準位がホールで満たされる。暗電流の大きさは、界面準位の電子占有確率に大きく影響される。したがって、電荷格納部61、62の暗電流は、ゲート電極35に上記のような電圧を印加して界面準位をホールで満たすことにより、大幅に低減することが可能となる。また、N型拡散層75、76は、ゲート電極35によって遮光されるので、不要な光によるノイズが低減される。しかし、これに限らず、ゲート電極35を埋め込みフォトダイオード51、52とN型拡散層75、76の間にのみ配置させても良い。

40

【0042】

FD67は、互いに分離してP型ウエル32に形成された2つのN型拡散層36、41を有し、これらのN型拡散層36、41を配線40で電氣的に接続することで実質的に1つのフローティング拡散として構成されている。FD67は、2つの電荷格納部61、62のいずれからも電荷が転送される。

【0043】

一方の電荷格納部61とFD67のN型拡散層36との間には薄いシリコン酸化膜33

50

を介して第2転送部65のゲート電極37が形成される。また、他方の電荷格納部62とFD67のN型拡散層36との間には薄いシリコン酸化膜33を介して第2転送部66のゲート電極38が形成される。そして、ゲート電極37、38をゲートとするとともに電荷格納部61、62及びN型拡散層36をソース又はドレインとするMOSトランジスタが構成されている。

**【0044】**

一方の第2転送部65のゲート電極37と、他方の第2転送部66のゲート電極38は個別に形成されており、それぞれ個別の駆動信号TGB、TGCが垂直走査回路21から供給される。このため、各々の第2転送部65、66は、それぞれの駆動信号TGB、TGCにしたがって個別に駆動される。よって、2個の第2転送部65、66は、異なるタイミングでオン状態にされることも、同時にオン状態にされることも可能となる。これらが異なるタイミングでオン状態にされるなら、2個の電荷格納部61、62に蓄積されている光電荷は、異なるタイミングで個別にFD67に転送される。また、これらが同時にオン状態にされるなら、2個の電荷格納部61、62に蓄積されている光電荷は、FD67にて合算される。

10

**【0045】**

また、P型ウエル32には、N型拡散層41、42、43、44、71が形成されている。N型拡散層42、71は、図示しない配線により電源VDDに接続されている。N型拡散層42とN型拡散層43の間には薄いシリコン酸化膜33を介してゲート電極46が配置され、増幅トランジスタ48をなしている。増幅トランジスタ48は、ゲート電極46をゲートとするとともにN型拡散層42、43をソース又はドレインとするMOSトランジスタとして構成されている。なお、ゲート電極46は、配線40によって、FD67のN型拡散層36、41と電氣的に接続されている。

20

**【0046】**

N型拡散層43とN型拡散層44の間には薄いシリコン酸化膜33を介して選択スイッチ50のゲート電極47が配置されている。そして、ゲート電極47をゲートとするとともにN型拡散層43、44をソース又はドレインとするMOSトランジスタが構成されている。

**【0047】**

また、N型拡散層41とN型拡散層42の間には薄いシリコン酸化膜33を介してFDリセット部49のゲート電極45が配置されている。そして、ゲート電極45をゲートとするとともにN型拡散層41、42をソース又はドレインとするMOSトランジスタが構成されている。

30

**【0048】**

N型拡散層71と各埋め込みフォトダイオード51、52との間には薄いシリコン酸化膜33を介してPDリセット部68の2つのゲート電極72、73が配置されている。そして、ゲート電極72、73をゲートとするとともにN型拡散層71及び埋め込みフォトダイオード51、52の電荷蓄積層55、56をソース又はドレインとするMOSトランジスタが構成されている。ゲート電極72、73は、配線74によって電氣的に接続されている。そして、駆動信号PDRが共通に供給される。したがって、ゲート電極72、73は、それぞれの埋め込みフォトダイオード51、52に個別に配置されるものの、その回路構成は、図3に示したように1個のMOSトランジスタと等価となる。また、ここでは、2つのゲート電極が配線74にて接続されているが、これに限らず、2つのゲート電極72、73は一体的に形成されても良い。

40

**【0049】**

さらに、PDリセットトランジスタ68のゲート電極72、73は、全有効画素において共通の駆動配線23に接続されている。すなわち、全有効画素のPDリセットトランジスタ68は、同時に駆動するようになっている。

**【0050】**

PDリセットトランジスタ68は、埋め込みフォトダイオード51、52で生成された

50

電荷であって不要電荷を排出させる。この不要電荷には、強い光が入射されたときのオーバーフローによる電荷や、その他のノイズによる電荷がある。

不要電荷は、FD67に転送してFDリセット部49によって排出されても良い。このようにするなら、PDリセット部68は、配置されなくても良い。或いは、少なくとも一部(例えば焦点検出用画素)に配置されてもよい。

#### 【0051】

また、埋め込みフォトダイオード51、52、及び、各N型拡散層の周囲には、LOCOSによる厚いシリコン酸化膜34が形成され、それぞれの間は分離されている。

(駆動手順)

図7は、本実施形態に係る固体撮像素子から信号を読み出す動作を説明するタイミングチャートであり、(a)は画像用信号を読み出す駆動信号、(b)は焦点検出用信号を読み出す駆動信号を示す。 10

#### 【0052】

なお、第1転送部63、64、第2転送部65、66、増幅トランジスタ48、FDリセット部49、選択スイッチ50、PDリセット部68を構成しているトランジスタは、図5、図6で明らかであるように、いずれもNMOSTランジスタにて構成されている。したがって、これらは、ハイの駆動信号でオン状態とされ、ローの駆動信号でオフの状態とされる。

最初に、図7(a)を参照して画像用信号が読み出される動作を説明する。なお、T1の期間は、全有効画素が同時に駆動される期間である。即ち、T1の期間の駆動パルスは、全行において同一の駆動信号が垂直走査回路21から出力される。また、T2は、第1行目が読み出される期間、T3は、第2行目が読み出される期間であり、選択された行のみ、本図の駆動信号が出力される。 20

まず、T11の期間において、PDRはハイにされPDリセット部68がオン状態とされる。この動作により、すべての有効画素の埋め込みフォトダイオード51、52に蓄積されている不要な電荷が電源VDDに排出される。即ち、埋め込みフォトダイオード51、52はリセットされる。そして、全有効画素の埋め込みフォトダイオード51、52は、T11の終了時から露光を同時に開始する。

#### 【0053】

T12の期間において、FDRはハイにされFDリセット部49はオン状態とされる。また、T13の期間において、FDRの立ち上がりと同時にTGB、TGCがハイにされ、2つの第2転送部65、66は、同時にオン状態とされる。この動作により、FD67及び電荷格納部61、62に蓄積されている電荷が電源VDDに排出される。即ち、全有効画素のFD67及び電荷格納部61、62はリセットされる。 30

#### 【0054】

T14の期間において、TGAはハイにされ第1転送部63、64はオン状態とされる。この動作により、全有効画素の2つの埋め込みフォトダイオード51、52に蓄積されている電荷は、それぞれ対応する電荷格納部61、62に転送される。ここで、図に示されたT15の期間(PDRをローにしてからTGAがハイにされる期間)が露光期間となる。T15の期間は、全有効画素にて同一の期間であり同一のタイミングとなる。このため、全有効画素は、タイミングずれすることなく画像情報を獲得することが可能となる。 40

#### 【0055】

次いで、T16の期間において、第1行目のSはハイにされ選択スイッチ50がオン状態とされる。これにより、第1行目の画素が選択され、この期間の間、第1行目の画素から信号が垂直信号線25に出力される。

#### 【0056】

T17の期間において、第1行目のFDRはハイにされFDリセット部49がオン状態とされる。この動作により、FD67はリセットされ、ダークレベルの電位となる。そして、FDRがローとなってからTGBがハイとなるまでの間(T18の期間)におい 50

て、第1行目の増幅トランジスタ48は、FD67のダークレベルに対応した信号を出力する。出力された信号は、垂直信号線25を介してCDS回路27に保存される。

【0057】

T19の期間において、TGB、TGCはハイにされ2つの第2転送部65、66が同時にオン状態とされる。これにより、それぞれの電荷格納部61、62に蓄積されている電荷は、FD67に転送されて合算される。なお、FD67の電位は、これらの電荷とダークレベルとが重畳された電位となる。そして、この電位が垂直信号線25を通してCDS回路27に送られる。

CDS回路27は、この期間に送られた信号と先ほど保存したダークレベルに対応する信号との差を第1行目の画素の画素信号として出力する。そして、これらの第1行目の画素の画素信号は、水平走査回路22の駆動信号によって水平信号線28、出力アンプ29を介して外部に出力される。外部に出力された信号は、信号処理部5(図1参照)などを介してメモリ7に送られ、一旦蓄積される。

【0058】

同様に、T3の期間において第2行目の読み出しを行う。駆動信号は、T2と同様である。すべての行から画像信号が出力された後、画像処理部13は、メモリ7から信号を受け取って、1フレームの画像を生成する。

【0059】

以上の説明から理解されるように、各画素20は、2つの埋め込みフォトダイオード51、52を有しているものの、通常どおりに画像用の信号を出力することが出来る。しかも、全有効画素の露光のタイミングを同一にした電子シャッターが可能となる。なお、勿論、一行ごとにリセットしたローリングシャッター動作を行うことも可能である。この場合には、T1の期間における駆動を各行毎に行えばよい。

次に図7(b)を参照して焦点検出用の信号を読み出す動作を説明する。なお、T1の期間は、全有効画素を同時に駆動する期間である。即ち、T1の期間の駆動パルスは、全行において同一の駆動信号が垂直走査回路21から出力される。また、T2は、第1行目が読み出される期間、T3は、第2行目が読み出される期間であり、選択された行のみ、本図の駆動信号が出力される。

まず、T21の期間において、PDRはハイにされPDリセット部68がオン状態とされる。この動作により、すべての有効画素の埋め込みフォトダイオード51、52に蓄積されている不要な電荷が電源VDDに排出される。即ち、埋め込みフォトダイオード51、52は、リセットされる。そして、全有効画素の埋め込みフォトダイオード51、52は、同時に露光を開始する。

【0060】

T22の期間において、FDRはハイにされFDリセット部49がオン状態とされる。また、T23の期間において、FDRの立ち上がりと同時にTGB、TGCがハイにされ、2つの第2転送部65、66は、同時にオン状態とされる。この動作により、FD67及び電荷格納部61、62に貯まっている電荷が電源VDDに排出される。即ち、全有効画素のFD67及び電荷格納部61、62は、リセットされる。

【0061】

T24の期間において、TGAはハイにされ第1転送部63、64がオン状態とされる。全有効画素の2つの埋め込みフォトダイオード51、52に蓄積されている電荷は、それぞれ対応する電荷格納部61、62に転送される。ここで、図に示されたT25の期間(PDRをローにしてからTGAをハイにする期間)が露光期間となる。T25の期間は、全有効画素にて同一の期間であり同一のタイミングとなる。このため、全有効画素は、タイミングずれすることなく焦点検出情報を獲得することが可能となる。なお、ここまでの期間(T1の期間)の動作は、画像信号を得るための駆動動作と同じである。

【0062】

T26の期間において、第1行目のSはハイにされ選択スイッチ50がオン状態とされる。これにより、第1行目の画素が選択され、第1行目の画素から信号が垂直信号線2

10

20

30

40

50

5 に出力されるようになる。

【0063】

T27の期間において、第1行目のFDRはハイにされFDリセット部49がオン状態とされる。この動作により、FD67はリセットされ、ダークレベルの電位となる。そして、FDRがローとなってからTGBがハイになるまでの間(T28の期間)において、第1行目の増幅トランジスタ48は、FD67のダークレベルに対応した信号を出力する。出力された信号は、垂直信号線25を介してCDS回路27に保存される。

【0064】

T29の期間において、TGBはハイにされて一方の第2転送部65がオン状態とされる。これにより、一方の電荷格納部61に蓄積されている電荷は、FD67に転送される。なお、FD67の電位は、この電荷とダークレベルとが重畳された電位となる。そして、増幅トランジスタ48は、この電位に対応した信号を出力する。出力された信号は、垂直信号線25を通してCDS回路27に送られる。

10

CDS回路27は、この期間に送られた信号と先ほど保存したダークレベルに対応する信号との差を第1行目の画素における一方の瞳分割焦点検出信号として出力する。そして、これらの第1行目の画素における一方の瞳分割焦点検出信号は、水平走査回路22の駆動信号によって水平信号線28、出力アンプ29を介して外部に出力される。出力された信号は、信号処理部5(図1参照)などを介してメモリ7に送られ、一旦蓄積される。

【0065】

次いで、T30の期間において、第1行目のFDRは再びハイにされFDリセット部49がオン状態とされる。この動作により、FD67が再びリセットされ、前回とは異なるダークレベルの電位となる。そして、FDRがローとなってからTGCがハイとなるまでの間(T31の期間)において、第1行目の増幅トランジスタ48は、FD67のダークレベルに対応した信号を出力する。出力された信号は、垂直信号線25を介してCDS回路27に保存される。

20

【0066】

T32の期間において、TGCはハイにされて他方の第2転送部66がオン状態とされる。これにより、他方の電荷格納部62に蓄積されている電荷は、FD67に転送される。なお、FD67の電位は、この電荷とダークレベルとが重畳された電位となる。そして、増幅トランジスタ48は、この電位に対応した信号を出力する。出力された信号は、垂直信号線25を通してCDS回路27に送られる。

30

CDS回路27は、この期間に送られた信号と先ほど保存したダークレベルに対応する信号との差を第1行目の画素における他方の瞳分割焦点検出信号として出力する。そして、これらの第1行目の画素における他方の瞳分割焦点検出信号は、水平走査回路22の駆動信号によって水平信号線28、出力アンプ29を介して外部に出力される。外部に出力された信号は、信号処理部5(図1参照)などを介してメモリ7に送られ、一旦蓄積される。

【0067】

同様に、T3の期間において第2行目の読み出しを行う。駆動信号は、T2と同様である。すべての行から画像信号が出力された後、焦点演算部10は、メモリ7から信号を受け取って、周知の瞳分割位相差による焦点位置を算出する。

40

【0068】

以上の説明から理解されるように、本固体撮像素子3は、画像用信号を得るときも、また、焦点検出信号を得るときも、全有効画素の露光のタイミングを同一にすることが可能となる。このため、例え速い動作の被写体を撮像する際においても、1フレーム内で焦点を合焦するタイミングがずれることが無く、良好に焦点を検出し、撮像することが可能となる。

【0069】

また、画素20は、固体撮像素子3のすべての有効画素領域に用いることができる。このようにすれば、焦点検出専用の画素を用いないので、画像信号は、補間などの補正をす

50

る必要がない。また、いずれの画素も焦点検出信号を出力することができるので、有効画素領域内の焦点検出領域を自由に設定することが可能となる。

#### 【0070】

##### [第1の実施形態の変形例]

図8は、本発明における第1の実施形態の変形例に係る固体撮像素子の画素断面図であり、図5に対応する。本変形例が第1の実施形態と異なる点は、第1の実施形態では第1転送部63、64のゲート電極35が電荷格納部61、62のN型拡散層75、76を覆うように配置されているのに対し、本変形例では第1転送部63、64のゲート電極101は、埋め込みフォトダイオード51、52と電荷格納部61、62のN型拡散層75、76の間にのみ配置され、電荷格納部61、62のN型拡散層75、76を覆っていない点にある。

そして、電荷格納部61、62のN型拡散層75、76の上面上には、シリコン酸化膜33を介してMOSキャパシタ用の電極102が配置されている（理解を容易にするため、図8は、図5と寸法の比率を一部変更している）。N型拡散層75の上面上に配置される電極102と、N型拡散層76の上面上に配置される電極102は、一体的に形成され、電氣的に接続されている。

#### 【0071】

また、電極102は、第1転送部63、64のゲート電極101と電氣的に接続されている。したがって、電極102に印加される駆動信号やその駆動手順は、第1の実施形態と同様である。しかし、これに限らず、電極102は個別に駆動信号が印加され、よりピ

#### 【0072】

なお、埋め込みフォトダイオード51、52と電荷格納部61、62が配置される方向と、電荷格納部61、62とフローティング拡散領域36が配置される方向は、同一方向である。このようにそれぞれを配置すれば、埋め込みフォトダイオード51、52の電荷蓄積層55、及び、電荷格納部61、62のN型拡散層75、76が転送電極101、102の下に入り込む構造が容易に形成される。

埋め込みフォトダイオード51、52及び電荷格納部61、62のN型拡散層が転送電極101、102の下に入り込む構造は、完全転送するのに好ましい。したがって、残像が生じにくくなるという効果がある。

以下、電極の下にN型拡散層が入り込む構造が容易に形成される点について、より詳細に説明する。

#### 【0073】

図9は、本変形例に係る固体撮像素子の製造工程の一部を示す画素断面図である。本断面図も図5に対応する部分を示している。なお、ここでは、図8に関連する構成についてのみ説明するが、周辺回路も所定のプロセスに従って形成される。

周知のシリコンプロセスに従い、N型のシリコン基板31上に、P型ウエル32、LOCOSによる厚いシリコン酸化膜34（分離領域）、第1層のポリシリコンによる各ゲート電極72、101、103が形成される。第1層のポリシリコンによるゲート電極72、101、103は、熱酸化により表面にシリコン酸化膜が形成されている。

#### 【0074】

次いで、ゲート電極72、101、103、分離領域の厚いシリコン酸化膜34、及び、図示しないが必要に応じて所定の領域にレジストをパターンニングして、これらをマスクとしてリンイオンが注入される。この状態を示したのが図9(a)である。リンイオンは、図に示したように、各ゲート電極72、101、103の下に入り込むように斜め方向108から注入される。ここで、埋め込みフォトダイオード51、52と電荷格納部61、62が配置される方向と、電荷格納部61、62とフローティング拡散領域36が配置される方向は、同一方向である。

したがって、斜め方向からのイオン注入を一回行えば、それぞれのゲート電極72、101、103の下にイオンが入り、拡散領域が形成される。上記方向が異なるなら、ゲート

電極下の拡散領域は、それぞれのゲート電極に対して斜め方向からのイオン注入を行なって形成される。したがって、本工程において、斜め方向からのイオン注入が複数回行われる。

#### 【0075】

本実施形態の固体撮像素子は、上記方向が同一であるので、一度の斜め方向からのイオン注入で良い。このため、製造が容易となる。なお、加速電圧は比較的低くてよく、形成される拡散層104、105、106、107は、比較的浅くて構わない。

次いで、電荷格納部61、62のN型拡散層75、76の形成される領域が開口するようにレジスト110をパターンングしてリンイオンを注入し、電荷格納部61、62のN型拡散層75、76が形成される。この工程では、イオンは、通常通りの方向111から注入される。この工程により、電荷格納部61、62のN型拡散層75、76は、電荷格納部として好適な濃度、深さに設定されることが可能となる。この状態を示したのが図9(b)である。

同様に、埋め込みフォトダイオード51、52の電荷蓄積部55、フローティング拡散領域67のN型拡散層36、PDリセット部68のN型拡散層71を順次同様にレジストをパターンングしてリンイオンを注入し、これらを順次形成する。

#### 【0076】

そして、MOSキャパシタ用の電極102が電荷格納部61、62のN型拡散層75、76の表面を覆うように形成される。この電極102は、第1転送部のゲート電極101と電氣的に接続されている。

これにより、埋め込みフォトダイオード51、52の電荷蓄積層55、フローティング拡散領域67のN型拡散層36、PDリセット部68のN型拡散層71は、それぞれ好適な濃度、深さに設定されることが可能となる。

#### 【0077】

ここでは、各ゲート電極の下に拡散層が入り込むようにN型拡散層104、105、106、107が同時にイオン注入され、次いで、各領域に好適な不純物濃度や深さとなるようにそれぞれの領域に個別にイオンが注入される。しかし、これに限らず、最終的に形成されるN型拡散層71、55、75、36の濃度や深さがほぼ同一ならば、斜め方向からのイオン注入を一回行うことによって、これらの領域が同時に形成されても良い。

なお、PDリセット部68は、埋め込みフォトダイオード51、52の電荷蓄積層55を一定電位にリセットするために配置される。このため、N型拡散層71は、ゲート電極72の下に入り込むような構造を必要としない。したがって、斜め方向からイオンを注入する工程では、N型拡散層104は、形成されなくても構わない。

#### 【0078】

[第1の実施形態の別の変形例]

図10は、第1の実施形態の別の変形例に係る固体撮像素子の画素平面図である。なお、図10は簡略のため、第1転送部63、64のゲート電極35における電荷格納部81、82上に配置される部分が省略されている。そして、各々のゲート電極35は、内部配線83で接続されているように描かれている。

#### 【0079】

この変形例の画素80が第1の実施形態の画素20と異なる点は、次の点のみである。即ち、第1の実施形態において埋め込みフォトダイオード51、電荷格納部61、及び、FD67のN型拡散層36は、同一方向に配置されている(埋め込みフォトダイオード52、電荷格納部62、及び、FD67のN型拡散層36も同様)が、本変形例において、埋め込みフォトダイオード51、及び、電荷格納部81が配置される方向と、電荷格納部81、及び、FD67のN型拡散層86が配置される方向は、異なっている。そして、FD67のN型拡散層86は、二つの電荷格納部81、82の間に配置されている。

#### 【0080】

このようにFD67のN型拡散層86を配置すれば、全画素の露光のタイミングの同時性が確保されるばかりではなく、FD67の面積を低減することが可能となり、微細化さ

10

20

30

40

50

れる。

その他の点については、第1の実施形態と同様であるので説明は省略する。

【0081】

[第2の実施形態]

(画素構成)

図11は、本発明の第2の実施形態に係る固体撮像素子の画素回路図である。また、図12は、第2の実施形態に係る固体撮像素子の画素平面図である。図12において、第1転送部87、88、89のゲート電極35における電荷格納部上に配置される部分は省略され、各々のゲート電極35は内部配線83で接続されているように描かれている。なお、図2に対応する固体撮像素子の全体構成は、第1の実施形態と同様であるので、ここでは説明を省略する。

10

【0082】

本実施形態の固体撮像素子が第1の実施形態に係る固体撮像素子と異なる点は、各画素90に光電変換部である埋め込みフォトダイオード91、92、93が3つ配置され、これに伴い、対応する電荷格納部94、95、96も3つ配置されている点にある。また、後述するように、駆動配線、駆動信号もそれに伴い変更されている。その他の点(増幅トランジスタ48、FDリセット部49、選択スイッチ50、PDリセット部68など)に関しては、第1の実施形態と同様であり、ここでは説明を省略する。

画素90は、入射光に応じた電荷を生成し蓄積する光電変換部としての3つの埋め込みフォトダイオード91、92、93を有している。そして、各埋め込みフォトダイオード91、92、93に対応して電荷をそれぞれ独立に蓄積する3つの電荷格納部94、95、96が配置される。

20

各埋め込みフォトダイオード91、92、93と電荷格納部94、95、96との間には、第1転送部87、88、89が配置される。各埋め込みフォトダイオード91、92、93で生成し蓄積される電荷は、第1転送部87、88、89がオン状態とされることにより、それぞれに対応する電荷格納部94、95、96に転送される。

【0083】

なお、3つの第1転送部87、88、89のゲート電極35は、共通に接続されている。これらのゲート電極35には、垂直走査回路21から駆動配線23を介して駆動信号TGAが供給される。したがって、3つの第1転送部87、88、89は、駆動信号TGAを受け取って同時にオン、オフ状態とされる。そして、駆動信号TGAが高になると、埋め込みフォトダイオード91、92、93に蓄積された電荷は、それぞれに対応する電荷格納部94、95、96に同時に転送される。

30

また、画素90にはフローティング拡散領域(FD)67が配置され、電荷格納部94、95、96から転送される電荷を個別に、又は、同時に蓄積する。各電荷格納部94、95、96とFD67の間には、第2転送部97、98、99が配置される。3つの第2転送部97、98、99のゲート電極は、それぞれ電氣的に分離されており、それぞれ個別の駆動信号TGB、TGC、TGDが垂直走査回路21から供給される。このため、各々の第2転送部97、98、99は、それぞれの駆動信号TGB、TGC、TGDにしたがって個別に駆動される。

40

【0084】

よって、3個の第2転送部97、98、99は、異なるタイミングでオン状態にされることも、同時にオン状態にされることも可能となる。これらが異なるタイミングでオン状態にされるなら、3個の電荷格納部94、95、96に蓄積されている光電荷は、異なるタイミングで個別にFD67に転送される。また、これらが同時にオン状態にされるなら、3個の電荷格納部94、95、96に蓄積されている光電荷は、FD67にて合算される。

【0085】

このように、各画素90は、3個の埋め込みフォトダイオード91、92、93を有している。そして、入射光を埋め込みフォトダイオード91、92、93に導く一つのマイ

50

クロレンズ 57 が配置される。3 個の埋め込みフォトダイオード 91、92、93 は、入射光側から見てマイクロレンズ 57 の中心線  $XX'$  (直径を有する線) に対して線対称となるように配置されている。

#### 【0086】

そして、埋め込みフォトダイオードの一つは、入射光側から見てマイクロレンズ 57 の中央部に配置される。この位置は、最も光が効率的に集光される位置であり、この位置に配置される光電変換部は、光電荷の生成が増大し、このため出力が増大する。なお、中央の埋め込みフォトダイオード 92 は、瞳分割されない光が受光されるため、画像信号を得るために使用する。

また、両端の埋め込みフォトダイオード 91、93 は、中心線  $XX'$  に対して線対称の位置に配置される。このため、マイクロレンズ 57 から導かれる入射光は、瞳分割されて各埋め込みフォトダイオード 91、93 に入射される。よって、これら二つの埋め込みフォトダイオード 91、93 から出力される信号を用いれば、焦点を検出することが可能となる。

#### 【0087】

このように、本実施形態の固体撮像素子は、中央の埋め込みフォトダイオード 92 から出力される信号を画像用信号に用いることが出来る。また、本実施形態の固体撮像素子は、両端の埋め込みフォトダイオード 91、93 から出力される信号を瞳分割位相差方式の焦点検出信号に使用することができる。この場合、画像用信号と焦点検出信号とを別々のタイミングで生成しても良い。しかし、3つのフォトダイオード 91、92、93 の露光のタイミングを同一にすれば、画像信号と焦点検出信号のタイミングの同一性も一致させることが可能となる。このため、本固体撮像素子は、速い動作の移動体を撮像するのにさらに好ましい。また、一度の露光で画像信号及び焦点検出信号が得られるので、撮像するスピードが向上する。

#### 【0088】

また、本固体撮像素子は、3つの埋め込みフォトダイオードの電荷を合算することも可能である。このように出力した信号を画像信号として用いれば、画像信号の出力は、さらに増大する。

#### 【0089】

(駆動手順)

本実施形態に係る固体撮像素子は、上記のように信号の読み出し駆動方式が多々ある。ここでは、場合分けして駆動方法を説明する。

まず、中央の埋め込みフォトダイオード 92 から画像信号を読み出す駆動手順を説明する。タイミングチャートは、 $TGB$  及び  $TGD$  を除き図 7(a) と同一となる。なお、 $TGB$  及び  $TGD$  は、常にローにされる。或いは、ブルーミングを防止するため、 $TGB$  及び  $TGD$  は、 $T13$  の期間のみハイとされても良い。

次に、両端の埋め込みフォトダイオード 91、93 から焦点検出信号を読み出す駆動手順を説明する。タイミングチャートは、 $TGC$  及び  $TGD$  を除き図 7(b) と同一となる。そして、 $TGD$  は本図の  $TGC$  に置き換えたものとなり、 $TGC$  は常にローにされる。或いは、ブルーミングを防止するため、 $TGC$  は  $T13$  の期間のみハイとされても良い。

#### 【0090】

次に、すべての埋め込みフォトダイオード 91、92、93 から画像信号を読み出す駆動手順を説明する。タイミングチャートは、 $TGD$  を除き図 7(a) と同一となる。なお、 $TGD$  は、本図の  $TGB$  及び  $TGC$  と同じになる。

さらに、画像信号と焦点検出信号を同じタイミングで同時露光して読み出す駆動手順を説明する。図 13 は、この読み出し動作を説明するタイミングチャートである。なお、 $T1$  の期間は、全有効画素を同時に駆動する期間である。即ち、 $T1$  の期間の駆動パルスは、全行において同一の駆動信号が垂直走査回路 21 から出力される。また、 $T2$  は、第 1 行目が読み出される期間、 $T3$  は、第 2 行目が読み出される期間であり、選択された行のみ

、本図の駆動信号が出力される。

【0091】

まず、T41の期間において、PDRはハイにされPDリセット部68がオン状態とされる。この動作により、すべての有効画素の埋め込みフォトダイオード91、92、93に蓄積されている不要な電荷が電源VDDに排出される。即ち、埋め込みフォトダイオード91、92、93は、リセットされる。そして、全有効画素の埋め込みフォトダイオード91、92、93は、同時に露光を開始する。

【0092】

T42の期間において、FDRはハイにされFDリセット部49がオン状態とされる。また、T43の期間において、FDRの立ち上がりと同時にTGB、TGC、TGDがハイにされ、3つの第2転送部97、98、99は、同時にオン状態とされる。この動作により、FD67及び電荷格納部94、95、96に蓄積されている電荷が電源VDDに排出される。即ち、全有効画素のFD67及び電荷格納部94、95、96は、リセットされる。

10

【0093】

T44の期間において、TGAはハイにされ第1転送部87、88、89がオン状態とされる。全有効画素の3つの埋め込みフォトダイオード91、92、93に蓄積されている電荷は、それぞれ対応する電荷格納部94、95、96に転送される。ここで、図に示されたT45の期間(PDRをローにしてからTGAをハイにする期間)が露光期間となる。T45の期間は、全有効画素にて同一の期間であり同一のタイミングとなる。このため、全有効画素のすべての埋め込みフォトダイオード91、92、93は、タイミングずれすることなく同時期間の画像信号及び焦点検出信号を獲得することが可能となる。

20

【0094】

T46の期間において、第1行目のSはハイにされ選択スイッチ50がオン状態とされる。これにより、第1行目の画素が選択され、第1行目の画素から信号が垂直信号線25に出力されるようになる。

【0095】

T47の期間において、第1行目のFDRはハイにされFDリセット部49がオン状態とされる。この動作により、FD67はリセットされ、ダークレベルの電位となる。そして、FDRがローとなってからTGBがハイになるまでの間(T48の期間)において、第1行目の増幅トランジスタ48は、FD67のダークレベルに対応した信号を出力する。出力された信号は、垂直信号線25を介してCDS回路27に保存される。

30

【0096】

T49の期間において、TGBはハイにされて対応する第2転送部97がオン状態とされる。これにより、電荷格納部94に蓄積されている電荷は、FD67に転送される。なお、FD67の電位は、この電荷とダークレベルとが重畳された電位となる。そして、増幅トランジスタ48は、この電位に対応した信号を出力する。出力された信号は、垂直信号線25を通してCDS回路27に送られる。

CDS回路27は、この期間に出力された信号と先ほど保存したダークレベルに対応する信号との差を第1行目の画素における一方の瞳分割焦点検出信号として出力する。そして、これらの第1行目の画素における一方の瞳分割焦点検出信号は、水平走査回路22の駆動信号によって水平信号線28、出力アンプ29を介して外部に出力される。出力された信号は、信号処理部5(図1参照)などを介してメモリ7に送られ、一旦蓄積される。

40

【0097】

次いで、T50の期間において、第1行目のFDRは再びハイにされFDリセット部49がオン状態とされる。この動作により、FD67が再びリセットされ、前回とは異なるダークレベルの電位となる。そして、FDRがローとなってからTGCがハイとなるまでの間(T51の期間)において、第1行目の増幅トランジスタ48は、FD67のダークレベルに対応した信号を出力する。出力された信号は、垂直信号線25を介してC

50

D S回路 27 に保存される。

【0098】

T52の期間において、TGCはハイにされて第2転送部98がオン状態とさる。これにより、電荷格納部95に蓄積されている電荷は、FD67に転送される。なお、FD67の電位は、この電荷とダークレベルとが重畳された電位となる。そして、増幅トランジスタ48は、この電位に対応した信号を出力する。出力された信号は、垂直信号線25を通してCDS回路27に送られる。

CDS回路27は、この期間に出力された信号と先ほど保存したダークレベルに対応する信号との差を第1行目の画素における画像信号として出力する。そして、これらの第1行目の画素における画像信号は、水平走査回路22の駆動信号によって水平信号線28、出力アンプ29を介して外部に出力される。外部に出力された信号は、信号処理部5などを介してメモリ7に送られ、一旦蓄積される。

10

【0099】

次いで、T53の期間において、第1行目のFDRは再びハイにされFDリセット部49がオン状態とされる。この動作により、FD67が再びリセットされ、前回とは異なるダークレベルの電位となる。そして、FDRがローとなってからTGCがハイとなるまでの間(T54の期間)において、第1行目の増幅トランジスタ48は、FD67のダークレベルに対応した信号を出力する。出力された信号は、垂直信号線25を介してCDS回路27に保存される。

【0100】

T55の期間において、TGCはハイにされて第2転送部66がオン状態とさる。これにより、電荷格納部96に蓄積されている電荷は、FD67に転送される。なお、FD67の電位は、この電荷とダークレベルとが重畳された電位となる。そして、増幅トランジスタ48は、この電位に対応した信号を出力する。出力された信号は、垂直信号線25を通してCDS回路27に送られる。

20

CDS回路27は、この期間に出力された信号と先ほど保存したダークレベルに対応する信号との差を第1行目の画素における他方の瞳分割焦点検出信号として出力する。そして、これらの第1行目の画素における他方の瞳分割焦点検出信号は、水平走査回路22の駆動信号によって水平信号線28、出力アンプ29を介して外部に出力される。外部に出力された信号は、信号処理部5などを介してメモリ7に送られ、一旦蓄積される。同様に、T3の期間において第2行目の読み出しを行う。駆動信号は、T2と同様である。

30

すべての行から画像信号が出力された後、画像処理部13は、メモリ7から信号を受け取って1フレームの画像を生成する。また、焦点演算部10は、メモリ7から信号を受け取って、周知の瞳分割位相差による焦点位置を算出し、その焦点検出情報をマイクロプロセッサ9に伝達する。

マイクロプロセッサ9は、その情報に基づきレンズ制御部2aにレンズを移動させるための情報を伝達する。或いは、マイクロプロセッサ9は、合焦していると判断したなら、画像処理部13にて生成されている画像情報を圧縮、記録等の処理を行う伝達を画像処理部13、画像圧縮部12、記録部11に伝達する。

【0101】

以上の説明から理解されるように、本固体撮像素子は、全有効画素の露光タイミングを同一にし、且つ、3つの埋め込みフォトダイオード91、92、93から露光のタイミングが同一にされた画像信号及び焦点検出信号を得ることが可能となる。このため、速い動作の被写体を撮像する際においても、さらに良好に焦点を検出することが可能となる。

40

【0102】

[第3の実施形態]

図14は、本発明の第3の実施形態に係る固体撮像素子の2画素分の平面図である。第1の実施形態に係る固体撮像素子と異なる点は、増幅トランジスタ48、FDリセット部49、及び、選択スイッチ50が2画素に1つ配置されている点にある。このようにすれば、2個の画素にて増幅トランジスタ48、FDリセット部49、及び、選択スイッチ5

50

0を共有することが可能となり、微細化すること、又は、開口率を向上させることが可能となる。

【0103】

ここでは、図に示されているように奇数行と偶数行において上下に隣接する2画素が一つの組になって、増幅トランジスタ48、FDリセット部49、及び、選択スイッチ50が共有されている。したがって、駆動手順は、実施形態1と同じで良い。

なお、ここでは、増幅トランジスタ48、FDリセット部49、及び、選択スイッチ50が2画素に1つ配置されている。しかし、これに限らず、増幅トランジスタ48、FDリセット部49、及び、選択スイッチ50は、複数の画素に1つ配置されてもよい。

【図面の簡単な説明】

10

【0104】

【図1】本発明の第1の実施形態に係る電子カメラ1を示すブロック図である。

【図2】第1の実施形態に係る固体撮像素子3の概略構成を示す回路図である。

【図3】第1の実施形態に係る固体撮像素子3の画素回路図である。

【図4】第1の実施形態に係る固体撮像素子3の画素平面図である。

【図5】図3におけるA-A'部の断面図である。

【図6】図4におけるB-B'部の断面図である。

【図7】第1の実施形態に係る固体撮像素子から信号を読み出す動作を説明するタイミングチャートである。

【図8】第1の実施形態の変形例に係る固体撮像素子の画素平面図である。

20

【図9】第1の実施形態の変形例に係る固体撮像素子の製造工程の一部を示す画素断面図である。

【図10】第1の実施形態の別の変形例に係る固体撮像素子の画素平面図である。

【図11】第2の実施形態に係る固体撮像素子の画素回路図である。

【図12】本発明の第2の実施形態に係る固体撮像素子の画素平面図である。

【図13】第2の実施形態に係る固体撮像素子から画像信号と焦点検出信号を同じタイミングで同時露光して読み出す動作を説明するタイミングチャートである。

【図14】本発明の第3の実施形態に係る固体撮像素子の2画素分の平面図である。

【符号の説明】

30

【0105】

1 電子カメラ

3 固体撮像素子

20 画素

23, 24 駆動配線

25 垂直信号線

28 水平信号線

31 N型シリコン基板

32 P型ウエル

36、41、42、43、44、71、86、104、105、106、107 N型拡散層

40

40、83、74 内部配線

48 増幅トランジスタ

49 FDリセット部

50 選択スイッチ

51、52 埋め込みフォトダイオード

55 電荷蓄積層

56 空乏化防止層

57 マイクロレンズ

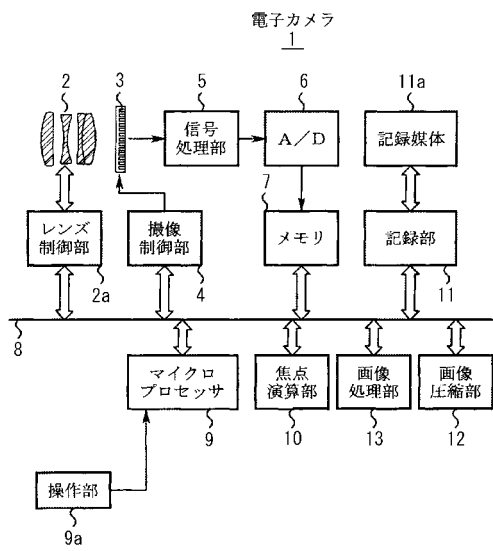
61、62、81、82、94、95、96 電荷格納部

63、64、87、88、89 第1転送部

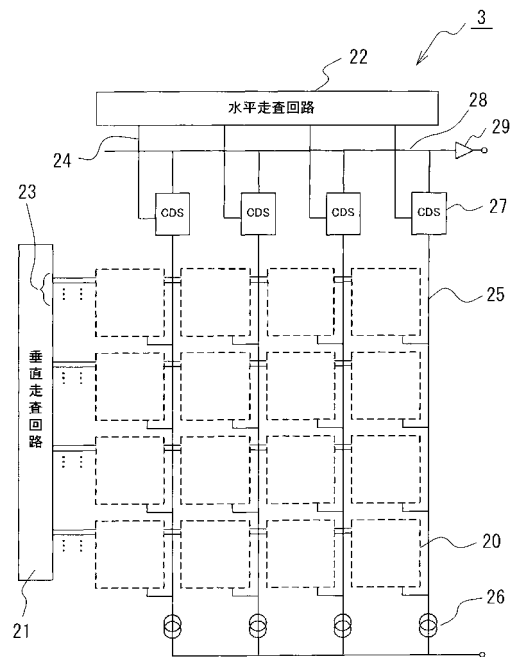
50

- 65、66、97、98、99 第2転送部
- 67 フローティング拡散領域
- 68 PDリセット部
- 102 MOSキャパシタ用電極
- 110 レジスト

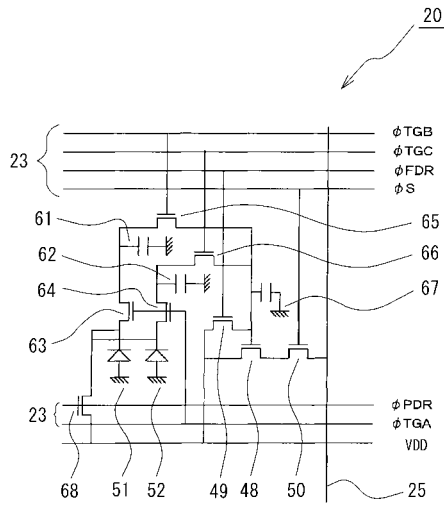
【図1】



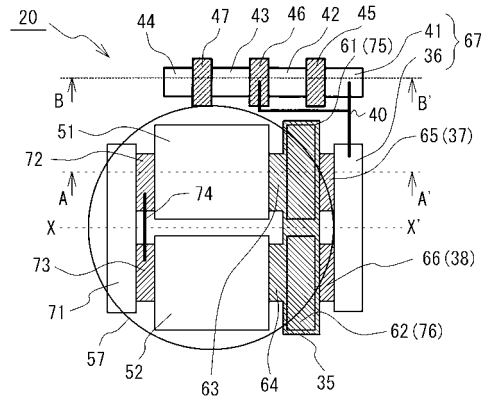
【図2】



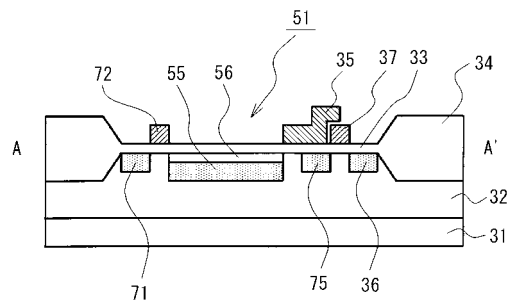
【 図 3 】



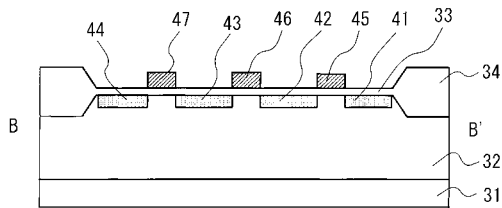
【 図 4 】



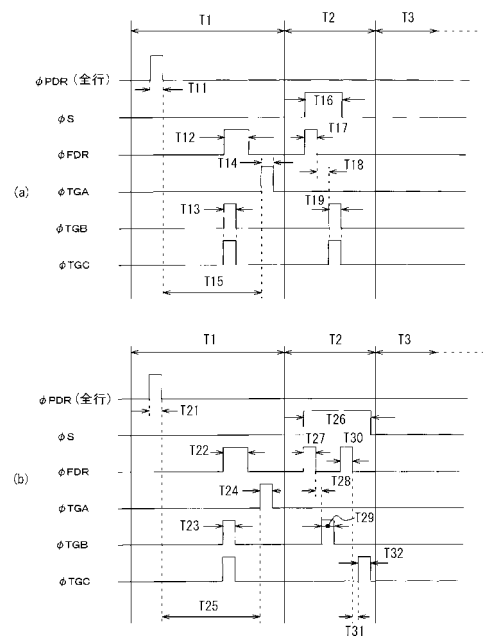
【 図 5 】



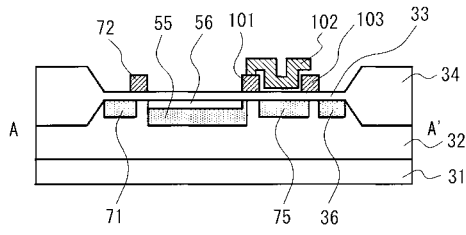
【 図 6 】



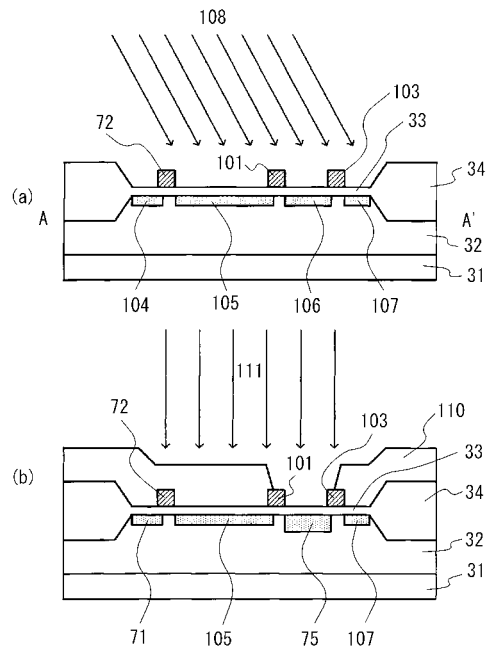
【 図 7 】



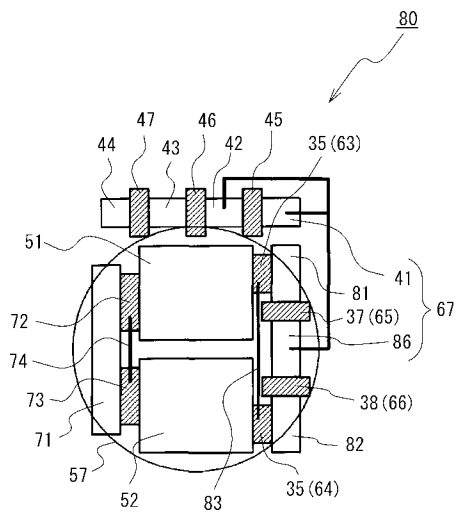
【 図 8 】



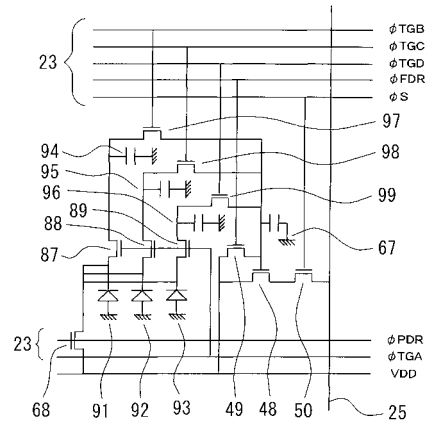
【 図 9 】



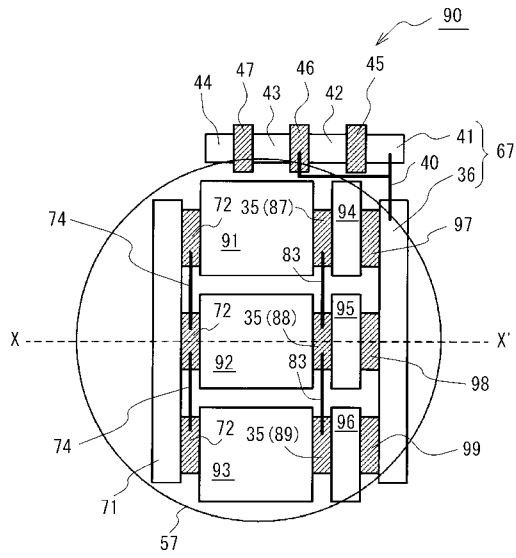
【 図 10 】



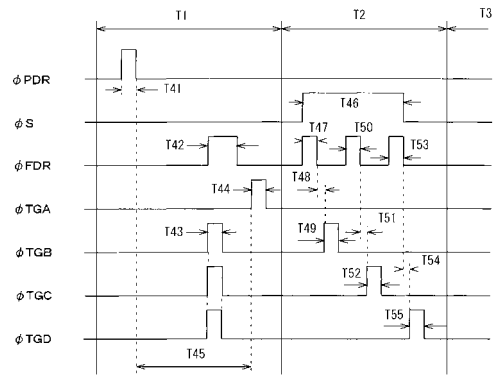
【 図 11 】



【 図 1 2 】



【 図 1 3 】



【 図 1 4 】

