

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4819325号
(P4819325)

(45) 発行日 平成23年11月24日(2011.11.24)

(24) 登録日 平成23年9月9日(2011.9.9)

(51) Int.Cl.

F I

G 1 1 C 11/407 (2006.01)

G 1 1 C 11/34 3 6 2 S

G 1 1 C 11/4093 (2006.01)

G 1 1 C 11/34 3 5 4 P

請求項の数 8 (全 25 頁)

(21) 出願番号	特願2004-161460 (P2004-161460)	(73) 特許権者	390019839
(22) 出願日	平成16年5月31日 (2004.5.31)		三星電子株式会社
(65) 公開番号	特開2004-362756 (P2004-362756A)		S a m s u n g E l e c t r o n i c s
(43) 公開日	平成16年12月24日 (2004.12.24)		C o . , L t d .
審査請求日	平成19年1月31日 (2007.1.31)		大韓民国京畿道水原市靈通区梅灘洞416
(31) 優先権主張番号	2003-035604		416, M a e t a n - d o n g , Y e o
(32) 優先日	平成15年6月3日 (2003.6.3)		n g t o n g - g u , S u w o n - s i ,
(33) 優先権主張国	韓国 (KR)		G y e o n g g i - d o , R e p u b l i
(31) 優先権主張番号	2003-042840		c o f K o r e a
(32) 優先日	平成15年6月27日 (2003.6.27)	(74) 代理人	100064908
(33) 優先権主張国	韓国 (KR)		弁理士 志賀 正武
(31) 優先権主張番号	10/792425	(74) 代理人	100089037
(32) 優先日	平成16年3月3日 (2004.3.3)		弁理士 渡邊 隆
(33) 優先権主張国	米国 (US)	(74) 代理人	100108453
			弁理士 村山 靖彦

最終頁に続く

(54) 【発明の名称】 集積回路装置及びその動作方法

(57) 【特許請求の範囲】

【請求項 1】

複数のメモリセルを含むメモリセルアレイと、
外部ターミナルから 2 N 個のデータビットを直列に受信する書込みデータ経路と、を具備し、
前記書込みデータ経路は、
2 N 個の書込みデータバッファと、
2 N 個のスイッチと、
N 個のデータビットを並列に前記メモリセルアレイに書き込むために前記 2 N 個のスイッチのうち少なくとも N 個のスイッチと連結される N 個のデータラインと、を具備し、
前記書込みデータ経路は、
前記外部ターミナルと連結される第 1 及び第 2 直列 - 並列変換部と、
N 個の第 1 グローバルデータラインと N 個の第 2 グローバルデータラインとを具備し、
前記 2 N 個の書込みデータバッファは、N 個の第 1 書込みデータバッファと N 個の第 2 書込みデータバッファとを含んで構成され、
前記 2 N 個のスイッチは、N 個の第 1 スイッチと N 個の第 2 スイッチとを含んで構成され、
前記 N 個の第 1 書込みデータバッファは、第 1 直列 - 並列変換部に連結され、前記 N 個の第 1 グローバルデータラインのそれぞれは、前記 N 個の第 1 スイッチのそれぞれと前記 N 個の第 1 書込みデータバッファのそれぞれとの間に連結され、

10

20

前記 N 個の第 2 書込みデータバッファは、第 2 直列 - 並列変換部に連結され、前記 N 個の第 2 グローバルデータラインのそれぞれは、前記 N 個の第 2 スイッチのそれぞれと前記 N 個の第 2 書込みデータバッファのそれぞれとの間に連結され、

前記 N 個のデータラインは、N 個のローカルデータラインであり、

前記 N 個のローカルデータラインのそれぞれは、前記 N 個の第 1 スイッチ及び前記 N 個の第 2 スイッチと前記メモリセルアレイとの間にそれぞれ連結され、

前記書込みデータ経路は、

前記第 1 及び第 2 直列 - 並列変換部のうち何れか 1 つと前記 N 個の第 1 書込みデータバッファ及び前記 N 個の第 2 書込みデータバッファのうち何れか 1 つとの間にそれぞれ連結される第 1 及び第 2 データオーダリング回路をさらに具備し、

前記 N 個の第 1 スイッチは、第 1 制御信号に応答し、

前記 N 個の第 2 スイッチは、前記第 1 制御信号から遅延された第 2 制御信号に応答し、

前記第 1 及び第 2 制御信号は、

書込み活性化信号から異なる遅延時間をもって遅延されて生成される

ことを特徴とする集積回路装置。

【請求項 2】

前記集積回路装置は、

チップ選択命令及びファンクション命令に응答して前記書込み活性化信号を発生する命令デコーダと、

前記書込み活性化信号に응答して前記第 1 及び第 2 制御信号を発生する制御信号発生部と、をさらに具備する

ことを特徴とする請求項 1 に記載の集積回路装置。

【請求項 3】

前記命令デコーダは、

前記チップ選択命令及び前記ファンクション命令に응答してアクティブ命令及び読出命令をさらに発生する

ことを特徴とする請求項 2 に記載の集積回路装置。

【請求項 4】

前記命令デコーダは、

前記チップ選択命令及び前記ファンクション命令に응答して読出命令、リフレッシュ命令及びモードレジスタ命令をさらに発生する

ことを特徴とする請求項 2 に記載の集積回路メモリ装置。

【請求項 5】

複数のメモリセルを含むメモリセルアレイと、

外部ターミナルから 2 N 個のデータビットを直列に受信する書込みデータ経路と、を具備し、

前記書込みデータ経路は、

2 N 個の書込みデータバッファと、

2 N 個のスイッチと、

N 個のデータビットを並列に前記メモリセルアレイに書き込むために前記 2 N 個のスイッチのうち少なくとも N 個のスイッチと連結される N 個のデータラインと、を具備し、

前記書込みデータ経路は、

前記外部ターミナルと連結される第 1 及び第 2 直列 - 並列変換部と、

N 個の第 1 グローバルデータラインと N 個の第 2 グローバルデータラインとを具備し、

前記 2 N 個の書込みデータバッファは、N 個の第 1 書込みデータバッファと N 個の第 2 書込みデータバッファとを含んで構成され、

前記 2 N 個のスイッチは、N 個の第 1 スイッチと N 個の第 2 スイッチとを含んで構成され、

前記 N 個の第 1 書込みデータバッファは、第 1 直列 - 並列変換部に連結され、前記 N 個の第 1 グローバルデータラインのそれぞれは、前記 N 個の第 1 スイッチのそれぞれと前記

10

20

30

40

50

N個の第1書込みデータバッファのそれぞれとの間に連結され、

前記N個の第2書込みデータバッファは、第2直列 - 並列変換部に連結され、前記N個の第2グローバルデータラインのそれぞれは、前記N個の第2スイッチのそれぞれと前記N個の第2書込みデータバッファのそれぞれとの間に連結され、

前記N個のデータラインは、N個のローカルデータラインであり、

前記N個のローカルデータラインのそれぞれは、前記N個の第1スイッチ及び前記N個の第2スイッチと前記メモリセルアレイとの間にそれぞれ連結され、

前記書込みデータ経路は、

前記第1及び第2直列 - 並列変換部のうち何れか1つと前記N個の第1書込みデータバッファ及び前記N個の第2書込みデータバッファのうち何れか1つとの間にそれぞれ連結される第1及び第2データオーダリング回路をさらに具備し、

前記N個の第1スイッチは、第1制御信号に応答し、

前記N個の第2スイッチは、前記第1制御信号から遅延された第2制御信号に応答し、

前記集積回路装置は、

N個の第3スイッチとN個の第4スイッチとをさらに具備し、

前記N個の第3スイッチのそれぞれは、前記第1直列 - 並列変換部と前記N個の第1書込みデータバッファのそれぞれとの間に連結され、

前記N個の第4スイッチは、前記第2直列 - 並列変換部と前記N個の第2書込みデータバッファのそれぞれとの間に連結される

ことを特徴とする集積回路装置。

【請求項6】

前記N個の第3スイッチは、第3制御信号に応答し、

前記N個の第4スイッチは、前記第3制御信号から遅延された第4制御信号に応答することを特徴とする請求項5に記載の集積回路装置。

【請求項7】

前記第3及び第4制御信号は、

データストローブ信号のオフセット立下りエッジに응答して発生される

ことを特徴とする請求項6に記載の集積回路装置。

【請求項8】

前記集積回路装置は、

前記データストローブ信号に응答して前記データストローブ信号の立下りエッジをカウントして、前記データストローブ信号のオフセット立下りエッジにしたがって前記第3及び第4制御信号を発生するデータストローブカウンタをさらに具備する

ことを特徴とする請求項7に記載の集積回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路装置及びその動作方法に係り、例えば、集積回路メモリ装置の書込みデータ経路及びその動作方法に関する。

【背景技術】

【0002】

集積回路メモリ装置は、多くの消費財及び商業上の応用に広く使われている。集積回路メモリ装置の集積度が高まることによって、集積回路メモリ装置内のメモリセルの数も増加する。その上、集積回路メモリ装置のプリフェッチスキームもさらに増加する。当業者に周知のように、プリフェッチは、集積回路メモリ装置において、どれだけのビットを同時に書込みまたは読出しできるかを意味する。プリフェッチスキームはまた、一度に外部ターミナルへノから直列に出力または入力されるビット数を意味するバースト長で表される。多くの集積回路装置は、例えば4ビットバースト長の4ビットプリフェッチスキームを使用する。しかし、高いデータレートのために8ビットバースト長または8ビットプリフェッチスキームに増加することが要求される。将来は、さらに高いプリフェッチスキーム

ムやバースト長が使われる。

【 0 0 0 3 】

高いプリフェッチスキームに増加するほど、集積回路メモリ装置の書込みデータ経路はそのサイズ及び複雑性がさらに大きくなる。当業者に周知のように、書込みデータ経路は、外部ターミナルから多数のデータビットを直列に受信し、メモリセルアレイに多数のデータビットを並列に書き込むために提供される。これによりデータ書込み経路はチップ面積の相当部分を占める。

【 0 0 0 4 】

図 1 は、典型的な D R A M のブロックダイアグラムである。図 1 の D R A M は、ファストサイクル D R A M (F C D R A M) とも称する。これを参照すれば、F C R A M 1 0 0 は、クロック信号を受信して内部クロック信号を発生させるクロックバッファ 1 0 2、外部入力にしたがって命令を発生するコマンドデコーダ 1 0 4、アドレスデータ A 0 ~ A 1 4 とバンク選択信号 B A 0、B A 1 にしたがってアドレス信号を発生するアドレスバッファ 1 0 6、及び、リフレッシュカウンタ 1 0 8 を含む。制御信号発生部 1 1 0 は、コマンドデコーダ 1 0 4 から提供される信号にしたがって制御信号を発生する。モードレジスタ M R S 1 1 2 は、適切なモード信号を発生する。上位アドレスラッチ 1 1 4 と下位アドレスラッチ 1 1 6 とは、ローデコーダとカラムデコーダとにそれぞれ提供されるアドレス信号を発生する。バーストカウンタ 1 1 8 は、読出し及び書込みデータのバースト長を制御するために使われる。書込みアドレスラッチ / 比較部 1 2 0 は、以前の書込みアドレスと現在の書込みアドレスとを比較するために使われる。

【 0 0 0 5 】

メモリセルアレイとして、例えば 4 個のバンク 1 2 2 ~ 1 2 8 が提供される。しかし、これより少数または多数のバンクが提供されてもよい。入出力データ経路 2 0 0 は、データ制御及びラッチ回路 1 3 0、読出しデータバッファ 1 3 2、書込みデータバッファ 1 3 4、及び、入出力 D Q バッファ 1 3 6 を含む。D Q バッファ 1 3 6 は、所定の入力をマスキングするデータマスク信号 D M に応答する。図 1 に記載された F C D R A M は、当業者に周知の技術であるので、これ以上の説明は省略する。

【 0 0 0 6 】

図 2 は、図 1 のデータ入出力経路 2 0 0 のさらに具体的なブロックダイアグラムである。図 2 に示されたように、図 1 のモードレジスタ 1 1 2 がバースト長 4 を選択する時、各入出力ターミナル D Q 0 ~ D Q 1 5 は、外部ターミナルから伝えられる 4 データビットを順次に受信する。この後、各入力データビットは、D Q バッファ 1 3 6 内のデータ入力バッファ 3 8 によって直列 - 並列 (S - P) 変換部 3 0 に伝えられる。直列 - 並列 S - P 変換部 3 0 により直列から並列に変換された書込みデータバス D B W 上の入力データは、バンクアドレスビット B A 0、B A 1 により選択される適切な書込みデータ経路 3 1、3 2、3 3、3 4 に伝えられる。

【 0 0 0 7 】

図 2 において、データの読出しを説明すると、多数のバンク B A N K 0 ~ B A N K 3 のうち何れか 1 つのバンクからデータが出力され、バンクアドレスビット B A 0、B A 1 により選択される読出しデータ経路 4 1、4 2、4 3、4 4 を通じて読出しデータバスライン D B R に伝えられる。読出しデータバスライン D B R 上の並列データは、並列 - 直列変換部 4 0 により直列データに変換される。この後、直列データは、データ出力バッファ 4 8 とデータ入出力ターミナル D Q 0 ~ D Q 1 5 を通じて外部に出力される。したがって、データ入出力ターミナル D Q 0 ~ D Q 1 5 を通じて、6 4 (4 × 1 6) ビットの入力データが選択されたバンクのメモリセルアレイに同時に書き込まれ、6 4 ビットのデータが同時に読出される。

【 0 0 0 8 】

図 3 は、図 1 及び図 2 と連結する従来の F C D R A M において、4 ビットプリフェッチスキームを説明するブロックダイアグラムである。図 3 を参照すれば、バースト長 4 が図 1 の M R S 1 1 2 により選択される時、入力バッファ 3 8 を通じてバッファされた第 1

10

20

30

40

50

入力データビットは、第 1 内部データストローブ信号 P D S の立上がりエッジにตอบสนองして直列 - 並列変換部 3 0 の入力データラッチ 3 0 1 の第 1 ラッチ 3 1 1 に保存される。直列に受信された第 2 入力データビットは、第 1 内部データストローブ信号 P D S の立下りエッジにตอบสนองして直列 - 並列変換部 3 0 の入力データラッチ 3 0 1 の第 2 ラッチ 3 1 2 に保存される。

【 0 0 0 9 】

この時、第 1 ラッチ 3 1 1 に保存された第 1 入力データビットと第 2 ラッチ 3 1 2 に保存された第 2 入力データビットは、第 2 内部データストローブ信号 P D S P にตอบสนองして並列変換部 3 0 2 の第 1 レジスタ 3 1 3 と第 2 レジスタ 3 1 4 とにそれぞれ伝えられる。第 3 入力データビットは、第 1 内部データストローブ信号 P D S の次の立上がりエッジにตอบสนองして第 1 ラッチ 3 1 1 に保存され、第 4 入力データビットは、第 1 内部データストローブ信号 P D S の次の立下りエッジにตอบสนองして第 2 ラッチ 3 1 2 に保存される。

10

【 0 0 1 0 】

また、第 3 入力データビット及び第 4 入力データビットは、第 1 内部データストローブ信号 P D S の立上がり及び立下りエッジにตอบสนองして、並列変換部 3 0 2 の第 3 レジスタ 3 1 5 と第 4 レジスタ 3 1 6 とにそれぞれ伝えられる。したがって、図 3 に示されたように、第 1 及び第 3 入力データビットのような奇数入力データ D I N - O は、連続的に第 1 及び第 3 レジスタ 3 1 3、3 1 5 に伝えられ、第 2 及び第 4 入力データビットのような偶数入力データ D I N - E は、第 2 及び第 4 レジスタ 3 1 4、3 1 6 に伝えられる。全ての入力データ D 0、D 1、D 2、D 3 が並列変換部 3 0 2 に伝えられた後、全ての入力データは、第 3 内部データストローブ信号 P D S E N にตอบสนองして並列に並列データ出力回路 3 0 3 に伝えられて保存される。

20

【 0 0 1 1 】

図 4 は、入力 D Q パッド上の 4 つのデータビット D 0 ~ D 3 の直列入力とデータライン D B W _ 0 ~ D B W _ 3 上の 4 つのデータビットの並列出力とを含む前述した動作を説明するタイミングダイアグラムである。

【 0 0 1 2 】

また、図 3 を参照すれば、直列 - 並列変換部 3 0 に保存された入力データは、図 2 の書込みデータ経路 3 1、3 2、3 3、3 4 の部分を形成する書込みデータバッファ 3 3 0、3 3 1、3 3 2、3 3 3 に保存される。書込みデータバッファ 3 3 0、3 3 1、3 3 2、3 3 3 から、入力データは、並列ビットスイッチ P S W、3 4 0 ~ 3 4 3 に印加される制御信号 P S 4 にตอบสนองしてカラム選択ライン C S L、3 5 0 に伝えられる。4 ビットの入力データは、メモリセルブロック 3 6 0 に同時に書き込まれる。図 3 及び 4 では、4 ビットデータがメモリセルブロックに同時に書き込まれるので、4 ビットプリフェッチスキームを説明する。図 3 において、書込みデータバッファ 3 3 0 ~ 3 3 3 と並列ビットスイッチ P S W 3 4 0 ~ 3 4 3 を連結させるラインをグローバルデータライン G D L _ 0 ~ G D L _ 3 と呼ぶ。並列ビットスイッチ P S W とカラム選択ライン C S L とを連結させるラインをローカルデータライン L D L _ 0 ~ L D L _ 3 と呼ぶ。最後に、メモリセルアレイのビットラインは、図 3 で B L _ 0 - B L _ 5 1 1 と表示される。

30

【 0 0 1 3 】

図 5 は、8 ビットプリフェッチスキームを含む従来の F C D R A M のブロックダイアグラムである。当業者に周知のように、8 ビットプリフェッチスキームでは、F C D R A M がさらに高いデータレートで動作する。図 5 において、図 3 の参照符号と同一に使われた参照符号は、同様の構成要素を示す。8 ビットプリフェッチスキームに適合するために、図 3 の構成要素は、図 5 においてその個数が 2 倍となる。したがって、レジスタの第 2 セット 3 1 3 ' ~ 3 1 6 ' は並列変換部 3 0 2 に、そして、レジスタの第 2 セット 3 1 7 ' ~ 3 2 0 ' が並列データ出力回路 3 0 3 に提供される。また、書込みデータバッファの第 2 セット 3 3 4 ~ 3 3 7 と並列ビットスイッチ 3 4 4 ~ 3 4 7 も提供される。

40

【 0 0 1 4 】

図 5 に示されたように、ローカルデータライン L D L とグローバルデータライン G D L

50

とは、図3と比較して2倍である。言い換えれば、図5の8ビットプリフェッチスキームにおいて、グローバルデータラインGDLとローカルデータラインLDLとの数は、図3の4ビットプリフェッチスキームと比較して2倍に増加する。さらに具体的には、図5において、8個のグローバルデータラインGDL₀～GDL₇は、それぞれの書込みデータバッファ330～337をそれぞれの並列ビットスイッチ340～347に連結させるために使われる。また、8個のローカルデータラインLDL₀～LDL₇は、それぞれの並列ビットスイッチ340～347をカラム選択ライン350に連結させるために使われる。これにより、多数のローカル及び/又はグローバルデータラインが集積回路メモリ装置の面積を過度に占める。

【0015】

10

他の高速メモリ装置における読出及び/又は書込みデータ経路は、特許文献1(Suzukiなどによる“半導体メモリ装置”)と特許文献2(Seigoなどによる“高速データ読出し及びデータ書込み動作のためにクロック信号に同期されて動作する半導体メモリ装置”)に、そして特許文献3(Okumaなどによる“向上されたデータ書込み動作を有するファストサイクルRAM”)に記載されている。

【特許文献1】米国特許第6,144,616号公報

【特許文献2】米国特許第6,427,197号公報

【特許文献3】米国特許出願第2001/0005012号公報

【発明の開示】

【発明が解決しようとする課題】

20

【0016】

本発明の目的は、nビットプリフェッチ構造を利用して2nビットプリフェッチスキームを具現するメモリ装置を提供するところにある。

【0017】

本発明の他の目的は、バースト長の変化により自動プリチャージ時点を調節するメモリ装置を提供するところにある。

【0018】

本発明のさらに他の目的は、nビットプリフェッチ構造のメモリ装置を利用して2nビットプリフェッチスキームを具現する方法を提供するところにある。

【0019】

30

本発明のさらに他の目的は、バースト長の変化による自動プリチャージ制御方法を提供するところにある。

【課題を解決するための手段】

【0020】

本発明の1つの側面の集積回路メモリ装置は、N個のデータビットを並列に書き込むメモリセルアレイと外部ターミナルから2N個のデータビットを直列に受信する書込みデータ経路とを含む。書込みデータ経路は、2N個のデータビットを保存する2N個の書込みデータバッファと、2N個のスイッチと、並列にN個のデータビットをメモリセルアレイに書き込むために2N個のスイッチのうち少なくともN個とメモリセルアレイを連結させるN個のデータラインとを含む。これによりローカルデータライン及びグローバルデータラインの数が減る。

40

【0021】

本発明の実施形態において、書込みデータ経路は、外部ターミナルと連結される第1及び第2直列-並列変換部、N個の第1グローバルデータライン及びN個の第2グローバルデータラインを含む。本発明の実施形態において、第1直列-並列変換部は、第1内部データストロープ信号に应答し、第2直列-並列変換部は、第2内部データストロープ信号に应答する。他の実施形態において、第1及び第2直列-並列変換部は、同じ内部データストロープ信号に应答する。2N個の書込みデータバッファは、N個の第1書込みデータバッファとN個の第2書込みデータバッファで構成され、2N個のスイッチは、N個の第1スイッチとN個の第2スイッチとで構成される。これら実施形態において、N個の第1

50

書込みデータバッファは、第1直列 - 並列変換部に連結され、N個の第1グローバルデータラインのそれぞれは、N個の第1スイッチのそれぞれとN個の第1書込みデータバッファのそれぞれとの間に連結される。これら実施形態において、N個の第2書込みデータバッファは、第2直列 - 並列変換部に連結され、N個の第2グローバルデータラインのそれぞれは、N個の第2スイッチのそれぞれとN個の第2書込みデータバッファのそれぞれとの間に連結される。これらの実施形態において、N個のデータラインは、N個のローカルデータラインであり、N個のローカルデータラインのそれぞれは、N個の第1スイッチ及びN個の第2スイッチとメモリセルアレイとの間にそれぞれ連結される。

【0022】

これら実施形態において、書込みデータ経路は、第1及び第2直列 - 並列変換部のうち何れか1つとN個の第1書込みデータバッファ及びN個の第2書込みデータバッファのうち何れか1つとの間にそれぞれ連結される第1及び第2データオーダリング回路をさらに含む。さらに、これら実施形態において、N個の第1スイッチは第1制御信号に 응답し、N個の第2スイッチは第1制御信号から遅延された第2制御信号に 응답する。第1及び第2制御信号は、書込み活性化信号から異なる遅延時間をもって遅延されて生成されうる。

【0023】

これら実施形態は、チップ選択命令及びファンクション命令に 응답して書込み活性化信号を発生させる命令デコーダと、書込み活性化信号に 응답して第1及び第2制御信号を発生させる制御信号発生部をさらに含む。命令デコーダは、チップ選択命令及び前記ファンクション命令に 응답してアクティブ命令及び読出命令をさらに発生させ、命令デコーダは、チップ選択命令及びファンクション命令に 응답して読出命令、リフレッシュ命令及びモードレジスタ命令をさらに発生させうる。

【0024】

これら実施形態は、N個の第3スイッチとN個の第4スイッチをさらに含む。N個の第3スイッチのそれぞれは、第1直列 - 並列変換部とN個の第1書込みデータバッファのそれぞれとの間に連結され、N個の第4スイッチは、第2直列 - 並列変換部とN個の第2書込みデータバッファのそれぞれとの間に連結される。実施形態において、N個の第3スイッチは第3制御信号に 응답し、N個の第4スイッチは第3制御信号から遅延された第4制御信号に 응답する。第3及び第4制御信号は、データストローブ信号のオフセット立下りエッジに 응답して発生する。最後に、データストローブカウンタは、データストローブ信号に 응답してデータストローブ信号の立下りエッジをカウントしてデータストローブ信号のオフセット立下りエッジから第3及び第4制御信号を発生しうる。

【0025】

本発明の他の実施形態において、書込みデータ経路は、外部ターミナルと連結される直列 - 並列変換部とN個のグローバルデータラインとを含む。これらの実施形態において、2N個の書込みデータバッファは、N個の第1書込みデータバッファとN個の第2データバッファとで構成され、2N個のスイッチは、N個の第1スイッチとN個の第2スイッチとで構成される。N個の第1書込みデータバッファは、第1直列 - 並列変換部に連結され、N個の第1書込みデータバッファのそれぞれは、N個の第1スイッチに連結される。N個の第2書込みデータバッファのそれぞれは、N個の第1スイッチそれぞれと連結され、N個のグローバルデータラインのそれぞれは、N個の第2スイッチのそれぞれとN個の第2書込みデータバッファのそれぞれとの間に連結される。最後に、N個のローカルデータラインのそれぞれは、N個の第2スイッチとメモリセルアレイとの間にそれぞれ連結される。

【0026】

これらの他の実施形態において、書込みデータ経路は、直列 - 並列変換部とN個の第1書込みデータバッファとの間に連結されるデータオーダリング回路をさらに含む。また、これらの実施形態は、直列 - 並列変換部とN個の第1書込みデータバッファのそれぞれとの間に連結されるN個の第3スイッチをさらに含む。さらに、N個の第3スイッチは、第1制御信号に 응답し、N個の第1スイッチは、前記第1制御信号から遅延された第2制御

10

20

30

40

50

信号に応答する。第 1 及び第 2 制御信号は、データストローブ信号のオフセット立下りエッジに
10 応答して発生されうる。

【 0 0 2 7 】

本発明のさらに他の実施形態は、2 グループの N 並列ビットである $2N$ 個のデータビットをメモリセルアレイに保存するのに十分な時間にメモリセルアレイのワードラインをイネーブルさせるプリチャージ制御回路を含む。これら実施形態において、プリチャージ制御回路は、集積回路装置の第 1 プリチャージモードの間、2 グループの N 並列ビットである $2N$ 個のデータビットをメモリセルアレイに保存するのに十分な時間の間、メモリセルアレイのワードラインをイネーブルさせる。プリチャージ制御回路は、集積回路装置の第 2 プリチャージモードの間、1 グループの N 並列ビットである N 個のデータビットをメモリセルアレイに書き込むのに十分な時間の間、メモリセルアレイのワードラインを活性化させる。モードレジスタは、第 1 または第 2 プリチャージモードを選択するように設定され、プリチャージ制御回路はモードレジスタに応答する。

【 0 0 2 8 】

これらの実施形態において、プリチャージ制御回路は、第 1 及び第 2 遅延部で構成される。第 1 遅延部は、第 1 プリチャージモードに応答し、2 グループの N 並列ビットである $2N$ 個のデータビットをメモリセルアレイに保存するのに十分な時間の間、メモリセルアレイのワードラインを活性化させる。第 2 遅延部は、第 2 プリチャージモードに応答し、第 1 グループの N 並列ビットの N 個のデータビットをメモリセルアレイに書き込むのに十分な時間の間、メモリセルアレイのワードラインを活性化させる。

【 0 0 2 9 】

本発明の他の実施形態によれば、書込みデータバッファの少なくとも 1 つは、書込みアドレスをラッチするアドレスラッチと、アドレスラッチにラッチされた書込みアドレスと現在のアドレスとを比較するアドレス比較部と、書込みアドレスに対応する書込みデータをラッチするデータラッチを含む。これらの実施形態において、現在のアドレスが読出しアドレスであり、アドレス比較部が、読出しアドレスとアドレスラッチにラッチされた書込みアドレスとが一致していると判断する場合、メモリセルアレイではなくデータラッチから外部ターミナルに読出しデータを出力する。他の実施形態において、集積回路メモリ装置は、現在のアドレスが読出しアドレスであり、アドレス比較部が、読出しアドレスとアドレスラッチにラッチされた書込みアドレスとが一致していないと判断する場合、メモリセルアレイから外部ターミナルに読出しデータを出力する。

【 0 0 3 0 】

したがって、本発明の多様な実施例による集積回路メモリ装置は多数のデータビットを並列に書き込むメモリセルアレイを含む。書込みデータ経路は外部ターミナルから多数のデータビットを 2 回直列に受信し、データビットの最初の半分を並列にメモリセルアレイに書き込み、データビットの最後の 2 番目の半分を並列にメモリセルアレイに書き込む。

【 0 0 3 1 】

本発明の実施形態による多数のデータビットを並列に保存するメモリセルアレイを持つ集積回路装置は、外部ターミナルから複数のデータビットを直列に 2 回にわたって受信しながら動作する。受信されたデータビットは、複数の書込みデータバッファに保存される。複数のデータビットの最初の半分（第 1 の半分）が書込みデータバッファからメモリセルアレイに並列に書き込まれる。その後、複数のデータビットの残りの半分（第 2 の半分）が書込みデータバッファからメモリセルアレイに並列に書き込まれる。

【 0 0 3 2 】

これら実施形態では、2 回にわたるデータビットの受信において、複数のデータビットの最初の半分（第 1 の半分）を直列に受信してから前記複数のデータビットの残りの半分（第 2 の半分）を直列に受信する。複数のデータビットの最初の半分（第 1 の半分）が書込みデータバッファの第 1 セットに保存されてから、前記複数のデータビットの残りの半分（第 2 の半分）が書込みデータバッファの第 2 セットに保存される。最後に、第 1 及び第 2 セットの書込みデータバッファのそれぞれから前記複数のデータビットの最初の半分

10

20

30

40

50

(第1の半分)及び残りの半分(第2の半分)が共通にローカルデータラインを通じてメモリセルアレイに書き込まれる。

【0033】

本発明の他の実施形態によれば、複数のデータビットの最初の半分(第1の半分)が直列に受信されてから前記複数のデータビットの残りの半分(第2の半分)が直列に受信される。複数のデータビットの最初の半分(第1の半分)が第1書込みデータバッファに保存され、第1書込みデータバッファの前記複数のデータビットの最初の半分(第1の半分)が第2書込みデータバッファにシフトされ、第1書込みデータバッファに複数のデータビットの残りの半分(第2の半分)が保存される。第2書込みデータバッファから複数のビットデータの最初の半分(第1の半分)がメモリセルアレイに書き込まれる。第1書込みデータバッファの複数のデータビットの残りの半分(第2の半分)が第2書込みデータバッファにシフトされ、第2書込みデータバッファから複数のデータビットの残りの半分(第2の半分)がメモリセルアレイに書き込まれる。

10

【0034】

また、本発明の実施形態によれば、グローバルデータラインとローカルデータラインとの数を増加させずに、例えば4ビットプリフェッチ構造で8ビットプリフェッチスキームを具現することによって、チップサイズを増加させずに超高速動作が可能な集積回路メモリ装置を提供することができる。

【0035】

また、本発明の実施形態によれば、例えば、4ビットプリフェッチ構造を有するメモリ装置でバースト長によってビットラインの自動プリチャージ時点を調節して、例えば、バースト長が8に対応するデータをメモリセルに書き込めるようにワードラインイネーブル時間が延びた集積回路メモリ装置を提供することができる。

20

【発明の効果】

【0036】

本発明によれば、 n ビットプリフェッチ構造を利用して $2n$ ビットプリフェッチスキームを具現することができる。

【0037】

或いは、本発明によれば、バースト長の変化により自動プリチャージ時点を調節することができる。

30

【0038】

或いは、本発明によれば、 n ビットプリフェッチ構造のメモリ装置を利用して $2n$ ビットプリフェッチスキームを具現することができる。

【0039】

或いは、本発明によれば、バースト長の変化による自動プリチャージ制御方法を提供することができる。

【発明を実施するための最良の形態】

【0040】

本発明とその動作上の利点及び本発明の実施によって達成される目的を十分に理解するためには本発明の望ましい実施形態を例示する添付図面及び添付図面に記載された内容を参照すべきである。

40

【0041】

以下、図面を参照して本発明の望ましい実施形態を説明することによって、本発明を詳細に説明する。各図面に提示された同じ参照符号は、同様の構成要素を示す。

【0042】

図6は、本発明の1つの実施形態の集積回路メモリ装置のブロックダイアグラムである。図6に示されたように、集積回路メモリ装置400は、 N 個のデータビットが並列に書き込まれるメモリセルアレイ410を含む。書込みデータ経路420は、外部ターミナル426から直列ライン428に直列に $2N$ 個のデータビットを受信する。図6に示されたように、書込みデータ経路420は、直列ライン428上に受信される $2N$ 個のデータビ

50

ットを保存するための $2N$ 個の書込みデータバッファ422と $2N$ 個のスイッチ424とで構成される。 N 個のデータライン412はまた、メモリセルアレイ410に並列に N データビットを書き込むために、 $2N$ 個のスイッチ424のうち少なくとも N 個をメモリセルアレイ410にする連結。

【0043】

図6は、複数データビットを並列に保存するためのメモリセルアレイ410を含む集積回路メモリ装置400として具体化された本発明の1つの実施形態を示している。書込みデータ経路420は、外部ターミナル426から $2N$ 個のデータビットを並列に受信し、 $2N$ 個のデータビットをそれぞれ N 個に2分したうち的一方である第1グループ(最初の半分、或いは、第1の半分)を並列にメモリセルアレイ410に保存してから、 $2N$ 個のデータビットをそれぞれ N 個に2分したうちの残りである第2グループ(残りの半分、或いは、第2の半分)を並列にメモリセルアレイ410に保存する。図6は、本発明の1つの実施形態の集積回路メモリ装置400の動作方法を示している。この動作方法は、外部ターミナル426から $2N$ 個のデータビットを直列に受信し、これらを $2N$ 個の書込みデータバッファ422に保存し、書込みデータバッファ422から $2N$ 個のデータビットをそれぞれ N 個に2分したうちの第1グループを並列にメモリセルアレイ410に保存してから、書込みデータバッファ422から2個のデータビットをそれぞれ N 個に2分したうちの残りの第2グループを並列にメモリセルアレイ410に保存する。

【0044】

図7及び図8は、本発明の実施形態の書込みデータ経路のブロックダイアグラムである。図7に示す実施形態は、本発明の第1実施形態であり、図9乃至図12と関連して具体的に説明される。図8に示す実施形態は、本発明の第2実施形態であり、図15と21と関連して具体的に説明される。

【0045】

図7を参照すれば、書込みデータ経路420'は、直列ライン428を通じて外部ターミナル426と連結される第1及び第2直列-並列変換部430a、430bで構成される。書込みデータ経路420'には、 N 個の第1グロ-バルデータライン434aと N 個の第2グロ-バルデータライン434bとがさらに設けられている。図6の $2N$ 個の書込みデータバッファ422は、 N 個の第1書込みデータバッファ432aと N 個の第2書込みデータバッファ432bとで構成される。また、図6の $2N$ 個のスイッチ424は、 N 個の第1スイッチ436aと N 個の第2スイッチ436bとで構成される。図7に示されたように、 N 個の第1書込みデータバッファ432aは、第1直列-並列変換部430aと連結され、 N 個の第1グロ-バルデータラインのそれぞれは、 N 個の第1スイッチ436aそれぞれと N 個の第1書込みデータバッファ432aのそれぞれの間に連結される。これと同様に、図7に示されたように、 N 個の書込みデータバッファ432bは、第2直列-並列変換部430bと連結され、 N 個の第2グロ-バルデータラインのそれぞれは、 N 個の第2スイッチ436bのそれぞれと N 個の第2書込みデータバッファ432bのそれぞれの間に連結される。最後に、図7においては、図6の N 個のデータラインは、 N 個のローカルデータライン438である。 N 個のローカルデータライン438のそれぞれは、 N 個の第1スイッチ436a及び N 個の第2スイッチ436bのそれぞれとメモリセルのアレイ410との間に連結される。

【0046】

外部ターミナル426を通じて直列に受信される $2N$ 個のデータビットをそれぞれ N 個に2分したうちの第1グループが第1直列-並列変換部430aに保存され、外部ターミナル426を通じて直列に受信される $2N$ 個のデータビットをそれぞれ N 個に2分したうちの残りの第2グループが第2直列-並列変換部430bに受信される。 $2N$ 個のデータビットのうちの N 個の第1グループは、第1書込みデータバッファ432aに保存され、 $2N$ 個のデータビットのうちの残りの N 個の第2グループは、第2書込みデータバッファ432bに保存される。 $2N$ 個のデータビットのうちの N 個の第1グループは、第1書込みデータバッファ432aからメモリセルアレイ410に、そして、 $2N$ 個のデータビッ

トのうちの残りのN個の第2グループは、第2書込みデータバッファ432bからメモリセルアレイ410に、ローカルデータライン438を通じて書き込まれる。

【0047】

図8は、本発明の第2実施形態の書込みデータ経路のブロックダイアグラムである。図8に示されたように、書込みデータ経路420'は、外部ターミナル426と連結される直列-並列変換部440を含む。書込みデータ経路420'には、N個の第1書込みデータバッファ442aとN個の第2書込みデータバッファ442b、及び、N個の第1スイッチ446aとN個の第2スイッチ446bも提供される。N個の第1書込みデータバッファ442aは、直列-並列変換部440と連結され、N個の書込みデータバッファ442aのそれぞれはN個の第1スイッチ446aのそれぞれと連結される。また、N個の第2書込みデータバッファ442bは、N個の第2スイッチ446bのそれぞれと連結される。N個のグローバルデータライン444のそれぞれは、N個の第2スイッチ446bのそれぞれとN個の第2書込みデータバッファ442bのそれぞれとの間に連結される。最後に、N個のローカルデータライン448のそれぞれは、N個の第2スイッチ446bのそれぞれとメモリセルアレイ410との間に連結される。

【0048】

図8は、本発明の第2実施形態の動作方法を示している。この動作方法は、2N個のデータビットをそれぞれN個に2分したうちのN個の第1グループが外部ターミナル426から直列に受信されてから、2N個のデータビットをそれぞれN個に2分したうちの残りのN個の第2グループが外部ターミナル426から直列に受信される動作を示している。2N個のデータビットのうちのN個の第1グループは、第1書込みデータバッファ442aに保存された後、2N個のデータビットのうちの残りのN個の第2グループが第1書込みデータバッファ442aに保存される際に、N個の第1スイッチ446aを通じて第1書込みデータバッファ442aから第2書込みデータバッファ442bにシフトされる。2N個のデータビットのうちのN個の第1グループは、N個の第2スイッチ446bを通じて第2書込みデータバッファ442bからメモリセルアレイ410に書き込まれる。2N個のデータビットのうちの残りのN個の第2グループは、N個の第1スイッチ446aを通じて第1書込みデータバッファ442aから第2書込みデータバッファ442bにシフトされた後、第2スイッチ446bを通じてメモリセルアレイ410に書き込まれる。すなわち、図8は、2N個のデータビットが書込みデータ経路420'に保存され、N個のデータビットが並列にメモリセルアレイ410に書き込まれる書込みデータのパイプライン方式を示している。

【0049】

図9A及び図9Bは、図7に示す第1実施形態の集積回路メモリ装置の具体的なブロックダイアグラムである。図9A及び図9Bに示された実施形態では、バースト長が4(BL=4)のスキームで8ビットプリフェッチ動作を行う。しかし、他の実施形態において、それより小さいかまたは大きいプリフェッチスキームとして使われうることは当業者に自明である。図9A及び図9Bに示されたように、8ビットプリフェッチ動作にもかかわらず、8個のグローバルデータラインGDL__0~GDL__7が使われる一方で4個のローカルデータラインLDL__0~LDL__3のみが使われる。したがって、メモリ装置のレイアウト面積は、8ビットプリフェッチ動作を行っても、図5のメモリ装置に比べて減る。

【0050】

図9Aを参照すれば、モードレジスタMRSによりバースト長=8(BL=8)が選択され、BL=8に相当する8ビットの入力データが直列にバッファ502に受信される。バッファ502から出力される第1入力データビットは、第1内部データストローブ信号PDSの立上がりエッジにตอบสนองして第1入力データラッチ回路512の第1ラッチ511に保存される。第2入力データビットは、第1内部データストローブ信号PDSの立下りエッジにตอบสนองして第1入力データラッチ回路512の第2ラッチ513に保存される。2つの入力データビットが第1入力データラッチ回路512に保存された後に、第1ラッチ

5 1 1 の第 1 入力データビットと第 2 ラッチ 5 1 3 の第 2 入力データビットとが P D S 信号の最初の立下りエッジに発生する第 2 内部データストローブ信号 P D S P に応答して同時に並列変換部 5 1 4 の第 3 ラッチ 5 1 5 と第 4 ラッチ 5 1 7 とにそれぞれ伝えられる。

【 0 0 5 1 】

次いで、図 9 A において、第 3 入力データビットは、第 1 内部データストローブ信号 P D S の第 2 の立上がりエッジに発生して第 1 入力データラッチ回路 5 1 2 の第 1 ラッチ 5 1 1 に保存され、第 4 入力データビットは、第 1 内部データストローブ信号 P D S の第 2 の立下りエッジに発生して第 1 入力データラッチ回路 5 1 2 の第 2 ラッチ 5 1 3 に保存される。同時に、第 3 及び第 4 入力データビットは、P D S 信号の第 2 の立上がりエッジ及び立下りエッジに発生して並列変換部 5 1 4 の P 1 及び P 4 ノードにそれぞれ伝えられる。これにより、直列入力データの 4 ビットが並列変換部 5 1 4 内の P 1 ないし P 4 として示されたように、4 ビットの並列入力データに変換される。並列データ出力 5 1 6 は、4 ビット入力データをデータオーダリング回路 5 2 0 に出力する。データオーダリング回路 5 2 0 は、4 ビット並列入力データの出力順序を決定する。しかし、本発明の他の実施形態では、データオーダリング回路 5 2 0 を使用しない場合もある。4 ビット並列データ P 1 ~ P 4 は、複数の書込みスイッチ (W S W) 5 2 2 ~ 5 2 8 に提供される第 1 書込み制御信号 W D B I C S に応答してそれぞれの書込みデータバッファ 5 3 2 、 5 3 4 、 5 3 6 、 5 3 8 に保存される。第 1 書込み制御信号 W D B I C S は、図 1 0 を参照して説明されるデータストローブカウンタから発生する。

【 0 0 5 2 】

更に、バッファ 5 0 2 から出力される第 5 入力データビットは、第 4 内部データストローブ信号 P D S ' の立上がりエッジに発生して第 2 入力データラッチ回路 6 1 2 の第 5 ラッチ 6 1 1 に保存される。第 6 入力データビットは、第 4 内部データストローブ信号 P D S ' の立下りエッジに発生して第 2 入力データラッチ回路 6 1 2 の第 6 ラッチ 6 1 3 に保存される。第 5 及び第 6 入力データビットが第 2 入力データラッチ回路 6 1 0 に保存された後、第 5 及び第 6 ラッチ 6 1 1 、 6 1 3 内の第 5 及び第 6 入力データビットは、P D S ' 信号の最初の立下りエッジから発生する第 5 内部データストローブ信号 P D S P ' に応答して並列変換部 6 1 4 の第 7 及び第 8 ラッチ 6 1 5 、 6 1 7 にそれぞれ同時に伝えられる。

【 0 0 5 3 】

その後、第 7 入力データビットは、第 4 内部データストローブ信号 P D S ' の第 2 の立上がりエッジに発生して第 5 ラッチ 6 1 1 に保存され、第 8 入力データビットは、第 4 内部データストローブ信号 P D S ' の第 2 の立下りエッジに発生して第 6 ラッチ 6 1 3 に保存される。これと同時に、第 7 及び第 8 入力データビットは、P D S ' 信号の第 2 の立上がりエッジ及び立下りエッジにそれぞれ発生して並列変換部 6 1 4 のノード P 1 ' と P 4 ' とにそれぞれ伝えられる。これにより直列に受信される第 5 ないし第 8 入力データビットは、第 5 ないし第 8 並列データビット P 1 ' ~ P 4 ' に変換される。並列データ出力 6 1 6 は、4 ビット並列入力データを、4 ビット並列入力データの順序を決定するデータオーダリング回路 6 2 0 に出力する。前述したように、他の実施形態では、データオーダリング回路 6 2 0 を使用しない場合もある。

【 0 0 5 4 】

次いで、4 ビット並列データは、第 2 書込み制御信号 W D B I C S ' に応答して複数の書込みデータバッファ 6 3 2 ~ 6 3 8 に保存される。第 2 書込み制御信号 W D B I C S ' は、図 1 0 で説明されるデータストローブカウンタにより生成される。したがって、直列に受信されたデータの 8 ビットは、8 ビットの並列データに変換され、8 個の書込みデータバッファ 5 3 2 ~ 5 3 8 、 6 3 2 ~ 6 3 8 に保存される。

【 0 0 5 5 】

したがって、図 9 A に記載された本発明の実施形態では、第 1 直列 - 並列変換部 5 1 0 は、第 1 内部データストローブ信号、例えば P D S 、 P D S P 及び P D S E N に応答し、第 2 直列 - 並列変換部 6 1 0 は、第 2 内部データストローブ信号、例えば P D S ' 、 P D

10

20

30

40

50

S P ' 及び P D S E N ' に応答する。一方、図 9 B を参照すれば、第 1 直列 - 並列変換部 5 1 0 ' と第 2 直列 - 並列変換部 6 1 0 ' は、両方とも同時に内部データストロープ信号、例えば P D S 、 P D S P 及び P D S E N に応答する。

【 0 0 5 6 】

次いで、図 9 A 及び 9 B に示す集積回路メモリ装置の動作を説明する。この集積回路メモリ装置では、8 ビットの直列入力データが 8 個の書込みデータバッファに保存された後、第 1 書込みデータバッファ 5 3 2 ~ 5 3 8 に保存された並列入力データである第 1 グループの 4 ビットは、複数の制御スイッチ (C S W) 5 4 2 ~ 5 4 8 に提供される第 1 スイッチング信号 C I C S に応答してそれぞれのローカルデータライン L D L _ 0 ~ L D L _ 3 に伝えられ、カラム選択ライン部 5 5 0 に提供されるカラム選択信号 C S L に応答して選択されるビットライン B L を通してメモリセルアレイ 5 6 0 の選択されたメモリセルに書き込まれる。次いで、第 2 書込みデータバッファ 6 3 2 ~ 6 3 8 に保存された第 2 グループの 4 ビット並列入力データは、第 2 制御スイッチ (C S W) 6 4 2 ~ 6 4 8 に提供される第 2 スイッチング信号 C I C S ' に応答してそれぞれのローカルデータライン L D L _ 0 ~ L D L _ 3 に伝えられる。

【 0 0 5 7 】

ここで、C S W 5 4 2 ~ 5 4 8 を第 1 制御スイッチと呼び、C S W 6 4 2 ~ 6 4 8 を第 2 制御スイッチと呼ぶ。また、W S W 5 2 2 ~ 5 2 8 を第 3 スイッチと呼び、W S W 6 2 2 ~ 6 2 8 を第 4 スイッチと呼ぶ。

【 0 0 5 8 】

したがって、図 9 A 及び図 9 B に示されたように、本発明の実施形態では、8 個のグローバルデータライン G D L _ 0 ~ G D L _ 7 と共に 4 個のローカルデータライン L D L _ 0 ~ L D L _ 3 のみが使われる。したがって、集積回路レイアウト面積は、従来の 8 個のグローバルデータラインと 8 個のローカルデータラインとで 8 ビットプリフェッチを行う書込みデータ経路に比べて減る。

【 0 0 5 9 】

図 1 0 は、本発明の 1 つの実施形態における第 1 書込み制御信号 W D B I C S 及び第 2 書込み制御信号 W D B I C S ' の発生回路を説明するブロックダイアグラムである。図 1 0 に示されたように、書込み制御信号は、第 1 データストロープ信号 P D S に応答するバッファ 7 1 0 と、バッファ 7 1 0 の出力に応答して第 1 データストロープ信号 P D S の立上がり及び立下りエッジ数をカウントするデータストロープカウンタ 7 2 0 とにより発生する。第 1 書込み制御信号 W D B I C S は、データストロープ信号 P D S の第 2 の立下りエッジに応答して発生し、第 2 書込み制御信号 W D B I C S ' は、データストロープ信号 P D S の第 4 の立下りエッジに応答して発生する。この実施形態により P D S E N 及び P D S E N ' 信号も生成されうる。

【 0 0 6 0 】

図 1 1 は、図 9 で説明された実施形態のためのスイッチング信号の発生回路の実施形態を説明するブロックダイアグラムである。図 1 1 に示されたように、スイッチング信号は、チップ選択信号 / C S とファンクション信号 F N に応答してアクティブ命令信号 A C T 、読出命令信号 R D A 及び書込み命令信号 W R A を発生させるコマンダーデコーダ 1 0 4 を使用して発生する。制御信号発生回路 1 1 1 0 は、書込み命令信号 W R A に応答して所定の時間間隔で第 1 及び第 2 スイッチング信号 C I C S 、C I C S ' を発生する。

【 0 0 6 1 】

次いで、本発明の他の実施形態では、図 1 1 の命令デコーダ 1 1 0 4 は、1 1 0 4 ' として示され、命令デコーダ 1 1 0 4 に提供されるチップ選択信号 / C S とファンクション信号と F N に応答してモドリセット命令とリフレッシュ命令 R E F をも発生する。

【 0 0 6 2 】

図 1 2 A 及び 1 2 B は、図 7 及び 9 A 乃至図 1 1 に記載された本発明の実施形態によって 8 ビットプリフェッチ動作を行うタイミングダイアグラムである。さらに具体的には、図 1 2 A は、図 9 A のタイミングダイアグラムであり、図 1 2 B は図 9 B のタイミングダ

イアグラムである。これらのタイミングダイアグラムは、前述した書込みデータバッファ 5 3 2 ~ 5 3 8、6 3 2 ~ 6 3 8 の動作だけでなく、多様な制御信号を説明する。これに対する比較のために、図 1 3 及び 1 4 は、図 3 を参照して前述した F C R A M の 4 ビットプリフェッチ動作と D D R S D R A M の 4 ビットプリフェッチ動作を説明するタイミングダイアグラムである。

【 0 0 6 3 】

図 1 3 において、“ 0 0 0 0 ” 番地に書き込むための 4 ビット入力データは、以前の書込み命令 W R 0 に応答して書き込まれるのではなく、次の書込み命令 W R 1 を受信した後に書き込まれる。したがって、入力データは、以前のサイクル C Y C # 1 で書込みデータバッファに保存された後にサイクル C Y C # 2 において次の書込み命令 W R 1 に応答してメモリセルに書き込まれる。

10

【 0 0 6 4 】

図 1 4 において、D D R S D R A M では、“ 0 0 0 0 ” 番地に書き込むための 4 ビット入力データは、図 1 3 に示されたように、次の書込み命令 W R 1 に応答するのではなく、書込み命令 W R 0 に応答して該当メモリセルに書き込まれる。この D D R S D R A M は、入力データを書込みデータバッファに保存せずに直ちにメモリセルに書き込むため、書込みデータバッファを含まない。

【 0 0 6 5 】

図 1 5 は、図 8 に記載された本発明の第 2 実施形態のさらに具体的なブロックダイアグラムである。図 8 に示されたように、単に N 個のグローバルデータラインと N 個のローカルデータラインとを 2 N 個の書込みデータ経路に使用するために、書込みデータ経路にパイプライン構成が使われる。これにより、グローバルデータラインとローカルデータラインの数は従来の書込みデータ経路と比較して減る。

20

【 0 0 6 6 】

さらに具体的には、図 1 5 を参照すれば、書込みデータ経路 7 0 0 は、例えば既に図 9 で説明されたような直列 - 並列変換部 5 1 0、オプションであるデータオーダリング回路 5 2 0、第 1 スイッチ 7 2 2 ~ 7 2 8、第 1 書込みデータバッファ 7 3 2 ~ 7 3 8、第 2 スイッチ 7 4 2 ~ 7 4 8、第 2 書込みデータバッファ 7 5 2 ~ 7 5 8 及び第 3 スイッチ 7 6 2 ~ 7 6 8 を含むパイプラインステージで構成される。図 1 5 に示されたように、このような実施形態は、例えば図 9 の実施形態よりデータラインが少数である。なぜなら、グローバルデータライン G D L __ 0 ~ G D L __ 3 の数は、4 ビットプリフェッチスキームと同じであり、ローカルデータライン L D L __ 0 ~ L D L __ 3 の数は、4 ビットプリフェッチスキームと同じであるためである。それゆえに、メモリ装置のレイアウト面積は減る。

30

【 0 0 6 7 】

次いで、図 1 5 において、B L = 8 に対応する 8 ビット入力データは、バッファ 5 0 2 を通じて直列に受信される。直列入力データの第 1 の 4 ビットは、並列出力データ回路 5 1 0 において 4 ビット並列入力データに変換され、並列入力データの第 1 の 4 ビットはオプションであるデータオーダリング回路 5 2 0 に提供される。データオーダリング回路 5 2 0 は、4 ビット並列入力データの出力順序を決定する。その後、並列入力データの最初の 4 ビットは、書込みスイッチ (W S W) 7 2 2 ~ 7 2 8 に提供される第 1 書込み制御信号 W D B I C S に応答して第 1 書込みデータバッファ 7 3 2 ~ 7 3 8 に保存される。これと同時に、直列入力データの第 2 の 4 ビットは、並列データ出力回路 5 1 0 から 4 ビットの並列入力データに変換され、もし存在するならば、データオーダリング回路 5 2 0 に提供される。

40

【 0 0 6 8 】

次いで、第 1 書込みデータバッファ 7 3 2 ~ 7 3 8 に保存された並列入力データの第 1 の 4 ビットは、書込みスイッチ W S W、7 4 2 ~ 7 4 8 に提供される第 2 書込み制御信号 W D B I C S ' に応答して第 2 書込みデータバッファ 7 5 2 ~ 7 5 8 に保存される。これと同時に、データオーダリング回路 5 2 0 から並列ビットデータの第 2 の 4 ビットはまた、第 1 書込み制御信号 W D B I C S の第 2 の活性化に応答して第 1 書込みデータバッファ

50

732～738に保存される。これにより、並列入力データの第1の4ビットと第2の4ビットとは、順次にメモリセルアレイ560に伝えられ、多数のWDBICS、WDBICS'、CICS、CSL信号に応答して選択されたメモリセルに書き込まれる。図15に示されたように、これらのWDBICS、WDBICS'、CICS、CSL信号は、パイプライン動作のために第1の4ビットのために、そして、第2の4ビットのために2回イネーブルされる。

【0069】

次いで、本発明の実施形態のプリチャージ制御回路について説明する。このプリチャージ制御回路は、各N個の並列ビットを2グループとして、メモリセルアレイに2N個のデータビットを書き込むために十分な時間にわたってメモリセルアレイのワードラインを活性化させるために図6乃至図12及び図15の実施形態と関連して使われる。本発明の実施形態のプリチャージ制御回路を説明するために、図16を参照して従来のプリチャージ制御回路を説明する。

10

【0070】

図16は、図13と共に使われる従来のプリチャージ制御回路に対するタイミングダイアグラムである。図16に示されたように、4ビットプリフェッチスキームを使用してあらゆる入力データD0、D1、D2、D3を該当メモリセルに書き込むためにワードラインを活性化させるために、ワードラインはT0時間にわたってイネーブルされる。

【0071】

図17は、図5を参照して説明した8ビットプリフェッチスキームにおいてワードラインをイネーブルさせる従来の技術を示している。図17において、図5に示す8ビットプリフェッチスキームでは、8ビットが並列に書き込まれるために、図16に示す4ビットプリフェッチスキームで使われたT0時間は、メモリセルに8ビットの入力データを書き込むのに十分な時間である。なぜなら、図5において、8ビット入力データは、並列入力データに変換された後、同時に該当メモリセルに書き込まれるためである。

20

【0072】

図18は、図16及び図17に示すプリチャージスキームが本発明の実施形態に適用されない理由を説明する。特に、図18に示されたように、同じプリフェッチ時間T0が本発明の実施形態に使われれば、2N個のデータビットをそれぞれN個に2分したうちのN個の第2グループは、メモリセルアレイに書き込むことができない。言い換えれば、入力データD4～D7が失われる。本発明の実施形態によって、プリチャージ制御回路は、N個の並列データの2グループ分である2N個のデータビットをメモリセルアレイに書き込むのに十分な時間の間、メモリセルのワードラインを活性化させる。

30

【0073】

さらに具体的には、図18に示されたように、4ビットプリフェッチスキームに使われたT0時間は、本発明の実施形態による8ビット入力データをメモリセルアレイに書き込むのに十分ではない。なぜなら、前述されたように、本発明の実施形態によれば、8ビット入力データは、同時にメモリセルに書き込まれないためである。言い換えれば、8ビットの直列入力データは、第1及び第2グループに分けられるためである。4ビット直列入力データの第1グループが4ビット並列データに変換される。その後、4ビット直列入力データの第2グループが4ビット並列入力データに変換される。それにより、第1の4ビット入力データがメモリセルに並列に書き込まれた後、第2の4ビット入力データがメモリセルに並列に書き込まれる。したがって、本発明の実施形態において、ワードラインイネーブル時間は、バースト長(BL)=4、BL=8によって調整されねばならない。

40

【0074】

図19は、集積回路メモリ装置の第1プリチャージモードの間において、N並列ビットの2グループ分である2N個のデータビットをメモリセルアレイに書き込むのに十分な時間のためにメモリセルアレイのワードラインをイネーブルさせるプリチャージ制御回路の回路ダイアグラムである。プリチャージ制御回路1900は、集積回路メモリ装置の第2プリチャージモードの間において、N並列ビットの1つの形式であるNデータビットのグ

50

ループをメモリセルアレイに書き込むのに十分な時間にわたってメモリセルアレイのワードラインを活性化させる。

【0075】

さらに具体的には、図19に示されたように、プリチャージ制御回路1900は、バースト長信号BL-1、BL-2と命令デコーダ1904が発生するプリチャージ命令信号AP_CMDを受信した後に、プリチャージ制御信号APを出力する。命令デコーダ1904は、外部命令信号/CS、FNと外部クロック信号CLK、/CLKに応答することができる。例えば、メモリ装置が4ビットプリフェッチ(BL=4が選択された時)で動作する時は、BL-1がイネーブルされる。また、本発明の実施形態において、メモリ装置が8ビットプリフェッチ(BL=8が選択された時)で動作する時は、BL-2がイネーブルされる。

10

【0076】

図19に示されたように、BL=4のための遅延時間DT1は、BL=8のための遅延時間DT2より短い。したがって、第1遅延回路1910は相対的に短い第1遅延時間DT1を提供し、第2遅延回路1920は相対的に長い第2遅延時間DT2を提供する。1つの実施形態において、DT1は3.5クロックサイクルであり、一方、DT2は5.5クロックサイクルである。結合回路1930は、第1遅延回路1910及び第2遅延回路1920からプリチャージ制御信号APを提供する。したがって、BL=4のためのプリチャージ制御信号APは、BL=8のためのプリチャージ制御信号APより速く活性化されてワードラインを非活性化させる。したがって、BL=8のためのワードラインイネーブル時間は、図18に示されたT0時間と比較して長くなる。

20

【0077】

図13に示されたように、BL=4のためのワードラインイネーブル時間は、ほぼ3.5クロックサイクルである。一方、図12に示されたように、BL=8のためのワードラインイネーブル時間は、ほぼ5.5クロックサイクルである。1つの実施形態において、モードレジスタは、第1及び第2プリチャージモードを選択するように設定されて、プリチャージ制御回路1910は、モードレジスタに응答する。

【0078】

次いで、本発明の実施形態の書込みデータバッファの追加的な事項について説明する。図20には、図6乃至9及び図15の書込みデータバッファの1つが例示的に示されている。書込みデータバッファ2010は、書込みアドレスをラッチするアドレスラッチ2012を含む。アドレス比較部2014は、アドレスラッチ2012にラッチされた書込みアドレスと現在の書込みアドレスとを比較する。データラッチ2016は、書込みアドレスに対応する書込みデータをラッチする。1つの実施形態において、現在のアドレスが読出しアドレスであり、アドレス比較部2014が読出しアドレスとアドレスラッチ2012にラッチされた書込みアドレスとが一致すると判断する場合、集積回路メモリ装置は、メモリセルアレイからではなく、データラッチ2016から外部ターミナルに読出しデータを出力する。他の実施形態において、現在のアドレスが読出しアドレスであり、アドレス比較部2014が読出しアドレスとアドレスラッチ2012にラッチされた書込みアドレスとが一致していないと判断する場合、集積回路メモリ装置は、メモリセルアレイから外部ターミナルに読出しデータを出力する。

30

40

【0079】

図20は、本発明の実施形態のデータ書込み構造及び過程だけでなく、データ読出構造及び過程も示している。書込みデータバッファ2010は、アドレスラッチ2012、アドレス比較部2014及びデータラッチ2016を含む。アドレスラッチ2012は、命令デコーダ104のような命令デコーダから提供される書込み命令信号WRにより制御され、アドレスバッファ106から受信される入力アドレスを保存する。これと同時に、入力アドレスに対応する入力データがデータラッチ2016に保存される。アドレス比較部2014は、アドレスラッチ2012に保存された入力アドレスと現在の入力アドレスとを比較してアドレス比較信号ADCMPをDQバッファ2020に出力する。現在の入力

50

アドレスが保存された入力アドレスと一致する場合、A D C M P 信号は、例えばハイレベルに活性化される。これにより、データラッチ 2 0 1 6 に保存された読出しデータが第 1 伝送ゲート 2 0 2 2 を通じて D Q パッドに出力される。しかし、現在の入力アドレスが保存された入力アドレスと異なる場合、A D C M P 信号は非活性化される。このような状況下で、メモリセルアレイに保存された読出しデータが第 2 伝送ゲート 2 0 2 4 を通じて D Q パッドに出力される。

【 0 0 8 0 】

図 2 1 は、図 1 5 及び図 1 8 乃至図 2 0 と連係して本発明の実施形態のデータ読出し / 書込み過程を説明するタイミングダイアグラムである。図 2 1 に示されたように、データビットのパイプライン書込みは、拡張されたワードラインイネーブル信号を含む 2 つのサイクル C Y C # 1、C Y C # 2 の間に起きる。その上、図 2 1 に示されたように、メモリ装置が命令デコーダ 1 0 4 から読出命令 R D を受信すれば、図 2 0 のアドレス比較部 2 0 1 4 は、現在の入力アドレス (0 0 0 1 ; R D 命令入力) とアドレスラッチに保存された入力アドレス (0 0 0 1 ; W R 1 命令入力) とを比較する。ここでは、両者が同じアドレスであるために、読出しデータは、メモリセルアレイではなく書込みデータバッファ 5 3 2 ~ 5 3 8 から直ちに出力される。

【 0 0 8 1 】

本発明は実施形態を通じて説明されたが、これは例示的なものに過ぎず、本技術分野の当業者であれば、これより多様な変形及び均等な他の実施形態が可能である点が理解できるであろう。したがって、本発明の真の技数的保護範囲は、特許請求の範囲の技数的思想により定められねばならない。

【産業上の利用可能性】

【 0 0 8 2 】

本発明による集積回路メモリ装置は、消費材及び商業上の応用に広く使われている。

【図面の簡単な説明】

【 0 0 8 3 】

【図 1】従来の D R A M のブロックダイアグラムである。

【図 2】図 1 のデータ入力 / 出力パスの具体的なブロックダイアグラムである。

【図 3】従来のファストサイクル D R A M における 4 ビットプリフェッチスキームを説明するブロックダイアグラムである。

【図 4】図 3 の装置の動作を説明するタイミングダイアグラムである。

【図 5】8 ビットプリフェッチスキームを含む従来のファストサイクル D R A M のブロックダイアグラムである。

【図 6】本発明の実施形態の集積回路メモリ装置のブロックダイアグラムである。

【図 7】本発明の実施形態の書込みデータ経路のブロックダイアグラムである。

【図 8】本発明の実施形態の書込みデータ経路のブロックダイアグラムである。

【図 9 A】図 7 に一般的に記載された集積回路メモリ装置の具体的なブロックダイアグラムである。

【図 9 B】図 7 に一般的に記載された集積回路メモリ装置の具体的なブロックダイアグラムである。

【図 1 0】本発明の実施形態による書込み制御信号の発生を説明するブロックダイアグラムである。

【図 1 1】図 9 で説明された本発明の実施形態によるスイッチング信号の発生を説明するブロックダイアグラムである。

【図 1 2 A】図 7 及び図 9 A 乃至図 1 1 に記載された本発明の実施形態による 8 ビットプリフェッチ動作を説明するタイミングダイアグラムである。

【図 1 2 B】図 7 及び図 9 A 乃至図 1 1 に記載された本発明の実施形態による 8 ビットプリフェッチ動作を説明するタイミングダイアグラムである。

【図 1 3】ファストサイクル D R A M とデュアルデータレート D R A M とにおける従来の 4 ビットプリフェッチ動作を説明するタイミングダイアグラムである。

【図 1 4】ファストサイクル D R A M とデュアルデータレート D R A M とにおける従来の 4 ビットプリフェッチ動作を説明するタイミングダイアグラムである。

【図 1 5】図 8 に一般的に記載された本発明の実施形態の具体的なブロックダイアグラムである。

【図 1 6】従来のプリチャージ制御回路のタイミングダイアグラムである。

【図 1 7】8 ビットプリフェッチスキームでワードラインをイネーブルする従来技術を説明する図である。

【図 1 8】本発明の実施形態のフリーチャージングタイミングダイアグラムを説明する。

【図 1 9】本発明の実施形態のプリチャージ制御回路の回路ダイアグラムである。

【図 2 0】本発明の実施形態の読出し / 書込みデータバッファのブロックダイアグラムである。 10

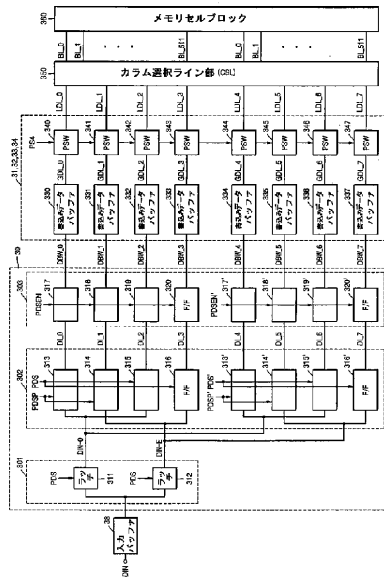
【図 2 1】本発明の実施形態のデータ読出し / 書込みプロセスを説明するタイミングダイアグラムである。

【符号の説明】

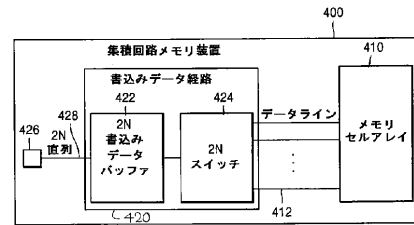
【 0 0 8 4 】

5 1 0	第 1 直列 - 並列変換部	
5 1 1	B L _ 0 - B L _	
5 1 2	第 1 入力データラッチ回路	
5 1 3	第 2 ラッチ	
5 1 4	並列変換部	20
5 1 5	第 3 ラッチ	
5 1 6	並列データ出力	
5 1 7	第 4 ラッチ	
5 2 0	データオーダリング回路	
5 2 2、5 2 4、5 2 6、5 2 8	書込みスイッチ	
5 3 2、5 3 4、5 3 6、5 3 8	書込みデータバッファ	
5 4 2、5 4 4、5 4 6、5 4 8	制御スイッチ	
5 5 0	カラム選択ライン部	
5 6 0	メモリセルアレイ	
6 1 0	第 2 入力データラッチ回路	30
6 1 1	第 5 ラッチ	
6 1 2	第 2 入力データラッチ回路	
6 1 3	第 6 ラッチ	
6 1 4	並列変換部	
6 1 5、6 1 7	第 7 及び第 8 ラッチ	
6 1 6	並列データ出力	
6 2 0	データオーダリング回路	
6 2 2、6 2 4、6 2 6、6 2 8	書込みスイッチ	
6 3 2、6 3 4、6 3 6、6 3 8	書込みデータバッファ	
6 4 2、6 4 4、6 4 6、6 4 8	第 2 制御スイッチ	40

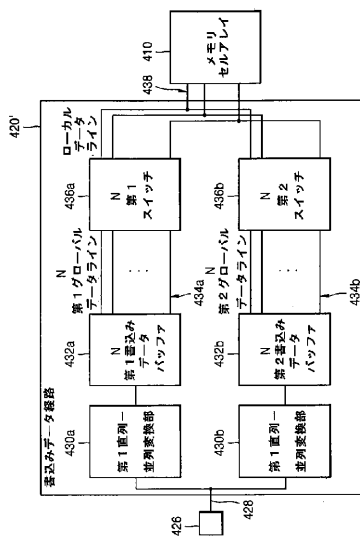
【図 5】



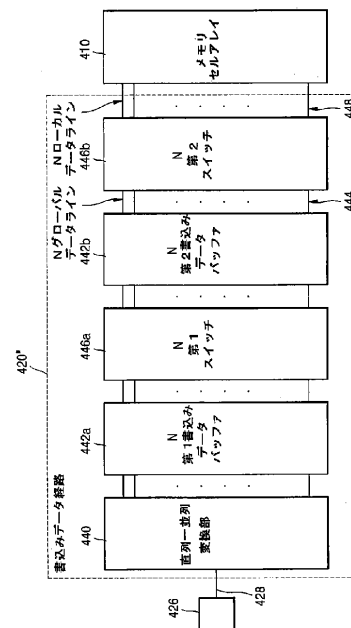
【図 6】



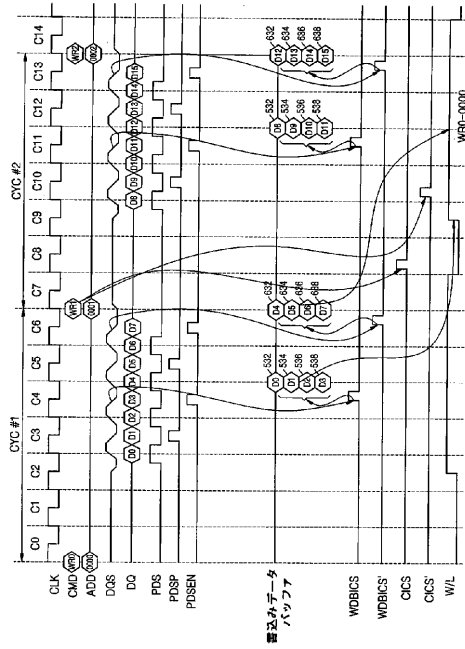
【図 7】



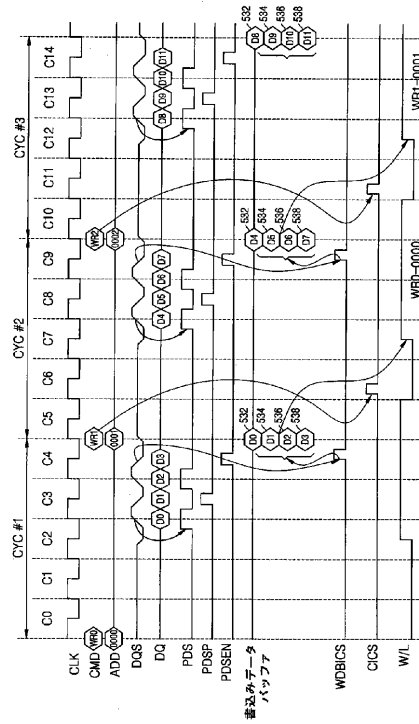
【図 8】



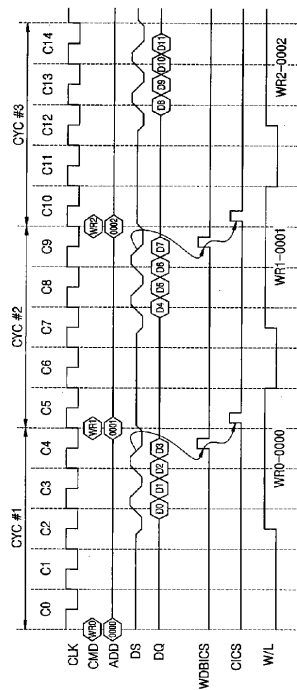
【 図 1 2 B 】



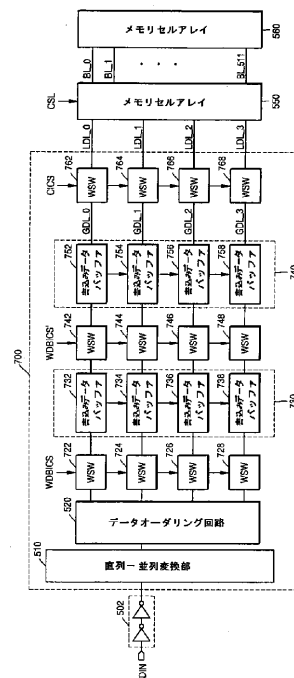
【 図 1 3 】



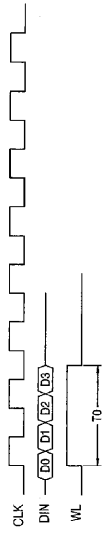
【 図 1 4 】



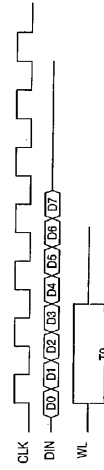
【 図 1 5 】



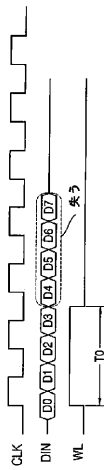
【図 16】



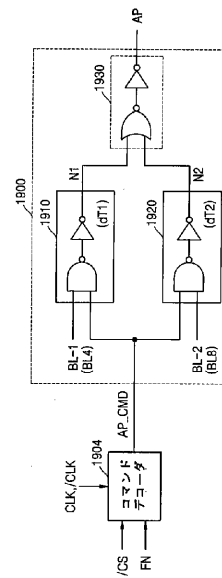
【図 17】



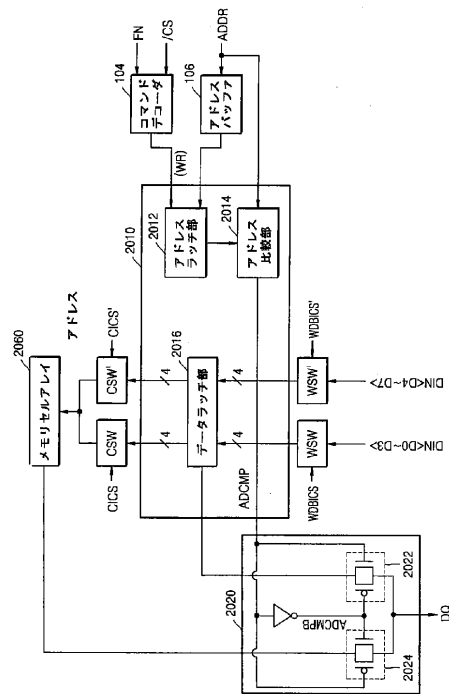
【図 18】



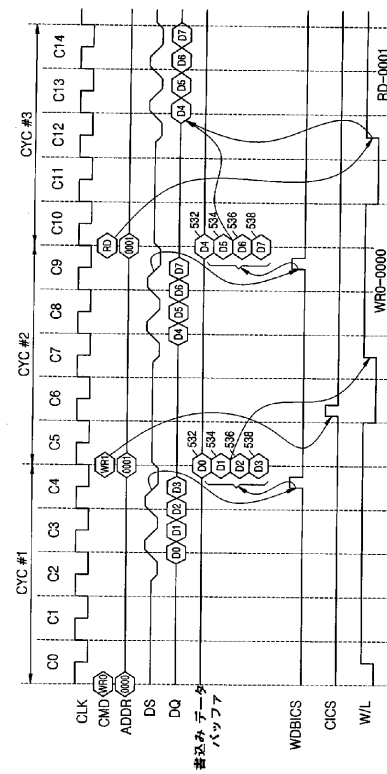
【図 19】



【 図 2 0 】



【 図 2 1 】



フロントページの続き

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 李潤相

大韓民国京畿道龍仁市駒城面麻北里 5 2 6 - 3 番地淵源マウルエルジーアパート 1 0 7 棟 5 0 2 号

(72)発明者 李禎培

大韓民国京畿道龍仁市水枝邑豊徳川里 1 1 6 7 番地鎮山マウル三星 5 次アパート 5 2 3 棟 3 0 2 号

(72)発明者 羅元均

大韓民国京畿道華城郡台安邑半月里 8 6 5 - 1 番地新靈通現代タウン 1 1 0 棟 9 0 1 号

(72)発明者 金成律

大韓民国京畿道水原市長安区華西 2 洞 6 7 4 - 1 番地豊林アパート 2 1 1 棟 1 8 0 2 号

審査官 堀江 義隆

(56)参考文献 特開平 1 1 - 1 9 5 2 9 6 (J P , A)

特開 2 0 0 0 - 1 6 3 9 5 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 1 1 C 1 1 / 4 0 7

G 1 1 C 1 1 / 4 0 9 3