

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-200648
(P2004-200648A)

(43) 公開日 平成16年7月15日(2004.7.15)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/336	HO 1 L 29/78 6 1 8 Z	2 H O 9 2
GO 2 F 1/1368	GO 2 F 1/1368	3 K O O 7
HO 1 L 21/20	HO 1 L 21/20	5 F O 5 2
HO 1 L 29/786	HO 5 B 33/14 A	5 F 1 1 0
HO 5 B 33/14	HO 1 L 29/78 6 1 6 A	

審査請求 未請求 請求項の数 6 O L (全 9 頁) 最終頁に続く

(21) 出願番号	特願2003-297912 (P2003-297912)	(71) 出願人	590002817 三星エスディアイ株式会社
(22) 出願日	平成15年8月21日 (2003. 8. 21)		大韓民国京畿道水原市靈通区▲しん▼洞5 75番地
(31) 優先権主張番号	2002-080326	(74) 代理人	100089037 弁理士 渡邊 隆
(32) 優先日	平成14年12月16日 (2002. 12. 16)		100064908 弁理士 志賀 正武
(33) 優先権主張国	韓国 (KR)	(72) 発明者	朴 志容 大韓民国京畿道水原市八達區榮通洞993 -5番地
		(72) 発明者	李 基龍 大韓民国京畿道龍仁市器興邑 (番地なし) 東成アパートメント101棟1406號

最終頁に続く

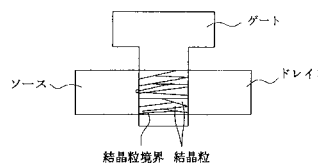
(54) 【発明の名称】 LDD/オフセット構造を具備している薄膜トランジスター

(57) 【要約】

【課題】 電流特性等のような電気的特性を向上させるためにポリシリコンの“プライマリー”結晶粒境界がLDD (Lightly Doped Drain)/オフセット (Offset) 領域に含まれないLDD/オフセット領域を具備している有機電界発光素子を提供。

【解決手段】 LDD/オフセット領域を具備している薄膜トランジスターに関するもので、前記LDD/オフセット領域ではポリシリコン基板の“プライマリー”結晶粒境界が位置していないことを特徴とする薄膜トランジスターを提供することによって、漏洩電流特性等の電気的特性が優れる薄膜トランジスターを提供することができる。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

LDD領域、またはオフセット領域を具備している薄膜トランジスターにおいて、前記LDD、またはオフセット領域ではポリシリコン基板の“プライマリー”結晶粒境界が位置しないことを特徴とする薄膜トランジスター。

【請求項 2】

請求項 1 に記載の薄膜トランジスターにおいて、前記LDD領域、またはオフセット領域を含む活性層の幅が“プライマリー”結晶粒境界の間の距離より小さいものである薄膜トランジスター。

【請求項 3】

請求項 1 に記載の薄膜トランジスターにおいて、前記ポリシリコン基板は、SLS方法で形成されるものである薄膜トランジスター。

【請求項 4】

請求項 1 に記載の薄膜トランジスターにおいて、前記薄膜トランジスターは、液晶表示装置または有機電界発光素子(EL)に使用されるものである薄膜トランジスター。

【請求項 5】

請求項 1 に記載の薄膜トランジスターにおいて、前記プライマリー結晶粒境界と前記アクティブチャンネル領域が互いに平行するように配置された薄膜トランジスター。

【請求項 6】

請求 1 項に記載の薄膜トランジスターにおいて、前記プライマリー結晶粒境界と前記アクティブチャンネル領域が成す角度が -45° 45° である薄膜トランジスター。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、LDD領域を具備している薄膜トランジスターに関するもので、さらに詳しくは電流の特性等のような電気的特性が優れるLDD領域を具備している薄膜トランジスター(THIN FILM TRANSISTOR HAVING LDD/OFFSET STRUCTURE)に関するものである。

【背景技術】

【0002】

多結晶シリコンを利用したTFT(Thin Film Transistor)製作時、アクティブチャンネル(active channel)領域内に含まれる多結晶シリコンの結晶粒境界に存在するダングリングボンド(dangling bonds)の結合欠陥は電荷キャリア(electric charge carrier)に対してトラップ(trap)として作用するものと知られている。

【0003】

従って、結晶粒の大きさ、大きさの均一性、数と位置、及び方向等はスレッシュヨルド電圧(V_{th})、サブスレッシュヨルド傾斜(subthreshold slope)、電荷の輸送移動度(charge carrier mobility)、漏洩電流(leakage current)、及びデバイス安定性(device stability)等のようなTFT特性に直接または間接的に致命的な影響を与えることはもちろん、TFTを利用したアクティブマトリックスディスプレイ(active matrix display)基板製作時、結晶粒の位置によってTFTの均一性にも致命的な影響を与えられる。

【0004】

このとき、ディスプレイデバイスの全体基板の上にTFTのアクティブチャンネルの領域内に含まれる致命的な結晶粒境界(以下、“プライマリー(primary)”結晶粒

10

20

30

40

50

境界と称する)の数は、結晶粒の大きさ、傾き角度、アクティブチャンネルの寸法(dimension)(長さ(L)、幅(W))と基板上の各TFTの位置により等しいか、そうでない場合もある(図1及び図2)。

【0005】

図1及び図2のように、結晶粒の大きさGs、アクティブチャンネル寸法L×W、傾き角度に対してアクティブチャンネル領域に含まれる“プライマリー”結晶粒境界の数は、最大結晶粒境界の数をNmaxとしたとき、つまり、TFT基板またはディスプレイデバイス上の位置によりアクティブチャンネルの領域内に含まれる“プライマリー”結晶粒境界の数はNmax(図1の場合3個)またはNmax-1(図2の場合2個)個となるので、全部のTFTに対してNmaxの“プライマリー”結晶粒境界の数がアクティブチャンネル領域内に含まれる場合、最も優れたTFT特性の均一性が確保できる。つまり、それぞれのTFTが同一な数の結晶粒境界を持つ事が多いほど均一性が優れるデバイスが得られる。

10

【0006】

他方、Nmax個の“プライマリー”結晶粒境界の数を含むTFTの数とNmax-1個の“プライマリー”結晶粒境界の数を含むTFTの数が同一であれば、TFT基板またはディスプレイデバイス上にあるTFT特性中、均一性の面で最も良くないと予想できる。

【0007】

これに対して、SLS(Sequential Lateral Solidification)結晶化技術を利用して基板上に多結晶または単結晶である粒子が巨大シリコングレイン(large silicon grain)を形成することができ(図3及び図4)、これを利用してTFTを製作した場合、単結晶シリコンで作製されたTFTの特性と類似な特性を得られることで報告されている。

20

【0008】

しかし、アクティブマトリックスディスプレイを製作するためにはドライバーと画素配置(pixel array)のための数多いTFTが作製されなければならない。

【0009】

例えば、SVGA級の解像度をもつアクティブマトリックスディスプレイの作製には、約100万個の画素が作られ、液晶表示素子(Liquid Crystal Display; LCD)の場合、各画素には1個のTFTが必要であり、有機発光物質を利用したディスプレイ(例えば、有機電界発光素子)には少なくとも2個以上のTFTが必要とされる。

30

【0010】

従って、100万個または200万個以上のTFTそれぞれのアクティブチャンネル領域にのみ、一定な数字の結晶粒を一定な方向に成長させて製作するのは不可能である。

【0011】

これを具現する方法として、PCT国際特許であるWO97/45827号パンフレットに開示されたように、非晶質シリコンをPECVD, LPCVDまたはスパッタリング法により蒸着した後、SLS技術で全体基板上の非晶質シリコンを多結晶シリコンに変換するのかが、基板上の選択領域だけを結晶化する技術が開始されている(図3及び図4参照)。

40

【0012】

選択の領域もやはり数μm×数μmの寸法をもつアクティブチャンネル領域に比べればすごく広い領域である。また、SLS技術で使用するレーザービームの大きさ(laser beam size)は大略数mm×数十mmとして基板上の全体領域、または選択領域の非晶質シリコンを結晶化するためには必然的にレーザービームまたはステージ(stage)のステップピング(steping)及びシフティング(shifting)が必要であり、このときレーザービームが照射される領域間のミスアラインメント(misalignment)が存在するようになり、従って、数多いTFTのアクティブチ

50

チャンネル領域内に含まれる“プライマリー”結晶粒境界の数は変わるようになって、全体基板またはドライバーの領域、画素セル領域内のTFTは予測できない不均一性をもつようになる。このような不均一性はアクティブマトリックスディスプレイデバイスを具現することにおいて致命的な悪影響を与えられる。

【0013】

また、米国特許第6,177,391号明細書では、SLS結晶化技術を利用して巨大粒子シリコングレーン(large silicon grain)を形成してドライバーと画素配置を含むLCDデバイス用TFT製作時、アクティブチャンネル方向がSLS結晶化方法により成長された結晶粒方向に対して平行な場合、電荷キャリア(electric charge carrier)方向に対する結晶粒境界のバリアー(barrier)効果が最小となり(図5)、従って、単結晶シリコンに次ぐTFT特性が得られるのに対して、アクティブチャンネル方向と結晶粒成長の方向が90°である場合、TFT特性が電荷キャリア(electric charge carrier)のトラップとして作用する多い結晶粒境界が存在するようになり、TFT特性が大きく低下する。(図6)。

10

【0014】

実際に、アクティブマトリックスディスプレイ製作時、駆動回路(driver circuit)内のTFTと画素セル領域内のTFTは一般的に90°の角度をもつ場合があり、このとき、各TFTの特性を大きく低下させないながら、TFT間特性の均一性を向上させるためには、結晶成長方向に対するアクティブチャンネル領域の方向を30°ないし60°の角度に傾くように製作することによってデバイスの均一性を向上させることができる(図7)。

20

【0015】

しかし、この方法も、やはりSLS結晶化技術により形成される有限大きさの結晶粒を利用することによって、致命的な結晶粒境界がアクティブチャンネル領域内に含まれる確率が存在し、従って、TFT間の特性差を引き起す予測のつかない不均一性が存在するようになるという問題点がある。

【特許文献1】国際公開第97/45827号パンフレット

【特許文献2】米国特許第6,177,391号明細書

【発明の開示】

30

【発明が解決しようとする課題】

【0016】

本発明は、前記で説明したような問題点を解決するため案出されたもので、本発明の目的は、電流特性等のような電気的特性を向上させるためにポリシリコンの“プライマリー”結晶粒境界がLDD(Lightly Doped Drain)/オフセット(Offset)領域に含まれないLDD/オフセット領域を具備している有機電界発光素子を提供するものである。

【課題を解決するための手段】

【0017】

本発明は前記した目的を達成するために、LDD/オフセット領域を具備している薄膜トランジスター(TFT)において、前記LDD/オフセット領域では、ポリシリコン基板の“プライマリー”結晶粒境界が位置してないことを特徴とする薄膜トランジスターを提供する。

40

【発明の効果】

【0018】

本発明による薄膜トランジスターは、TFTの電気的特性が優秀であり、またデバイスの信頼性が向上され、優れた特性のTFTを提供することができる。

【発明を実施するための最良の形態】

【0019】

以下、本発明を、添付した図面を参照して詳しく説明する。

50

【0020】

アクティブマトリクスディスプレイ用のTFT製作時、TFT特性に直接、間接的に重大な影響を及ぼす多結晶シリコンの結晶粒がTFT特性向上のため大きく規則化される場合、結晶粒の有限な大きさにより、隣接した結晶粒の間には結晶粒境界が発生する。

【0021】

本発明で“結晶粒の大きさ”と言うのは、確認することができる結晶粒境界の間の距離を言い、通常誤差の範囲に含まれる結晶粒境界の距離と定義する。

【0022】

特に、結晶粒境界がアクティブチャンネル(active channel)領域内に存在するとき、TFT特性に致命的な影響を与える結晶粒境界、つまり、アクティブチャンネル方向の垂直方向に対する結晶粒境界の傾き角度が -45° 、 45° である“プライマリー”結晶粒境界の場合、多結晶シリコン薄膜の形成時、工程精密性の限界により避けられない欠陥となる。

【0023】

また、駆動回路基板上またはディスプレイ基板上に作製されるTFTアクティブチャンネル領域内に含まれる“プライマリー”結晶粒境界の数は大きさ、方向、アクティブチャンネル寸法等により変わられ(図8)、従って、製作されるTFT及びディスプレイの特性が不均一になるか、甚だしくは駆動ができなくなる。

【0024】

本発明ではこのような“プライマリー”結晶粒境界がLDD構造のTFTでLDD領域に存在するようになると、TFT特性に影響を与える点に着眼して発明するようになった。

【0025】

通常的にオフセット領域はソース電極とドレイン電極の間のドーピングされてない領域を言い、オフセット領域を介在させることによって漏洩電流を遮断でき、また、不純物の低密度イオンドーピングを通じてこのようなオフセット領域にLDD領域を追加することによって、薄膜トランジスターのオフの時、漏洩電流であるオフ電流を減少させることができる。

【0026】

図9は、オフセット領域またはLDD構造をもつ薄膜トランジスターの断面図である。

【0027】

図9を参照すると、通常的なオフセット領域またはLDD構造をもつ薄膜トランジスターは基板11上にバッファ層12、活性層13、及びゲート絶縁膜14が形成されている。この上に導電性であるゲート電極15が形成されていて、ゲート絶縁膜14全面に渡りパッシベーション層16が形成されている。そして、ゲート絶縁膜14とパッシベーション層16にコンタクトホールを形成し、パッシベーション層16全面に導電層を形成しパターンニングしてドレイン及びソース電極17が形成されている。

【0028】

一方、活性層13には高濃度の不純物でドーピングされたドレイン及びソース領域13aが形成されていて、ゲート電極15下部の活性層13内にはチャンネル領域Iが形成され、ドレイン領域13とチャンネル領域Iの間とソース領域13aとチャンネル領域Iの間には、低濃度の不純物でドーピングされたLDD領域IIが形成されている。

【0029】

このとき、通常的に活性層13は、非晶質シリコンを結晶化させて多結晶シリコンをパターンニングして形成されるが、前記で図示したように、多結晶シリコンには結晶粒境界を持つ事ができ、特に、“プライマリー”結晶粒境界はTFTの電気的特性と相関が大きいことがわかる。

【0030】

つまり、“プライマリー”結晶粒境界は、ソースからドレインに流れる電流のバリアと

10

20

30

40

50

して作用するので駆動電流等に影響を与えている。

【0031】

本発明では、漏洩電流を防止しようと形成したLDD領域II内に活性層13を形成するポリシリコンの“プライマリー”結晶粒境界が位置しないようにすることで、漏洩電流の特性が良好になることがわかる。

【0032】

図10はオフセット領域、またはLDD構造をもつ薄膜トランジスターを概略的に示した平面図である。

【0033】

図10を参照すると、活性層13に“プライマリー”結晶粒境界が形成されないようにポリシリコンに形成された“プライマリー”結晶粒境界の間の幅を調整して薄膜トランジスターを形成することができる。

10

【0034】

また、活性層13に“プライマリー”結晶粒境界が含まれないように活性層13を形成することができる。このような場合には、活性層13を形成するポリシリコンの“プライマリー”結晶粒境界の間に幅が活性層13全体の幅よりもっと大きくなければならない。

【0035】

これにより、本発明による薄膜トランジスターは、漏洩電流特性等の電気的特性が優れてデバイスの特性がよくなる。前記デバイスは、半導体デバイスまたはディスプレイデバイスでも無関係であり、ディスプレイデバイスには液晶表示装置(LCD)または有機電界発光素子(EL)を使用することが望ましい。

20

【0036】

前記活性層を形成するポリシリコンは、SLS方向で形成されることが望ましい。

【図面の簡単な説明】

【0037】

【図1】同一な結晶粒の大きさGs及びアクティブチャンネル寸法L×Wに対して致命的な結晶粒境界の数が2であるTF Tの概略的な断面を図示した図面である。

【図2】致命的な結晶粒境界の数が3であるTF Tの概略的な断面を図示した図面である。

【図3】従来技術によりSLS結晶化法によって形成された粒子の大きさが大きいシリコングレーンを含むTF Tのアクティブチャンネルの概略的な断面を図示した図面である。

30

【図4】従来技術によりSLS結晶化法によって形成された粒子の大きさが大きいシリコングレーンを含むTF Tのアクティブチャンネルの概略的な断面を図示した図面である。

【図5】また他の従来技術により製造されたTF Tのアクティブチャンネルの概略的な断面を図示した図面である。

【図6】また他の従来技術により製造されたTF Tのアクティブチャンネルの概略的な断面を図示した図面である。

【図7】また他の従来技術により製造されたTF Tのアクティブチャンネルの概略的な断面を図示した図面である。

【図8】駆動回路基板、またはディスプレイ上に製作されるTF Tの特性に致命的な影響を与えられる恐れがある致命的な結晶粒境界の数がTF Tの位置によって変わってくることを示した概略図である。

40

【図9】オフセット領域、またはLDD構造をもつ薄膜トランジスターの断面図である。

【図10】オフセット領域、またはLDD構造をもつ薄膜トランジスターを概略的に示した平面図である。

【符号の説明】

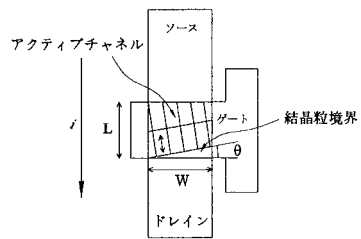
【0038】

- 11 基板
- 12 バッファ層
- 13 活性層

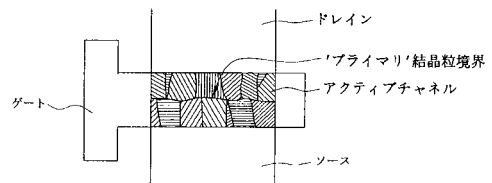
50

- 14 ゲート絶縁層
- 15 ゲート電極
- 16 パッシベーション沿う
- 17 ソース電極

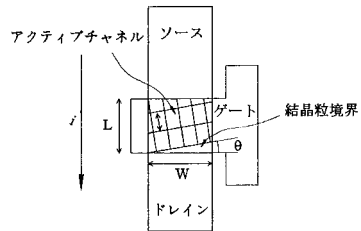
【図1】



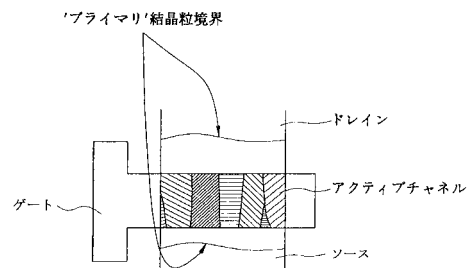
【図3】



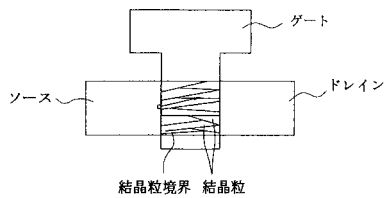
【図2】



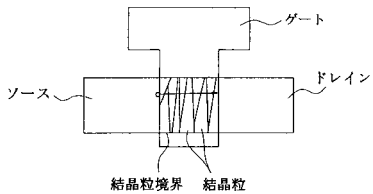
【図4】



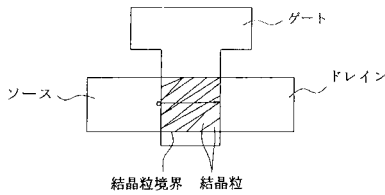
【 図 5 】



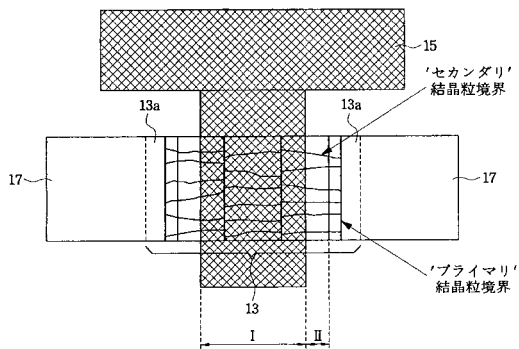
【 図 6 】



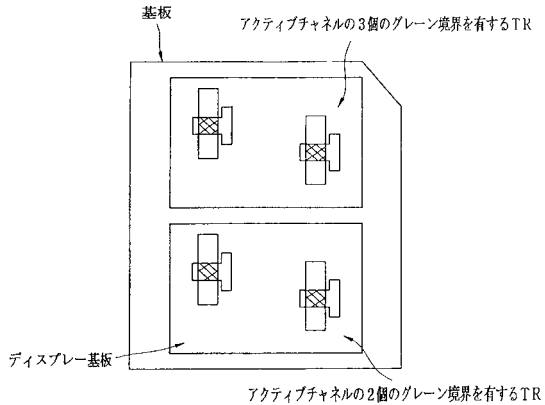
【 図 7 】



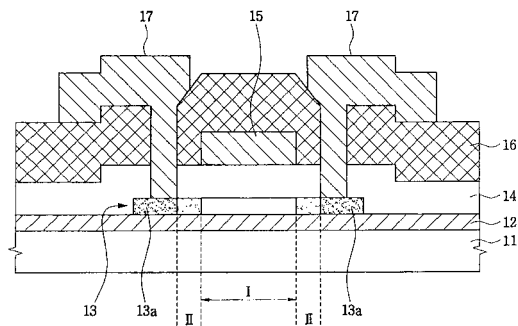
【 図 10 】



【 図 8 】



【 図 9 】



フロントページの続き

(51) Int.Cl. ⁷	F I	テーマコード(参考)
	H 0 1 L 29/78	6 1 7 A
	H 0 1 L 29/78	6 2 7 G

(72)発明者 朴 恵香

大韓民国京畿道水原市勸善區勸善洞 1 2 8 5 - 7 番地

Fターム(参考) 2H092 JA24 KA04 MA27 NA22 NA24
3K007 AB05 AB11 DB03 GA00
5F052 AA02 CA04 DA01 DA02 DB02 DB03 DB07 JA01
5F110 AA01 AA14 BB02 CC02 GG02 GG13 GG16 HM14 HM15 PP01