



(19)



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

(11) Número de publicación: **2 274 354**

(51) Int. Cl.:

H01S 5/068 (2006.01)

H04B 10/152 (2006.01)

H01S 5/042 (2006.01)

H04B 10/08 (2006.01)

H04B 10/28 (2006.01)

G01M 11/00 (2006.01)

(12)

TRADUCCIÓN DE PATENTE EUROPEA

T3

(86) Número de solicitud europea: **04017254 .6**

(86) Fecha de presentación : **04.02.2002**

(87) Número de publicación de la solicitud: **1471671**

(87) Fecha de publicación de la solicitud: **27.10.2004**

(54)

Título: **Circuito integrado de control de memoria para transceptor de fibra óptica.**

(30)

Prioridad: **05.02.2001 US 777917**

(73)

Titular/es: **FINISAR CORPORATION**
1389 Moffett Park Drive
Sunnyvale, California 95060-1133, US

(45)

Fecha de publicación de la mención BOPI:
16.05.2007

(72)

Inventor/es: **Aronson, Lewis B. y**
Hosking, Lucy G.

(45)

Fecha de la publicación del folleto de la patente:
16.05.2007

(74)

Agente: **Elzaburu Márquez, Alberto**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Circuito integrado de control de memoria para transceptor de fibra óptica.

La presente invención se refiere en general al campo de los transceptores de fibra óptica y, particularmente, a los circuitos usados dentro de los transceptores para realizar operaciones de control, ajuste, monitorización e identificación.

Antecedentes de la invención

Los dos circuitos electrónicos más básicos dentro de un transceptor de fibra óptica son el circuito excitador del láser, que acepta datos digitales a alta velocidad y excita eléctricamente un LED o diodo láser para crear pulsos ópticos equivalentes, y el circuito del receptor que toma señales relativamente pequeñas de un detector óptico y las amplifica y limita para crear una salida electrónica digital de amplitud uniforme. Adicionalmente, y algunas veces conjuntamente con estas funciones básicas, hay otras varias tareas que deben ser manejadas por el circuito de transceptor, así como varias otras tareas que pueden ser manejadas opcionalmente por el circuito de transceptor para mejorar su funcionalidad. Estas tareas incluyen las siguientes aunque no se limitan necesariamente a ellas:

- Funciones de ajuste. Éstas se refieren, en general, a los ajustes requeridos hechos parte a parte en la fábrica para permitir variaciones en características de componentes, tales como la corriente umbral del diodo láser.
- Identificación. Ésta se refiere a una memoria de propósito general, típicamente EEPROM (memoria de sólo lectura programable y borrable eléctricamente) u otra memoria no volátil. La memoria es accesible preferiblemente usando un estándar de comunicación serie, que es usado para almacenar información diversa que identifica el tipo de transceptor, la capacidad, el número de serie, y la compatibilidad con varios estándares. Aunque no sea estándar, sería deseable almacenar además en esta memoria información adicional, tal como revisiones de subcomponentes y datos de prueba de fábrica.
- Seguridad del ojo y detección de fallos general. Estas funciones son usadas para identificar parámetros de operación anormales y potencialmente no seguros y para informar de éstos al usuario y/o apagar el láser, cuando sea apropiado.

Además, sería deseable en muchos transceptores para el circuito de control realizar alguna o todas de las siguientes funciones adicionales:

- Funciones de compensación de la temperatura. Por ejemplo, la compensación de variaciones de temperatura conocidas en las características clave del láser, tales como la eficiencia de la pendiente.
- Funciones de monitorización. Monitorizar varios parámetros relativos a las características de operación del transceptor y del entorno. Ejemplos de los parámetros que sería deseable monitorizar incluyen la corriente de polarización del láser, la potencia de salida del láser, el nivel de potencia recibida, el voltaje de suministro y la temperatura. Idealmente, estos parámetros deberían ser monitorizados y ser transmitidos o puestos a disposición de un dispositivo principal y, por tanto, del usuario del transceptor.
- Tiempo de encendido. Sería deseable para el circuito de control del transceptor seguir la pista del número total de horas que el transceptor ha estado encendido, e informar o poner este tiempo a disposición de un dispositivo principal.
- Verificación de márgenes. “La verificación de márgenes” es un mecanismo que permite al usuario final probar el rendimiento del transceptor en caso de una desviación conocida de las condiciones de operación ideales, en general haciendo cambiando el rango de las señales de control usadas para excitar los componentes activos del transceptor.
- Otras señales digitales. Sería deseable habilitar un dispositivo principal para poder configurar el transceptor para hacerlo compatible con varios requisitos para la polaridad y tipos de salida de las entradas y salidas digitales. Por ejemplo, entradas digitales son usadas para deshabilitar el transmisor y funciones de selección de tasa, mientras que son usadas salidas para indicar errores del transmisor y pérdida de las condiciones de señal. Los valores de configuración determinarían la polaridad de una o más de las señales binarias de entrada y salida. En algunos transceptores sería deseable usar los valores de configuración para especificar la escala de uno o más de los valores de entrada o salida digitales, por ejemplo, especificando un factor de escala para ser usado junto con el valor de entrada o salida digital.

Sólo algunas, en todo caso, de estas funciones adicionales están implementadas en la mayoría de los transceptores, en parte por el coste que supone hacerlo. Algunas de estas funciones han sido implementadas usando circuitos discretos, por ejemplo usando una EEPROM de propósitos generales para propósitos de identificación, mediante la inclusión de algunas funciones dentro del excitador del láser o circuito del receptor (por ejemplo alguna compensación del grado de temperatura en el circuito del excitador del láser) o con el uso de un circuito integrado de microcontrol comercial.

ES 2 274 354 T3

Sin embargo, hasta la fecha no ha habido ningún transceptor que proporcione una arquitectura de dispositivo uniforme que soporte todas estas funciones, así como funciones adicionales no enumeradas aquí, de un modo efectivo en cuanto a coste.

5 El documento US-A-5 383 208 describe un dispositivo para controlar la potencia de salida de un diodo láser que está acoplado a una fibra óptica. El dispositivo analiza una señal característica de la potencia emitida por el diodo láser.

10 El documento US-A-5 953 690 describe un receptor de fibra óptica. Este dispositivo almacena datos de referencia en la memoria no volátil dentro del dispositivo.

El documento US-A-5 812 572 describe un controlador de diodo láser de fibra óptica. Los valores de calibración son almacenados en la memoria no volátil a bordo del dispositivo.

15 El documento US-A-5 019 769 describe un controlador de diodo láser. Este dispositivo demora al diodo láser en la realización a potencia completa hasta que está establecida la integridad del enlace de fibra óptica. El dispositivo incluye un microcontrolador, un convertidor A/D, una memoria no volátil y una interfaz RS-232 a un dispositivo principal. El microcontrolador registra las condiciones de operación del diodo láser en ranuras de la memoria no volátil.

20 El documento US-A-5 396 059 describe un procesador digital para monitorizar un dispositivo optoelectrónico. El dispositivo contiene parámetros de operación preseleccionados para su uso bajo varias condiciones ambientales.

El documento US-A-5 594 748 describe un dispositivo para predecir el fallo de un láser semiconductor, mediante la monitorización de las características operacionales del láser.

25 Es el propósito de la presente invención proporcionar un circuito integrado general y flexible que realice todas (o cualquier subconjunto) de las funciones anteriores usando una arquitectura representada en la memoria básica y un simple mecanismo de comunicación serie.

La Fig. 1 muestra una representación esquemática de las características esenciales de un transceptor de fibra óptica de la técnica anterior típico. El circuito principal 1 contiene como mínimo trayectorias de circuito de transmisor y receptor y potencia 19 y conexiones a tierra 18. El circuito receptor consiste típicamente en un Subconjunto Optico de Receptor ("*Receiver Optical Subassembly*") ROSA 2 que contiene un receptáculo de fibra mecánico, así como un fotodiodo y un circuito preamplificador (preamp.) El ROSA está a su vez conectado a un circuito integrado postamplificador (postamp) 4, cuya función es generar una señal digital oscilante de salida fija que está conectada al circuito exterior vía las patillas RX+ y RX- 17. El circuito postamp también proporciona a menudo una señal de salida digital conocida como Detección de Señal o Pérdida de Señal que indica la presencia o ausencia de entrada óptica de fuerza adecuada. La salida Detección de Señal está prevista como una salida en la patilla 18. El circuito del transmisor consistirá típicamente en un Subconjunto Optico del Transmisor ("*Transmitter Optical Subassembly*") TOSA 3 y un circuito integrado de excitador del láser 5. El TOSA contiene un receptáculo de fibra mecánica, así como un diodo láser o LED. El circuito de excitador del láser proporcionará típicamente excitación AC y corriente de polarización DC al láser. Las entradas de señal para el excitador AC se obtienen de las patillas TX+ y TX- 12. Típicamente, el circuito del excitador del láser requerirá ajuste de fábrica individual de ciertos parámetros, tales como el nivel de la corriente de polarización (o potencia de salida) y excitación de modulación AC para el láser. Típicamente esto es realizado ajustando resistores variables o colocando resistores 7, 9 seleccionados de fábrica (es decir, con valores de resistencia seleccionados de fábrica). Adicionalmente, se requiere a menudo la compensación de la temperatura de la corriente de polarización y modulación. Esta función puede ser integrada en el circuito integrado del excitador del láser o realizada por el uso de elementos sensibles a la temperatura externos, tales como termistores 6, 8.

Además de la mayoría de las funciones básicas descritas antes, algunos estándares de plataforma de transceptor implican funcionalidad adicional. Ejemplos de esto son las patillas transmisor (TX) deshabilitado 13 y error de transmisor (TX) 14 descritas en el estándar GBIC. En el estándar GBIC, la patilla TX deshabilitado permite al transmisor ser cerrado por el dispositivo principal, mientras que la patilla de error de TX es un indicador al dispositivo principal de algún estado de fallo existente en el láser o circuito de excitador del láser asociado. Además de esta descripción básica, el estándar GBIC incluye una serie de diagramas de temporización que describen cómo estos controles funcionan e interactúan entre sí para implementar operaciones de reinicio y otras acciones. La mayor parte de esta funcionalidad tiene el propósito de prevenir los niveles de emisión no seguros para el ojo cuando existen en el circuito láser condiciones de fallo. Estas funciones pueden ser integradas dentro del propio circuito del excitador del láser o en un circuito integrado adicional opcional 11. Finalmente, el estándar GBIC requiere también que la EEPROM 10 almacene información ID serie estandarizada que pueda ser leída vía una interfaz serie (definida usando la interfaz serie de la familia ATMEL AT24CO1A de los productos EEPROM) consistente en un reloj 15 y línea de datos 16.

Como una alternativa a los receptáculos de fibra mecánicos, algunos transceptores de la técnica anterior usan latiguillos opción fibra que son conectores ópticos de fibra macho estándar.

65 Principios similares se aplican claramente a los transmisores o receptores ópticos de fibra que sólo implementan la mitad de las funciones del transceptor.

Sumario de la invención

En un primer aspecto de la presente invención se prevé un circuito para monitorizar un dispositivo optoelectrónico como está descrito en la reivindicación 1.

En un segundo aspecto de la presente invención se prevé un método para monitorizar un dispositivo optoelectrónico como está descrito en la reivindicación 8.

Breve descripción de los dibujos

Objetos y características adicionales de la invención serán más rápidamente evidentes a partir de la siguiente descripción detallada y las reivindicaciones adjuntas cuando son tomadas junto con los dibujos, en los que:

Fig. 1, es un diagrama de bloques de un transceptor optoelectrónico de la técnica anterior;

Fig. 2, es un diagrama de bloques de un transceptor optoelectrónico de acuerdo con la presente invención; y

Fig. 3, es un diagrama de bloques de módulos dentro del controlador del transceptor optoelectrónico de la Fig. 2.

Descripción detallada de realizaciones preferidas

Un transceptor 100 basado en la presente invención se muestra en las figuras 2 y 3. El transceptor 100 contiene un Subconjunto Óptico del Receptor (ROSA) 102 y el Subconjunto Óptico del Transmisor (TOSA) 103 junto con circuitos integrados post-amplificador 104 y excitador del láser 105 asociados que comunican las señales eléctricas de alta velocidad al mundo exterior. En este caso, sin embargo, todas las otras funciones de control y ajuste son implementadas con un tercer circuito integrado 110 de un solo chip llamado controlador IC.

El controlador IC 110 maneja todas las comunicaciones de baja velocidad con el usuario final. Éstas incluyen las funciones de patilla estandarizada, tales como Pérdida de Señal (LOS) 111, Indicación de Error de Transmisor (ERROR TX) 14 y la entrada transmisor Deshabilitado (TXDES) 13. El controlador IC 110 tiene una interfaz serie 121 de dos hilos, también llamada la interfaz de memoria para acceder a las localizaciones representadas en la memoria en el controlador. Las tablas de Mapa de Memoria 1, 2, 3 y 4 más adelante son un mapa de memoria ejemplar para una realización de un controlador de transceptor, como está implementado en una realización de la presente invención. Se advierte que la Tablas de Mapas de Memoria 1, 2, 3 y 4, además de mostrar un mapa de memoria de valores y características de control descritas en este documento, muestran también varios parámetros y mecanismos de control que están fuera del alcance de este documento y, por tanto, no son parte de la presente invención.

La interfaz 121 está acoplada a las líneas entrada/salida de la interfaz del dispositivo principal, típicamente líneas de reloj (SCL) y de datos (SDA), 15 y 16. En la realización preferida, la interfaz serie 121 opera de acuerdo con la interfaz serie de dos hilos estándar que es usada también en los estándares GBIC y SFP, sin embargo otras interfaces serie podrían igualmente ser usadas en realizaciones alternativas. La interfaz serie 121 de dos hilos es usada para todo el ajuste y consulta del controlador IC 110, y permite el acceso al circuito de control del transceptor optoelectrónico como dispositivo representado en la memoria. Esto es, las tablas y parámetros son ajustados escribiendo valores a localizaciones de memoria predefinidas de uno o más dispositivos de memoria no volátil 120, 122, 128 (por ejemplo, dispositivos EEPROM) en el controlador, mientras que los valores de diagnóstico y otros valores de salida y estado son sacados leyendo localizaciones de memoria predeterminadas de los mismos dispositivos de memoria no volátil 120, 122, 128. Esta técnica es consistente con la funcionalidad ID serie definida actualmente de muchos transceptores en los que se usa una interfaz serie de dos hilos para leer datos de identificación y capacidad almacenados en la EEPROM.

Se advierte aquí que alguna de las localizaciones de memoria en los dispositivos de memoria 120, 122, 128 son de doble puerto, o incluso de triple puerto en algunos casos. Esto es, aunque estas localizaciones representadas en la memoria pueden ser leídas y en algunos casos escritas vía la interfaz serie 121, se accede también directamente a ellas por otros circuitos en el controlador 110. Por ejemplo, ciertos valores de "verificación de márgenes" almacenados en la memoria 120 son leídos y usados directamente por la lógica 134 para ajustar (es decir variar el rango hacia arriba o hacia abajo) señales de nivel de excitación que están siendo enviadas a los dispositivos de salida D/A 123. De forma similar, hay memoria almacenada de banderas 128 que son (A) escritas por el circuito lógico 131, y (B) leídas directamente por el circuito lógico 133. Un ejemplo de una localización representada en la memoria no en dispositivos de memoria pero que es efectivamente de doble puerto es la salida o registro de resultado de reloj 132. En este caso el valor de tiempo acumulado en el registro puede ser leído vía la interfaz serie 121, pero es escrito por la circuitería en el circuito de reloj 132.

Adicionalmente al registro de resultado del reloj 132, otras localizaciones representadas en la memoria en el controlador pueden ser implementadas como registros en entrada o salida de subcircuitos respectivos del controlador. Por ejemplo, los valores de verificación de márgenes usados para controlar la operación de lógica 134 pueden ser almacenados en registros en o cerca de la lógica 134 en lugar de ser almacenados dentro del dispositivo de memoria 128. En otro ejemplo, los valores de medición generados por el ADC 127 pueden ser almacenados en registros. La interfaz de memoria 121 está configurada para permitir a la interfaz de memoria acceder a cada uno de estos registros siempre

que la interfaz de memoria reciba un comando para acceder a los datos almacenados en la localización representada en la memoria predefinida correspondiente. En tales realizaciones, "las localizaciones dentro de la memoria" incluyen registros representados en la memoria a través del controlador.

En una realización alternativa, el valor de tiempo en el registro resultado del reloj 132, o un valor correspondiente a dicho valor de tiempo, es almacenado periódicamente en una localización de memoria con la memoria 128 (por ejemplo, esto puede hacerse una vez por minuto, o una vez por hora de operación del dispositivo). En esta realización alternativa, el valor de tiempo leído por el dispositivo principal vía la interfaz 121 es el último valor de tiempo almacenado en la memoria 128, en oposición al valor de tiempo actual en el registro de resultado del reloj 132.

Como se muestra en las figuras 2 y 3, el controlador IC 110 tiene conexiones al excitador del láser 105 y a los componentes del receptor. Estas conexiones sirven para múltiples funciones. El controlador IC tiene una multiplicidad de convertidores D/A 123. En la realización preferida los convertidores D/A son implementados como fuentes de corriente, pero en otras realizaciones los convertidores D/A pueden ser implementados usando fuentes de voltaje, y en aún otras realizaciones los convertidores D/A pueden ser implementados usando potenciómetros digitales. En la realización preferida, las señales de salida de los convertidores D/A son usadas para controlar los parámetros clave del circuito del excitador del láser 105. En una realización, las salidas de los convertidores D/A 123 son usadas para controlar directamente la corriente de polarización del láser, así como controlar el nivel de modulación AC al láser (operación de polarización constante). En otra realización, las salidas de los convertidores D/A 123 del controlador 110 controlan el nivel de potencia de salida media del excitador del láser 105 además del nivel de modulación AC (operación a potencia constante).

En una realización preferida, el controlador 110 incluye mecanismos para compensar características dependientes de la temperatura del láser. Esto es implementado en el controlador 110 mediante el uso de tablas de búsqueda 122 de temperatura que son usadas para asignar valores a las salidas de control como función de la temperatura medida por un sensor de temperatura 125 dentro del controlador IC 110. En realizaciones alternativas, el controlador 110 puede usar convertidores D/A con salidas de fuente de voltaje o incluso se puede sustituir uno o más de los convertidores D/A 123 por potenciómetros digitales para controlar las características del excitador del láser 105. Debería también advertirse que aunque la Fig. 2 se refiere a un sistema en el que el excitador de láser 105 está diseñado específicamente para aceptar entradas del controlador 110, es posible usar el controlador IC 110 con muchos otros excitadores de láser ICs para controlar sus características de salida.

Además de los controles de salida analógicos dependientes de la temperatura, el controlador IC puede estar equipado con una multiplicidad de salidas analógicas independientes de la temperatura (un valor de ajuste de memoria). Estas salidas independientes de temperatura sirven para numerosas funciones, pero una aplicación particularmente interesante es como ajuste fino para otros ajustes del excitador del láser 105 o postamp 104 para compensar variaciones inducidas por el procedimiento en las características de dichos dispositivos. Un ejemplo de esto podría ser la oscilación de salida del postamp 104 del receptor. Normalmente, tal parámetro sería fijado en el momento del diseño a un valor deseado por el uso de un resistor de ajuste. A menudo ocurre, sin embargo, que las variaciones de procedimiento normales asociadas a la fabricación del circuito integrado postamp 104 inducen variaciones no deseables en la oscilación de salida resultante con un resistor de ajuste fijado. Usando la presente invención, una salida analógica del controlador IC 110, producida por un convertidor D/A 123 adicional, es usada para ajustar o compensar el ajuste de oscilación de salida en el momento del ajuste de fabricación parte a parte.

Además de la conexión del controlador al excitador del láser 105, la Fig. 2 muestra varias conexiones del excitador del láser 105 al controlador IC 110, así como conexiones similares desde el ROSA 106 y Postamp 104 al controlador IC 110. Éstas son conexiones de monitorización analógicas que usa el controlador IC 110 para proporcionar retroalimentación diagnóstica al dispositivo principal vía localizaciones representadas en la memoria en el controlador IC. El controlador IC 110 en la realización preferida tiene una multiplicidad de entradas analógicas. Las señales de entrada analógicas indican condiciones de operación del circuito del transceptor y/o del receptor. Estas señales analógicas son exploradas por un multiplexor (MUX) 124 y convertidas usando un convertidor analógico a digital (ADC) 127. El ADC 127 tiene una resolución de 12 bits en la realización preferida, aunque ADCs con otros niveles de resolución pueden ser usados en otras realizaciones. Los valores convertidos son almacenados en localizaciones de memoria predefinidas, por ejemplo en el dispositivo de almacenamiento de valor diagnóstico y bandera 128 mostrado en la Fig. 3, y son accesibles al dispositivo principal vía lecturas de memoria. Estos valores son calibrados a unidades estándar (tales como milivoltios o microwatios) como parte de un procedimiento de calibración de fábrica.

Las cantidades digitalizadas almacenadas en localizaciones representadas en la memoria dentro del controlador IC incluyen, pero sin limitarse a ellas, la corriente de polarización del láser, la potencia del láser transmitida y la potencia recibida (según es medida por el fotodiodo detector en el ROSA 102). En las tablas de mapa de memoria (por ejemplo, Tabla 1), la corriente de polarización del láser medida es denotada como B_{in} , la potencia del láser transmitida medida es denotada como P_{in} y la potencia recibida medida es denotada como R_{in} . Las tablas de mapa de memoria indican las localizaciones de memoria en las que en una implementación ejemplar estos valores medidos son almacenados y muestran también dónde son almacenados los valores límite correspondientes, valores de bandera y valores de configuración (por ejemplo, para indicar la polaridad de las banderas).

Como se muestra en la Fig. 3, el controlador 110 incluye un sensor de suministro de voltaje 126. Una señal de nivel de voltaje analógica generada por este sensor es convertida en una señal de nivel de voltaje digital por el ADC 127,

ES 2 274 354 T3

y la señal de nivel de voltaje digital es almacenada en la memoria 128. En una realización preferida, el multiplexor de entrada A/D 124 y el ADC 127 son controlados por una señal de reloj para convertir periódicamente de forma automática las señales monitorizadas en señales digitales y almacenar aquellos valores digitales en la memoria 128.

5 Además, cuando son generados los valores digitales, la lógica de comparación de valor 131 del controlador compara estos valores con valores límite predefinidos. Los valores límite son preferiblemente almacenados en la memoria 128 en la fábrica, pero el dispositivo principal puede sobrescribir los valores límite programados originalmente con nuevos valores límite. Cada señal monitorizada es comparada automáticamente con el valor límite inferior y el valor límite superior, lo que tiene como resultado la generación de dos valores de bandera límite que son después almacenados en el dispositivo de almacenamiento de valor diagnóstico y bandera 128. Para cualesquiera señales monitorizadas en las que no hay límite superior o inferior significativo, el valor límite correspondiente puede ser ajustado a un valor que nunca hará que sea ajustada la bandera correspondiente.

15 Las banderas límite se llaman a veces también banderas de alarma y aviso. El dispositivo principal (o usuario final) puede monitorizar estas banderas para determinar si existen condiciones que sea probable que hayan sido causadas porque haya fallado un enlace de transceptor (banderas de alarma) o si existen condiciones que predicen que es probable que ocurra pronto un fallo. Ejemplos de tales condiciones podrían ser una corriente de polarización del láser que ha caído a cero, que es indicativa de un fallo inmediato de la salida del transmisor, o una corriente de polarización del láser en un modo de potencia constante que excede de su valor nominal en más del 50%, que es una indicación de la condición del final de la vida del láser. Por tanto, las banderas límite generadas automáticamente son útiles porque proporcionan una decisión de aprobación-fallo simple en la funcionalidad del transceptor basada en valores límite almacenados internamente.

25 En una realización preferida, el circuito de control de fallos y lógico 133 compara mediante una O lógica las banderas de alarma y aviso, junto con las señales de entrada LOS (pérdida de señal) interna y entrada de Error para producir una señal binaria de error de transceptor (Error Tx) que está acoplada a la interfaz del dispositivo principal, y por tanto puesta a disposición del dispositivo principal. El dispositivo principal puede ser programado para monitorizar la señal Error Tx y para responder a una afirmación de la señal Error Tx leyendo automáticamente todas las banderas de alarma y aviso en el transceptor, así como las señales monitorizadas correspondientes, para determinar la causa de la alarma o aviso.

El circuito de control de fallos y lógico 133 transmite además una pérdida de señal (LOS) recibida del circuito receptor (ROSA, Fig. 2) a la interfaz del dispositivo principal.

35 Otra función del circuito de control de fallos y lógico 133 es deshabilitar la operación del transmisor (TOSA, Fig. 2) cuando sea necesario para asegurar la seguridad del ojo. Hay una interacción definida por estándares entre el estado del excitador del láser y la salida Tx deshabilitado que es implementada por el circuito de control de fallos y lógico 133. Cuando el circuito lógico 133 detecta un problema que podría tener como consecuencia peligro para la seguridad del ojo, el excitador del láser es deshabilitado activando la señal Tx Deshabilitado del controlador. El dispositivo principal puede reiniciar esta condición enviando una señal de comando en la línea CmdTxDesahabilitado de la interfaz al dispositivo principal.

Aún otra función del circuito de control de fallos y lógico 133 es determinar la polaridad de sus señales de entrada y salida de acuerdo con un conjunto de banderas de configuración almacenadas en la memoria 128. Por ejemplo, la salida Pérdida de Señal (LOS) del circuito 133 puede ser una señal lógica baja o lógica alta, como está determinado por una bandera de configuración correspondiente almacenada en la memoria 128.

Otras banderas de configuración (véase la Tabla 4) almacenadas en la memoria 128 son usadas para determinar la polaridad de cada una de las banderas de aviso y alarma. Aún otros valores de configuración almacenados en la memoria 128 son usados para determinar la escala aplicada por el ADC 127 cuando convierten cada una de las señales analógicas monitorizadas en valores digitales.

En una realización alternativa, otra entrada al controlador 102, en la interfaz del dispositivo principal, es una señal de selección de tasa. En la Fig. 3, la señal de selección de tasa es introducida en la lógica 133. Esta señal generada por el dispositivo principal sería típicamente una señal digital que especifica la tasa de datos esperada de los datos a ser recibidos por el receptor (ROSA 102). Por ejemplo, la señal de selección de tasa podría tener dos valores que representan tasas de datos alta y baja (por ejemplo 2,5 Gb/s y 1,25 Gb/s). El controlador responde a la señal de selección de tasa generando señales de control para ajustar el circuito del receptor analógico a un ancho de banda correspondiente al valor especificado por la señal de selección de tasa.

Aunque la combinación de todas las funciones anteriores es deseada en la realización preferida de este controlador de transceptor, debería ser obvio para un experto en la técnica que un dispositivo que sólo implementa un subconjunto de estas funciones sería también de gran utilidad. De forma similar la presente invención es aplicable también a los transmisores y receptores, y por tanto no es aplicable sólo a transceptores. Finalmente, debería destacarse que el controlador de la presente invención es adecuado para la aplicación de enlaces ópticos multicanal.

ES 2 274 354 T3

TABLA 1

MAPAS DE MEMORIA PARA EL CONTROLADOR DEL TRANSCEPTOR		
Localización memoria (matriz 0)	Nombre de localización	Función
00h-5Fh	Datos IEEE	Este bloque de memoria es usado para almacenar los datos GBIC requeridos
60h	MSB Temperatura	Este byte contiene el bit más significativo (MSB) del complemento a dos de 15 bits de la salida de temperatura del sensor de temperatura
61h	LSB Temperatura	Este byte contiene el bit menos significativo (LSB) del complemento a dos de 15 bits de la salida de temperatura del sensor de temperatura (LSB es 0b)
62h-63h	Valor V_{cc}	Estos bytes contienen el MSB (62h) y el LSB (63h) de V_{cc} medido (número de 15 bits con 0b LSbit)
64h-65h	Valor B_m	Estos bytes contienen el MSB (64h) y el LSB (65h) de B_m medido (corriente de polarización del láser) (número de 15 bits con 0b LSbit)
66h-67h	Valor P_m	Estos bytes contienen el MSB (66h) y el LSB (67h) de P_m medido (potencia transmitida del láser) (número de 15 bits con 0b LSbit)
68h-69h	Valor R_m	Estos bytes contienen el MSB (68h) y el LSB (69h) de R_m medido (potencia recibida) (número de 15 bits con 0b LSbit)
6Ah-6Dh	Reservado	Reservado
6Eh	Estados E/S	Este byte muestra el valor lógico de las patillas E/S
6Fh	A/D actualizado	Permite al usuario verificar si se ha producido una actualización de A/D a los 5 valores:

ES 2 274 354 T3

		temperatura, V_{cc} , B_m , P_m y R_m . El usuario escribe el byte a 00h. Una vez que una conversión está completa para un valor dado, su bit cambiará a "1"
70h-73h	Banderas de alarma	Estos bits reflejan el estado de las alarmas como actualizaciones de conversión. Los bits de alarma valor alto son "1" si el valor convertido es mayor que el límite alto correspondiente. Bits de alarma valor bajo son "1" si el valor convertido es menor que el límite inferior correspondiente. En otro caso los bits son 0b.
74h-77h	Banderas de aviso	Estos bits reflejan el estado de los avisos como actualizaciones de conversión. Los bits de alarma valor alto son "1" si el valor convertido es mayor que el límite alto correspondiente. Bits de aviso valor bajo son "1" si el valor convertido es menor que el límite inferior correspondiente. En otro caso los bits son 0b.
78h-7Ah	Reservado	Reservado
7Bh-7Eh	Bytes de Entrada de Clave PWE Byte 3 (7Bh) MSByte PWE Byte 2 (7Ch) PWE Byte 1 (7Dh) PWE Byte 0 (7Eh) LSByte	Los cuatro bytes son usados para entrada de clave. La clave introducida determinará los privilegios de lectura/escritura del usuario.
7Fh	Seleccionar matriz	Escribir a este byte determina cuál de las páginas superiores de la memoria es seleccionada por lectura y escritura 0xh (matriz x seleccionada), donde x = 1,2,3,4 ó 5
SOh-FFh		Reservado/no implementado actualmente
Localización memoria (matriz 1)	Nombre de Localización	Función de localización
80h-FFh		Zona de datos EEPROM
Localización memoria (matriz 2)	Nombre de Localización	Función de localización
80h-FFh		Zona de datos EEPROM
Localización memoria (matriz 3)	Nombre de Localización	Función de localización
80h-81h 88h-89h 90h-91h 98h-99h	Alarma temperatura alta Alarma V_{cc} alto Alarma B_m alta	El valor escrito a esta localización sirve como el límite de alarma alta. El formato de datos es el mismo que el valor correspondiente (temperatura, V_{cc} , B_m , P_m , R_m)
Localización memoria (matriz 0)	Nombre de Localización	Función
A0h-A1h	Alarma P_m alta, Alarma R_m alta	
82h-83h 8Ah-8Bh 92h-93h 9Ah-9Bh A2h-A3h	Alarma temperatura baja Alarma V_{cc} bajo Alarma B_m baja Alarma P_m baja Alarma R_m baja	El valor escrito a esta localización sirve como límite de alarma bajo. El formato de datos es el mismo que el valor correspondiente (temperatura, V_{cc} , B_m , P_m , R_m)
84h-85h 8Ch-8Dh 94h-95h	Aviso temperatura alta Aviso V_{cc} alto Aviso B_m alta	El valor escrito a esta localización sirve como límite de aviso alto. El formato de datos es el mismo que el valor correspondiente (tempera-

ES 2 274 354 T3

	9Ch-9Dh A4h-A5h	Aviso P _m alta Aviso R _m alta	tura, V _{cc} , B _m , P _m , R _m)
5	86h-87h 8Eh-8Fh 96h-97h 9Eh-9Fh A6h-A7h	Aviso temperatura baja Aviso V _{cc} bajo Aviso B _m baja Aviso P _m baja Aviso R _m baja	El valor escrito a esta localización sirve como límite de aviso bajo. El formato de datos es el mismo que el valor correspondiente (temperatura, V _{cc} , B _m , P _m , R _m)
10	A8h-AFh, C5h B0h-B7h, C6h BSh-BFh, C7h	D _{sal} control 0-8 F _{sal} control 0-8 L _{sal} control 0-8	Las localizaciones de bits individuales están definidas en la Tabla 4
15	C0h	Reservada	Reservada
	C1h	Preescala	Selecciona MCLK divisor para CLKS retardo X
20	C2h C3h C4h	D _{sal} Retardo F _{sal} Retardo L _{sal} Retardo	Selecciona número de relojes de preeescala
25	C8h-C9h CAh-CBh CCh-CDh CEh-CFh	V _{cc} - A/D Escala B _m - A/D Escala P _m - A/D Escala R _m - A/D Escala	16 bits de ajuste de ganancia para valores de conversión A/D correspondientes
	D0h	Dirección Chip	Selecciona dirección chip cuando patilla ASEL externa es baja
30	D1h	Margen n° 2	Porcentaje selectivo Finisar (FSP) para D/A n° 2
	D2h	Margen n° 1	Porcentaje selectivo Finisar (FSP) para D/A n° 1
35	D3h-D6h	PW 1 Byte 3 (D3h) MSB PW 1 Byte 2 (D4h) PW1 Byte 1 (D5h) PW 1 Byte 0 (D6h) LSB	Los cuatro bytes son usados para la entrada clave 1. La clave introducida determinará los privilegios de lectura/escritura del cliente de Finisar
40	D7h	Control D/A	Este byte determina si D/A da como salida fuente o corriente de drenaje , y permite que se haga escala en las salidas
45	D8h-DFh	Desconexión rápida B _m	Estos bytes definen la comparación de desconexión rápida sobre la temperatura
	E0h-E3h	Desconexión rápida P _m	Estos bytes definen la comparación de desconexión rápida sobre la temperatura
50	E4h-E7h	Desconexión rápida R _m	Estos bytes definen la comparación de desconexión rápida sobre la temperatura
55	E8h	Configuración Byte de sobrescritura	La localización de los bits está definida en Tabla 4
	E9h	Reservada	Reservada
	EAh-EBh	Bytes de estado interno	La localización de los bits está definida en Tabla 4
	ECh	Estado E/S 1	La localización de los bits está definida en Tabla 4
60	EDh-EEh	Salida D/A	Magnitudes de salidas D/A compensadas en temperatura
	EFh	Índice de temperatura	Puntero de dirección para matrices de búsqueda
	F0h-FFh	Reservada	Reservada
65	Localización de memoria (matriz 4)	Nombre de localización	Función de Localización
	00h-FFh		Corriente D/A respecto a Temperatura n° 1

ES 2 274 354 T3

		(Matriz de búsqueda n° 1 definida por el usuario)
5	Localización de memoria (matriz 4)	Nombre de localización
	00h-FFh	Función de Localización
		Corriente D/A respecto a Temperatura n° 2 (Matriz de búsqueda n° 2 definida por el usuario)

TABLA 2

Descripciones de memoria en detalle -valores A/D y bits de estado

Byte	Bit	Nombre	Descripción
Valores analógicos convertidos. Datos de 16 bits calibrados			
96 (60h)	Todos	MSB Temperatura	Complemento entero a 2 con signo de temperatura (-40 a + 25C) basado en la medida de la temperatura interna
97	Todos	LSB Temperatura	Parte fraccionaria de temperatura (conteo/256)
98	Todos	MSB V _{cc}	Voltaje de suministro medido internamente en el transceptor. El voltaje real es un valor de 16 bits completo * 100 u Voltios
99	Todos	LSB V _{cc}	(produce un rango de 0 – 6,55 V)
100	Todos	MSB Polarización TX	Corriente de polarización TX medida en mA, la corriente de polarización es un valor de 16 bits completo * (1/256) mA.
101	Todos	MSB Polarización TX	(Rango completo de 0-256 mA posible con una resolución de 4 uA)
102	Todos	MSB Potencia TX	Potencia de salida TX medida en mV. La salida es un valor de 16 bit completo * (1/2048) mW
103	Todos	LSB Potencia TX	(Rango completo de 0-32 mW posible con una resolución de 0,5 µW, o -33 a +15 dBm)
104	Todos	MSB Potencia RX	Potencia de entrada RX medida en mW es un valor de 16 bits completo * (1/16384) mW
105	Todos	LSB Potencia RX	(Rango completo de 0-4 mW posible con una resolución de 0,06 µW, o -42 a + 6dBm)
106	Todos	MSB Reservado	Reservada para 1ª definición futura de entrada analógica digitalizada

ES 2 274 354 T3

107	Todos	LSB Reservado	Reservada para 1ª definición futura de entrada analógica digitalizada
108	Todos	MSB Reservado	Reservada para 2ª definición futura de entrada analógica digitalizada
109	Todos	LSB Reservado	Reservada para 2ª definición futura de entrada analógica digitalizada
Bits de Estado General			
110	7	TX Deshabilitado	Estado digital de la pátilla de entrada TX Deshabilitado
110	6	Reservado	
110	5	Reservado	
110	4	Selección de tasa	Estado digital de la pátilla de entrada de selección de tasa SPF
110	3	Reservado	
110	2	Error TX	Estado digital de la pátilla de salida de error TX
110	1	LOS	Estado digital de la pátilla de Salida LOS
110	0	Lógica de encendido	Indica que el transceptor ha conseguido encendido y datos validos
111	7	Temp A/D válido	Indica que el valor A/D en bytes 96/97 es válido
111	6	V _{cc} A/D válido	Indica que el valor A/D en bytes 98/99 es válido
111	5	Polarización TX A/D válido	Indica que el valor A/D en bytes 100/101 es válido
111	4	Potencia TX A/D válido	Indica que el valor A/D en bytes 102/103 es válido
111	3	Potencia RX A/D válido	Indica que el valor A/D en bytes 104/105 es válido
111	2	Reservado	Indica que el valor A/D en bytes 106/107 es válido
111	1	Reservado	Indica que el valor A/D en bytes 108/109 es válido
111	0	Reservado	Reservado

ES 2 274 354 T3

TABLA 3

Descripciones de memoria en detalle- bits de banderas de alarma y aviso

Byte	Bit	Nombre	Descripción
Bits de Banderas de Alarma y Aviso			
112	7	Alarma Temperatura Alta	Se establece cuando la temperatura interna excede del nivel de alarma alto
112	6	Alarma Temperatura Baja	Se establece cuando la temperatura interna está por debajo del nivel de alarma bajo
112	5	Alarma V _{cc} Alto	Se establece cuando el voltaje de suministro interno excede del nivel de alarma alto
112	4	Alarma V _{cc} Bajo	Se establece cuando el voltaje de suministro interno está por debajo del nivel de alarma bajo
112	3	Alarma Polarización TX Alta	Se establece cuando la corriente de polarización TX excede del nivel de alarma alto
112	2	Alarma Polarización TX Baja	Se establece cuando la corriente de polarización TX está por debajo del nivel de alarma bajo
112	1	Alarma Potencia TX Alta	Se establece cuando la potencia de salida TX excede del nivel de alarma alto
112	0	Alarma Potencia TX Baja	Se establece cuando la potencia de salida TX está por debajo del nivel de alarma bajo
113	7	Alarma Potencia RX Alta	Se establece cuando la Potencia Recibida excede el nivel de alarma alto
113	6	Alarma Potencia RX Baja	Se establece cuando la Potencia Recibida está por debajo del nivel de alarma alto
113	5-0	Alarma Reservada	
114	Todos	Reservada	
115	Todos	Reservada	
116	7	Aviso Temperatura alta	Se establece cuando la temperatura interna excede del nivel de aviso alto
116	6	Aviso Temperatura baja	Se establece cuando la temperatura interna está por debajo del nivel de aviso bajo
116	5	Aviso V _{cc} Alto	Se establece cuando el voltaje de suministro excede del nivel de aviso alto
116	4	Aviso V _{cc} Bajo	Se establece cuando el voltaje de suministro interno está por debajo

ES 2 274 354 T3

			del nivel de aviso bajo
5	116	3	Aviso Polarización TX Alta Se establece cuando la corriente de polarización TX excede del nivel de aviso alto
10	116	2	Aviso Polarización TX Baja Se establece cuando la corriente de polarización TX está por debajo del nivel de aviso bajo
15	116	1	Aviso Potencia TX Alta Se establece cuando la potencia de salida TX excede del nivel de aviso alto
20	116	0	Aviso Potencia TX Baja Se establece cuando la potencia de salida TX está por debajo del nivel de aviso bajo
25	117	7	Aviso Potencia RX Alta Se establece cuando la potencia recibida excede del nivel de aviso alto
30	117	6	Aviso Potencia RX Baja Se establece cuando la potencia recibida está por debajo del nivel de aviso bajo
	117	5	Aviso Reservado
	117	4	Aviso Reservado
	117	3	Aviso Reservado
	117	2	Aviso Reservado
35	117	1	Aviso Reservado
	117	0	Reservado Aviso
	118	Todos	Reservado
	119	Todos	Reservado

ES 2 274 354 T3

TABLA 4

Nombre de Byte	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Sal-X cntd0	Poner Alrm T Alta	Poner Alrm T Baja	Poner Alrm V Alto	Poner Alrm V Bajo	Poner Alrm B Alta	Poner Alrm B Baja	Poner Alrm P Alta	Poner Alrm P Baja
Sal-X cntd1	Poner Alrm R Alta	Poner Alrm R Baja	Poner Ft B Alta	Poner Ft P Alta	Poner Ft B Alta	Poner Ent-D inv	Poner Ent-D	Poner Ent-F inv
Sal-X cntd2	Poner Ent-F	Poner Ent-L inv	Poner Ent-L	Poner Aux inv	Poner Aux	Hib Alrm T alta	Hib Alrm T baja	Hib alrm V alto
Sal-X cntd3	Hib Alrm V bajo	Hib Alrm B alta	Hib Alrm B baja	Hib Alrm P alta	Hib Alrm P baja	Hib Alrm R alta	Hib Alrm R baja	Hib Ft B alta
Sal-X cntd4	Hib P ft alta	Hib R ft alta	Hib Ent-D inv	Hib Ent-D	Hib Ent-F inv	Hib Ent-F	Hib Ent-L inv	Hib Ent-L
Sal-X cntd5	Hib Aux inv	Hib Aux	Borrar alrm B alta	Borrar alrm T baja	Borrar alrm V alto	Borrar alrm V bajo	Borrar alrm B alta	Borrar alrm B baja
Sal-X cntd6	Borrar alrm P alta	Borrar alrm P baja	Borrar alrm R alta	Borrar alrm R baja	Borrar ft B alta	Borrar ft P alta	Borrar ft R alta	Borrar Ent-D inv
Sal-X cntd7	Borrar Ent-D	Borrar Ent-F inv	Borrar Ent-F	Borrar Ent-L inv	Borrar Ent-L	Borrar Inv Aux	Borrar Aux	EE
Sal-X cntd8	Selección Cerrojo	Inven	Datos sobrees.	Selecc. Sobrees.	Datos Reinicio S	Habilitar Alto	Habilitar Bajo	Habilitar actuación
Preescala	reservada	reservada	Reservada	reservada	B ³	B ²	B ¹	B ⁰
Sal-X demora	B ⁷	B ⁶	B ⁵	B ⁴	B ³	B ²	B ¹	B ⁰
Dirección chip	b ⁷	b ⁶	b ⁵	b ⁴	b ³	b ²	b ¹	x
X-ad escala MSB	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸
X-ad escala LSB	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
D/A Cntl	Fuente/drenaje	D/A n° 2 rango			Fuente/drenaje	D/A n° 1 rango		
	E/S	2 ¹	2 ⁰	2 ⁰	E/S	2 ²	2 ¹	2 ⁰
Config/Sobre esc	D/A manual	Índice manual	Alarma AD manual	EE Bar	SW-POR	Habilitar A/D	Alarma rápida manual	Reservado
Estado Interno 1	Poner-D	Inhibir- D	Demora-D	Borrar-D	Poner-F	Inhibir- F	Demora-F	Borrar F
Estado Interno 0	Poner-L	Inhibir. L	Demora-L	Borrar- L	Reservada	reservada	reservada	reservada
Estado E/S 1	reservada	Ent-F	Ent-L	reservada	Sal-D	reservada	reservada	reservada
Margen n° 1	Reservada	Escala Neg_2	Escala Neg_1	Escala Neg_0	Reservada	Escala Pos_2	Escala Pos_1	Escala Pos_0
Margen n° 2	Reservada	Escala Neg_2	Escala Neg_1	Escala Neg_0	Reservada	Escala Pos_2	Escala Pos_1	Escala Pos_0

REIVINDICACIONES

1. Circuito para monitorizar un dispositivo optoelectrónico, que comprende: una memoria (120, 122, 128), que incluye una o más matrices de memoria para almacenar la información relativa al dispositivo optoelectrónico; un circuito de conversión analógico a digital (127) configurado para recibir una pluralidad de señales analógicas del dispositivo optoelectrónico, correspondiendo las señales analógicas a las condiciones de operación del dispositivo optoelectrónico, convertir las señales analógicas recibidas en valores digitales, y almacenar los valores digitales en localizaciones representadas en la memoria predefinidas dentro de la memoria; una lógica de comparación (131) configurada para comparar los valores digitales con valores límite para generar valores de bandera, en el que los valores de bandera son almacenados en localizaciones de almacenamiento de banderas representadas en la memoria predefinidas dentro de la memoria durante la operación del dispositivo optoelectrónico; y una interfaz (121) configurada para permitir a un dispositivo principal leer de las localizaciones representadas en la memoria específicas del dispositivo principal dentro de la memoria, que incluyen las localizaciones de almacenamiento de banderas representadas en la memoria predefinidas, de acuerdo con comandos recibidos desde el dispositivo principal.

2. Circuito según la reivindicación 1, en el que el circuito de conversión analógico a digital (127) está configurado para convertir una señal de nivel de potencia en un valor de nivel de potencia digital y almacenar el valor de nivel de potencia digital en una localización de nivel de potencia predefinida dentro de la memoria; en el que el valor de nivel de potencia digital puede ser leído vía la interfaz cuando el dispositivo principal especifica a la interfaz la localización de nivel de potencia predefinida.

3. Circuito según la reivindicación 2, en el que la lógica de comparación incluye lógica para comparar el valor de nivel de potencia digital con un valor límite de potencia, generar un valor de bandera de potencia basado en la comparación de la señal de potencia digital con el valor límite de potencia, y almacenar el valor de bandera de potencia en una localización de bandera de potencia predefinida dentro de la memoria; en el que el valor de bandera de potencia almacenado en la memoria puede ser leído vía la interfaz cuando el dispositivo principal especifica a la interfaz la localización de la bandera de potencia predefinida.

4. Circuito según la reivindicación 1, en el que el circuito de conversión analógico a digital (127) está configurado para convertir una señal de temperatura en un valor de temperatura digital y almacenar el valor de temperatura digital en una localización de temperatura predefinida dentro de la memoria (128); en el que el valor de temperatura digital almacenado en la memoria puede ser leído vía la interfaz cuando el dispositivo principal especifica a la interfaz la localización de temperatura predefinida.

5. Circuito según la reivindicación 4, en el que la lógica de comparación (131) incluye lógica para comparar el valor de temperatura digital con un valor límite de temperatura, generar un valor de bandera de temperatura basado en la comparación de la señal de temperatura digital con el valor límite de temperatura, y almacenar el valor de bandera de temperatura en una localización de bandera de temperatura predefinida dentro de la memoria (128); en el que el valor de bandera de temperatura almacenado en la memoria puede ser leído vía la interfaz cuando el dispositivo principal especifica a la interfaz la localización de bandera de temperatura predefinida.

6. Circuito según la reivindicación 1, en el que la pluralidad de señales analógicas incluye dos señales analógicas seleccionadas del conjunto que consiste en la corriente de polarización del láser, la potencia de salida del láser y la potencia recibida.

7. Circuito según la reivindicación 1, en el que el circuito de conversión analógico a digital (127) está configurado para recibir una señal analógica de nivel de voltaje de suministro de potencia del dispositivo optoelectrónico, convertir la señal de nivel de voltaje de suministro de potencia en un valor de nivel de potencia digital y almacenar el valor de nivel de potencia digital en una localización de nivel de potencia predefinida dentro de la memoria (128); en el que el valor de nivel de potencia digital almacenado en la memoria puede ser leído vía la interfaz cuando el dispositivo principal especifica a la interfaz la localización de nivel de potencia predefinida.

8. Método para monitorizar un dispositivo optoelectrónico, que comprende: recibir una pluralidad de señales analógicas desde el dispositivo optoelectrónico, correspondiendo las señales analógicas a condiciones de operación del dispositivo optoelectrónico, convertir las señales analógicas recibidas en valores digitales, y almacenar los valores digitales en localizaciones predefinidas representadas en la memoria dentro de una memoria (120, 122, 128); comparar los valores digitales con valores límite para generar valores de bandera, y almacenar los valores de bandera en localizaciones de bandera representadas en la memoria predefinidas dentro de la memoria; y de acuerdo con comandos recibidos desde un dispositivo principal, habilitar el dispositivo principal para leer de las localizaciones representadas en la memoria especificadas para principal dentro de la memoria, incluyendo las localizaciones de bandera representadas en la memoria predefinidas vía una interfaz.

9. Método según la reivindicación 8, que incluye además: generar una señal de nivel de potencia correspondiente a un nivel de voltaje de suministro de potencia del dispositivo optoelectrónico, convertir la señal de nivel de potencia en un valor de nivel de potencia digital y almacenar el valor de nivel de potencia digital en una localización de nivel de potencia predefinida dentro de la memoria (128); y habilitar el dispositivo principal para leer el valor de nivel de potencia digital cuando el dispositivo principal especifica la localización de nivel de potencia predefinida.

10. Método según la reivindicación 9, que incluye además: comparar el valor de nivel de potencia digital con un valor límite de nivel de potencia, generar un valor de bandera de nivel de potencia basado en la comparación de la señal de nivel de potencia digital con el valor límite de nivel de potencia, y almacenar el valor de bandera de nivel de potencia en una localización de bandera de nivel de potencia predefinida dentro de la memoria; y habilitar el dispositivo principal para leer el valor de bandera de nivel de potencia cuando el dispositivo principal especifica la localización de bandera de nivel de potencia predefinida.

11. Método según la reivindicación 8, que incluye además generar una señal de temperatura correspondiente a una temperatura del dispositivo optoelectrónico, convertir la señal de temperatura en un valor de temperatura digital y almacenar el valor de temperatura digital en una localización de temperatura predefinida dentro de la memoria; y habilitar el dispositivo principal para leer el valor de temperatura digital cuando el dispositivo principal especifica la localización de temperatura predefinida.

12. Método según la reivindicación 11, que incluye además comparar el valor de temperatura digital con un valor límite de temperatura, generar un valor de bandera de temperatura basado en la comparación de la señal de temperatura digital con el valor límite de temperatura, y almacenar el valor de bandera de temperatura en una localización de bandera de temperatura predefinida dentro de la memoria; y habilitar al dispositivo principal para leer el valor de bandera de temperatura cuando el dispositivo principal especifica la localización de bandera de temperatura predefinida.

13. Método según la reivindicación 8, en el que la pluralidad de señales analógicas incluye dos señales analógicas seleccionadas del conjunto formado por la corriente de polarización del láser, la potencia de salida del láser y la potencia recibida.

14. Método según la reivindicación 8, que incluye recibir una señal de voltaje desde una fuente externa al dispositivo optoelectrónico, convertir la señal de voltaje en un valor de voltaje digital y almacenar el valor de voltaje digital en una localización predefinida respectiva dentro de la memoria; y habilitar el dispositivo principal para leer el valor de voltaje digital cuando el dispositivo principal especifica la localización predefinida respectiva.

15. Transceptor optoelectrónico, que comprende: un emisor de rayos láser (103, 105); un fotodiodo receptor (102, 104); una memoria (120, 122, 128) que incluye una o mas matrices de memoria para almacenar información relativa al transceptor optoelectrónico; un circuito de conversión analógico a digital (127) configurado para recibir una pluralidad de señales analógicas desde el transceptor optoelectrónico, correspondiendo las señales analógicas a condiciones de operación del transceptor optoelectrónico, convertir las señales analógicas recibidas en valores digitales, y almacenar los valores digitales en localizaciones representadas en la memoria predefinidas dentro de la memoria; una lógica de comparación (131) configurada para comparar los valores digitales con valores límite para generar valores de bandera, en el que los valores de bandera son almacenados en localizaciones de almacenamiento de banderas representadas en la memoria predefinidas dentro de la memoria durante la operación del transceptor optoelectrónico; y una interfaz (121) configurada para permitir al dispositivo principal leer desde las localizaciones representadas en la memoria específicas para el dispositivo principal dentro de la memoria, incluyendo las localizaciones de almacenamiento de bandera representadas en la memoria predefinidas, de acuerdo con comandos recibidos desde el dispositivo principal.

16. Transceptor optoelectrónico según la reivindicación 15, en el que el circuito de conversión analógico a digital (127) está configurado para convertir una señal de nivel de potencia en un valor de nivel de potencia digital y almacenar el valor de nivel de potencia digital en una localización de nivel de potencia predefinida dentro de la memoria; en el que el valor de nivel de potencia digital puede ser leído vía la interfaz cuando el dispositivo principal especifica a la interfaz la localización de nivel de potencia predefinida.

17. Transceptor optoelectrónico según la reivindicación 16, en el que la lógica de comparación incluye lógica para comparar el valor de nivel de potencia digital con un valor límite de potencia, generar un valor de bandera de potencia basado en la comparación de la señal de potencia digital con el valor límite de potencia, y almacenar el valor de bandera de potencia en una localización de bandera de potencia predefinida dentro de la memoria; en el que el valor de bandera de potencia almacenado en la memoria puede ser leído vía la interfaz cuando el dispositivo principal especifica a la interfaz la localización de bandera de potencia predefinida.

18. Transceptor optoelectrónico según la reivindicación 15, en el que el circuito de conversión analógico a digital (127) está configurado para convertir un señal de temperatura en un valor de temperatura digital y almacenar el valor de temperatura digital en una localización de temperatura predefinida dentro de la memoria (128); en el que el valor de temperatura digital almacenado en la memoria puede ser leído vía la interfaz cuando el dispositivo principal especifica a la interfaz la localización de temperatura predefinida.

19. Transceptor optoelectrónico según la reivindicación 18, en el que la lógica de comparación (131) incluye lógica para comparar el valor de temperatura digital con un valor límite de temperatura, generar un valor de bandera de temperatura basado en la comparación de la señal de temperatura digital con el valor límite de temperatura, y almacenar el valor de bandera de temperatura en una localización de bandera de temperatura predefinida dentro de la memoria (128); en el que el valor de bandera de temperatura almacenado en la memoria puede ser leído vía la interfaz cuando el dispositivo principal especifica a la interfaz la localización de bandera de temperatura predefinida.

ES 2 274 354 T3

20. Transceptor optoelectrónico según la reivindicación 15, en el que la pluralidad de señales analógicas incluye dos señales analógicas seleccionadas del conjunto consistente en la corriente de polarización del láser, la potencia de salida del láser y la potencia recibida.

5 21. Transceptor optoelectrónico según la reivindicación 15, en el que el circuito de conversión analógico a digital (127) está configurado para recibir una señal de nivel de voltaje de suministro de potencia analógica del transceptor optoelectrónico, convertir la señal de nivel de voltaje de suministro de potencia en un valor de nivel de potencia digital y almacenar el valor de nivel de potencia digital en una localización de nivel de potencia predefinida dentro de la memoria (128); en el que el valor de nivel de potencia digital en la memoria puede ser leído vía la interfaz cuando el
10 dispositivo principal especifica a la interfaz la localización de nivel de potencia predefinida.

15

20

25

30

35

40

45

50

55

60

65

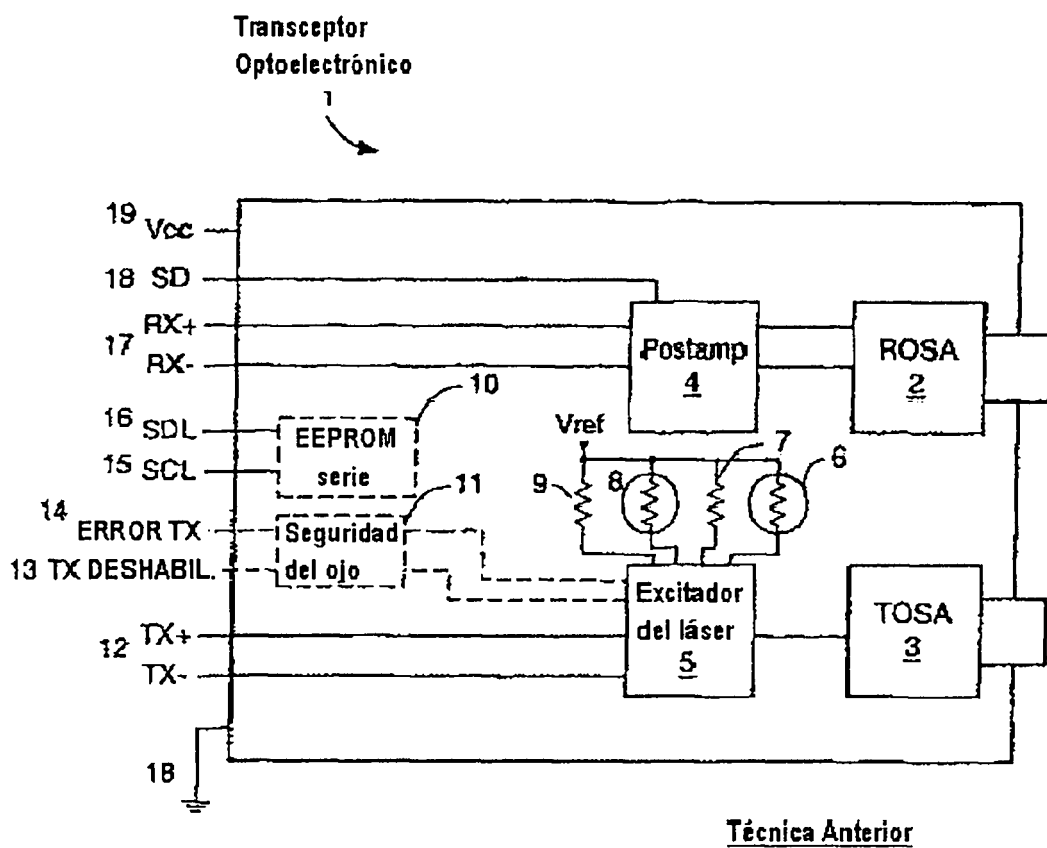


Fig. 1

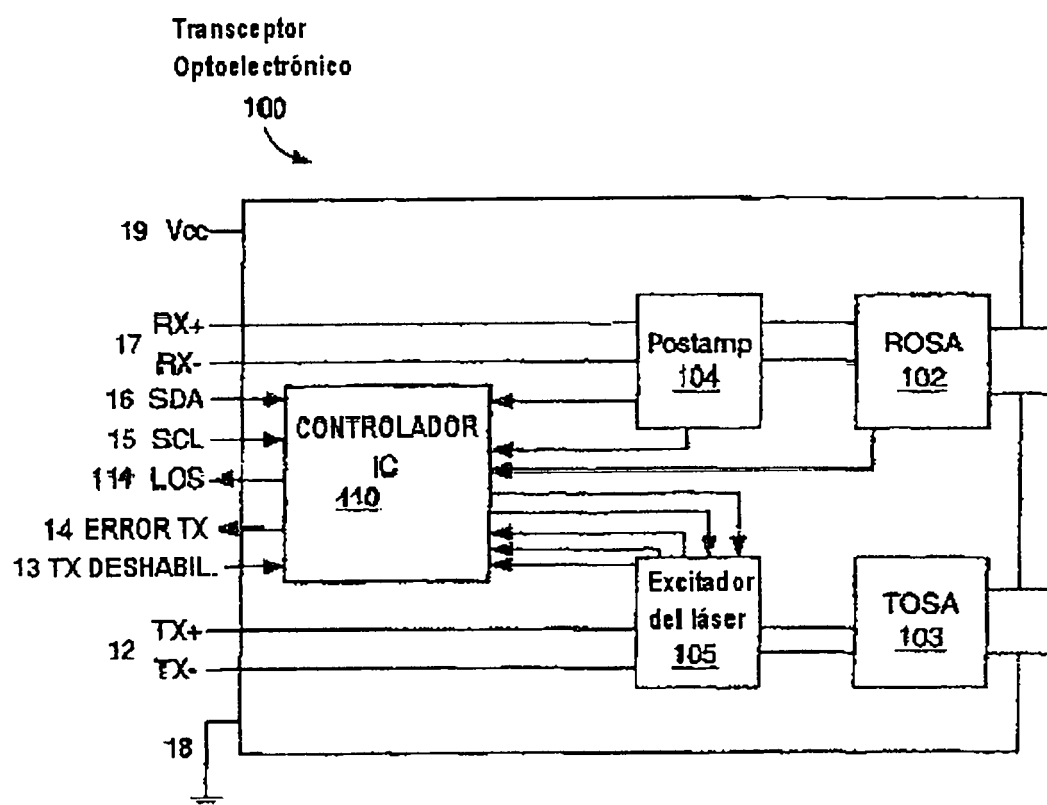


Fig. 2

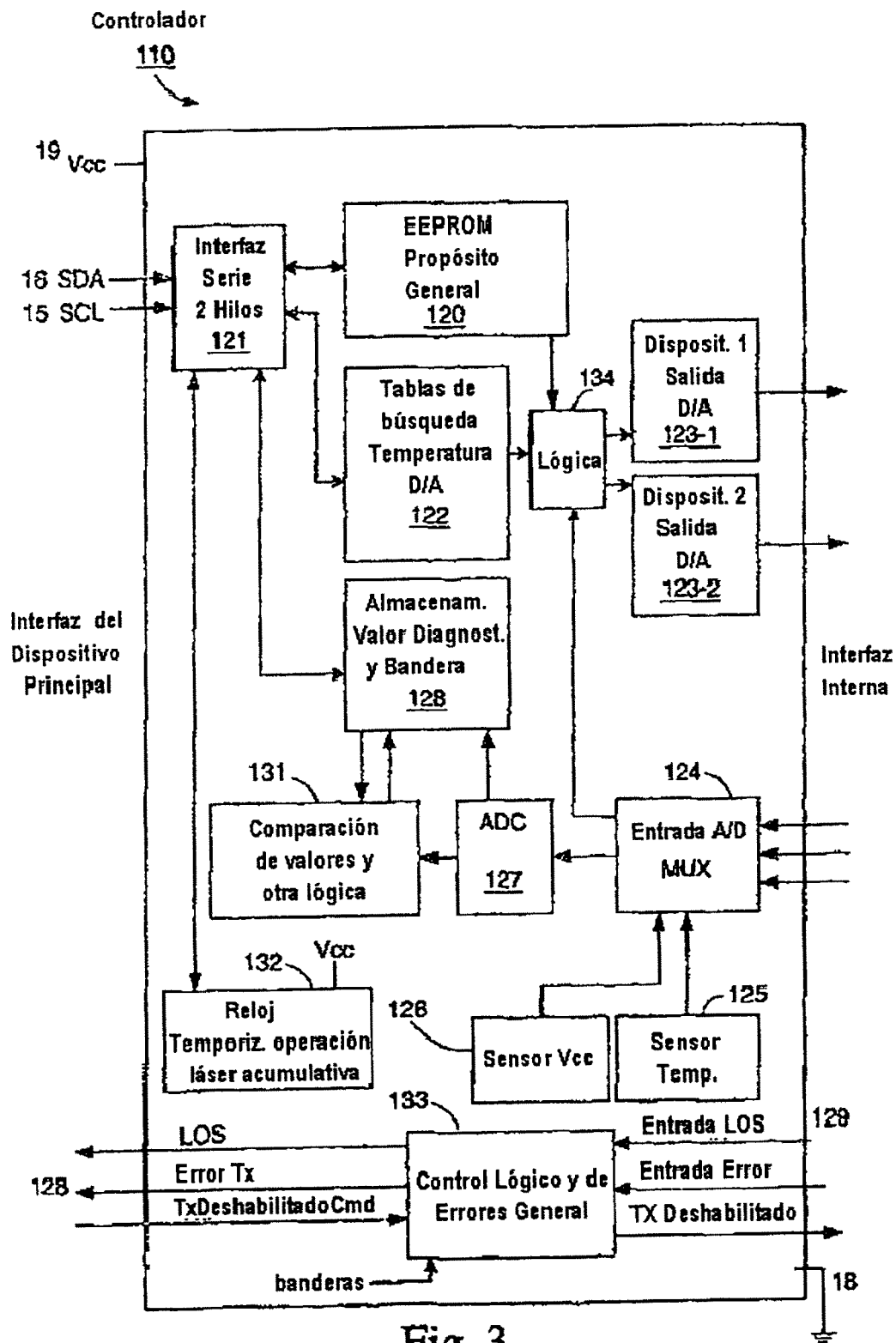


Fig. 3