

388921

388921

公告本

申請日期:

87. 11. 19

案號: 87119225

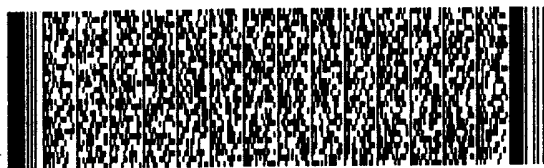
類別:

Int. Cl.⁶H2L²¹/₂₂ - G06F¹⁵/₀₀

(以上各欄由本局填註)

發明專利說明書

一 發明名稱	中文	半導體製程・裝置模擬方法及儲存模擬程式用之儲存媒介
	英文	Semiconductor Process Device Simulation Method and Storage Medium Storing Simulation Program
二 發明人	姓名 (中文)	1. 熊代 成孝
	姓名 (英文)	1.
	國籍	1. 日本
	住、居所	1. 日本國東京都港區芝五丁目七番一號日本電氣股份有限公司內
三 申請人	姓名 (名稱) (中文)	1. 日本電氣股份有限公司
	姓名 (名稱) (英文)	1. NEC Corporation
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都港區芝五丁目7番1號
	代表人 姓名 (中文)	1. 金子 尚志
代表人 姓名 (英文)	1.	



本案已向

國(地區)申請專利
日本 JP

申請日期 案號
1997/11/28 特願平9-343689

主張優先權
有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明背景

發明之領域

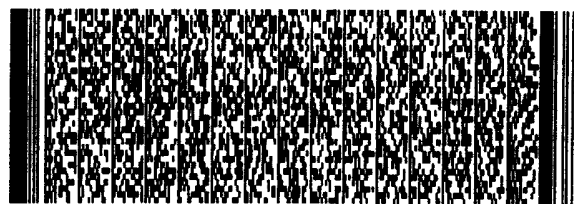
本發明係關於使用電腦模擬半導體裝置之製程與電氣特性的半導體製程、裝置模擬方法，及儲存模擬程式用的儲存媒介；特別是關於一種模擬方法，其在電腦上有效地且數值化地解出用在模擬之基於物理法則的聯立多維線性方程式。

相關技術之描述

在半導體積體電路例如VLSI的領域中，半導體裝置被更加微小圖案化，且製程變得更為複雜。在此情況下，低溫製程、精確回火製程與正確的製程設計是非常重要的。

在此背景之下，近年來，經常利用裝置模擬來做研究與開發例如半導體裝置的製造。其原因與實際上執行裝置模擬之電腦的大幅進步有關。此外，對電腦更方便的界面愈來愈容易取得。分析技術上的進步允許以更寬之範圍為目的的模擬，甚至是半導體裝置中的破壞現象或電流濃度的分析。

其中一種模擬為半導體裝置的其中一製程---雜質熱擴散的電腦模擬(參考資料1: Ryo Dan, "Process Device Simulation Technology", pp. 26-28)。參考資料1中所描述的模擬方法如下所述。首先，欲分析的區域被分割成網絡，且以擴散方程式離散地定義各網點。將這些擴散方程式轉換成線性方程式，且隨後藉由牛頓的方法等將之轉換成聯立線性方程式。最後，得到擴散方程式的



五、發明說明 (2)

解。

以包含雜質熱擴散、離子植入與熱氧化等製程所製備之半導體裝置的電氣特性藉由參考資料2 (Dan Ryo, "Process Simulation Technology", pp. 105-134) 中所描述的下述方法而加以模擬。

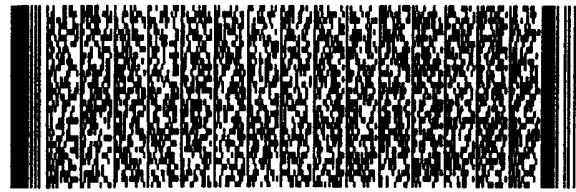
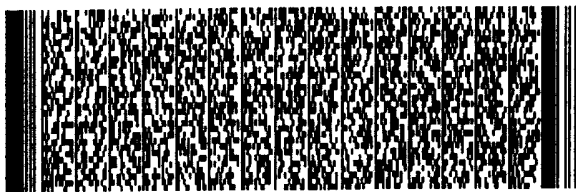
欲分析的區域被分割成網絡，且以帕松(Poisson)方程式及電流連續方程式離散地定義各網點。將這些方程式轉換成線性方程式，且隨後藉由牛頓的方法等將之轉換成聯立線性方程式。在電腦上解這些方程式，從而模擬半導體裝置的電氣特性。

在這些半導體製程·裝置模擬方法中，在實務上很重要的是使用最小記憶容量的電腦而盡可能以最快的速度來解出與網點的數量具有相同維數的大規模聯立線性方程式。

解出聯立線性方程式的功能被稱作「矩陣解算機」。習用上，許多方法已被提出來完成此種功能。舉例來說，當方程式的維數小的時候，則使用高斯消去法或LU分解所代表的直接方法。

相反地，當維數變大時，因為所使用之記憶容量與計算時間上的限制，故使用反覆方法。當所欲解的聯立線性方程式的係數矩陣是對稱的時候，則使用ICCG (不完全Choleske與共軛梯度)法。其為一種具有前處理的CG (共軛梯度)法。

當係數矩陣是對稱的時候，則以收斂性的觀點而言，



五、發明說明 (3)

一般使用被稱為Krylov亞空間法的一系列技術。

在ICCG與Krylov亞空間法中，形成一種演算法用於將欲求解的方程式的原係數矩陣與係數矩陣的近似逆矩陣相乘，以減少係數矩陣的條件數，從而以較小的重複次數解出欲求解的方程式之係數矩陣的近似逆矩陣。此操作如前所述被稱為「前處理」。係數矩陣的近似逆矩陣則被稱為「前處理矩陣」。

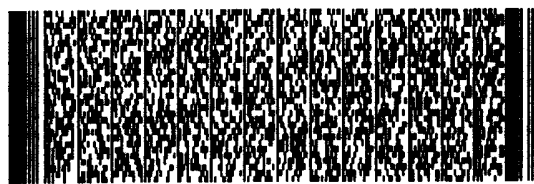
至於前處理矩陣的逆矩陣，通常使用以「不完全LU分解」所得到的矩陣，亦即，具有有限填入產生位置的LU分解。填入為以下列方程式(1)及(2)所表示之LU分解的過程，其意謂在位置(i, j)處所產生的原係數矩陣的元素值 A_{ij} 為0，而元素 L_{ij} 或 U_{ij} 則不為0。當所產生的填入沒有被丟棄、且在LU分解之隨後的過程中被考慮時，則執行習用的完全LU分解。

$$L_{ij} = A_{ij} - \sum_{k=1}^{j-1} L_{ik} U_{kj} \quad (k < j < 1) \quad \dots(1)$$

$$U_{ij} = L_{ij}^{-1} \left(A_{ij} - \sum_{k=1}^{i-1} L_{ik} U_{kj} \right) \quad (k < i < j) \quad \dots(2)$$

在基於不完全LU分解的前處理中，需要執行最佳化處理以滿足以下彼此相反的兩條件。第1，將填入的產生最小化以抑制執行計算時電腦中所使用的記憶容量與計算時間。第2，得到盡可能與完全LU分解接近的結果以提高反覆方法的收斂性。

至於可以有效執行此種處理的方法，所使用的有參考



五、發明說明 (4)

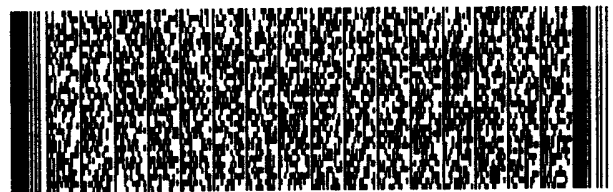
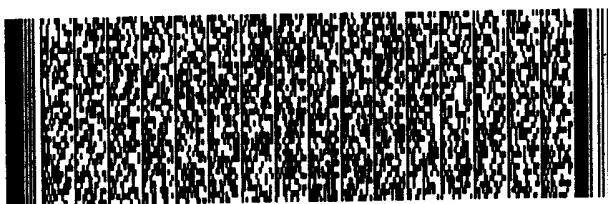
資料3中所描述的方法(Shin Nakamura and Akio Nakagawa, High-speed Iterative Method for Two-dimensional Bipolar MOS Composite Device Simulator TONADDEII", IEICE Technical Report, pp. 64-65)或參考資料4中的方法(Megumi Kawakami, Masahiro Sugaya and Shiroo Kamohara, "A New High-speed Non-equilibrium Point Defect Model for Annealing Simulation", SISPAD '96, p. 94, Fig. 1a)。

參考資料3或4中所描述的方法，如圖8的流程圖所示，首先，在步驟801中求得用以定義各點之欲求解方程式之數量的最大值 n 。在步驟802中，以各網點的 $n \times n$ 正方子矩陣為單元將係數矩陣的列與行分組，從而形成係數矩陣的方塊。在步驟803中，當實際上把 $n \times n$ 正方子矩陣視為一矩陣的同時，便執行基於正方子矩陣之計算的不完全LU分解處理。圖9顯示藉由上述操作所形成之係數矩陣的構造。

以正方子矩陣為單元的操作，可以使用相同的記憶容量而更有效率地執行接近完全LU分解的不完全LU分解，就如同純量元素的單元中的處理一般。此乃由於填入的產生模式係於在一網點處重視方程式之結合的同時被決定的。

前述習用半導體製程·裝置模擬技術所應用的目的揭露在特開平6-53155或8-213334號公報中。

然而，前述習用半導體製程裝置模擬技術具有以下問



五、發明說明 (5)

題。即，當從某物理法則所推導出的方程式只在所欲處理之分析區域的一部分成立的，或者沒有任何方程式被定義時，則在不完全LU分解的過程中會使用額外的記憶容量。

此乃由於用於計算的電腦處理，將具有 $n \times n$ 之一致尺寸的正方子矩陣用作不完全LU分解的處理單元。舉例來說，在前述模擬中，即使在方程式沒有被定義的網點處， $n \times n$ 之子矩陣尺寸仍然被維持著。當將「1」插入到子矩陣之對應的主對角部分並設定係數矩陣到記憶體中的同時，用於執行計算的電腦必需形成全部的係數矩陣。因此，使用到並非總是需要的記憶容量。

當電腦執行該計算時，記憶體上並非總是需要的一部分被存取。耗費的處理消耗掉額外的處理時間。

發明概要

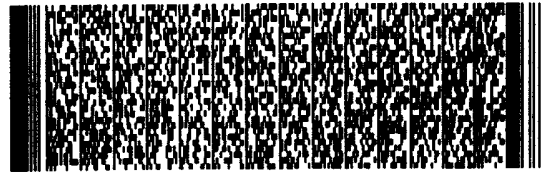
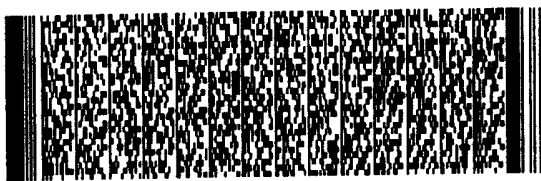
本發明之主要目的為在不使用非計算用之額外的記憶容量之下以高速得到模擬結果。

本發明的另一目的為提供一種半導體製程·裝置模擬方法，其允許在不使用任何額外的記憶容量下的高速不完全LU分解，即使不是當從某物理法則所導出並被用於電腦模擬半導體裝置的製程或電氣特性的方程式只在欲分析的區域的一部分成立、或者沒有任何方程式被定義時也是如此；及儲存其模擬程式的儲存媒介。

為了達到前述目的，依照本發明的一實施態樣，提供有一種半導體製程·裝置模擬方法，其包含至少：第1步驟，在欲處理之半導體裝置的表面上設定具有預定間隔的

五、發明說明 (6)

網絡；第2步驟，在網絡的各網點處定義複數個物理量；第3步驟，設定代表複數個物理量間之關係的方程式；第4步驟，產生主對角子矩陣與非主對角子矩陣所構成的係數矩陣，其中主對角子矩陣對應到各網點而排列在任一主對角上並表現出網點處的自我反饋功能，且主對角子矩陣具有對應到網點之數量的列及行的數量，而非主對角子矩陣對應到網點而排列在通過主對角位置的任一系列及行並表現出對應到主對角位置之網點與經由網絡分支連接到該網點之毗鄰的網點之間的互動；與第5步驟，執行對子矩陣的計算的同時將係數矩陣的各子矩陣視為一元素，從而執行係數矩陣的不完全LU分解，其中主對角子矩陣為正方形矩陣，其列與行的數量相等於對應到主對角子矩陣而對網點上所設之方程式的數量，而依照各網點而排列在列方向上的非主對角子矩陣為具有列數等於對應到主對角子矩陣而在網點處所設之方程式的數量與行數等於在經由網絡分支連接到該網點之毗鄰的網點處所設之方程式的數量矩陣，而依照各網點排列在行方向上的非主對角子矩陣為具有行數等於對應到主對角子矩陣而在網點處所設之方程式的數量與列數等於在經由網絡分支連接到該網點之毗鄰的網點處所設之方程式的數量矩陣。以此排列方式，非主對角子矩陣並非總是正方形矩陣。當在經由網絡分支連接到該網點之毗鄰的網點處所設定之方程式的數量小於該網點處者時，則得到非正方形的矩陣，故當與簡單地分配的正方形矩陣比較時其計算次數的數量減



五、發明說明 (7)

少。

圖式之簡單說明

圖1為顯示依照本發明之用於完成半導體製程·裝置模擬方法之模擬設備之排列的方塊圖；

圖2為顯示藉由圖1所顯示之模擬設備(CPU 101)所執行之半導體製程·裝置模擬之基本操作的流程圖；

圖3為顯示在模擬操作中所形成之係數矩陣之構造的一例的說明圖；

圖4為概要顯示在本發明之第1實施例中被模擬對象的剖面的說明圖；

圖5為顯示用於模擬圖4所顯示之被模擬對象的係數矩陣的說明圖；

圖6為概要顯示在本發明之第2實施例中被模擬對象的剖面的說明圖；

圖7為顯示用於模擬圖6所顯示之被模擬對象的係數矩陣的說明圖；

圖8為顯示習用半導體製程·裝置模擬之基本操作的流程圖；與

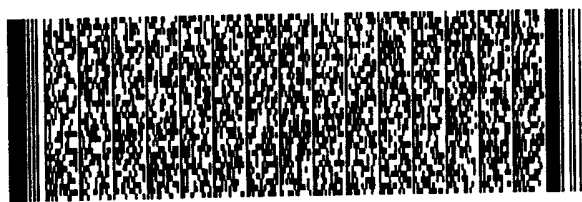
圖9為顯示在習用模擬操作中所形成之係數矩陣之構造的一例的說明圖。

符號說明

101~CPU

102~記憶體

103~顯示單元



五、發明說明 (8)

- 104~輸入單元
- 105~外部儲存機構
- 106~匯流排線
- 401~矽基板的一區域
- 402~氧化膜的一區域
- 403~邊界區
- 404、405、406、407~網點
- 408~網絡分支
- 601~矽基板的一區域
- 602~氧化膜的一區域
- 603~邊界區
- 604、605~網點

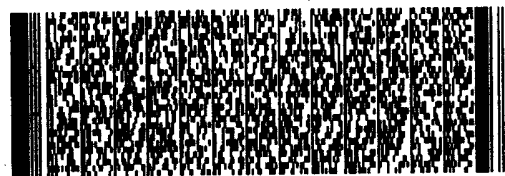
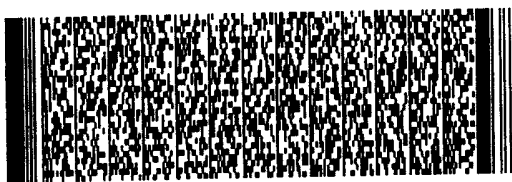
較佳實施例之詳細說明

以下將參考圖式說明本發明。

圖1顯示依照本發明之用於完成半導體製程·裝置模擬方法之模擬設備的排列。

此模擬設備包含中央處理單元(CPU) 101、記憶體102、顯示單元103、輸入單元104與外部儲存機構105，其透過匯流排線106而連接。更具體來說，模擬設備係藉由工作站、個人電腦或其它任何電腦系統加以完成。舉例來說，對於外部儲存機構105，可以使用的包括磁片、半導體記憶體或任何其它一般儲存媒介。

在此模擬設備中，用來模擬的程式(模擬程式)被儲存在外部儲存機構105中。當操作者從輸入單元104輸入一指



五、發明說明 (9)

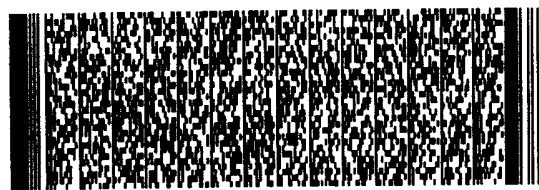
示以開始模擬時，CPU 101從外部儲存機構105將該程式載入記憶體102中的預定區中。操作者準備用於在記憶體102中模擬所必需的資料(矩陣)，藉由例如從輸入單元104將資料輸入。用於模擬所必需的資料可以預先儲存在外部儲存機構105並載入記憶體102中。CPU 101依照載入記憶體102中的程式而使用資料來執行預定的計算，從而執行預定的模擬。最後，CPU 101在顯示單元103上顯示模擬結果。

圖2顯示以圖1所示之模擬設備(CPU 101)所執行的半導體製程·裝置模擬之基本操作的流程圖。

以下簡單說明其操作。執行步驟201~203作為前處理。首先，在步驟201中，在被模擬對象上設定具有預定間距的網絡，藉由例如從輸入單元104(圖1)輸入資料，且此狀態被儲存在記憶體102中。假設所設定的網點有 I 個。在步驟202中，對每個網點定義複數個物理量，藉由例如從輸入單元104輸入並儲存在記憶體102中。在步驟203中，形成代表複數個物理量間之關係的方程式並儲存在記憶體102中。

在步驟204中，CPU 101以所載入之程式為基礎而檢查欲求解之方程式的數量 $n(i)$ ，其中方程式代表用於定義各網點 i (i 為整數， $1 \leq i \leq I$)的複數個物理量間之關係並被儲存在記憶體102中，並將其值儲存在圖1所顯示之記憶體102中。

在步驟205中，CPU 101將記憶體102中所儲存之欲求

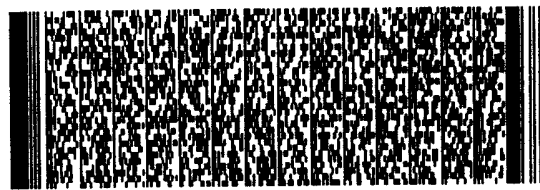
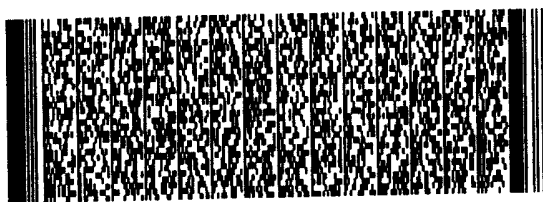


五、發明說明 (10)

解的方程式以網點為單元加以分組，並在記憶體102中形成以不一致之間距排列的方塊所表示的係數矩陣，其在第*i*列第*j*行具有 $n(i) \times n(j)$ 子矩陣的元素。更具體來說，即在設定一係數矩陣具有列及行的數量相等於網點之數量。在各網點處表現自我反饋功能的主對角子矩陣被排列在對應於該網點的一部分(矩陣元素)。此外，在通過主對角位置而為係數矩陣的主對角以外的其中一列及行，對應於各網點而排列了代表對應到主對角位置之網點與經由網絡分支而連接到該網點之毗鄰的網點間之關係的非主對角子矩陣。主對角子矩陣為具有列及行的正方程矩陣，其中列及行的數量等於用於定義對應之網點的方程式的數量 $n(i)$ 。依照各網點而排列在列方向上的非主對角子矩陣為具有列數量的矩陣，其中前者方程式為用於定義網點者而後者為用於定義經由網絡分支而連接到該網點之毗鄰的網點者。依照各網點而排列在行方向上的非主對角子矩陣為具有列數量的矩陣，其中前者方程式為用於定義網點者而後者為用於定義經由網絡分支而連接到該網點之毗鄰的網點者。

最後，在步驟206中，CPU 101對子矩陣執行計算的同時將形成在記憶體102中的第*i*列第*j*行的子矩陣視為一元素，從而執行係數矩陣的不完全LU分解。

以下將參考圖2的流程圖與圖3說明代表用於定義各網點的物理量間之關係的方程式被設定之後，本發明的模擬



五、發明說明 (11)

操作。圖3顯示在模擬操作中所形成之係數矩陣之構造的一例。

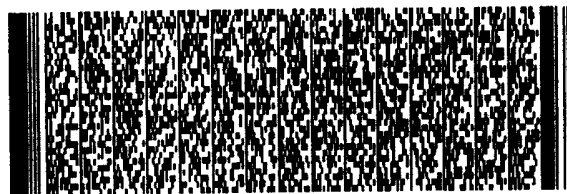
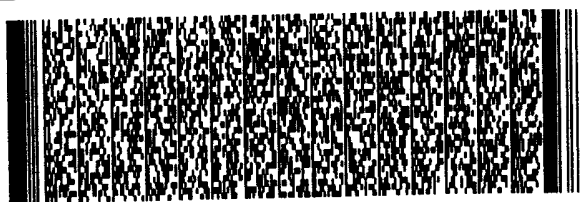
檢查被模擬對象，即被設定網絡於其上的半導體裝置，表面上的各網點處的方程式的數量(圖2：步驟204)。在以下的說明中，假設共有七個網點，而以三方程式定義網點1，以兩方程式定義網點2，以一方程式定義網點3，以三方程式定義網點4，以兩方程式定義網點5，以一方程式定義網點6，及以四方程式定義網點7以表現出個別網點的狀態。即， $n(1) = 3$ ， $n(2) = 2$ ， $n(3) = 1$ ， $n(4) = 3$ ， $n(5) = 2$ ， $n(6) = 1$ 及 $n(7) = 4$ 。

將欲求解的方程式以網點為單元加以分組以形成係數矩陣方塊(圖2：步驟205)。當前述網絡被設定時，則得到如圖3所示之係數矩陣。茲參考圖3，以粗實線包圍的斜線部分代表一方塊，而虛線代表各方塊中純量元素之間的邊界。舉例來說，第7列第4行的方塊形成 4×3 的非正方矩陣。

將子矩陣視為一元素。依照前述方程式(1)與(2)藉由執行不完全LU分解計算正方及非正方矩陣而對方程式求解，從而模擬各網點處的狀態(步驟206)。舉例來說，在圖3中，元素 L_{33} 係藉由分解第3列第3行所產生的，其藉由從 1×1 係數矩陣元素 A_{33} 減去已被分解的 1×3 子矩陣 L_{31} 與 3×1 子矩陣 U_{13} 的乘積，即「 $L_{33} = A_{33} - L_{31}U_{13} \dots (3)$ 」。

第1實施例

以下將以更具體的例子說明本發明。以下將說明摻雜



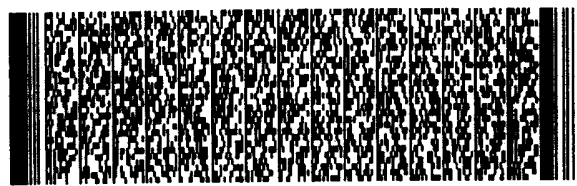
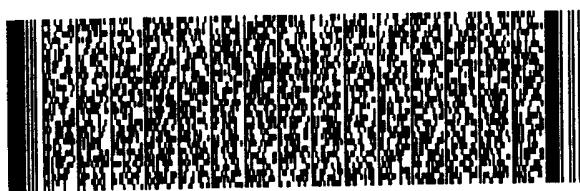
五、發明說明 (12)

到具有氧化膜的矽基板之雜質的擴散狀態被模擬的情況。在此雜質擴散模擬中，將具有預定間距的網絡分配到具有氧化膜之矽基板的一區域(二維區域)，且對各網點設定預定的方程式。圖4顯示此二維區域。被分割成八個方塊的區域401為矽基板的一區域。區域401上被分割成兩方塊的區域402指出形成在矽基板上的氧化膜。線區403代表矽基板與氧化膜之間的邊界。

在區域401中，具有號數「10」到「21」且以圓圈為記號的網點404係分配到矽基板的二維區域的網點。在區域402中，具有號數「1」到「3」且以三角形為記號的網點405係分配到二維氧化膜區域之表面上的網點。具有號數「7」到「9」且以矩形為記號的網點406代表矽基板與氧化膜間之界面的矽基板側。具有號數「4」到「6」且以星形為記號的網點407代表矽基板與氧化膜間之界面的氧化膜側。網點係經由網絡分支408而連接。

在此雜質擴散模擬中，硼的擴散模擬的執行係使用擴散模式搭配點缺陷。在用於模擬的模式中，以下物理現象被用在矽基板上。首先，假設矽基板有晶隙性矽與矽空缺陷的點缺陷，且晶隙性矽與矽空缺陷在擴散的同時相互重組。作為雜質的硼在擴散的同時會與晶隙性矽形成配對。當所形成的配對分離時，硼原子被設定在矽基板之晶格的替代位置。

依照前述點缺陷配對的擴散模式，下列五個方程式(4)至(8)為在矽基板中從「10」至「21」的各網點404的



五、發明說明 (13)

欲求解的方程式。

$$\frac{\partial C_{BI}}{\partial t} = \nabla \left[D_{BI} \nabla C_{BI} + \frac{qD_{BI}}{kT} Z_{BI} C_{BI} \nabla \phi \right] + k_{BI-f} C_{Ba} C_I - k_{BI-r} C_{BI} \quad \dots (4)$$

$$\frac{\partial C_{Ba}}{\partial t} = k_{BI-r} C_{BI} + k_{BI-f} C_{Ba} C_I \quad \dots (5)$$

$$\frac{\partial C_I}{\partial t} = \nabla \left[D_I \nabla C_I + \frac{qD_I}{kT} Z_I C_I \nabla \phi \right] + k_{BI-r} C_{BI} - k_{BI-f} C_{Ba} C_I - k_{IV} (C_I C_V - C_I^* C_V^*) \quad \dots (6)$$

$$\frac{\partial C_V}{\partial t} = \nabla \left[D_V \nabla C_V + \frac{qD_V}{kT} Z_V C_V \nabla \phi \right] - k_{IV} (C_I C_V - C_I^* C_V^*) \quad \dots (7)$$

$$\nabla(\epsilon \nabla \phi) = -q \left[Z_{BI} C_{BI} - C_{Ba} + Z_I C_I + Z_V C_V - n_i \exp\left(\frac{q\phi}{kT}\right) + n_i \exp\left(-\frac{q\phi}{kT}\right) \right] \quad \dots (8)$$

前述的方程式中，方程式(4)代表硼-晶隙性矽對的擴散、產生與分離。方程式(5)代表硼的鍵結與分離。方程式(6)代表晶隙性矽的擴散、鍵結、分離與消失。方程式(7)代表矽空缺的擴散與消失。方程式(8)為一帕松方程式，其代表帶電的點缺陷、硼濃度與靜電位間的關係。

在方程式(4)到(6)中， C_{BI} 為硼-晶隙性矽對的體積濃度， C_{Ba} 為替代位置處活性硼的體積濃度， C_I 為晶隙性矽的



五、發明說明 (14)

體積濃度，而 C_v 為矽空缺的體積濃度。

Z_{BI} 為代表硼-晶隙性矽對之帶電狀態的數量， Z_i 為代表晶隙性矽之帶電狀態的數量，而 Z_v 為代表矽空缺之帶電狀態的數量。

D_{BI} 為硼-晶隙性矽對的擴散常數， D_i 為晶隙性矽的擴散常數，而 D_v 為矽空缺的擴散常數。

此外， K_{BI-f} 為硼-晶隙性矽對的形成常數， k_{BI-r} 為分離反應速率常數，而 k_{IV} 為晶隙性矽與矽空缺的重組比率。

再者， q 為單元電荷， ϵ 為矽的介電常數， k 為波茲曼常數， T 為絕對溫度， ϕ 為靜電位，而 n_i 為矽的本徵載子密度。

C_i^* 為晶隙性矽在熱平衡狀態的體積密度，而 C_v^* 為矽空缺在熱平衡狀態的體積密度。

當硼本身直接擴散而不形成配對時，硼在氧化膜中的擴散可以使用標準模式來描述。此外，在氧化膜中，靜電位的影響可以被忽略。

因此，在氧化膜中的網點405處，位在這些網點作為雜質的硼的濃度可以被模擬，藉由解出標準擴散方程式例如下述方程式(9)：

$$\frac{\partial C_{Bc}}{\partial t} = \nabla [D_B \nabla C_{Bc}] \quad \dots (9)$$

其中 C_{Bc} 為氧化膜中硼的總濃度，而 D_B 為氧化膜中硼的擴散常數。

五、發明說明 (15)

在矽基板與氧化膜之間的界面處，由於硼的隔離而在網點406與網點407之間產生通量 J_s ，其以下述方程式(10)表示：

$$J_s = h \left(C_{Bc} - \frac{C_{BI}}{m} \right) \quad \dots(10)$$

其中 C_{Bc} 為氧化膜側之網點407中硼的總濃度， C_{BI} 為矽側之網點406中硼-晶隙性矽對的濃度， h 為矽基板與氧化膜之間的界面處硼的輸送係數，而 m 為矽基板與氧化膜之間的界面處硼的隔離係數。

矽基板中的晶隙性矽與矽空缺消失在矽基板與氧化膜之間的界面處。考慮到此，在作為雜質之硼的擴散模擬中，矽基板側上的網點406處欲求解的方程式為下列五個方程式(11)至(15)：

$$\begin{aligned} \frac{\partial C_{BI}}{\partial t} = & \nabla \left[D_{BI} \nabla C_{BI} + \frac{qD_{BI}}{kT} Z_{BI} C_{BI} \nabla \phi \right] + k_{BI-f} C_{Ba} C_I - k_{BI-r} C_{BI} + h \left(C_{Bc} - \frac{C_{BI}}{m} \right) \end{aligned} \quad \dots(11)$$

$$\frac{\partial C_{Ba}}{\partial t} = k_{BI-r} C_{BI} + k_{BI-f} C_{Ba} C_I \quad \dots(12)$$

$$\begin{aligned} \frac{\partial C_I}{\partial t} = & \nabla \left[D_I \nabla C_I + \frac{qD_I}{kT} Z_I C_I \nabla \phi \right] + k_{BI-r} C_{BI} - k_{BI-f} C_{Ba} C_I \\ & - k_{IV} (C_I C_V - C_I^* C_V^*) - k_{IS} (C_I - C_I^*) \end{aligned} \quad \dots(13)$$



五、發明說明 (16)

$$\frac{\partial C_v}{\partial t} = \nabla \left[D_v \nabla C_v + \frac{qD_v}{kT} Z_v C_v \nabla \phi \right] - k_{iv} (C_i C_v - C_i^* C_v^*) - k_{vs} (C_v - C_{vi}) \quad \dots (14)$$

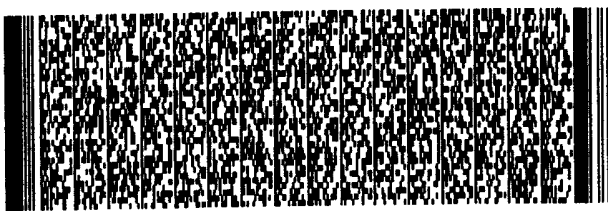
$$\nabla(\epsilon \nabla \phi) = -q \left[Z_{Bi} C_{Bi} - C_{Ba} + Z_i C_i + Z_v C_v - n_i \exp\left(\frac{q\phi}{kT}\right) + n_i \exp\left(-\frac{q\phi}{kT}\right) \right] \quad \dots (15)$$

其中方程式(13)的 k_{is} 為在矽基板與氧化膜之間的界面處晶隙性矽的重組速率，且方程式(14)中的 k_{vs} 為矽基板與氧化膜之間的界面處矽空穴的重組速率。

此外，氧化膜側上之網點407處欲求解的方程式如下之方程式(16)所示：

$$\frac{\partial C_{Bc}}{\partial t} = \nabla [D_B \nabla C_{Bc}] - h \left(C_{Bc} - \frac{C_{Bi}}{m} \right) \quad \dots (16)$$

以下將參考圖2所顯示的流程圖說明第1實施例的模擬操作。首先，檢查各網點處所定義之方程式的數量(步驟204)。在第1實施例中，在圖4之矽基板側上的網點例如網點404或406處，定義了五個方程式如方程式(4)至(8)或(11)至(15)。在氧化膜側上的網點例如網點405或407處，定義了一個方程式例如方程式(9)或(16)。之後，將欲求解的方程式以網點為單元加以分組以形成如圖5之方塊所表示的係數矩陣(步驟205)。在圖5中，得到具有21列21行

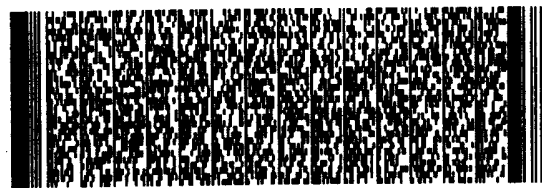
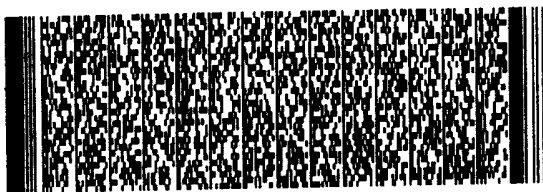


五、發明說明 (17)

的係數矩陣，其對應到圖4中之分配給網點的號數「1」至「21」。在圖5所顯示之係數矩陣的一列中，排列了構成主對角之網點處的所有正方形矩陣方塊，其具有與圖4所示之網點數量相等的列數量，且排列了經由網絡分支408連接到該網點之毗鄰的網點處的正方或非正方形矩陣方塊。

在第1實施例中，對於在矽側上的一網點如網點404或406，各方塊的寬度為5，如以列「7」行「7」到列「21」行「21」所指出者。相反的，對於氧化膜側上的網點例如網點405或407，其被分配號數「1」至「6」，各方塊的寬度為1，如以列「1」行「1」到列「6」行「6」所指出者。在圖5所顯示的各方塊中，空白的部分代表將被計算的數值並不被儲存。

舉例來說，對於圖5中的列「8」，其對應到圖4中以「8」所表示的網點406，標號「8」之網點406的 5×5 子矩陣主對角方塊出現在列「8」行「8」。此主對角方塊具有20個欲計算的數值。如圖4所示，以「11」所表示的網點404出現在以「8」所表示的網點406之下，故對應到由「11」所表示且以圓圈為記號的網點404的 5×5 子矩陣方塊出現在圖5的列「8」行「11」。此子矩陣方塊具有七個欲計算的數值。如圖4所示，以「7」表示的網點406與以「9」表示的網點406分別出現在以「8」所表示之網點406的左與右側，故對應到這些網點的 5×5 子矩陣方塊出現在列「8」行「7」與列「8」行「9」。各個這些子矩陣方塊



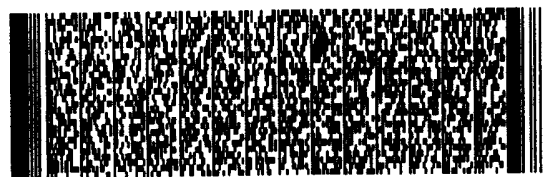
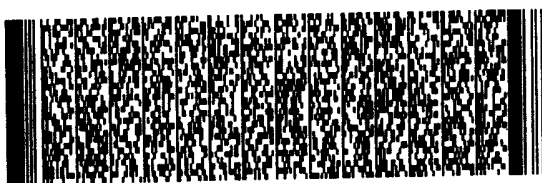
五、發明說明 (18)

也具有七個欲計算的數值。如圖4所示，以「5」表示的網點407出現在以「8」所表示的網點406之上，故如圖5所示，對應到網點407的 5×1 非正方形子矩陣方塊出現在列「8」行「5」。

同樣地，對於對應到圖4中以「5」表示的網點407的列「5」，對應到網點407的 1×1 子矩陣主對角方塊出現在列「5」行「5」。依照以「2」表示的網點405位在以「5」表示的網點407的上方，對應到網點405的 1×1 子矩陣方塊出現在圖5的列「5」行「2」。由於以「4」及「6」表示的網點407出現在以「5」表示之網點407的左及右側，故對應到網點407的 1×1 子矩陣方塊出現在圖5中的列「5」行「4」與圖5中的列「5」行「6」。此外，由於以「8」表示的網點406出現在以「5」表示的網點407之下， 1×5 非正方形子矩陣方塊出現在圖5中的列「5」行「8」。

最後，將各子矩陣視為一元素，並執行正方形矩陣的計算與非正方形矩陣的計算，以依照方程式(1)與(2)執行不完全LU分解，從而解出在前述網點處的方程式並模擬其狀態(步驟206)。

如前所述，在第1實施例中，計算的執行係使用計算量小於 5×5 子矩陣者的矩陣。因此，可以避免浪費的計算，且可以縮短計算時間。氧化膜側上的各網點處的主對角方塊為 1×1 正方形矩陣。位在界面之各網點處的非對角矩陣為 1×5 或 5×1 非正方形矩陣。習用上，由於即使對於這些



五、發明說明 (19)

網點仍形成 5×5 子矩陣，故使用到額外的記憶容量，且執行了浪費的計算。

第2實施例

以下將詳述本發明的第2實施例。以下將說明表面上具有氧化膜的矽基板的電氣特性被模擬。舉例來說，閘極絕緣膜的MOS電容器係藉由計算網絡的各晶格點處的電位值與載子濃度而加以模擬。

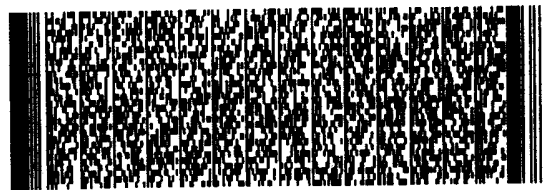
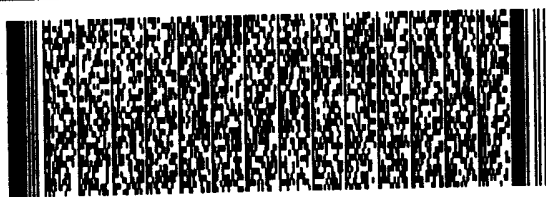
同樣的，在此裝置模擬中，將具有預定間距的網絡分配到具有氧化膜之矽基板的一區域(二維區域)，且對各網點設定預定的方程式。圖6顯示此二維區域。被分割成八個方塊的區域601為矽基板的一區域。區域601上被分割成兩方塊的區域602指出形成在矽基板上的氧化膜。線區603代表矽基板與氧化膜之間的邊界。

在區域601中，具有號數「4」到「18」且以圓圈為記號的網點604係分配到矽基板的二維區域的網點。在區域602中，具有號數「1」到「3」且以三角形為記號的網點605係分配到二維氧化膜區域之表面上的網點。不像前述雜質擴散製程模擬，在此只有具有矽基板側上之性質的一網點被分配到矽基板與氧化膜之間的界面。

在各網點處，為一帕松方程式的方程式(17)成立：

$$\nabla(\epsilon \nabla \phi) = -q(N_D - N_A - n + p) \quad \dots(17)$$

其中 ϵ 為物質的介電常數， ϕ 為靜電位， q 為單元電



五、發明說明 (20)

荷， N_D 為施體密度， N_A 為受體密度， n 為電子密度，而 p 為電洞密度。

在矽基板側處的網點例如網點 604，為電流連續方程式的方程式 (18) 與 (19) 成立：

$$\frac{\partial n}{\partial t} = \nabla(D_n \nabla n - \mu_n \nabla \phi) + G - R \quad \dots(18)$$

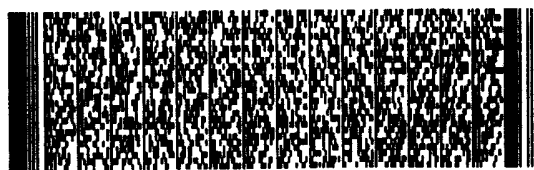
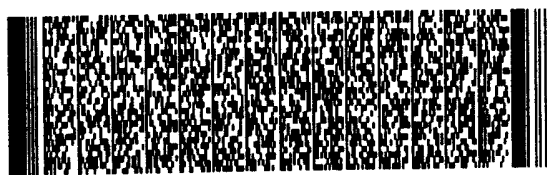
$$\frac{\partial p}{\partial t} = \nabla(D_p \nabla p - \mu_p \nabla \phi) + G - R \quad \dots(19)$$

其中 D_n 為電子的擴散常數， D_p 為電洞的擴散常數， μ_n 為電子的漂移遷移率， μ_p 為電洞的漂移遷移率， G 為電子的產生速率，而 R 為電子與電洞的重組速率。

在第 1 實施例的雜質擴散模擬中，在硼的擴散中對氧化膜區域與矽區域定義不同的方程式。然而，在此裝置模擬中，帕松方程式與電流連續方程式的定義區域有部分不同。

以下將參考圖 2 的流程圖說明第 2 實施例的模擬操作。

首先，檢查各網點處所定義之方程式的數量(步驟 204)。在第 2 實施例中，在圖 6 之矽基板側上的各網點 604 處，定義了三個方程式例如前述方程式 (17)、(18) 與 (19)。此外，在氧化膜區域之表面上的各網點 605 處，定義了前述方程式 (17)。之後，將欲求解的方程式以網點為單元加以分組以形成如圖 7 之方塊所表示的係數矩陣(步驟 205)。在圖 7 中，依照圖 6 中所分配給網點的號數「1」至

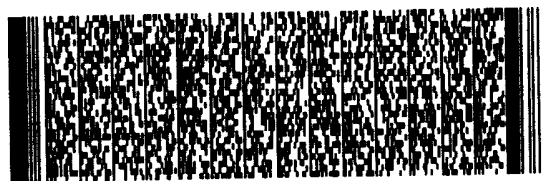


五、發明說明 (21)

「18」而得到具有18列18行的係數矩陣。在圖7所顯示之係數矩陣的一列中，排列了構成主對角之網點處的所有正方形子矩陣方塊，其列數量與圖6所示之網點的數量相等，與排列了連接到該網點之毗鄰的網點處的正方或非正方形子矩陣方塊。

在第2實施例中，對於網點604，各方塊的寬度為3，如列「4」行「4」至列「18」行「18」所指出者。相反的，對於號數「1」至「3」的網點605，各方塊的寬度為1，如列「1」行「1」至列「3」行「3」所指出者。在圖7中的各方塊，空白的部分代表將被計算的數值並不被儲存。

舉例來說，對於圖7中的列「5」，其對應到圖6中以「5」所表示的網點604，標號「5」之網點604的 3×3 子矩陣主對角方塊出現在列「5」行「5」。此主對角方塊具有9個欲計算的數值。如圖6所示，以「8」所表示的網點604出現在以「5」所表示的網點604之下，故對應到由「8」所表示的網點604的 3×3 子矩陣方塊出現在圖7的列「5」行「8」。此子矩陣方塊具有五個欲計算的數值。以「4」表示的網點604與以「6」表示的網點604分別出現在以「5」所表示之網點604的左與右側，故對應到這些網點的 3×3 子矩陣方塊出現在列「5」行「4」與列「5」行「6」。各個這些子矩陣方塊也具有五個欲計算的數值。以「2」表示的網點605出現在以「5」所表示的網點604之上，故如圖7所示，對應到網點605的 3×1 非正方形子矩陣方



五、發明說明 (22)

塊出現在列「5」行「2」。

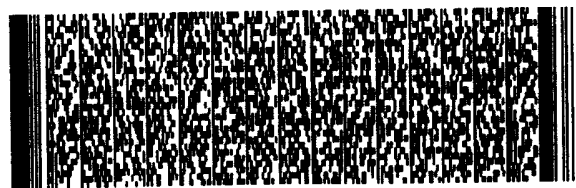
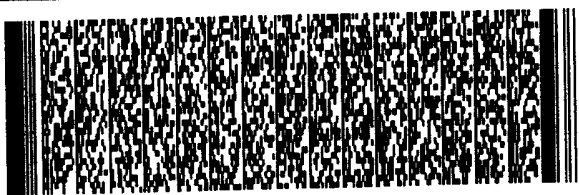
同樣地，對於對應到圖6中以「2」表示的網點605的列「2」，對應到網點605的 1×1 子矩陣主對角方塊出現在列「2」行「2」。由於以「1」及「3」表示的網點605出現在以「2」表示之網點605的左及右側，故 1×1 子矩陣方塊出現在圖7中的列「2」行「1」與列「2」行「3」。此外，由於以「5」表示的網點604出現在以「2」表示的網點605之下， 1×3 非正方子矩陣方塊出現在圖7中的列「2」行「5」。

最後，將各子矩陣視為一元素，並執行正方矩陣的計算與非正方矩陣的計算，以依照方程式(1)與(2)執行不完全LU分解，從而解出在前述網點處的方程式並模擬其狀態(步驟206)。

習用上，由於對於所有網點形成 3×3 子矩陣，故會使用額外的記憶容量與執行浪費的計算。然而，在第2實施例中，計算的執行係使用部分三計算量小於 3×3 子矩陣者的矩陣，故避免了浪費的計算，且可以縮短計算時間。

本發明已參考較佳實施例而加以說明，但並不將其限定於此。

依照本發明，提供有一種半導體製程。裝置模擬方法，其至少包含：第1步驟，在欲處理之半導體裝置的表面上設定具有預定間隔的網絡；第2步驟，在網絡的各網點處定義複數個物理量；第3步驟，設定代表複數個物理量間之關係的方程式；第4步驟，產生主對角子矩陣與非

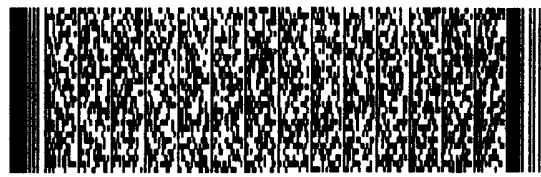
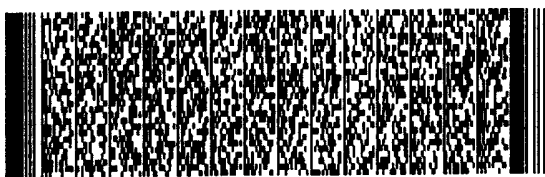


四、中文發明摘要 (發明之名稱：半導體製程·裝置模擬方法及儲存模擬程式用之儲存媒介)

一種半導體製程·裝置模擬方法，於其中，產生主對角子矩陣與非主對角子矩陣所構成的係數矩陣，其中主對角子矩陣對應到各網點而排列在任一主對角上並表現出網點處的自我反饋功能，且其具有對應到網點之數量的列及行的數量，而非主對角子矩陣對應到網點而排列在通過主對角位置的任一系列及行並表現出對應到主對角位置之網點與經由網絡分支連接到該網點之毗鄰的網點之間的互動。對於子矩陣執行計算的同時將係數矩陣的各子矩陣視為一元素，從而執行係數矩陣的不完全LU分解。

英文發明摘要 (發明之名稱：Semiconductor Process Device Simulation Method and Storage Medium Storing Simulation Program)

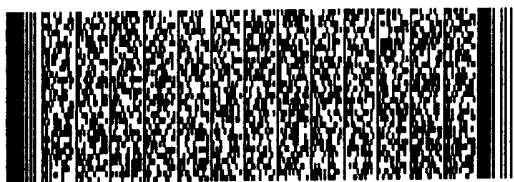
In this semiconductor process device simulation method, a coefficient matrix constituted by a principal diagonal submatrix arranged at any one of principal diagonals corresponding to each mesh point and representing a self feedback function at the mesh point, the principal diagonal submatrix having rows and columns in numbers corresponding to the number of mesh points, and a non-principal diagonal submatrix arranged on any one of a row and column



四、中文發明摘要 (發明之名稱：半導體製程·裝置模擬方法及儲存模擬程式用之儲存媒介)

英文發明摘要 (發明之名稱：Semiconductor Process Device Simulation Method and Storage Medium Storing Simulation Program)

passing through principal diagonal positions corresponding to the mesh point and representing an interaction between the mesh point corresponding to the principal diagonal positions and an adjacent mesh point connected to the mesh point through a mesh branch is generated. Calculation for the submatrices is performed while regarding each submatrix of the coefficient matrix as one element, thereby performing incomplete LU decomposition of the coefficient matrix.



六、申請專利範圍

1. 一種半導體製程，裝置模擬方法，至少包含：

第1步驟，在欲處理之半導體裝置的表面上設定具有預定間隔的網絡；

第2步驟，在網絡的各網點處定義複數個物理量；

第3步驟，設定代表複數個物理量間之關係的方程式；

第4步驟，產生主對角子矩陣與非主對角子矩陣所構成的係數矩陣，其中主對角子矩陣對應到各網點而排列在任一主對角上並表現出網點處的自我反饋功能，且其具有對應到網點之數量的列及行的數量，而非主對角子矩陣對應到網點而排列在通過主對角位置的任一系列及行並表現出對應到主對角位置之網點與經由網絡分支連接到該網點之毗鄰的網點之間的互動；與

第5步驟，執行對子矩陣的計算的同時將係數矩陣的各子矩陣視為一元素，從而執行係數矩陣的不完全LU分解，其中主對角子矩陣為正方矩陣，其列與行的數量相等，而對應到主對角子矩陣而對網點所設定之方程式的數量，而依照各網點而排列在列方向上的非主對角子矩陣為具有列數量等於對應到主對角子矩陣而在網點處所設定之方程式的數量與行的數量等於在經由網絡分支連接到該網點之毗鄰的網點處所設定的方程式的數量，而依照各網點處所對應到主對角子矩陣而在網點處所設定之方程式的數量與列數量等於在經由網絡分支連接到該網點之毗鄰的網點處所

六、申請專利範圍

設定之方程式的數量的矩陣。

2. 一種儲存電腦可讀的模擬程式用之記錄媒介，其中該記錄媒介記錄一程式，用於致使電腦去完成至少：

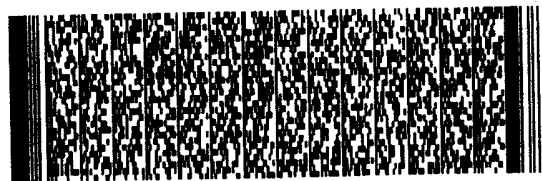
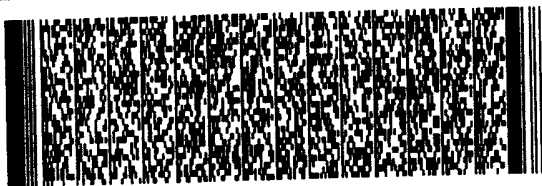
第1功能，在欲處理之半導體裝置的表面上設定具有預定間隔的網絡；

第2功能，在網絡的各網點處定義複數個物理量；

第3功能，設定代表複數個物理量間之關係的方程式；

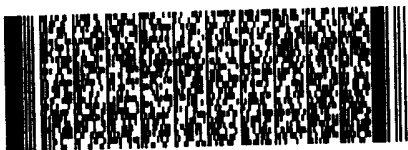
第4功能，產生主對角子矩陣與非主對角子矩陣所構成的係數矩陣，其中主對角子矩陣對應到各網點而排列在任一主對角上並表現出網點處的自我反饋功能，且其具有對應到網點之數量的列及行的數量，而非主對角子矩陣對應到網點而排列在通過主對角位置的任一系列及行並表現出對應到主對角位置之網點與經由網絡分支連接到該網點之毗鄰的網點之間的互動；與

第5功能，執行對子矩陣的計算的同時將係數矩陣的各子矩陣視為一元素，從而執行係數矩陣的不完全LU分解，其中主對角子矩陣為正方矩陣，其列與行的數量相等於對應到主對角子矩陣而對網點所設定之方程式的數量，而依照各網點而排列在列方向上的非主對角子矩陣為具有列數量等於對應到主對角子矩陣而在網點處所設定之方程式的數量與行的數量等於在經由網絡分支連接到該網點之毗鄰的網點處所設定之方程式的數量的矩陣，而依照各網點排列在行方向上的非主對角子矩陣為具有行數量等於對



六、申請專利範圍

應到主對角子矩陣而在網點處所設定之方程式的數量與列數量等於在經由網絡分支連接到該網點之毗鄰的網點處所設定之方程式的數量的矩陣。



圖式

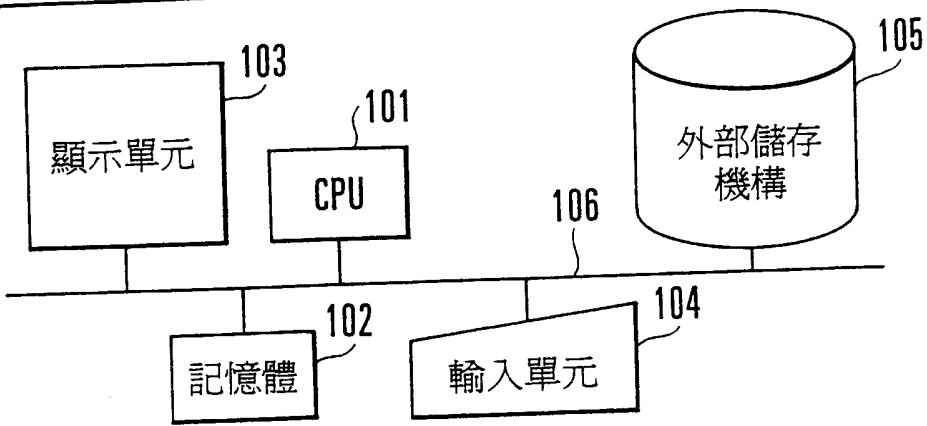


圖 1

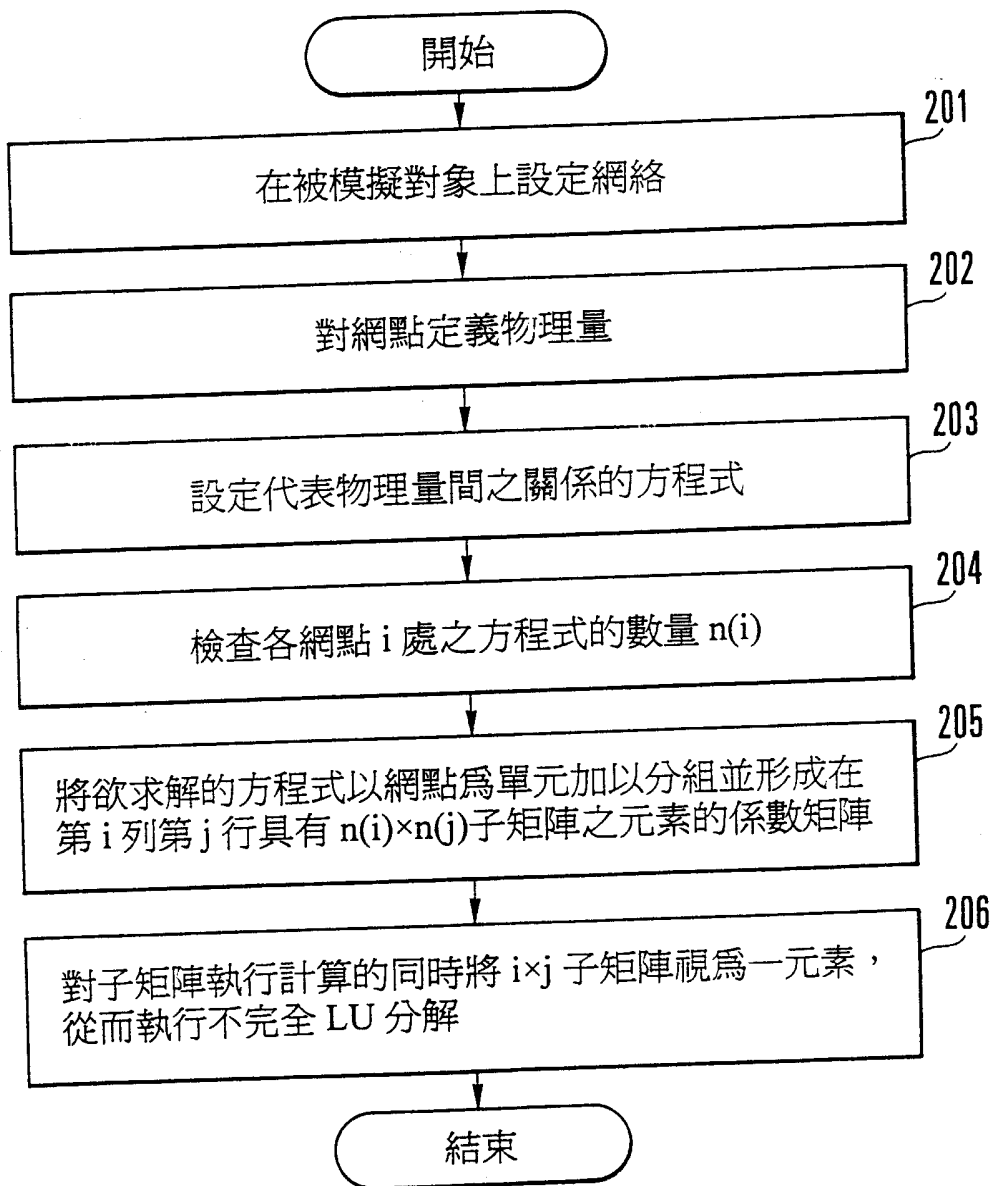


圖 2

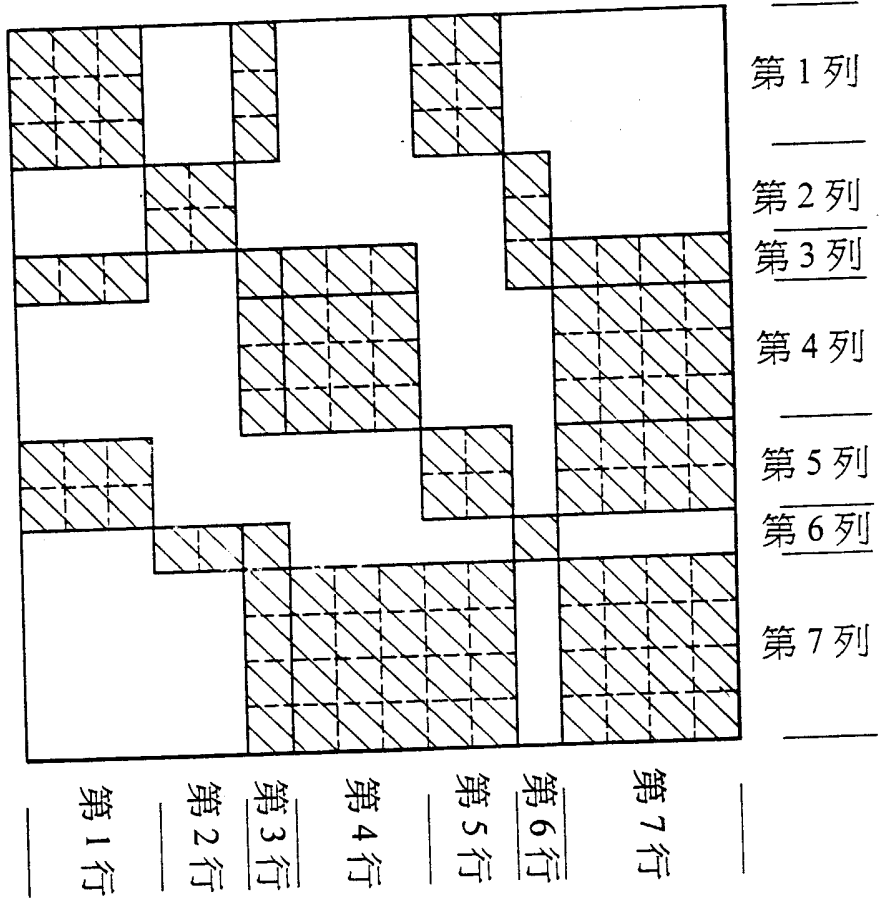


圖 3

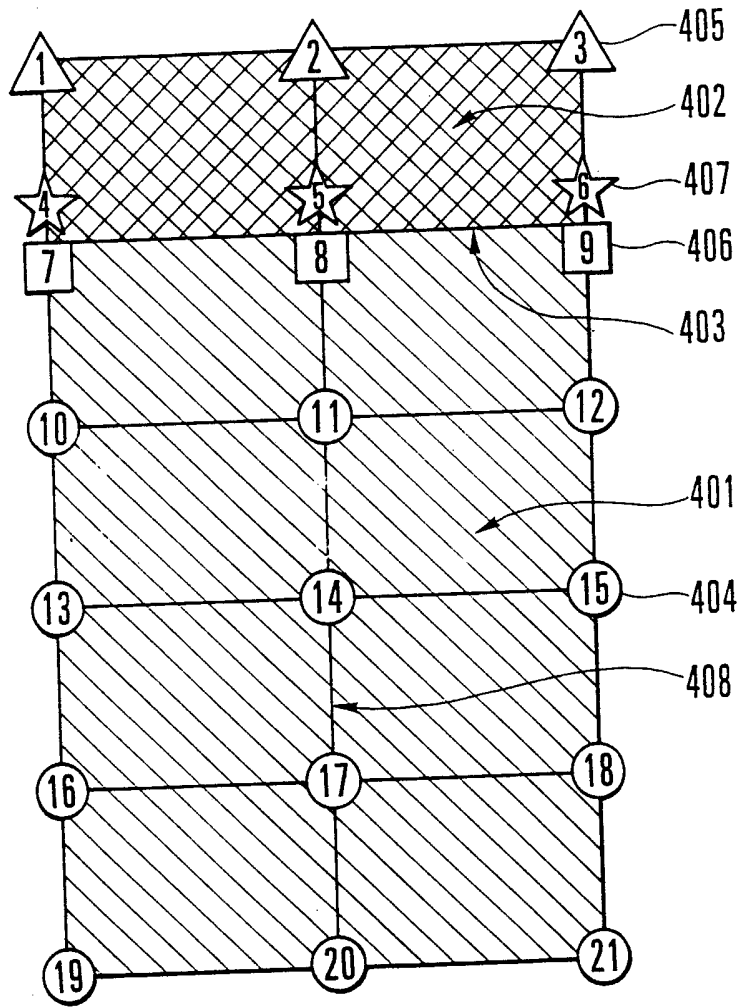


圖 4

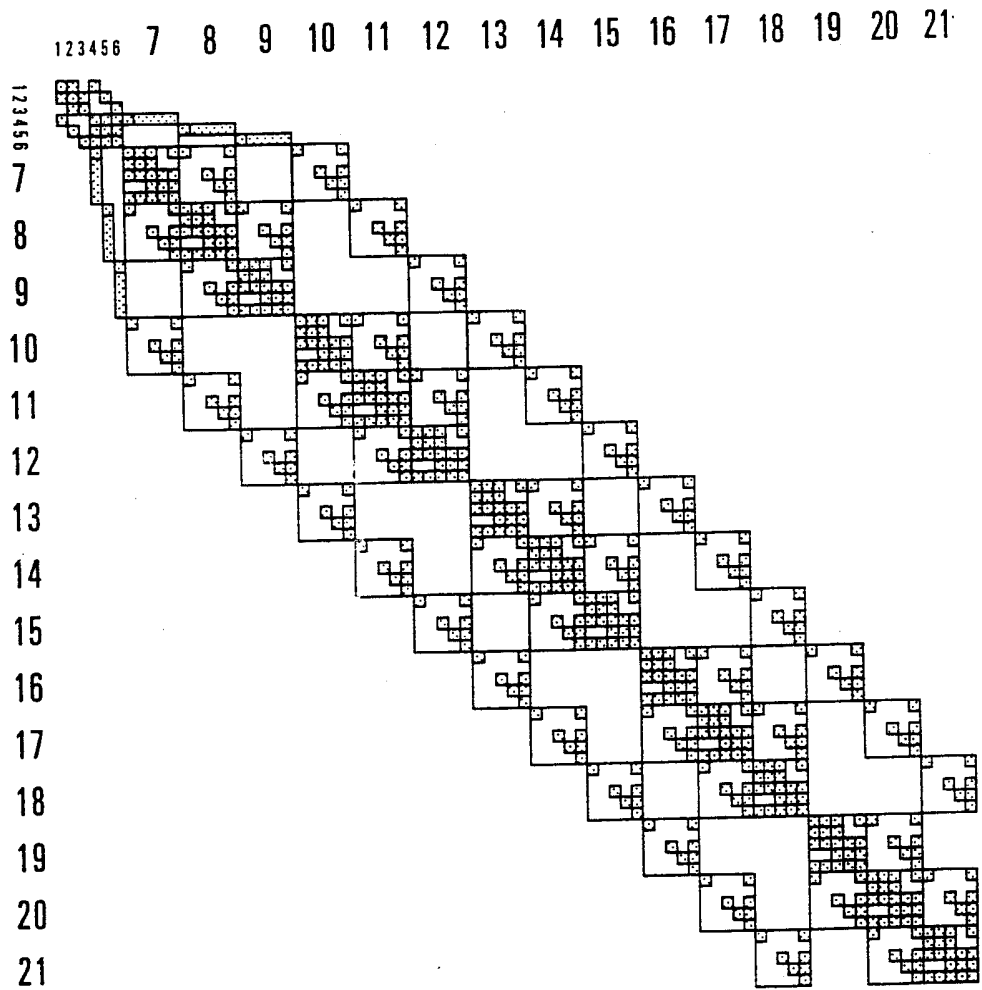


圖 5

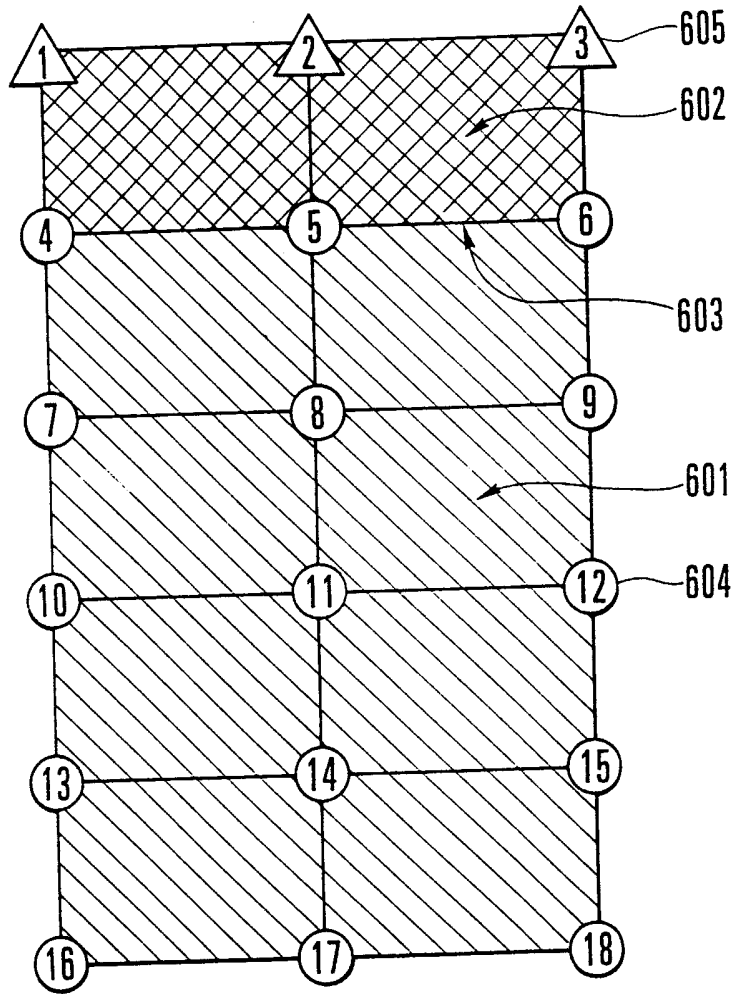


圖 6

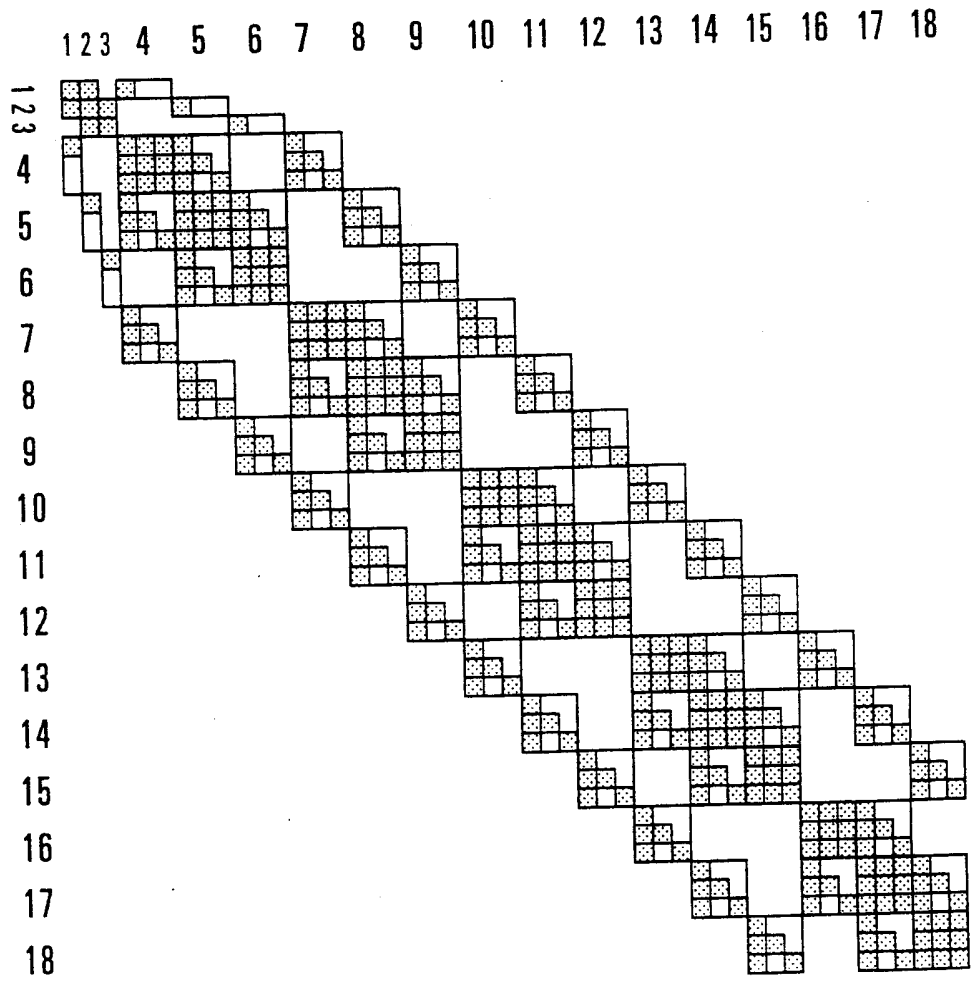


圖 7

圖式

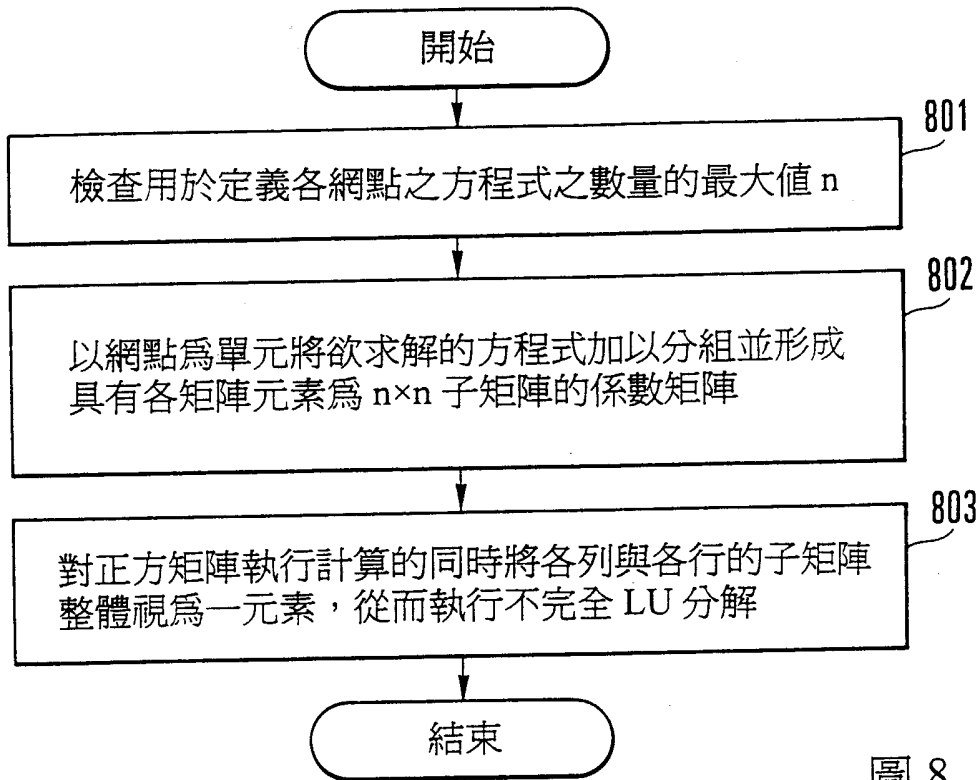


圖 8

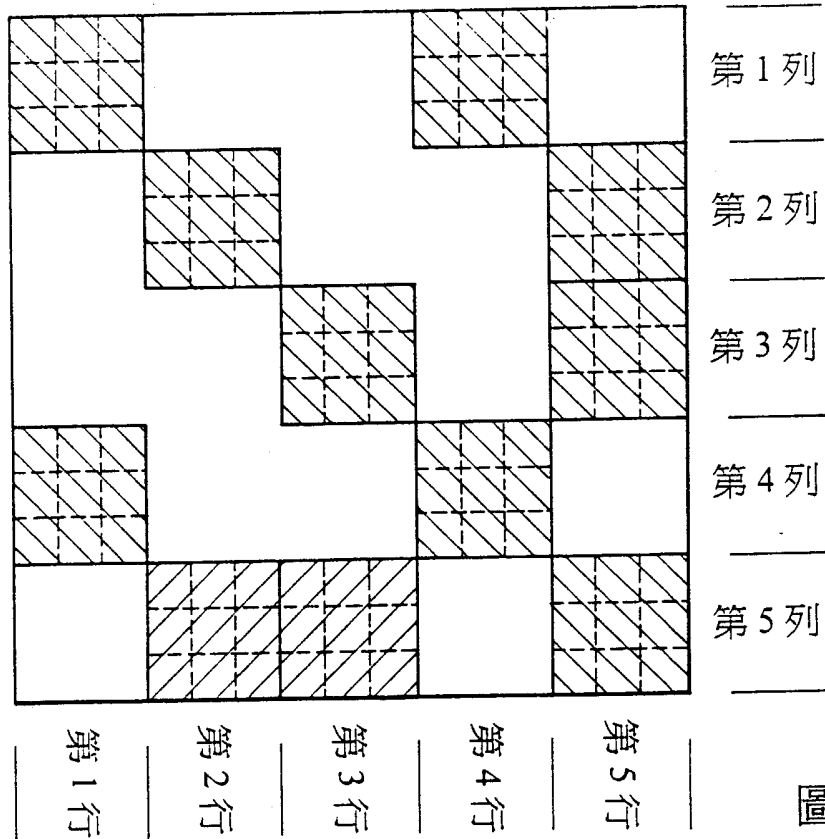


圖 9