

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成17年11月4日(2005.11.4)

【公開番号】特開2001-68650(P2001-68650A)

【公開日】平成13年3月16日(2001.3.16)

【出願番号】特願平11-243154

【国際特許分類第7版】

H 0 1 L 27/108

H 0 1 L 21/8242

G 1 1 C 11/407

G 1 1 C 11/401

H 0 1 L 27/04

H 0 1 L 21/822

H 0 3 L 7/00

H 0 3 L 7/081

// H 0 3 K 5/13

【F I】

H 0 1 L 27/10 6 8 1 F

H 0 3 L 7/00 D

G 1 1 C 11/34 3 5 4 C

G 1 1 C 11/34 3 6 2 S

G 1 1 C 11/34 3 6 2 H

G 1 1 C 11/34 3 7 1 K

H 0 1 L 27/04 F

H 0 1 L 27/04 G

H 0 1 L 27/10 6 8 1 G

H 0 1 L 27/10 6 8 1 E

H 0 3 L 7/08 J

H 0 3 K 5/13

【手続補正書】

【提出日】平成17年8月24日(2005.8.24)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

外部端子から入力された入力クロック信号に基づいて形成された第1クロック信号を所定の遅延時間遅延させた第2クロック信号を出力する可変遅延回路と、上記第2クロック信号に基づいて形成された第3クロック信号と上記第1クロック信号とを位相比較し、両者が一致するように上記遅延時間を制御する制御回路とを含むクロック発生回路と、

上記第2クロック信号に応答する内部回路とが共通の半導体基板上に形成されてなり、

上記可変遅延回路を構成する素子形成領域と上記内部回路を構成する素子形成領域とは上記半導体基板上のウェルが分離された領域にそれぞれが形成されてなることを特徴とする半導体集積回路装置。

【請求項2】

請求項1において、

上記遅延時間はアナログ電圧により制御がされるものであり、

上記制御回路は、上記第1クロック信号の位相と上記第3クロック信号の位相とを比較し制御信号を出力する位相比較回路と、上記制御信号に基づいて上記アナログ電圧を発生させるチャージポンプ回路とを含み、

上記チャージポンプ回路は上記内部回路を構成する素子形成領域と電氣的に分離されることを特徴とする半導体集積回路装置。

【請求項3】

請求項2において、

上記可変遅延回路、及びチャージポンプ回路の各回路は、第1導電型にされた共通の半導体基板上において、深い深さに形成された第2導電型のウェル領域上にそれぞれ形成され、浅い深さに形成された第1導電型又は第2導電型のウェル領域に形成されるものであることを特徴とする半導体集積回路装置。

【請求項4】

請求項1又は2において、

上記半導体集積回路装置は、第1電圧を供給する第1供給部と、上記第1電圧を供給する第2供給部とを有し、

上記内部回路は、上記第1供給部から供給される上記第1電圧を受け、

上記可変遅延回路は、上記第2供給部から供給される上記第1電圧を受けるものであることを特徴とする半導体集積回路装置。

【請求項5】

請求項4において、

上記深い深さに形成された第2導電型のウェル領域の周辺部は、MOS容量素子が形成されて、上記可変遅延回路に供給される上記第1電圧の安定化容量として用いられるものであることを特徴とする半導体集積回路装置。

【請求項6】

請求項4又は5において、

上記クロック発生回路は、上記入力クロック信号を受け上記第1クロック信号を出力するクロック入力バッファと、上記第2クロック信号を受け上記第4クロック信号を出力するクロック出力バッファとを更に備え、

上記内部回路は、上記第4クロック信号を受けて動作し、

上記クロック入力バッファと上記クロック出力バッファとを上記深い深さに形成された第2導電型のウェル領域上に形成することを特徴とする半導体集積回路装置。

【請求項7】

請求項1において、

上記制御回路は、上記第1クロック信号と上記第2クロック信号のそれぞれを分周する分周回路を含むものであることを特徴とする半導体集積回路装置。

【請求項8】

請求項1において、

上記遅延時間は、アナログ電圧により制御されるものであり、

上記制御回路は、上記第1クロック信号の分周クロック信号である第5クロック信号を形成する第1分周回路と、上記第3クロック信号の分周クロック信号である第6クロック信号を形成する第2分周回路と、

上記第5クロック信号の位相と上記第6クロック信号の位相とを比較し制御信号を出力する位相比較回路と、

上記制御信号に基づいて上記アナログ電圧を発生させるチャージポンプ回路とを含み、

上記第5及び第6クロック信号は、上記クロック発生回路が動作状態とされるときに所定の初期値とされるものであることを特徴とする半導体集積回路装置。

【請求項9】

請求項1において、

上記半導体集積回路装置は、上記入力クロック信号を受け上記第1クロック信号を出力

するクロック入力回路と、

上記第4クロック信号を受けて動作する出力回路と、

上記クロック入力回路と上記出力回路の遅延時間に対応した時間だけ上記第4クロック信号を遅延させて上記第3クロック信号を形成するレプリカ遅延回路を更に備え、

上記内部回路は、上記出力回路を含むものであることを特徴とする半導体集積回路装置

。

【請求項10】

請求項8において、

上記第1、第2分周回路及び上記位相比較回路は、上記可変遅延回路が形成される素子形成領域とは電氣的に分離された素子形成領域に形成されるものであることを特徴とする半導体集積回路装置。

【請求項11】

請求項1において、

上記半導体集積回路装置は、第1電圧を供給する第1供給部と上記第1電圧を供給する第2供給部を有し、

上記内部回路は、

複数からなるダイナミック型メモリセルのアドレス選択端子がそれぞれに接続されてなる複数のワード線と、

複数からなるダイナミック型メモリセルがそれぞれに接続されてなる複数対の相補ビット線対と、

上記相補ビット線対の信号をそれぞれ増幅する複数からなるラッチ回路からなるセンスアンプとを含み、

上記センスアンプは、上記第1供給部から供給される上記第1電圧を受け、

上記可変遅延回路は、上記第2供給部から供給される上記第1電圧を受けることを特徴とする半導体集積回路装置。

【請求項12】

外部端子から入力された入力クロック信号を遅延させる可変遅延回路と、

上記可変遅延回路を通した遅延信号と、上記入力クロック信号とを位相比較回路で位相比較し、両者が一致するように上記可変遅延回路の遅延時間を制御して内部クロック信号を形成する制御回路とを含むクロック発生回路を備え、

上記制御回路は、上記可変遅延時間が目標値を超えた時点で、その遅延量を逆方向に戻すように上記可変遅延回路を制御することを特徴とする半導体集積回路装置。

【請求項13】

請求項12において、

上記位相比較回路による位相比較動作毎の上記可変遅延回路の遅延時間の変化量は、ほぼ一定であることを特徴とする半導体集積回路装置。

【請求項14】

請求項12において、

上記位相比較回路による位相比較動作毎の上記可変遅延回路の遅延時間の変化量は、動作状態に対応して変化させられるものであることを特徴とする半導体集積回路装置。

【請求項15】

請求項14において、

上記可変遅延回路の遅延時間の変化量は、クロック発生回路の動作開始から上記目標値を超えるまでの第1期間では大きく、上記第1期間から遅延時間が目標値より小さくなるまでの第2期間では、上記第1期間での遅延時間の変化量よりも小さく、上記第2期間以降は上記第2期間よりも更に小さく設定されてなることを特徴とする半導体集積回路装置

。

【請求項16】

請求項14において、

上記可変遅延回路の遅延時間の変化量は、位相同期動作を損なわない範囲で上記可変遅

延回路の遅延時間が目標値を超える度に小さくされることを特徴とする半導体集積回路装置。

【請求項 17】

請求項 12 ないし 16 のいずれかにおいて、

上記位相比較回路は、データ端子とクロック端子に上記入力クロック信号と内部クロック信号が供給されるフリップフロップ回路で構成され、位相差に対応してハイレベル又はロウレベルの位相比較信号を形成するものであり、

上記制御回路は、上記位相比較信号に対応して上記チャージポンプ回路に対してチャージアップ電流又はディスチャージ電流を流すパルス信号を形成する回路を含むものであることを特徴とする半導体集積回路装置。

【請求項 18】

請求項 17 において、

上記可変遅延回路の遅延時間の変化量は、上記パルス信号の数と、かかるパルス信号により上記チャージポンプ回路に流れる電流値との組み合わせにより変化させられるものであることを特徴とする半導体集積回路装置。