



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2016년07월13일  
(11) 등록번호 10-1639486  
(24) 등록일자 2016년07월07일

(51) 국제특허분류(Int. Cl.)  
H01L 29/78 (2006.01)  
(21) 출원번호 10-2014-0156217  
(22) 출원일자 2014년11월11일  
심사청구일자 2014년11월11일  
(65) 공개번호 10-2015-0095171  
(43) 공개일자 2015년08월20일  
(30) 우선권주장  
14/178,906 2014년02월12일 미국(US)  
(56) 선행기술조사문헌  
KR1020130140231 A\*  
US20130187236 A1\*  
US20140070320 A1  
US20140103403 A1  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드  
중화민국, 타이완, 신주, 신주 사이언스 파크,  
리-신 로드 6, 넘버 8  
(72) 발명자  
호 웨이 수오  
중화민국 타이완 뉴 타이페이 시티 22072 반치아오  
디스트릭트 진먼 스트리트 라인 379 넘버 10  
4에프  
치앙 충 유  
중화민국 타이완 뉴 타이페이 시티 220 반치아오  
디스트릭트 웬후아 로드 섹터 2 라인 225 엘리 72  
넘버 2  
(뒷면에 계속)  
(74) 대리인  
김태홍

전체 청구항 수 : 총 10 항

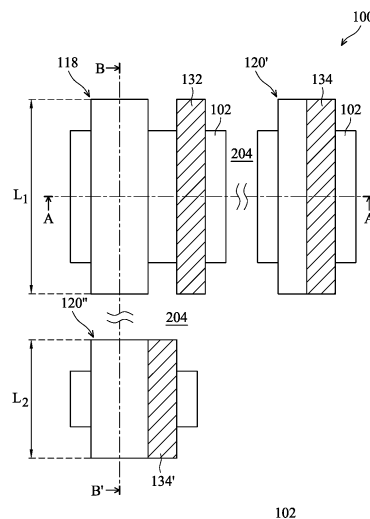
심사관 : 최정민

(54) 발명의 명칭 다양한 폭을 갖는 게이트 구조를 포함하는 반도체 디바이스 구조물 및 그 형성 방법

(57) 요약

반도체 디바이스 구조물 및 이를 형성하기 위한 방법의 실시예들이 제공된다. 반도체 디바이스 구조물은 기판 및 기판 위에 형성되는 제1 금속 게이트 구조를 포함한다. 제1 금속 게이트 구조는 제1 폭을 갖는다. 반도체 디바이스 구조물은 제1 금속 게이트 구조에 인접하여 형성되는 제1 컨택 및 기판 위에 형성되는 제2 금속 게이트 구조를 더 포함한다. 제2 금속 게이트 구조는 제1 폭보다 작은 제2 폭을 갖는다. 반도체 디바이스 구조물은 제2 금속 게이트 구조 위에 형성되는 절연층 및 제2 금속 게이트 구조에 대해 자기-정렬되는 제2 컨택을 더 포함한다.

대표도 - 도1



(72) 발명자

**창 치아 밍**

중화민국 타이완 신쑤 시티 300 이스트 디스트릭트  
밍후 로드 레인 1008 엘리 18 넘버 38

**린 준 밍**

중화민국 타이완 신쑤 시티 300 이스트 디스트릭트  
광후 로드 섹터 1 넘버 72 6에프-6

---

## 명세서

### 청구범위

#### 청구항 1

반도체 디바이스 구조물에 있어서,

기관과,

상기 기관 위에 형성되는 제1 금속 게이트 구조로서, 상기 제1 금속 게이트 구조는 제1 폭을 갖고, 제1 금속 게이트 전극을 포함하는, 상기 제1 금속 게이트 구조와,

상기 제1 금속 게이트 구조에 인접하여 형성되는 제1 컨택과,

상기 기관 위에 형성되는 제2 금속 게이트 구조로서, 상기 제2 금속 게이트 구조는 상기 제1 폭보다 작은 제2 폭을 갖고, 제2 금속 게이트 전극을 포함하는, 상기 제2 금속 게이트 구조와,

상기 제2 금속 게이트 구조 위에 형성되는 절연층으로서, 상기 절연층의 상면은 상기 제1 금속 게이트 전극의 상면과 정렬된, 상기 절연층과,

상기 제2 금속 게이트 구조에 대해 자기-정렬되는(self-aligned) 제2 컨택

을 포함하는 반도체 디바이스 구조물.

#### 청구항 2

청구항 1에 있어서, 상기 제1 폭 대 상기 제2 폭의 비는 2 내지 15의 범위에 있는 것인 반도체 디바이스 구조물.

#### 청구항 3

청구항 1에 있어서, 상기 제1 금속 게이트 구조는 제1 높이를 갖고, 협폭의 상기 제2 금속 게이트 구조는 상기 제1 높이보다 더 낮은 제2 높이를 갖는 것인 반도체 디바이스 구조물.

#### 청구항 4

청구항 3에 있어서, 상기 제1 높이 대 상기 제2 높이의 비는 4 내지 10의 범위에 있는 것인 반도체 디바이스 구조물.

#### 청구항 5

청구항 3에 있어서, 협폭의 상기 제2 금속 게이트 구조 위에 형성되는 절연층은 제3 높이를 갖고, 상기 제2 높이 및 상기 제3 높이의 합이 상기 제1 높이와 같은 것인 반도체 디바이스 구조물.

#### 청구항 6

청구항 1에 있어서, 상기 절연층은 상기 제2 금속 게이트 구조 상에 형성되지만, 상기 제1 금속 게이트 구조 상에는 형성되지 않는 것인 반도체 디바이스 구조물.

#### 청구항 7

청구항 1에 있어서, 상기 제2 컨택의 일부는 상기 절연층 상에 형성되는 것인 반도체 디바이스 구조물.

#### 청구항 8

반도체 디바이스 구조물에 있어서,

기관과,

상기 기관 위에 형성되는 제1 금속 게이트 구조로서, 상기 제1 금속 게이트구조는 제1 금속 게이트 전극을 포함

하는, 상기 제1 금속 게이트 구조와,

상기 제1 금속 게이트 구조에 인접하여 형성되는 제1 콘택과,

상기 기판 위에 형성되는 제2 금속 게이트 구조로서, 상기 제2 금속 게이트 구조는 제2 금속 게이트 전극을 포함하는, 상기 제2 금속 게이트 구조와,

상기 제2 금속 게이트 구조 위에 형성되는 절연층으로서, 상기 절연층의 상면은 상기 제1 금속 게이트 전극의 상면과 정렬된, 상기 절연층과,

상기 제2 금속 게이트 구조에 대해 자기-정렬되는 제2 콘택

을 포함하고,

상기 제1 금속 게이트 구조는 제1 폭 및 제1 높이를 갖고, 상기 제2 금속 게이트 구조는 제2 폭 및 상기 제1 높이보다 낮은 제2 높이를 갖고, 상기 제1 폭 대 상기 제2 폭의 비는 2 내지 15의 범위에 있는 것인 반도체 디바이스 구조물.

## 청구항 9

반도체 디바이스 구조물을 형성하기 위한 방법에 있어서,

기판 위의 층간 유전체(inter-layer dielectric; ILD) 층에 제1 금속 게이트 구조 및 제2 금속 게이트 구조를 형성하는 단계로서, 상기 제1 금속 게이트 구조는 제1 금속 게이트 전극을 포함하고, 상기 제2 금속 게이트 구조는 제2 금속 게이트 전극을 포함하는, 단계와,

상기 제1 금속 게이트 구조 상에 마스크 구조를 형성하고, 상기 제2 금속 게이트 구조의 상면을 노출하는 단계와,

상기 제2 금속 게이트 구조를 축소하기 위해 상기 제2 금속 게이트 구조의 상부를 에칭하는 단계와,

상기 제2 금속 게이트 구조 상에 절연층을 형성하는 단계로서, 상기 절연층의 상면은 상기 제1 금속 게이트 전극의 상면과 정렬된, 단계와,

상기 제1 금속 게이트 구조에 인접한 제1 콘택 및 상기 제2 금속 게이트 구조에 대해 자기-정렬되는 제2 콘택을 형성하는 단계

를 포함하고,

상기 제1 금속 게이트 구조는 제1 폭을 갖고, 상기 제2 금속 게이트 구조는 상기 제1 폭보다 작은 제2 폭을 갖는 것인 반도체 디바이스 구조물의 형성 방법.

## 청구항 10

청구항 9에 있어서, 상기 절연층이 상기 제2 금속 게이트 구조 상에 형성되기 이전에 상기 마스크 구조를 제거하는 단계를 더 포함하는 반도체 디바이스 구조물의 형성 방법.

## 발명의 설명

### 배경 기술

[0001] 반도체 디바이스는 개인용 컴퓨터, 셀폰, 디지털 카메라 및 다른 전자 장비와 같은 다양한 전자 애플리케이션에서 이용된다. 반도체 디바이스는 통상적으로 반도체 기판 위에 물질의 절연 또는 유전체층, 전도성층, 및 반도체층을 순차적으로 적층하고, 거기에 리소그래피를 이용하여 회로 컴포넌트 및 엘리먼트를 형성하도록 다양한 물질층을 패터닝함으로써 제조된다.

[0002] 컴퓨터에서 향상된 성능을 위한 중요한 드라이버들 중 하나는 회로의 더 높은 레벨의 집적이다. 이는 주어진 칩 상에서 디바이스 크기를 소형화하거나 축소함으로써 달성된다. 허용오차는 칩 상의 치수를 축소할 수 있게 되는 데 있어 중요한 역할을 한다.

[0003] 기술 노드들이 축소됨에 따라, 몇몇 집적 회로(IC) 설계에서, 피쳐 크기가 감소된 채로 디바이스 성능을 개선하기 위해 통상적인 폴리실리콘 게이트를 금속 게이트로 대체하고자 하는 바람이 있어 왔다. 금속 게이트를 형성

하기 위한 하나의 프로세스는 "게이트 라스트(gate last)" 프로세스라 불린다. "게이트 라스트" 프로세스에서는, 최종 금속 게이트가 마지막에 제조되어, 후속 프로세스의 수가 삭감될 수 있다.

[0004] 그러나 기존의 "게이트 라스트" 프로세스들은 일반적으로 그 의도된 목적에 충분하지만, 디바이스 스케일링다운(device scaling-down)이 지속됨에 따라, 이들은 모든 면에서 완전히 만족스럽진 않다.

[0005] 본 개시 및 그것의 이점들의 보다 완전한 이해를 위해, 이하 첨부 도면들과 함께 다음의 설명을 참조한다.

### 도면의 간단한 설명

[0006] 도 1은 몇몇 실시예들에 따른 반도체 디바이스 구조물의 상면도를 예시한다.

도 2a 내지 도 2k는 몇몇 실시예들에 따른, 도 1에 표시된 선 A-A'를 따라 도시한 반도체 디바이스 구조물을 형성하는 다양한 스테이지들의 단면도를 예시한다.

도 3은 몇몇 실시예들에 따른, 도 1에 표시된 선 B-B'를 따라 도시한 반도체 디바이스 구조물의 단면도를 예시한다.

도 4a는 몇몇 실시예들에 따른 반도체 디바이스 구조물의 상면도를 예시한다.

도 4b는 몇몇 실시예들에 따른, 도 4a에 표시된 선 C-C'를 따라 도시한 반도체 디바이스 구조물의 단면도를 예시한다.

도 4c는 몇몇 실시예들에 따른, 도 4a에 표시된 선 D-D'를 따라 도시한 반도체 디바이스 구조물의 단면도를 예시한다.

### 발명을 실시하기 위한 구체적인 내용

[0007] 본 개시의 실시예들의 제조 및 이용에 대해 이하에서 상세히 설명한다. 그러나 실시예는 매우 다양한 특정 맥락에서 실현될 수 있다는 것이 인지되어야 한다. 설명하는 특정 실시예는 단지 예시적이며 본 개시의 범위를 제한하지 않는다.

[0008] 다음의 개시는 본 개시의 상이한 특징들을 구현하기 위한 다수의 상이한 실시예들 또는 예들을 제공한다고 생각한다. 컴포넌트들 및 배열들의 특정한 예들에 대해 본 개시를 단순하게 하기 위해 이하에서 설명한다. 이들은 물론 단지 예시일 뿐이며, 제한하는 것으로 의도되지 않는다. 또한, 이어지는 설명에서 제2 프로세스 이전의 제1 프로세스의 수행은 제2 프로세스가 제1 프로세스 직후 수행되는 실시예들을 포함하고 부가적인 프로세스들이 제1 및 제2 프로세스 사이에 수행될 수 있는 실시예들을 또한 포함할 수 있다. 다양한 특징들이 단순함 및 명료함을 위해 상이한 축적으로 임의적으로 그려질 수 있다. 또한, 이어지는 설명에서 제2 특징 위의 또는 그 상의 제1 피처의 형성은 제1 및 제2 피처가 직접 접촉하게 형성되는 실시예들을 포함할 수 있고, 제1 및 제2 피처가 직접 접촉하지 않을 수 있도록 제1 및 제2 피처 사이에 부가적인 피처가 형성될 수 있는 실시예들을 또한 포함할 수 있다.

[0009] 실시예들의 일부 변형에 대해 설명한다. 다양한 도면들 및 예시적인 실시예들 전체에 걸쳐서, 유사한 참조 번호는 유사한 엘리먼트를 지정하는데 이용된다.

[0010] 반도체 디바이스 구조물의 실시예는 본 개시의 몇몇 실시예들에 따라 제공된다. 반도체 디바이스 구조물은 다양한 채널 길이(예를 들어, 다양한 게이트 폭)를 갖는 다수의 게이트 구조를 포함할 수 있다. 일반적으로, 비교적 짧은 채널 길이를 갖는 게이트 구조는 또한 작은 피치를 갖는 경향이 있다. 그러나 피치가 너무 작을 때, 게이트 구조와 게이트 구조에 인접하여 형성된 콘택 간의 부족(shortage)의 위험이 증가한다. 그러므로 게이트 구조가 축소되고, 게이트 구조와 콘택 간의 부족을 방지하기 위해 축소된 게이트 구조 위에 절연층이 형성된다. 또한, 콘택은 게이트 구조에 대해 자기-정렬(self-aligned)될 수 있다.

[0011] 도 1은 몇몇 실시예들에 따라 반도체 디바이스 구조물(100)의 상면도를 예시한다. 반도체 디바이스 구조물(100)은 기판(102) 위에 형성되는 광폭의 금속 게이트 구조(118) 및 축소된 협폭의 금속 게이트 구조(120')를 포함한다. 광폭의 금속 게이트 구조(118)의 폭은 축소된 협폭의 금속 게이트 구조(120')의 폭보다 크다. 또한, 광폭의 금속 게이트 구조(118)의 높이는 축소된 협폭의 금속 게이트 구조(120')의 높이보다 높다.

[0012] 또한, 제1 콘택(132)이 광폭의 금속 게이트 구조(118)에 인접하여 형성되고, 제2 콘택(134)이 축소된 협폭의 금속 게이트 구조(120')에 인접해 있다. 몇몇 실시예들에서, 광폭의 금속 게이트 구조(118), 축소된 협폭의 금속

게이트 구조(120'), 제1 콘택(132) 및 제2 콘택(134)은 기판(102) 위에 형성되고, 얇은 트렌치 격리(shallow trench isolation; STI) 영역(204)이 기판(102)에 형성된다.

[0013] 도 2a 내지 도 2k는 몇몇 실시예들에 따른, 도 1에 표시된 선 A-A'를 따라 도시한 반도체 디바이스 구조물(100)을 형성하는 다양한 스테이지들의 단면도를 예시한다.

[0014] 도 2a에서 도시된 바와 같이, 기판(102)이 몇몇 실시예들에 따라 제공된다. 기판(102)은 실리콘 웨이퍼와 같은 반도체 웨이퍼일 수 있다. 대안적으로 또는 부가적으로, 기판(102)은 원소 반도체 물질, 화합물 반도체 물질, 및/또는 합금 반도체 물질을 포함할 수 있다. 원소 반도체 물질의 예는 결정 실리콘, 다결정질 실리콘, 비정질 실리콘, 게르마늄, 및/또는 다이아몬드일 수 있지만, 이들로 제한되지 않는다. 화합물 반도체 물질의 예는 실리콘 탄화물, 갈륨 비소, 갈륨 인화물, 인듐 인화물, 인듐 비화물 및/또는 인듐 안티몬화물일 수 있지만 이들로 제한되지 않는다. 합금 반도체 물질의 예는 SiGe, GaAsP, AlInAs, AlGaAs, GaInAs, GaInP, 및/또는 GaInAsP일 수 있지만, 이들로 제한되지 않는다.

[0015] 몇몇 실시예들에서, 기판(102)은 도핑된 영역, 격리 피처, 층간 유전체(ILD)층 및/또는 전도성 피처 등의 구조를 포함한다. 또한, 기판(102)은 패터닝될 단일 또는 다수의 물질층을 더 포함할 수 있다. 예를 들어, 물질층은 실리콘층, 유전체층 및/또는 도핑된 폴리실리콘층을 포함한다.

[0016] 광폭의 더미 게이트 구조(104) 및 협폭의 더미 게이트 구조(106)가 몇몇 실시예들에 따라 도 2a에서 도시된 바와 같이 기판(102) 위에 형성된다. 몇몇 실시예들에서, 광폭의 더미 게이트 구조(104)는 제1 폭( $W_1$ )을 갖고, 협폭의 더미 게이트 구조(106)은 제1 폭( $W_1$ )보다 작은 제2 폭( $W_2$ )을 갖는다. 몇몇 실시예들에서, 광폭의 더미 게이트 구조(104)의 제1 폭( $W_1$ )은 약 10 nm 내지 약 500 nm의 범위에 있다. 몇몇 실시예들에서, 협폭의 더미 게이트 구조(106)의 제2 폭( $W_2$ )은 약 5 nm 내지 약 250 nm 범위에 있다. 몇몇 실시예들에서, 제1 폭( $W_1$ ) 대 제2 폭( $W_2$ )의 비는 약 2 내지 약 15의 범위에 있다.

[0017] 몇몇 실시예들에서, 광폭의 더미 게이트 구조(104) 및 협폭의 더미 게이트 구조(106)는 각각 더미 게이트 유전체층(108) 및 더미 게이트 전극층(110)을 포함한다. 몇몇 실시예들에서, 더미 게이트 유전체층(108)은 금속 산화물, 금속 질화물, 금속 규산염, 전이 금속 산화물, 전이 금속 질화물, 전이 금속 규산염, 또는 금속의 산질화물과 같은 고-k(high-k) 유전체 물질로 이루어진다. 고-k 유전체 물질의 예는 하프늄 산화물( $HfO_2$ ), 하프늄 실리콘 산화물( $HfSiO$ ), 하프늄 실리콘 산질화물( $HfSiON$ ), 하프늄 탄탈륨 산화물( $HfTaO$ ), 하프늄 티타늄 산화물( $HfTiO$ ), 하프늄 지르코늄 산화물( $HfZrO$ ), 실리콘 질화물, 실리콘 산질화물, 지르코늄 산화물, 티타늄 산화물, 알루미늄 산화물, 하프늄 이산화물-알루미나( $HfO_2-Al_2O_3$ ) 합금, 또는 다른 응용 가능한 유전체 물질을 포함하지만 이들로 제한되지 않는다. 몇몇 실시예들에서, 더미 게이트 전극층(110)은 폴리실리콘으로 이루어진다.

[0018] 광폭의 더미 게이트 구조(104) 및 협폭의 더미 게이트 구조(106)는 적층, 포토리소그래피 패터닝 및 에칭 프로세스를 포함하는 프로시저에 의해 형성될 수 있다. 적층 프로세스는 화학적 기상 증착(chemical vapor deposition; CVD), 물리적 기상 증착(physical vapor deposition; PVD), 원자층 증착(atomic layer deposition; ALD), 고밀도 플라즈마 CVD(high density plasma CVD; HDPCVD), 금속 유기 CVD(metal organic CVD; MOCVD), 또는 플라즈마 강화 CVD(plasma enhanced CVD; PECVD)를 포함할 수 있다. 포토리소그래피 패터닝 프로세스는 포토레지스트 코팅(예를 들어, 스핀-온 코팅), 소프트 베이킹, 마스크 정렬, 노출, 노출후 베이킹, 포토레지스트 현상, 린스, 건조(예를 들어, 하드 베이킹), 및/또는 다른 응용 가능한 프로세스들을 포함할 수 있다. 에칭 프로세스는 건식 에칭, 습식 에칭 및/또는 다른 에칭 방법(예를 들어, 반응 이온 에칭)을 포함할 수 있다.

[0019] 광폭의 더미 게이트 구조(104) 및 협폭의 더미 게이트 구조(106)는 서로 인접해 있을 수 있거나, 다른 구조가 광폭의 더미 게이트 구조(104)와 협폭의 더미 게이트 구조(106) 사이에 형성될 수 있으며, 본 개시의 범위는 제한되는 것은 의도하지 않는다.

[0020] 몇몇 실시예들에서, 밀봉층(301)이 광폭의 더미 게이트 구조(104) 및 협폭의 더미 게이트 구조(106)의 측벽들 상에 형성된다. 밀봉층(108)은 후속 프로세싱 동안 손상 또는 손실로부터 광폭의 더미 게이트 구조(104) 및 협폭의 더미 게이트 구조(106)을 보호할 수 있고 후속 프로세싱 동안 산화도 방지할 수 있다. 몇몇 실시예들에서, 밀봉층(301)은 실리콘 질화물, 실리콘 산화물, 실리콘 산질화물, 실리콘 탄화물, 또는 다른 응용 가능한 유전체 물질로 이루어진다. 밀봉층(301)은 단일 층 또는 다층을 포함할 수 있다.



- [0021] 스페이서(303)가 몇몇 실시예들에 따라 밀봉층(301) 상에 추가로 형성된다. 몇몇 실시예들에서, 스페이서(303)는 실리콘 질화물, 실리콘 산화물, 실리콘 탄화물, 실리콘 산질화물, 또는 다른 응용 가능한 물질로 이루어진다. 스페이서(303)은 적층 및 에칭 프로세스에 의해 형성될 수 있다.
- [0022] 또한, 다양한 도핑된 영역이 또한 기판(102)에 형성될 수 있다. 몇몇 실시예들에서, 얇게 도핑된 소스/드레인 (lightly doped source/drain; LDD) 영역(305) 및 소스/드레인(S/D) 영역(307)이 몇몇 실시예들에 따라 도 2a에서 도시된 바와 같이 기판(102)에 형성된다. LDD 영역(305) 및 S/D 영역(307)은 이온 주입 프로세스, 포토리소그래피, 확산 및/또는 다른 응용 가능한 프로세스에 의해 형성될 수 있다. 몇몇 실시예들에서, LDD 영역(305) 및 S/D 영역(307)은 붕소 또는  $\text{BF}_2$ 와 같은 p-타입 도펀트, 및/또는 인 또는 비소와 같은 n-타입 도펀트로 도핑된다.
- [0023] 광폭의 더미 게이트 구조(104) 및 협폭의 더미 게이트 구조(106)가 형성된 이후, 몇몇 실시예들에 따라 도 2b에서 도시된 바와 같이 컨택 에칭 정지층(contact etch stop layer; CESL)(309)이 기판(102) 위의 광폭의 더미 게이트 구조(104) 및 협폭의 더미 게이트 구조(106)를 커버하도록 형성된다. 몇몇 실시예들에서, CESL(309)은 실리콘 질화물, 실리콘 산질화물, 및/또는 다른 응용 가능한 물질로 이루어진다. CESL(309)은 플라즈마 강화 CVD, 저압 CVD, ALD 또는 다른 응용 가능한 프로세스들에 의해 형성될 수 있다.
- [0024] CESL(309)이 형성된 이후 ILD층(112)은 몇몇 실시예들에 따라 기판(102) 위의 CESL(309) 상에 형성된다. ILD층(112)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 테트라에톡시실란(tetraethoxysilane; TEOS), 포스포실리케이트 글래스(phosphosilicate glass; PSG), 보로포스포실리케이트 글래스(borophosphosilicate glass; BPSG), 저-k(low-k) 유전체 물질, 및/또는 다른 응용 가능한 유전체 물질 등의 다수의 유전체 물질로 이루어진 다층을 포함할 수 있다. 저-k 유전체 물질의 예는 불화 실리카 글래스(fluorinated silica glass; FSG), 탄소 도핑된 실리콘 산화물, 비정질 플루오르화된 탄소, 파릴렌, 비스-벤조사이클로부텐스(bis-benzocyclobutenes; BCB), 또는 폴리이미드를 포함하지만 이들로 제한되진 않는다. ILD층(112)은 화학적 기상 증착(CVD), 물리적 기상 증착(PVD), 원자층 적층(ALD), 스펀-온 코팅, 또는 다른 응용 가능한 프로세스에 의해 형성될 수 있다.
- [0025] 이어서, 몇몇 실시예들에 따라 도 2c에서 도시된 바와 같이 폴리싱 프로세스가 ILD층(112)에 대해 수행된다. 몇몇 실시예들에서, ILD층(112)은 광폭의 더미 게이트 구조(104) 및 협폭의 더미 게이트 구조(106)의 상면들이 노출될 때까지 화학적 기계 폴리싱(CMP) 프로세스에 의해 평탄화된다.
- [0026] 폴리싱 프로세스가 수행된 이후, 광폭의 더미 게이트 구조(104)는 광폭의 금속 게이트 구조(118)에 의해 대체되고, 협폭의 더미 게이트 구조(106)는 협폭의 금속 게이트 구조(120)에 의해 대체된다. 보다 구체적으로, 광폭의 더미 게이트 구조(104) 및 협폭의 더미 게이트 구조(106)는 몇몇 실시예들에 따라 도 2d에서 도시된 바와 같이, 넓은 트랜치(114) 및 좁은 트랜치(116)를 형성하도록 제거된다. 몇몇 실시예들에서, 더미 게이트 전극층(110)은 제1 에칭 프로세스에 의해 제거되고, 더미 게이트 유전체층(108)은 제1 에칭 프로세스가 수행된 이후 제2 에칭 프로세스에 의해 제거된다. 이어서, 광폭의 금속 게이트 구조(118) 및 협폭의 금속 게이트 구조(120)가 몇몇 실시예들에 따라 도 2e에서 도시된 바와 같이 넓은 트랜치(118) 및 좁은 트랜치(120)에 각각 형성된다.
- [0027] 몇몇 실시예들에서, 광폭의 금속 게이트 구조(118) 및 협폭의 금속 게이트 구조(120)는 각각 게이트 유전체층(122), 일함수 금속층(124) 및 금속 게이트 전극층(126)을 포함한다.
- [0028] 몇몇 실시예들에서, 게이트 유전체층(122)은 고-k 유전체 물질로 이루어진다. 고-k 유전체 물질의 예는 하프늄 산화물( $\text{HfO}_2$ ), 하프늄 실리콘 산화물( $\text{HfSiO}$ ), 하프늄 실리콘 산질화물( $\text{HfSiON}$ ), 하프늄 탄탈륨 산화물( $\text{HfTaO}$ ), 하프늄 티타늄 산화물( $\text{HfTiO}$ ), 하프늄 지르코늄 산화물( $\text{HfZrO}$ ), 금속 산화물, 금속 질화물, 금속 규산염, 전이 금속 산화물, 전이 금속 질화물, 전이 금속 규산염, 금속의 산질화물, 금속 알루미늄산염, 지르코늄 규산염, 지르코늄 알루미늄산염, 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 지르코늄 산화물, 티타늄 산화물, 알루미늄 산화물, 또는 하프늄 이산화물-알루미나( $\text{HfO}_2\text{-Al}_2\text{O}_3$ ) 합금을 포함할 수 있지만 이들로 제한되진 않는다.
- [0029] 일함수 금속층(124)은 게이트 유전체층(122) 위에 형성된다. 일함수 금속층(124)은 적절한 일함수를 갖도록 튜닝된다. 예를 들어, PMOS 디바이스를 위한 P-타입 일함수 금속(P-금속)이 요구되는 경우,  $\text{TiN}$ ,  $\text{WN}$ , 또는  $\text{W}$ 이 이용될 수 있다. 한편, NMOS 디바이스를 위한 N-타입 일함수 금속(N-금속)이 요구되는 경우,  $\text{TiAl}$ ,  $\text{TiAlN}$ , 또는  $\text{TaCN}$ 이 이용될 수 있다.
- [0030] 금속 게이트 전극층(126)은 일함수 금속층(124) 위에 형성된다. 몇몇 실시예들에서, 금속 게이트 전극층(126)은 알루미늄, 구리, 텅스텐, 티타늄, 탄탈륨, 티타늄 질화물, 탄탈륨 질화물, 니켈 규화물, 코발트 규화물,  $\text{TaC}$ ,

TaSiN, TaCN, TiAl, TiAlN, 또는 다른 응용 가능한 물질과 같은 전도성 물질로 이루어진다. 게이트 유전체층(122), 일함수 금속층(124) 및 금속 게이트 전극층(126)은 임의의 응용 가능한 프로세스에 의해 임의의 응용 가능한 두께로 형성될 수 있다.

[0031] 라이너층, 계면층, 시드층, 접착층, 배리어층 등과 같은 부가적인 층과 게이트 유전체층(122), 일함수 금속층(124), 금속 게이트 전극층(126) 위에 및/또는 아래에 형성될 수 있다는 것을 주지해야 한다. 또한, 게이트 유전체층(122), 일함수 금속층(124) 및 금속 게이트 전극층(126)은 하나 이상의 물질 및/또는 하나 이상의 층을 포함할 수 있다.

[0032] 도 2e에서 도시된 바와 같이, 광폭의 금속 게이트 구조(118)가 넓은 트랜치(114)에 형성되고, 제1 폭( $W_1$ )을 갖는다. 협폭의 금속 게이트 구조(120)가 좁은 트랜치(116)에 형성되고 제1 폭( $W_1$ )보다 작은 제2 폭( $W_2$ )을 갖는다. 그러나 협폭의 금속 게이트 구조(120)의 제2 폭( $W_2$ )이 너무 작을 때, 협폭의 금속 게이트 구조(120)와 제2 콘택(134) 간의 부족 없이 제2 콘택(134)을 정렬 및 형성하는 것은 어려울 수 있다. 그러므로, 협폭의 금속 게이트 구조(120)는 축소된 협폭의 금속 게이트 구조(120')를 형성하도록 에칭 백 프로세스에 의해 축소되어서, 절연층(128)은 제2 콘택(134)과 축소된 협폭의 금속 게이트 구조(120') 간의 부족을 방지하기 위해 이 축소된 협폭의 금속 게이트 구조(120') 상에 형성될 수 있다.

[0033] 또한, 에칭 백 프로세스 동안, 광폭의 금속 게이트 구조(118)가 또한 에칭될 수 있다. 그러나 광폭의 금속 게이트 구조(118) 및 협폭의 금속 게이트 구조(120)가 에칭 백 프로세스에 의해 둘 다 에칭되는 경우, 에칭 백 프로세스에 의해 제거되는 광폭의 금속 게이트 구조(118)의 상부의 양은 로딩 효과(loading effect)로 인해 에칭 백 프로세스에 의해 제거되는 협폭의 금속 게이트 구조(120)의 상부의 양보다 더 많을 것이다. 즉, 광폭의 금속 게이트 구조(118)의 일함수 금속층(124) 및 금속 게이트 전극층(126)의 상부와 같이 너무 많은 광폭의 금속 게이트 구조(118)가 에칭 백 프로세스에 의해 제거될 수 있다. 그러므로, 축소된 광폭의 금속 게이트 구조가 손상될 수 있고, 구조의 문턱 전압은 변경될 수 있다. 이에 따라, 마스크 구조(311)는 몇몇 실시예들에 따라 도 2f에서 도시된 바와 같이 에칭 백 프로세스에 의해 광폭의 금속 게이트 구조(118)가 손상되는 것을 방지하는데 이용된다.

[0034] 도 2f에서 도시된 바와 같이, 마스크 구조(311)는 몇몇 실시예들에 따라 순차적인 에칭 프로세스로부터 광폭의 금속 게이트 구조(118)를 보호하기 위해 광폭의 금속 게이트 구조(118) 위에 형성된다. 도 2f에서 도시된 바와 같이, 마스크 구조(311)는 광폭의 금속 게이트 구조(118)를 커버하지만 협폭의 금속 게이트 구조(120)는 커버하지 않는다. 그러므로 광폭의 금속 게이트 구조(118)는 후속의 에칭 백 프로세스 동안 마스크 구조(311)에 의해 보호되는 반면에, 협폭의 금속 게이트 구조(120)의 상면은 노출된다. 몇몇 실시예들에서, 마스크 구조(311)는 포토레지스트 층 및 하부 반사 방지 코팅(bottom anti-reflective coating; BARC)층을 포함한다.

[0035] 마스크 구조(311)가 형성된 이후, 에칭 백 프로세스(127)는 몇몇 실시예들에 따라 도 2g에서 도시된 바와 같이 협폭의 금속 게이트 구조(120)를 축소하기 위해 수행된다. 광폭의 금속 게이트 구조(118)가 마스크 구조(311)에 의해 보호되기 때문에, 광폭의 금속 게이트 구조(118)의 높이는 에칭 백 프로세스(127)가 수행된 이후 유지된다. 그러나 협폭의 금속 게이트 구조(120)의 상면은 에칭 백 프로세스(127) 동안 노출되고, 이에 따라 협폭의 금속 게이트 구조(120)는 에칭 백 프로세스(127)가 수행된 이후 축소되어 축소된 협폭의 금속 게이트 구조(120')를 형성한다.

[0036] 몇몇 실시예들에서, 광폭의 금속 게이트 구조(118)는 제1 높이( $H_1$ )를 갖고, 축소된 협폭의 금속 게이트 구조(120')는 제1 높이( $H_1$ )보다 낮은 제2 높이( $H_2$ )를 갖는다. 몇몇 실시예들에서, 제1 높이( $H_1$ )는 약 400 Å 내지 약 1000 Å 범위에 있다. 몇몇 실시예들에서, 제2 높이( $H_2$ )는 100 Å 내지 약 990 Å 범위에 있다. 몇몇 실시예들에서, 제1 높이( $H_1$ ) 대 제2 높이( $H_2$ )의 비는 약 4 내지 약 10의 범위에 있다.

[0037] 또한, 광폭의 금속 게이트 구조(118)가 광폭의 더미 게이트 구조(104)를 대체함으로써 형성되고, 축소된 협폭의 금속 게이트 구조(120')는 협폭의 더미 게이트 구조(106)를 대체함으로써 형성되기 때문에, 광폭의 금속 게이트 구조(118)는 또한 제1 폭( $W_1$ )을 갖고, 축소된 협폭의 금속 게이트 구조(120')는 제1 폭( $W_1$ )보다 작은 제2 폭( $W_2$ )을 갖는다. 몇몇 실시예들에서, 제1 높이( $H_1$ ) 대 제1 폭( $W_1$ )의 비는 약 25 내지 약 1의 범위에 있다. 몇몇 실시예들에서, 제2 높이( $H_2$ ) 대 제2 폭( $W_2$ )의 비는 약 1 내지 약 30의 범위에 있다.

[0038] 에칭 백 프로세스(127)가 수행된 이후, 마스크 구조(311)가 제거되고, 절연층(128)이 몇몇 실시예들에 따라 축



소된 협폭의 금속 게이트 구조(120') 상에 형성된다. 도 2h에서 도시된 바와 같이, 절연층(128)은 축소된 협폭의 금속 게이트 구조(120') 상에 형성되지만 광폭의 금속 게이트 구조(118) 상에는 형성되지 않는다. 몇몇 실시예들에서, 절연층(128)은, 기판(102) 위에 절연 물질을 적층하고, 광폭의 금속 게이트 구조(118)의 상면을 노출하도록 절연 물질의 상부를 제거함으로써 형성된다.

[0039] 몇몇 실시예들에서, 절연층(128)은 제3 높이( $H_3$ )를 갖는다. 몇몇 실시예들에서, 제3 높이( $H_3$ )는 약 1 Å 내지 300 Å 범위에 있다. 몇몇 실시예들에서, 광폭의 금속 게이트 구조(118)의 제1 높이( $H_1$ )는 실질적으로 축소된 협폭의 금속 게이트 구조(120')의 제2 높이( $H_2$ )와 절연층(128)의 제3 높이( $H_3$ )의 합과 같다.

[0040] 몇몇 실시예들에서, 절연층(128)은 실리콘 질화물, 실리콘 탄화물, 실리콘 산질화물 또는 알루미늄 산화물과 같은 질화물 물질, 탄화물 물질, 또는 산화물 물질로 이루어진다. 또한, 다른 저-k 유전체 물질이 또한 절연층(128)을 형성하는데 이용될 수 있다. 절연층(128)은, 기판(102) 위에 절연 물질을 적층하고 이어서 CMP 프로세스를 수행함으로써 형성될 수 있다. 절연 물질은 CVD 프로세스에 의해 적층될 수 있다.

[0041] 다음으로, 유전체층(130)이 몇몇 실시예들에 따라 도 2i에서 도시된 바와 같이 ILD층(112), 절연층(128) 및 광폭의 금속 게이트 구조(118) 상에 형성된다. 몇몇 실시예들에서, 유전체층(130)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 또는 ILD층(112)와 유사하거나 동일한 다른 응용 가능한 유전체 물질로 이루어진다. 유전체층(130)은 CVD 프로세스에 의해 형성될 수 있다.

[0042] 이어서, 포토레지스트층(313)이 몇몇 실시예들에 따라 도 2i에서 도시된 바와 같이 유전체층(130) 위에 형성된다. 포토레지스트층(313)은 제1 개구(315) 및 제2 개구(317)를 갖는다. 에칭 프로세스는 몇몇 실시예들에 따라 도 2j에서 도시된 바와 같이, 포토레지스트층(313)의 제1 개구(315) 및 제2 개구(317) 아래의 유전체층(130) 및 ILD층(112)의 일부를 제거하도록 수행된다. 제1 콘택 트랜치(319) 및 제2 콘택 트랜치(321)가 이에 따라 형성된다. 몇몇 실시예들에서, 에칭 프로세스는 습식 에칭 프로세스이다. 제1 콘택 트랜치(319) 및 제2 콘택 트랜치(321)의 폭들은 요구에 따라 조정될 수 있다.

[0043] 다음으로, 제1 콘택(132) 및 제2 콘택(134)이 몇몇 실시예들에 따라 도 2k에서 도시된 바와 같이 제1 콘택 트랜치(319) 및 제2 콘택 트랜치(321)에 각각 형성된다. 몇몇 실시예들에서, 제1 콘택(132) 및 제2 콘택(134)은 알루미늄, 구리, 텅스텐, 티타늄, 탄탈륨, 티타늄 질화물, 탄탈륨 질화물, 니켈 규화물, 코발트 규화물, TaC, TaSiN, TaCN, TiAl, TiAlN, 다른 응용 가능한 전도성 물질 또는 이들의 조합과 같은 전도성 물질로 이루어진다.

[0044] 도 2k에서 도시된 바와 같이, 제1 콘택(132)은 광폭의 금속 게이트 구조(118)에 인접한 S/D 영역(307) 위에 형성되고, 제2 콘택(134)은 축소된 협폭의 금속 게이트 구조(120')에 인접한 S/D 영역(307) 위에 형성된다. 또한, 절연층(128)이 축소된 협폭의 금속 게이트 구조(120') 상에 형성되고, 제2 콘택(134)과 축소된 협폭의 금속 게이트 구조(120') 간의 부족을 방지하도록 구성되기 때문에, 제2 콘택(134)은 축소된 협폭의 금속 게이트 구조(120')에 대해 자기-정렬될 수 있다. 즉, 절연층(128)은 도 2j에서 도시된 바와 같이 제2 콘택 트랜치(321)가 에칭 프로세스에 의해 형성될 때 마스크로서 이용될 수 있다. 그러므로, 제2 콘택 트랜치(321)에 형성된 제2 콘택(134)은 축소된 협폭의 금속 게이트 구조(120')에 대해 정렬될 수 있는 반면에, 제2 콘택(134)은 축소된 협폭의 금속 게이트 구조(120')와 직접 접촉하지는 않을 것이다.

[0045] 전술한 바와 같이, 절연층(128)은 제2 콘택(134)과 축소된 협폭의 금속 게이트 구조(120') 간의 부족을 방지하기 위해 축소된 협폭의 금속 게이트 구조(120') 상에 형성된다. 그러므로, 제2 콘택(134)은 축소된 협폭의 금속 게이트 구조(120')에 대해 자기-정렬된 콘택일 수 있다. 또한, 마스크 구조(311)가 에칭 백 프로세스(127) 동안 광폭의 금속 게이트 구조(118)를 보호하는데 이용되기 때문에, 광폭의 금속 게이트 구조(118)의 전도성 물질은 손상되지 않을 것이고, 문턱 전압은 설계된 대로 유지된다.

[0046] 도 1을 다시 참조하면, 몇몇 실시예들에 따라 반도체 디바이스 구조물(100)은 축소된 제3 금속 게이트 구조(120") 및 제3 콘택(134')을 더 포함한다. 도 3은 몇몇 실시예들에 따른, 도 1에 표시된 선 B-B'를 따라 도시한 반도체 디바이스 구조물(100)의 단면도를 예시한다. 축소된 제3 금속 게이트 구조(120")를 형성하기 위한 물질 및 프로세스는 축소된 협폭의 금속 게이트 구조(120')를 형성하기 위한 것들과 유사하다. 보다 구체적으로, 축소된 제3 금속 게이트 구조(120")는 또한 게이트 유전체층(122), 일함수 금속층(124), 및 금속 게이트 전극층(126)을 포함한다. 또한, 절연층(128)이 축소된 제3 금속 게이트 구조(120") 상에 형성된다.

[0047] 도 1에서 도시된 바와 같이, 광폭의 금속 게이트 구조(118)는 제1 길이( $L_1$ )를 갖고, 축소된 제3 금속 게이트 구조(120")는 제1 길이( $L_1$ )보다 짧은 제2 길이( $L_2$ )를 갖는다. 축소된 제3 금속 게이트 구조(120")가 비교적 짧은

길이를 갖기 때문에, 축소된 제3 금속 게이트 구조(120")와 축소된 제3 금속 게이트 구조(120")에 인접하여 형성된 제3 콘택(134') 간의 부족의 위험이 또한 증가한다. 그러므로, 절연층(128)은 또한 몇몇 실시예들에 따라 도 3에서 도시된 바와 같이 축소된 제3 금속 게이트 구조(120")와 제3 콘택(134') 간의 부족을 방지하기 위해 축소된 제3 금속 게이트 구조(120") 상에 형성된다. 몇몇 실시예들에 따라, 제3 콘택(134')의 물질 및 형성 프로세스는 제2 콘택(134)의 것과 유사하다. 몇몇 실시예들에서, 제3 콘택(134')은 자기-정렬된 콘택이다.

[0048] 도 2에서 도시된 광폭의 금속 게이트 구조(118), 축소된 협폭의 금속 게이트 구조(120') 및 축소된 제3 금속 게이트 구조(120")는 단지 예시일 뿐이며, 본 개시의 범위를 제한하는 것으로 의도되지 않는다는 것을 주지해야 한다. 몇몇 실시예들에서, 반도체 디바이스 구조물은 광폭의 금속 게이트 구조(118) 및 축소된 협폭의 금속 게이트 구조(120')와 같은 2개의 금속 게이트 구조만을 포함한다. 몇몇 실시예들에서, 반도체 디바이스 구조물은 3개 초과와 금속 게이트 구조를 포함한다.

[0049] 또한, 마스크 구조(311)의 이용을 포함하는 위에서 설명한 방법은 또한 핀 전계 효과 트랜지스터(fin field-effect transistor; FinFET) 구조를 포함하는 반도체 디바이스 구조물을 형성하는데 이용될 수 있다. 도 4a는 몇몇 실시예들에 따른 반도체 디바이스 구조물(400)의 상면도를 예시한다. 도 4b는 몇몇 실시예들에 따른, 도 4a에 표시된 선 C-C'를 따라 도시한 반도체 디바이스 구조물(400)의 단면도를 예시한다. 도 4c는 몇몇 실시예들에 따른, 도 4a에 표시된 선 D-D'를 따라 도시한 반도체 디바이스 구조물(400)의 단면도를 예시한다.

[0050] 도 4a에서 도시된 바와 같이, 반도체 디바이스 구조물(400)은 기판(102) 위에 형성된 제4 게이트 구조(518), 제5 게이트 구조(520'), 제6 게이트 구조(520")를 포함한다. 또한, 제4 게이트 구조(518), 제5 게이트 구조(520'), 제6 게이트 구조(520")는 각각 핀 구조(502)에 걸쳐 형성된다. 제1 콘택(132)은 제4 게이트 구조(518)에 인접하여 형성된다. 제2 콘택(134)은 제5 게이트 구조(520')에 인접하여 형성된다. 제3 콘택(134')은 제6 게이트 구조(520")에 인접하여 형성된다.

[0051] 도 4b에서 도시된 바와 같이, 제4 게이트 구조(518)는 몇몇 실시예들에 따라 광폭의 금속 게이트 구조(118)와 유사할 수 있고, 제5 게이트 구조(520')는 축소된 협폭의 금속 게이트 구조(120')와 유사할 수 있다. 몇몇 실시예들에서, 제4 게이트 구조(518) 및 제5 게이트 구조(520')는 각각 게이트 유전체층(122), 일함수 금속층(124) 및 금속 게이트 전극층(126)을 포함한다. 또한, 절연층(128)은 제5 게이트 구조(520')가 비교적 작은 폭을 갖기 때문에 제5 게이트 구조(520') 상에 형성되지만 제4 게이트 구조(518) 상에는 형성되지 않는다. 그러므로, 제2 콘택(134)은 제5 게이트 구조(520')에 정렬된 자기-정렬된 콘택일 수 있다.

[0052] 도 4c에서 도시된 바와 같이, 제6 게이트 구조(520")는 몇몇 실시예들에 따라 축소된 제3 금속 게이트 구조(120")와 유사할 수 있다. 몇몇 실시예들에서, 제6 게이트 구조(520")는 게이트 유전체층(122), 일함수 금속층(124) 및 금속 게이트 전극층(126)을 포함한다. 또한, 절연층(128)은 제6 게이트 구조(520")가 비교적 작은 폭을 갖기 때문에 제6 게이트 구조(520") 상에 형성되지만 제4 게이트 구조(518) 상에는 형성되지 않는다. 그러므로, 제3 콘택(134')은 제6 게이트 구조(520")에 대해 정렬된 자기-정렬된 콘택일 수 있다.

[0053] 도 4b 및 도 4c에서 도시된 바와 같이, 반도체 디바이스 구조물(400)은 또한 몇몇 실시예들에 따라 밀봉층(301), 스페이서(303), LDD 영역(305), S/D 영역(307), CESL(309), ILD층(112) 및 유전체층(130)을 포함한다. 이들 엘리먼트들은 전술한 엘리먼트들과 유사하거나 동일할 수 있고, 이들 엘리먼트들의 상세한 설명은 여기서 반복되지 않는다.

[0054] 전술한 바와 같이, 반도체 디바이스 구조물(100)과 같은 반도체 디바이스 구조물은 몇몇 실시예들에 따라 다양한 채널 길이를 갖는 게이트 구조를 포함한다. 예를 들어, 반도체 디바이스 구조물(100)은 광폭의 금속 게이트 구조(118) 및 축소된 협폭의 금속 게이트 구조(120')를 포함하고, 광폭의 금속 게이트 구조(118)의 폭( $W_1$ )은 축소된 협폭의 금속 게이트 구조(120')의 폭( $W_2$ )보다 크다. 그러나 폭( $W_1$ )과 폭( $W_2$ ) 간의 차이는 로딩 효과로 인해 상이한 에칭 레이트를 초래할 것이다. 그러므로 마스크 구조(311)는 에칭 백 프로세스(127) 동안 광폭의 금속 게이트 구조(118)를 보호하는데 이용된다. 그 결과 광폭의 금속 게이트 구조(118)의 상부는 에칭 백 프로세스(127) 동안 제거되지 않는 반면에, 협폭의 금속 게이트 구조(120)의 상부는 축소된 협폭의 금속 게이트 구조(120')를 형성하기 위해 제거된다.

[0055] 이에 따라, 에칭 백 프로세스(127) 동안 로딩 효과로부터 발생하는 광폭의 금속 게이트 구조(118)에 대한 손상이 방지되고 광폭의 금속 게이트 구조(118)의 문턱 전압은 설계된 대로 유지된다.

[0056] 또한, 절연층(128)은 축소된 협폭의 금속 게이트 구조(120')와 콘택(134) 간의 부족을 방지하기 위해 축소된 협

폭의 금속 게이트 구조(120') 상에 형성된다. 그러므로 컨택(134)은 몇몇 실시예들에 따라 자기-정렬된 컨택일 수 있다. 또한, 컨택(134)의 일부는 절연층(128) 상에 형성될 수 있고 절연층(128)에 의해 축소된 협폭의 금속 게이트 구조(120')로부터 분리된다.

[0057] 반도체 디바이스 구조물의 실시예들이 제공된다. 반도체 디바이스 구조물은 제1 금속 게이트 구조 및 제2 금속 게이트 구조를 포함한다. 절연층이 제2 금속 게이트 구조 상에 형성된다. 제1 금속 게이트 구조는 제1 폭을 갖고 제2 금속 게이트 구조는 제1 폭보다 작은 제2 폭을 갖는다. 제2 금속 게이트 구조는 에칭 백 프로세스에 의해 축소된다. 또한, 에칭 백 프로세스 동안, 마스크 구조가 제1 금속 게이트 구조 상에 형성되어서, 제1 금속 게이트 구조는 마스크 구조에 의해 보호된다. 그러므로, 제1 금속 게이트 구조는 에칭 백 프로세스에 의해 손상되지 않고, 제1 금속 게이트 구조의 문턱 전압이 설계된 대로 유지된다.

[0058] 몇몇 실시예들에서 반도체 디바이스 구조물이 제공된다. 반도체 디바이스 구조물은 기판 및 상기 기판 위에 형성되는 제1 금속 게이트 구조를 포함한다. 제1 금속 게이트 구조는 제1 폭을 갖는다. 반도체 디바이스 구조물은 상기 제1 금속 게이트 구조에 인접하여 형성되는 제1 컨택 및 상기 기판 위에 형성되는 제2 금속 게이트 구조를 더 포함한다. 제2 금속 게이트 구조는 상기 제1 폭보다 작은 제2 폭을 갖는다. 반도체 디바이스 구조물은 상기 제2 금속 게이트 구조 위에 형성되는 절연층 및 상기 제2 금속 게이트 구조에 대해 자기-정렬되는 제2 컨택을 더 포함한다.

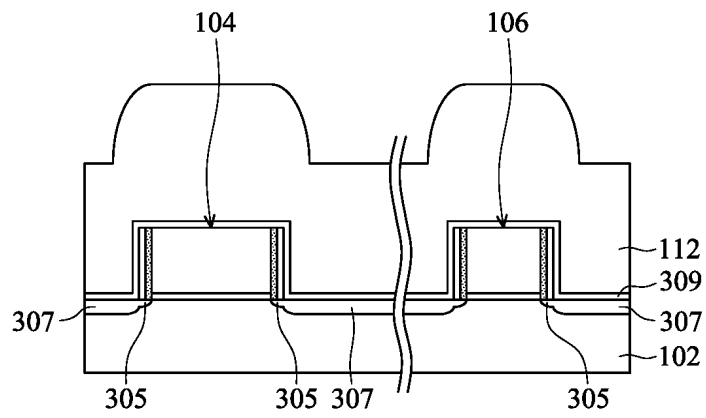
[0059] 몇몇 실시예들에서, 반도체 디바이스 구조물이 제공된다. 반도체 디바이스 구조물은 기판 및 상기 기판 위에 형성되는 제1 금속 게이트 구조를 포함한다. 반도체 디바이스 구조물은 상기 제1 금속 게이트 구조에 인접하여 형성되는 제1 컨택 및 상기 기판 위에 형성되는 제2 금속 게이트 구조를 더 포함한다. 반도체 디바이스 구조물은 상기 제2 금속 게이트 구조 위에 형성되는 절연층 및 상기 제2 금속 게이트 구조에 대해 자기-정렬되는 제2 컨택을 더 포함한다. 또한, 상기 제1 금속 게이트 구조는 제1 폭 및 제1 높이를 갖고, 상기 제2 금속 게이트 구조는 제2 폭 및 상기 제1 높이보다 낮은 제2 높이를 갖고, 상기 제1 폭 대 상기 제2 폭의 비는 약 2 내지 약 15의 범위에 있다.

[0060] 몇몇 실시예들에서, 반도체 디바이스 구조물을 형성하기 위한 방법이 제공된다. 이 방법은 기판 위의 층간 유전체(inter-layer dielectric; ILD)층에 제1 금속 게이트 구조 및 제2 금속 게이트 구조를 형성하는 단계를 포함한다. 이 방법은 상기 제1 금속 게이트 구조 상에 마스크 구조를 형성하고, 상기 제2 금속 게이트 구조의 상면을 노출하는 단계를 더 포함한다. 이 방법은 상기 제2 금속 게이트 구조를 축소하기 위해 상기 제2 금속 게이트 구조의 상부를 에칭하는 단계를 더 포함한다. 이 방법은 상기 제2 금속 게이트 구조 상에 절연층을 형성하는 단계를 더 포함한다. 이 방법은 상기 제1 금속 게이트 구조에 인접한 제1 컨택 및 상기 제2 금속 게이트 구조에 대해 자기-정렬되는 제2 컨택을 형성하는 단계를 더 포함한다. 또한, 상기 제1 금속 게이트 구조는 제1 폭을 갖고, 상기 제2 금속 게이트 구조는 상기 제1 폭보다 작은 제2 폭을 갖는다.

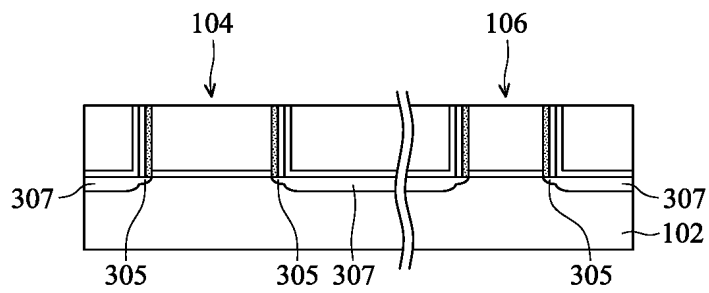
[0061] 본 개시의 실시예들 및 그의 이점들이 상세히 설명되었지만, 다양한 변경, 교체 및 변경이 첨부된 청구항에 의해 정의된 본 개시의 사상 및 범위로부터 벗어남 없이 이루어질 수 있다고 생각한다. 예를 들어, 본 명세서에서 설명한 특징, 기능, 프로세스 및 물질 대부분이 본 개시의 범위 내에 유지되면서 변동될 수 있다는 것이 당업자에 의해 쉽게 이해될 것이다. 또한, 본 출원의 범위는 본 명세서에서 설명한 물질, 수단, 방법 및 단계의 프로세스, 머신, 제조, 조성물의 특정한 실시예들로 제한되도록 의도되지 않는다. 본 개시의 개시물로부터 당업자가 쉽게 인지할 바와 같이, 본 명세서에서 설명한 대응하는 실시예들과 실질적으로 동일한 기능을 수행하거나 실질적으로 동일한 결과를 달성하는 현재 존재하거나 추후에 개발될 물질, 수단, 방법들 또는 단계의 프로세스, 머신, 제조, 조성물이 본 개시에 따라 활용될 수 있다. 이에 따라, 첨부된 청구항들은 이러한 프로세스, 머신, 제조, 물질의 조성물, 수단, 방법 또는 단계를 본 발명의 범위 내에 포함하는 것이 의도된다.



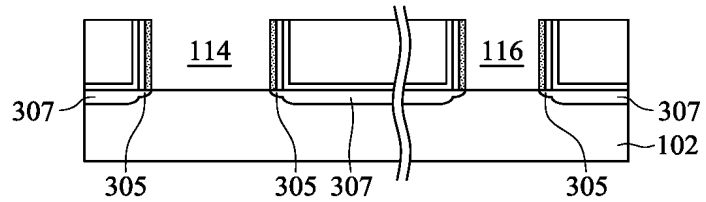
도면2b



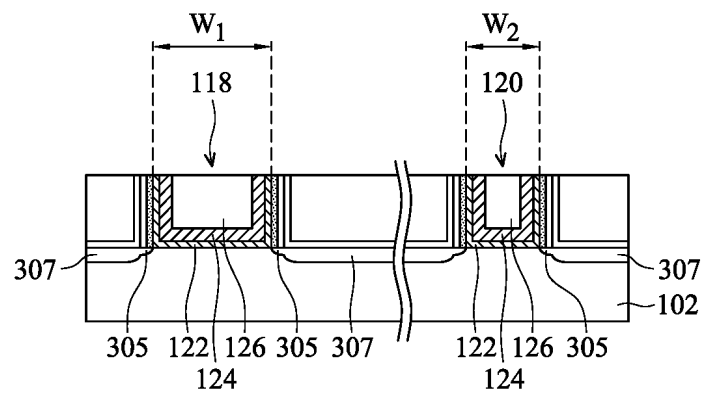
도면2c



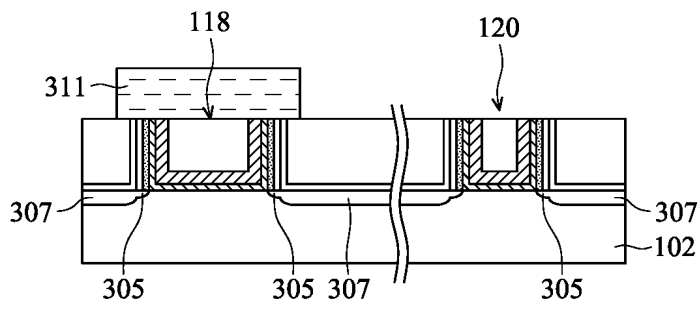
도면2d



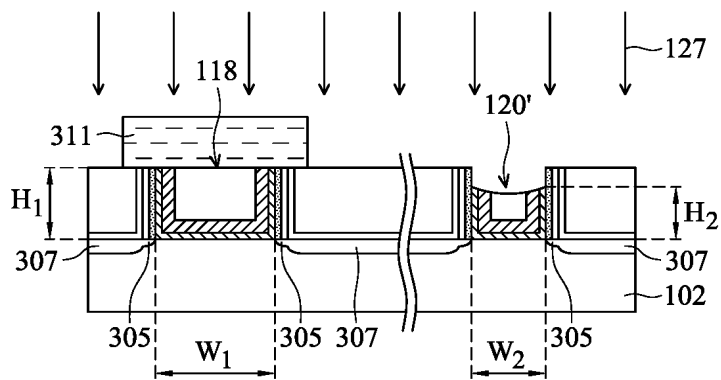
도면2e



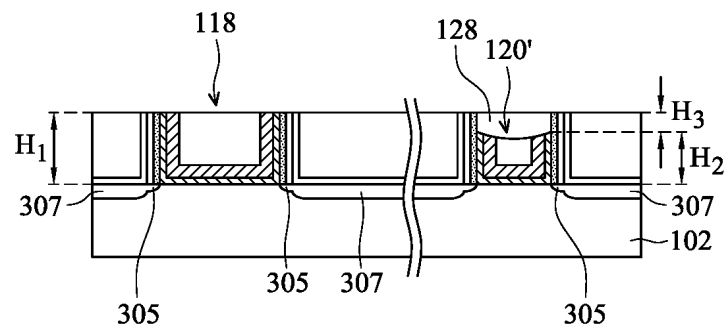
도면2f



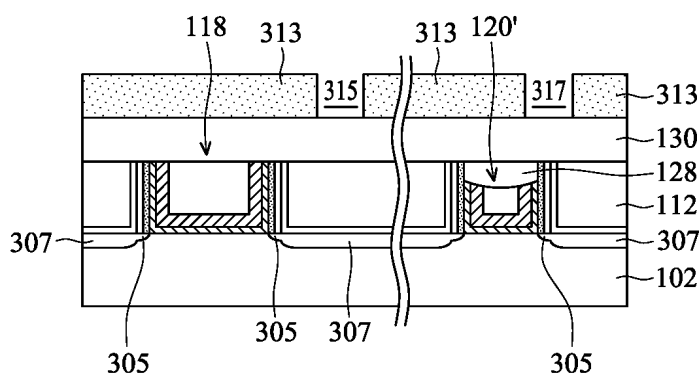
도면2g



도면2h

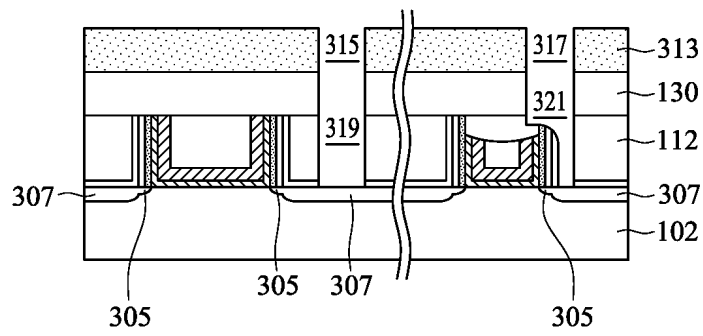


도면2i

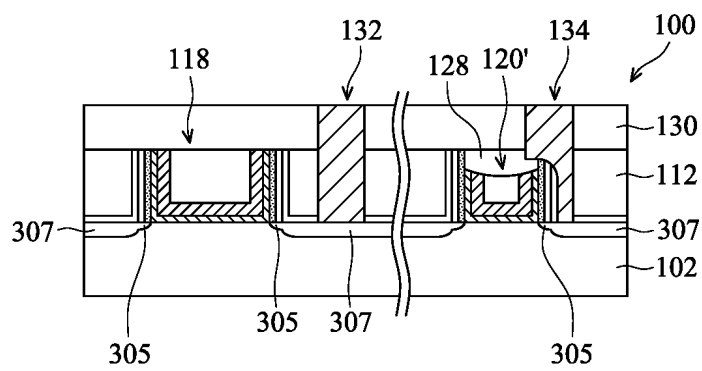




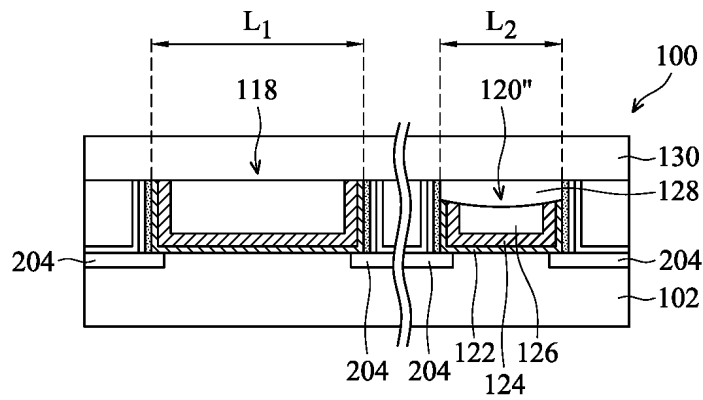
도면2j



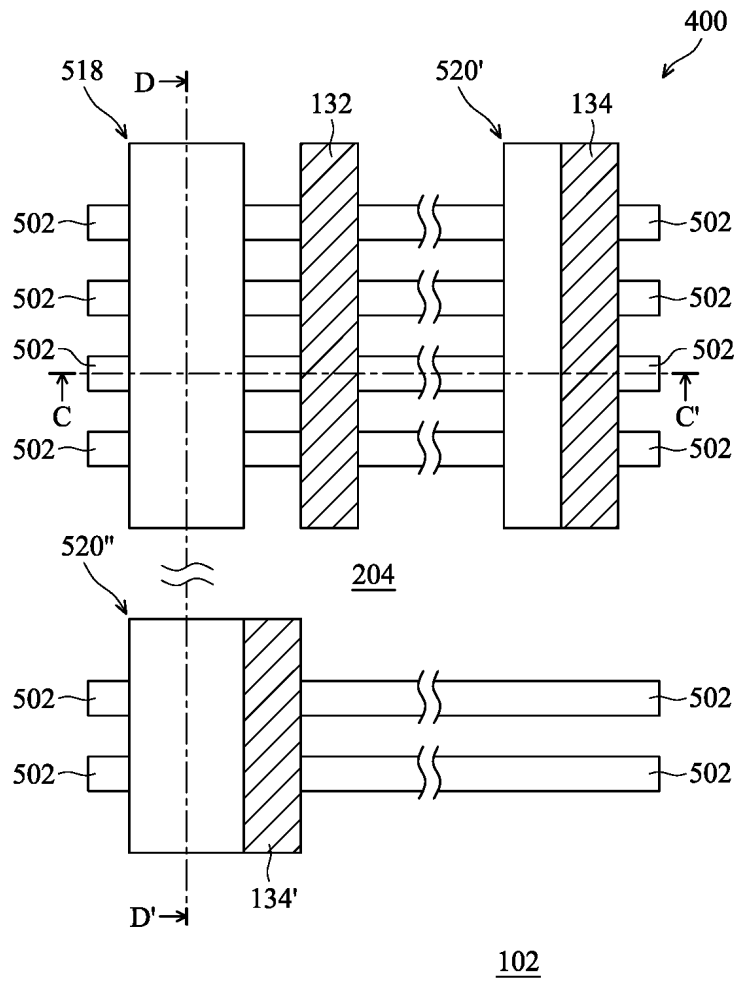
도면 2k



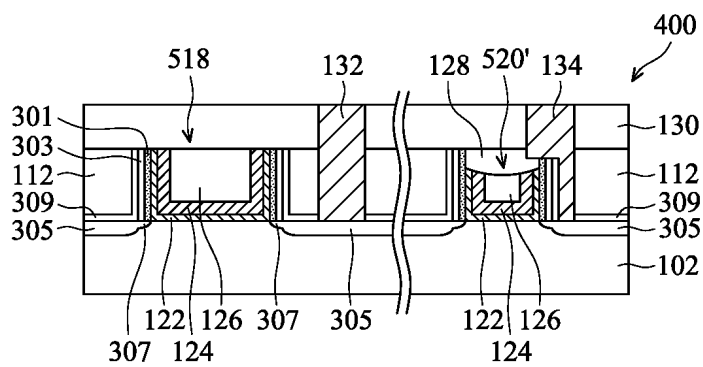
도면3



도면4a



도면4b



도면4c

