

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-60875
(P2011-60875A)

(43) 公開日 平成23年3月24日(2011.3.24)

(51) Int.Cl.	F 1	テーマコード (参考)
H05K 3/46 (2006.01)	H05K 3/46	Q 5 E 3 1 9
H01L 23/12 (2006.01)	H05K 3/46	N 5 E 3 4 6
H05K 3/34 (2006.01)	H05K 3/46	S
	H01L 23/12	B
	H01L 23/12	N

審査請求 未請求 請求項の数 14 O L (全 26 頁) 最終頁に続く

(21) 出願番号	特願2009-206631 (P2009-206631)	(71) 出願人	000005821 パナソニック株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成21年9月8日 (2009.9.8)	(74) 代理人	100109667 弁理士 内藤 浩樹
		(74) 代理人	100109151 弁理士 永野 大介
		(74) 代理人	100120156 弁理士 藤井 兼太郎
		(72) 発明者	菅谷 康博 大阪府門真市大字門真1006番地 パナソニックエレクトロニクスバイス株式会社内

最終頁に続く

(54) 【発明の名称】電子部品内蔵基板及びその製造方法とこれを用いた半導体装置

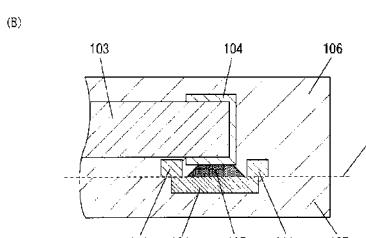
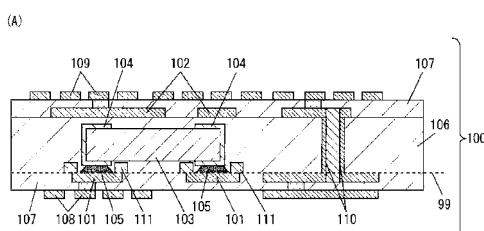
(57) 【要約】

【課題】受動部品を内蔵した状態であっても基板の対称性が保たれ、反りの無い電子部品内蔵基板を実現することができ、且つ、合金形成を伴う材料による受動部品の接続により、安定した接続信頼性を実現することができる電子部品内蔵基板を提供する。

【解決手段】複数層の配線を有する樹脂基板内に受動部品を内蔵してなる電子部品内蔵基板であって、前記受動部品は前記電子部品内蔵基板の前記複数層の中央部の絶縁層内に配置され、前記受動部品は少なくとも2種類以上の金属材料が合金を形成して電気的及び機械的に接続する材料を用いて前記配線層に接続されている電子部品内蔵基板である。

【選択図】図 1

99	境界面	106	第1の絶縁層
100	電子部品内蔵基板	107	第2の絶縁層
101	第1配線パターン	108	表層配線層
102	第2配線パターン	109	裏面配線層
103	受動部品	110	スルーホール
104	電極	111	ソルダーレジスト
105	実装用材料	100	



【特許請求の範囲】**【請求項 1】**

少なくとも、

受動部品と、第1の配線と、前記受動部品と前記第1の配線とを接続する実装用材料と、第1の配線の表面に形成したソルダーレジストと、この実装用材料と、前記受動部品と、前記第1の配線と、前記ソルダーレジストと、を内蔵する第1、第2の絶縁層と、を有する電子部品内蔵基板であって、

前記第1、第2の絶縁層の界面を境界面とし、

前記ソルダーレジストは、前記実装用材料をリング状に囲うように形成されたものあり、

前記ソルダーレジストは、前記受動部品と接続される前記境界面より前記第1の絶縁層側に形成され、

かつ前記受動部品が前記第1の絶縁層内に形成され、

前記第1の配線は前記境界面より第2の絶縁層内に埋め込まれ、

前記第1の配線の前記第1の絶縁層側を粗面化した電子部品内蔵基板。

【請求項 2】

前記受動部品と基板電極とを電気的に接続する部位がはんだで構成された請求項1記載の電子部品内蔵基板。

【請求項 3】

前記受動部品と接続されるランド実装面が銅箔と銅箔表面に形成した粗面化部を有し、前記接続部位であるはんだとの界面に略均一な厚みを有するCuSn金属間化合物層を有している事を特徴とする請求項1記載の電子部品内蔵基板。

【請求項 4】

前記粗面化部の瘤構造物の間隔が $2\text{ }\mu\text{m}$ 以下であることを特徴とする請求項3記載の電子部品内蔵基板。

【請求項 5】

前記はんだ材料がSnとSnよりも高融点の金属とからなる化合物により表面が覆われた前記金属の粒を含有する構成を有する請求項1記載の電子部品内蔵基板。

【請求項 6】

基板に内蔵される受動部品と基板電極とを電気的に接続する部位がリング状に形成された第2の絶縁層に囲まれた構造において、前記第2の絶縁層と前記基板電極とが、重なる領域を有する請求項1記載の電子部品内蔵基板。

【請求項 7】

前記受動部品がチップコンデンサである請求項1に記載の電子部品内蔵基板。

【請求項 8】

前記受動部品がチップコンデンサとチップ抵抗である請求項1に記載の電子部品内蔵基板。

。

【請求項 9】

請求項1～3のいずれか1つに記載の受動部品を内蔵してなる電子部品内蔵基板の表層配線層に半導体を実装した半導体装置。

【請求項 10】

前記複数層の配線はn層の偶数層からなり、前記半導体を実装する前記表層配線層を第1層として前記n層まで各々の層を順番付けしたときn/2番目の層に前記受動部品が配置されている請求項4に記載の半導体装置。

【請求項 11】

受動部品実装用として前記受動部品と基板電極とを電気的に接続する部位がリング状に形成されたソルダーレジストに囲まれた構造であり

銅箔上に受動部品実装用材料を塗布する工程と、

前記受動部品実装用材料上に受動部品を実装する工程と、

前記受動部品を実装済みの前記銅箔上に前記受動部品より大きな空間を有する第1の絶縁

10

20

30

40

50

材料を重ねる工程と、

前記第1の絶縁材料上に第2の銅箔を重ねる工程と、

前記銅箔及び前記第1の絶縁材料及び前記第2の銅箔を加熱しながら加圧して一体化させた後、前記銅箔を所望の第1配線パターンに加工するとともに前記第2の銅箔を所望の第2配線パターンに加工して2層配線板を形成する工程と、前記2層配線板を中心部に配置して上下に第2の絶縁材料を積層することにより前記基板電極が第2の絶縁材料に埋め込まれ、多層配線層を形成する工程とを備えた電子部品内蔵基板の製造方法。

【請求項12】

前記受動部品実装用として前記受動部品と電気的に接続する部位の基板電極の表面処理が無機酸および銅の酸化剤からなる主剤と、少なくとも一種のアゾール類および少なくとも一種のエッチング抑制剤からなる助剤とを含む水溶液からなる銅または銅合金のマイクロエッティング剤、ならびに前記マイクロエッティング剤により銅または銅合金の表面をエッチングし、粗化部の瘤形状のピッチが $1.5\mu m$ 以下となる微細粗化構造を形成する事を特徴とする請求項11記載の電子部品内蔵基板の製造方法。

10

【請求項13】

前記受動部品実装用として前記受動部品と電気的に接続する部位の基板電極の表面処理が硫酸、過酸化水素からなる主剤と、テトラゾール化合物とホスホン酸系キレート剤からなる助剤とを含む銅または銅合金のマイクロエッティング剤、ならびに前記マイクロエッティング剤により銅または銅合金の表面をエッチングし、粗化部の瘤形状のピッチが $2.0\mu m$ 以下となる微細粗化構造を形成する事を特徴とする請求項11記載の電子部品内蔵基板の製造方法。

20

【請求項14】

前記多層配線層はスルーホール接続により電気的に接続されている請求11に記載の電子部品内蔵基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、受動部品を内蔵する電子部品内蔵基板及びその製造方法と、電子部品内蔵基板を用いた半導体装置に関するものである。

30

【背景技術】

【0002】

近年、電子機器の高機能化に伴い、半導体素子駆動周波数の高機能化が進んでいる。この高周波化が進むと、電源から離れた回路でスイッチングを行うと電源配線のコイル成分や抵抗成分で一時的に電圧が下がるという現象が発生しやすくなり、半導体素子の誤動作を引き起こす原因となる。そこで、半導体素子が実装される基板上の電源ラインとグランドライン間にデカップリングコンデンサを配置することにより、安定した電源電圧を確保し、半導体素子の正常な動作を実現している。ところが、このデカップリングコンデンサの効果を最大限に発揮させるためには配線のコイル・抵抗成分の影響を受けないように、半導体素子にできるだけ近い位置に配置させなければならず、従来は半導体素子が実装された基板やそれが更に実装されるマザー基板にコンデンサを配置することで対応してきたが、機器の高性能化の進展により、例え半導体素子の周辺に配置したとしても、半導体素子とデカップリングコンデンサ間の配線の引き回しでさえ影響を及ぼす状態になってきた。

40

【0003】

そこで、基板内にコンデンサ部品を埋設し、短配線を試みた電子部品内蔵基板が提案されている。

【0004】

更には、より効果的な小型化を図るために抵抗部品も内蔵した基板、あるいは低背化が求められるモジュール用基板としても電子部品内蔵基板が提案されている。

50

【0005】

以下、従来の電子部品内蔵基板について、図18を用いて説明する。図18(A)(B)は、共に従来の電子部品内蔵基板の断面図である。

【0006】

図18(B)は、図18(A)の一部を拡大した断面図である。

【0007】

図18において、従来の電子部品内蔵基板1は、既存多層配線基板の任意の絶縁層(例えば第2の絶縁層107)に電子部品である受動部品103が内蔵され、内蔵された受動部品103ははんだ等の実装用材料105により第1配線パターン101に接続したり、場合によっては導電性樹脂材料により第1配線パターン101に接続されている。

【0008】

図18において、境界面99を示す点線は、従来の電子部品内蔵基板における第2の絶縁層107と、第1の絶縁層106との界面を示す。点線で示す境界面99より、第1の絶縁層106側に、電極104が形成された受動部品103や、第1配線パターン101や、実装用材料105や、ソルダーレジスト111が設けられている。また第2配線パターン102や、裏面配線層109や、バンプ122を用いて、半導体121が実装されて、封止樹脂123で保護される。また表層配線層108を用いて、他の基板(図示していない)に実装することができる。また必要に応じて、スルーホール110を設けている。

【0009】

図18(A)は、部品内蔵基板の断面であり、図18(B)は、境界面99で示した部分の拡大図に相当する。

【0010】

なお、この技術の先行技術文献情報としては、例えば、特許文献1、特許文献2、特許文献3が知られている。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開2004-2073521号公報

【特許文献2】特開2007-035689号公報

【特許文献3】特開2007-73866号公報

【発明の概要】

【発明が解決しようとする課題】

【0012】

このような従来の電子部品内蔵基板の製造工程においては、内蔵する電子部品であるチップコンデンサやチップ抵抗のようなチップ型の受動部品が実装された2層板あるいは4層板を挟み込む事で内蔵基板を実現していた。また、樹脂層に内蔵する電子部品をはんだで実装する場合は、2次実装時のリフロー時にははんだが再溶融及び膨張することで、はんだ間でショートする現象が知られているので、ソルダーレジストを意図的にリング状に形成してチップ型の受動部品直下の空間を確保し、封止する樹脂を流入させることで、はんだ間のショートを防ぐ試みが成されている。

【0013】

なお、前記ソルダーレジストをオーバーレジスト構造仕様で採用した場合、特にランド電極が厚い場合、レジスト構造が段差構造となり、レジストとランド電極間界面の密着性を十分に確保できず、樹脂に内蔵された状況の場合、実装に用いたはんだが2次実装時のはんだ再溶融時に前記界面を伝ってフロー、ショートする懸念があった。

【0014】

更に、はんだを実装するランド電極は、通常、はんだ濡れ性に配慮して光沢銅箔が用いられるが、光沢銅箔と封止する樹脂との密着性が十分に確保できないので、特にランド電極面に、ベタ面が存在する場合はリフロー時の剥離箇所となる懸念があった。

【0015】

一方、はんだ実装に伴いリフロー等の熱履歴を経て基板寸法が変形している基板とそれ

10

20

30

40

50

以外の2層配線板を重ね合わせることで電子部品を内蔵した多層配線板を形成することは、各2層配線板を精度良く重ね合わせることが非常に難易度の高い技術を要し、量産化、特に大判化のワークサイズの基板による量産化が困難であるという課題も有している。更にはソルダーレジストを形成する2層板は、その工程上、必要最小限の厚み、例えば、60 μm程度が必要であり、その結果として、電子部品内蔵基板の基板厚を厚くし、近年求められている薄型化に応えられなくなるという問題点も有している。

【0016】

更に付け加えるならば、従来構造の部品内蔵基板は、一般的に上下対称構造であるため、反りにくいと考えられるが、ソルダーレジスト構成を含め、僅かな上下非対称な要因により、容易に反りの課題が発生しやすい問題点も有している。

10

【0017】

そこで、本発明は上記従来の問題を解決し、電気的特性に優れ、且つ薄型化・コスト・量産性に優れた電子部品内蔵基板とこれを用いた半導体装置を提供することを目的としている。

【課題を解決するための手段】

【0018】

上記目的を達成するために本発明の電子部品内蔵基板は、少なくとも、受動部品と、第1の配線と、前記受動部品と前記第1の配線とを接続する実装用材料と、第1の配線の表面に形成したソルダーレジストと、この実装用材料と、前記受動部品と、前記第1の配線と、前記ソルダーレジストと、を内蔵する絶縁層と、第1、第2の絶縁層と、を有する電子部品内蔵基板であって、前記第1、第2の絶縁層の界面を境界面とし、前記ソルダーレジストは、前記実装用材料をリング状に囲うように形成されたものであり、前記ソルダーレジストは、前記受動部品と接続される前記境界面より前記第1の絶縁層側に形成され、かつ前記受動部品が前記第1の絶縁層内に形成され、前記第1の配線は前記境界面より第2の絶縁層内に埋め込まれ、前記第1の配線の前記第1の絶縁層側を粗面化した電子部品内蔵基板とするものである。

20

【0019】

また前記受動部品と接続されるランド実装面が銅箔と銅箔表面に形成した微細な粗面化部を有し、前記接続部位がはんだである場合は、銅箔粗面化部とはんだ接続部との界面に均一な厚みを有するCuSn金属間化合物層を有している事を特徴とするものである。

30

【発明の効果】

【0020】

上記構成により、受動部品を電子部品内蔵基板の中央の絶縁層内に配置することで、基板の積層方向の対称性を良くし、基板の反りを防止することが可能となるとともに、受動部品を内蔵する層を1つの層に限定し、多層化する層を薄型化できることで、電子部品内蔵基板の厚さが厚くなることを防止できるため量産性に優れ、更には汎用の実装用材料であるはんだを伴う材料による受動部品の接続により、安定した接続信頼性を実現することができる。更に、内蔵部品を実装する電極と前記電極を取り囲むレジストである絶縁層との界面密着性を幅広い設計仕様の範囲において、十分に確保する事ができる。

40

【0021】

更に、接続部位がはんだである場合は、微細な銅箔粗面化部とはんだ接続部との界面に均一な厚みを有するCuSn金属間化合物層を有する事で安定した接着強度を確保すると同時に、微細な銅箔粗面化部によって封止する樹脂との十分な密着強度を確保することができる。

【図面の簡単な説明】

【0022】

【図1】(A) (B)は、それぞれ本発明の実施の形態1による電子部品内蔵基板の断面図

【図2】(a) ~ (g)は、本発明の実施の形態1による電子部品内蔵基板の製造工程断面図

50

- 【図3】通常の粗化処理の一例を示す電子顕微鏡写真
 【図4】図3に示した通常の粗化処理について説明する模式図
 【図5】本発明の微細マイクロエッティング銅箔粗化表面状態の一例を示す電子顕微鏡写真
 【図6】図5で示したマイクロエッティングによる粗化処理について説明する模式図
 【図7】通常実施される銅箔粗化処理状態の断面を示す電子顕微鏡写真
 【図8】図7を説明する模式図
 【図9】従来のめっき粗化面と、マイクロエッティングによる粗化面とを比較する顕微鏡写真
 【図10】図9を説明する模式図
 【図11】図9相当部分の断面の顕微鏡写真
 【図12】図11の模式図
 【図13】(a)～(d)は、本発明の部品内蔵基板の製造方法を説明する断面図
 【図14】製造方法の一例について説明する断面図
 【図15】(a)(b)は、共に本発明の実施の形態5による半導体装置の断面図
 【図16】(A)～(C)は、図15における電極と第1配線パターンとの関係を説明する拡大した部分断面図
 【図17】チップコンデンサを内蔵したインターポーラ基板を用いた半導体パッケージの断面図
 【図18】(A)(B)は共に従来の電子部品内蔵基板の断面図

10

20

30

40

【発明を実施するための形態】

【0023】

(実施の形態1)

以下に、本発明の電子部品内蔵基板及びその製造方法とこれを用いた半導体装置の実施の形態1について、図面を参照して説明する。

【0024】

図1(A)(B)は、それぞれ本発明の実施の形態1による電子部品内蔵基板の断面図である。

【0025】

図1において、99は境界面、100は電子部品内蔵基板、101は第1配線パターン、102は第2配線パターン、103は受動部品、104は電極、105は実装用材料、106は第1の絶縁層、107は第2の絶縁層、108は表層配線層、109は裏面配線層、110はスルーホール、111はソルダーレジストである。

【0026】

図1(A)は、部品内蔵基板の断面であり、図1(B)は、境界面99で示した部分の拡大図に相当する。

【0027】

実施の形態1の電子部品内蔵基板100は、図1に示すように、第1配線パターン101に、チップコンデンサやチップ抵抗などの受動部品103が実装用材料105、例えばSn-Ag-Cu系はんだ材料により電気的及び機械的に接続されており、第1配線パターン101と第2配線パターン102に挟まれるように中央の第1の絶縁層106内に配置されている。また、前記実装用材料105が印刷塗布されるランド電極である第1配線パターン101は、リング状形状をしたソルダーレジスト111に囲まれている。更に、前記第1の絶縁層106側に形成したソルダーレジスト111はランド電極となる第1配線パターン101より下側(すなわち下側の第2の絶縁層107側)よりも下側には形成されない構造を取っている。言い換えれば、部品を内蔵する第1の絶縁層と更に多層化を行う第2の絶縁層107で図示したような本構造を取ることによって、ソルダーレジスト周りの密着力を確保できる、つまり、ソルダーレジストとランド電極との部位が重なっていても、レジストが前述した図18のように段差構成になることがない。

【0028】

一方、前記実装用材料105、例えばSn-Ag-Cu系はんだ材料が印刷塗布される

50

ランド電極層の配線表面処理としては、実装用材料 105 の濡れ性を確保しつつ、封止される樹脂である第 1 の絶縁層 106 との密着力が確保できる粗化状態が好ましい。

【0029】

我々は前記条件を満たす銅箔表面粗化状態を鋭意検討した結果、粗面化部の凹凸構造の瘤形状サイズが 2 μm 以下の、より好ましくは 1.5 μm 以下の、大部分が 1 μm 以下のマイクロエッティング構造を取ることによって、絶縁層と前記はんだとの界面に均一な厚み、例えば、約 2.5 μm 厚みを有する Cu₆Sn₅ 金属間化合物層を形成することによって良好なはんだ濡れ性及び安定した接着強度、たとえば 0.5 KN (KN は、キロニュートン) 以上の値 (剥離ではなく、実装部品破壊モード) が得られることを確認している。

【0030】

更に、前記粗化処理によって、封止される樹脂との密着強度を 1 KN レベルの十分な値を確保出来ることを確認している。

【0031】

また、受動部品 103 は第 1 配線パターン 101 のみに接続しているものであって、第 2 配線パターン 102 に対しては接点を持たず、受動部品 103 と第 2 配線パターン 102 の間には第 1 の絶縁層 106 が必ず存在している。

【0032】

第 1 配線パターン 101、第 2 配線パターン 102 は電気導電性を有する物質から成り、例えば、銅 (Cu) 箔や導電性樹脂組成物から成る。本発明においては銅箔を所望の形状にパターニングして形成している。第 1 の絶縁層 106 に用いる第 1 の絶縁材料 112 としては、ガラス織布に熱硬化性のエポキシ樹脂を含浸させたガラスエポキシプリプレグ、ガラス織布に熱硬化性のビスマレイミド・トリアジン樹脂を含浸させた BT レジンプリプレグ、アラミド不織布に熱硬化性のエポキシ樹脂を含浸させたアラミドプリプレグ等を使用することが可能であるが、織布または不織布に熱硬化性樹脂を含浸させた構造であれば、様々な材料を使用することが可能である。また、織布または不織布に熱硬化性樹脂を含浸させたプリプレグ材料以外にも、二酸化珪素やアルミナ等の無機フィラーと熱硬化性樹脂との混合物を用いる事も可能である。

【0033】

受動部品 103 はチップコンデンサやチップ抵抗のような所望の特性を予め形成され、外面に接続電極 104 を有するチップ型の電子部品である。実装用材料 105 としては、少なくとも 2 種類以上の金属元素が配合され、各金属同士による合金接続を伴って電気的及び機械的に接続できる材料であり、例えば錫 (Sn) - 銀 (Ag) 系、錫 (Sn) - 銀 (Ag) - 銅 (Cu) 系、錫 (Sn) - 亜鉛 (Zn) 系、金 (Au) - 亜鉛 (Zn) 系、錫 (Sn) - アンチモン (Sb) 系などの材料が使用可能であるが、これらの材料に限らず受動部品 103 を実装できる材料であるなら何れの材料も使用可能である。また、材料中の合金の融点が、接合後に高温側へシフトする融点変化型の材料組成であっても良い。

【0034】

実装用材料 105 に合金接続可能な材料を用いている理由は、受動部品 103 を第 1 配線パターン 101 に安定して接続させるためである。つまり、近年、チップコンデンサやチップ抵抗のようなチップ型の電子部品の電極 104 は、環境問題への配慮から、最表面部に Sn めっきが施されているものが主流となっているため、Ag 粉を主成分とする導電性接着剤を実装用材料 105 に用いた場合、導電性接着剤による受動部品 103 の接続方式は、導電性接着剤中の熱硬化性樹脂の硬化収縮による圧接接続のみであるので、導電性接着剤中の Ag と受動部品 103 の電極 104 の Sn とが単に接触し合って電気的に接続されるものであるが、Sn の融点である 232 を超えると簡単に Ag は Sn 中に拡散され、導電性接着剤中の Ag が消失し、接続信頼性を劣化させてしまう。また、比較的低融点金属である Sn が施された電極 104 を超音波を用いて直接、第 1 配線パターン 101 に接続することも非常に難易度の高い技術である。

【0035】

しかしながら、これらの接続技術に対して、実装用材料 105 に電極 104 表面の Sn

10

20

30

40

50

と金属結合をともなって接続できる材料、例えば S n - A g - C u 系はんだ材料に代表されるようなはんだ材料を採用することで、強度の強い安定した接続が得られる。更に言えば、はんだ材料が S n と S n よりも高融点の金属とからなる化合物により表面が覆われた前記金属の粒を含有する構成を有する材料を選択することで、232 を超える温度環境下にさらされても、導電性接着剤のような電極 104 側の S n への拡散が起こることなく、接続信頼性を安定化することが可能となるものである。そして、この実装用材料 105 に少なくとも 2 種類以上の金属元素を配合することで、受動部品 103 を実装するために単一金属では実現不可能な実装用材料 105 の所望の融点を実現することができるものである。

【0036】

10

ただし、何れの材料であっても、第 1 配線パターン 101 に対して濡れ広がり性がある程度確保され、密着強度が得られる材料が必要である。第 1 配線パターン 101 上に受動部品 103 を実装するためには、実装用材料 105 が二次実装時のリフロー熱履歴も含め、確実に第 1 配線パターン 101 上に止まっていなければ接続できないため、リング状のレジスト 111 形状で囲まれている事が好ましい。なお、実装用材料 105 は、環境汚染物質である鉛 (Pb) を含有しない材料であることが重要である。

【0037】

更にいえば、2 次実装時に実施されるリフローにおいて、はんだに代表される実装用材料 105 の形状が維持される構造体であることが重要である。

【0038】

20

この第 1 配線パターン 101、第 1 の絶縁層 106 及び第 2 配線パターン 102 で構成される 2 層配線板を中心材料として、さらに外側両面に第 2 の絶縁層 107 及び表層配線層 108、裏面配線層 109 を形成して多層化する。多層化する際には、スルーホール 110 を通じて引き出された第 1 の配線パターン 101 からインナービアにより表層配線層 108、第 1 配線パターン 101、第 2 配線パターン 102 及び裏面配線層 109 を電気的に接続する。

【0039】

なお、インナービアとなるスルーホール 110 は、導電性ビアペーストを充填した接続方式、あるいは、レーザーで穴加工した後、めっき接続を行うコンフォーマルビア接続形式何れでも構わない。

30

【0040】

更に、前記スルーホール 110 を用いて接続された層間接続に導電性樹脂ペーストを用いても構わない。

【0041】

なお、本実施の形態 1 では 4 層基板の例を示しているが、4 層基板に固定されるものではなく、必要に応じて更なる偶数層の多層化が可能である。ただし、その際ににおいても受動部品 103 を内蔵する 2 層配線板を中心材料として両面同時に配線層を形成している。外側両面に形成する第 2 の絶縁層 107 に用いる第 2 の絶縁材料 113 は第 1 の絶縁層 106 を構成する第 1 の絶縁材料 112 と同様に、ガラス織布に熱硬化性のエポキシ樹脂を含浸させたガラスエポキシプリプレグ、ガラス織布に熱硬化性のビスマレイミド・トリアジン樹脂を含浸させた B T レジンプリプレグ、アラミド不織布に熱硬化性のエポキシ樹脂を含浸させたアラミドプリプレグ等を使用することが可能であるが、織布または不織布に熱硬化性樹脂を含浸させた構造であれば、様々な材料を使用することが可能である。また、織布または不織布に熱硬化性樹脂を含浸させたプリプレグ材料以外にも、二酸化珪素やアルミナ等の無機フィラーと熱硬化性樹脂との混合物を用いる事も可能である。

40

【0042】

なお、積層後の基板の反りを防止するためには、各材料の線膨張係数に配慮することが非常に重要である。また、表層配線層 108 及び裏面配線層 109 においても第 1 配線パターン 101、第 2 配線パターン 102 と同様に、電気導電性を有する物質から成り、例えば、銅箔や導電性樹脂組成物から成る。本発明においては銅箔を下地として、スルーホ

50

ール 110 を形成する際に付着した Cu めっき膜を下地銅箔と同時にパターニングして所望の配線パターンを形成している。

【0043】

表層配線層 108、裏面配線層 109 上には、必要に応じてソルダーレジスト 111 を形成しても構わない。なお、ソルダーレジスト 111 を形成する場合には、スルーホール 110 の内部に空間が残らないように導電性材料や絶縁性材料で埋めることが重要である。本実施の形態 1 では、スルーホール 110 内をソルダーレジスト 111 で直接埋める構造としているが、ソルダーレジスト 111 に限定されるものではなく、低吸湿率、低線膨張係数材料であれば様々な材料を用いることが可能である。

【0044】

(実施の形態 2)

次に本発明の電子部品内蔵基板の製造方法について、実施の形態 2 として、図面を参照して説明する。

【0045】

図 2 (a) ~ (g) は、本発明の実施の形態 2 による電子部品内蔵基板の製造工程断面図である。

【0046】

通常、内蔵基板で用いられるチップ部品実装面は、はんだ濡れ性等を考慮して、光沢銅電極、あるいは Ni - Au めっき仕上げしたものが用いられる。しかし、前記表面処理のままで内蔵する樹脂成分との十分なアンカー効果が得られないため、部品を実装する電極部分のみ、粗化銅箔の上に Ni - Au めっきを施す等の処理を加えているが、工数がかかり、費用がかかる問題点を有していた。

【0047】

そこで図 2 (a) に示すように、銅箔 201 を準備する。銅箔 201 は少なくとも片面側が適度に粗化されていることが望ましい。

【0048】

更に言えば、基板電極表面が粗面化部の凹凸構造の瘤形状サイズが 2 μm 以下となるよう粗化された構造を有する事が好ましい。つまり、瘤形状の間隔が 2 μm 以内であることが好ましい。

【0049】

まず図 2 (a) に示すように、はんだ等の実装用材料 105 が印刷または塗布される領域を囲む様にソルダーレジスト 111 をリング状に形成する。

【0050】

次に、図 2 (b) に示すように、銅箔 201 の粗化面上に、孔版印刷やディスペンサ等を用いて、Sn - Ag - Cu 等に代表されるはんだ材料もしくは、少なくとも 2 種類以上の金属元素が配合されてなる実装用材料 105 を所望の間隔で塗布する。なお、銅箔 201 上に実装用材料 105 を塗布する工程において、銅箔 201 単体では取り扱いが困難な場合には、銅箔 201 の実装用材料 105 を塗布しない面側にフィルムや基板等の補強材料(図示せず) を接着剤等を用いて貼り付けて、銅箔 201 の平面性を安定化させる。もしくは、塗布しない面側にキャリア用の厚い銅箔を貼り付けておき、熱プレスによる積層後、剥離させることによって、実装時の平面性を確保してもよい。本構成によれば、例えば、実装に用いる銅箔及びそれに貼り付けるキャリア用銅箔の貼り付け方法としては、めっき等の方法があり、フラックス洗浄時の超音波の振動にも剥がれる事なく耐えられて好ましい。ただし、補強材料を貼り付ける場合においては、銅箔 201 の補強材料を貼り付ける面は光沢性を有する表面状態であることが望ましい。なぜなら、補強材料は後の工程で取り外す必要があるが、この面が粗化されると、補強材料の取り外しが困難になるからである。

【0051】

次に、図 2 (c) に示すように、銅箔 201 上の実装用材料 105 の所望の位置にチップコンデンサやチップ抵抗などの受動部品 103 を実装し、リフロー等の熱処理により銅

10

20

30

40

50

箔 201、実装用材料 105 及び受動部品 103 の電極 104 を接続させる。実装用材料 105 に、はんだ材料が Sn と Sn よりも高融点の金属とからなる化合物により表面が覆われた前記金属の粒を含有する合金材料を用いる場合は、合金接続を伴って電気的及び機械的に接続する。この時、実装用材料 105 は図 2 (b) に示す塗布位置から濡れ広がらないようにしなければならない。

【0052】

次に、図 2 (d) に示すように、受動部品 103 を実装した銅箔 201 上に、空間 206 を形成した第 1 の絶縁材料 112 と銅箔 202 を所定の位置に重ね合わせる。この時、第 1 の絶縁材料 112 と受動部品 103 が必ず接触しないように、空間 206 は受動部品 103 より大きく形成することが重要である。なお、複数の受動部品 103 が隣接している場合には、空間 206 は隣接する全ての受動部品 103 を囲むように 1 つの大きな空間 206 としても良い。また、第 1 の絶縁材料 112 は、受動部品 103 と銅箔 202 が接觸しないように、その厚さを設定する必要がある。従って、第 1 の絶縁材料 112 は厚さの厚い材料を 1 枚重ね合わせる形態も可能であるが、図 2 (d) のような複数枚の材料を重ね合わせて所望の厚みを確保する形態を採用することも可能である。なお、銅箔 202 は銅箔 201 と同様に、少なくとも片面側が適度に粗化されており、粗化面側が第 1 の絶縁材料 112 側に配置することが望ましい。これは、以後の工程で第 1 の絶縁材料 112 と接着する際に、第 1 の絶縁材料 112 へのアンカー効果を発現させるためであり、全く粗化されていない光沢面と第 1 の絶縁材料 112 との接着では、接着力がほとんど期待できないからである。

10

20

【0053】

次に、図 2 (e) に示すように、図 2 (d) で重ね合わせたものを熱盤プレス装置（図示せず）を用いて加熱しながら加圧して一体化させ、第 1 の絶縁材料 112 を加熱加圧して形成した第 1 の絶縁層 106 内に受動部品 103 を埋め込む。この時、一体化後に銅箔 202 と受動部品 103 とが接することが無いように第 1 の絶縁層 106 の厚さを設定すると共に、熱盤プレス装置（図示せず）の圧力条件を設定しなければならない。また、受動部品 103 の周囲に気泡を発生することなく受動部品 103 を完全に第 1 の絶縁層 106 で覆うことが重要である。更に言えば、リング状に形成されたソルダーレジスト 111 により、より受動部品 103 下の空間は確実に確保され、第 1 の絶縁層 106 を構成する樹脂による封止を完全に行うことができる。結果として、再溶融した半田間による電気的短絡現象を回避する事ができる。なお、銅箔 201 に補助材料（図示せず）を貼り付けている場合には、図 2 (c) に示す受動部品 103 実装後または図 2 (e) の銅箔 201 と第 1 の絶縁層 106 の接着後に、補助材料（図示せず）を銅箔 201 から剥離する。

30

【0054】

全層スルーホールめっき構造で内蔵基板を構成する場合は、そのまま図 2 (f) へ移行するが、内蔵層に独自にインナービアとなるスルーホールを形成し、設計自由度を向上させた全層インナービア構造にするためには、図 2 (f) に示すように、ドリルで貫通孔 210 を形成し、電解 Cu めっき工程を行うことができる。しかる後に、図 2 (f) に示すように、銅箔 201 及び銅箔 202 を所望の形状に加工して、第 1 配線パターン 101 及び第 2 配線パターン 102 を形成し 2 層配線板を作製する。なお、銅箔 201 及び銅箔 202 に片面粗化箔を使用している場合には、第 1 配線パターン 101 及び第 2 配線パターン 102 の外側に面している面を粗化する等、後に形成する第 2 の絶縁層 107 との接続を良好に行える状態に調整しておくことが重要である。

40

【0055】

なお、内蔵層の層間接続方法としては、導電性ビアペーストを充填した接続方法を用いても構わない。前記スルーホールめっき構造を採用した場合は、スルーホール 110 用に穴埋め樹脂を充填する必要があるが、導電性ビアペーストを採用すれば、層間接続と同時に穴埋め効果も実現する事が出来る。

【0056】

図 2 (g) は、図 2 (a) のサンプルの断面と上面との関係を、境界面 99 で関係付け

50

て説明する合成図である。図2(g)の断面図(すなわち図2(g)上側の図)に示すように、銅箔201の上に、ソルダーレジスト111をリング状に形成する。

【0057】

図2(g)の上面図(すなわち図2(g)下側の図)は、銅箔201の上に、ソルダーレジスト111がリング状に形成された様子を示す。

【0058】

(実施の形態3)

実施の形態3を用いて、銅箔201の粗化について説明する。

【0059】

基板電極表面が粗面化部の凹凸構造の瘤形状サイズが2μm以下となるように粗化された構造を有する事が好ましい。つまり、瘤形状の間隔が2μm以内であることが好ましい。

【0060】

図3は、通常の粗化処理の一例を示す電子顕微鏡写真である。

【0061】

図4は、図3に示した通常の粗化処理について説明する模式図である。

【0062】

図3、図4を用いて、通常実施される銅箔粗化処理状態について及び今回の微細マイクロエッティング銅箔粗化表面状態の事例をそれぞれ示す。

【0063】

図3、図4に示すように、通常の粗化処理は、ピッチが3μm以上(例えば、5μm程度)であり、粗化の深さも3ミクロン以上(例えば、5μm程度)と大きい。そのため、通常の粗化処理では、ピッチが3μm以上(更には深さも3μm以上)と大きく、この形状が、半田濡れに対して阻害要因となりやすい。

【0064】

図5は、本発明の微細マイクロエッティング銅箔粗化表面状態の一例を示す電子顕微鏡写真である。

【0065】

図6は、図5で示したマイクロエッティングによる粗化処理について説明する模式図である。

【0066】

図5、図6に示すように、マイクロエッティングによる粗化処理の場合、ピッチが2ミクロン以下(例えば、1μm~2μm)であり、その深さも1μm~2μmである。このように、マイクロエッティングの場合、ピッチが2ミクロン以下(更に深さも2ミクロン以下)であり、この形状のため、優れた半田濡れ性を発現することができる。

【0067】

次に、図7~図12を用いて、マイクロエッティング粗化面が有する優れた半田濡れ性について説明する。

【0068】

図7は、通常実施される銅箔粗化処理状態の断面を示す電子顕微鏡写真である。

【0069】

図8は図7を説明する模式図である。

【0070】

図7、図8は、共に銅箔と半田(Sn-Ag-Cu半田)との界面を示す断面図である。図7、図8により、ピッチが2ミクロン以下のマイクロエッティングを行なうことで、Cu₃Sn₁やCu₆Sn₅のような金属間化合物がその界面に略均一に形成されることが判る。

【0071】

図7、図8に示すように、発明者らの微細マイクロエッティング銅箔粗化は、通常の粗化処理で得られる凹凸構造よりもきめ細かい構造であり、はんだ濡れ性を阻害せず、むしろ

10

20

30

40

50

図7、図8に示す様にはんだとの界面にはほぼ均一な厚みを有する金属間化合物層を形成することで、良好な接着強度が得られることを見出した。

【0072】

次に、通常のめっき粗化面（発明者らの測定によると $Rz > 3 \mu m$ ）と、マイクロエッティングによる粗化面（発明者らの測定によると $Rz = 1.0 \mu m$ ）について、図9～図12を用いて説明する。

【0073】

図9は、従来のめっき粗化面と、マイクロエッティングによる粗化面とを比較する顕微鏡写真であり、発明者らが試作したサンプルにおける微細マイクロエッティング銅箔粗化の内蔵時の断面状態の事例である。

10

【0074】

図10は、図9を説明する模式図である。

【0075】

また図11は図9相当部分の断面の顕微鏡写真、図12は図11の模式図である。

【0076】

図9～図12より、通常のめっき粗化面は、 Rz が大きい（ $Rz > 3 \mu m$ ）ことがわかる。一方のマイクロエッティングによる粗化面は、 Rz が小さい（例えば、 $Rz = 1.0 \mu m$ ）ことが判る。

20

【0077】

なお、粗化する方法としては、粗化とはんだ濡れ性との両立を実現するため、工程の管理が比較的容易なマイクロエッティング法によって、銅または銅合金の表面を粗化する事が好ましい。より具体的には、表面処理が無機酸および銅の酸化剤からなる主剤と、少なくとも一種のアゾール類および少なくとも一種のエッティング抑制剤からなる助剤とを含む水溶液からなる銅または銅合金のマイクロエッティング剤、ならびに前記マイクロエッティング剤により銅または銅合金の表面をエッティングし粗化する事が好ましい。あるいは、硫酸、過酸化水素からなる主剤と、テトラゾール化合物とホスホン酸系キレート剤からなる助剤とを含む銅または銅合金のマイクロエッティング剤、ならびに前記マイクロエッティング剤により銅または銅合金の表面をエッティングし粗化する事が好ましい。

【0078】

通常のエッティング法による粗化によるマット面と呼ばれる粗化箔であれば、 Rz を $1 \mu m$ レベルまで低減したとしてもはんだ濡れ性が不適であり、マイクロエッティングする必要性が明確となる。これは、通常の電解粗化銅箔の粗化形状が、凸状に（例えば、図9～図12）瘤を付けた形状を有することでアンカー効果が得られているが、本形状は非常に濡れ性の観点からは不適であることが本発明の過程で明確となった。一方、平滑な銅箔形状から、マイクロエッティングで凹状にくり抜く様な粗化形状を形成すると、樹脂成分とのアンカー効果は得られつつ、はんだ濡れ性はむしろ向上することを発見した。これは、以後の工程で第1の絶縁層106を形成する第1の絶縁材料112と接着する際に、第1の絶縁材料112へのアンカー効果を発現させるためであり、全く粗化されていない光沢面と第1の絶縁材料112との接着では、2次実装時の界面の接着力がほとんど期待できないからである。

30

【0079】

更に、マイクロエッティングで凹状にくり抜く様な粗化形状ではんだ濡れ性を向上させることで、且つ、はんだと粗化銅箔間に略均一な Sn - Cu 金属間化合物を形成することで、リフローではんだを溶融させてチップ部品を実装させる工程において、その実装高さばらつきを抑えることができる。樹脂基板に前記チップ部品を少しでも薄い厚みで内蔵する事が求められている背景において、内蔵するチップ部品高さばらつきが抑えられている事は好ましい。

40

【0080】

更に付け加えれば、はんだ材料がSnとSnよりも高融点の金属とからなる化合物を含む場合、すなわち、再リフロー時の融点が高温になる高温はんだを用いる場合は、一次実

50

装時のはんだ溶融時のレベリング効果が不十分な傾向があり、内蔵するチップ部品高さばらつきが大きくなってしまう課題を有していた。しかし、はんだ濡れ性に優れたマイクロエッティングできめ細かい凹凸粗化形状の銅電極を用いて実装することで、レベリング性を向上させ、内蔵するチップ部品高さばらつきを抑制でき、幅広いはんだ材料において好ましい。結果として、より厳しい2次はんだリフロー工程（高温のリフロー）が想定させる用途において、はんだ変形が殆ど無く強固な接続信頼性を有するデバイスを提供できる。

【0081】

（実施の形態4）

次に、図13、図14を用いて、製造方法の一例について説明する。

【0082】

10

図13（a）～（d）は、本発明の部品内蔵基板の製造方法を説明する断面図である。

【0083】

まず図13（a）に示すように、前述の図2（f）で作製した2層配線板を中心として、表裏面にそれぞれの第2の絶縁材料113及び銅箔208を重ね合わせ、図13（b）に示すように、熱盤プレス装置（図示せず）を用いて加熱しながら加圧して一体化させる。なお、銅箔208においても、銅箔201、202と同様に、少なくとも片面側が適度に粗化されており、粗化面側が第2の絶縁材料113側に配置することが望ましい。

【0084】

20

一方、前述の図2（f）で図示したように既に部品内蔵層となる部分にインナービアとなる貫通孔210を設けた場合は、予め導電性ペースト221を充填した後、銅箔208を重ね合わせて積層体を構成しても良い。あるいは、図13（a）の様に第2の絶縁材料113及び銅箔208を重ね合わせて積層した後、レーザー加工にてコンフォーマルなビア加工を行い、スルーホールめっきを行っても構わない（図示せず）。

【0085】

次に、図13（c）に示すように、所望の位置に貫通孔210を形成し、図13（d）に示すように、めっき220を施し、スルーホール110により表裏面の銅箔208及び第2の絶縁材料113を加熱加圧して形成した、第2の絶縁層107内に閉じ込められた第1配線パターン101及び第2配線パターン102を電気的に接続する。

【0086】

30

図14は、製造方法の一例について説明する断面図である。

【0087】

その後、図14（a）に示すように、表面にめっき220が形成された銅箔208をめっき220と同時に所望の形状に加工して、表層配線層108と裏面配線層109を形成し、電子部品内蔵基板100を形成する。また、必要に応じて、図14（b）に示すように電子部品内蔵基板100の表裏面にソルダーレジスト111を形成しても良い。ただし、ソルダーレジスト111を形成する場合には、スルーホール110の内部に空間が残らないように導電性材料や絶縁性材料で埋めることが重要である。なお、スルーホール110内部に充填する材料は、表裏面に形成するソルダーレジスト111と同一材料でも構わない。

【0088】

40

以下、実施の形態4に示す電子部品内蔵基板およびその製造方法の特徴について説明する。

【0089】

本発明の電子部品内蔵基板およびその製造方法においては、銅箔201を出発材料とすることにより、一般的なプリント配線板と略同等の製造工程で電子部品内蔵基板100を製造することができ、内蔵する受動部品103を電子部品内蔵基板100の積層方向に対して中央の絶縁層内に配置しているため、受動部品103を内蔵した電子部品内蔵基板100であっても基板の対称性が保たれ、反りの無い電子部品内蔵基板100を実現することができ、また、受動部品103を内蔵する層を1つの層に限定することで、電子部品内蔵基板100の厚さが厚くなることを防止できるものである。更にははんだ材料等の汎用

50

実装用材料を用いる事で、Snめっき等汎用の電極処理をした受動部品の実装、内蔵が可能になる。一方、合金形成を伴う材料による受動部品103の接続により、安定した接続信頼性を実現することができるものである。

【0090】

(実施の形態5)

以下、本発明に係る実施の形態5として、本発明で作成した半導体装置について、図15を用いて説明する。

【0091】

図15(a)(b)は、共に本発明の実施の形態5による半導体装置の断面図である。なお、特に説明しない限りは実施の形態1と同一の構造については、同一番号を付与して説明を省略する。

10

【0092】

実施の形態5における半導体装置200は、図15では示していないが後述する図17で示すように、実施の形態1の電子部品内蔵基板100の表層配線層108上の所望の位置に半導体121を実装した後、封止樹脂123で半導体表面を覆っている。なお、本実施の形態では、半導体121はバンプ122を介したフリップチップ実装構造を示しているが、半導体121の実装方法はフリップチップ実装に限定されるものではなく、ワイヤボンド方式やその他様々な接続方式を用いても良い。本実施の形態5に示す半導体装置200において重要なことは、電子部品内蔵基板100の受動部品103が接続されている層が、半導体121を実装している表層配線層108を第1層として裏面配線層109までの全層数をn層とした時、第1層からn/2番目の層であるということである。図15に示す例では、4層基板であるため2番目の層が該当し、多くの場合、GND層を構成する。即ち、半導体121の電源及びGND端子から最短配線でベタGND電極に実装されたチップコンデンサと接続する事が可能である。

20

【0093】

更に、本発明のような4層の回路基板であれば、多層化工程で形成されるL12層(すなわち第1層目の電極と第2層目の電極との間を絶縁する絶縁層)と、L34層(すなわち第3層目の電極と第4層目の電極との間を絶縁する絶縁層)である第2の絶縁層107は、部品内蔵コア層となる部分をベースに形成できるので、薄いプリプレグ、例えば30μm、40μm厚みの絶縁シートを用いた多層化が可能である。

30

【0094】

こうすることで、電子部品内蔵基板100の反りを防止しながら、半導体121に対して最も短配線で受動部品103を配置することが可能となり、受動部品103がチップコンデンサの場合には、半導体の高速スイッチング動作に対して配線長からくるコイル・抵抗成分を低減させ、効果的なデカップリングコンデンサとして機能させることができ、半導体装置200としての機能を向上させることができる。

30

【0095】

実施の形態1等で説明したように、一般的なプリント配線板と略同等の製造工程で電子部品内蔵基板100を製造することができるが、銅箔201を出発材料とすることにより、はんだ等の実装用材料105を囲むソルダーレジスト111を形成する層と実装用材料105が塗布あるいは印刷される接続ランド電極部となる第1配線パターン101を異なる層に形成する事ができる。

40

【0096】

受動部品103のサイズが0603サイズあるいは0402サイズの場合は、前記リング状のソルダーレジスト111には、かなりファインな設計ルールが求められる。図16を用いて更に詳しく説明する。

【0097】

図16(A)～(C)は、図15における電極104と第1配線パターン101との関係を説明する拡大した部分断面図である。

【0098】

50

図16(A)における矢印は、電極104に実装用材料105を介して接続された第1配線パターン101の受動部品103方向の長さを示す。図16(A)の矢印に示すように、リング状のソルダーレジスト111の下面(すなわち、境界面99を介して、第2の絶縁層107側)に、第1配線パターン101を設けることで、ソルダーレジスト111の段差発生を防止する。なおここで段差とは、前述の図18(A)(B)で示したように、ソルダーレジスト111の一部が、第1配線パターン101の上に乗り上げることで発生する段差である。

【0099】

図16(B)における矢印は、電極104に実装用材料105を介して接続された第1配線パターン101の受動部品103方向の長さを示す。図16(B)の矢印に示すように、リング状のソルダーレジスト111の下面(すなわち、境界面99を介して、第2の絶縁層107側)に、第1配線パターン101の一部を重ねることで、ソルダーレジスト111の段差発生を防止する。

10

【0100】

図16(C)における矢印は、電極104に実装用材料105を介して接続された第1配線パターン101の受動部品103方向の長さを示す。図16(C)の矢印に示すように、リング状のソルダーレジスト111の下面(すなわち、境界面99を介して、第2の絶縁層107側)を超えて、第1配線パターン101を設けることで、ソルダーレジスト111の段差発生を防止する。

20

【0101】

図16(A)に示される様なクリアランスレジスト構造であれば、ソルダーレジスト111とランド電極となる第1配線パターン101が同一層に形成されても、段差構造は発生しないが、実際にはソルダーレジスト111形成時のアライメントずれ等が発生し、従来事例の図18に示すように部分的にオーバーレジストになって、段差のある印刷構造になることが多い。設計ルールがラフな時は接着面積が十分に確保出来て問題ないが、ファインな設計ルールでは、段差構造に起因して密着が不十分な界面が発生し、はんだ再溶融時のショート要因を招く事が実施事例より判明している。従って、図16(B)に示す様なレジスト構造によって、レジストの段差構造を回避し、各界面の密着強度を確保でき、その結果として、はんだが再溶融してもショートが発生しない高信頼性構造を構築できる。ランド強度用に用いるオーバーレジストの設計ルール自由度が大きく、ファインパターン対応に有利となる。

30

【0102】

更に言えば、ファインパターンのランド設計においては、はんだペーストを滲み無くスキージ印刷する事が重要となる。前記記載したように既存の銅箔配線パターンにソルダーレジスト111を形成した場合は、段差が発生する場合が多く、はんだペースト印刷時のスキージの印圧が不安定になるため印圧を上げて行い、はんだペーストが必要以上に濡れ広がり滲んだり、はみ出したりする懸念が発生していた。結果として、リングレジスト構造で、はんだ実装を行う場合は、狭ピッチ印刷時に限界が発生する要因となり、段差無くレジスト形成ができる本発明の構造及び製造方法が有利となる。

40

【0103】

更に言えば、図16(C)に示すようにランド電極101がレジスト領域を完全に覆うオーバーレジスト構造を実現する事によって、プロセス途中工程で、ソルダーレジスト111が見えてしまう事を回避する事が可能となり、部品内蔵コア層単独で活用する場合、ランド電極等のピール強化を図るうえでも有利となる。

【0104】

次に、図17を用いて、前述の図15で省略した部分について更に詳しく説明する。

【0105】

図17は、チップコンデンサを内蔵したインターポーラ基板を用いた半導体パッケージの断面図である。

50

【0106】

図17に示す半導体パッケージは、4層で構成されるインターポーラ基板において、第2層目(L2)のGND層にチップコンデンサを配置、内蔵したものである。本構成によれば、表層の第1層目と第2層目の総厚(L12層間厚み)をビルトアップ方式で多層化できるため、非常に薄い厚み、例えば、30μm厚みで形成する事が出来、表層に実装する半導体の電極端子と最短の配線長で内蔵したコンデンサ電極と接続する事ができる。その結果として、配線長に起因する等価インダクタンス(ESL)を低減する事が出来、効果的にノイズ除去及び電源電圧の安定化に寄与する事が出来る。

【産業上の利用可能性】

【0107】

本発明における電子部品内蔵基板とこれを用いた半導体装置、およびその製造方法は、
低コストで量産性に優れるため、実用化しやすく、半導体の駆動周波数の高周波化に対応
できる半導体装置として有用である。

10

【符号の説明】

【0108】

99 境界面

100 電子部品内蔵基板

101 第1配線パターン

102 第2配線パターン

103 受動部品

104 電極

20

105 実装用材料

106 第1の絶縁層

107 第2の絶縁層

108 表層配線層

109 裏面配線層

110 スルーホール

111 ソルダーレジスト

112 第1の絶縁材料

113 第2の絶縁材料

30

121 半導体

122 バンプ

123 封止樹脂

200 半導体装置

201 銅箔

202 銅箔

206 空間

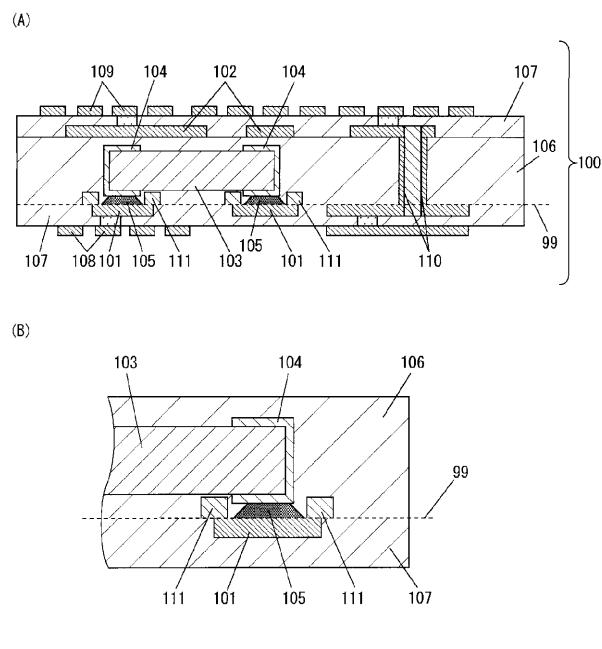
208 銅箔

210 貫通孔

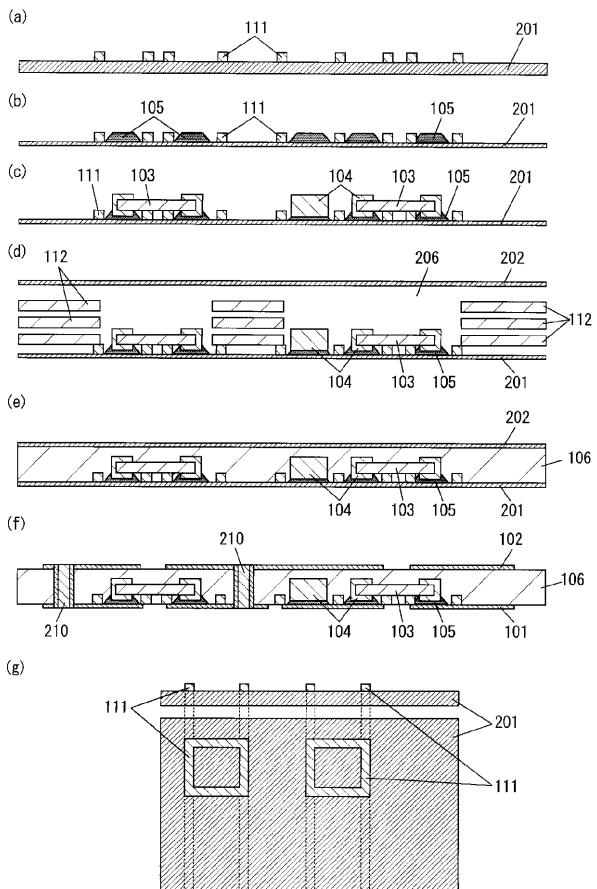
220 めつき

【図1】

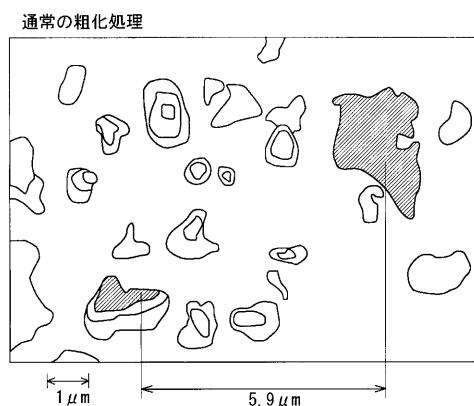
99 境界面	106 第1の絶縁層
100 電子部品内蔵基板	107 第2の絶縁層
101 第1配線パターン	108 表層配線層
102 第2配線パターン	109 裏面配線層
103 受動部品	110 スルーホール
104 電極	111 ソルダーレジスト
105 実装用材料	



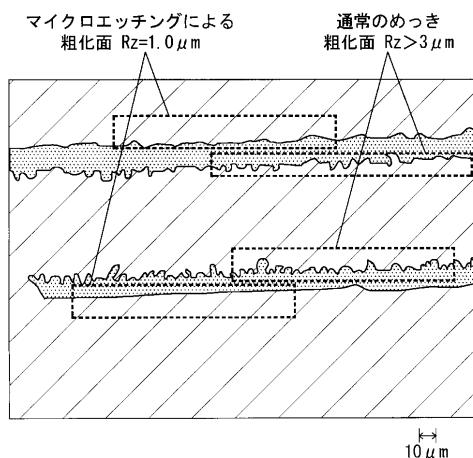
【図2】



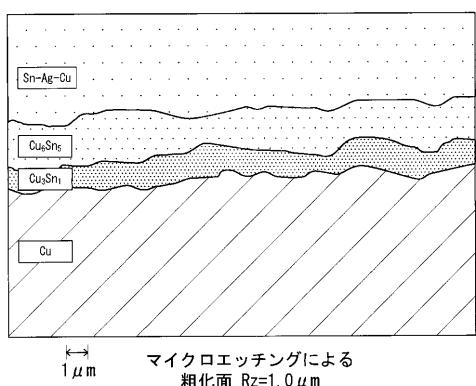
【図4】



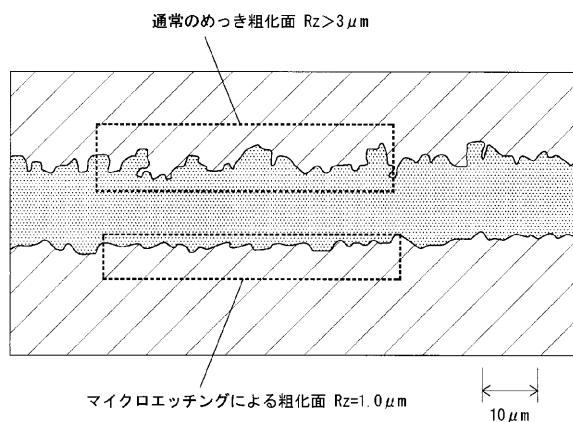
【図10】



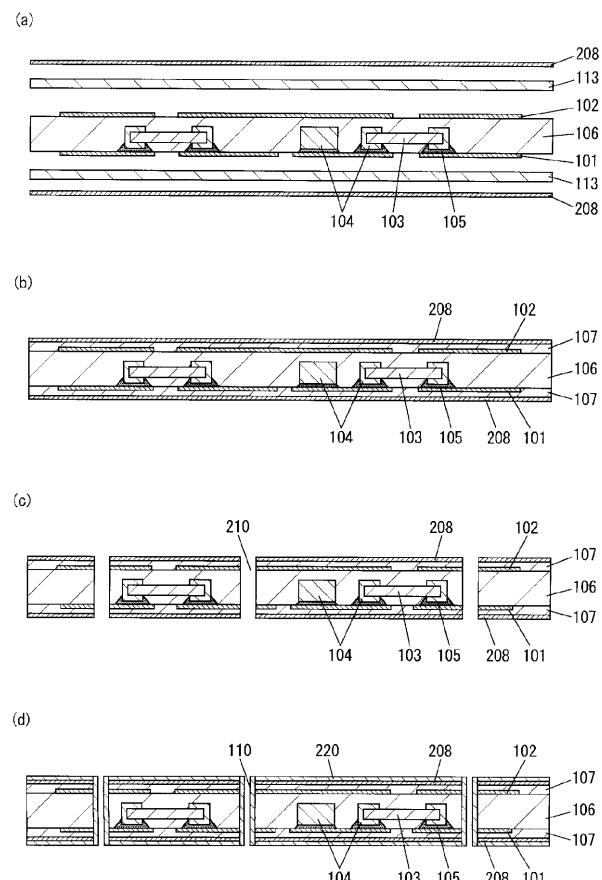
【図8】



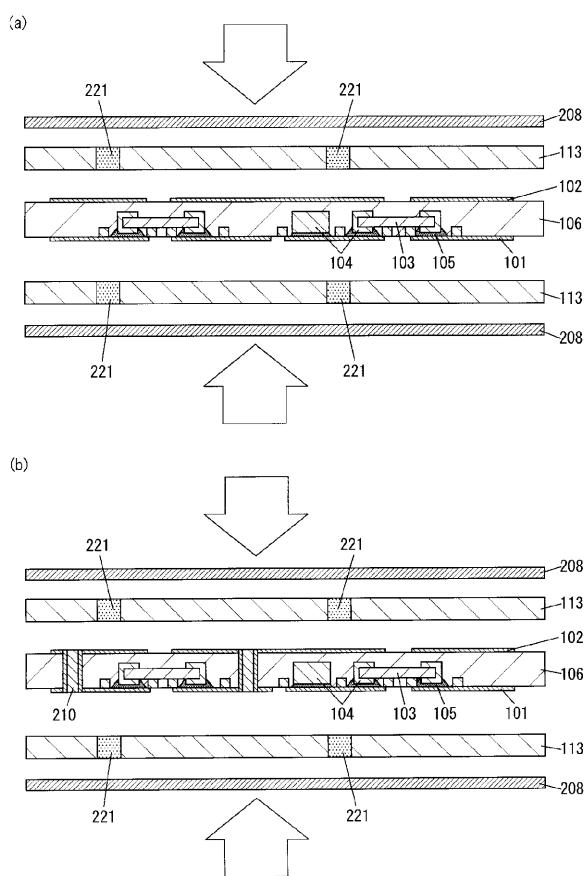
【図12】



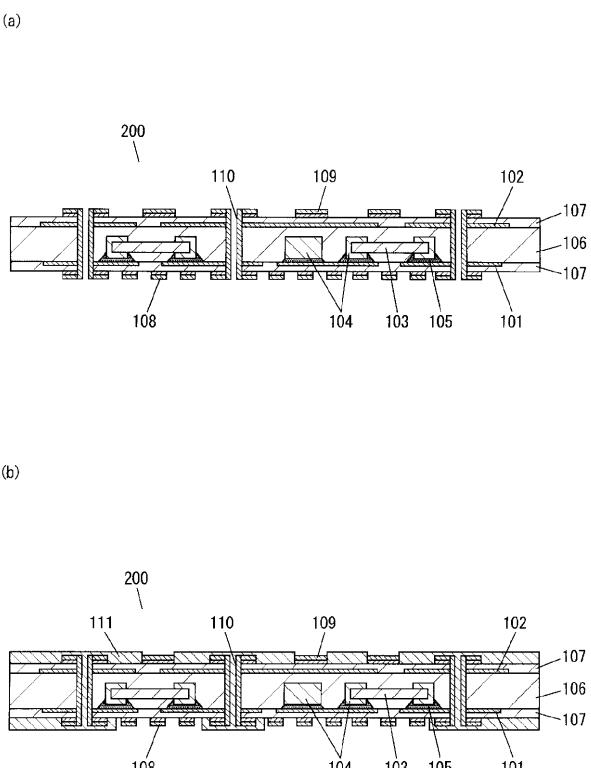
【図13】



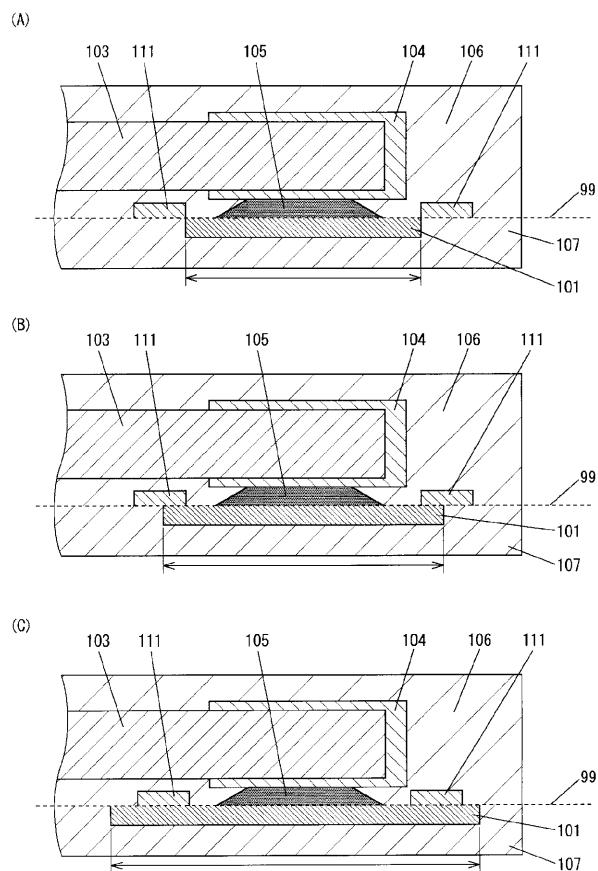
【図14】



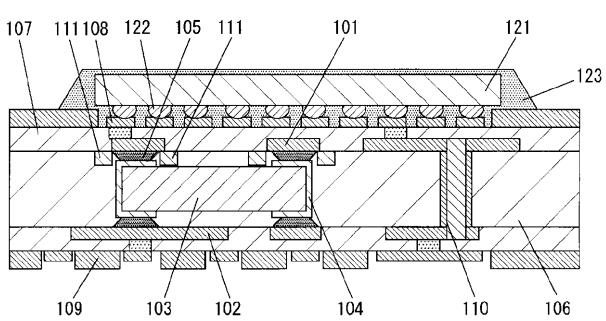
【図15】



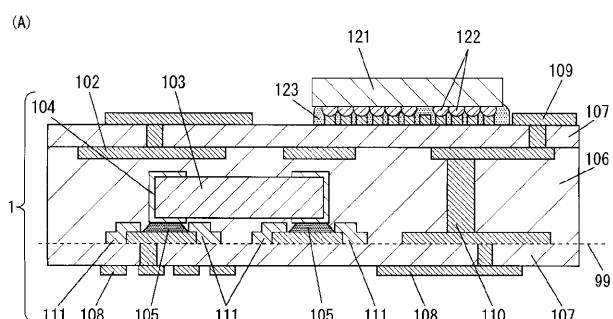
【図16】



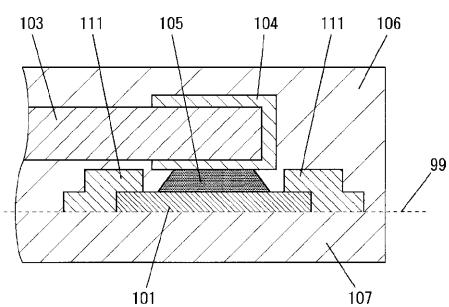
【図17】



【図18】

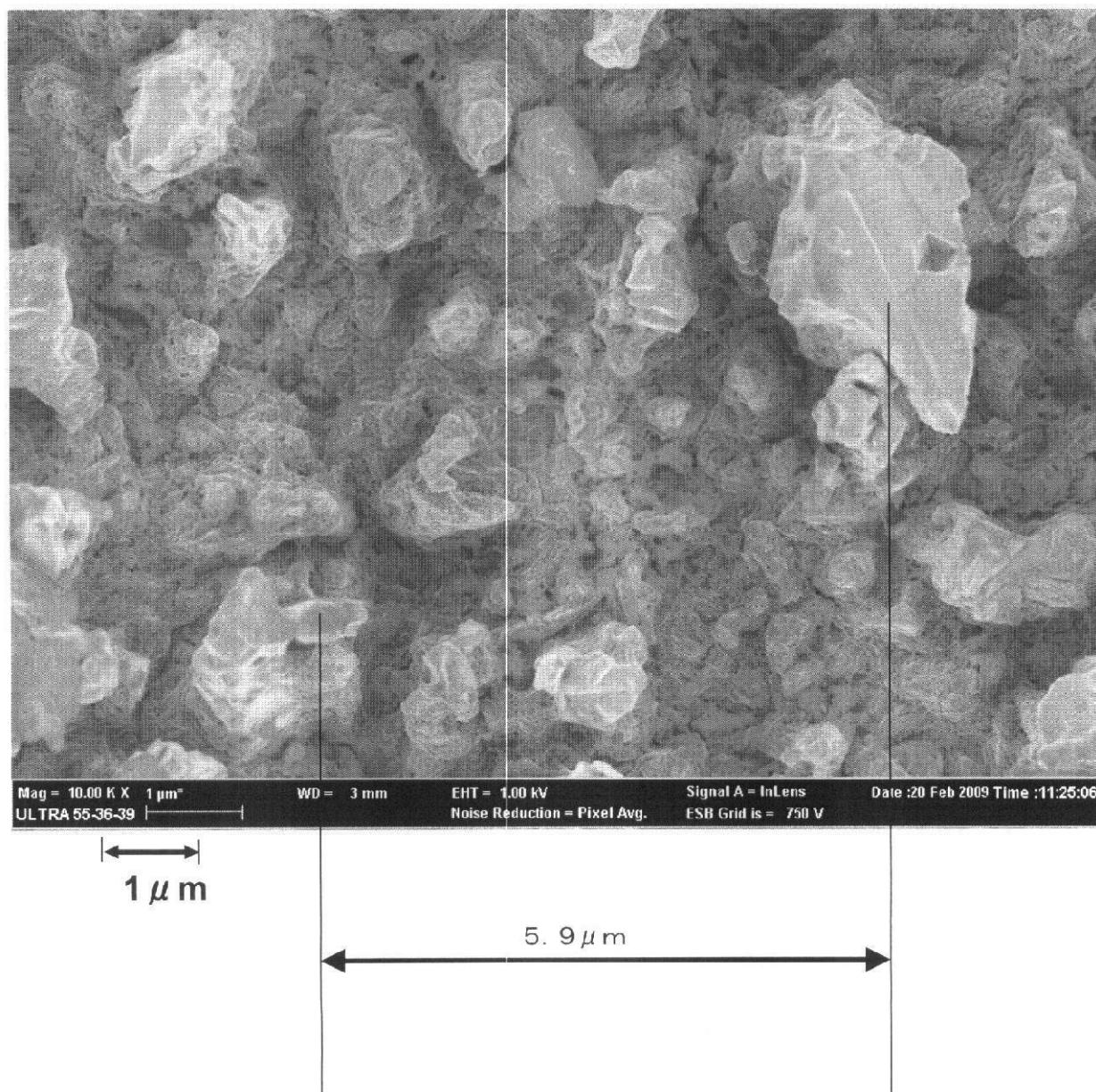


(B)



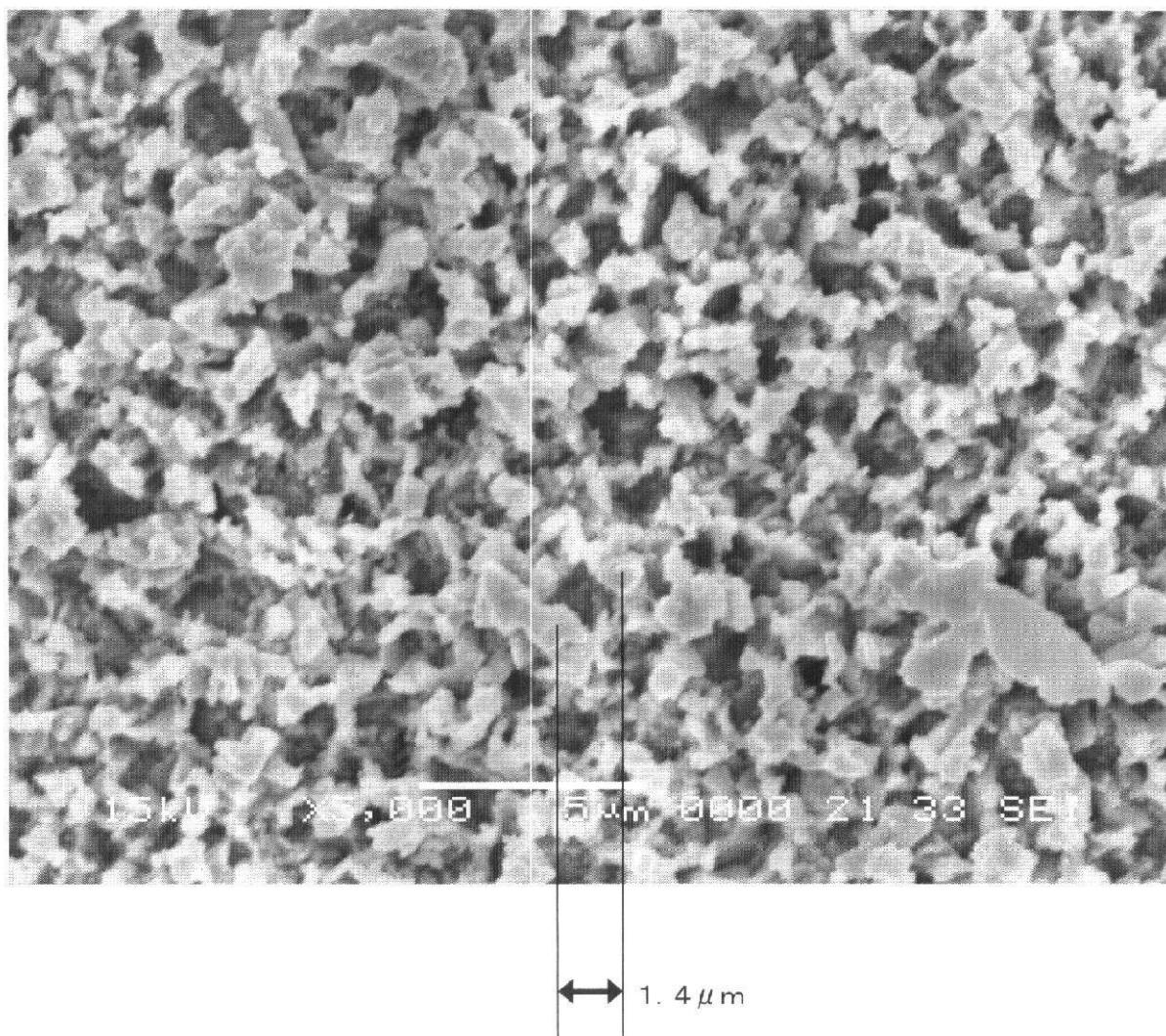
【図3】

通常の粗化処理



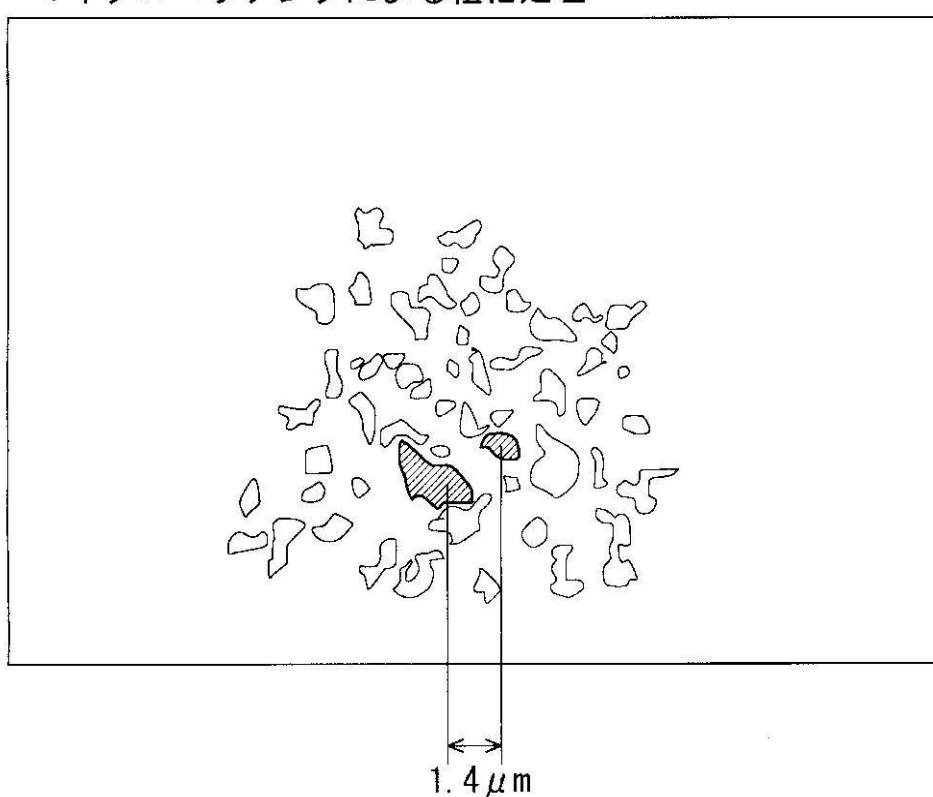
【図5】

マイクロエッティングによる粗化処理

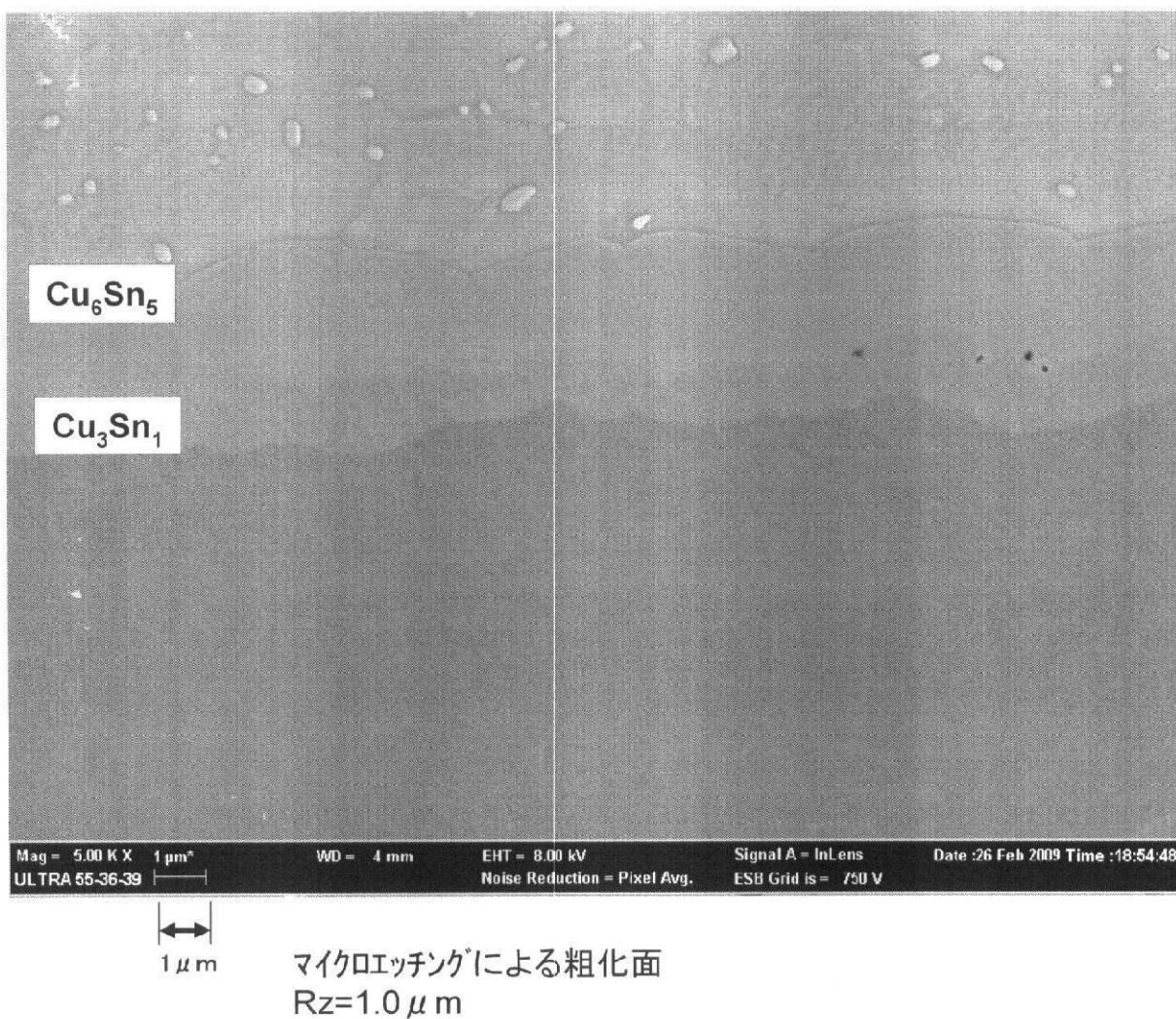


【図6】

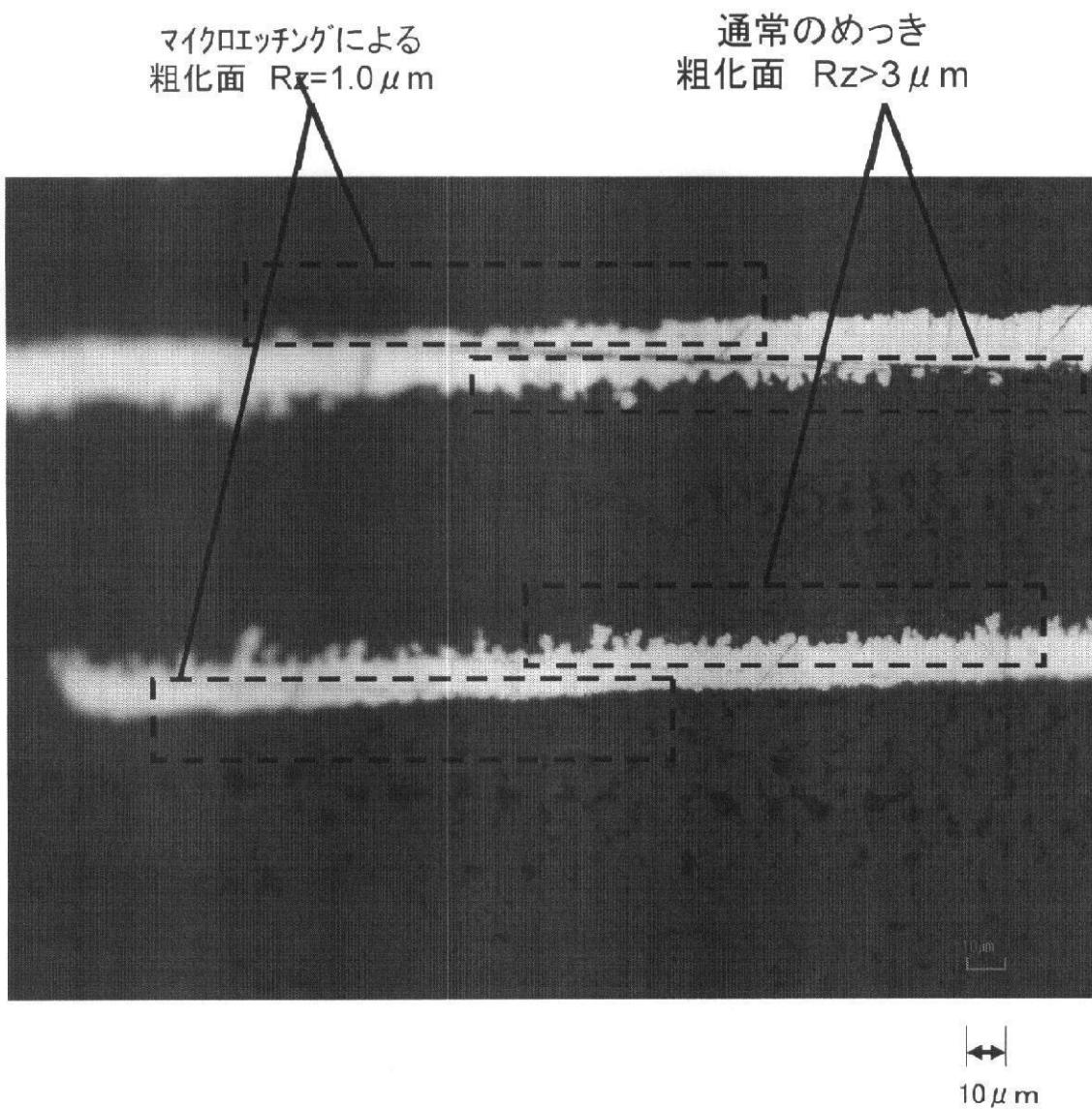
マイクロエッティングによる粗化処理



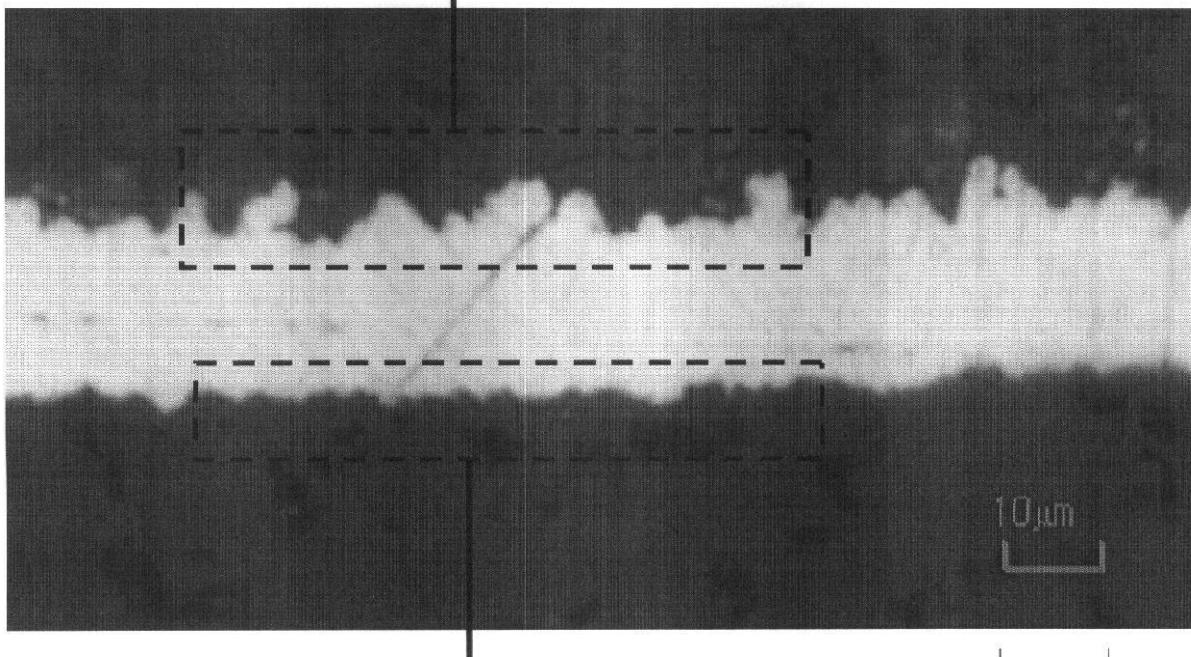
【図7】



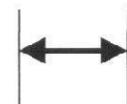
【図9】



【図 11】

通常のめっき粗化面 $Rz > 3 \mu m$ マイクロエッティングによる粗化面 $Rz = 1.0 \mu m$

10 μm



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

H 05K 3/34 502D
H 05K 3/34 512C

(72)発明者 橋本 晃

大阪府門真市大字門真1006番地 パナソニックエレクトロニクス株式会社内

(72)発明者 佐々木 智江

大阪府門真市大字門真1006番地 パナソニックエレクトロニクス株式会社内

F ターム(参考) 5E319 AA03 AA06 AB05 BB01 CC33 GG01 GG03 GG20

5E346 AA12 AA15 AA38 AA43 AA60 CC04 CC05 CC08 CC09 CC32
CC33 DD02 EE09 FF45 GG25 GG28 HH07 HH11 HH24