

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5622392号

(P5622392)

(45) 発行日 平成26年11月12日 (2014.11.12)

(24) 登録日 平成26年10月3日 (2014.10.3)

(51) Int. Cl.

F I

G O 1 N 27/414 (2006.01)

G O 1 N 27/30 3 O 1 U

G O 1 N 37/00 (2006.01)

G O 1 N 27/30 3 O 1 P

C 1 2 M 1/00 (2006.01)

G O 1 N 27/30 3 O 1 X

C 1 2 N 15/09 (2006.01)

G O 1 N 27/30 3 O 1 Y

G O 1 N 27/30 3 O 1 W

請求項の数 14 (全 104 頁) 最終頁に続く

(21) 出願番号 特願2009-541416 (P2009-541416)
 (86) (22) 出願日 平成19年12月14日 (2007.12.14)
 (65) 公表番号 特表2010-513869 (P2010-513869A)
 (43) 公表日 平成22年4月30日 (2010.4.30)
 (86) 国際出願番号 PCT/US2007/025721
 (87) 国際公開番号 W02008/076406
 (87) 国際公開日 平成20年6月26日 (2008.6.26)
 審査請求日 平成22年12月14日 (2010.12.14)
 (31) 優先権主張番号 60/870,073
 (32) 優先日 平成18年12月14日 (2006.12.14)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 60/948,748
 (32) 優先日 平成19年7月10日 (2007.7.10)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 502221282
 ライフ テクノロジーズ コーポレーショ
 ン
 アメリカ合衆国 カリフォルニア 920
 08, カールスバッド, バン アレン
 ウェイ 5791
 (74) 代理人 100102842
 弁理士 葛和 清司
 (72) 発明者 ロスバーク, ジョナサン, エム.
 アメリカ合衆国 コネティカット州 06
 437, ギルフォード, ムース ヒル ロ
 ード 1701

最終頁に続く

(54) 【発明の名称】 大規模 F E T アレイを用いた分析物測定のための方法および装置

(57) 【特許請求の範囲】

【請求項 1】

基板に形成された少なくとも 10^5 個のセンサのセンサアレイであって、前記センサが 10 マイクロメートル以下のピッチ距離を有する、前記センサアレイ、
ゲート酸化物、フローティングゲート、および、トラップされた電荷によって影響をうける閾値電圧を有する化学感応性電界効果トランジスタ (chemFET) を規定する、前記アレイにおける少なくとも 1 つのセンサ
 を含み、

前記ゲート酸化物の厚さは、前記トラップ電荷を、ゲート酸化物を通して基板へ通過させることによって、トラップ電荷を減少させるように選択される、装置。

10

【請求項 2】

ゲート酸化物の厚さが、トラップ電荷を基板へ流出させ得る、請求項 1 に記載の装置。

【請求項 3】

ゲート酸化物の厚さが、約 75 オングストロームである、請求項 1 に記載の装置。

【請求項 4】

各 chemFET センサの閾値電圧が、少なくとももう 1 つの chemFET の閾値電圧と同様である、請求項 1 に記載の装置。

【請求項 5】

さらに、複数のセンサに対応する複数の出力信号を検出するよう構成される制御回路を含み、前記出力信号が少なくとも部分的にそのセンサアレイの各センサの閾値電圧に依存

20

する、請求項 1 に記載の装置。

【請求項 6】

複数のセンサからの出力信号が、応答において実質的に同様である、請求項 5 に記載の装置。

【請求項 7】

センサアレイの複数のセンサが、感度において実質的に同様である、請求項 5 に記載の装置。

【請求項 8】

制御回路がさらに、少なくとも 1 つのアナログーデジタル変換器を含む、請求項 5 に記載の装置。

【請求項 9】

センサアレイおよび少なくとも 1 部分の制御回路が、単一の基板に形成される、請求項 5 に記載の装置。

【請求項 10】

さらに、センサアレイと結合される反応チャンバのアレイを含む、請求項 1 に記載の装置。

【請求項 11】

複数の出力信号が、対応する反応チャンバにおける分析物の存在に応答して生成される、請求項 10 に記載の装置。

【請求項 12】

分析物が水素イオンを含む、請求項 11 に記載の装置。

【請求項 13】

分析物が化学反応副生成物を含む、請求項 11 に記載の装置。

【請求項 14】

化学反応が、試料核酸テンプレートへのヌクレオチドの取り込みを含む、請求項 13 に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、電子センサを介して 1 種または 2 種以上の分析物を検出および測定するための発明方法および装置に関する。

【0002】

電子デバイスおよび電子コンポーネント (electronic component) は、化学および生物学 (より一般的には生命科学) において、特に化学反応および物質組成の様々な側面の検出および測定において、多数の用途が見出されてきた。かかる電子デバイスの 1 つはイオン感応性電界効果トランジスタと称されるものであり、しばしば関連文献には I S F E T (または p H F E T) と表される。I S F E T は、溶液の水素イオン濃度 (一般的に p H で表される) の測定を容易にするために、学術および研究団体を中心に、従来研究されてきた。

【0003】

より具体的には、I S F E T は M O S F E T (酸化金属半導体電界効果トランジスタ) に類似の方法で動作するインピーダンス変換デバイスであり、特に溶液中のイオン活量を選択的に測定するよう構成されている (例えば、溶液中の水素イオンが「分析物」である)。I S F E T の詳細な作用機構の理論は、「Thirty years of ISFETology: what happened in the past 30 years and what may happen in the next 30 years」, P. Bergveld, Sens. Actuators, 88 (2003), pp. 1-20 に記載されており、この刊行物は参照により本明細書中に組み込まれる。

【0004】

図 1 は、従来の C M O S (相補性金属酸化膜半導体) プロセスを用いて製造された p 型 I S F E T の断面図を示す。p 型 I S F E T の製造は p 型シリコン基板 52 をベース

10

20

30

40

50

にし、トランジスタのボディを形成するn型ウェル54が形成される。ISFETのソース56およびドレイン58を構成する高ドープp型(p^+)領域SおよびDは、n型ウェル内に形成される。高ドープn型(n^+)領域Bもまた、n型ウェルとの導電性ボディ(バルク)接続(connection)62を提供するためにn型ウェル内に形成される。酸化層65が上記ソース、ドレインおよびボディ接続領域上に付与され、これらの領域へ電氣的接続(電気伝導体を介して)を提供するために、酸化層65を貫いて開口部が作出される。例えば、金属コンタクト66はドレイン58への電氣的接続を提供する導体として作用し、また金属コンタクト68は、高導電性ボディ接続62を介して、ソース56およびn型ウェル54へ共通接続を提供する導体として作用する。ポリシリコンゲート64は、ソース56およびドレイン58の間のn型ウェル54の領域60の上に位置する酸化層の上に形成される。酸化層65は、ポリシリコンゲート64とトランジスタボディ(例えば、n型ウェル)の間に配置されるため、しばしば「ゲート酸化物」と称される。

10

【0005】

MOSFETのように、ISFETの動作は、ソースとドレインとの間のポリシリコンゲート64、ゲート酸化物65およびn型ウェルの領域60によって構成されたMOS(酸化金属半導体)静電容量に起因する電荷分布の変調に基づく。負の電圧がゲートおよびソース領域へ印加された場合($V_{GS} < 0$ ボルト)、「p-チャンネル」63が、領域60とゲート酸化物65との界面に、電子が欠乏することによって生成される。このp-チャンネル63はソースとドレインとの間に広がり、ゲート-ソース電位 V_{GS} が、ソースからドレインにホールをひきつけるのに十分な負の電圧である場合には、電流がp-チャンネルを通して伝わる。チャンネル63が電流を伝え始めるゲート-ソース電位はトランジスタの閾値電圧 V_{TH} と称される(V_{GS} が閾値電圧 V_{TH} より大きい絶対値をもつときトランジスタが伝導する)。ソースはチャンネル63を通して流れる電荷キャリア(p-チャンネルに対してはホール)のソースであるためそのように名付けられ、同様に、ドレインは電荷キャリアがチャンネル63を去る場所である。

20

【0006】

図1のISFET50において、ソース56およびボディ接続62の両方と接続する金属コンタクト68に見られるように、n型ウェル54(トランジスタボディ)は、ボディ接続62を介して、ソース56と同じ電位を強制的にバイアスされる(例えば、 $V_{SB} = 0$ ボルト)、この接続は P^+ ソース領域およびn型ウェルの順バイアスを防止し、またそれによりチャンネル63が形成されうる領域60の場所への電荷キャリアの限定を容易にする。ソース56とボディ/n型ウェル54間のいくらかの電位差(0でないソース-ボディ電圧 V_{SB})はISFETの閾値電圧 V_{TH} に非線形関係で影響し、また一般的にボディ効果(body effect)と称され、多くの用途で好ましくない。

30

【0007】

図1にも示すとおり、ISFET50のポリシリコンゲート64は、「フローティングゲート」構造70を形成するために、ゲート酸化物65上に配置された1または2以上のさらなる酸化層75内に配置された多数の金属層と接合される。フローティングゲート構造は、ISFETに関連する他の導体から電氣的に独立しているため、そのように名付けられ、すなわち、ゲート酸化物65とパシベーション層72の間に挟まれている。ISFET50において、パシベーション層72はデバイスのイオン感応性を上げるイオン感応性膜を構成する。すなわち、パシベーション層72、特にフローティングゲート構造70上の検出領域78に、接触する「分析溶液」74(対象とするイオンを含む溶液)中のイオンの存在が、ソース56とドレイン58との間のp-チャンネル63を通して流れる電流を変化させるようにISFETの電気特性を変える。パシベーション層72は、特定のイオンに対する検出を促進するために、異なる物質のいずれか1種を含んでもよい。例えば、窒化シリコンまたは酸窒化シリコンを含むパシベーション層は、一般的に、分析溶液74内の水素イオン濃度を検出し、一方バリノマイシンを含有する塩化ポリビニルを含むパシベーション層は、分析溶液からカリウムを検出する(パシベーション層に適し、例えば、ナトリウム、銀、鉄、臭素、ヨウ素、カルシウムおよび硝酸などの他のイオンを検出

40

50

する物質は知られている)。

【0008】

イオン感度に関して、電位差は、一般的に「表面電位」と称され、パシベーション層72と検出領域78の固体／液体界面で、化学反応に起因する検出領域78におけるイオン濃度に応じて増加する(例えば、通常、検出領域78に近接する分析溶液中のイオンによって酸化物表面基の解離を伴う)。この表面電位は、ISFETの閾値電圧 V_{TH} に影響し、こうして、ISFETの閾値電圧 V_{TH} は、検出領域78に近接する分析溶液74中のイオン濃度の変化により変動する。

【0009】

図2は図1に示すp-チャンネルISFET50の電気回路図を例示するものである。図1を再度参照すると、分析溶液74中の参照電極76(従来のAg/AgCl電極)は、分析溶液自身のバルクが有する電位を決定し、また図2に示すとおり従来のMOSFETのゲートターミナルと類似している。ISFETの直線または非飽和動作領域において、ドレイン電流 I_D は以下の式で与えられる:

【数1】

$$I_D = \beta (V_{GS} - V_{TH} - \frac{1}{2} V_{DS}) V_{DS}, \quad (1)$$

【0010】

上式中、 V_{DS} はドレインとソースとの間の電圧であり、 β は以下の式で与えられるトランスコンダクタンスパラメータ(単位 Amps/Volts^2)である:

【数2】

$$\beta = \mu C_{ox} \left(\frac{W}{L} \right), \quad (2)$$

【0011】

上式中、 μ は、キャリア移動度を示し、 C_{ox} は単位面積当たりのゲート酸化物静電容量であり、 W/L 比はチャンネル63の幅と長さの比である。参照電極76が電氣的リファレンスまたは接地($V_G = 0$ ボルト)を与え、ドレイン電流 I_D およびドレイン-ソース間電圧 V_{DS} が一定の場合、ISFETのソース電圧 V_S の変化は、式(1)に従い、直接閾値電圧 V_{TH} の変化に追従する。これは式(1)を以下の式に並べ替えることによってわかる:

【数3】

$$V_S = -V_{TH} - \left(\frac{I_D}{\beta V_{DS}} + \frac{V_{DS}}{2} \right). \quad (3)$$

【0012】

ISFETの閾値電圧 V_{TH} は上述のとおりイオン濃度に敏感なため、式(3)に従うソース電圧 V_S は、ISFETの検出領域78に近接する分析溶液74中のイオン濃度に直接関係する信号を与える。窒化シリコンおよび酸化シリコンのパシベーション層を用いるpH検出用の典型的な従来のISFETにおいて、約 30 mV/pH ～約 50 mV/pH の閾値電圧感度 ΔV_{TH} (例えば、分析溶液のpH変化に伴う閾値電圧の変化)が観測されている(298ケルビン度で理論上の最大閾値は 59.2 mV/pH)。

【0013】

従来のCMOSプロセス技術に基づいたpH測定のためのISFETを製造するこれまでの研究努力は、pH1～14の範囲にわたって線形的に高い信号を得ることを目的とし

10

20

30

40

50

てきた。約 50 mV/pH の典型的な閾値感度を用いる場合、上記式 (3) を考慮すると、これは、ソース電圧 V_S として約 700 mV の線形動作範囲を必要とする。図 1 に関して上述したとおり、 ISFET の閾値電圧 V_{TH} は (MOSFET も同様)、ソースとボディ (n 型ウェル) 間の任意の電圧 V_{SB} に影響をうける。より具体的には、閾値電圧 V_{TH} はゼロ以外のソースーボディ (n 型ウェル 54) 間電圧 V_{SB} の非線形関数である。したがって、ソースドレイン間電圧電位の差によって線形性を損なうのを防ぐために (すなわち、「ボディ効果」を緩和するために)、図 1 に示すとおり、ソース 56 および ISFET 50 のボディ接続 62 はしばしば金属コンタクト 68 を介して共通電位に接続される。このボディーソース接続はまた、図 2 に示す ISFET 50 の電気回路図にも示されている。

10

【0014】

図 1 の ISFET 設計に基づいた ISFET の 2 次元アレイを製造するための従来の取り組みは、1 つのアレイ内に最大 256 の ISFET センサ素子、または「ピクセル」 (例えば $16 \text{ ピクセル} \times 16 \text{ ピクセル}$ アレイ) をもたらした。 ISFET アレイ製造における典型的な研究は、刊行物 “A large transistor-based sensor array chip for direct extracellular imaging,” M.J. Milgrew, M.O. Riehle, and D.R.S. Cumming, Sensors and Actuators, B: Chemical, 111-112, (2005), pp. 347-353、および “The development of scalable sensor arrays using standard CMOS technology,” M.J. Milgrew, P. A. Hammond, and D.R.S. Cumming, Sensors and Actuators, B: Chemical, 103, (2004), pp. 37-42 に記載されており、この刊行物は本明細書中に参照により組み込み、以下ではまとめて「Milgrew et al」と称する。 ISFET アレイの実現に関する他の研究努力は、刊行物 “A very large integrated pH-ISFET sensor array chip compatible with standard CMOS processes,” T. C. W. Yeow, M. R. Haskard, D. E. Mulcahy, H. I. Seo and D. H. Kwon, Sensors and Actuators B: Chemical, 44, (1997), pp. 434-440、および “Fabrication of a two-dimensional pH image sensor using a charge transfer technique,” Hizawa, T., Sawada, K., Takao, H., Ishida, M., Sensors and Actuators, B: Chemical 117 (2), 2006, pp. 509-515 に記載されており、この刊行物もまた本明細書中に参照により組み込む。

20

【0015】

図 3 は、Milgrew et al の設計による 2 次元 ISFET アレイの 1 列 85_j を例示する。列 85_j は、 80_1 から 80_{16} までの 16 個のピクセルを含み、さらに、図 7 に関して以下で述べるように、完全な 2 次元アレイは、並んで配置される 16 列のかかる列 85_j ($j = 1, 2, 3, \dots, 16$) を含む。図 3 に示すとおり、所与の列 85_j は、列の全てのピクセルが共有する電流ソース I_{SOURCE_j} およびまた列の全てのピクセルが共有する ISFET バイアス/読取り回路 82_j (電流シンク I_{SINK_j} を含む)。 80_1 から 80_{16} までの各ピクセルは、電氣的に接続したソースおよびドレインを有する p -チャンネル ISFET 50 (図 1 および 2 に示すとおり)、およびさらに 16 行の選択信号 ($RSEL_1$ から $RSEL_{16}$ 、およびその相補信号 (complement)) の 1 つにตอบสนองする 2 つのスイッチ $S1$ および $S2$ を含む。図 7 に関して以下で述べるように、行選択信号およびその相補信号は、列 85_j の所与のピクセルを「有効」または選択するために同時に生成され、かかる信号ペアが列内の異なるピクセルを連続的に 1 つずつ有効にするために、ある配列で生成される。

30

40

【0016】

図 3 に示すとおり、Milgrew et al の設計における各ピクセル 80 のスイッチ $S2$ は、対応する行選択信号受信時に、電流ソース I_{SOURCE_j} と ISFET 50 のソースとを接続する従来の n -チャンネル MOSFET として実装される。各ピクセル 80 のスイッチ $S1$ は、伝達ゲート、すなわち、対応する行選択信号およびその相補信号受信時に ISFET 50 のソースとバイアス/読取り回路 82_j とを接続する n -チャンネル MOSFET および p -チャンネル MOSFET を含む CMOS ペアとして実装される。図 4 には、ピクセル 80_1 のスイッチ $S1_1$ の例示し、そこでは伝達ゲートの p -チャンネル M

50

OSFETは $S1_{1p}$ として示し、 n -チャンネルMOSFETは $S1_{1N}$ として示す。Milgrew et alの設計において、伝達ゲートは、各ピクセルのスイッチ $S1$ に用いられ、有効なピクセルに対して、ISFETソース電圧が $V_{DD} \sim V_{SS}$ の電力供給範囲内でバイアス／読取り回路 82_j に印加され、信号 V_{S_j} として列によって出力され得るようにする。上述から、Milgrew et al設計のISFETセンサアレイ設計において、各ピクセル 80 は、4つのトランジスタを含むことが理解されるべきであり、すなわち、それらは p -チャンネルISFET、スイッチ $S1$ のための n -チャンネルMOSFETおよび p -チャンネルMOSFETを含むCMOSペア伝達ゲートおよびスイッチ $S2$ のための n -チャンネルMOSFETである。

【0017】

また図3に示すように、バイアス／読取り回路 82_j は、列 85_j における有効なピクセルのISFETに対して、一定のドレインソース電圧 V_{DS_j} を保持するため、および一定のドレイン電流 I_{SOURCE_j} からソース電圧 V_{S_j} の測定を隔離するために、ケルビンブリッジ形態のソースドレインフォロア構成を用いる。この目的のために、バイアス／読取り回路 82_j は、2つの演算増幅器 $A1$ および $A2$ 、電流シンク I_{Sink_j} および抵抗器 R_{SD_j} を有する。抵抗器を通して流れる電流シンク I_{Sink_j} によって抵抗器 R_{SD_j} の両極に発生した電圧は、抵抗器演算増幅器によって、一定のドレインソース電圧 V_{DS_j} として有効なピクセルのISFETのドレインとソースとの間に生じるように強制される。こうして、式(3)をまた参照すると、一定の V_{DS_j} および一定の I_{SOURCE_j} によって、有効なピクセルのISFETのソース電圧 V_{S_j} は、ISFET閾値電圧 V_{TH} に対応する信号を提供し、したがってISFET検出領域に近接するpH測定を提供する(図1参照)。伝達ゲート $S1$ によって得られるソース電圧 V_{S_j} のための広いダイナミックレンジは、確実に $pH1 \sim 14$ の全ての範囲を測定することができ、各ISFETのソースボディ接続は、全てのpH測定範囲にわたるISFET閾値電圧の十分な線形性を確保する。

【0018】

図3に示すMilgrew et alの列設計において、列バイアス／読取り回路 82_j のケルビンブリッジ構成が適切に機能するには、図1に示す p -チャンネルISFET 50 を、各ピクセルに用いられなければならないことが理解されるべきである。より具体的には、 n -チャンネルISFETを用いては、ケルビンブリッジ構成に基づく代替的な実装は不可能である。図1を再度参照すると、従来のCMOSプロセスに基づく n -チャンネルISFETの場合、 n 型ウェル 54 は必要とされず、ドレインおよびソースのための高ドープ n 型領域は、(トランジスタボディを形成する) p 型シリコン基板 52 に直接形成されることになる。 n -チャンネルISFETデバイスの場合、トランジスタボディは、一般的には電気接地に接続されている。Milgrew et alの設計において、ボディ効果による非線形挙動を緩和するためにISFETのソースおよびドレインが電氣的に互いに接続する必要条件を考えると、これは、 n -チャンネルISFETのソースもまた電気接地(例えば、 $V_S = V_B = 0$ ボルト)に接続されることになり、これにより有効なピクセルからの有用な情報を妨げることになる。したがって、図3に示すMilgrew et alの列設計は、適切な動作のために、 p -チャンネルISFETを必要とする。

【0019】

図3に示すMilgrew et alの列設計において、スイッチ $S1$ および $S2$ を各ピクセルに実装することが必要とされる2つの n -チャンネルMOSFETは、図1に示す n 型ウェル 54 内に形成することはできず、そこではそのピクセルのための p -チャンネルISFETが形成されている。むしろ、 n -チャンネルMOSFETは、 p 型シリコン基板 52 に直接、ISFETの n 型ウェル 54 の境界外側に形成されると理解されるべきである。図5は図1に類似した図であり、図3に示す列 85_j の1ピクセル 80 に対応する p 型シリコン基板 52 の1部分をより広い断面図で例示したものであり、ここでは、ドレイン 58 、ソース 56 およびISFET 50 のボディ接続 62 を含む n 型ウェル 54 が、スイッチ $S2$ に対応する第1の n -チャンネルMOSFETおよび図4に示す伝達ゲート $S1_1$

10

20

30

40

50

の2つのトランジスタのうち1つを構成する第2のn-チャンネルMOSFET 1_{1N}に並んで示されている。

【0020】

さらに、Milgrew et alの設計において、各ピクセルに、伝達ゲートS₁を実装することが求められるp-チャンネルMOSFETは（例えば、図4のS_{1p}参照）、そのピクセルのためのp-チャンネルISFET 50が形成されている同じn型ウェル内に形成することはできない。特に、p-チャンネルISFETのボディおよびソースは電氣的に接続しているため、p-チャンネルISFET 50と同じn型ウェル内に、p-チャンネルMOSFET 1_{1p}を実装すると、伝達ゲートの予想できない動作を引き起こすか、またはすべての動作を完全に不可能にし得る。したがって、Milgrew et alの設計では、各ピクセルに、2つの離れたn型ウェルを実装することが必要とされる。図6は図5に類似した図であり、ピクセル80に対応するp型シリコン基板52の別部分の断面図を例示したものであり、ここでは、ISFET 50に対応するn型ウェル54は、図4に示す伝達ゲートS₁の2つのトランジスタのうち1つを構成するp-チャンネルMOSFET 1_{1p}を形成する第2のn型ウェル55に並んで示されている。図5および図6の図面は、寸法を意図せず、また厳密に、Milgrew et alの設計における特定のピクセルの配置を表したものでもない。むしろ、これらの図は、本質的な概念図であり、Milgrew et alの設計における、多数のn型ウェルおよびn型ウェルの外側に離れて製造されるn-チャンネルMOSFETの必要条件を例示することを目的としている。

【0021】

Milgrew et alのアレイ設計は、0.35マイクロメートル（ μm ）の従来のCMOS製造プロセスを用いて実装された。このプロセスにおいて、様々な設計規則が最小の構成要素間距離を決定する。例えば、0.35マイクロメートルCMOS設計規則に従い、図6を参照すると、隣接するn-ウェル間距離「a」は、少なくとも3マイクロメートルでなければならない。図6において、距離「a/2」はまた、他の列内の左右それぞれに隣接するピクセルからピクセル80を離すために必要な最小距離を例示するために、n-ウェル54の左側およびn-ウェル55の右側に示される。また、0.35マイクロメートルCMOS設計規則によれば、図6に示されるn型ウェル54の断面図における幅を示す距離「b」およびn型ウェル55の断面図における幅を示す距離「c」は、それぞれ約3 μm ～4 μm オーダーであり（n型ウェル内には、nウェルの端とソースおよびドレインそれぞれとの間に1.2 μm のゆとりが作られ、ソースおよびドレインは、それぞれ0.7 μm オーダーの幅を有する）、したがって、断面図内のピクセル80の幅を示す図6に示される全長「d」は、約12 μm ～14 μm オーダーである。1つの実装において、Milgrew et alは、それぞれ12.8 μm ×12.8 μm の幾何学的に正方形のピクセルを含む図3に示すカラム／ベース設計に基づいたアレイを開示している。

【0022】

つまり、Milgrew et alのISFETピクセル設計は、pH範囲1～14での水素イオン濃度測定の正確さを確保することを目的とする。測定の線形性を確保するために、それぞれのピクセルのソースとボディとは電氣的に接続される。pH測定の全ての範囲を確保するために、伝達ゲートS₁がそれぞれのピクセル内に用いられ、有効なピクセルのソース電圧を伝える。そのため、Milgrewのアレイの各ピクセルは、4種のトランジスタ（p-チャンネルISFET、p-チャンネルMOSFETおよび2つのn-チャンネルMOSFET）および2つの離れたn-ウェルを必要とする（図6）。従来の0.35マイクロメートルCMOS製造プロセスおよび対応する設計規則に基づく、かかるアレイのピクセルは、最小のサイズが10 μm をはるかに超え、すなわち約12 μm ～14 μm オーダーとなる。

【0023】

図7は、行および列デコーダ回路および測定読取り回路を伴うMilgrew et alの設計による2次元ピクセルアレイ95の全体を示す。アレイ95は、ピクセルの85₁～85₁₆の16列を含み、図13に関して上述したとおり、それぞれの列は、16個のピクセル

を含む（例えば、16ピクセル×16ピクセルアレイ）。行デコーダ92は、行選択信号の相補型ペアを提供し、行選択信号のそれぞれのペアは、ISFETの有効な行のそれぞれのソース電圧 $V_{S1} \sim V_{S16}$ に基づいて、アレイ95からの列出力信号を提供するために、それぞれ列85₁～85₁₆内の1つのピクセルを同時に有効にする。行デコーダ92は、従来の4-16デコーダとして実装される（例えば、 2^4 の出力のうち1つを選択する4ビットバイナリ入力 $ROW_1 \sim ROW_4$ ）。アレイの有効な行に対する列出力信号 $V_{S1} \sim V_{S16}$ のセットは、16個の伝達ゲート $S_1 \sim S_{16}$ を含むスイッチングロジック96に印加される（各出力信号に対して1つの伝達ゲート）。上述のとおり、スイッチングロジック96の伝達ゲートは、各出力信号 $V_{S1} \sim V_{S16}$ に対する十分なダイナミックレンジを確保するために、p-チャンネルMOSFETおよびn-チャンネルMOSFETを用いて実装される。列デコーダ94は、行デコーダ92と同様に、従来の4-16デコーダとして実装され、スイッチングロジック96から単一の出力信号 V_S を提供するために、任意の所与の時間でスイッチングロジック96の伝達ゲート $S_1 \sim S_{16}$ の1つを有効にする4ビットバイナリ入力 $COL_1 \sim COL_4$ を介して制御される。出力信号 V_S は、アレイの所与のピクセルに対応する出力信号 V_S のデジタル表現 $D_1 \sim D_{10}$ を提供するために、10ビットアナログデジタル変換器（ADC）98に印加される。

【0024】

先に述べたとおり、個々のISFETおよびISFETアレイは、上述のそれらに類似し、化学および生物学に関わる種々の用途において感知デバイスとして用いられる。特に、ISFETは、DNAなどの核酸に関わる様々なプロセスでpHセンサとして用いられている。様々な生命科学に関する用途において、ISFETを用いるいくつかの例が、以下の刊行物に記載されており、そのそれぞれを参照により本明細書中に組み込む：Massimo Barbaro, Annalisa Bonfiglio, Luigi Raffo, Andrea Alessandrini, Paolo Facci and Imrich Barak, "Fully electronic DNA hybridization detection by a standard CMOS biochip," *Sensors and Actuators B: Chemical*, Volume 118, Issues 1-2, 2006, pp. 41-46、Toshinari Sakurai and Yuzuru Husimi, "Real-time monitoring of DNA polymerase reactions by a micro ISFET pH sensor," *Anal. Chem.*, 64 (17), 1992, pp 1996 - 1997、S. Purushothaman, C. Toumazou, J. Georgiou, "Towards fast solid state DNA sequencing," *Circuits and Systems*, vol.4, 2002, pp. IV-169 to IV-172、S. Purushothaman, C. Toumazou, C.P. Ou, "Protons and single nucleotide polymorphism detection: A simple use for the Ion Sensitive Field Effect Transistor," *Sensors and Actuators B: Chemical*, Vol. 114, no. 2, 2006, pp. 964-968、A.L. Simonian, A.W. Flounders, J.R. Wild, "FET-Based Biosensors for The Direct Detection of Organophosphate Neurotoxins," *Electroanalysis*, Vol. 16, No. 22, 2004, pp. 1896-1906、C. Toumazou, S. Purushothaman, "Sensing Apparatus and Method," United States Patent Application 2004-0134798, published July 15, 2004、およびT.W. Koo, S. Chan, X. Su, Z. Jingwu, M. Yamakawa, V.M. Dubin, "Sensor Arrays and Nucleic Acid Sequencing Applications," United States Patent Application 2006-0199193, published September 7, 2006。

【0025】

一般的に、DNA配列を利用した迅速で高感度な核酸シーケンシング方法の開発は、生物学の理解を大きく進歩させた。「シーケンシング」という言葉は、非分枝バイオリマーの一次構造（または一次配列）を決定することを指し、それは、シーケンシングされた分子の原子レベルの構造の大部分を簡潔に要約した「配列」として知られる、記号による線形的な表現を与える。「DNAシーケンシング」は、特に所与のDNAフラグメントのヌクレオチド配列を決定するプロセスを指す。現在、ウイルス、バクテリア、真菌、動物および植物のゲノム全体の解析は可能であるが、かかる解析は一般的にコストおよびシーケンシングのスループットによって制限される。さらに具体的には、現在の従来型のシーケンシング方法は、配列の正確さ、シーケンシングすることができる個々のテンプレートの長さ、配列のコストおよび配列決定の速度の観点から制限される。

【0026】

サンプル調製およびシーケンシング技術における進歩にもかかわらず、現在の従来型シーケンシングの戦略は、I S F E Tを含むものも含めいずれも、膨大な数の個々のヒトゲノムの解析に必要とされるレベルまでスループットをあげるために必要とされるコストの削減を提供していない。病気および老化の遺伝的な根拠を理解するために、個々の多数のゲノムをシーケンスすることが必要である。また、多数の癌が、癌の原因となっている体細胞の変化を理解するためにシーケンシングされることが必要となるであろう。最近のいくつかの取り組みにより、シーケンシングのためのゲノムの調製、および、同時に多数のテンプレートをシーケンシングする両方の能力は大幅に進歩した。しかしながら、これらまたは他の取り組みは、これらのシステムによって検知されうるテンプレートを調製するために必要とされる比較的大きなサイズの反応体積、ならびに、特殊なヌクレオチドアナログの必要性、および塩基を読み取るための複雑な酵素または蛍光法によって制限されている。

10

【発明の概要】

【0027】

本発明者らは、DNA合成に関する化学プロセスにおいて、変化をモニタリングすることに基づくDNAシーケンシング技術の促進のために、I S F E Tのラージアレイを特別に構成し、用いることができることを認識し、理解した。より一般的には、本発明者らは、化学感受性F E Tのラージアレイが、化学的および／または生物学的プロセス（化学反応、細胞培養、神経活性、核酸シーケンシング等）の宿主における多種の分析物（例えば、水素イオン、他のイオン、非イオン性分子または化合物、結合事象等）の検出および濃度／レベルの測定に用いることができることを認識し、理解しており、そこでは、かかる分析物の測定に基づいて有用な情報を得ることができる。

20

【0028】

したがって、本明細書の様々な態様は、概して1つ以上の分析物を測定するための、大規模F E Tアレイに関する発明方法および装置に関する。本明細書で開示される様々な態様において、F E Tアレイは、化学的センサとして働く多数の「chemF E T」または化学感受性電界効果トランジスタを含む。上述のI S F E Tは、イオン検出のために構成されたchemF E Tのひとつの特徴的な型であり、I S F E Tは本明細書で開示される様々な態様で用いられてもよい。本明細書によって検討される他の種類のchemF E Tは、E N F E Tを含み、これは特別な酵素の検出のために構成される。しかしながら、本開示は、I S F E TおよびE N F E Tに限定されず、より一般的に、いくつかの種類の化学感受性に対して構成されるあらゆるF E Tに関する理解されるべきである。

30

【0029】

さらに他の態様によれば、本開示は概して、対応する反応を引き起こすための適切な化学サンプルを上記大規模chemF E Tアレイへ輸送することに関する発明方法および装置に関する。分析物における化学物質（例えば、イオンまたは他の成分）濃度または他の測定を高速、高密度で決定することを容易にするために、化学サンプルは少量の反応量の（液体）分析物を含むことができる。

【0030】

例えば、いくつかの態様は「超大規模」の2次元chemF E Tセンサアレイ（例えば256kセンサを超える）に関し、そこでは、アレイのピクセルに近接して起こる1または2以上の独立した化学反応または事象をモニターするために、かかるアレイのセンサを構築する素子または「ピクセル」を含むchemF E Tが構成されている。いくつかの典型的な実装において、アレイは、アレイの個々のセンサまたはセンサ群上の1または2以上の反応チャンバあるいは「ウェル」または「マイクロウェル」を形成するマイクロ流体構造、および測定間で分析サンプルをウェルに輸送し、またウェルから除去するための装置に接続していてもよい。マイクロウェルが用いられない場合でも、センサアレイは測定間で分析物のピクセルへの輸送または分析物除去のための1または2以上のマイクロ流体構造と接続していてもよい。したがって、本開示の発明的側面、保護されるべき側面は、

40

50

試薬／分析物をウェルまたはピクセルに向けておよびこれらから流すのに用いることができる様々なマイクロ流体構造、ウェル、アレイの製造方法、ウェルをアレイのピクセルと接続させるための方法および構造、および装置がDNAシーケンシングまたは関係する分析に用いられる場合に、ウェルにDNA担持ビーズを装填（load）するための方法および装置を含む。

【0031】

特有の参照電極およびそのフローセルとの接続もまた示される。

【0032】

様々な態様において、特に興味深い分析物は水素イオンであり、本開示による大規模 I S F E T アレイは、具体的には pH 測定のために構成される。他の態様において、モニターされる化学反応は、DNA 合成プロセス、または他の化学および／または生物学的プロセスに関係してもよく、また c h e m F E T アレイは、具体的には、pH またはある特定の興味深い化学反応に関する関連情報を提供する 1 または 2 以上の分析物を測定するために構成されてもよい。様々な側面において、c h e m F E T アレイは、従来の C M O S 製造技術を用いて製造され、特にアレイ全体からの迅速なデータ収集を促進するために構成される（対応するピクセル出力信号を得るために、全てのピクセルをスキャンする）。

【0033】

分析物の検出および測定に関して、以下のより詳細な説明で述べる様々な態様において、本開示による c h e m F E T アレイによって測定される 1 または 2 以上の分析物は、化学反応または対象とする化学プロセス（例えば多数の核酸鎖の結合、抗体と抗原との結合等）に関する関連情報を提供する、どんな多様な化学物質を含んでもよい。いくつかの側面において、1 または 2 以上の化学物質のレベルまたは濃度を測定する能力は、単に分析物の存在を検出することに加えて、化学プロセスまたは他のプロセスに関する貴重な情報を提供する。他の側面において、1 分析物または対象とする分析物の存在の単なる検出が貴重な情報を提供することになり得る。

【0034】

本開示の様々な発明態様による c h e m F E T は 1 または 2 以上の多様な分析物／化学物質に対して高感度に構成されてもよい。1 つの態様において、アレイの 1 または 2 以上の c h e m F E T は、1 または 2 以上の結合事象を示す 1 または 2 以上の分析物に対する感度のために構成されてもよく（例えば、核酸シーケンシングプロセスに関する）、他の態様では所与のアレイの c h e m F E T が、異なる分析物に対する感度のために構成されてもよい。例えば、1 つの態様において、アレイの 1 または 2 以上のセンサ（ピクセル）が、第 1 の分析物に対して化学感応性があるように構成された第 1 の型の c h e m F E T を含んでもよく、またアレイの他の 1 または 2 以上のセンサが、第 1 の分析物とは異なる第 2 の分析物に対して化学感応性があるように構成された第 2 の型の c h e m F E T を含んでもよい。もちろん、2 種を超える異なる c h e m F E T が、異なる種類の分析物／結合事象を検出または測定するための任意の所与のアレイに用いられてもよいと理解されるべきである。一般的に、本明細書に示されるセンサアレイのいずれの態様においても、所与のアレイは、「均一」であり、同種の分析物（例えば、pH または他のイオン濃度）を検出および／または測定するために、実質的に類似または同一の c h e m F E T を含んでもよく、またはセンサアレイが「不均一」であり、異種の分析物を検出および／または測定するために、異種の c h e m F E T を含んでもよい、と理解されるべきである。

【0035】

さらにまた他の側面において、本発明者らは、顕著にピクセルサイズを減少させ、これにより所与の半導体ダイサイズに対する c h e m F E T アレイのピクセル数を増やすために（すなわち、ピクセル密度を増やす）、上記図 1 ～ 7 に関して上述した Milgrew et al の I S F E T アレイ設計を特別に改良し、同様に他の従来の I S F E T アレイも改良した。様々な態様において、このピクセル密度の増加は、一方でモニターされた化学プロセスに関するそれぞれの測定結果に対応する出力信号の信号対ノイズ比（S N R）の増加を伴う。特に、本発明者らは、c h e m F E T の線形性の要件を緩和することおよびより限ら

れた測定出力信号範囲に絞ることによって（例えば、1～14よりむしろ約7～9のpH範囲に対応する出力信号）、個々のピクセルの複雑性およびサイズが大幅に削減され、これにより超大規模高密度chemFETアレイの実現が促進されることを認識し、理解している。本発明者らはまた、chemFETアレイにおけるピクセル選択に対する、より複雑さが少ない代替的なアプローチ（例えば、アレイサイズに伴い複雑さが増す図7に示すMilgrew et al設計に用いられる行および列デコーダアプローチの代替案）が、超大規模で高密度なアレイからの迅速なデータ収集を容易にすることを認識し、理解している。

【0036】

chemFETアレイ製造に関して、本発明者らはさらに、従来のCMOS製造プロセス、同様に様々な後製造プロセスステップ（ウェハハンドリング、洗浄、ダイシング、パッケージング等）で用いられる様々な技術が、いくつかの例では、得られるchemFETアレイに悪影響を及ぼすことを、認識し、理解している。例えば、図1を再度参照すると、1つの潜在的問題は、フローティングゲート構造70に関連する金属をエッチングする間に、ゲート酸化物65に生じる可能性があるトラップ電荷、およびかかるトラップ電荷がchemFET閾値電圧 V_{TH} へどのように影響を及ぼし得るかに関する。別の潜在的問題は、アルミニウム金属ベースCMOS製造で一般的に用いられる低温度物質の堆積プロセスがもたらすchemFETパシベーション層（例えば、図1のパシベーション層72を参照）の密度／間隙に関する。かかる低温度プロセスは、一般的に従来のCMOSデバイスに対して適切なパシベーション層を提供するが、それらは、chemFETにとって、分析溶液が接触したときに潜在的に問題となりうる低密度でポーラスなパシベーション層をもたらし得る。特に、低密度ポーラスパシベーション層は、時間とともに溶液中の分析物または他の物質を吸収し飽和し始め、chemFET閾値電圧 V_{TH} における望ましくない時間依存ドリフトを引き起こし得る。この現象は、1または2以上の対象とする分析物の正確な測定を妨害する。以上の観点から、本明細書中に開示される他の発明態様は、chemFETアレイの製造および後製造プロセス／ハンドリングの様々な側面から生じうるchemFET機能への潜在的な悪影響を緩和する方法および装置に関する。

【0037】

したがって、本発明の1つの態様は、CMOSセンサ（CMOS-fabricated sensor）のアレイを含み、各センサが、1つの化学感応性（chemically-sensitive）電界効果トランジスタ（chemFET）を含み、アレイ表面において $10\mu\text{m} \times 10\mu\text{m}$ 以下の面積を占める装置に関する。

【0038】

別の態様は、少なくとも512行および少なくとも512列の電子センサを含む2次元アレイを含み、各センサが2次元アレイ表面に近接する分析物の存在および／または濃度を示す出力信号を提供するように構成された化学感応性電界効果トランジスタ（chemFET）を含むセンサアレイに関する。

【0039】

別の態様は、CMOSセンサのアレイを含み、各センサが1つの化学感応性電界効果トランジスタ（chemFET）を含む装置に関する。CMOSセンサのアレイは、256を超えるセンサを含み、アレイの全てのchemFETからのchemFET出力信号の集合がデータフレームを構築する。さらに該装置は、少なくとも1フレーム／秒のフレームレートでアレイから多数のデータフレームを提供するために、少なくとも1つのアレイ出力信号を生成するように構成され、アレイに接続された制御回路を含む。1つの側面において、フレームレートは少なくとも10フレーム／秒であってもよい。別の側面において、フレームレートは少なくとも20フレーム／秒であってもよい。さらに他の側面において、フレームレートは少なくとも30、40、50、70または最高100フレーム／秒であってもよい。

【0040】

別の態様は、装置に関し、CMOSセンサのアレイを含み、各センサは1つの化学感応性電界効果トランジスタ（chemFET）を含む。chemFETは、フローティング

10

20

30

40

50

ゲート構造、および、第2の半導体型を有する領域に設けられた第1の半導体型を有するソースおよびドレインを含み、ここでは、第2の半導体型を有する領域とソースまたはドレインを電氣的に接続する電気伝導体はない。

【0041】

別の態様は、電子センサアレイを含み、各センサが1つの化学感应性電界効果トランジスタ (chemFET) を含む3つの電界効果トランジスタ (FET) からなる装置に関する。

【0042】

別の態様は、電子センサアレイを含み、各センサが3つ以下の電界効果トランジスタ (FET) を含み、3つ以下のFETは1つの化学感应性電界効果トランジスタ (chemFET) を含む装置に関する。

10

【0043】

別の態様は、電子センサアレイを含み、各センサが1つの化学感应性電界効果トランジスタを含む複数の電界効果トランジスタ (FET) および複数のFETに電氣的に接続した複数の電気伝導体を含み、ここで複数のFETは、複数の電気伝導体が、各センサによって占有されたエリアを横断し、アレイの多数のセンサと相互接続する4つ以下の導体を含むように配置される装置に関する。

【0044】

別の態様は、CMOSセンサのアレイを含み、各センサが1つの化学感应性電界効果トランジスタ (chemFET) を含む複数の電界効果トランジスタ (FET) を含み、各センサの全てのFETが同じチャンネル型であり、アレイ基板の単一の半導体領域に実装される装置に関する。

20

【0045】

別の態様は、複数の行および複数の列に配置された複数の電子センサを含むセンサアレイに関する。各センサは1つの化学感应性電界効果トランジスタ (chemFET) を含み、アレイ表面に近接する分析物の存在および／または濃度を示す少なくとも1つの出力信号を提供するように構成された化学感应性電界効果トランジスタ (chemFET) を含む。複数の列の各列に対し、アレイは、列内の各chemFETに、一定のドレイン電流および一定のドレインソース電圧を提供するよう構成された列回路を含み、列回路は、2つの演算増幅器および一定のドレインソース電圧を提供するために、各chemFETとケルビンブリッジ形態に配置されたダイオード接続FETを含む。

30

【0046】

別の態様は、複数の行および複数の列に配置された複数の電子センサを含むセンサアレイに関する。各センサは1つの化学感应性電界効果トランジスタ (chemFET) を含み、アレイ表面に近接する分析物中のイオンの濃度を示す少なくとも1つの出力信号を提供するように構成された化学感应性電界効果トランジスタ (chemFET) を含む。さらにアレイは複数行の各行を有効にする少なくとも1つの行選択シフトレジスタ、および複数の列の各列から出力信号を取得する少なくとも1つの列シフトレジスタを含む。

【0047】

別の態様は、CMOSセンサのアレイを含み、各センサが1つの化学感应性電界効果トランジスタ (chemFET) を含む装置に関する。chemFETは、フローティングゲート構造、および、第2の半導体型を有する領域に設けられた第1の半導体型を有するソースおよびドレインを含み、ここで、第2の半導体型を有する領域とソースまたはドレインを電氣的に接続する電気伝導体は存在しない。アレイは少なくとも512行および少なくとも512列のCMOSセンサの2次元アレイを含む。各センサは、1つの化学感应性電界効果トランジスタ (chemFET) を含む3つの電界効果トランジスタ (FET) からなり、各センサは3つのFETと電氣的に接続された複数の電気伝導体を含む。3つのFETは、複数の電気伝導体が、各センサによって占有されたエリアを横断する、またアレイの多数のセンサと相互接続する4つ以下の導体を含むように配置される。各センサの全てのFETは同じチャンネル型であり、アレイ基板の単一の半導体領域に実装され

40

50

る。アレイの全てのchemFETからのchemFET出力信号の集合がデータフレームを構築する。さらに装置は、少なくとも20フレーム/秒のフレームレートで、アレイから多数のデータフレームを提供するために、少なくとも1つのアレイ出力信号を構築するように構成されているアレイに接続された制御回路を含む。

【0048】

別の態様は、CMOSセンサのアレイの製造方法に関し、各センサが化学感应性電界効果トランジスタ(chemFET)を含む。本方法は：A)アレイを含む少なくとも1つのダイシングされた部分を形成するために、半導体ウェハをダイシングすること、およびB)少なくとも1つのダイシングされた部分上をフォーミングガスアニールすることを含む。

10

【0049】

別の態様は、CMOSセンサのアレイの製造方法に関する。各センサは、プラズマ化学気相成長法(PECVD)で蒸着された窒化シリコンおよび/または酸窒化シリコンの化学感应性パシベーション層を有する化学感应性電界効果トランジスタ(chemFET)を含む。本方法は：A)パシベーション層のポロシティの減少および/または密度増加のために化学感应性パシベーション層上に、少なくとも1つのさらなるパシベーション物質を蒸着することを含む。

【0050】

別の側面において、本発明は、複数のテンプレート核酸を複数の反応チャンバ内に配置すること(ここで、ここで複数の反応チャンバは、各反応チャンバに対して少なくとも1つの化学感应性電界効果トランジスタ(chemFET)を含むchemFETアレイに接触しており、および、各テンプレート核酸は、シークエンシングプライマーとハイブリダイズし、かつポリメラーゼと結合している)、1または2以上の既知のヌクレオチド三リン酸を、順番にシークエンシングプライマーの3'末端に取り込むことにより、新しい核酸鎖を合成すること、アレイ内の少なくとも1つのchemFETにおける電流の変化により、1または2以上の既知のヌクレオチド三リン酸の取り込みを検出すること、を含む核酸シークエンシングの方法を提供する。

20

【0051】

別の側面において、本発明は、複数のテンプレート核酸を複数の反応チャンバ内に配置すること(ここで複数の反応チャンバは、各反応チャンバに対して少なくとも1つの化学感应性電界効果トランジスタ(chemFET)を含むchemFETアレイに接触しており、および、各テンプレート核酸は、シークエンシングプライマーとハイブリダイズし、かつポリメラーゼと結合している)、1または2以上の既知のヌクレオチド三リン酸を、順番にシークエンシングプライマーの3'末端に取り込むことにより、新しい核酸鎖を合成すること、アレイ内の少なくとも1つのchemFETにおける電流の変化により、1または2以上の既知のヌクレオチド三リン酸の取り込みを検出すること、を含む核酸シークエンシングの方法であって、chemFETアレイが前記アレイのいずれかであるものを提供する。

30

【0052】

別の側面において、本発明は、複数のテンプレート核酸を複数の反応チャンバ内に配置すること(ここで複数の反応チャンバは、各反応チャンバに対して少なくとも1つの化学感应性電界効果トランジスタ(chemFET)を含むchemFETアレイに接触しており、またここで、各テンプレート核酸は、シークエンシングプライマーとハイブリダイズし、かつポリメラーゼと結合している)、1または2以上の既知のヌクレオチド三リン酸を、順番にシークエンシングプライマーの3'末端に取り込むことにより、新しい核酸鎖を合成すること、シークエンシング反応副生成物の生成により、1または2以上の既知のヌクレオチド三リン酸の取り込みを検出すること、を含む核酸シークエンシングの方法であって、chemFETアレイが(a)256を超えるセンサを含むか、または(b)隣接したチャンバ(またはピッチ)間の中心間距離が1~10μmであるものを提供する。

40

50

【0053】

様々な態様は、本明細書に開示される方法に同様に適用され、またそれらは簡潔化のため1回記載する。いくつかの態様において、隣接したチャンバ間の中心間距離は2~9 μm であり、約2 μm 、約5 μm または約9 μm である。いくつかの態様において、chemFETアレイは、256を超えるセンサ（および任意に256を超える対応する反応チャンバ（またはウェル）、 10^3 を超えるセンサ（および任意に 10^3 を超える対応する反応チャンバ）、 10^4 を超えるセンサ（および任意に 10^4 を超える対応する反応チャンバ）、 10^5 を超えるセンサ（および任意に 10^5 を超える対応する反応チャンバ）、 10^6 を超えるセンサ（および任意に 10^6 を超える対応する反応チャンバ）、を含む。いくつかの態様において、chemFETアレイは、少なくとも512行および少なくとも512列のセンサを含む。

10

【0054】

いくつかの態様において、シーケンシング反応副生成物は、無機ピロリン酸（PPi）である。いくつかの態様において、PPiは直接測定される。いくつかの態様において、PPiは、PPi受容体の非存在下で測定される。いくつかの態様において、シーケンシング反応副生成物は、水素イオンである。いくつかの態様において、シーケンシング反応副生成物は、無機リン酸（Pi）である。他の態様において、本明細書に示されるように、chemFETは、副生成物のあらゆる組み合わせの変化、任意に他のパラメータを伴う組み合わせの変化を検出する。

20

【0055】

別の側面において、本発明は、複数のテンプレート核酸を複数の反応チャンバ内に配置すること（ここで複数の反応チャンバは、各反応チャンバに対して少なくとも1つの化学感応性電界効果トランジスタ（chemFET）を含むchemFETアレイに接触しており、またここで、各テンプレート核酸は、シーケンシングプライマーとハイブリダイズし、かつポリメラーゼと結合している）、1または2以上の既知のヌクレオチド三リン酸を、順番にシーケンシングプライマーの3'末端に取り込むことにより、新しい核酸鎖を合成すること、1または2以上の既知のヌクレオチド三リン酸の取り込みの指標として、無機ピロリン酸の放出を直接検出すること、を含む核酸シーケンシングの方法を提供する。

30

【0056】

いくつかの態様において、PPiはchemFET上に固定されたPPi受容体と結合することによって直接検出される。いくつかの態様において、PPiは、PPi受容体が存在しないchemFETによって直接検出される。

【0057】

別の態様において、本発明は、複数の断片化された核酸を生成するためにテンプレート核酸を断片化すること、各々に1本鎖の断片化された核酸が付着した複数のビーズを生成するために、断片化された核酸から1本の鎖を個々にビーズに付着させること、1本鎖の断片化された核酸が付着した複数のビーズを、エリア内の各センサが別々の反応チャンバを有するchemFETアレイに供給すること、および複数のチャンバにおいて同時にシーケンシング反応を行うこと、を含む核酸シーケンシングのための方法を提供する。

40

【0058】

別の側面において、本発明は、表面にPPi受容体を配置した化学感応性電界効果トランジスタ（chemFET）を含む装置を提供する。

【0059】

いくつかの態様において、PPi選択的受容体は、図11Bに示す化合物1、化合物2、化合物3、化合物4、化合物5、化合物6、化合物7、化合物8、化合物9または化合物10である。いくつかの態様において、chemFETは、それぞれの表面にPPi選択的受容体が配置されているchemFETアレイ上に存在する。いくつかの態様において、同一のPPi選択的受容体がアレイの各chemFET上に配置される。いくつかの態様において、アレイは256を超えるセンサを含む。いくつかの態様において、アレイ

50

は少なくとも512行および少なくとも512列のセンサを含む。いくつかの態様において、chemFETアレイは、反応チャンバのボトムに位置する。

【0060】

別の側面において、本発明は、表面に生物学的アレイが配置された化学感応性電界効果トランジスタ(chemFET)を含む装置を提供する。

【0061】

生物学的アレイは、核酸アレイ、限定されずに酵素アレイを含むタンパク質アレイ、抗体アレイおよび抗体フラグメントアレイ、細胞アレイなどであってもよい。化学的アレイは、有機低分子アレイまたは無機分子アレイであってもよいが、それに限定されない。chemFETアレイは、少なくとも5、10、 10^2 、 10^3 、 10^4 、 10^5 、 10^6 またはそれ以上のセンサを含んでもよい。いくつかの態様において、生物学的または化学的アレイは、複数の「セル」または空間的に定義された領域に配置され、それぞれの領域は、chemFETアレイ中の異なるセンサ上に位置する。

10

【0062】

さらに別の側面において、本発明は、chemFETアレイ上に配置された核酸アレイとサンプルとを接触させること、およびサンプル由来の核酸と核酸アレイ上の1または2以上の領域との結合を検出すること、を含む核酸を検出するための方法を提供する。

【0063】

別の側面において、本発明は、chemFETアレイ上に配置されたタンパク質アレイとサンプルとを接触させること、およびサンプル由来のタンパク質とタンパク質アレイ上の1または2以上の領域との結合を検出すること、を含むタンパク質を検出するための方法を提供する。

20

【0064】

さらに別の側面において、本発明は、chemFETアレイ上に配置されたタンパク質アレイとサンプルとを接触させること、およびサンプル由来の核酸とタンパク質アレイ上の1または2以上の領域との結合を検出すること、を含む核酸を検出するための方法を提供する。

【0065】

別の側面において、本発明は、chemFETアレイ上に配置された抗体アレイとサンプルとを接触させること、およびサンプル由来の抗原と抗体アレイ上の1または2以上の領域との結合を検出すること、を含む抗原を検出するための方法を提供する。

30

【0066】

別の側面において、本発明は、chemFETアレイ上に配置された酵素アレイとサンプルとを接触させること、およびサンプル由来の対象物質と酵素アレイ上の1または2以上の領域との結合を検出すること、を含む酵素基質または阻害物質を検出するための方法を提供する。

【0067】

上記概念の全ての組み合わせおよび以下でより詳細に述べるさらなる概念は(提供するかかる概念は相互に矛盾しないことを前提として)、本明細書に開示される主題の一部と意図されることが理解されるべきである。特に、クレームされた主題の全ての組み合わせは、本明細書に開示される発明の主題の一部として意図される。参考文献として組み込まれる開示においても見られる本明細書で明確に用いられる専門用語には、本明細書に開示される特別な概念と最も矛盾しない意味が与えられることも理解されるべきである。

40

【図面の簡単な説明】

【0068】

図面において、異なる図面で通して使用されている参照符号は、同一部品を指す。図面は必ずしも縮尺どおりではなく、本明細書に示す様々な概念を一般的に例示することに重点が置かれている。

【0069】

【図1】図1は、従来のCMOSプロセスを用いて製造されたp型(p-チャンネル)イ

50

オン感応性電界効果型トランジスタ（I S F E T）の断面図を例示した図である。

【0070】

【図2】図2は、図1に示すp-チャンネルI S F E Tの電気回路図を例示した図である。

【0071】

【図3】図3は、図1に示すI S F E Tに基づく2次元アレイの1つの列を例示した図である。

【0072】

【図4】図4は、p-チャンネルM O S F E Tおよび図3に示すアレイ列の各ピクセルに用いられるn-チャンネルM O S F E Tを含む伝達ゲートを例示した図である。

10

【0073】

【図5】図5は図1に類似した図であり、図3に示すアレイ列の1つのピクセルに対応する基板の1部分をより広い断面図で例示した図であり、ここではI S F E Tはピクセル内に同じく含まれる2つのn-チャンネルM O S F E Tに並んで示される。

【0074】

【図6】図6は図5に類似した図であり、図3に示すアレイ列の1つのピクセルに対応する基板の1部分の断面図を例示した図であり、ここでI S F E Tは、図4に示す伝達ゲートのp-チャンネルM O S F E Tに並んで示される。

【0075】

【図7】図7は、行および列デコーダ回路ならびに測定読取り回路を伴う図3の列設計に基づく2次元ピクセルアレイの全体を示した図である。

20

【0076】

【図8】図8は、本開示の1つの発明態様による、大規模c h e m F E Tアレイを含む核酸プロセスシステムを一般的に例示した図である。

【0077】

【図9】図9は、本明細書の1つの発明態様による、図8に示すアレイに類似のc h e m F E Tの1つの列を例示した図である。

【0078】

【図9A】図9Aは、本開示の1つの発明態様による、図9に示すアレイ列に用いられる典型的な増幅器の回路図を例示した図であり、図9Bは、増幅器バイアスとバンド幅のグラフである。

30

【図9B】図9Bは、本開示の1つの発明態様による、増幅器バイアスとバンド幅のグラフである。

【0079】

【図10】図10は、本開示の1つの発明態様による、図9に示すc h e m F E Tアレイ列のピクセルに対するチップレイアウト設計の平面図を例示した図である。

【0080】

【図11A】図11Aは、図10に示すピクセルのI～Iの線に沿った複合断面図を例示した図であり、図10の右半分におけるI I～I I線間およびI I I～I I I線間のさらなる要素を含み、本開示の1つの発明態様によるピクセル製造の層間図を例示するものである。

40

【0081】

【図11B-1】図11B-1は、10個のP P i受容体化合物を示した図である（化合物1～4）。

【図11B-2】図11B-2は、10個のP P i受容体化合物を示した図である（化合物10）。

【図11B-3】図11B-3は、10個のP P i受容体化合物を示した図である（化合物5～9）。

【0082】

【図11C-1】図11C-1は、図11B-1の化合物4の合成プロトコルの概略図で

50

ある。

【図 1 1 C - 2】図 1 1 C - 2 は、図 1 1 B - 1 の化合物 4 の合成プロトコルの概略図である。

【図 1 1 C - 3】図 1 1 C - 3 は、図 1 1 B - 1 の化合物 4 の合成プロトコルの概略図である。

【0 0 8 3】

【図 1 1 D - 1】図 1 1 D - 1 は、分子認識化合物（P P i 受容体等であるが限定されない）を結合するためにパシベーション層に適用することができる化学物質の種類を例示した図である。

【図 1 1 D - 2】図 1 1 D - 2 は、分子認識化合物（P P i 受容体等であるが限定されない）を結合するためにパシベーション層に適用することができる化学物質の種類を例示した図である。

10

【図 1 1 D - 3】図 1 1 D - 3 は、分子認識化合物（P P i 受容体等であるが限定されない）を結合するためにパシベーション層に適用することができる化学物質の種類を例示した図である。

【0 0 8 4】

【図 1 1 E】図 1 1 E は、図 1 1 B - 2 の化合物 1 0 の金属酸化物表面への付着を例示した図である。

【0 0 8 5】

【図 1 2】図 1 2 A ~ 1 2 L は、本開示の 1 つの発明態様による、図 1 1 A に示す各製造層（fabrication layers）の平面図を例示した図である。

20

【0 0 8 6】

【図 1 3】図 1 3 は、図 8 と類似の c h e m F E T センサアレイの典型的な C M O S I C チップ実装のブロック図を例示した図であり、本開示の 1 つの発明態様による図 1 9 ~ 2 0 に示す列およびピクセル設計に基づくものである。

【0 0 8 7】

【図 1 4】図 1 4 は、本開示の 1 つの発明態様による、図 1 3 に示す行選択シフトレジスタを例示した図である。

【0 0 8 8】

【図 1 5】図 1 5 は、本開示の 1 つの発明態様による、図 1 3 に示すアレイの列選択シフトレジスタの 2 つのうち 1 つを例示した図である。

30

【0 0 8 9】

【図 1 6】図 1 6 は、本開示の 1 つの発明態様による、図 1 3 に示すアレイの出力デバイスの 2 つのうち 1 つを例示した図である。

【0 0 9 0】

【図 1 7】図 1 7 は、本開示の 1 つの発明態様による、アレイコントローラに接続された図 1 3 に示す c h e m F E T センサアレイのブロック図を例示した図である。

【0 0 9 1】

【図 1 8】図 1 8 は、本開示の 1 つの発明態様による、図 1 7 のアレイコントローラによって提供される様々な信号のための典型的なタイミング図を例示した図である。

40

【0 0 9 2】

【図 1 9】図 1 9 は、本開示の他の発明態様による、c h e m F E T センサアレイの代替的な C M O S I C チップ実装のブロック図を例示した図である。

【図 2 0】図 2 0 は、本開示の他の発明態様による、c h e m F E T センサアレイの代替的な C M O S I C チップ実装のブロック図を例示した図である。

【0 0 9 3】

【図 2 0 A】図 2 0 A は、本開示の別の発明態様による、図 2 0 に示す c h e m F E T アレイのピクセルのためのチップレイアウト設計の平面図を例示した図である。

【0 0 9 4】

【図 2 1】図 2 1 は、本開示の他の発明態様による、c h e m F E T センサアレイのさら

50

なる代替的なCMOS ICチップ実装のブロック図を例示した図である。

【図22】図22は、本開示の他の発明態様による、chemFETセンサアレイのさらなる代替的なCMOS ICチップ実装のブロック図を例示した図である。

【図23】図23は、本開示の他の発明態様による、chemFETセンサアレイのさらなる代替的なCMOS ICチップ実装のブロック図を例示した図である。

【0095】

【図24】図24は、本開示の別の発明態様による、n-チャンネルchemFETが実装され、n-チャンネルMOSFETを伴う図9のピクセル設計を例示した図である。

【0096】

【図25】図25は、本開示の他の発明態様による代替的なピクセル設計および関連する列カラムを例示した図である。 10

【図26】図26は、本開示の他の発明態様による代替的なピクセル設計および関連する列カラムを例示した図である。

【図27】図27は、本開示の他の発明態様による代替的なピクセル設計および関連する列カラムを例示した図である。

【0097】

【図28A】図28Aは、アレイ構造の3次元的な可視化を補うための、本開示で用いられるマイクロウェルアレイの一部の等角図であり、円形のウェルおよび角型のウェルを示している。

【図28B】図28Bは、アレイ構造の3次元的な可視化を補うための、本開示で用いられるマイクロウェルアレイの一部の等角図であり、円形のウェルおよび角型のウェルを示している。 20

【0098】

【図29】図29は、CMOSダイ上の、個々のISFETセンサアレイを示す、チップレイアウトの1つのコーナー（すなわち、左下の角）の平面図を示す。

【0099】

【図30】図30は、図29に示したダイの一部に対応する、1センサ／1ウェルの態様についてのマスク（通常クロム）部分のレイアウトを例示した図である。

【0100】

【図31】図31は、4センサ／ウェルの態様についてのマスクのレイアウトに対応する図である。 30

【0101】

【図32】図32は、図33Aに示す基板上センサの活性アレイを囲むレジストのカラーまたは壁（または盆地（basin）（この語を地質学的意味で用いて））を構築するために、アレイを囲む領域をマスクするために使われる第2のマスクを例示した図である。

【0102】

【図33】図33は、生成された盆地の例示である。

【0103】

【図33A】図33Aは、マイクロウェルアレイを製造するための3層PCMプロセスの例である。 40

【0104】

【図34】図34は、流体インターフェースにセンサアレイを組み込んだ適した実験装置を模式的に示した図である。

【図35】図35は図34の装置のライン35-35'に沿った断面図である。

【図36】図36は遠近法によって図35を拡大した図である。

【図37】図37は流体の流れをより可視化するために構造の一部をさらに拡大した図である。

【0105】

【図38】図38は、特定の構成のフローセル例における形成の初期段階であるエッチングされたフォトリジストを伴う基板の概略図である。 50

【0106】

【図39】図39は、図38と一致するフローセルの第1の構成を提供するのに適したマスクの概略図である。

【図40】図40は、図38と一致するフローセルの第1の構成を提供するのに適したマスクの概略図である。

【図41】図41は、図38と一致するフローセルの第1の構成を提供するのに適したマスクの概略図である。

【0107】

【図42】図42装置例の部分的な等角断面図であり、参照電極を導入する方法、および形態、フローセルおよびフローチャンバを示し、プラスチックおよびPDMSなどの物質の使用を示している。

10

【図43】図43は、装置例の部分的な等角断面図であり、参照電極を導入する方法、および形態、フローセルおよびフローチャンバを示し、プラスチックおよびPDMSなどの物質の使用を示している。

【図44】図44は、図43の拡大図であり、参照電極を導入する方法、および形態、フローセルおよびフローチャンバを示し、プラスチックおよびPDMSなどの物質の使用を示している。

【図45】図45は、装置例の部分的な等角断面図であり、参照電極を導入する方法、および形態、フローセルおよびフローチャンバを示し、プラスチックおよびPDMSなどの物質の使用を示している。

20

【図46】図46は、図45の拡大図であり、参照電極を導入する方法、および形態、フローセルおよびフローチャンバを示し、プラスチックおよびPDMSなどの物質の使用を示している。

【図47】図47は、装置例の部分的な等角断面図であり、参照電極を導入する方法、および形態、フローセルおよびフローチャンバを示し、プラスチックおよびPDMSなどの物質の使用を示している。

【図48】図48は、図47の拡大図であり、参照電極を導入する方法、および形態、フローセルおよびフローチャンバを示し、プラスチックおよびPDMSなどの物質の使用を示している。

【図49】図49は、装置例の部分的な等角断面図であり、参照電極を導入する方法、および形態、フローセルおよびフローチャンバを示し、プラスチックおよびPDMSなどの物質の使用を示している。

30

【図50】図50は、図49の拡大図であり、参照電極を導入する方法、および形態、フローセルおよびフローチャンバを示し、プラスチックおよびPDMSなどの物質の使用を示している。

【図51】図51は、装置例の部分的な等角断面図であり、参照電極を導入する方法、および形態、フローセルおよびフローチャンバを示し、プラスチックおよびPDMSなどの物質の使用を示している。

【図52】図52は、図51の拡大図であり、参照電極を導入する方法、および形態、フローセルおよびフローチャンバを示し、プラスチックおよびPDMSなどの物質の使用を示している。

40

【図53】図53は、装置例の部分的な等角断面図であり、参照電極を導入する方法、および形態、フローセルおよびフローチャンバを示し、プラスチックおよびPDMSなどの物質の使用を示している。

【図54】図54は、図53の拡大図であり、参照電極を導入する方法、および形態、フローセルおよびフローチャンバを示し、プラスチックおよびPDMSなどの物質の使用を示している。

【0108】

【図55】図55は、本明細書中に示す使用に対してチップ上に取り付ける流体装置を構築するための2層ガラス（またはプラスチック）配置の断面図である。

50

【図 5 6】図 5 6 は、本明細書中に示す使用に対してチップ上に取り付ける流体装置を構築するための 2 層ガラス（またはプラスチック）配置の断面図である。

【図 5 7】図 5 7 は、装置例の部分的な等角断面図であり、参照電極を導入する方法、および形態、フローセルおよびフローチャンバを示し、プラスチックおよび P D M S などの物質の使用を示している。

【図 5 8】図 5 8 は、図 5 7 の拡大図であり、参照電極を導入する方法、および形態、フローセルおよびフローチャンバを示し、プラスチックおよび P D M S などの物質の使用を示している。

【0 1 0 9】

【図 5 9 A】図 5 9 A は、フローセルを形成するための 2 ピース射出成形部品の 2 つの例のための部品を例示した図である。

10

【図 5 9 B】図 5 9 B は、フローセルを形成するための 2 ピース射出成形部品の 2 つの例のための部品を例示した図である。

【図 5 9 C】図 5 9 C は、フローセルを形成するための 2 ピース射出成形部品の 2 つの例のための部品を例示した図である。

【0 1 1 0】

【図 6 0】図 6 0 は、図 5 9 A ～ 5 9 C のフローセルまたは他のフローセルなどのフローセルの下流へ、ステンレス鋼毛細管を電極として導入するための、断面模式図である。

【0 1 1 1】

【図 6 1】図 6 1 は、無理ピロリン酸（P P i）の放出を伴う合成された核酸鎖への d N T P の取り込みを模式的に例示した図である。

20

【0 1 1 2】

【図 6 2】図 6 2 は、本発明のマイクロ流体アレイへのビーズの装填を例示した図である。

【図 6 3】図 6 3 は、本発明のマイクロ流体アレイへのビーズの装填を例示した図である。

【図 6 4】図 6 4 は、本発明のマイクロ流体アレイへのビーズの装填を例示した図である。

【図 6 5】図 6 5 は、本発明のマイクロ流体アレイへのビーズの装填を例示した図である。

30

【図 6 6】図 6 6 は、本発明のマイクロ流体アレイへのビーズの装填を例示した図である。

【図 6 7】図 6 7 は、本発明のマイクロ流体アレイへのビーズの装填を例示した図である。

【図 6 8】図 6 8 は、本発明のマイクロ流体アレイへのビーズの装填を例示した図である。

【図 6 9】図 6 9 は、本発明のマイクロ流体アレイへのビーズの装填を例示した図である。

【図 7 0】図 7 0 は、本発明のマイクロ流体アレイへのビーズの装填を例示した図である。

40

【0 1 1 3】

【図 7 1 A】図 7 1 A は、テンプレート 4 に 4 塩基伸長をもたらす d A T P が（最初に）追加された後に発生する信号のピクセルを示すスクリーンキャプチャ（表 1 および 2 参照）（左パネル）および矢印で示したピクセルについての電圧対フレーム（または時間）のプロット（右パネル）である。

【0 1 1 4】

【図 7 1 B】図 7 1 B は、テンプレート 1 内に次に 4 塩基伸長をもたらす d C T P が追加された後に発生する信号のピクセルを示すスクリーンキャプチャ（表 1 および 2 参照）（左パネル）および矢印で示したピクセルについての電圧対フレーム（または時間）のプロット（右パネル）である。

50

【0115】

【図71C】図71Cは、テンプレート1、2および4の伸長をもたらすdGTPが追加された後に発生する信号のピクセルを示すスクリーンキャプチャ（表1および2参照）（左パネル）および矢印で示したピクセルについての電圧対フレーム（または時間）のプロット（右パネル）である。

【0116】

【図71D】図71Dは、dTTPが追加され、全ての4テンプレートにおいてランオフが発生（4種全てのdNTPの存在による）した後に発生する信号のピクセルを示すスクリーンキャプチャ（表1および2参照）（左パネル）および矢印で示したピクセルについての電圧対フレーム（または時間）のプロット（右パネル）である。

10

【発明を実施するための形態】

【0117】

以下は、分析物測定用大規模chemFETアレイに関し、関連する概念、あるいは態様、発明方法および装置についてより詳細に説明したものである。上記および以下に詳細に示される様々な概念は、多数の方法のいずれかで実現することができ、開示された概念は実現化の特別な方法を限定するものではないと理解されるべきである。具体的な実装および用途の例は、主として説明目的で提供する。

【0118】

本開示による様々な発明態様は、少なくとも部分的に、マイクロエレクトロニクスの能力とマイクロ流体システムの生体適合性を組み合わせた半導体ベース／マイクロ流体ハイブリッドシステムに関する。以下のいくつかの例において、ハイブリッドシステムのマイクロエレクトロニクス部分は、例示の目的でCMOS技術によって実装する。しかしながら、本開示は、この点に限定することを意図するものではなく、他の半導体ベース技術が明細書中に示すシステムのマイクロエレクトロニクス部分の様々な側面を実現するために用いられてもよいと理解されるべきである。

20

【0119】

本明細書中に示す1つの態様は、化学感応性電界効果トランジスタ（chemFET）の大規模アレイ（例えば2次元アレイ）に関し、アレイの個々のchemFETセンサ素子または「ピクセル」は、アレイに近接して起こる化学的および／または生物学的プロセス（化学反応、細胞培養、神経活性、核酸シーケンシング等）の宿主における分析濃度変化を検出するよう構成される。以下のより詳細な説明に示す様々な態様によって意図されるchemFETの例は、イオン感応性電界効果トランジスタ（ISFET）および酵素感応性電界効果トランジスタ（ESFET）を含むが、これらに限定されない。1つの典型的な実装において、1または2以上のマイクロ流体構造は、chemFETセンサアレイ上に対象とする分析物が生成されうる化学反応の保持および／または閉じ込めを提供するために製造される。例えば、1つの実装において、マイクロ流体構造は、アレイの1または2以上のセンサ上に配置される「ウェル」（例えば、小型反応チャンバ）として構成し、所定のウェルがその上に配置された1または2以上のセンサが所定のウェル内の分析物の検出および濃度の測定を行うようにしてもよい。

30

【0120】

いくつかの態様においては、chemFETアレイ／マイクロ流体ハイブリッド構造は、核酸を含む対象溶液／物質の分析に用いてもよい。例えば、かかる構造は核酸シーケンシングを利用する多数の方法において、核酸を処理するために用いることができる。様々な側面において、かかるシーケンシングは、核酸フラグメント中の単一ヌクレオチド多型検出、核酸発現プロファイル（2または3以上の状態間での核酸発現プロファイルの比較すること、疾患および正常組織間の比較、薬剤、酵素、照射または化学的処理の未処理および処理組織間を比較すること）、ハプロタイピング（ヒト対象の2つの各対立遺伝子における遺伝子または遺伝子の変化を比較すること）、核型分析（試験組織中の1または2以上の遺伝子、通常は先天性異常を検出するために受胎前の胚／胎児由来の遺伝子を、「正常な」核型被検体と診断学的に比較すること）、および遺伝子型決定（ある種の第

40

50

1の個体中の1または2以上の遺伝子を同一種の他の個体中の同じ遺伝子と比較すること)のために、核酸配列の同一性を決定するために行うことができる。しかしながら、本明細書に示す概念のいくつかの具体例は核酸処理のコンテキストに適用される一方、本明細書に示すchemFETセンサアレイに関する概念の用途は、これらの例に限定されないことが理解されるべきである。

【0121】

図8は、本開示の1つの発明態様による、大規模chemFETアレイを含む核酸処理システム1000を一般的に例示するものである。以下の説明には、アレイのchemFETセンサは、例示を目的として、水素イオン濃度を検出するために構成されたISFETを示す。しかしながら、本開示はこの点において限定されるものではなく、ISFETが具体例として用いられる明細書中に示されるいずれの態様においても、他の種類のchemFETのを同様に代替的な態様において用いることができると理解すべきである。1つの側面において、システム1000は、ISFETセンサアレイ100およびマイクロ流体フローセル200を含む半導体/マイクロ流体ハイブリッド構造300を含む。別の側面において、フローセル200は、多くのシーケンシング試薬272(例えば、塩基dATP、dCTP、dGTP、dTTPおよび他の試薬)のフローセルへの制御された流入を介して、フローセル内に配置された核酸テンプレートのシーケンシングが促進されるように構成される。図8に示すとおり、シーケンシング試薬のフローセル200への流入は、コンピュータ260によって制御される1または2以上のバルブ270および1または2以上のポンプ274を介して行うことができる。

【0122】

図8のシステム1000において、1つの態様によるISFETセンサアレイ100は、シーケンシング試薬272を構成する1または2以上の塩基と核酸テンプレートとの間の化学反応によって、フローセル200の異なる部分で生じるpH変化をモニターする。以下により詳細に述べる他の態様において、FETセンサアレイは、対象とする化学反応について関連する情報を提供しうる他の分析物の検出のために特別に構成されてもよい。アレイコントローラ250(これもコンピュータ260の制御下である)を介して、ISFETアレイは、分析物測定に関するデータを取得するように制御され、収集されたデータは核酸テンプレートの処理に関する貴重な情報を生成するために処理されうる。例えば、1つの実装において、pH変化は一般的に、核酸テンプレートに加えられた特定の型の塩基(例えば、dATP、dCTP、dGTP、dTTPの中の1つ)の数に比例する。かかるpH変化は、所与の塩基の型とテンプレートとの間の反応に近接するアレイ100の1または2以上のISFETの出力電圧の変化で表すことができる。こうして、アレイの所与のピクセルの電圧変化の度合いは、所与のピクセル上のフローセルに配置されたテンプレートに加えられた特定の型の塩基の数を決定するために用いることができる。

【0123】

1つの側面において、図8に示すシステム1000のフローセル200は、ISFETアレイ100の対応するセンサ上に配置される多くのウェル(図8には非表示)を含んでもよい。多くの技術を、様々な処理物質をかかるフローセルのウェルへの流入に用いることができる。例えば、まず、核酸テンプレートを含有「ビーズ」をウェル内に遠心することによって、シーケンシングする核酸をフローセルに装填することができる。あるいは、かかるビーズは重力によってウェルへ入ることができる。別の例において、ビーズを用いる代わりに、ウェルをプライマーペアのセットで被覆し、核酸テンプレートを、プライマーペアを補うアダプターと共にフローセルに提供してもよい(固定化物質は、センサアレイ100に、またはチップパッケージの部分としての個々のダイに、または核酸の処理直前に添加することができる)。ゾルゲルを含む他の方法を、ISFETアレイ100の表面付近の核酸テンプレートを固定化するために用いてもよい。

【0124】

ひとたび核酸テンプレートをフローセル200のそれぞれのウェルに装填したら、次にブリッジ増幅をウェル内で行うことができ、生成物を変性させ、次いで合成またはライゲ

ーションによってシークエンシングを行うことができる。ウェル（ウェル内に生成物を捕獲している状態）内における他の増幅方法が想定され、ローリングサークル増幅、またはPCRなどの等温または非等温増幅を用いる方法を含む。図8に示すとおり、塩基を含む試薬を、フローセルに流入させ（例えば、コンピュータ制御バルブ270およびポンプ274を介して）、ウェル中に拡散してもよく、またはインクジェットなどの他の方法によってフローセルに加えてもよい。さらに別の例において、フローセル200はウェルを含まなくてもよく、試薬の拡散特性は、ISFETアレイ100のそれぞれのセンサ間のクロストークを制限するのに利用することができる。

【0125】

つまり、図8のシステムにおけるフローセル200は、1または2以上の分析物をISFETアレイ100に近接して提供する多様な方法で構成することができる。例えば、核酸テンプレート（DNA）は、センサアレイ100の1または2以上のピクセルに適切に近接して直接付着させ、もしくは適用してもよく、またはセンサアレイ上に配置された支持物質（例えば、1または2以上の「ビーズ」）上に存在してもよい。処理試薬（例えば、酵素）もまた、センサ上に直接配置しても、またはアレイに近接する1または2以上の個体支持体上に配置してもよく、デバイスは、酵素がセンサで検出可能な生成物（例えば、イオン濃度変化）をもたらす多くのバイオセンサ用途にウェルまたはビーズなしで用いることができる。

【0126】

図8に示すシステム1000のISFETアレイ100に関して、1つの態様において、アレイ100は、標準のCMOSプロセス（例えば、0.35マイクロメートルプロセス、0.18マイクロメートルプロセス）を用いて設計および製造される集積回路として実装され、1または2以上の分析物をモニター／測定するために必要とされる全てのセンサおよび電子機器を含む。図1を再度参照すると、ISFETアレイ100に関連して用いられる1または2以上の参照電極76は、アレイ100のそれぞれのISFETに近接する分析物の濃度変化の比較の対照となるベースラインを構築するために、フローセル200中（例えば、フローセルの未使用セル内に配置される）に配置されても、または別の標準（例えば、シークエンシング試薬172）に暴露されてもよい。参照電極76は、アレイ100から得られる電圧信号に基づく分析物測定を促進するために、アレイ100、アレイコントローラ250または直接コンピュータ260と電気的に接続することができる。いくつかの実装において、以下にさらに述べるとおり、ISFET出力信号測定のための電氣的標準を構築するために、参照電極は電気接地または他の所定の電位と接続していてもよく、または参照電極電圧は接地に対して測定してもよい。

【0127】

ISFETアレイ100は、1または2次元アレイとして、いかなる特定の大きさにも限定されず、わずか2～256ピクセルを含み（例えば、2次元実装16×16ピクセル）または54メガピクセルもの数（2次元実装7400×7400ピクセル）、またはさらに多くの数のものを製造し、本明細書に開示する概念に従う様々な化学的／生物学的分析目的のために用いてもよい。図8に示す1つの典型的なシステムの態様において、アレイの各ISFETセンサは、水素イオンの検出のために構成されてもよい。しかしながら、本開示はこの点において限定されるものではなく、ISFETセンサアレイの各センサは、多様な用途のための他の種類のイオン濃度に対する感応性のために、特別に構成されてもよいと理解されるべきである（例えば、ナトリウム、銀、鉄、ホウ素、ヨウ素、カルシウムまたは硝酸などの他のイオンに感応性の材料が知られている）。

【0128】

より一般的には、本開示の様々な態様によるchemFETアレイは、分析物／化学物質の種類の1または2以上を検出するために構成されてもよい。1つの態様において、アレイの1つ以上のchemFETは、1または2以上の結合事象（例えば、核酸シークエンシングプロセスに関する）を表す1または2以上の分析物を検出するために構成され、他の態様では所与のアレイの異なるchemFETが異なる分析物を検出するために構成

10

20

30

40

50

される。例えば、1つの態様において、アレイの1または2以上のセンサ（ピクセル）が、第1の分析物に対して化学感応性があるように構成された第1の型のchemFETを含んでもよく、またアレイの他の1または2以上のセンサが、第1の分析物とは異なる第2の分析物に対して化学感応性があるように構成された第2の型のchemFETを含んでもよい。1つの典型的な実装において、第1の分析物は核酸シーケンシングプロセスに関する結合事象を表し、第2の分析物が核酸シーケンシングプロセスに関する第2の結合事象を表すことができる。もちろん、2を超える異なる種類のchemFETが、異なる種類の分析物／結合事象を検出または測定するための任意の所与のアレイに用いられてもよいと理解されるべきである。一般的に、本明細書に示すセンサアレイのいかなる態様においても、所与のセンサアレイが「均一」であり、同じ種類の分析物（例えば、pH または他のイオン）を検出および／または測定するために、実質的に類似または同一の種類のchemFETを含んでもよく、またはセンサアレイが「不均一」であり、異なる種類の分析物を検出および／または測定するために、実質的に異なる種類のchemFETを含んでもよいことが理解されるべきである。説明を簡潔にするために、再度以下にセンサアレイの様々な態様においてISFETの例を示すが、本開示は、この点において限定されず、分析物検出のためにいくつもの他の選択肢を以下で詳細に示す（例えば、図11Aに関して）。

10

【0129】

0.35マイクロメートルCMOSプロセス技術（またはより小さい形状サイズが可能なCMOSプロセス技術）に基づく典型的な実装において、ISFETアレイ100の各ピクセルは、ISFETを含み、有効／選択コンポーネントを伴い、また約10マイクロメートル×10マイクロメートル（すなわち、100平方マイクロメートル）以下のアレイ表面上の面積を占めてもよい。つまり、10マイクロメートルオーダーのピッチ（ピクセル間隔）を有するアレイを実現してもよい。0.35マイクロメートルCMOSプロセス技術を用いる10マイクロメートル以下のオーダーのアレイピッチは、少なくとも12マイクロメートルまたはそれより大きいピクセルサイズをもたらす従来のISFETアレイ製造の試みに対して、サイズ削減に関して顕著な改善をもたらす。

20

【0130】

より具体的には、本明細書に示す発明概念に基づき、以下により詳細に示すいくつかの態様において、約9マイクロメートルのアレイピッチは、行および列選択ならびにバイアス／読取り電子機器を伴って、256,000ピクセル（すなわち、512×512アレイ）以上を含むISFETアレイを、7ミリメートル×7ミリメートルの半導体ダイに製造すること、また4百万ピクセル以上（すなわち、2048×2048アレイで、4メガピクセル以上）を含む類似のセンサアレイを21ミリメートル×21ミリメートルの半導体ダイに製造することを可能にする。他の例において、約5マイクロメートルのアレイピッチは、約1.55メガピクセル（すなわち、1348×1348アレイ）を含むISFETセンサアレイを、電子機器を伴って、9ミリメートル×9ミリメートルの半導体ダイに作製すること、また、14メガピクセルを有するISFETセンサアレイを、電子機器を伴って、22ミリメートル×22ミリメートルの半導体ダイに製造することを可能にする。さらに他の態様では、0.35マイクロメートルを下回る形状サイズが可能であるCMOS製造プロセス（例えば、0.18マイクロメートルCMOSプロセス技術）を用いて、5マイクロメートルを大幅に下回るピッチのISFETセンサアレイを作製することができ（例えば、2.6マイクロメートルのアレイピッチあるいは8または9平方マイクロメートルのピクセル面積）、これは超高密度のISFETアレイを提供する。もちろん、10マイクロメートルをはるかに超えるピクセルサイズ（例えば、約20、50、100マイクロメートルまたはそれ以上のオーダー）が、本開示によるchemFETアレイの様々な態様において実装されてもよいと理解されるべきである。

30

40

【0131】

図8に示すシステムの他の側面において、1または2以上のアレイコントローラ250が、ISFETアレイを動作させるために用いられる（例えば、分析物測定結果を示す出

50

力信号を得るためにアレイの各ピクセルを選択／有効化すること）。様々な態様において、1または2以上のアレイコントローラを構成する1または2以上のコンポーネントは、アレイ自身のピクセル素子と一緒に、アレイと同じ集積回路（IC）チップ上だが当該ICチップの異なる部分またはオフチップに実装される。アレイ制御に関し、ISFET出力信号のアナログーデジタル変換は、ISFETアレイと同じ集積回路上に実装されているが、センサアレイ領域の外部に配置された回路によって行われる（センサアレイ領域の外部にアナログーデジタル変換回路を配置することで、より小さいピッチおよびこれによる多数のセンサを収容することが可能になり、ノイズも減少する）。以下にさらに示す様々な典型的な実装態様において、アナログーデジタル変換は、必要とされる信号ダイナミックレンジに応じて、4ビット、8ビット、12ビット、16ビットまたは他のビット分解能であることが可能である。

10

【0132】

核酸処理に関する1または2以上の分析物測定のための典型的なシステム1000における、chemFET（例えば、ISFET）アレイ100の役割の一般的な概略は上述のとおりであるが、以下には核酸処理を含むがこれに限定されない多様な用途に用いることができる本開示の様々な発明態様の典型的なchemFETアレイをより詳細に説明する。再度、例示を目的として、本開示のchemFETアレイをISFETの典型的な例を用いて説明するが、他の種類のchemFETアレイを代替的な態様において用いることができる。

【0133】

20

上記のとおり、本開示の様々な発明態様は、大幅にピクセルサイズおよびアレイピッチを減少させ、これにより所与の半導体ダイサイズに対するISFETアレイのピクセル数を増やすために（すなわち、ピクセル密度を増やす）、図1～7に関して上述したMilgrew et alのISFETアレイ設計を特別に改良し、他の従来のISFETアレイ設計も同様に改良した。いくつかの実装において、ピクセル密度の増加は、一方で、1または2以上の分析物の1または2以上の化学的特性に関するそれぞれの測定結果に対応する出力信号の信号対雑音比（SNR）およびかかる出力信号をアレイから読み取ることができる速度の増加を伴う。特に、本発明者らは、chemFETの線形性に対する要件を緩和すること、およびより限られた信号出力／測定範囲（例えば、1～14よりもむしろ約7～9のpH範囲に対応する信号出力）に絞ることによって、個々のピクセルの複雑性およびサイズが大幅に削減され、これにより超大規模高密度ISFETアレイの実現が促進されることを認識し、理解している。

30

【0134】

この目的のために、図9は本開示の1つの発明態様によるISFETアレイの1つの列である102_jを例示し、ここではISFETピクセル設計は小さいピクセルサイズを容易にするためにかなり単純化されている。列102_jは、n個のピクセルを含み、最初と最後のピクセルが105₁および105_nとして図9に示されている。さらに図13に関して以下で述べるとおり、図9に示す列設計に基づく完全な2次元ISFETアレイは、連続したピクセルの列が一般的に隣り合って配置されたm個のかかる列102_jを（j = 1、2、3、・・・、m）を含む。

40

【0135】

図9に示す態様の1つの側面は、列102_jの105₁～105_nの各ピクセルが、3つのコンポーネント、すなわち、ISFET150（またQ1とも表記する）およびMOSFETスイッチQ2およびQ3を含む。MOSFETスイッチQ2およびQ3は、列102_jの所与のピクセルを有効化または選択するために、両方ともn行選択信号（

【数4】

RowSel_i

【数 5】

RowSel_n

、負論理)の1つに応答する。列の全てのピクセルにあてはまる例として、ピクセル105₁を用いると、トランジスタスイッチQ3は、ライン118₁を介して対応する行選択信号を受け取ると、ライン112₁を介して制御可能電源106_jと、ISFET150のソースとを接続する。トランジスタスイッチQ2は、対応する行選択信号を受け取ると、ライン114₁を介して、ISFET150のソースと列バイアス／読取り回路110_jを接続する。ISFET150のドレインはライン116₁を介して直接バイアス／読取り回路と接続する。こうして、ピクセルあたり4つの信号、すなわちライン112₁、114₁、116₁および118₁のみが、ピクセル105₁の3つのコンポーネントを作動させるために必要とされる。m列のアレイにおいて、所与の行選択信号は、各列の1つのピクセルと同時に印加される(例えば、各列の同じ位置)。

【0136】

図9に示すとおり、1つの態様による列102_jの設計は、上述した図3に示すMilgrew et alの設計に類似した一般的な原理に基づいている。特に、各ピクセルのISFETは、有効になると、上記式(3)に従い有効なピクセルからの出力信号V_{s_j}を取得するために、一定のドレイン電流I_{D_j}と一定のドレインソース電圧V_{D_{S_j}}が設定される。このために、列102_jは、アナログ回路正電源電圧VDDAに接続され、バイアス電圧VB1に応答する、有効なピクセルのISFETに一定のドレイン電流I_{D_j}を提供するために、列の全てのピクセルによって共有される制御可能電源106_jを含む。1つの側面において、電源106_jは、2つの長いチャンネル長および高出力インピーダンスMOSFETを含むカレントミラーとして実装される。列はまた、有効なピクセルのISFETに一定のドレインソース電圧を提供するために、列の全てのピクセルによってまた共有されるバイアス／読取り回路110_jを含む。バイアス／読取り回路110_jはケルビンブリッジ形態に基づき、バッファ増幅器として配置される2つの演算増幅器107A(A1)および107B(A2)を含み、アナログ回路正電源電圧VDDAおよびアナログ接地電源電圧VSSAと接続される。バイアス／読取り回路はまた、アナログ接地VSSAと接続され、バイアス電圧VB2に応答する制御可能な電流シンク108_j(電源106_jと類似)と、ダイオード接続MOSFETQ6とを含む。バイアス電圧VB1およびVB2は、相補的なソースおよびシンク電流を提供するために提携して(in tandem)設定／制御される。電流シンク108_jによる消費電流の結果ダイオード接続MOSFETQ6の両端(across)で発生した電圧は、演算増幅器によって、一定のドレインソース電圧V_{D_{S_j}}として、有効なピクセルのISFETのドレインおよびソース間に生じるように強制される。

【0137】

図9のバイアス／読取り回路110_j内にダイオード接続MOSFETQ6を用いることは、図3に図示するMilgrew et alの設計に示される抵抗R_{S_{D_j}}よりも、顕著な利点をCMOS製造プロセスに提供する。具体的には、マッチング抵抗器は一般的には、±20%オーダーの許容誤差で製造することができるが、一方CMOS作製におけるMOSFETマッチングは±1%またはそれよりよいオーダーである。一定のISFETドレインソース電圧V_{D_{S_j}}を提供する役割をするコンポーネントが列間で(from column to column)マッチングできる度合いが、列間における測定精度(例えば、オフセット)に顕著な影響を与える。そのため、抵抗器よりむしろMOSFETQ6を用いることは、列間の測定オフセットをかなり緩和する。さらに、抵抗器とISFETの熱ドリフト特性はかなり異なる一方、MOSFETとISFETの熱ドリフト特性は、事実上同一でないが、実質的に類似しており、MOSFETQ6における熱ドリフトはISFETからの熱ドリフトを実質的に削除し、アレイ温度の変化に対してより優れた測定安定性をもたらす。

【0138】

10

20

30

40

50

図9において、列バイアス／読取り回路110_jはまた、列からの出力信号V_{COL j}を提供するサンプリング／保持(hold)およびバッファ回路を含む。特に、ピクセル105₁から105_nの1つのピクセルが各ピクセル内のトランジスタQ2およびQ3を介して有効化または選択された後、増幅器107A(A1)の出力、すなわちV_{S j}は、列サンプリングおよび保持キャパシタC_{sh}に、列サンプリングおよび保持信号COL_{SH}にตอบสนองするスイッチ動作を介して蓄積される。サンプリングおよび保持キャパシタに適した静電容量の例は、限定はされないが、約500fF〜2pFの範囲を含む。サンプリングされた電圧は、列出力バッファ増幅器111_j(BUF)を介してバッファされ、列出力信号V_{COL j}として提供される。図9に示すとおり、参照電圧V_{REF}は、制御信号にตอบสนองするスイッチCALを介して、バッファ増幅器111_jに印加され、バッファ増幅器111_jによる列間の不均一性の特徴づけを促進し、こうして読取り後のデータ修正を可能にする。

10

【0139】

図9Aは、バイアス／読取り回路110_jの1つの増幅器107Aについて典型的な回路図を例示し、(増幅器107Bが同様に実装されている)、図9Bは、107Aおよび107Bの増幅器バイアスとバンド幅のグラフである。図9Aに示すとおり、増幅器107Aは、9個のMOSFET(M1からM9)をベースに複数のカレントミラーの配置を用い、ユニティーゲインバッファとして構成され、ここで増幅器の入力および出力は一般的にIN+およびVOUTとそれぞれ表記される。バイアス電圧VB4(対応するバイアス電流を示す)は、増幅器のトランスインピーダンスを制御し、バンド幅制御としても働く(すなわち、電流の増加とともにバンド幅が大きくなる)。再度図9を参照すると、サンプリングおよび保持キャパシタC_{sh}によって、増幅器107Aの出力は、サンプリングおよび保持スイッチが閉じた場合に実質的にフィルタを動作させる(drive)。したがって、かなりの高データ速度を達成するために、バイアス電圧VB4を、より高いバイアス電流および増幅器のバンド幅を大きくするよう調整することができる。図9Bから、いくつかの典型的な実装において、少なくとも40MHzであり、かつ顕著に大きい増幅器バンド幅が実現されることが認められる。いくつかの実装において、100MHzもの増幅器バンド幅は、高データ取得速度および比較的低いピクセルサンプルまたは滞留時間(例えば、10〜20マイクロセカンドオーダー)を促進するのに適しているだろう。

20

【0140】

図9に示す態様の別の側面において、図3に示すMilgrew et alのピクセル設計とは異なり、ピクセル105₁から105_nは、n-チャンネルとp-チャンネルの両方を必要とする任意の伝達ゲートまたは他のドライブも含まい。特に、この態様のピクセル105₁から105_nは、同じ種類のFETデバイスを含む(すなわち、n-チャンネルのみまたはp-チャンネルのみ)。例示を目的として、図9に示す105₁から105_nは、p-チャンネルコンポーネントのみ、すなわち、2つのp-チャンネルMOSFET Q2およびQ3ならびにp-チャンネルISFET 150を含むものとして示す。ISFETのソースとバイアス／読取り回路110_jを接続するために伝達ゲートを用いないことによって、ISFET出力信号に対するいくつかのダイナミックレンジが犠牲になりうる。しかしながら、本発明者らは、いくつかの出力信号のダイナミックレンジをないものとする

30

40

【0141】

図9に示す態様のさらに別の側面において、Milgrew et alのピクセル設計とは異なり、各ピクセル105₁から105_nのISFET 150は、ソースとつながるボディ接続

50

をもたない（すなわち、動作中に I S F E T のボディ接続とソースを同じ電位に強制されるようなボディ接続と I S F E T のソースを接続する電気伝導体がない）。それどころか、アレイの全 I S F E T のボディ接続は、互いに連結して、ボディバイアス電圧 V_{BODY} につながる。図 9 に明確に示してはいないが、M O S F E T Q 2 および Q 3 に対するボディ接続も同様に、それぞれのソースにはつながっておらず、ボディバイアス電圧 V_{BODY} につながっている。全て p-チャンネルコンポーネントを有するピクセルに基づく 1 つの典型的な実装において、図 17 に関して以下で述べるとおり、ボディバイアス電圧 V_{BODY} はアレイに適用可能な最大電圧（例えば、 V_{DDA} ）に接続することができる。

【0142】

各 I S F E T のボディ接続がそのソースとつながっていないことによって、0 でないソース-ボディ電圧 V_{SB} は、図 1 に関して上述した「ボディ効果」を引き起こし、非線形関係で I S F E T の閾値電圧 V_{TH} に影響を与える（そうして式 (3) に従い、pH などの化学的特性の測定結果に影響を与え得る）。しかしながら、本発明者らは減少させた I S F E T 出力信号ダイナミックレンジに注目することによって、I S F E T 中で 0 でないソース-ボディ電圧 V_{SB} から発生しうるボディ効果が、比較的小さくなり得ることを認識し、理解している。こうして、減少させたダイナミックレンジで生じうるいくつかの測定の非線形性は、有意でないとして無視するか、考慮に入れて補正してもよい（例えば、図 17 に関して以下にさらに詳細に述べるとおり、アレイ較正およびデータ処理技術を介して）。発明者らはまた、各 I S F E T ソースがボディ接続とつながっていないことによって、図 10 ~ 12 に関して以下で示すとおり、ピクセルを構成する全ての F E T が共通のボディ接続を共有することができ、これによりさらにピクセルサイズの減少を容易にすることができる。したがって、別の側面において、減少した線形性とピクセルサイズとの間に有益なトレードオフが存在する。

【0143】

図 10 は、本開示の 1 つの態様による図 9 に示すピクセル 105₁ のチップレイアウト設計の平面図を例示するものである。図 11A は、図 10 に示すピクセルの I-I の線に沿った複合断面図を例示するものであり、図 10 の右半分における I-I の線間および I-I-I の線間のさらなる要素を含み、ピクセル配置の層間図を例示し、また図 12A から 12L は、図 11A に示す層間図の平面図を示す（図 12A から 12L の各イメージは、図 10 に示すピクセルレイアウト設計を作成するために 1 つずつ上に積層されている）。1 つの典型的な実装において、図 10 ~ 12 に示すピクセル設計は、標準的な 4-メタル、2-ポリ、0.35 マイクロメートル CMOS プロセスを用い、図 10 に示す約 9 マイクロメートルの寸法「e」および約 7 マイクロメートルの I S F E T 検出 (sensitive) 部分に対応する寸法「f」を有する幾何学的に正方形のピクセルを提供して実現することができる。

【0144】

図 10 の平面図において、I S F E T 150（図 10 に Q1 と表記）は、一般的にピクセル例の右中心部を占め、ゲート、ソースおよびドレインの各位置を、Q1_G、Q1_S および Q1_D で示す。M O S F E T Q 2 および Q 3 は一般的にピクセル例の左中心部を占め、M O S F E T Q 2 のゲートおよびソースを、Q2_G および Q2_S で表し、M O S F E T Q 3 のゲートおよびソースを、Q3_G および Q3_S で表す。図 10 に示すレイアウトの 1 つの側面において、M O S F E T Q 2 および Q 3 は、Q2/3_D で示されるドレインを共有する。別の側面において、図 10 の平面図から、I S F E T はそのチャンネルがピクセルの第 1 の軸に沿うように形成され（例えば、ライン I-I に平行）、一方 M O S F E T Q 2 および Q 3 はそのチャンネルがピクセルの第 1 の軸と垂直な第 2 の軸に沿うように形成されていると一般的に見ることができる。図 10 はまた、ピクセルを動作させるために必要とされる 4 つのライン、すなわち、Q3 のソースと接続するライン 112₁、Q2 のソースと接続するライン 114₁、I S F E T のドレインと接続するライン 116₁ ならびに Q2 および Q3 のゲートと接続する行選択ライン 118₁ を示す。図 9 を参照すると、所与の列における全てのピクセルがライン 112、114 および 116 を共有し（図

10においてピクセルを垂直に走っている)、また所与の行における全てのピクセルがライン118を共有していることが理解できる。こうして、図9のピクセル設計に基づく図10に示すレイアウトにおいて、わずか4つの金属ラインのみが各ピクセルを横断(traverse)するために必要であることが理解できる。

【0145】

ここで図11Aの断面図を参照すると、高ドープp型領域156および158(図10のラインI—Iに沿って位置する)が、nウェル154内に、ISFETのソース(S)およびドレイン(D)を構成し、その間には、ISFETポリシリコンゲート164とゲート酸化物の下方に形成されたISFETp-チャンネルがあるnウェル領域160がある。図10および11に示す発明態様の1つの側面において、ピクセル1051の全てのFETコンポーネントは、p型半導体基板152内に形成された単一のn型ウェル154内にp-チャンネルFETとして製造される。これは、Milgrew et al.の設計とは異なり、1)ピクセル内に伝達ゲートが必要ないこと、2)ISFETソースがn-ウェルのボディ接続につながっていないことにより可能である。より具体的には、図10に示すとおり、高ドープn型領域162はn-ウェル154にボディ接続(B)を提供し、ボディ接続Bは、ピクセル1051の境界線周辺で、金属導体332と接続する。しかしながら、ボディ接続はISFETのソース領域156と直接電氣的に接続せず(すなわち、動作中にボディ接続とソースを同じ電位に強制するようなボディ接続とソースを接続する電気伝導体がない)、ボディ接続はピクセル内のどのコンポーネントのゲート、ソースおよびドレインとも電氣的に接続しない。このように、ピクセルの他のp-チャンネルFETコンポーネント、すなわちQ2およびQ3は同じnウェル154内に製造される。

【0146】

図11Aの複合断面図には、高ドープp型領域159も示しており(図10のラインI—Iに沿って位置する)、MOSFETQ2およびQ3の共有ドレイン(D)に対応する。例示を目的として、MOSFETQ3のポリシリコンゲート166も図11Aに示すが、このゲートは、図10のラインI—Iに沿っては位置せず、むしろ、ラインI—Iに沿った断面図の裏面に位置する。しかしながら、簡潔化のため、図10に示すMOSFETQ2およびQ3の各ソースおよび同様にQ2のゲートは、共有ドレインと同じ軸に沿って位置している(すなわち、図の面と垂直である)ため、図11Aには示さない(図11Aに示すとすれば、これらの要素は図11Aの複合断面図を過度に複雑にするだろう)。

【0147】

図11Aに示す、基板、ゲート酸化物およびポリシリコン層の上方には、様々なピクセルコンポーネントと電氣的な接続を構築するために多数のさらなる層が提供され、これは導電性ビア(conductive vias)を形成する、交互する金属層と酸化層とを含む。4-金属CMOSプロセスにしたがって、これらの層は、図11Aにおいて、「コンタクト」、「金属1」、「ビア1」、「金属2」、「ビア2」、「金属3」、「ビア3」および「金属4」と表記する。ISFET電氣的接続についてより分かりやすくするために、図11Aの複合断面図は、図10の平面図の右側ラインI—IとラインI—I間のピクセル製造のさらなる要素を示す。ISFETの電氣的接続に関して、最上部の金属層304は、ISFET検出領域178に対応し、上には分析物感応性パシベーション層172が配置される。最上部の金属層304は、図1に示す従来のISFET設計に関連する類似した方法で、ISFETポリシリコンゲート164および介在する導体306、308、312、316、320、326および338と共にISFET「フローティングゲート」構造170を形成する。ISFETドレインとの電氣的な接続は、ライン116₁と接続する導体340、328、318、314および310によって提供される。ISFETソースは、MOSFETQ2およびQ3の共有ドレインと、導体334および336ならびに324を介して接続する(これらは図10のラインI—Iに位置する)。ボディ接続162~n-ウェル154間は、導体330および322を介して「金属1」層上のピクセル周辺で金属導体322と電氣的に接続する。

【0148】

上記のとおり、図12Aから12Lは、図11Aに示す層間図の平面図を示したものである（図12Aから12Lの各イメージは、図10に示すピクセルレイアウト設計を作成するために1つずつ上に積層されている）。図12において、各層の文字入りの平面図と図11Aの断面図との対応は以下のとおりである：A）n型ウェル154、B）イオン注入部（インプラント）、C）拡散部（diffusion）、D）ポリシリコンゲート164（ISFET）および166（MOSFETQ2およびQ3）、E）コンタクト、F）金属1、G）ビア1、H）金属2、I）ビア2、J）金属3、K）ビア3、L）金属4（ISFETゲートに接続する最上部の電極）。図12Aから12Lに示す種々の参照番号は、図11Aの複合断面図に示すものと同一である。

10

【0149】

このように、1つの態様による図10、11および12Aから12Lに示すピクセルチップレイアウト設計は、同種のFETデバイスがピクセルの全てのコンポーネントのために用いられ、全てのコンポーネントが単一のウェルに実装され得ることを例示している。これは、ピクセルに必要な面積を劇的に減少させ、これにより、所与の面積におけるピクセル密度の増加が容易になる。

【0150】

1つの典型的な実装において、ISFETのゲート酸化物165は、約75オングストロームオーダーの厚みで製造され、ゲート酸化物の1ユニット面積あたりの静電容量 C_x は $4.5 \text{ fF} / \mu\text{m}^2$ に引き上げられうる。さらに、ポリシリコンゲート164は、 $1.2 \mu\text{m}$ のチャンネル幅 W と $0.35 \sim 0.6 \mu\text{m}$ のチャンネル長 L に対応する寸法で製造されてもよく（すなわち、 W/L は約2～3.5の範囲）、領域160のドーピングは、p-チャンネルのキャリア移動度が $190 \text{ cm}^2 / \text{V} \cdot \text{s}$ （すなわち、 $1.9 \times 10^4 \text{ cm}^2 / \text{V} \cdot \text{s}$ ）となるように選択されてもよい。上記式（2）から、これはISFETトランスコンダクタンスパラメータ β を約 $170 \sim 300 \mu\text{A} / \text{V}^2$ のオーダーにする。この典型的な実装の他の側面において、アナログ電源 V_{DDA} は3.3ボルトであり、 V_{B1} および V_{B2} は、 $5 \mu\text{A}$ オーダーで一定のISFETドレイン電流 I_{Dj} を提供するために、バイアスされる（いくつかの実装において、 V_{B1} および V_{B2} は、約 $1 \mu\text{A} \sim 20 \mu\text{A}$ のドレイン電流を提供するように設定してもよい）。さらに、MOSFETQ6（図9のバイアス／読取り回路110_j参照）は、所与の I_{Dj} が $5 \mu\text{A}$ 、両端の電圧が 800 mV （すなわち、 $V_{Dsj} = 800 \text{ mV}$ ）となるように、チャンネルの幅と長さの比（例えば、 W/L が約50）を調整する。式（3）から、典型的なパラメータに基づけば、これは、約0～2Vの範囲にわたるISFET閾値電圧の変化に対して約0.5～2.5Vの幅をもつピクセル出力電圧を提供する。

20

30

【0151】

図11Aに示す分析物感应性パシベーション層172に関して、典型的なCMOS実装において、パシベーション層は水素イオン濃度に顕著に感应性があってもよく、また窒化シリコン（ Si_3N_4 ）および／または酸窒化シリコンを含んでもよい。従来のCMOSプロセスにおいて、パシベーション層は、1または2以上のこれらの物質の連続蒸着によって形成されてもよく、一般的に、汚染から保護し、電気的安定性を向上するためにデバイスを処理または被覆することに用いてもよい。窒化シリコンおよび酸窒化シリコンの物性は、これらの物質を含むパシベーション層が、デバイス金属化を腐食および／またはデバイス操作を不安定化し得る、傷からの保護および水や塩の拡散を顕著にバリアするものである。窒化シリコンおよび／または酸窒化シリコンを含むパシベーション層は、ISFETデバイスにおけるイオン感应性を提供する、それは、パシベーション層が、分析溶液に接触することによりプロトンを放出または受容することができる表面基を含み、これにより図1に関して上述したとおり表面電位およびデバイス閾値電圧 V_{TH} が変わる。

40

【0152】

金属としてアルミニウム（セ氏約650度の融点をもつ）を含むCMOSプロセスでは、窒化シリコンおよび／または酸窒化シリコンパシベーション層は、プラズマ化学気相成

50

長法（PECVD）で蒸着され、これは、セ氏250～350度のグロー放電により、窒化シリコンまたは酸窒化シリコンを形成する構成ガスをイオン化し、ウェハ表面上で反応し、それぞれの物質のラミネートを形成する活性種を作り出す。1つの典型的なプロセスにおいて、約1.0～1.5 μm のオーダーの厚みを有するパシベーション層は、最初に酸窒化シリコンの薄い層を蒸着し（0.2～0.4 μm オーダー）、続いてわずかに厚い酸窒化シリコンを蒸着し（0.5 μm オーダー）、最後に窒化シリコン（0.5 μm オーダー）を蒸着して形成してもよい。PECVDプロセスは低い蒸着温度を含むため、アルミニウム金属化は悪影響を受けない。

【0153】

しかしながら、本発明者らは、低温度のPECVDプロセスは、従来のCMOSデバイスにとって適切なパシベーション層を提供する一方、低温度のプロセスが、一般的に低密度で多少ポーラスなパシベーション層をもたらし、いくつかの場合において、ISFET閾値電圧の安定性に悪影響を及ぼすことを認識し、理解している。特に、ISFETデバイスの動作中、低密度ポーラスパシベーション層は、時間とともに溶液中の分析物または他の物質を吸収し飽和し始め、ISFET閾値電圧 V_{TH} において、精度の高い測定を困難にする望ましくない時間依存性ドリフトを引き起こす。

【0154】

上記の観点から、1つの態様において、本開示によるISFETアレイを製造するために、アルミニウムの代わりにタングステンをもちいるCMOSプロセスを用いてもよい。タングステンの高い融点（セ氏3400度以上）により、窒化シリコンまたは酸窒化シリコンパシベーション層のために、高温低压化学気相成長法（LPCVD）プロセス（例えばセ氏700～800度）を用いることができる。LPCVDプロセスは一般的に、パシベーション層に、より高密度で低ポーラスな膜をもたらし、これにより、ISFET閾値電圧のドリフトを引き起こす分析溶液からのイオン吸収の悪影響を緩和する。

【0155】

アルミニウムベースCMOSプロセスを用いる、本開示によるISFETアレイの製造に用いるさらに別の態様において、図11Aに示すパシベーション層172は、従来のCMOSプロセスで一般的に用いられる範囲を超えて、他のさらなる蒸着および／または物質を含んでもよい。例えば、パシベーション層172は、初めに上記の窒化シリコンおよび／または酸窒化シリコンの低温プラズマ化学気相成長法（PECVD）を含んでもよい。本説明のために、この従来の蒸着をパシベーション層172の第1の部分172Aとして、図11Aに示す。1つの態様において、第1の部分172Aに続いて、1または2以上のパシベーション物質が、パシベーション層172全体の密度を増加させまたびポーラス（およびポーラスによる吸着）を減らすための少なくとも第2の部分172Bを形成するために蒸着される。1つの追加の部分172Bは図11Aに主として例示を意図して示すが、本開示がこの点において限定されるわけではなく、パシベーション層172全体は2または3以上の構成部分を含んでもよく、ここでは各部分が同じか異なる1または2以上の層／蒸着を含んでもよく、また各部分が類似または異なって構成されてもよいと理解されるべきである。

【0156】

特に水素イオンに感応性がよいパシベーション層172の第2の部分172B（または他の追加の部分）として適した物質の例は、限定されないが、窒化シリコン、酸窒化シリコン、酸化アルミニウム（ Al_2O_3 ）、酸化タンタル（ Ta_2O_5 ）、酸化錫（ SnO_2 ）および二酸化ケイ素（ SiO_2 ）である。1つの側面において、第2の部分172B（または他の追加の部分）は、限定されずに、RFスパッタリング、DCマグネトロンスパッタリング、熱または電子ビーム蒸着およびイオンアシスト蒸着を含む多様な比較的低い温度プロセスを介して蒸着してもよい。別の側面において、第2の部分172Bの蒸着前に、第1の部分172A上の自然酸化物を除去するために、プレスパッタリングエッチングプロセスを用いてもよい（あるいは、水素環境で昇温するなどの還元環境が、第1の部分172A上の自然酸化物を除去するために用いられてもよい）。さらに、別の側面に

において、第2の部分172Bの厚さは、約 $0.04\mu\text{m}$ ～ $0.06\mu\text{m}$ （400～600オングストローム）のオーダーであってもよく、第1の部分の厚さは、上記のとおり $1.0\sim 1.5\mu\text{m}$ のオーダーであってもよい。いくつかの典型的な実装において、第1の部分172Aは、全てを含めた厚さが $1.0\sim 1.5\mu\text{m}$ の窒化シリコンおよび酸窒化シリコンの多数の層を含んでもよく、第2の部分172Bは、約400～600オングストロームの酸化アルミニウムまたは酸化タンタルの単一層を含んでもよい。また、上記の典型的な厚さは、主として例示を意図するものであり、本開示がこれらの点において限定されるものではないと理解されるべきである。

【0157】

このように、本明細書に示すchemFETアレイは様々な分析物を検出するために用いられ、そのために、多様な反応および／または相互作用をモニターすることができる。水素イオン検出（pH変化の形態で）に重点を置くことは、利便性および簡潔さのためであり、他の分析物（他のイオンを含む）がこれらの記載の中で水素の代わりになりうる。

【0158】

本明細書に示すchemFETは、ISFETを含み、それ自身が電界に変化を引き起こすことができる任意の分析物を検出することができる。分析物はセンサによって検出するために、帯電される必要はない。例えば、分析物は、態様によって、正に帯電してもよく（すなわち、カチオン）、負に帯電してもよく（すなわち、アニオン）、両性イオン（すなわち、2つの等しいまたは逆の電荷を持つことができるが全体的に中性でない）および極性中性（polar yet neutral）であってもよい。このリストは、本開示に基づいて当業者が用意に予測できる各分類中の種類と同様に、他の分析物の分類を網羅することを意図していない。

【0159】

本発明の最も広い範囲において、パシベーション層は、被覆されても被覆されなくてもよく、分析物はパシベーション層と相互作用してもしなくてもよい。例としては、パシベーション層は窒化シリコンからなってもよく、分析物は水素イオンではない何かであってもよい。特別な例として、パシベーション層は窒化シリコンからなってもよく、分析物は無機ピロリン酸（PPi）であってもよい。これらの例において、PPiは直接検出される（すなわち、PPi受容体がパシベーション層に直接または間接的に存在しない場合）。

【0160】

検出される分析物が水素イオン（または代替的に水酸化物）の場合、いずれかのイオン種の変化がパシベーション層で検出されるように、弱いバッファーを使用するのが好ましい。検出される分析物が水素イオンではないもの（または水酸化物）の場合、反応または検出段階で溶液のpHが変化する可能性がいくらかあり、pHの変化が分析物の検出を妨害しないように強いバッファーを使用するのが好ましい。バッファーはpHの変化に抵抗するイオン性分子である。バッファーは、溶液に添加または生成された酸または塩基を中和し、結果として溶液のpHは変化しない。バッファーは、所望の範囲のpKaを有するように適度に提供されると理解されるべきである。適したバッファーは、pH範囲6～9およびより好ましくは $6.5\sim 8.5$ で機能するものである。バッファーの強さは、対象とする溶液中に添加されたまたは生成した酸または塩基の性質、強さおよび濃度に依存するため相対的な条件となる。弱いバッファーは、およそ少なくとも $+/-0.005$ 、 0.01 、 0.015 、 0.02 、 0.03 、 0.04 、 0.05 、 0.10 、 0.15 、 0.20 、 0.25 、 0.30 、 0.35 、 0.45 、 0.50 またはそれ以上のpH変化の検出を可能にする（またそれゆえに別の方法でpH変化を制御することはできない）バッファーである。いくつかの態様において、pH変化は、約 0.005 のオーダーであり（例えば、1ヌクレオチドの取り込みあたり）、好ましくはpHの増加である。強いバッファーは、約少なくとも $+/-0.005$ 、 0.01 、 0.015 、 0.02 、 0.03 、 0.04 、 0.05 、 0.10 、 0.15 、 0.20 、 0.25 、 0.30 、 0.35 、 0.45 、 0.50 またはそれ以上のpH変化を制御する。バッファーの強度はバッ

ファー種自身の濃度を変化させることによって評価できる。このように、低濃度バッファーが低強度バッファーとなり得る。例は、1 mM（例えば、50～100 μ M）未満のバッファー種を含む。本明細書に示すpH変化が読み取り情報であるシーケンシング反応に適した弱いバッファーの限定されない例は、0.1 mMトリスまたはトリシンである。適した弱いバッファーの例は例に示され、また当業者には既知である。より高濃度のバッファーが、高強度のバッファーになり得る。例は、1～25 mMのバッファー種を有するものを含む。本明細書に示すPPiが直接読み取られるシーケンシング反応に適した強いバッファーの限定されない例は、1.5または25 mM（またはそれを超える）トリスまたはトリシンである。当業者は、本発明に包含される反応のための適したバッファーおよび検出方法を決定することができるであろう。

10

【0161】

いくつかの態様において、パシベーション層および／またはその上に被覆された分子は、アレイ読み取りについての分析物特異性を決定する。

【0162】

水素イオンの検出（pHの形で）は、窒化シリコン（ Si_3N_4 ）、酸窒化シリコン（ $\text{Si}_2\text{N}_2\text{O}$ ）、二酸化ケイ素（ SiO_2 ）、酸化アルミニウム（ Al_2O_3 ）、五酸化タンタル（ Ta_2O_5 ）、酸化錫または酸化第二スズなどから作られるパシベーション層を用いて行われる。

【0163】

パシベーション層は、限定されずに、カルシウム、カリウム、ナトリウム、ヨウ化物、マグネシウム、塩化物、リチウム、鉛、銀、カドミウム、硝酸、リン酸、リン酸二水素などを含む他のイオン種を直接検出することもできる。

20

【0164】

いくつかの態様において、パシベーション層は、対象とする分析物の受容体で被覆される。受容体は対象の分析物と選択的に結合する。本明細書で用いるとおり、分析物と選択的に結合する受容体は、分析物と選択的に結合する分子である（すなわち、その分析物に対する結合親和力は、ほかの分析物に対する結合親和力よりも大きい）。対象とする分析物に対する結合親和力は、ほかの分析物に対する結合親和力より2倍、3倍、4倍、5倍、6倍、7倍、8倍、9倍、10倍、15倍、20倍、25倍、30倍、40倍、50倍、100倍またはそれを超える。その相対的な結合親和力に加えて、受容体は、対象とする分析物と十分に高い効率で結合する絶対結合親和力も持たなければならない（すなわち、十分な選択的を持たなければならない）。ピコモラー～マイクロモラー範囲の結合親和力を有する受容体が適している。このような相互作用は、可逆的であることが好ましい。

30

【0165】

受容体はいかなる性質のものであってもよい（例えば、化学物質、核酸、ペプチド、脂質、それらの混合物など）。分析物もまたいかなる性質のものであってもよく、選択的に結合する受容体が存在する場所へ提供することができ、いくつかの具体例でもみることができる。しかしながら、本発明は受容体がない場合でも分析物を検出することを意図していることが理解されるべきである。この1つの例は、PPiおよびPi受容体がない場合のパシベーション層によるPPiまたはPi検出である。

40

【0166】

1つの側面において、本発明はイオノフォアである受容体を意図する。本明細書で用いるとおり、イオノフォアはイオン種と選択的に結合する分子であり、ここでは、アニオンまたはカチオンである。本発明の文脈において、イオノフォアは分析物と結合する受容体またはイオンである。本発明のイオノフォアは、微生物由来の当該技術分野において承認されているキャリアイオノフォア（すなわち、特定のイオンと結合する低脂溶性分子）を含む。様々なイオノフォアはCalbiochemなどから商業的に入手可能である。

【0167】

いくつかのイオンの検出は、パシベーション層自身の使用またはパシベーション層に被

50

覆された受容体の使用を介して達成される。例えば、カリウムは、ポリシロキサン、バリノマイシンまたはサリノマイシンを用いて選択的に検出することができ、ナトリウムはモネンシン、ナイスタチンまたはS Q I - P rを用いて選択的に検出することができ、カルシウムは、イオノマイシン、カルシマイシン (A 2 3 1 8 7) またはC A 1 0 0 1 (E T H 1 0 0 1) を用いて選択的に検出することができる。

【0168】

2種以上のイオンと結合できる受容体もまた、いくつかの例において用いることができる。例えば、ボーベリシンをカルシウムおよび／またはバリウムイオンの検出に用いることができ、ナイジェリシンをカリウム、水素および／または鉛イオンの検出に用いることができ、またグラミシジンを、水素、ナトリウムおよび／またはカリウムイオンの検出に用いることができる。当業者は、これらの化合物を、単一のイオン特異性が必要とされないまたは化合物が結合するほかのイオンが存在または生成しにくい（または不可能な）用途に用いることができることを認識できるだろう。

【0169】

核酸シーケンシングを含むが、これに限定されない他の態様において、無機ピロリン酸 (P P i) と選択的に結合する受容体を用いることができる。P P i 受容体の例は、図 1 1 B に示す化合物を含む (化合物 1 ~ 1 0) 。化合物 1 は、Angew Chem Int Ed 2004 4 3:4777-4780 and US 2005/0119497 A1 に記載され、p - ナフチルビス [(ビス (2 - ピリジルメチル) アミノ) メチル] フェノールと称される。化合物 2 は、J Am Chem Soc 200 3 125:7752-7753 and US 2005/0119497 A1 に記載され、p - (p - ニトロフェニルアゾ) - ビス [(ビス (2 - ピリジルメチル - 1) アミノ) メチル] フェノール (またはその複核 Z n 錯体) と称されている。化合物 3 は、Sensors and Actuators B 1995 29:324-327 に記載されている。化合物 4 は、Angew Chem Int Ed 2002 41 (20) :3811-3814 に記載されている。化合物 5 は、WO 2007/002204 に記載され、その中でビス - Z n ²⁺ - ジピコリルアミン (Z n ²⁺ - D P A) と称されている。化合物 1 および 2 の合成経路は、US 2005/0119497 A1 によって示されている。化合物 4 の典型的な合成を図 1 1 C に示す。化合物 1 0 の金属酸化物への付加を図 1 1 E に示す。

【0170】

別の例として、ニューロトキシンに対する受容体が、Simonian Electroanalysis 2004, 16: 1896-1906 に記載されている。

【0171】

受容体はパシベーション層に共有結合または非共有結合で付着されうる。受容体のパシベーションへの共有結合的付着は、直接的または間接的 (例えばリンカーを介する) である。図 1 1 D は、受容体とパシベーション層とを共有結合するシラノール化学の使用を例示するものである。受容体は、例えば、一級脂肪族アミン (左下パネル) またはアリールイソチオシアネート (右下パネル) を用いて、パシベーション層上に固定してもよい。これらおよび他の態様において、それ自身が、窒化シリコン、酸化アルミニウム、酸化シリコン、五酸化タンタルなどからなり得るパシベーション層は、その活性な表面基を介してシラン化層と結合する。F E T 表面の共有結合的付着のためのシラノール化学の詳細については、少なくとも以下の刊行物が参考文献となり得る。窒化シリコンについては、Sensors and Actuators B 1995 29:324-327, Jpn J Appl Phys 1999 38:3912-3917 および Langmuir 2005 21:395-402 を参照。酸化シリコンについては、Protein Sci 1995 4:2532-2544 および Am Biotechnol Lab 2002 20 (7) :16-18 を参照。酸化アルミニウムについては、Colloids and Surfaces 1992 63:1-9, Sensors and Actuators B 2003 89:40-47 および Bioconjugate Chem 1997 8:424-433 を参照。受容体は、その後シラン化層の活性基と結合する。図 1 1 D に示すとおり、この後者の結合は、二官能性リンカーを用いて直接または間接的に生じ得る。二官能性リンカーは、2つの対象物が結合し得る少なくとも2つの反応性基を有する化合物である。いくつかの例において、反応性基はリンカーの対向端部に位置する。いくつかの態様において、二官能性リンカーは、図 1 1 D に示すようなユニバーサル二官能性リンカーである。ユニバーサル二官能性リンカーは、多様な対象物と結合す

るために用いることができる。図11Dに示す化学物質は、例示を意味するものであり、限定するものではないと理解されるべきである。

【0172】

二官能性リンカーは、結合させる分子の性質によって、ホモ二官能性リンカーまたはヘテロ二官能性リンカーであってよい。ホモ二官能性リンカーは、2つの同一の反応性基を有する。ヘテロ二官能性リンカーは、2種の異なる反応性基を有する。種々の商業的に入手可能なリンカーは、以下の1または2以上の基：1級アミン、2級アミン、スルフヒドリル、カルボキシル、カルボニルおよび炭水化物と反応する。アミン特異的リンカーの例には、スベリン酸ビス（スルホスクシンイミジル）、ビス〔2-（スクシンイミドオキシカルボニルオキシ）エチル〕スルホン、スベリン酸ジスクシンイミジル、酒石酸ジスクシンイミジル、アジピン酸ジメチル・2HCl、ピメルイミド酸ジメチル・2HCl、スベリイミド酸ジメチル・2HCl、およびエチレングリコールビス〔〔コハク酸〕スクシンイミジル〕である。スルフヒドリル基と反応するリンカーは、ビスマレイミドヘキサン、1, 4-ジ-〔3'-（2'-ピリジルジチオ）-プロピオンアミド〕ブタン、1-〔p-アジドサリチルアミド〕-4-〔ヨードアセトアミド〕ブタン、およびN-〔4-（p-アジドサリチルアミド）ブチル〕-3'-〔2'-ピリジルジチオ〕プロピオンアミドが含まれる。炭水化物と優先的に反応するリンカーには、アジドベンゾイルヒドラジンが含まれる。カルボキシル基と選択的に反応するリンカーには、4-〔p-アジドサリチルアミド〕ブチルアミンが含まれる。

【0173】

アミンおよびスルフヒドリルと反応するヘテロ二官能性クロスリンカーには、N-スクシンイミジル-3-〔2-ピリジルジチオ〕プロピオネート、スクシンイミジル〔4-ヨードアセチル〕アミノベンゾエート、スクシンイミジル4-〔N-マレイミドメチル〕シクロヘキサン-1-カルボキシレート、m-マレイミドベンゾイル-N-ヒドロキシスクシンイミドエステル、スルホスクシンイミジル6-〔3-〔2-ピリジルジチオ〕プロピオンアミド〕ヘキサノエートおよびスルホスクシンイミジル4-〔N-マレイミドメチル〕シクロヘキサン-1-カルボキシレートが含まれる。カルボキシル基およびアミノ基と反応するヘテロ二官能性リンカーには、1-エチル-3-〔3-ジメチルアミノプロピル〕-カルボジイミド塩酸塩が含まれる。炭水化物およびスルフヒドリルと反応するヘテロ二官能性リンカーには、4-〔N-マレイミドメチル〕-シクロヘキサン-1-カルボキシルヒドラジド・2HCl、4-（4-N-マレイミドフェニル）-酪酸ヒドラジド・2HClおよび3-〔2-ピリジルジチオ〕プロピオニルヒドラジドが含まれる。

【0174】

あるいは、受容体はパシベーション層に非共有結合的に被覆されてもよい。パシベーション層への、受容体の非共有結合的堆積は、ポリマーマトリクスの使用を含んでもよい。ポリマーは天然に存在するものであってもまたは天然に存在するものなくてもよく、限定されずに、核酸（例えば、DNA、RNA、PNA、LNAなど、またはこれらの模倣体、誘導体または組み合わせ）、アミノ酸（例えば、ペプチド、タンパク質（未処理または変性したもの）など、またはこれらの模倣体、誘導体または組み合わせ、脂質、多糖、および機能性ブロックコポリマーである。受容体はポリマーマトリクス上に吸収および／または内部に取り込まれていてもよい。

【0175】

あるいは、受容体は共有結合的に結合するかまたはポリマーに架橋してもよい（例えば、機能性ポリマー上に「グラフト」されてもよい）。

【0176】

適したペプチドポリマーの例は、ポリリシン（例えば、ポリ-L-リシン）である。他のポリマーの例には、ポリエチレングリコール（PEG）、ポリアミド、ポリカーボネート、ポリアルキレン、ポリアルキレングリコール、ポリアルキレンオキシド、ポリアルキレンテレフタレート、ポリビニルアルコール、ポリビニルエーテル、ポリビニルエステル、ハロゲン化ポリビニル、ポリビニルピロリドン、ポリグリコリド、ポリシロキサン、ポリ

ウレタン、アルキルセルロース、ヒドロキシアルキルセルロース、セルロースエーテル、セルロースエステル、ニトロセルロース、アクリル酸のポリマーおよびメタクリル酸エステルを含むブロックコポリマー、メチルセルロース、エチルセルロース、ヒドロキシプロピルセルロース、ヒドロキシプロピルメチルセルロース、ヒドロキシブチルメチルセルロース、酢酸セルロース、プロピオン酸セルロース、酢酸酪酸セルロース、酢酸フタル酸セルロース、カルボキシエチルセルロース、三酢酸セルロース、硫酸セルロースナトリウム塩、ポリ（メタクリル酸メチル）、ポリ（メタクリル酸エチル）、ポリ（メタクリル酸ブチル）、ポリ（メタクリル酸イソブチル）、ポリ（メタクリル酸ヘキシル）、ポリ（メタクリル酸イソデシル）、ポリ（メタクリル酸ラウリル）、ポリ（メタクリル酸フェニル）、ポリ（アクリル酸メチル）、ポリ（アクリル酸イソプロピル）、ポリ（アクリル酸イソブチル）、ポリ（アクリル酸オクタデシル）、ポリエチレン、ポリプロピレン、ポリ（エチレングリコール）、ポリ（酸化エチレン）、ポリ（テレフタル酸エチレン）、ポリ（ビニルアルコール）、酢酸ポリビニル、塩化ポリビニル、ポリスチレン、ポリヒアルロン酸、カゼイン、ゼラチン、グルチン、ポリ無水物、ポリアクリル酸、アルギネート、キトサン、ポリ（メタクリル酸メチル）、ポリ（メタクリル酸エチル）、ポリ（メタクリル酸ブチル）、ポリ（メタクリル酸イソブチル）、ポリ（メタクリル酸ヘキシル）、ポリ（メタクリル酸イソデシル）、ポリ（メタクリル酸ラウリル）、ポリ（メタクリル酸フェニル）、ポリ（アクリル酸メチル）、ポリ（アクリル酸イソプロピル）、ポリ（アクリル酸イソブチル）、およびポリ（アクリル酸オクタデシル）、ポリ（ラクチド−グリコリド）、コポリオキサレート、ポリカプロラクトン、ポリエステルアミド、ポリオルトエステル、ポリヒドロキシ酪酸、ポリ無水物、ポリ（スチレン−b−イソブチレン−b−スチレン）（SIBS）ブロックコポリマー、酢酸ビニルエチレン、ポリ（メト）アクリル酸、乳酸およびグリコール酸のポリマー、ポリ無水物、ポリ（オルト）エステル、ポリウレタン、ポリ（ブト酸）、ポリ（吉草酸）、ならびにポリ（ラクチド−コカプロラクトン）、ならびにアルギネートおよびデキストランとセルロースを含む多糖、コラーゲン、アルブミンおよび他の親水性タンパク質、ゼインおよび他のプロラミンおよび疎水性タンパク質、コポリマーおよびそれらの混合物などの天然ポリマー、ならびに化学基、例えば、アルキル、アルキレンなどの置換および／または付加、ヒドロキシ化、酸化、および当業者によって定常的に実施しえる修飾、を含むそれらの化学的誘導体が含まれる。

【0177】

ISFET 閾値電圧の安定性および／または予測可能性に関係する別の問題は、アレイ製造中またはその後の様々なプロセス活動（例えば、プラズマ金属エッチング、ウェハ洗浄、ダイシング、パッケージング、ハンドリングなどの後工程）の結果としてCMOSデバイスの金属層に蓄積され得るトラップ電荷を含む。特に、図11Aを参照すると、いくつかの例において、トラップ電荷は、1または2以上のISFETフローティングゲート構造170を構築する様々な導体304、306、308、312、316、320、326、338および164上に蓄積され得る。この現象は、関連する文献では「アンテナ効果」とも称される。

【0178】

トラップ電荷を蓄積する1つの機会、最上部の金属層304のプラズマエッチングを含む。本発明者らは、フローティングゲート構造の1種または2種以上の導体における電荷を蓄積する機会には、ダイシングソー切削の研磨工程中にウェハが静電気を生成するウェハダイシング、および／またはウェハをハンドリング／パッケージングする自動化された装置が、フローティングゲート構造のコンダクタに対する静電気放電（ESD）のソースになり得る様々なウェハ後処理のハンドリング／パッケージング段階、を含むことを認識し、理解している。かかる電荷蓄積を流出させる電気経路を提供するシリコン基板（または半導体基板）への接続がない場合、電荷は、望ましくない電荷またはゲート酸化物165へのダメージ（例えば、酸化物への電荷注入または下層基板への低レベルの酸化物の破壊）を引き起こすまでに蓄積し得る。ゲート酸化物またはゲート酸化物−半導体界面でのトラップ電荷は、ISFETの動作または性能において、次々に望ましくないおよび／

または予測できない変化を引き起こしうる。

【0179】

前記の点から、本開示の他の発明態様は、トラップ電荷の減少またはアンテナ効果の緩和によって、I S F E T性能を向上するための方法および装置に関する。1つの態様において、トラップ電荷は、センサアレイの製造後に減少させてもよく、一方他の態様では、いくつかの従来のプロセス段階によって注入され得る電荷を減少させるために、製造プロセスそれ自身を変更してもよい。さらに他の態様において、「製造中」および「製造後」技術を、トラップチャージを減少させそれによりI S F E T性能を向上させるために組み合わせる用いてもよい。

【0180】

トラップ電荷を減少させるための製造プロセスの変更に関して、1つの態様において、図11Aに示すゲート酸化物165の厚さを、基板に蓄積された電荷を流出させるように特別に選択してもよい。特に、より薄い酸化物は、十分量の蓄積電荷を、トラップされることなしに、ゲート酸化物を通して基板へ流出させることができる。この概念に基づく別の態様において、ピクセルを、さらなる「犠牲的」デバイス、すなわち、I S F E Tゲート酸化物165よりも薄いゲート酸化物を有する別のトランジスタを含むように設計してもよく。I S F E Tフローティングゲート構造は、それから「電荷ブリードオフトランジスタ」として機能する犠牲デバイスのゲートと接続されてもよい。もちろん、かかる犠牲デバイスを含むことに対する代償に、ピクセルサイズと複雑さの増加が含まれることは理解されるべきである。

【0181】

別の態様において、図11Aに示すI S F E Tフローティングゲート170の最上部の金属層304は、トラップ電荷を緩和するためにプラズマエッチングの前に誘電体でキャップされる(capped)。上述のとおり、フローティングゲート構造に蓄積された電荷は、いくつかの場合において、金属エッチングのために用いるプラズマによって結合し得る。一般的に、フォトリジストは、エッチングされた金属の上に塗布され、その後、下層の金属に対する所望形状に基づきパターンニングされる。1つの典型的な実装において、キャッピング誘電体層(例えば、酸化物)を、フォトリジスト塗布の前に、プラズマエッチングプロセス由来の電荷に対してさらなる障壁を提供するために、エッチングする金属の上に堆積させてもよい。1つの側面において、キャッピング誘導体層は、裏面に残存して、パシベーション層172の一部を形成してもよい。

【0182】

さらに別の態様において、最上部金属層304の金属エッチプロセスは、プラズマエッチングよりもむしろ、湿式化学またはイオンビームミリングを含むように変更されてもよい。例えば、金属層304は、水化学を用いて、下層の誘電体に選択的にエッチングされる(例えば、参照により本明細書に組み込まれる<http://www.transene.com/aluminum.html>を参照)。別の代替的な手法は、金属層304へのプラズマエッチングよりもむしろイオンミリングを用いるものである。イオンミリングは、従来のプラズマまたは湿式化学で容易に除去できない物質のエッチングに通常用いられる。イオンミリングプロセスは、プラズマのように振動電場を用いないため、金属層内での電荷の増加は起こらない。さらに別の金属エッチング代替法は、エッチレートを下げる(すなわち、より弱い出力密度にする)ようにプラズマ状態を最適化することを含む。

【0183】

さらに別の態様において、フローティングゲートの定義中に完全な電氣的絶縁を容易にするために金属層を構造変化させてもよい。1つの側面において、大面積I S F E Tフローティングゲートが、その最終定義中に何にも接続しないように金属を積み重ねる設計には、トランジスタのフローティングゲートの電氣的接続を感知する「ジャンパー」として代わりの金属層が必要となり得る。この「ジャンパー」接続スキームは、大フローティングゲートからトランジスタへ電荷が流れるのを妨げる。この方法は、以下のとおり実装してもよい(M=金属層)：i) M1をポリゲート電極に接続する、ii) M2をM1に接

10

20

30

40

50

続する、i i i) M3がフローティングゲートを定義し、孤立した島状でM2と離れて接続する、i V) 孤立した島上にエッチングされたごく小さい面積を有し、フローティングゲートと接続するM4「ジャンパー」が、M3フローティングゲートを、ポリゲートと接続しているM1/M2/M3に、トランジスタ活性領域上で即時に接続する、およびv) M3~M4の層間誘導体が、ベアM3フローティングゲートを露出させるためにフローティングゲート上のみ除去される。上記に簡潔に述べた方法の中で、上述したいくつかの態様によるISFET構造では、M4パシベーションをM4フローティングゲート上の所定の位置に残すので、v)は必ずしも行われる必要はない。しかしながら、1つの側面において、除去は他の点でISFET性能を向上させる(すなわち、感度)。どんな場合においても、最後の化学的パシベーション層は、薄いイオン感応性スパッタ蒸着金属酸化物層であってよい。上述のジャンパー構造の被覆は、最初の3つの金属層(すなわち、M1、M2およびM3)がいずれもフローティングゲートとして用いられるように、標準的なCMOS製造フローで実装されうる。

【0184】

トラップ電荷を減少させる製造後プロセスに関して、1つの態様において、「フォーミングガスアニール」を、トラップ電荷の潜在的悪影響を緩和するために、製造後プロセスとして用いてもよい。フォーミングガスアニールでは、CMOS ISFETデバイスは、水素および窒素混合ガス中で加熱される。混合ガス中の水素ガスはゲート酸化物165へ拡散し、ある種のトラップ電荷を中和する。1つの側面において、フォーミングガスアニールは、必ずしもトラップ電荷からもたらされ得る全てのゲート酸化物のダメージを除去する必要はない。むしろ、いくつかの場合では、いくらかのトラップ電荷の部分的な中和が顕著にISFET性能を十分に向上させる。本開示による典型的なアニールプロセスにおいて、ISFETは、10%~15%の水素を含む水素/窒素混合ガス中、約30~60分間、セ氏約400~425度で加熱させることができる。1つの特別な実装において、10%の水素を含む水素/窒素混合ガス中、約30分間、セ氏425度で加熱することにより、ISFET性能を著しく向上させることが認められた。アルミニウムCMOSプロセスに対しては、アニール温度は、アルミニウム冶金の損傷を避けるために、セ氏450度またはそれ以下に保たれるべきである。本開示による典型的なアニールプロセスの別の側面において、フォーミングガスアニールは、ダイシングプロセス自身および/または他のダイシングの前処理段階(例えば、金属のプラズマエッチング)によって注入されるトラップ電荷によるダメージを軽減するために、ISFETアレイが製造されたウェハがダイシングされた後に行われる。

【0185】

トラップ電荷の潜在的悪影響を緩和するための、本開示の態様によるさらに他のプロセスにおいて、多様な「静電気放電(ESD)センシティブプロトコル」(electrostatic discharge (ESD)-sensitive protocols)が、多様なウェハの後製造工程のハンドリング/パッケージング段階で適用されてもよい。例えば、1つの典型的なプロセスにおいて、静電気防止ダイシングテープを所定の位置にウェハ基板を固定するために用いてもよい(例えば、ダイシングプロセス中)。また、高抵抗(例えば、10MΩ)脱イオン水がダイシングソーの冷却に従来用いられているが、本開示の1つの態様によって、より低抵抗/より導電性のある水を、水を介する電荷伝導を促進するこの目的のために用いてもよい。例えば、脱イオン水はより低抵抗へと二酸化炭素で処理され、ダイシングプロセス由来の増加する電荷の伝導を改善する。さらに、導電性および接地したダイ排出治具を、ウェハダイシング/ハンドリング/パッケージングの様々な工程で、またこれらのいずれの段階中に生成される電荷の効果的な伝導経路を提供するために用いることができ、これによりアレイの各ISFETのフローティングゲート構造の1または2以上のコンダクタ上に電荷が蓄積される機会が減少する。

【0186】

トラップ電荷を減少させる後製造工程を含むさらに別の態様において、ISFETのゲート酸化物領域が紫外線照射されてもよい。図11Aを参照すると、この態様に基づく1

10

20

30

40

50

つの典型的な実装において、随意のホールまたはウィンドウ 302 は、I S F E T アレイ製造中に、アレイの各ピクセルの最上部金属層 304 内に、I S F E T フローティングゲート構造に近接して含まれてもよい。このウィンドウは、形成された場合は、紫外線が I S F E T ゲート領域に入射させることを意図する。特に、図 11 A および 12 A ~ L に示すピクセル 105₁ の様々な層は、ウィンドウ 302 から入射する紫外線が、ポリシリコンゲート 164 およびゲート酸化物 165 に近接する領域上に実質的に遮られない方法で衝突するように構成される。

【0187】

トラップ電荷を減少させるための紫外線照射プロセスを容易にするためには、本発明者らは、一般的に、窒化シリコンおよび酸窒化シリコンは顕著に紫外線を吸収するため、窒化シリコンおよび酸窒化シリコン以外の物質が、図 11 A に示すパシベーション層 172 に用いられる必要があると認識し、理解している。前記の観点から、この物質は、紫外線にかなり透過性のある他のものに代用される必要があり、例は、限定されないが、リンケイ酸ガラス (P S G) およびホウリンケイ酸ガラス (B P S G) が含まれる。P S G および B P S G は、しかしながら、水素および水素イオンを通す。したがって、p H 検出のために設計された I S F E T のパシベーション層に用いるためには、P S G および B P S G は、酸化アルミニウム (Al_2O_3) などのイオンを通さず、また紫外線にかなり透過性のある物質と一緒に、パシベーション層を形成するために用いることができる。例えば、図 11 A を再度参照すると、P S G または B P S G を窒化シリコンまたは酸窒化シリコンの代わりに代用として、パシベーション層 172 の第 1 の部分に用い、酸化アルミニウムの薄い層 (例えば、400 ~ 600 オングストローム) をパシベーション層 172 の第 2 の部分に用いてもよい (例えば、酸化アルミニウムはポスト C M O S リフトオフリソグラフィプロセスを用いて蒸着してもよい)。

【0188】

U V 照射を含む態様の別の側面において、センサアレイの各 I S F E T は、トラップ電荷の減少を促進するために紫外線照射中、適切にバイアスされなければならない。特に、I S F E T 導電チャンネルが形成されるバルクシリコン領域 160 上に衝突する紫外線照射由来の高エネルギー光電子は、I S F E T 導電チャンネルを介して電流が流れるにつれて、ゲート酸化物中のトラップ電荷の中和を促進する電子正孔対を作る。この目的のために、以下図 17 で示すアレイコントローラは、紫外線照射プロセス中、アレイの I S F E T をバイアスするために適切な信号を生成する。特に、図 9 を再度参照すると、

【数 6】

RowSel_i

から

【数 7】

RowSel_n

の各信号は、同時に全ての行のセンサアレイを有効／選択 (すなわち、ターンオン) し、これにより、アレイの全ての I S F E T が各列における制御可能な電流ソース 106_j と接続するように、生成される。各列の全てのピクセルが同時に選択されると、所与の列の電流ソース 106_j は列の全てのピクセルによって共有される。列増幅器 107 A および 107 B は、バイアス電源 V B 4 を除去することによって無効となり、同時に、所与の列において各 I S F E T のドレインと接続している増幅器 107 B の出力は、制御信号「U V」に応答するスイッチを介して接地される。また、アレイの全ての I S F E T のための列ボディ電圧 V B O D Y は、電気接地に接続される (すなわち、 $V_{B O D Y} = 0$) (上述のとおり、アレイの通常の動作中、ボディバイアス電圧 V B O D Y は、アレイに適用可能な最大電圧、例えば、V D D A に接続することができる、)。1 つの典型的な工程におい

10

20

30

40

50

て、全ての制御可能な電流ソース106_jのためのバイアス電圧VB1は、各ピクセルのISFETが約1μAの電流で導電するように設定される。ISFETアレイがこのようにバイアスされると、十分量の紫外線が照射される（例えば、約20ミリワット/cm²の照射を生成するEPROMイレーサーから、アレイから約1インチの距離で、約1時間）。照射後、アレイは、イオン濃度などの化学的特性の測定に用いる前に、数時間以上放置し、安定させてもよい。

【0189】

図13は、本明細書の1つの発明態様による、図9～12に関して上述した列およびピクセル設計に基づくISFETセンサアレイ100の典型的なCMOS ICチップ実装のブロック図を例示するものである。この態様の1つの側面は、アレイ100が、102₁から102₅₁₂までの512列を対応する列バイアス／読取り回路110₁から110₅₁₂を備えて含む（図9に示すとおり、各列に1つ）、ここで各列は、105₁から105₅₁₂までの幾何学的に正方形のピクセルを512個含む、それぞれが約9マイクロメートル×9マイクロメートルのサイズを有する（すなわち、アレイは512列×512行である）。別の側面において、アレイ全体は（関連する行および列選択回路および列バイアス／読取り回路を一緒に備えるピクセルを含む）、約7ミリメートル×7ミリメートルの寸法を有する特定の集積回路（ASIC）として半導体ダイ上に製造することができる。512×512ピクセルのアレイを図13の態様に示すが、図19～23に関して以下で述べるとおり、他の態様によるアレイは、異なる数の行および列ならびに異なるピクセルサイズで実装されてよいと理解されるべきである。

【0190】

また、上述のとおり、本発明の様々な態様によるアレイは、従来のCMOS製造技術にしたがって製造されてもよく、同様に、変更したCMOS製造技術（例えば、本明細書に示すchemFETアレイの様々な機能面を理解しやすくすると、パシベーション物質のさらなる蒸着、トラップ電荷を緩和するプロセスステップなど）および従来のCMOS製造に用いられた技術を超えた他の半導体製造技術によって製造されてもよいと理解されるべきである。さらに、様々なリソグラフィ技術がアレイ製造プロセスの一部として用いられてもよい。例えば、1つの典型的な実装において、リソグラフィ技術を用いてもよく、そこでは、適切に設計されたブロックが、ウェハ基板上的のステップアンドリピートリソグラフィ露光のエッジを約0.2マイクロメートル単位で覆うように「縫合される」。

1度の露光では、通常最大サイズが約21ミリメートル×21ミリメートルである。異なるブロック（サイド、トップおよびボトム、コア等）を選択的に露光することによって、ウェハ上に特大チップを定義することができる（最大まで、極端には、ウェハに1チップ、一般的に「ウェハスケール・インテグレーション」と称される）。

【0191】

図13に示すアレイ100の1つの側面において、最初および最後の2列102₁、102₂、102₅₁₁および102₅₁₂、同様に各列102₃から102₅₁₀の最初の2つのピクセル105₁および105₂ならびに最後の2つのピクセル105₅₁₁および105₅₁₂（例えば、アレイ周辺部の2行および2列のピクセル）を、「リファレンス」または「ダミー」として構成することができる。図11Aを参照すると、アレイのダミーピクセルに関して、各ダミーピクセルのISFET最上部の金属層304は（ISFETポリシリコンゲート164と最終的に結合している）、他のダミーピクセルの同じ金属層につながっており、チップの端子としてアクセス可能にされ、参照電圧VREFと接続できるようになる。図9に関して上述したとおり、参照電圧VREFは、アレイの各列のバイアス／読取り回路にも印加することができる。以下にさらに述べるいくつかの典型的な実装において、事前のテスト／評価データは、参照電圧VREFの印加、ダミーピクセルの選択および読み出し、および／または各列バッファへのVREFの直接印加に基づく列の読み出し（例えば、CAL信号を介す）に基づいて取得することができ、オフセット決定（例えば、ピクセル間および列間分散）およびアレイ較正を容易にする。

【0192】

図13において、アレイ動作に必要とされる様々な電源およびバイアス電源は（図9に関して上述したとおり）、電氣的接続（例えば、ピン、金属パッド）を介してアレイに提供される、簡潔化のため「電源およびバイアス接続」をブロック195と表記する。図13のアレイ100はまた、行選択シフトレジスタ192、2セットの列選択シフトレジスタ194₁、₂および、センサの測定結果を示すアレイからの2つの並行した出力信号Vout1およびVout2を提供する2つの出力ドライバ198₁および198₂を含む。様々な電源およびバイアス電圧、行および列選択シフトレジスタのための制御信号および図13に示す列バイアス／読取り回路のための制御信号は、図17に関して以下でさらに述べるとおり、アレイコントローラによって提供され、それはまたアレイ100から出力信号Vout1およびVout2（および他の随意の状態／診断信号）を読む。図13に示すアレイ態様の別の側面において、アレイの多数の領域（例えば、多数の列）を多数の平行アレイ出力（例えば、Vout1およびVout2）を介して同時に読むことができるようにアレイ構成することは、図17および18に関して以下でさらに述べるとおり、データ取得レートの増加を促進する。図13は、同時に2つの列からデータを取得する2つの列選択レジスタおよび平行した出力信号Vout1およびVout2を有するが、他の態様においては、本開示によるアレイは、1つのみの測定信号出力、あるいは3以上の測定信号出力を持つように構成されてもよく、特に、図19～23に関して以下でさらに述べるとおり、他の態様による高密度なアレイが4または5以上の平行測定信号出力を有し、同時に4または5以上の出力を介して、アレイの異なる領域がデータを提供することを可能にするように構成されてもよいと理解されるべきである。

10

20

【0193】

図14は、行選択シフトレジスタを例示し、図15は、列選択シフトレジスタの1つ194₂を例示し、また図16は、図13に示すアレイ100の出力ドライバの1つ198₂を例示するものであり、1つの典型的な実装による。図14および15に示すとおり、行および列選択シフトレジスタは、デジタル回路正電源VDDDおよびデジタル電源接地VSSDと接続したD型フリップフロップの系列として実装される。行および列シフトレジスタにおいて、データ信号は、各系列の第1のフリップフロップのD入力に印加され、クロック信号は同時にその系列の全てのフリップフロップのクロック入力に印加される。各フリップフロップに対して、「Q」出力は、クロック信号の遷移時（例えば、立ち下りエッジ）にD入力を再生する。図14を参照すると、行選択シフトレジスタ192は、512のD型フリップフロップを含み、ここでは第1のフリップフロップ193が垂直データDVを受信し、全てのフリップフロップが垂直クロック信号CVを受信する。第1のフリップフロップ193のQ出力は、第1の行選択信号RowSel₁を提供し、またその系列内の次のフリップフロップのD入力と接続している。図18に関して以下でさらに述べるとおり、連続したフリップフロップのQ出力は、系列内の次のD入力と接続し、また行選択信号RowSel₂からRowSel₅₁₂を、垂直クロック信号CVのエッジ立下り遷移によって提供する。最後の行選択信号RowSel₅₁₂は、アレイの最後の行が選択されたことの表示（例えば、診断目的で）を提供するLSTV（Last Stage Vertical）として、アレイ100の随意の出力として受け取られてもよい。図14に特別に示さないが、各行選択信号RowSel₁からRowSel₅₁₂は、対応するインバータに印加され、信号は、各列の所与のピクセルを有効にするのに用いられる（図9に信号

30

40

【数8】

RowSel₁

から

【数 9】

RowSel_n

として例示する)。

【0194】

列選択シフトレジスタ194₁および194₂に関して、これらは行選択シフトレジスタに類似の方法で実装され、各列選択シフトレジスタはフリップフロップに接続した256系列を含み、またアレイの奇数列またはアレイの偶数列のどちらかからの読み出しを可能にさせるのに関与する。例えば、図15は、列選択シフトレジスタ194₂を例示し、これは列選択信号ColSel₂、ColSel₄、…、ColSel₅₁₂を介して、連続するアレイの全ての偶数列からの読み出しを可能にするように構成され、一方別の列選択信号は194₁は、連続するアレイの全ての奇数列からの読み出しを可能にするように構成される(列選択信号ColSel₁、ColSel₃、…、ColSel₅₁₁)。両方の列選択信号は、それぞれの列選択信号を提供するために、図18に関して以下にさらに述べるとおり、水平データ信号DHおよび水平クロック信号CHによって制御される。図15に示すとおり、最後の列選択信号ColSel₅₁₂は、アレイの最後の行が選択されたことの表示(例えば、診断目的で)を提供するLSTH (Last Stage Horizontal)として、アレイ100の随意の出力として受け取られてもよい。

【0195】

再度、しばらくの間、図7を参照すると、本発明者らは、シフトレジスタに基づくアレイの行および列の実装が、図13~15に関して上述したとおり、図7に示すMilgrew et alの設計を含む従来の設計に用いられた行および列デコーダに対して顕著に進歩していることを認識し、理解している。特に、図7に示す行デコーダ92および列デコーダ94に関して、アレイサイズが増加し、両方のデコーダへのさらなる入力が必要とされるに伴い、集積回路アレイ設計におけるこれらコンポーネントを実装する複雑さが、劇的に増加する。例えば、図13に関して上述したような512の行および列を有するアレイは、かかるスキームが行および列選択に用いられた場合、行および列デコーダあたり9インプット($2^9 = 512$)を必要とし、同様に、7400行および7400列を有するアレイは、他の態様に関して以下で述べるとおり、行および列デコーダあたり13インプット($2^{13} = 8192$)を必要とする。対して、図14および15に示す行および列選択シフトレジスタは、アレイサイズに伴うさらなる入力信号を必要としないが、むしろさらなるD型フリップフロップを必要とする(これは、CMOSプロセス内で定常的に実装される)。したがって、図14および15に示すシフトレジスタ実装は、アレイの行および列選択に対して容易に拡張性のある解決策を提供する。

【0196】

図13の態様において、「奇数」列選択シフトレジスタ194₁は、奇数列選択信号を「奇数」出力ドライバ198₁に提供し、「偶数」列選択シフトレジスタ194₂は、偶数列選択信号を「偶数」出力ドライバ198₂に提供する。両方の出力ドライバは同様に構成され、偶数出力ドライバ198₂の例を図16に示す。特に、図16は、それぞれの偶数列出力信号V_{COL2}、V_{COL4}、…、V_{COL512}(図9では一般名で列信号出力V_{COLj}と称する)が、対応するスイッチ191₂、191₄、…、191₅₁₂に印加され、列選択レジスタ194₂によって提供された偶数列選択信号ColSel₂、ColSel₄、…、ColSel₅₁₂に応答し、偶数列出力信号とバッファ増幅器199 (BUF)をバス175を介して連続的に接続する。図16において、バッファ増幅器199は、出力バッファ正電源電圧VDDOから電力を受けとり、バッファ出力のためのバイアスを制御する出力バッファバイアス電圧VBOOに応答する。バッファ増幅器199の高インピーダンス入力を考慮すると、バイアス電圧VB3に응答する電流シンク197は、選択された列の列出力バッファ(図9のバッファ増幅器111_j参照)の出力のために適したドライブ電流(例えば、約100 μAオーダー)を提供するた

めにバス175と接続する。バッファ増幅器199は、アレイの選択された偶数列に基づく出力信号Vout2を提供し、同時に、図13を参照すると、対応する「奇数」出力ドライバ198₁は、アレイの選択された奇数列に基づく出力信号Vout1を提供する。

【0197】

1つの典型的な実装において、偶数および奇数の出力ドライバ198₁および198₂のスイッチは（例えば、図16に示す、スイッチ191₂、191₄、・・・、191₅₁₂）、CMOSペア伝達ゲート（n-チャンネルMOSFETおよびp-チャンネルMOSFETを含む、図4参照）として実装してもよく、またインバータは、各列選択信号およびその相補信号が、スイッチングを可能にする所与の伝達ゲートスイッチ191に印加されるように用いてもよい。各スイッチ191は、直列抵抗を有し、有効または「on」の場合、対応する列出力信号とバス175を接続し、同様にスイッチがOFFの場合、バス175に静電容量を与える。より大きなスイッチは直列抵抗を減少させ、バス175のためのより高いドライブ電流を可能にし、一般的にバス175がより速く安定することを可能にする。一方、より大きなスイッチは、スイッチがoffの場合にバス175の静電容量を増加させ、バス175の安定化時間を増加させる。したがって、スイッチサイズに関して、スイッチ直列抵抗と静電容量との間には、有益なトレードオフが存在する。

【0198】

後続の連続したスイッチを順に有効にすることをすばやく安定にさせるバス175の能力は、アレイからの高速データの取得を容易にする。この目的のために、いくつかの態様において、出力ドライバ198₁および198₂のスイッチ191は、バス175の安定化時間を顕著に減少させるために特別に構成される。所与のスイッチのn-チャンネルとp-チャンネルの両方は、バス175の静電容量を増加させる。しかしながら、n-チャンネルMOSFETは一般的に、p-チャンネルよりもよい周波数応答および電流ドライブ容量を有する。上記の観点において、本発明者らは、所与のスイッチのn-チャンネルMOSFETおよびp-チャンネルMOSFETのそれぞれのサイズが異なる「非対称」スイッチの実装によって、バス175の安定化時間を改善するために、n-チャンネルMOSFETのいくつかの優れた特性が利用できることを認識し、理解している。

【0199】

例えば、1つの態様において、図16を参照すると、電流シンク197は、全てのスイッチ191₂、191₄、・・・、191₅₁₂が開くまたはoffの場合（導電していない）、バス175が通常「引き下げられる（プルダウンされる）」ように構成することができる。ISFET測定に基づく列出力信号のいくつかの限定された予想される信号ダイナミックレンジを考慮すると、所与のスイッチが有効またはonの場合（導電している）、多くの例において導電の大部分はスイッチを構成するCMOSペアのn-チャンネルMOSFETによって行なわれる。したがって、この態様の1つの側面において、各スイッチ191のn-チャンネルMOSFETとp-チャンネルMOSFETは異なるサイズにされる。すなわち、1つの典型的な実装においては、n-チャンネルMOSFETがp-チャンネルMOSFETより顕著に大きくされる。より具体的には、サイズが等しいn-チャンネルおよびp-チャンネルMOSFETを基準点として考慮すると、1つの実装においてn-チャンネルMOSFETは、約2～2.5倍にサイズが大きくなり、p-チャンネルMOSFETは、約8～10倍サイズが減少し、n-チャンネルMOSFETはp-チャンネルMOSFETよりも約20倍大きいサイズとなる。p-チャンネルMOSFETのサイズの著しい減少および比較的小さいn-チャンネルMOSFETのサイズの増加によって、off状態のスイッチ全体の静電容量は顕著に減少し、対応するバス175への静電容量も顕著に減少する。同時に、より大きなn-チャンネルMOSFETによって、電流ドライブ能力、周波数応答およびスイッチのトランスコンダクタンスが著しく向上し、バス175の安定化時間は著しく減少する。

【0200】

上記例は、n-チャンネルMOSFETがp-チャンネルMOSFETよりも大きい出力ドライバ198₁および198₂のための非対称スイッチ191を示すが、別の態様に

においては、逆、すなわち、p-チャンネルMOSFETがn-チャンネルMOSFETよりも大きい非対称スイッチが実装されてもよいと理解されるべきである。この態様の別の側面において、図16を再度参照すると、電流シンク197は、選択された列の列出力バッファ（図9のバッファ増幅器111j参照）の出力を適切にドライブするための電流ソースとして代替的に機能してもよく、また全てのスイッチ191₂、191₄、・・・、191₅₁₂が開くまたはoffの場合（導電していない）、バス175が通常「引き下げられる（プルダウンされる）」ように構成されてもよい。この状況では、ほとんどのスイッチ導電は、スイッチを構成するCMOSペアのp-チャンネルMOSFETによって達成することができる。n-チャンネルMOSFETと比べp-チャンネルMOSFETの周波数応答性が低いため、バス175の安定化時間減少の全体的な有益な効果は、上述したものよりいくらか減少するが、スイッチ容量の減少（およびこれによるバス容量の減少）の利点は、この態様によって理解することができる。しかしながら、より大きなp-チャンネルMOSFETに基づく非対称スイッチは、依然としてバス安定化時間の減少を著しく促進し、列出力バッファ増幅器（図9の111j）がかなり増加されたゲインを伴い、「ボディー接合（body-tied）」ソースフォロウになりうる回路実装をまた提供することができる。

10

【0201】

図16に示すバス175の高速安定化の促進に関するさらに別の態様において、バス175と接続するスイッチの少なさが、より小さいバス静電容量をもたらすことが理解されるべきである。この点を考慮し、再度図13を参照すると、さらに別の態様において、3以上の出力ドライバ198₁および198₂は、各出力ドライバがより少ないアレイの列数を処理するように、ISFETアレイ100に用いてもよい。例えば、1つのドライバによって処理される全ての偶数列および1つのドライバによって処理される全ての奇数列を有するよりむしろ、各出力ドライバがアレイの全列の4分の1、さらには2分の1を処理するように、アレイが4つの列選択レジスタ194₁₂₃₄および対応する4つの出力ドライバ198₁₂₃₄を有してもよい。かかる実装において、各出力ドライバはしたがって、図16に関して上述した態様と比較すると、スイッチ191の数は半分になることになり、各出力ドライバのバス175は、対応するより低い静電容量を有することになり、これにより、バス安定化時間が向上される。この例では、例示を意図して4つの出力ドライバを示したが、本開示は、この点において限定されず、上述した状況において、実質的に、出力ドライバは、2をはるかに超えていくつでもバス安定化時間を向上させるために用いられてもよいと理解されるべきである。3以上の出力ドライバがアレイからの高速データ取得を促進するために用いられる他のアレイの態様は、以下により詳細に示す（例えば、図19～23に関して）。

20

30

【0202】

図13～16に関して上述したアレイ設計の1つの側面において、離れたアナログ電源電圧接続（VDDA、VSSA間）、デジタル電源電圧接続（VDDD、VSSD間）および出力バッファ電源電圧接続（VDDO、VSSO間）は、様々なアレイコンポーネント間でのノイズの遮断および漏信（クロストーク）の減少を促進するために、アレイ上に提供され、これにより、Vout1およびVout2出力信号の信号対雑音比（SNR）が向上される。1つの典型的な実装において、正電源電圧VDDA、VDDDおよびVDDOそれぞれは、約3.3ボルトであってよい。別の側面において、これらの電圧は、図17に関して以下でさらに述べるとおり、1または2以上のプログラム可能な電圧ソースによって、「オフチップ」としてそれぞれ提供される。

40

【0203】

図17は、本開示の1つの発明態様による、アレイコントローラ250に接続する図13のセンサアレイ100のブロック図を例示するものである。様々な典型的な態様において、図8に関して上述したとおり、アレイコントローラ250は、「独立型」コントローラまたはコンピュータ260の一部を形成している互換性のある「カード」として製造されてもよい。1つの側面において、図17に示すとおり、アレイコントローラ250の機

50

能は、インターフェースブロック252を介してコンピュータ260によって制御することができる（例えば、USBポートまたはPCIバスを介したシリアルインターフェース、インターネット接続等）。1つの態様において、アレイコントローラ250は、従来のICチップと同様に、アレイ100がつながるプリント回路板として製造される（例えば、アレイ100がアレイコントローラにつながるASICとして構成される）。かかる態様の1つの側面は、アレイコントローラの全ての部分が、以下さらに詳細に述べる様々なアレイコントローラの機能を実行するために構成されるフィールドプログラマブルゲートアレイ（FPGA）として実装されてもよい。

【0204】

一般的に、アレイコントローラ250は、様々な電源電圧およびバイアス電圧をアレイ100に提供し、同様に行および列選択に関する信号、ピクセル出力のサンプリングおよびデータ取得を提供する。特に、アレイコントローラ250は、アレイ100からの複合された各ピクセル電圧信号を含む2つのアナログ出力信号Vout1（奇数列）およびVout2（偶数列）読み、測定データをコンピュータ260に提供するために各ピクセル信号をデジタル化する。いくつかの態様において、アレイコントローラ250はまた、アレイの較正および機能診断、ならびに図11Aに関して上述したとおり、任意のUV照射処理を実行または容易にするように構成されてもよい。

【0205】

図17に例示するとおり、アレイコントローラ250は、一般的にアレイ100に、アナログ電源電圧および接地（VDDA、VSSA）、デジタル電源電圧および接地（VDD、VSSD）およびバッファ電源電圧および接地（VDDO、VSSO）を提供する。1つの典型的な実装において、正電源電圧VDDA、VDDDおよびVDDOそれぞれは、約3.3ボルトである。上述したとおり、1つの側面において、これらの各電源電圧は、ノイズの遮断を容易にするために離れた導電経路を介してアレイ100に提供される。別の側面において、これらの電源電圧はそれぞれの電源／レギュレータから発生するか、または1または2以上のこれらの電源電圧が、アレイコントローラ250の電源258内の一般的な共通のソースから発生してもよい。電源258は、アレイ動作に必要とされるバイアス電圧（例えば、VB1、VB2、VB3、VB4、VBO0、VBODY）、およびアレイ診断および較正に用いられる参照電圧VREFも提供してもよい。別の側面において、電源258は、バイアス電圧、参照電圧および電源電圧のいくつかまたは全てをソフトウェア制御下で変更可能にするために（すなわち、プログラム可能なバイアス設定）、コンピュータ260によって制御されうる1または2以上のデジタルアナログ変換器（DAC）を含む。例えば、コンピュータ制御に応答する電源258は、ピクセルドレイン電流のためのバイアス電圧VB1およびVB2、列バイアスドライブのためのVB3、列増幅器バンド幅のためのVB4および列出力バッファ電流ドライブのためのVBO0の調整を容易にすることができる。いくつかの側面において、1または2以上のバイアス電圧は、有効なピクセルからの信号の整定時間（セtringタイム）を最適化するために調整することができる。さらに、アレイの全てのISFEET共通のボディ電圧VBODYは、トラップ電荷を減少させるための製造後UV処理の間は接地され、その後診断分析、較正および測定／データ収集のための通常動作の間は、高電圧（例えば、VDDA）に接続することができる。同様に参照電圧VREFは診断および較正の多様さを促進するために変更することができる。

【0206】

図17にまた示すとおり、アレイ100によって測定される分析溶液に関連して通常用いられる参照電極76は（図1に關係して上述したとおり）、ピクセル出力電圧に対する参照電位を提供するために、電源258に接続してもよい。例えば、1つの実装において、参照電極76は、上記式（3）に基づくピクセル出力電圧のリファレンスを提供するために、電源の接地に接続されてもよい（例えば、アナログ接地VSSA）。他の典型的な実装において、参照電極電圧は、pHレベルが既知の対象とする溶液／サンプルをセンサアレイ100に近接して配置すること、および参照電極電圧をアレイ出力信号Vout1

10

20

30

40

50

および V_{out2} が所望のリファレンスレベルになるまで調整することによって、設定することができ、続いて生じるピクセル電圧における変化が、既知のリファレンス pH レベルに対する pH の局所的な変化を反映する。一般的に、いくつかの態様において、電源 258 によって提供された参照電圧 V_{REF} は参照電極 76 の設定に用いられるが、参照電極 76 に関連する電圧は、上述した参照電圧 V_{REF} （多様なアレイ診断および校正機能に用いられる）と必ずしも同じである必要はないと理解されるべきである。

【0207】

アレイ 100 からのデータ取得に関して、1つの態様において図 17 のアレイコントローラ 250 は、センサアレイからの出力信号 V_{out1} および V_{out2} をさらにバッファに集め、選択可能なゲインを提供する 1 または 2 以上の前置増幅器 253 を含んでもよい。1つの側面において、アレイコントローラ 250 は、各出力信号に対して 1つの前置増幅器を含んでもよい（例えば、2 アナログ出力信号に対して 2つの前置増幅器）。他の側面において、前置増幅器は 0.0 ~ 3.3 ボルトの入力電圧を受信するよう構成され、プログラム可能な / コンピュータ選択可能なゲイン（例えば、1、2、5、10 および 20）および低ノイズ出力（例えば、 $< 10 \text{ nV} / \text{sqrt Hz}$ ）を有し、低減パスフィルタを提供してもよい（例えば、5 MHz および 25 MHz のバンド幅）。さらに別の側面において、前置増幅器は、所望の範囲かどうか規定のレベルを設定するために、入力および / または出力電圧信号に対するプログラム可能な / コンピュータが選択可能なオフセットを有する。

【0208】

図 17 のアレイコントローラ 250 はまた、コンピュータ 260 にデータを提供するために、センサアレイ出力信号 V_{out1} および V_{out2} をデジタル出力（例えば、10 ビットまたは 12 ビット）に変換するための 1 または 2 以上のアナログーデジタル変換器（ADC）254 を含んでもよい。1つの側面において、1 ADC がセンサアレイの各アナログ出力のために用いられてもよく、各 ADC は、対応する前置増幅器に接続してもよい（所与の実装において前置増幅器が用いられる場合）。別の側面において、ADC は、異なる範囲のアレイ出力信号および / または前置増幅器パラメータを伴う互換性を容易にするためのコンピュータ選択可能な入力範囲（例えば、50 mV、200 mV、500 mV、1 V）を有してもよい。さらに他の側面において、ADC のバンド幅は 60 MHz より大きくてもよく、データ取得 / 変換速度は 25 MHz より大きくてもよい（例えば、100 MHz またはそれ以上）。

【0209】

図 17 の態様において、ADC 取得タイミングおよびアレイ行および列選択はタイミングジェネレータ 256 によって制御される。特に、タイミングジェネレータは、行選択を制御するために、デジタル垂直データおよびクロック信号（DV、CV）を、また列選択を制御するために、デジタル水平データおよびクロック信号（DH、CH）を提供し、列サンプリングおよび保持信号 COL SH を、図 9 に関係して上述したとおり、サンプルそれぞれのピクセル電圧を有効な行に提供する。いくつかの態様において、適切に時間制御された信号を形成するために、タイミングジェネレータ 256 は、コードを実行し、マルチチャンネルデジタルパターンジェネレータとして構成されているマイクロプロセッサによって、実装されてもよい。1つの典型的な実装において、タイミングジェネレータ 256 はフィールドプログラマブルゲートアレイ（FPGA）として実装されてもよい。

【0210】

図 18 は、センサアレイ 100 からピクセルデータを取得するために、タイミングジェネレータ 256 によって提供される、このような信号のための典型的なタイミング図を例示するものである。以下説明のために、「フレーム」はアレイ内の各ピクセルに対する値を含むデータセットとして定義し、「フレームレート」は連続するフレームがアレイから取得されうる率として定義する。図 18 の例において、典型的な 20 フレーム / 秒のフレームレートをアレイの動作を例示するために選択する（すなわち、行および列選択および信号取得）。しかしながら、本開示によるアレイおよびアレイコントローラは、この点に

限定されず、より低いフレームレート（例えば1～10フレーム／秒）またはより高いフレームレート（例えば、25、30、40、50、60、70～100フレームレート／秒等）を含む異なるフレームレート、同等かまたはそれより多いピクセル数が可能であると理解されるべきである。いくつかの実装用途において、所与の分析物または（複数の）分析物の実験に導電した数秒にわたる多くのフレームを含むデータセットが取得されてもよい。いくつかのこのような実験は、連続して行われ、場合によっては、データ転送／処理および／またはセンサアレイASICの洗浄および後続の実験のための試薬の準備をするための休止を伴う。

【0211】

1つの実装において、アレイコントローラ250は行を連続的に1つずつ有効にしてアレイ100を制御する。例えば、図9を再度しばらく参照すると、ピクセルの第1の行は行選択信号

【数10】

RowSel₁

を介して有効にされる。有効なピクセルは、ある期間一定化され、COL SH信号は、各列のサンプリング／保持スイッチを閉じ、また列の第1のピクセルによる出力電圧値を列のサンプリング／保持キャパシタC_{sh}上に保持するために、一時的に（briefly）アサートされる。この電圧はその後列出力電圧V_{COL_j}として2つ（奇数および偶数列）のアレイ出力ドライバ198₁および198₂のうち1つに印加される（例えば、図16参照）。COL SH信号は、その後ディアサートされ、これにより、各列のサンプリング／保持スイッチが開き、また列増幅器107Aおよび107Bから、列出力バッファ111_jが分断（decoupling）される。その後すぐに、ピクセルの第2の行が行選択信号

【数11】

RowSel₂

を介して有効にされる。ピクセルの第2の行が安定化されている間、行選択信号は、第1の行に関連する列出力電圧を読むために、2つずつ生成される（1つの奇数および1つの偶数、奇数列選択信号は連続して偶数出力ドライバに入力され、偶数列選択信号は連続して奇数出力ドライバに入力される）。こうして、アレイ内の所与の行が有効にされ安定化されている間に、前の行が2列ずつ読み出される。行選択およびサンプリング／読取りを交互に配置することおよび所与の行に対して複数列ずつ読むことによって、データフレームは、顕著に合理化された方法でアレイから取得することができる。

【0212】

図18は、典型的フレームレート20フレーム／秒のための前記プロセスのタイミング図を例示するものである。このフレームレートおよびアレイ内の512行を考慮すると、図18に垂直の描写によって示すとおり、各行は約98マイクロ秒で読み出されなければならない。したがって、垂直クロック信号CVは98マイクロ秒周期を有し（すなわち、10kHzを超えるクロック周波数）、CV信号のトレーリングエッジ（立ち下がりエッジ）（負の導電）による新しい行の有効化を伴う。図18の左側が新しいフレームの始まりを示し、垂直データ信号DVは、CV信号の第1のトレーリングエッジの前にアサートされ、次のCV信号のトレーリングエッジの前にディアサートされる（連続するフレームからのデータ取得のために、垂直データ信号は行512が有効にされた後のみ再度リアサートされる）。また、各CV信号のトレーリングエッジの直前（例えば、新しい行が有効にされる）、COL SH信号は、2マイクロ秒間アサートされ、CV信号のトレーリングエッジ前に50ナノ秒が残る。

【0213】

図18において、COL SH信号の第1の発生はアレイの行512のピクセル値を実

際にサンプリングしている。こうして、C V信号の第1のトレーリングエッジが生じると、第1の行は有効にされC O L S H信号の第2の発生まで安定化される（約96マイクロ秒間）。第1の行の安定化時間の間、行512のピクセル値は、列選択信号を介して読み出される。512列を読むために、2つの列選択信号が同時に生成されるため、水平クロック信号C Hはこの期間内に256サイクル生成しなければならない、C H信号の各トレーリングエッジは、1つの奇数および1つの偶数列選択信号を生成する。図18に示すとおり、所与の行におけるC H信号の第1のトレーリングエッジは、サンプリング／保持キャパシタC_{s h}上に保持される電圧値を安定させるために、行選択の2マイクロ秒後に発生するように時間制御され、列出力バッファによって提供される。また各行に対して、水平データ信号D Hは、C H信号の第1のトレーリングエッジの前にアサートされ、C H信号の次のトレーリングエッジの前にディアサートされる。最後の2列（例えば、511および512）は、上述したとおり、次の行が有効になる約2マイクロ秒前に発生するC O L S H信号の発生前に選択される。こうして512列は、2つずつ、約94マイクロ秒間以内で読まれる（すなわち、98マイクロ秒／行であり、各行の最初と最後の2秒を引く）。これは、各アレイ出力信号V o u t 1およびV o u t 2に対して、約2.7MHzのデータレートをもたらす。別の側面において、A D C (s) 254は、各ピクセル測定のための複数のデジタル化されたサンプルを提供するために、出力信号V o u t 1およびV o u t 2を著しく高速度で採取するように、タイミングジェネレータ256によって制御されてもよく、その後平均化されてもよい（例えば、A D Cデータ取得速度は、2.7MHzアレイ出力信号を採取する約100MHzとなることができ、これによりピクセル測定あたり約35～40ものサンプルを提供することができる。）

【0214】

センサアレイおよびA D Cの制御に加えて、タイミングジェネレータ256が、様々なアレイ較正および機能の診断、同様に随意的紫外線照射処理を容易にするために構成されてもよい。この目的のために、タイミングジェネレータは、アレイの最終行の選択を示す信号L S T Vおよびアレイの最終列の選択を示す信号L S T Hを利用することができる。タイミングジェネレータ256は、参照電圧V R E Fを列バッファ増幅器に入力するC A L信号を生成すること、および紫外線照射プロセス（図9参照）の間、アレイ中の全てのI S F E Tのドレインを接地するU V信号を生成することにも関与することができる。タイミングジェネレータはまた、様々な較正および機能診断または紫外線照射の間に、電源またはバイアス電圧を適切に制御するために、電源258上に制御機能を提供することができる。例えば、紫外線照射の間、タイミングジェネレータは、U V信号がI S F E Tドレインを接地するために能動化されている間、ボディ電圧V_{B O D Y}と接地を接続するための電源を制御することができる。アレイ較正および診断、同様にU V照射に関して、いくつかの実装において、タイミングジェネレータは、適切な制御信号を提供するコンピュータ260から、特化したプログラムを受信することができる。1つの側面において、コンピュータ260は、アレイのダミーピクセルから得られた様々なデータ、同様にC A L信号および参照電圧V R E Fの用途に基づく列情報を、所与のアレイに関する様々な較正パラメータの決定および／または較正および機能診断のための特化したプログラムを作成するために、用いることができる。

【0215】

アレイコントローラ250のコンピュータインターフェース252に関して、1つの典型的な実装において、インターフェースは、コンピュータ260への約200MB/secのデータ速度を容易にするために構成される。コンピュータ260は、データを200MB/secで受信し、ピクセルイメージを再構築するためにデータを処理するように構成される（例えば、モニター上に、疑似色で示される）。例えば、コンピュータは、データ操作のために、C++またはVisual Basicで書かれたルーチンを含む汎用プログラムを実行するように構成されてもよく、ディスプレイは所望のものである。

【0216】

本開示による典型的なI S F E Tアレイおよびアレイコントローラのいくつかの側面に

10

20

30

40

50

について説明してきたが、図19～23は、さらに別の発明態様による、さらに多くのピクセル数を有するISFETセンサアレイの代替的なCMOS ICチップのブロック図を例示するものである。1つの側面において、図19～23に関してさらに以下に示す各ISFETアレイは、図17に示したものと類似のコントローラによって制御されてもよく、より多いピクセル数を収容するためには、いくつかの場合において軽微な変更を伴ってもよい（例えば、追加の前置増幅器253およびアナログデジタル変換器254）。

【0217】

図19は、本発明の1つの態様による、図9～12との関連で上述した列およびピクセル設計、ならびに0.35 μ m CMOS製造法に基づく、ISFETセンサアレイ100Aのブロック図を示す。アレイ100Aは、2048個の列102₁～102₂₀₄₈を含み、ここで各列は2048個の幾何学的に正方形のピクセル105₁～105₂₀₄₈を含み、この各々は約9 μ m $\times$ 9 μ mの寸法を有する。したがって、アレイは、400万個を超えるピクセル(>4メガピクセル)を含み、1つの例示の実装において、完全なアレイ（ISFETピクセルおよび関連する回路）は、約20.5mm $\times$ 20.5mmの寸法を有する集積回路チップとして製造することができる。

【0218】

図19に示す態様の1つの側面において、アレイ100Aは、少なくとも部分的に、個々に制御できるピクセルの、複数の群として構成してよい。例えば、ピクセルの各列はトップ部およびボトム部に分割でき、列のそれぞれのトップ部におけるピクセルの集積は、行の第1の群400₁（例えばトップ群、行：1～1024）を形成し、列のそれぞれのボトム部におけるピクセルの集積は、行の第2の群400₂（例えばボトム群、行：1025～2048）を形成する。次に、行の第1および第2の群（例えばトップおよびボトム）の各々は、対応する行選択レジスタ、列バイアス／読取り回路、列選択レジスタ、および出力ドライバと関連する。この様式で、行の第1の群400₁および第2の群400₂の各々からのピクセル選択およびデータ取得は、図13に示す全アレイ100からのピクセル選択およびデータ取得と、実質的に同様となる。言い換えれば、1つの側面において、図19のアレイ100Aは、同時に制御される2つの異なるピクセル群の「サブアレイ」を含み、これによって多数のピクセルからのデータ取得の効率化を提供する。

【0219】

特に図19は、行の第1の群400₁の行選択が第1の行選択レジスタ192₁によって制御され、行の第2の群400₂の行選択が第2の行選択レジスタ192₂によって制御されてよいことを示す。1つの態様において、行選択レジスタ192₁および192₂の各々は、図14との関連で上述したように構成されてよく、垂直クロック（CV）信号および垂直データ（DV）信号を受信し、これに応答して行選択信号を発生する；例えば、第1の行選択レジスタ192₁は、

【数12】

RowSel₁

から

【数13】

RowSel₁₀₂₄

までの信号を生成し、第2の行選択レジスタ192₂は、

【数14】

RowSel₁₀₂₅

から

【数 1 5】

RowSel₂₀₄₈

までの信号を生成することができる。他の態様において、両方の行選択レジスタ 192_1 および 192_2 は、共通の垂直クロックおよびデータ信号を同時に受信してもよく、こうして、アレイの2つの行が所与の時間において、トップ群から1つ、ボトム群からもう1つを有効化される。

【0 2 2 0】

行の第1および第2の群の各々に対して、図19のアレイ100Aはさらに、列バイアス／読取り回路 $110_{1T} \sim 110_{2048T}$ (第1の行群 400_1 に対して) および $110_{1B} \sim 110_{2048B}$ (第2の行群 400_2 に対して) を含み、こうして各列は、図9に示すバイアス／読取り回路 110_j の2つの例を含む。アレイ100Aはまた、第2の行群 400_2 に対し、2つの列選択レジスタ $192_{1,2}$ (奇数および偶数) および2つの出力ドライバ $198_{1,2}$ (奇数および偶数) を含み、また、第1の行群 400_1 に対し、2つの列選択レジスタ $192_{3,4}$ (奇数および偶数) および2つの出力ドライバ $198_{3,4}$ (奇数および偶数) を含む (すなわち、全部で4つの列選択レジスタおよび4つの出力ドライバ)。列選択レジスタは、水平クロック信号 (第1の行群および第2の行群に対して、それぞれCHTおよびCHB) および水平データ信号 (第1の行群および第2の行群に対して、それぞれDHTおよびDHB) を受信して、奇数および偶数列の選択を制御する。1つの実装において、CHTおよびCHB信号は共通信号として供給されてよく、DHTおよびDHBは共通信号として供給されてよく、こうして、アレイから1回に4つの列を同時に読み取る (すなわち、各行群から1つの奇数列および1つの偶数列)。特に、図13～18との関連で上述したように、各有効行に対して2つの列を同時に読み取り、対応するピクセル電圧を2つの出力信号として供給する。したがって、2つの行を任意の所与の時間において有効化し、任意の所与の時間に1つの行について2つの列を読み取ることを介して、アレイ100Aは、4つの同時出力信号 V_{out1} 、 V_{out2} 、 V_{out3} および V_{out4} を供給することができる。

【0 2 2 1】

図19のアレイ100Aの1つの例示の実装において、ここで完全なデータフレーム (第1の行群 400_1 および第2の行群 400_2 両方からの全ピクセル) を20フレーム／秒のフレームレートで取得し、1024対の行をそれぞれ約49マイクロ秒の間、順番に有効化する。各有効行について、1024ピクセルを、各列選択レジスタ／出力ドライバにより約45マイクロ秒間読み取る (図18との関連で上述したように、各行の初めと終わりに2マイクロ秒を許容する)。したがって、この例において、アレイ出力信号の各々 V_{out1} 、 V_{out2} 、 V_{out3} および V_{out4} は、約23MHzのデータ率を有する。再度、他の実装において、データを図19のアレイ100Aから、20フレーム／秒以外のフレームレート (例えば50～100フレーム／秒) で取得してもよいことが理解されるべきである。

【0 2 2 2】

図13のアレイ100のように、さらに他の側面において図19のアレイ100Aは、該アレイの周囲にダミーまたは参照ピクセル103の複数行および複数列を含んでもよく、予備試験／評価データ、オフセット決定および／またはアレイの較正を促進する。さらに、アレイの操作に必要な種々の電力供給およびバイアス電圧 (図9との関連で上述したように) を、図13との関連で上述したものと類似の様式で、ブロック195のアレイ100Aに対して供給する。

【0 2 2 3】

図20は、本発明のさらに他の態様による、0.35 μm CMOS製造法に基づき、図19において上述したアレイ100Aと実質的に類似の構造を有する、ISFETセンサアレイ100Bのブロック図を示す。アレイ100Bも、一般的に図9～12との関連で

上述した列およびピクセル設計に基づくが、アレイ100Bのピクセルの寸法／ピッチは、図10に示すピクセルのそれより小さい。特に再度図10および11を参照して、図10に示す寸法「e」は、図20の態様においては、ピクセルの中央領域に配置された活性ピクセル要素のインテグリティに影響することなく、約9 μm から約5 μm に大幅に減少されている。同様に、図10に示す寸法「f」は、約7 μm から約4 μm に減少している。言い換えると、活性要素を囲むピクセルの周囲領域のいくつかは、図10との関連で与えられた寸法に関して、図10および11に示す、ピクセルの活性要素の上面および断面のレイアウトおよび設計を損なうことなく、実質的に（大幅に）減少される。かかるピクセル105Aの上面図を図20Aに示し、ここで、寸法「e」は5.1 μm であり、寸法「f」は4.1 μm である。このピクセル設計の1つの側面において、寸法の減少を促進するために、ピクセル105Aには、図10に示すピクセルと比べて、より少ないボディ接続（body connection）Bが含まれ（例えばピクセルの各角に1つずつ）、これには、ピクセルの全周囲の数個のボディ接続Bを含む。

【0224】

図20で言及したように、アレイ100Bは1348個の列102₁～102₁₃₄₈を含み、ここで各列は1152個の幾何学的に正方形のピクセル105A₁～105A₁₁₅₂を含み、この各々は約5 μm ×5 μm の寸法を有する。したがって、アレイは、150万個を超えるピクセル（>1.5メガピクセル）を含み、1つの例示の実装において、完全なアレイ（ISFETピクセルおよび関連する回路）は、約9mm×9mmの寸法を有する集積回路チップとして製造することができる。図19のアレイ100Aと同様に、1つの側面において、図20のアレイ100Bは、図19との関連で上述したように、2つの行の群400₁および400₂に分割される。1つの例示の実装において、完全なデータフレーム（第1の行群400₁および第2の行群400₂両方からの全ピクセル）を50フレーム／秒のフレームレートで取得し、これにより576対の行をそれぞれ約35マイクロ秒の間、順番に有効化することが必要である。各有効行について、674ピクセルを、各列選択レジスタ／出力ドライバにより約31マイクロ秒間読み取る（図18との関連で上述したように、各行の初めと終わりに2マイクロ秒を許容する）。したがって、この例において、アレイ出力信号の各々Vout1、Vout2、Vout3およびVout4は、約22MHzのデータ率を有する。再度、他の実装において、データを図20のアレイ100Bから、50フレーム／秒以外のフレームレートで取得してもよいことが理解されるべきである。

【0225】

図21は、本発明のさらに他の態様による、0.35 μm COMS製造法に基づき、図20および20Aとの関連において上述したより小さなピクセル寸法を組み込んだ（5.1 μm 四方のピクセル）、ISFETセンサアレイ100Cのブロック図を示す。図21で言及したように、アレイ100Cは、4000個の列102₁～102₄₀₀₀を含み、ここで各列は3600個の幾何学的に正方形のピクセル105A₁～105A₃₆₀₀を含み、この各々は約5 μm ×5 μm の寸法を有する。したがってアレイは、1400万個を超えるピクセル（>14メガピクセル）を含み、1つの例示の実装において、完全なアレイ（ISFETピクセルおよび関連する回路）は、約22mm×22mmの寸法を有する集積回路チップとして製造することができる。図19および図20のアレイ100Aおよびアレイ100Bと同様に、1つの側面において、図21のアレイ100Cは、2つの行の群400₁および400₂に分割される。しかし、アレイ100Aおよびアレイ100Bとは異なり、各行群に対して、アレイ100Cは16個の列選択レジスタおよび16個の出力ドライバを含み、有効行において1時点に16ピクセルを同時に読み取り、こうして32個の出力信号Vout1～Vout32をアレイ100Cから供給することができる。1つの例示の実装において、完全なデータフレーム（第1の行群400₁および第2の行群400₂両方からの全ピクセル）を50フレーム／秒のフレームレートで取得でき、これにより1800対の行をそれぞれ約11マイクロ秒の間、順番に有効化することが必要となる。各有効行について、250ピクセル（4000／16）を、各列選択レ

ジスタ／出力ドライバにより約7マイクロ秒間読み取る（各行の初めと終わりに2マイクロ秒を許容する）。したがって、この例において、アレイ出力信号の各々Vout1～Vout32は、約35MHzのデータ率を有する。前の態様におけるのと同様に、他の実装において、データをアレイ100Cから、50フレーム／秒以外のフレームレートで取得してもよいことが理解されるべきである。

【0226】

図13～21との関連で上述した例示のアレイは、0.35μmの従来のCOMS製造法に基づくが、本開示によるアレイはこの点において限定されず、その理由は、0.35μm未満の形状を有するCOMS製造法（例えば0.18μmCOMS加工技術）を用いて、かかるアレイを製造してもよいからである。したがって、ピクセル寸法／ピッチが5μmより大幅に小さいISFETセンサアレイを製造することができ、非常に高密度のISFETアレイを提供する。例えば、図22および23はそれぞれ、0.18μmCOMS製造法に基づく、さらに他の態様によるISFETセンサアレイ100Dおよび100Eのブロック図であり、ここでは2.6μmのピクセル寸法が実現されている。ピクセル設計それ自体は、図20Aに示すピクセル105Aに実質的に基づき、ただし、0.18μmCOMS法のため、より小さなスケールである。

【0227】

図22のアレイ100Dは、2800個の列102₁～102₂₈₀₀を含み、ここで各列は2400個の、幾何学的に正方形で、各々約2.6μm×2.6μmの寸法を有するピクセルを含む。したがって、アレイは650万個を超えるピクセル（>6.5メガピクセル）を含み、1つの例示の実装において、完全なアレイ（ISFETピクセルおよび関連する回路）は、約9mm×9mmの寸法を有する集積回路チップとして製造することができる。図19～21のアレイ100A、100Bおよび100Cと同様に、1つの側面において、図22のアレイ100Dは、2つの行の群400₁および400₂に分割される。しかし、アレイ100A、100Bおよび100Cとは異なり、各行群に対して、アレイ100Dは8個の列選択レジスタおよび8個の出力ドライバを含み、有効行において1時点に8ピクセルを同時に読み取り、こうして16個の出力信号Vout1～Vout16をアレイ100Dから供給することができる。1つの例示の実装において、完全なデータフレーム（第1の行群および第2の行群400₁および400₂両方からの全ピクセル）を50フレーム／秒のフレームレートで取得でき、これにより1200対の行をそれぞれ約16～17マイクロ秒の間、順番に有効化することが必要となる。各有効行について、350ピクセル（2800／8）を、各列選択レジスタ／出力ドライバにより約14マイクロ秒間読み取る（各行の初めと終わりに1～2マイクロ秒を許容する）。したがって、この例において、アレイ出力信号の各々Vout1～Vout16は、約25MHzのデータ率を有する。前の態様におけるのと同様に、他の実装において、データをアレイ100Dから、50フレーム／秒以外のフレームレートで取得してもよいことが理解されるべきである。

【0228】

図23のアレイ100Eは、7400個の列102₁～102₇₄₀₀を含み、ここで各列は7400個の、幾何学的に正方形で、各々約2.6μm×2.6μmの寸法を有するピクセルを含む。したがって、アレイは5400万個を超えるピクセル（>54メガピクセル）を含み、1つの例示の実装において、完全なアレイ（ISFETピクセルおよび関連する回路）は、約21mm×21mmの寸法を有する集積回路チップとして製造することができる。図19～22のアレイ100A～100Dと同様に、1つの側面において、図23のアレイ100Eは、2つの行の群400₁および400₂に分割される。しかし、アレイ100A～100Dとは異なり、各行群に対して、アレイ100Eは32個の列選択レジスタおよび32個の出力ドライバを含み、有効行において1時点に32ピクセルを同時に読み取り、こうして64個の出力信号Vout1～Vout64をアレイ100Eから供給することができる。1つの例示の実装において、完全なデータフレーム（第1の行群400₁および第2の行群400₂両方からの全ピクセル）を100フレーム／

秒のフレームレートで取得でき、これにより3700対の行をそれぞれ約3マイクロ秒の間、順番に有効化することが必要となる。各有効行について、230ピクセル(7400/32)を、各列選択レジスタ/出力ドライバにより約700ナノ秒間読み取る。したがって、この例において、アレイ出力信号の各々Vout1~Vout64は、約328MHzのデータ率を有する。前の態様におけるのと同様に、他の実装において、データをアレイ100Eから、100フレーム/秒以外のフレームレートで取得してもよいことが理解されるべきである。

【0229】

したがって、本明細書に開示された本発明の概念に基づくISFETアレイの種々の例において、約9 μ mのアレイピッチ(例えば、センサ表面積で10 μ m $\times$ 10 μ m未満)は、256,000個のピクセル(すなわち、512 $\times$ 512アレイ)を含むISFETアレイを可能として、関連する行および列選択ならびにバイアス/読取り用電子装置と共に、7mm $\times$ 7mmの半導体ダイ上に製造することができ、および、400万個を超えるピクセルを含む類似のセンサアレイ(すなわち、2048 $\times$ 2048アレイ、4メガを超えるピクセル)を、21mm $\times$ 21mmのダイ上に製造することができる。他の態様において、約5 μ mのアレイピッチは、約1.55メガピクセル(すなわち、1348 $\times$ 1152アレイ)を含むISFETアレイおよび関連する電子装置を、9mm $\times$ 9mmのダイ上に製造することを可能とし、また、14メガを超えるピクセルを含むISFETアレイおよび関連する電子装置を、22mm $\times$ 22mmのダイ上に製造することを可能とする。さらに他の実装において、0.35 μ m未満の寸法が可能であるCMOS製造法を用いて(例えば0.18 μ mCMOS加工技術)、5 μ mより顕著に小さいピクセル寸法/ピッチを有するISFETセンサアレイを製造することができ(例えば、2.6 μ mのアレイピッチ、または8もしくは9 μ m²未満のピクセル/センサ面積)、顕著に高密度のISFETアレイを提供する。

【0230】

上述のISFETアレイの態様において、アレイピクセルは、図9との関連で上述したように、p-チャネルISFETを用いる。しかし、本開示によるISFETアレイはこの点において限定されず、ISFETアレイに対する他の態様のピクセル設計は、n-チャネルISFETに基づいてもよい。特に、図13および19~23との関連で上述した任意のアレイは、n-チャネルISFETに基づくピクセルを用いて実装することができる。

【0231】

例えば、図24は、本開示の他の発明態様にしたがって、n-チャネルISFETおよび付随するn-チャネルMOSFETを用いて実装された、図9のピクセル設計を示す。さらに具体的には、図24は、アレイ列の1つの例示のピクセル105₁(すなわち、列の最初のピクセル)を、列バイアス/読取り回路110_jと共に示し、ここでISFET150(Q1)は、n-チャネルISFETである。図9のピクセル設計同様、図24のピクセル設計は3つのみの要素を含み、すなわち、ISFET150および、n行選択信号(RowSel₁~RowSel_n、正論理)の1つに応答する、2つのn-チャネルMOSFETスイッチQ2およびQ3である。図24のピクセルにおいては伝送ゲートは不要であり、ピクセルの全てのデバイスは「同一種類」、すなわち、n-チャネルデバイスである。さらに図9のピクセル設計と同じく、図24に示すピクセル105₁の3つの要素を操作するには、1ピクセル当たり4つのみの信号線、すなわち、線112₁、114₁、116₁および118₁が必要である。他の点においては、図9および図24のピクセル設計は、これらが両方とも、有効ピクセルからの出力信号V_{Sj}を得るために、定ドレイン電流I_{Dj}および定ドレインソース電圧V_{DSj}を有して構成されている点で、類似している。

【0232】

図24のn-チャネルISFETピクセル設計と、図9のp-チャネルISFET設計の間の主要な違いの1つは、ピクセルを通る電流が逆方向であることである。そのため図

10

20

30

40

50

24において、素子106_jは、アナログ回路電圧接地VSSAに結合された制御可能電流シンクであり、バイアス／読取り回路110_jの素子108_jは、アナログ正供給電圧VDDAに結合された制御可能電流源である。さらに、ISFET150のボディ接続は、その源には結合されず、代わりにアレイの他のISFETのボディ接続に結合され、これは次に、図24に示すようにアナログ接地VSSAに結合される。

【0233】

図9および図24に示すピクセル設計（定ISFETドレイン電流および定ISFETドレイン源電圧に基づく）に加えて、図25～27に示すように、本開示の他の発明態様による、p-チャンネルISFETとn-チャンネルISFETの両方に基づいた、ISFETアレイに対する代替的なピクセル設計が意図される。以下に検討するように、いくつかの代替的なピクセル設計は、データ取得を促進するために、アレイコントローラ250からの追加のおよび／または修正された信号を必要とする。特に、図25～27に示すピクセル設計の共通の特徴は、アレイの各列に対するサンプリング・保持キャパシタに加えて、各ピクセル自体の中に、サンプリング・保持キャパシタを含むことである。図25～27の代替的なピクセル設計は、一般に、図9および図24のピクセル設計より多数の要素を含むが、ピクセルサンプリング・保持キャパシタの特徴は、「スナップショット」型のアレイを有効にすることであり、ここで、アレイの全ピクセルが同時に有効になって完全なフレームをサンプリングし、アレイのそれぞれのISFETに近接する1または2以上の分析物の測定値を表す信号を取得する。いくつかの用途において、これは、より高いデータ取得スピードおよび／または信号感度の改善（例えばより高い信号対ノイズ比）を提供することができる。

【0234】

図25は、1つのピクセル105Cおよび関連する列回路110_jについての、かかる代替的設計の1つを示す。ピクセル105Cはn-チャンネルISFETを用いており、フィードバック増幅器（Q4、Q5、およびQ6）に基づきISFET Q1の両端に定電圧を提供するとの仮定に一般に基づく。特にトランジスタQ4は、フィードバック増幅器の負荷を構成し、増幅器電流は、バイアス電圧VB1（アレイコントローラから提供される）により設定される。トランジスタQ5は共通のゲート増幅器であり、トランジスタQ6は共通のソース増幅器である。再度、フィードバック増幅器の目的は、ISFET Q1にかかる電圧を、トランジスタQ3から供給される電流を調節して、一定に保つことである。トランジスタQ2は、ISFET Q1が引き出せる最大電流を制限する（例えば、これにより、ピクセルの非常にラージアレイの過熱で生じる損傷を予防する）。この最大電流は、バイアス電圧VB2により設定される（アレイコントローラによっても提供される）。図25に示すピクセル設計の1つの側面において、ピクセル105Cへの電力は、バイアス電圧VB2を0Vに、バイアス電圧VB1を3.3Vに設定することにより、オフにすることができる。このようにして、かかるピクセルのラージアレイに供給される電力を調節でき（短い時間オンにし、次にアレイコントローラによりオフにする）、アレイの全体の電力消費を抑えつつ、同時に、イオン濃度の測定を得ることができる。ピクセルへの電力の調節はまた、アレイの熱放散を低下させて分析物溶液の加熱の可能性を低下させ、これにより、試料の過熱による潜在的に有害な効果も低下させることができる

【0235】

図25において、フィードバック増幅器（トランジスタQ3のゲート）の出力を、MOSスイッチQ7によりサンプリングし、ピクセル自体の中にあるピクセルサンプリング・保持キャパシタCshに保存する。スイッチQ7はピクセルサンプリング・保持信号pSHにより制御され（アレイコントローラによりアレイチップに供給される）、これは、アレイの全ピクセルに同時に適用されて、全ピクセルの読取りをそれらそれぞれのサンプリング・保持キャパシタ上に同時に保存する。このようにして、図25のピクセル設計に基づくアレイは、アレイの連続する行をサンプリングする代わりに、全フレームのデータを任意の与えられた時間にサンプリングするという点において、「スナップショット」アレイと考えられる。各ピクセル値が対応するピクセルサンプリング・保持キャパシタCsh

に保存された後、各ピクセル105C（ISFETおよびフィードバック増幅器）は、他のpHの読取りを取得してもよく、または、電力節約のためにオフにすることもできる。

【0236】

図25において、全てのピクセルサンプリング・保持キャパシタCshに保存されたピクセル値を、列回路110jに、1回に1行ずつ、ソースフォロアーQ8を通して適用し、該ソースフォロアーは、行選択信号（例えばRowSel1）にตอบสนองしトランジスタQ9を介して有効化される。特に、行を選択してこれを確定した後、ピクセルサンプリング・保持キャパシタに保存された値を次に、列サンプリング・保持信号COLSHにより有効化された列サンプリング・保持キャパシタCsh2に保存し、列出力信号Vcoljとして供給する。

10

【0237】

図26は、本開示の1つの態様による、1つのピクセル105Dおよび関連する列回路110jについての、別の代替的設計を示す。この態様において、ISFETはp-チャネルデバイスとして示される。データ取得サイクルの開始において、信号pSH（ピクセルサンプリング／保持）およびpRST（ピクセルリセット）により制御されるCMOSSスイッチを閉じる（これらの信号はアレイコントローラにより供給される）。これにより、ISFET（Q1）の電源を、電圧VRSTへと引く。続いて、信号pRSTにより制御されるスイッチを開くと、ISFET Q1の電源は、ピクセルサンプリング・保持キャパシタCshを、pHにより設定されたレベルの下の閾値まで引く。次に、信号pSHにより制御されるスイッチを開き、ピクセル出力値を、行選択信号RowSel1にตอบสนองするスイッチの操作を介して列回路110jに結合して、列出力信号Vcoljを供給する。図25に示す態様におけるピクセル設計と同様に、ピクセル105Dに基づくアレイも、アレイの全ピクセルを同時に操作するという点において、「スナップショット」アレイである。1つの側面において、この設計は、全ピクセルの長く同時の統合時間と、それに続く、データの全フレームの高速読取りとを可能とする。

20

【0238】

図27は、本開示の1つの態様による、1つのピクセル105Eおよび関連する列回路110jについての、別の代替的設計を示す。この態様において、ISFETは再度、p-チャネルデバイスとして示される。データ取得サイクルの開始において、制御信号p1およびpRSTにより操作されるスイッチを短時間閉じる。これにより、サンプリングキャパシタCshに保存された値をクリアし、ISFET（Q1）への電荷の保存を可能とする。次に、信号pSHにより制御されるスイッチを閉じ、ISFET Q1に保存された電荷の、ピクセルサンプリング・保持キャパシタCshへの保存を可能とする。次に信号pSHにより制御されるスイッチを開き、ピクセル出力値を、行選択信号RowSel1にตอบสนองするスイッチの操作を介して列回路110jに結合し、列出力信号Vcoljを供給する。ピクセル105Eには、ISFETキャパシタンスのCshキャパシタンスへの比率を介してゲインが供給され、すなわち $\text{ゲイン} = C_{Q1} / C_{sh}$ であり、または、ピクセルを複数回有効にし（すなわち、分析物測定の数サンプルを取る）、およびISFET出力を、ピクセルサンプリング・保持キャパシタCshにキャパシタをリセットすることなく蓄積することにより、ゲインが供給される（すなわち、ゲインは蓄積の回数の関数である）。図25および図26の態様と同様に、ピクセル105Eに基づくアレイも、アレイの全ピクセルを同時に操作できるという点において、「スナップショット」アレイである。

30

40

【0239】

センサの検討から離れて、ここで、ISFETアレイの、マイクロウェルアレイおよび付随する流体との組み合わせについて検討する。マイクロアレイ構造のほとんどの図は、断面図のみであるか、または単純化した図においてアレイをブロックとしてのみ示しているため、図28Aおよび図28Bを提供し、読者が最初に、得られる装置を3次元空間において視覚化するのを支援する。図28Aは、1つのアレイに配置された丸い円柱状ウェル2810の群を示し、図28Bは、1つのアレイに配置された四角柱状ウェル2830

50

の群を示す。ウェルが、ウェルの壁を形成している材料2840によって互いに隔てられている（分離されている）ことがわかる。他の断面形状のウェルを製造することも明らかに可能であるが、これは有利であるとは考えられない。かかるマイクロウェルのアレイを上述のISFETアレイの上に載せて、1つのウェル当たり1または2以上のISFETが対応するようにする。続く図においてマイクロアレイを識別する場合、これらのアレイの1つを想像してよい。

【0240】

流体システム：高密度電子センサアレイと共に用いるための装置および方法

多くの使用に対して、上で説明した高密度電子アレイを用いて化学反応または化学剤を感知するシステムを完成させるために、アレイ素子（「ピクセル」と呼ばれる）に、感知のための化学的または生化学的要素を含有する流体を送達するための、技法および装置が必要である。この節では、例示の技法および方法が説明され、これらは所望の特徴を有しており、かかる目的に有用である。

10

【0241】

システムの高速操作が望まれるであろうから、流体送達システムは、できる限り、システム全体の操作スピードを制限しないことが好ましい。

【0242】

したがって、イオン濃度もしくは他の化学的屬性、または化学的屬性における変化に感応性である、ISFETまたは他の素子の高速かつ高密度アレイに対する必要性のみでなく、評価すべき試料を、感知すべき変数の検出の質およびスピードを実質的に向上させるために十分少量の反应用量において、前記アレイ素子に供給するための、関連する機構および技法に対する必要性も存在する。

20

【0243】

対象化学試料をアレイ素子へ送達するのに関与する、2種もしくは場合によっては3種の要素またはサブシステム、および関連方法が存在する：（1）試薬および洗浄流体供給のマクロ流体システムならびに適切なバルブ操作および補助装置、（2）フローセル、および（3）多くの用途において、マイクロウェルアレイ。これらサブシステムの各々を、逆の順序で検討する。

【0244】

マイクロウェルアレイ

他の場所で検討したように、例えばDNAシーケンシングなどの多くの使用について、半導体センサアレイの上に、対応するマイクロウェルのアレイを提供するのが望ましく、ここで各マイクロウェルは、好ましくは1つのみのDNA負荷ビーズ（DNA-loaded bead）を受け取るのに十分小さく、これに関連して、アレイの下にあるピクセルは、対応する出力信号を提供する。

30

【0245】

かかるマイクロウェルアレイの使用には、製造および調製の3つのステージが関与し、その各々を別々に検討する：（1）マイクロウェルのアレイを作製して、マイクロウェルアレイ層を含む被覆物を有するチップをも作出すること、（2）被覆チップを流体インターフェイスへ装着すること、およびDNAシーケンシングの場合、（3）1または2以上のDNA負荷ビーズをウェル内に装填すること。当然ながら、他の用途において、ビーズは不必要であるか、または異なる特性を有するビーズを用いてもよいことが理解される。

40

【0246】

マイクロウェルアレイの製造

マイクロウェルの製造は、多くの方法により行ってよい。製造の実際の詳細にはいくつかの実験が必要となることもあり、利用可能な加工能力により変化する。

【0247】

一般に、マイクロウェルの高密度アレイの製造には、フォトリジスト（有機または無機）、誘電体などの材料の1または2以上の層の上に、エッチング法を用いて、ウェルのア

50

レイ構造をフォトリソグラフィによりパターンニングすることを含む。パターンニングは、センサアレイ上で前記材料を用いて行ってもよく、または、別々に行って、次にセンサアレイチップ上に移送してもよく、または、これら2つの一定の組合せでもよい。しかし、フォトリソグラフィ以外の技法も、許容し得る結果をもたらすのであれば、除外すべきではない。

【0248】

マイクロウェルアレイを形成する1つの例についてここで検討し、図29への参照から開始する。この図は、CMOSダイ2914上の、個々のISFETセンサ2912の1つのアレイ2910を示す、チップレイアウトの1つのコーナー（すなわち、左下の角）の上面図を示す。信号線2916および2918は、アレイにアドレスしてその出力を読み取るために用いる。

10

【0249】

ブロック2920は、上述のように、アレイに対するいくつかの電子装置を示し、層2922は壁の一部を示し、これは、以下に詳細に説明するように、マイクロ流体構造物すなわちフローセルの一部となる。フローセルは、マイクロウェルアレイの上か、またはもしマイクロウェル構造がない場合には、直接センサ表面の上に、流体流を提供する構造である。ダイの表面上には、図29の左下のパターン2922などのパターンを、ISFETおよび関連回路を形成する半導体加工中に形成することができて、これを、誘電体がダイ表面を覆った場合に、センサピクセル上にウェルを配置するための、位置合わせマークとして用いることができる。

20

【0250】

図に示すように半導体構造を形成した後、マイクロウェル構造をダイに適用する。すなわち、マイクロウェル構造は、ダイ上に直接形成することができ、または、別々に形成して、次にダイ上に装着してもよく、どちらのアプローチも許容し得る。マイクロウェル構造をダイ上に形成するために、種々の方法を用いてよい。

【0251】

例えば、ダイ全体を、例えばMicrochemのSU-8 2015などのネガ型フォトレジストまたはHD Microsystems HD8820などのポジ型レジスト／ポリイミドにより、マイクロウェルの所望の高さまでスピンコーティングしてもよい。1または2以上のフォトレジスト層におけるウェルの所望の高さ（例えば、1ウェル当たり1ピクセルの例において約4～12 μm ）であるが、しかし一般事項として限定はしない）は、1または2以上の層において、適切なレジストを所定の速度で（これは、文献を参照して、および製造業者の仕様にしたがって、または実験的に見出すことができる）スピンすることにより実現することができる。

30

【0252】

（ウェルの高さは典型的には、センサーピクセルの横寸法に関連して、好ましくは公称の1：1～1.5：1のアスペクト比、高さ：幅もしくは直径により選択してよい。信号対ノイズ比の考察に基づき、所望レベルの性能を達成するための、寸法と必要なデータサンプリング率との間の関係が存在する。したがって、所与の用途に対して、最適なパラメータを選択する際に検討する多数の要因がある。）代替的に、異なるフォトレジストの複数層を適用することができ、または他の形態の誘電材料を蒸着してもよい。種々の種類の化学蒸着法を用いて、マイクロウェル形成に好適な材料層を構築することができる。

40

【0253】

フォトレジスト層（単数形の「層」の用語を用いて、集合体における複数の層をも包含する）を所定の位置に置いた後、個別のウェル（一般にはウェル当たり1個または4個どちらかのISFETを有するものとしてマッピングされる）を、マスク（例えばクロムのマスク）をレジストで被覆したダイ上に置き、レジストを架橋（一般にUV）照射に暴露することにより作製する。照射に暴露されたレジスト全体（すなわち、マスクが照射をブロックしていない部分）は架橋され、その結果、チップ（ダイ）の表面に結合した永久プラスチック層を形成する。非反応のレジスト（すなわち、マスクが光のレジストへの到達をブロックし、架橋が妨害されたために、暴露されなかったレジストの領域）は、例えば

50

プロピレングリコールメチルエチルアセテート（PGMEA）または他の好適な溶媒などの好適な溶媒（すなわち現像剤）中でチップを洗浄することにより、除去される。得られた構造は、マイクロウェルアレイの壁を規定する。

【0254】

図30は、図29に示したダイの一部に対応する、1センサ／1ウェルの態様についてのクロムマスク3010の一部のレイアウトの例を示す。グレイの領域3012、3014は、UV照射をブロックする領域である。グレイ領域3012内、図30の左下四半分の白色部分の位置合わせマーク3016は、ウェルのレイアウトを、チップ表面上のISFE Tセンサに揃えるために用いる。マスクの右上四半分の円形のアレイ3014は、照射がウェル領域に到達するのを防ぎ、非反応レジストを残して、これは、ウェルを形成する際に溶解することができる。

10

【0255】

図31は、4センサ／1ウェルの態様についてのマスク3020の対応するレイアウトを示す。位置合わせパターン3016はまだ用いられており、アレイ2910内の個々のウェルのマスク用の円3014Aは、ここで、図30のウェル3014の2倍の直径を有し、1センサ／1ウェルの代わりに4センサ／1ウェルを収容する。

【0256】

ダイ／レジストをUV照射に暴露後、レジストの第2の層をチップ表面に被覆してよい。このレジスト層は比較的厚くてもよく、典型的には約400～450 μmの厚さである。第2のマスク3210（図32）は、これもクロム製であってよく、これを用いてアレイを囲む領域3220をマスクし、レジストのカラー（collar）またはウォール3310（または盆地（basin）、この用語は地質学的意味で用いる）を構築するが、これは図33に示すように、基板3312上のセンサの活性なアレイを囲んでいる。記載の特定の例において、カラーはセンサアレイより、アレイの各側においてx方向に150 μm幅が広く、センサアレイの各側においてy方向に9 μm幅が広い。マスク3210の位置合わせマーク（ほとんど示されず）は、第1の層およびCMOSチップそれ自体の上の位置合わせマークとマッチアップする。

20

【0257】

他のフォトリソグラフィによるアプローチを、マイクロウェルアレイの形成に用いてもよく、当然ながら、上記は1例にすぎない。

30

【0258】

例えば、種々の解像度の、種々のエッチング剤および現像剤の接触リソグラフィを用いてもよい。マイクロウェルを形成する1または2以上の層のために、有機および無機材料の両方を用いてよい。1または2以上の層は、センサアレイのピクセル構造の上に誘電層を有するチップ上にエッチングしてもよく、例えばパシベーション層であり、または、1もしくは2以上の層は別々に形成して、次にセンサアレイに適用してもよい。具体的な選択または方法は、アレイのサイズ、ウェルのサイズ、利用可能な製造施設、許容できるコストなどの要因に依存する。

【0259】

1または2以上のマイクロウェル層を形成するためのいくつかの態様において用いてよい、種々の有機材料の中には、上述のSU-8型ネガ作用型フォトレジスト、従来のポジ作用型フォトレジスト、およびポジ作用型感光性ポリイミドが含まれる。これらの各々は長所および短所を有し、フォトリソグラフィ分野の当業者には周知である。

40

【0260】

当然ながら、製造環境において、改変は妥当である。

接触リソグラフィには制限があり、最高密度のウェルを製造するために選択される製造方法ではない可能性があり、すなわち、横方向に、望ましい最小ピッチ限界よりも大きい値をもたらす可能性がある。

【0261】

遠紫外線ステップアンドリピートなどの他の技法は、より高い解像度のリソグラフィを

50

提供することができ、小さなピッチおよび潜在的により小さなウェル直径の製造に用いることができる。当然ながら、異なる所望の仕様（例えばピッチ当たりのセンサおよびウェルの数）に対して、異なる技法が最適と証明されるであろう。また、製造業者に利用可能な製造法などの、実際の因子も、特定の製造法の使用を動機付ける。新規な方法が検討されているが、本発明の種々の側面は、これらの新規な方法の使用に限定される。

【0262】

好ましくは、I S F E Tアレイ付きCMOSウェハは、最終メタライゼーションプロセス後に平坦化する。窒化ケイ素パシベーションの前の、化学機械誘電平坦化が好適である。これは、続くリソグラフィステップを、バックエンドCMOSトポグラフィのない非常に平らな表面上で行うことを可能とする。

10

【0263】

遠紫外線ステップアンドリピート・リソグラフィシステムを利用して、優れた解像度、位置決め（registration）、および再現性を有する小さな機構を分解することが可能である。しかし、これらのシステムの高解像度および大きな開口数（NA）は、これらが大きな焦点深度を有することを妨害する。そのため、かかる製造システムを用いる場合、より薄い感光性のスピノン層（すなわち、接触リソグラフィで用いられる厚い層ではなく、1～2 μmオーダーのレジスト）を用いてパターン転写し、次に下にある1または2以上の層にマイクロウェルの特徴をエッチングすることが必要となる場合もある。例えば、4回の1 μmのプラズマ化学気相薄膜成長（標準の製造方法）を順番に行って、目的の4 μmのマイクロウェル厚さを提供することができる。次に高解像度リソグラフィを用いてマイクロウェルの特徴をパターンニングし、選択的エッチング停止を有する、慣用のSiO₂化学エッチングを—ボンドパッド領域に、次にマイクロウェルの領域にそれぞれ1回ずつ—用いることができる。エッチング停止は、アルミニウムボンドパッドおよび窒化ケイ素パシベーション（または類似のもの）上でそれぞれ行うことができる。代替的に、他の好適な代用パターン転写およびエッチング法を用いて、無機材料のマイクロウェルを提供することができる。

20

【0264】

他のアプローチは、有機材料中にマイクロウェル構造を形成することである。例えば、二重レジスト「ソフトマスク」法を用いて、これにより薄い高解像度遠紫外線レジスト、厚い有機材料（例えば、硬化ポリイミドまたは逆作用型（opposite acting）レジスト）の上で用いることができる。トップレジスト層をパターンニングする。パターンは、酸素プラズマ反応性イオンエッチング法を用いて転写することができる。このプロセス順序は、「ポータブルコンフォーマブルマスク（PCM）」技術と呼ばれることもある。B.J. Lin et al., “Practicing the Novolac deep-UV portable conformable masking technique”, Journal of Vacuum Science and Technology 19, No. 4, 1313-1319 (1981) およびA. Cooper et al, “Optimization of a photosensitive spin-on dielectric process for copper inductor coil and interconnect protection in RF SoC devices” を参照のこと。

30

【0265】

代替的に、「ドリルフォーカス（drill-focusing）」技術を用いてもよく、これにより数個のステップアンドリピート暴露を異なる焦点深度において行って、厚いレジスト層をパターンニングする場合に高解像度ステッパーの制限された焦点深度（DOF）を補償することができる。この技法は、ステッパーのNAおよびDOF、またレジスト材料のコントラスト特性にも依存する。

40

【0266】

この目的に対して、他のPCM技術も適用することができ、例えば、Edwardsらによる米国特許公報第2006/0073422号に示されているものなどである。これは3層PCM法であり、図33Aに示される。ここに示されるように、基本的に6つの主要なステップによりマイクロウェルアレイを製造し、結果は接触リソグラフィがもたらすものと非常に類似のものである。

50

【0267】

第1のステップ3320において、Shipley InterVia Photodielectric Material 8021 (IV8021) 3322などの種類の高コントラストネガ作用型フォトリソの層を、ウェハの表面にスピンさせて、これを我々は、図33の基板3312（ここにセンサレイを製造する）を提供するウェハと仮定し、ソフト焼付け操作を行う。次に、ステップ3324において、ブロッキング反射防止コート（BARC）層3326を適用し、ソフト焼付けする。この構造の上に、薄いレジスト層3328をスピンしてソフト焼付けし、ステップ3330において、レジストの薄い層が細かい特徴を規定するのに好適となる。レジスト層3328は次にパターンニングされ、暴露されて現像され、レジスト3328により保護されていない暴露領域3329のBARCは、ステップ3332において除去される。これにより、非硬化のIV8021層まで、領域3329を開口する。BARC層はここで、コンフォーマルな接触マスクのように作用することができる。ステップ3334のフラッシング暴露ツールによるブランケット暴露は、暴露されたIV8021を架橋し、これは、ここで、3332における非硬化のIV8021から区別されて示される。1または2以上の現像ステップ3338を次に実行し、領域3336の架橋IV8021以外の全てを除去する。領域3336はここで、マイクロウェルの壁を構成する。

10

【0268】

上に示したように、ウェルはISFETのパシベーション層の上が最低位置となっているが（すなわち、ここで終わっているが）、ISFETセンサ性能（すなわち、信号対ノイズ比など）の改善は、活性ビーズ（単数または複数）がISFETパシベーション層からわずかに上で維持されている場合に得られると考えられる。これを実現する1つの方法は、スパーサーである「バンプ」をマイクロウェルピクセルの境界内に配置することである。どのようにしてこれを行うかの1例は、マイクロウェル構造を形成するのに用いる1または2以上の層の一部をエッチングで除かないこと（すなわち、2回のリソグラフィステップでマイクロウェルを形成し—1回は途中までエッチングし、他の1回はバンプをパターンニングしてエッチングを最後まで行う）であり、これは、別々の層を蒸着し、リソグラフィにより規定し、エッチングして「バンプ」を形成することによるか、または、マイクロウェルが一旦完成した後、永久感光性材料をバンプに用いることにより行う。代替的（または付加的）非統合的なアプローチは、DNA担持ビーズを負荷する前に、非常に小さなパッキングビーズの1または2以上の層を、ウェルに負荷することである。

20

30

【0269】

被覆チップをフローセルに装着（流体インターフェイス）

チップ上のセンサのアレイのアセンブリをマイクロウェルのアレイと組み合わせて用いて、試料中のDNAのシーケンシングを行うプロセスを、「実験」と呼ぶ。実験の実施には、ウェルにDNA結合ビーズを装填し、ウェル全体に数種類の異なる溶液（すなわち、試薬および洗浄液）を流すことが必要である。流体インターフェイスと結合した液体送達システムが必要であり、これは、種々の溶液をウェル全体に、制御された層流で許容し得る程度の小さい死容積および、順次の溶液間での少ない二次汚染を有して流す。流体インターフェイスは「フローセル」と呼ばれることもある。

40

【0270】

多くの構成のフローセル設計が可能である。本明細書に示すシステムおよび方法は、特定のフローセル構成の使用に依存しない。しかし、好適なフローセルは、実質的に以下の目的のセットに適合する：

- ・ 流体送達システムとの好適な相互接続—例えば、適当な寸法の配管を介して。
- ・ ウェルの上の適当なヘッドスペース（dnaシーケンシング用には、約300 μm）。
- ・ フローチャンバ内に入る前に、流体が遭遇する死容積（すなわち、マイクロウェルアレイの上に包含されるスペース）の最小化。
- ・ 液体と接触する小さなスペースの除去、しかし、フローセルを通して除去するのではない（二次汚染を最小化するため）。

50

【0271】

- ・ 入口配管からの流れの、フローチャンバへの入り口における広い／平らなフロントに向かった均一な膨張。
- ・ 層流特性が、これが入り口側から出口側までチップ全体を横切る間、広い／平らなフロントのプロファイルを維持するようなものであること。
- ・ 取り外し可能な参照電極の、フローチャンバ内部またはこれにできるだけ近くへの配置に対して、適合性があること。
- ・ ビーズの装填の容易さ。
- ・ 許容できるコストで製造可能であること。
- ・ フローセルの組み立てとチップパッケージへの取り付けの容易さ。

10

【0272】

数種の例示の設計のそれぞれについて、これらの基準に合わせて検討する。各例において、一般には2つの方法のうちの1つを用いて、設計を実装することを選ぶであろう。フローセルをフレームに取り付け、該フレームをチップに接着させる（またはそうでなければ取り付ける）か、または、フレームをフローセル構造内に一体化し、この一体化アセンブリをチップに取り付ける。さらに、設計は、参照電極を配置内に組み込む方法によって分類することができる。設計により、参照電極は、フローセル内に一体化することができ（例えばフローチャンバの天井（ceiling）の一部を形成する）、または流路内に配置することもできる（一般には流路の出口もしくは下流側、センサアレイの後に）。

20

【0273】

かかる流体インターフェイスを組み込んだ好適な実験装置3410の第1の例を、図34～37に示す。これの製造および構造を、以下にさらに詳細に検討する。

【0274】

前記装置は、半導体チップ3412（一般的に指示するが、隠されている）を含み、この上またはこの中にウェルおよびセンサのアレイが形成され、さらに、流体アセンブリ3414をチップの上に含み、これは、読取りのために試料をチップに送達する。流体アセンブリは、試料を含有する流体を導入するための部分3416、流体を管により排出させる部分3418、および流体を入口から出口まで流して、その途中でウェル内の材料と相互作用させる、フローチャンバ部分3420を含む。これら3つの部分は、ガラススライド3422（例えば、Erie Scientific Company, Portsmouth, NHからのErie Microarray Cat #C22-5128-M20をその3分の1の25mm×25mmの大きさに切ったもの）を含むインターフェイスにより統合される。

30

【0275】

ガラススライドの上面上には2つの取付け部品3424および3426があり、例えばUpchurch Scientific of Oak Harbor, WAからのナノポート取付け部品Part # N-333である。1つのポート（例えば3424）は入口として、以下に記載の（ただし図示していない）ポンプ／バルブ操作システムからの液体を送達するよう機能する。第2のポート（例えば3426）は出口であり、液体を廃棄するために管で流す。各ポートは、適切な内径の可撓性の配管などの管路3428、3432に接続される。ナノポートは、配管がガラススライドの対応する穴を貫通できるように装着される。管の開口部は、スライドの底面と同一平面である。

40

【0276】

ガラススライドの底面において、フローチャンバ3420は、マイクロウェルアレイ全体に実質的な層流を促進するために、種々の構造を含んでよい。例えば、入口管からフローチャンバの端まで広がっている一連のマイクロ流体チャネルを、接触リソグラフィにより、MicroChem Corp. of Newton, MAからのSU-8フォトレジストなどのポジ型フォトレジストを用いてパターンニングしてよい。他の構造を以下で検討する。

【0277】

チップ3412は、次に、パッケージングおよびコネクタピン3432との接続のために、キャリア3430に装着される。

50

記載を容易にするため、図 3 8 から開始される製造についての検討において、これから
はガラススライド 3 4 2 2 を、図 3 4 ~ 3 7 における配置と比較して上下を逆にして考
える。

【0 2 7 8】

フォトレジストの層 3 8 1 0 をスライドの「上部」（これはスライドおよび付加された
層が反転されて、マイクロアレイを載せた I S F E T アレイのセンサアセンブリに装着さ
れるときには「底部」となる）に適用する。層 3 8 1 0 は、この例では約 1 5 0 μm の厚
さであってよく、ナノポートの配管の端から、センサアレイチップの端まで、第 1 の流体
移送層を形成する。層 3 8 1 0 は、図 3 9 のマスク 3 9 1 0 などのマスクを用いてパター
ニングされる（「パターニング」とは、照射源を用いてマスクを通してレジストを暴露し
、次に可塑化されなかったレジストを除去することを意味する）。マスク 3 9 1 0 は、白
色で示される照射透過領域および、影付けで示される照射ブロック領域 3 9 2 0 を有する
。

10

【0 2 7 9】

照射ブロック領域は、3 9 2 2 ~ 3 9 2 8 である。領域 3 9 2 6 は、センサアセンブリ
の周囲にチャンネルを形成する。これは、マスク 3 9 2 0 の外側境界から約 0 . 5 mm 内側
に形成され、こうして典型的なエッジビーズを避ける。領域 3 9 2 2 および 3 9 2 4 は照
射をブロックし、これによりレジストの対応する部分が除去されて、図示のような形の空
隙を形成する。領域 3 9 2 2 と 3 9 2 4 のそれぞれは、対応するナノポート 3 4 2 4 、 3
4 2 6 を通り抜ける管 3 4 2 8 、 3 4 3 2 の 1 つの対応する端を受けるような寸法の、丸
い端部を有する。丸い端部から、領域 3 9 2 2 、 3 9 2 4 はセンサアレイの方向に広がり
、液体が広がって、アレイを通るフローが実質的に層流となることを可能にする。領域 3
9 2 8 は、単純な位置合わせパターンであり、任意の好適な位置合わせパターンであって
よく、または好適な代替位置合わせ機構により置き換えてもよい。図 3 8 の破線は、マ
スク領域 3 9 2 2 および 3 9 2 4 の下の空隙 3 8 2 2 および 3 8 2 4 の形成を説明するため
に提供される。

20

【0 2 8 0】

フォトレジストの第 2 の層は、レジスト 3 8 1 0 またはスライド 3 4 2 2 の上ではなく
、全く別個に形成される。好ましくは、これは平らな可撓性表面（図示されず）上に形成
されて、剥離式パターン化プラスチック層を生成する。フォトレジストのこの第 2 の層は
、マスク 4 0 1 0 などのマスクを用いて形成することができ、これはパターニング後に
、可撓性基板上に次のものを残す：領域 4 0 1 2 の下の境界、領域 4 0 1 4 、 4 0 1 6 の
下に 2 つのスリット（ここでこの使用は下で検討される）、およびパターニング領域 4 0
1 8 および 4 0 2 2 により作製された位置合わせマーク。次にフォトレジストの第 2 の層
をフォトレジストの第 1 の層に適用するが、このとき、これらの層の位置合わせのために
例えば仮にパターン 4 0 1 8 により作製された場合、1 つの位置合わせマークまたは位置
合わせマークのセットを用いて行う。次に、第 2 の層をその可撓性基板からはがして、後
者を除去する。

30

【0 2 8 1】

パターン 4 0 2 2 により作製された別の位置合わせマークまたは位置合わせマークのセ
ットを用いて、以下で検討する、次の層との位置合わせを行う。

40

第 2 の層は好ましくは約 1 5 0 μm の深さであり、これは流体輸送チャンネルを覆ってい
るが、ただし、スリット形成領域 4 0 1 4 と 4 0 1 6 の下にある、センサアレイチップの
それぞれの端における約 1 5 0 μm の長さのスリットは除く。

【0 2 8 2】

フォトレジストの第 2 の層を第 1 の層の上に配置した後、第 3 のフォトレジストパター
ニング層を第 2 の層の上に、図 4 1 に示すマスク 4 1 1 0 などのマスクを用いて形成す
る。第 3 の層は、領域 4 1 1 2 の下にバッフル要素を提供し、これは、センサチップアレ
イのカラー 3 3 1 0 と同じ幅であるが（図 3 3 参照）、第 1 の層の流体輸送チャンネルとの
重なりを可能とするために、約 3 0 0 μm 狭くなっている。

50

【0283】

第3の層は約150 μmの厚さで、チップカラー3310を、これにより形成される盆地床に向って150 μmほど貫入する。この構造は、センサアレイチップのウェルの上に約300 μmのヘッドスペースを残す。液体は、ウェルの全体をセンサアレイ全幅に沿って、4014、4016の下の150 μmのスリットを通して流される。

【0284】

図36は、マイクロ流体およびセンサアセンブリの上記の態様の例の、部分断面図の斜視図であり、これは図34および35にも示されているが、図36においては流体の流路をよりよく視認できるように拡大されている。(流路の半分の拡大略図は図37に示す。)ここで流体は、入口ポート3424の入口管3428を介して入るのがわかる。管3428の底において、流体は、マスク領域3922により形成される流体膨張チャンバ3610を通して流れ、流体はカラー3310を超えて、次に盆地の底3320に下り、ダイ3412とそのマイクロアレイを横切って流れる。アレイ上を通った後に、次に流体はカラー3310の遠い壁において直角に曲がり、カラーの上を越えて、マスク領域3924で形成された流れ濃縮チャンバ3612を横切り、出口ポート3426の出口管3432を介して外へ排出される。アレイの中程から出口までのこの流れの一部は、図37の拡大図にも見ることができ、ここで矢印は流体の流れを示す。

10

【0285】

流体アセンブリは、センサアレイチップアセンブリに、これら2つのアセンブリの嵌合表面の部分に接着剤を適用し、整合させてこれらを一緒に押しつけることにより、固定することができる。

20

図34～36には図示されていないが、参照電極は、図37に示すように、フローチャンバの天井におけるメタライゼーション3710であることが理解される。

【0286】

参照電極を導入する他の方法を、図42に示す。ここで、穴4210をフローチャンバの天井に設けて、グロメット4212(例えばシリコン製のもの)をこの穴にはめ、参照電極4220を挿入可能な中央通路またはボアを提供する。バッフルまたは他のマイクロ機構(図示されず)もフローチャンネルにパターンニングして、マイクロウェルアレイ上の層流を促進してよい。

【0287】

30

図43～44は、他の代替的なフローセル設計4310を示す。この設計は、チップに取り付けてフローセルを完成させるための、単一のプラスチックピースまたは要素4320の成形法に依存する。流体システムとの接続は、4330および4340においてプラスチックピースの適切な穴に入れられた、ネジ式接続を介して行われる。または、要素4320がポリジメチルシロキサン(PDMS)などの材料から作製される場合は、接続は、配管を要素4320の適切な寸法の穴に単純に挿入することにより行ってもよい。この設計の垂直方向断面図を図43～44に示す。

【0288】

この設計は、オーバーハングプラスチックカラー4350(これは図示のように固体の壁、または、下向きに延長しているフェンス様の壁を形成する、一連の間隔をあけた従属脚でもよい)を使用してもよく、こうしてチップパッケージを包含し、プラスチックピースをチップパッケージと整列させるか、または、他の好適な構造を使用してもよく、これによってチップフレームをフローセル形成要素4320と整列させる。液体は、開口4330、4340の1つを介してフローセル内に導かれ、そこから下向きにフローチャンバへと導かれる。

40

【0289】

例示の態様において、参照電極はフローチャンバの上部に要素4320のボア4325を介して導入される。取り外し可能参照電極の配置は、シリコンのスリーブ4360およびエポキシ製停止リング4370(図44の拡大図参照)によって容易になる。シリコンスリーブは密封を提供し、エポキシ製停止リングは、電極がフローセル内の遠すぎる

50

所まで挿入されることを防ぐ。当然ながら、他の機構を同じ目的に用いてもよく、また電極を停止させる構造を用いねばならないわけではない。また、PDMSなどの材料を要素4320に用いる場合は、材料それ自体が、電極が挿入されると防水シールを形成するため、シリコンスリーブの必要性がなくなる。

【0290】

図45および46は類似の配置であるが、ただし要素4510は参照電極を受けるためのボアを有さない。その代わりに、参照電極4515は、中央部分4520の底部に形成またはこれに取り付けられており、フローチャンバの天井の少なくとも一部を形成する。例えば、メタライゼーション層を中央部分4520の底部に、要素4510をチップパッケージに装着する前に適用してもよい。

10

【0291】

図47～48は他の例を示し、これは、図43～44に示す態様の変形であるが、ここでフレームはフローセルの一部として製造されており、フレームのチップ表面への取り付け前にフローポート構造をフレームに取り付けるのではない。この種類の設計において、アセンブリは、いくらかより精密となり、その理由は、チップへのワイヤ結合が、チップを封入するエポキシによって保護されていないからである。この設計が成功するかどうかは、統合された「フレーム」の、チップ表面への正確な配置と確実な接着に依存する。図45～46に対応する態様であって、参照電極4910がフローチャンバの天井の上であり、フレームがフローセルの一部として製造されたものを、図49～50に示す。

【0292】

20

流体アセンブリのさらに他の代替物は、図51～52に示すように、チップパッケージ5130の上面から約5.5mm上に持ち上げられた、スタンドオフ5120上の流体要素5110を有する。これにより、オペレータは、プラスチックピース5140とチップ表面の間の接着の質を視覚的に検査でき、必要であれば外部的に接着を強化できる。

【0293】

前述の代替的な態様のいくつかはまた、ハイブリッド型プラスチック/PDMS構成で実装してもよい。例えば、図53～54に示すように、プラスチック部5310はフレームおよびフローチャンバを形成し、PDMS「ベース」部分5320の上に載っている。プラスチック部5310はまた、入口ポートからの流体流の膨張のために、アレイに対して領域5330を提供する。またPDMS部は次に連通用スリット5410、5412を含むこともでき、液体はこれを通してPDMS部から、下のフローチャンバへと、またはここから通過する。

30

【0294】

流体構造はまた、上述のようにガラスで、例えば感光性(PD)ガラスで作製してもよい。かかるガラスは、一度UV光に選択的に暴露されると、フッ化水素酸中で増強されたエッチ速度を有し、これにより上面および裏面にマイクロマシン加工され、これは一緒に接着された場合に、3次元の低アスペクト比流体セルを形成することができる。

【0295】

1例を図55に示す。第1のガラス層またはシート5510をパターニングおよびエッチングして、ナノポート流体穴5522および5524を上面に、流体膨張チャネル5526および5528を裏面に作製する。第2のガラス層またはシート5530をパターニングおよびエッチングして、下向き流体入力/出力チャネル5532および5534を、約300μmの高さ(層の厚さ)で設ける。層5530の底面は、チャネル5532および5534の外側に向って薄くなっており、層5530がチップフレーム上に載り、突出部5542が適切な高さでフローチャネルの上面を形成することを可能とする。2つのガラス層、またはウェハ、および4つのリソグラフィのステップが必要である。両ウェハは整列させて結合し(例えば、図示しない適切な接着剤にて)、下向き流体入力/出力ポートが流体膨張チャネルと正しく整列するようにする。位置合わせの標的をガラス内にエッチングして、位置合わせ過程を容易にすることができる。

40

【0296】

50

ナノポートは、ナノポート流体穴の上に固定して、入力および出力配管の接続を容易にすることができる。

中央ボア 5 5 5 0 は、参照電極 5 5 6 0 を受けるように、ガラス層を通してエッチングすることができる。電極は、シリコンカラー 5 5 7 0 または同様の構造により、位置に固定および密封することができる。または、電極は好適なワッシャーと一体的に構成して、同様の目的を有効にすることができる。

【0 2 9 7】

ガラス材料を 2 層流体セルに用いることにより、参照電極を、第 2 のガラス層（図示されず）の底面上に蒸着された導電層またはパターンとしてもよい。または、図 5 6 に示すように、突出領域をエッチングして、透過ガラス膜 5 6 1 0 を形成し、その上に銀（または他の材料の）薄膜 5 6 2 0 を被覆して、一体化参照電極を形成する。穴 5 6 3 0 は、電極へのアクセスのために上の層内にエッチングして、穴が十分大きければ、これは塩化銀溶液のリザーバとしても機能することができる。薄膜銀電極との電氣的接続は、任意の好適な様式に作製してよく、例えばクリップ留めプッシュピンコネクタ、または代替的に、セラミック I S F E T パッケージにワイヤ結合することなどによる。

【0 2 9 8】

流体アセンブリのさらに他の例示の態様を図 5 7 ～ 5 8 に示す。この設計は、フレームを組み込み、かつチップ表面に直接取り付けられたプラスチックピース 5 7 1 0 に、および、流体システムからの配管を接続するために用いられ、かつ上述の P D M S ピースと同様に、液体を小さなボア管から広く平らなスリットへと分散させる、第 2 のピース 5 7 2 0 に限定される。

【0 2 9 9】

2 つのピースは一緒に接着され、複数の（例えば 3 つの）位置合わせマーカー（図示されず）を用いることにより、接着プロセス中に 2 つのピースを正確に揃えることができる。穴を底のプレートに設けることができ、この穴は、空隙をエポキシ（例）で充填し、チップへのワイヤ結合を保護し、フレーム／チップ接触におけるあらゆる潜在的空隙を充填するのに用いる。図示の例において、参照電極はフローセルの外部にあるが（出口ポートを通り、排出流の下流側、以下を参照）、ただし、参照電極の他の構造も当然ながら用いてよい。

【0 3 0 0】

フローセル構造のさらに他の例を図 5 9 ～ 6 0 に示す。図 5 9 A は、フローセル流体インターフェイス用の射出成形底面層、またはプレート 5 9 1 0 の、8 種類の図（A ～ H）を含み、図 5 9 B は、嵌合射出成形上部プレート、または層 5 9 5 0 の、7 種類の図（A ～ G）を含む。プレート 5 9 1 0 の底部は、センサチップを囲むように配置された、下向きの従属リム 5 9 1 2、およびその外側の縁にそって上部プレート 5 6 1 0 と嵌合させるための、上向きの延長リム 5 9 1 4 を有する。こうして、2 つの液体チャンバ（入口チャンバおよび出口チャンバ）をこれらの間に形成する。上部プレート 5 9 5 0 の、ステップを切った下向き従属部 5 9 6 0 は、入口チャンバを出口チャンバから分離する。入口管 5 9 7 0 および出口管 5 9 8 0 は、上部プレート 5 9 5 0 の残りの部分と一体化して形成される。プレート 5 9 1 0 の上部のくぼみ 5 9 2 0 により形成される入口チャンバの小さな端において注ぎ込む入口管 5 9 7 0 から、入口チャンバの出口端へと広がっており、流体がアレイ全体を横切って導かれる。

【0 3 0 1】

ガラスまたはプラスチックまたは他の材料を用いてフローセルを形成するとしても、特に大きなアレイについては、フローセルの入口チャンバ内、入口管路とアレイの前端との間に、単に次第に膨張する（広がる）スペースだけではなく、アレイを通る流れが好適な層流となることを促進する、ある構造を含むことが望ましい場合がある。例として射出成形フローセルの底の層 5 9 9 0 を用いて図 5 9 C に示す、この目的のための構造の例は、フローセルの入口位置からマイクロウェルアレイまたはセンサアレイの前端までのチャネルのツリー構造 5 9 9 2 であり、これは、5 9 9 4 において、該構造の出口側の下にある

と理解される。

【0302】

マイクロウェルおよびセンサアレイアセンブリを通る適切な流体流を送達するための流体アセンブリを提供する、種々の他の方法が存在し、前述の例はしたがって、網羅的であることを意図しない。

【0303】

参照電極

市販のフロー型流体電極、例えば塩化銀プロトン透過性電極を、直列で流体系に挿入することができ、これらの電極は一般に、種々の電気化学的目的のために、流体系に沿って安定な電位を提供するように設計されている。しかし上記のシステムにおいては、かかる電位はマイクロウェル I S F E T チップと接触している流体容積において維持されなければならない。従来の塩化銀電極では、チップ表面と電極との間の（フローセル内の小さなチャネルを通る）電氣的に長い流体路のために、安定な電位の実現は困難であることが見出された。これは、チップの電子機器においてノイズの受信をもたらす。さらに、電極の流れの空洞（flow cavity）内の大きな容積は、流体との電氣的接続を劣化させる気泡を閉じ込めて蓄積しがちである。

【0304】

図60を参照すると、この問題への解決法は、チップのフローセルの出口ポート6020に直接接続され、また電源（図示されず）に遮蔽ケーブル6030を介して接続された、ステンレス鋼毛細管電極6010の使用において見出された。金属毛細管6010は小さな内径（例えば0.01”程度）を有し、はっきりわかる程度に気体を閉じ込めることなく、他のマイクロ流体配管と同様に、流体および気体を効果的に輸送する。また、毛細管は直接フローセルポート6020に挿入できるため、チップ表面に近くにあり、流体を通した潜在的な電気損失を低減させる。毛細管の大きな内部表面積（典型的には約2”の長さ）も、その高い性能に寄与することができる。ステンレス鋼による構成は、高度に化学的に抵抗性であり、系内での非常に低い電流（ $< 1 \mu A$ ）での使用による電気化学的效果が生じることはない。流体取り付け部品6040は、流体送達および除去用サブシステムへの配管に接続するため、フローセルポート内にはない毛細管の端に取り付けられる。

【0305】

流体システム

センサアレイを用いるための完全なシステムは、好適な流体源、バルブ操作および、用途に依存して、マイクロアレイまたはセンサアレイ上の低い試薬および洗浄液のためのバルブ操作のコントローラを含むであろう。これらの素子は既製の要素から容易に組み立てることができ、コントローラは容易にプログラムして、所望の実験を実施することができる。

【0306】

既に検討したように、本発明の装置およびシステムは、種々の実体間の相互作用を検出および／またはモニタリングするのに用いることができる。これらの相互作用は、基板および／または試薬がその中で消費され、および／または反応副生成物が生成される、化学反応または酵素反応を含む。本発明にしたがってモニタリングできる酵素反応の例は、核酸シーケンシングであり、これは本明細書において詳細に検討される。シーケンシング反応との関連において本明細書で提供される装置およびシステムは、chemFET電流の変化に基づき、ヌクレオチド取り込みを検出可能である。

【0307】

電流変化は、1または2以上の以下のイベントの、単一のまたはいくつかの組合せの結果であってよい：PPiの生成、Piの生成（例えばピロホスファターゼの存在下における）、水素の生成（およびpHの同時変化、例えば低強度緩衝液の存在下における）、chemFET表面における、非取り込みdNTPの濃度の低下、chemFET表面における、dNTPの到着の遅延など。本明細書で提供される方法は、電流変化を引き起こす機構に依存しないことが、理解されるべきである。したがって、本発明は核酸のシーケ

ンシングを、chemFET電流の変化に基づいて行うことを意図する。シーケンシングに関連して本明細書に提供される方法は、Pourmand et al. PNAS 2006 103 (17) :6466-6470を含む文献内の方法と対比させることができる。

【0308】

図61は、ヌクレオチドを新しく合成した核酸鎖に取り込むことから得られるPPiの産生について図示する。核酸鎖へのヌクレオチド取り込みの反応副生成物として生成されるPPiは、PPi受容体の非存在下でも（例えば図11Bに示される場合）、また検出可能なpH変化が不在の場合（例えば、本明細書に規定された、強い緩衝液の存在下で起こるものなど）でも、直接検出することができる。ある場合においては、単にPPiが存在するのみで、chemFET表面での電気的変化を引き起こし、これによって電流変化が生じる。電流変化は、PPi生成のみにより生じることもあり、または他のイベント、例えば上述のようなものとの組合せで生じることもある。

10

【0309】

したがって、1つの側面において、本発明は、ISFETアレイなどのchemFETアレイを用いた核酸のシーケンシングを意図する。本発明の方法は、「合成によるシーケンシング」法であり、その理由は、シーケンシングされる鎖に対して相補的な、新しい核酸鎖の合成を必要とするからである。

【0310】

新しく合成された核酸鎖へのヌクレオチドの取り込み後のPPiの放出を、図61に示す。核酸鎖へのdNTPの取り込みがPPiを放出し、PPiは次に、2つのオルトリン酸塩(Pi)と1つの水素イオンに加水分解することができる。したがって水素イオンの生成が、pH変化に基づくヌクレオチド取り込みの検出を促進することができる。代替的に、本明細書に述べるように、PPi生成（PPi受容体有りまたは無しの場合において検出される）は、pH変化に基づくヌクレオチド取り込みの検出を促進することができる。さらに他の態様において、PPiはピロホスファターゼを用いてPiに変換でき、Piは、直接または間接的に検出できる。これらのイベント（およびさらに本明細書に記載のもの）の任意のもの、または全ては、ヌクレオチド取り込みと関連する、chemFETにおける電流変化を引き起こすことに関与することができる。

20

【0311】

シーケンシング反応は、任意の所与のdNTPについて、全ウェルにわたる完全な取り込みを最大化すること、ウェルに残る非取り込みdNTPの数を低下または減少させること、および可能な限り高い信号対ノイズ比を達成することを目標とする。

30

【0312】

シーケンシングする核酸を、本明細書で標的核酸と呼ぶ。標的核酸は、限定することなく以下を含む：DNA、例えば、限定されずに、ゲノムDNA、ミトコンドリアDNA、cDNAなど、およびRNA、例えば、限定されずに、mRNA、miRNAなど。核酸は、天然給源または合成給源を含む、任意の給源からのものであってよい。核酸は、PCR産物、コスミド、プラスミド、天然または合成のライブラリなどであってよい。本発明はこの点において限定されることを意図しない。本明細書で提供される方法は、任意の長さの核酸のシーケンシングに用いることができる。明確に述べると、実施例において既知の配列の4つのテンプレートのシーケンシングの、原理的実証の証明が提供される。この人工モデルは、装置およびシステムが、テンプレートの既知の配列と関連する核酸取り込みを読み取り可能であることを、示すことを意図する。これは、方法またはシステムの当分野における一般的な使用を示すことを意図しない。以下は、これらの方法の簡単な説明である。

40

【0313】

標的核酸を、当分野で周知の任意の方法を用いて調製する。例として、ゲノムDNAを、当分野に周知の技法に従って試料から収集する（例えばSambrook et al. "Maniatis"参照）。収集後、DNAを断片化して、長さの短い核酸を産生する。得られた断片は、数百、数千、または数万程度のヌクレオチド長であってよい。いくつかの態様において、断片

50

は200～1000塩基対の大きさ、または300～800塩基対の大きさであるが、これに限定されない。核酸は、機械的、酵素的または化学的方法を含む任意の方法により断片化できるが、これらに限定されない。例としては、せん断、超音波処理、噴霧化、およびエンドヌクレアーゼ（例えばDnase I）消化、または核酸断片を、好ましくは所望の長さのものを、製造することが知られている任意の他の技法を含む。断片化の後、サイズ選択法を用いて、特定の長さまたはサイズの断片を富化するか、または単離することができる。かかる技法も当分野で既知であり、ゲル電気泳動またはSPRIを含むが、これに限定されない。

【0314】

いくつかの態様において、サイズを選択した標的核酸を5'末端と3'末端両方のアダプター配列に連結する。これらアダプター配列は、標的核酸の増幅に用いるための増幅プライマー配列を含む。1つのアダプター配列はまた、シーケンシングプライマーに相補的な配列も含む。反対のアダプター配列は、核酸の、例えばビーズなど（ただしこれに限定されない）の固体支持体への結合を促進する部分を含んでもよい。かかる部分の例は、ビオチン分子（または、Diehl et al. Nature Methods, 2006, 3 (7) :551-559に記載のように、二重ビオチン部分）であり、かかる標識核酸はしたがって、アビジンまたはストレプトアビジン基を有する固体支持体に結合可能である。得られた核酸は、本明細書においてテンプレート核酸と呼ぶ。テンプレート核酸は、少なくとも標的核酸を含み、また通常は標的に加えてヌクレオチド配列も含む。

【0315】

いくつかの場合においては、スペーサーを用いて、テンプレート核酸（および特にその中に含まれる標的核酸配列）とビーズとの間に距離をとる。これは、ビーズに最も近い標的の端部のシーケンシングを促進する。好適なリンカーの例は当分野で既知であり（Diehl et al. Nature Methods, 2006, 3 (7) :551-559参照）、例えばisp18などの炭素-炭素リンカーを含むが、これに限定されない。

【0316】

テンプレート核酸が結合する固体支持体は、本明細書において「捕捉固体支持体」と呼ぶ。固体支持体がビーズの場合、かかるビーズはここで「捕捉ビーズ」と呼ぶ。ビーズは任意の材料から作ることができ、これには限定することなく以下を含む：セルロース、セルロース誘導体、ゼラチン、アクリル樹脂、ガラス、シリカゲル、ポリビニルピロリジン（PVP）、ビニルとアクリルアミドとのコポリマー、ポリスチレン、ジビニルベンゼン等と架橋されたポリスチレンなど（Merrifield Biochemistry 1964, 3, 1385-1390参照）、ポリアクリルアミド、ラテックスゲル、デキストラン、架橋デキストラン（例えばSephadexTM）、ゴム、ケイ素、プラスチック、ニトロセルロース、天然スポンジ、金属、およびアガロースゲル（SephacroseTM）。1つの態様において、ビーズはストレプトアビジン被覆ビーズである。ビーズの直径はISFETの密度に依存し、より大きなアレイと共に用いるウェルアレイ（したがってより小さなウェル）は、より小さいビーズを必要とする。一般に、ビーズ寸法は約1～10 μmであり、より好ましくは2～6 μmである。いくつかの態様において、ビーズは約5.91 μmであり、一方他の態様においては、ビーズは約2.8 μmである。ビーズは、完全に球の形状であってもなくてもよいことが理解されるべきである。他のビーズも用いてよく、核酸をビーズに取り付ける他の機構も用いてよいことが、理解されるべきである。

【0317】

本明細書で検討するように、シーケンシングの反応は、chemFETの上に配置されたウェルにおいて実施される。ウェル（ここでは反応チャンバまたはマイクロウェルと同義で用いられる）は、アレイ間で寸法が変わってもよい。好ましくは、ウェルの幅対高さの比率は1：1～1：5である。ビーズ対ウェルの寸法は、好ましくは0.6～0.8の範囲である。

【0318】

増幅核酸の均一な集団を1または2以上のビーズに結合（conjugate）させ、ここで各

10

20

30

40

50

ビーズは究極的には、複数の同一核酸配列に結合するものとする。核酸テンプレートの、ビーズ上への負荷は、ビーズの寸法および核酸の長さを含む多数の要因に依存する。ほとんどの側面において、ビーズへの最大負荷が望ましい。核酸の増幅およびビーズなどの固体支持体への結合は、多くの方法において実現され、これには、Margulies et al. Nature 2005 437 (15) :376-380および添付の補足資料による記載のようなエマルジョンPCRを含むが、これに限定されない。いくつかの態様において、増幅は代表的増幅 (representative amplification) である。代表的増幅は、任意の核酸種の相対的提示を変化させない増幅である。

【0319】

フローチャンバのウェル内に入れる前、および／またはその間に、ビーズを、テンプレート核酸の3'末端に位置する相補的配列 (すなわち、増幅プライマー配列中か、または標的核酸の3'末端に連結する他のアダプター配列中) に結合するシーケンシングプライマーおよびポリメラーゼを用いて、プライマーとその相補配列とのハイブリダイゼーションおよびポリメラーゼのテンプレート核酸への結合を促進する時間の間および条件下で、インキュベートする。プライマーは、ユニークであるのに十分な長さであれば、実質的に任意の配列であることができる。ハイブリダイゼーション条件は、プライマーが、テンプレートの3'末端でその真実の相補物とのみハイブリダイズするような条件である。好適な条件は、Margulies et al. Nature 2005 437 (15) :376-380および添付の補足資料に開示されている。

【0320】

好適なポリメラーゼは、ハイブリダイズされたプライマーから出発しテンプレートに基づいて新しい核酸鎖を合成する能力がある限り、DNAポリメラーゼ、RNAポリメラーゼ、またはこれらのサブユニットを含むが、これらに限定されない。好適なポリメラーゼサブユニットの例は、3'から5'のエキソヌクレアーゼ活性を欠いた、大腸菌DNAポリメラーゼIのクレノウ断片のエキソ型である。したがって酵素はビーズ (または対応する固体支持体) に結合するが、ISFET表面自体には結合しない。テンプレート核酸はまた、限定することなく緩衝液、界面活性剤、ジチオスレイトール (DTT、クレランド試薬) などの還元剤、一本鎖結合タンパク質などを含む他の試薬および／またはコファクターに、ウェルに入る前におよび／またはウェル内にある間に接触させる。1つの態様において、テンプレート核酸は、これをフローチャンバおよびそのウェルに導入する前に、プライマーおよびポリメラーゼと接触させられる。

【0321】

核酸負荷ビーズをフローチャンバに、および究極的には、ISFETアレイ上に配置されたウェルに導入する。この方法は、フローチャンバ内の各ウェルが、1つのみの核酸負荷ビーズを含むことが必要であり、その理由は、1ウェルに2つのビーズが存在すると、2つの異なる核酸に由来する、1つの使用不能なシーケンシング情報を生じさせるからである。実施例は、磁気ビーズとの関連における、1つの例示のビーズ負荷プロトコルの簡単な説明を提供する。類似のアプローチを用いて、他のビーズ種類を負荷できることが、理解されるべきである。プロトコルにより、フローチャンバのウェル内空気の封入の可能性および発生率を低下させ、核酸負荷ビーズをフローチャンバのウェル全体に均一に分散させ、フローチャンバ内の過剰なビーズの存在および／または蓄積を避けることが実証された。

【0322】

チップ上のウェルの占有パーセントは、実施される方法に依存して変わり得る。本方法が、可能な限り短時間に最大の配列データを抽出することを目的とする場合、より高い占有率が望ましい。スピードやスループットがそれほど重要でない場合は、低い占有率も受容される。したがって、態様に依存して、好適な占有パーセントは、ウェルの少なくとも10%、少なくとも20%、少なくとも30%、少なくとも40%、少なくとも50%、少なくとも60%、少なくとも70%、少なくとも80%、少なくとも90%、または少なくとも100%であってよい。本明細書で用いる場合、占有とは、1ウェル内に1つの

核酸負荷ビーズが存在することを言い、占有パーセントとは、単一のビーズで占有されたチップ上のウェルの割合を言う。1より多いビーズで占有されたウェルは、本発明で意図される解析に用いることはできない。

【0323】

最終的には、テンプレート核酸の均一な集団を、複数ウェルの1または2以上に入れ、各ウェルは、少なくとも1つのISFETの上に配置され、したがってこれと対応する。上述のように、好ましくはウェルは、同一のテンプレート核酸の、少なくとも10、少なくとも100、少なくとも1000、少なくとも 10^4 、少なくとも 10^5 、少なくとも 10^6 、またはそれ以上のコピーを含有する。同一のテンプレート核酸とは、少なくとも、テンプレートが配列に関して同一であることを意味する。最も好ましくは、1ウェル内の全てのテンプレート核酸は、プライマーと均一にハイブリダイズされている。テンプレート核酸とプライマーとの均一なハイブリダイゼーションとは、プライマーが、テンプレートに、ウェル内の全ての他のプライマー-テンプレートハイブリッドと同じ位置において（すなわち、プライマーに相補的なテンプレートに沿った配列において）ハイブリダイズすることを意味する。全テンプレートにおけるプライマーの均一な配置は、ウェル内の全ての新しい核酸鎖の協調的な（co-ordinated）合成を可能とし、これにより、より大きな信号対ノイズ比をもたらす。

【0324】

次にヌクレオチドの流れに加えるか、または任意の他の好適な方法により、順番にフローチャンバへ、したがってウェルへと加える。ヌクレオチドは、ランを通して単純化のために一定を維持すると知られている場合は、任意の順序で加えることができる。ヌクレオチドの取り込みがPPiの検出に基づくものであり、PPiの放出によるpH変化の検出ではない場合、反応および洗浄を通して、比較的一定のレベルおよび濃度のヌクレオチドを維持するのが好ましい。これを実現する1つの方法は、ATPを洗浄緩衝液に、ウェルに流れ込むdNTPがウェルからATPを移動させるような様式で加えることである。ATPは、ウェルに入るdNTPのイオン強度と釣り合い、またdNTPと類似の拡散プロファイルを有する。この方法により、シーケンシング反応間のdNTPの流入および流出は、chemFETにおける測定を妨害しない。用いるATPの濃度は、用いるdNTPの濃度のオーダーである。

【0325】

典型的なシーケンシングサイクルは、次のようにして進行する：フローチャンバ（およびウェル）を、ATP含有洗浄緩衝液で洗浄、第1のdNTP種（例えばdATP）をフローチャンバ（およびウェル）へ導入、PPiの放出および検出（本明細書に記載の任意の機構による）、フローチャンバ（およびウェル）をATP含有洗浄緩衝液で洗浄、フローチャンバ（およびウェル）をアピラーゼ含有洗浄緩衝液で洗浄、フローチャンバ（およびウェル）をATP含有洗浄緩衝液で洗浄、および、第2のdNTP種の導入。このプロセスを、4種全てのdNTP（すなわち、dATP、dCTP、dGTPおよびdTTP）がチャンバを通して流れるまで続けて、新しく合成された鎖内に取り込まれることを可能とする。この4-ヌクレオチドサイクルは、任意数の回数まで反復してよく、これには限定することなく、10、25、50、100、200またはそれ以上を含む。サイクル数は、シーケンシングするテンプレートの長さおよび、反応試薬、特にdNTP原液および洗浄緩衝液の補充の必要性により制御される。

【0326】

シーケンシング反応の一部として、dNTPは、もしその相補的ヌクレオチドがテンプレート核酸の同じ位置に存在する場合は、新しく合成した鎖の3'末端（または最初に取り込まれたdNTの場合にはシーケンシングプライマーの3'末端）に連結される（または、本明細書において用いるように「取り込まれる」）。導入されたdNTPの取り込み（および、同時のPPiの放出）は、したがって、テンプレート核酸の対応するヌクレオチドの同定を示す。ISFETにより電場の変化が検出されない場合は、dNTPは取り込まれず、相補的ヌクレオチドは、テンプレートのその位置に存在しなかったと結論す

ることができる。電場の変化を検出した場合には、導入されたd N T Pが新しく合成された鎖内に取り込まれている。d N T P取り込みと、P P i 放出およびI S F E Tの応答の間には、正の相関関係があり、その結果、取り込まれたd N T P数の定量化がさらに可能である。言い換えると、I S F E Tにおいて記録される電圧変化は、取り込まれたd N T Pの数に関連する。結果は、テンプレート中のホモポリマー伸長(stretch) (例えば、ポリA、ポリT、ポリC、またはポリG)のシークエンシングを通して、配列情報が失われなかったということである。1例として、テンプレート核酸が配列5' CAAAAG 3'を含む場合、I S F E Tはd C T Pの導入時に信号を記録し(例えばミリボルト変化で)、次に、d T T Pの導入時により大きな信号を記録し、続いてd G T Pの導入時に別の信号を記録する。d C T Pおよびd T T Pの導入時に生じた信号の大きさは、基本的に同等であり、単一ヌクレオチドの取り込みから生じるミリボルト変化と相関する。d T T Pの導入時に生じる信号の大きさは、d N T Pの取り込みからの信号より大きい。これらの信号の大きさは加算的であり、ホモポリマーの長さによっては、伸長は、電圧対時間(またはフレーム)プロット(例えば、図7 1 A~D、右側の図)において容易に明らかにならない可能性がある。信号は、電圧対時間(またはフレーム)プロットのピーク強度または曲線下の面積を用いて測定することができる。

10

【0 3 2 7】

アピラーゼは、残留した非取り込みヌクレオチドを分解して一リン酸塩に転換し、無機リンをプロセス中へ放出する酵素である。これは、任意のまたは全てのウェルにおいて取り込まれなかったか、および/または過剰であるd N T Pを分解するのに有用である。過剰のおよび/または非反応のd N T Pを任意のおよび全てのウェルから、次のd N T Pの導入前に洗浄して取り除くことが重要である。したがって、合成反応の間および異なるd N T Pの導入と導入の間に、アピラーゼを添加することは、そうでなければ配列データを不明確にする過剰なd N T Pを除去するのに有用である。

20

【0 3 2 8】

追加のシークエンシング反応試薬、例えば上述のようなものを、反応を通して導入してよく、ただし、いくつかの場合においてはこれは不要である。例えば、追加のポリメラーゼ、D T T、S B Bなどは、必要に応じて添加してよい。

【0 3 2 9】

したがって、本発明は複数の異なるシークエンシング反応を同時に実施することを意図する。複数の同一のシークエンシング反応は、各占有ウェルにおいて同時に起こる。各ウェル内でのこの同時で同一のd N T P取り込みが、信号対ノイズ比を増加させ、これにより、シークエンシング反応副生成物の検出を可能とする。複数のウェルで同時にシークエンシング反応を行うことで、複数の異なるシークエンシング反応が同時に実施される。

30

【0 3 3 0】

シークエンシング反応は、ある温度範囲で実施できる。典型的には、反応は30~60℃、35~55℃、または40~45℃の範囲で行う。反応を、核酸での二次構造の形成を防ぐ温度において行うのが好ましい。しかし、これはプライマー(および、新しく合成された鎖)のテンプレート核酸への結合と、高い温度におけるアピラーゼの半減期の減少との間でバランスさせねばならない。好適な温度は約41℃である。洗浄緩衝液およびd N T P溶液を含む溶液は、一般に、これらの温度に温めて、ウェルの温度を変化させないようにする。しかし、アピラーゼ含有洗浄緩衝液は、酵素の半減期を延長させるために、より低い温度に維持するのが好ましい。典型的には、この溶液は約4~15℃に、およびより好ましくは4~10℃に維持する。

40

【0 3 3 1】

ヌクレオチド取り込み反応は、非常に迅速に起こる場合がある。その結果、いくつかの例においては、反応中に最大のデータ取得を確実にするために、反応を減速させることが望ましい場合もある。試薬および/または副生成物の拡散は、ウェルにパッキングビーズを添加することを含む(ただしこれに限定しない)多くの方法において、速度をゆるめることができる。パッキングビーズはまた、試薬の濃度および/またはc h e m F E T表面

50

における副生成物を増加させる傾向があり、これにより、信号に対する電位を増加させる。パッキングビーズの存在は一般に、試料に対してより長い時間を許容する（例えば、2倍～4倍）。

【0332】

データ捕捉率は変化し得て、例えば毎秒10～100フレームのいずれかであり、どの率を用いるかは、少なくとも部分的には、ウェルの寸法およびパッキングビーズの存在に支配される。より小さいウェル寸法は一般に、より高いデータ捕捉率を必要とする。

【0333】

フローベースの、ウェルの上面が開放されチップ全体にわたり流体と連通する、本発明のいくつかの側面において、放出されたP P iまたは他の副生成物（例えばH⁺）を、ウェルから拡散して出て行く前に検出することが重要である。ウェルから出ていくいずれかの反応副生成物の拡散は擬陰性を導き（副生成物はそのウェルにおいて検出されないため）、ウェルに隣接するかまたはその下流においては擬陽性の可能性を導き、そのため避けるべきである。パッキングビーズはまた、ウェル間の拡散および／またはクロストークの程度の減少を支援することができる。

【0334】

したがって、いくつか態様において、パッキングビーズは核酸負荷ビーズに加えて用いられる。パッキングビーズは磁性であってもよいが（超常磁性を含む）、これに限定されない。いくつかの態様において、パッキングビーズおよび捕捉ビーズは、同じ材料（例えば両者共に磁性、両者共にポリスチレン、など）で作製され、一方他の態様においては、これらは異なる材料（例えば、パッキングビーズはポリスチレンであり、捕捉ビーズは磁性である）で作製される。パッキングビーズは一般に捕捉ビーズより小さい。寸法差は様々であってもよく、5倍、10倍、15倍、20倍またはこれ以上であってもよい。例として、0.35 μmの直径のパッキングビーズを5.91 μmの捕捉ビーズと共に用いた。かかるパッキングビーズは、例えばBang Labsなどの供給源から市販されている。捕捉ビーズに対するパッキングビーズの配置は異なってよい。例えば、パッキングビーズは捕捉ビーズを取り囲み、これにより、捕捉ビーズがI S F E T表面に接触するのを防ぐ。他の例として、パッキングビーズが、捕捉ビーズに続いてウェルに装填されるが、この場合、捕捉ビーズはI S F E T表面と接触している。捕捉ビーズとI S F E T表面の間のパッキングビーズの存在は、P P iなどのシーケンシング副生成物の拡散の速度をゆるめ、これによりデータの取得を容易にする。

【0335】

本発明はさらに、パッキングビーズまたはc h e m F E T表面の改変（本明細書に記載のように）を用いて、c h e m F E T表面が、捕捉ビーズに結合したテンプレート核酸に接触してこれを妨害するのを防ぐことを意図する。深さまたは高さ0.1～0.5 μmのパッキングビーズの層は、この相互作用を除外する。

【0336】

シーケンシング反応は、アレイを解析してビーズの位置を決定することにより進められる。流れの非存在下において、背景信号（すなわちノイズ）は0.25 mV以下であるが、DNA負荷捕捉ビーズの存在下において、信号は約1.0 mV＝／－0.5 mVに増加することが見出された。この増加は、ビーズを有するウェルの決定を可能とするのに十分である。

【0337】

本発明はさらに、シーケンシング反応の実施に必要な種々の試薬および、本明細書に記載の方法による使用の使用説明書を含む、キットを意図する。

【0338】

一つの好ましいキットは、洗浄緩衝液を収容する1または2以上の容器および、各々が以下の試薬の1つを含有する1または2以上の容器を含む：d A T P緩衝液、d C T P緩衝液、d G T P緩衝液またはd T T P緩衝液、d A T P、d C T P、d G T Pおよびd T T P原液、アピラーゼ、S S B、ポリメラーゼ、パッキングビーズおよび随意にピロホス

ファクターゼ。重要なことには、キットは天然の d N T P のみを含む。

【0339】

受容体とリガンドの間、または結合対の2つのメンバー間、または分子複合体の要素間の相互作用も、chemFETアレイを用いて検出可能であることが理解される。かかる相互作用の例は、核酸同士のハイブリダイゼーション、タンパク質-核酸結合、タンパク質-タンパク質結合、酵素-基質結合、酵素-阻害剤結合、抗原-抗体結合などである。FETインターフェイスにおいて半導体電荷密度の変化を引き起こし、したがって電源から本明細書に記載のセンサのドレインへと流れる電流を変化させる、任意の結合イベントまたはハイブリダイゼーションイベントは、本発明に従って検出可能である。

【0340】

これらの態様において、パシベーション層（または、潜在的には、パシベーション層に被覆される中間層も）は、核酸（例えばDNA、RNA、miRNA、cDNA等）、抗原（任意の性質のものであってよい）、タンパク質（例えば酵素、コファクター、抗体、抗体断片等）などによって機能化される。これらの実体のパシベーション層への結合は、直接または間接的であってよい（例えば、パシベーション層反応基および結合すべき実体の両方に結合する二官能性リンカーを用いて）。

【0341】

例として、アミンまたはチオール基などの反応基を、合成中に任意のヌクレオチドにおいて核酸に加えて、二官能性リンカーの付着点を提供することができる。他の例として、結合コンピテント（conjugation-competent）試薬、例えば、Uni-Link AminoModifier、3'-DMT-C6-Amine-ON CPG、AminoModifier II、N-TFA-C6-AminoModifier、C6-ThiolModifier、C6-ジスルフィドホスホラミダイト（Phosphoramidite）およびC6-ジスルフィドCPG（Clontech, Palo Alto, CA）などを組み込むことにより、核酸を合成してもよい。核酸を付着させる他の方法は、以下で説明する。

【0342】

本発明の1つの側面において、chemFETアレイを、核酸アレイと組み合わせて提供する。短い核酸（例えばオリゴヌクレオチド）または長い核酸（例えば全長cDNA）の形態の核酸を、本明細書に記載のアレイのchemFET表面に提供することができる。核酸アレイは一般に、平らな表面上に複数の物理的に規定された領域（例えば「スポット」）を含み、その各々は、それに結合した、1つ、およびより好ましくは2以上の核酸を有する。核酸は通常、単鎖である。所与のスポットに結合した核酸は、通常同一のものである。オリゴヌクレオチドアレイとの関連において、これらの核酸は、100ヌクレオチド長未満（約10、20、25、30、40、50、60、70、80、90または100ヌクレオチド長を含む）であってよい。アレイを一定の遺伝子を検出するため（かかる遺伝子における突然変異またはかかる遺伝子の発現レベルを含む）に用いる場合、アレイは、それぞれが、規定の潜在的に異なる遺伝子配列にわたるオリゴヌクレオチドを含有する、多数のスポットを含んでよい。これらのスポットを次に平らな表面全体に配置して、ハイブリダイゼーションおよびアレイの読取り手段における、位置に関連する効果を除外する。

【0343】

アレイを、試験する試料と接触させる。試料は、下にあるセンサアレイに対応する2次元アレイなどの中にあってもよい、ゲノムDNA試料、細胞からのcDNA試料、組織またはマス（例えば腫瘍）、アレイ上に増殖した細胞集団であってよい。かかるアレイはしたがって、特定の遺伝子またはその発現の、存在および／またはそのレベルを決定するため、特定遺伝子内の変異（例えば、欠失、付加、置換などであり、単一ヌクレオチド多型を含むが、これらに限定されない）を検出するためなどに有用である。

【0344】

試料核酸および不動化核酸の結合またはハイブリダイゼーションは、一般に、当分野で理解される用語である、ストリンジェントなハイブリダイゼーション条件下で実施される（例えばSambrook et al. “Maniatis”を参照）。関連する条件の例は以下を含む（スト

10

20

30

40

50

リンジェンシーが高くなる順) : インキュベーション温度 25℃、37℃、50℃および 68℃、緩衝液濃度 10×SSC、6×SSC、4×SSC、1×SSC、0.1×SSC (ここで SSC は、0.15M の NaCl および 15mM のクエン酸塩緩衝液である) および他の緩衝系を用いるこれらの等価物、ホルムアミド濃度 0%、25%、50%、および 75%、インキュベーション時間 5分~24時間、1、2 または 3 以上の洗浄ステップ、洗浄インキュベーション時間 1、2、または 15分、および洗浄液 6×SSC、1×SSC、0.1×SSC、または脱イオン水。例えば、ハイブリダイゼーションを 50% のホルムアミドおよび 4×SSC で行い、次いで 2×SSC /ホルムアミドで 50℃にて、および 1×SSC で洗浄する。

【0345】

10

核酸アレイは、アレイ上の特定位置に、既に形成された cDNA などの核酸を蒸着した (または「スポットした」) ものを含む。核酸は、表面に、例えば、圧電蒸着、ポリマー層、例えば、限定されずにポリ-L-リジンもしくはポリピロールなどへの核酸の UV 架橋、公開された米国特許出願 2003/0186262 に記載されているようにケイ素被覆 SiO₂ への直接結合、シラン化 (silanized) chemFET 表面 (例えば Uslu et al. Biosensors and Bioelectronics 2004, 19:1723-1731 に記載された 3-アミノプロピルトリエトキシシラン (APTES) で処理された表面など) への直接結合、によりスポットすることができる。

【0346】

20

核酸アレイはまた、核酸 (例えば既知の配列のオリゴヌクレオチド) がアレイに直接合成されているものも含む。核酸は、アレイ上に、次のような当分野で認められている技法を用いて合成可能であるが、これらに限定されない: ガラススライド上への微細なポイントピンによるプリンティング、予め作製されたマスクを用いるフォトリソグラフィ、ダイナミックマイクロミラー装置 (例えば DLP ミラー) を用いるフォトリソグラフィ、インクジェットプリンティング、または微小電極アレイ上の電気化学的方法。文献 Nuwaysir et al. 2002 "Gene expression analysis using oligonucleotide arrays produced by maskless photolithography." Genome Res 12: 1749-1755 も参照のこと。この後者の種類のアレイの商業的供給源は、Agilent, Affymetrix および NimbleGen を含む。

【0347】

30

したがって、chemFET パシベーション層は、これに核酸が結合し、および/またはこれから核酸が合成されるところの反応性分子 (したがって反応基) の中間層で被覆してよい。

【0348】

本発明は、かかる核酸を、chemFET アレイと、特に本明細書に記載の「大規模」chemFET アレイと組み合わせることを意図する。chemFET /核酸アレイは、種々の用途に用いることができ、そのいくつかはウェル (または、本明細書において同義で用いられるマイクロウェルもしくは反応チャンバ) を必要としない。解析は、「閉鎖」システム (すなわち、試薬および洗浄液などの流れが自動化されている場合) を含む、流れの中で行われるために、1 または 2 以上のフローチャンバがアレイ上に配置され、アレイに接触している。複数のフローチャンバの使用は、複数試料 (または核酸ライブラリ) を同時に解析することを可能とする。2、3、4、5、6、7、8、9、10 またはそれ以上のフローチャンバが存在してよい。この構成は、例えばタンパク質アレイ、抗体アレイ、酵素アレイ、化学アレイなどの本明細書で説明されるものを含む、他の生物学的アレイにも同様に適用される。

40

【0349】

結合パートナー間または複合体の要素間の結合イベントは、下にある FET を介して電子的に検出されるため、かかるアッセイは、試験する試料を操作する (例えば外部的に標識する) 必要なくして、実施することができる。これは、かかる操作が常に、試料の損失と、一般に時間および操作の増加をもたらすために、有利である。さらに本方法は、結合反応をリアルタイムで試験することが可能である。

50

【0350】

本発明のchemFETと組み合わせて用いるタンパク質アレイもまた意図される。タンパク質アレイは、系統のかつ所定の様式で平らな表面に結合した生物学的部分を含んでいる、タンパク質またはペプチドまたは他のアミノ酸を含む。かかるタンパク質は、酵素、抗体および抗体断片または抗体模倣体（例えば一本鎖抗体）を含むが、これに限定されない。

【0351】

1つの態様において、タンパク質アレイは複数の異なるタンパク質（または生物学的部分を含む他のアミノ酸）を含んでよい。各タンパク質、および好ましくは複数のタンパク質は、アレイの所定の領域または「セル」に存在する。この領域（またはセル）は、センサアレイのセンサと、各領域（またはセル）に対して1つのセンサが存在するように、整列している。単一領域（またはセル）内の複数タンパク質は、タンパク質のサイズおよび領域（またはセル）のサイズに依存して変化してよく、また、少なくとも10、50、100、500、 10^3 、 10^4 、もしくはそれ以上であってよいが、ただしこれに限定されない。アレイそれ自体は、任意数のセルを含んでよく、これには、少なくとも10、 10^2 、 10^3 、 10^4 、 10^5 、 10^6 、 10^7 、もしくはそれ以上を含むが、ただしこれに限定されない。1つの用途において、アレイは、タンパク質に結合する分析物を含有しているか、含有していることが疑われる試料に暴露される。分析物は、タンパク質が酵素である場合は、基質または阻害剤であってよい。分析物は、タンパク質に結合する任意の分子であってよく、これには、他のタンパク質、核酸、化学種（合成または天然）などを含む。

10

20

【0352】

本明細書で意図される核酸アレイと同様に、タンパク質アレイからの読取りは、chemFETを通した電流の変化であり、したがって、これらのアレイ法においては、標識化および／または標識検出の追加のステップは不要であることが理解される。

【0353】

他の態様において、タンパク質アレイは複数の同一タンパク質（または生物学的部分を含む他のアミノ酸）を含んでよい。同一のタンパク質は、平らな表面に均一に分散されていてもよく、または、これらはこの表面の離散した領域（またはセル）に編成されてもよい。これらの後者の態様においては、領域（またはセル）は、センサアレイのセンサと、各領域（またはセル）に1つのセンサが存在するような様式で整列される。

30

【0354】

タンパク質は、オフチップで合成してよく、次に精製してアレイに取り付けられる。代替的に、タンパク質は、上述の核酸と同様に、オンチップで合成してもよい。無細胞DNA発現または化学的合成を用いたタンパク質の合成は、オンチップ合成に適している。無細胞DNA発現を用いて、一旦合成されたタンパク質を、固体支持体に取り付ける。代替的に、タンパク質は、固体支持体上で、固相ペプチド合成を用いて化学的に合成してもよい。選択的脱保護を、リソグラフィの方法またはSPO T合成を用いて実施する。少なくともMacBeath and Schreiber, Science, 2000, 289:1760-1763またはJones et al. Nature, 2006, 439:168-174を参照のこと。Fodor et alの米国特許6919211もまた参照のこと。

40

【0355】

chemFETアレイと組み合わせた化学化合物マイクロアレイもまた、想定することができる。化学化合物マイクロアレイの作製は、固体表面上で種々の結合技術によって化合物（例えば有機化合物）を共有結合的に不動化することにより（文献においては「分子マイクロアレイ」とも呼ばれる）、固体表面上で不動化なしで、化合物（例えば有機化合物）をスポットまたは乾燥することにより（文献においては「マイクロアレイ化合物スクリーニング（ μ ARCS）」とも呼ばれる）、または、均一溶液中で、不動化および乾燥効果なしで、有機化合物をスポットすることにより（Reaction Biology CorporationによるDiscoveryDot™技術として商品化されている）、行うことができる。

【0356】

50

c h e m F E T アレイと組み合わせた組織マイクロアレイが、本発明によりさらに意図される。組織マイクロアレイについては、Battifora Lab Invest 1986, 55:244-248 ; Battifora and Mehta Lab Invest 1990, 63:722-724 ; および Kononen et al. Nat Med 1998, 4:844-847 に、さらに詳細に説明されている。

【0357】

c h e m F E T アレイおよび生物学的もしくは化学アレイの構成は、それぞれの例において類似しており、1つの組合せアレイについての説明は、本明細書に記載の他のものに、または当分野で既知である他のものに、適用されるであろう。

【0358】

さらに他の側面において、本発明は、細胞培養物（例えば、2次元細胞培養物）（例えば、Baumann et al. Sensors and Actuators B 55 1999 77:89を参照）、および c h e m F E T アレイと接触して配置された組織切片の解析も意図する。例として、脳切片を本発明の c h e m F E T アレイと接触して配置し、例えば限定されずに、神経毒などの刺激の有無のいずれかにおける切片の変化を検出することができる。神経プロセスおよび／または刺激の伝達（transduction）を、こうして解析することができる。これらの態様において、c h e m F E T は、パシベーション層それ自体を介して、または、パシベーション層に被覆されたこれらのイオンに対する受容体を介して、カルシウムおよび／またはカリウムのフラックスを検出することにより、操作してよい。

【0359】

さらに他の側面において、本発明は、本発明の記載のようにかまたは他の様式で官能化された c h e m F E T アレイの、in vivoでの使用を意図する。かかるアレイは、対象（例えば、イオンフラックスを受ける、脳または他の領域内）に導入され、次いで対象の状態に基づく変化について解析する。

【0360】

いくつかの発明の態様を本明細書に記載し説明したが、当業者は容易に、本明細書に記載された機能を実施するための、および／または、結果および／または1または2以上の利点を得るための、種々の他の手段および／または構造を想定し、かかる変形および／または改変の各々は、本明細書に記載の本発明の態様の範囲内であるとされる。より一般的には、当業者は容易に、本明細書に記載の全てのパラメータ、寸法、材料、および構造が例示を意味し、実際のパラメータ、寸法、材料、および／または構造は、本発明の教示が用いられる特定の1または2以上の用途に依存することを理解する。当業者は、日常の実験の範囲内で、本明細書に記載の本発明の特定の態様の多くの均等物を認識し、確認することができる。したがって、前述の態様は例としてのみ示されており、添付のクレームおよびその均等物の範囲内において、本発明の態様は、具体的に記載されクレームされたものと異なって実施してもよいことが、理解される。本開示の発明の態様は、本明細書に記載の、各個別の特徴、システム、物品、材料、キット、および／または方法に向けられる。さらに、かかる特徴、システム、物品、材料、キット、および／または方法の、2つまたは3つ以上の任意の組合せは、もしも、かかる特徴、システム、物品、材料、キット、および／または方法が互いに不整合でなければ、本開示の発明の範囲内に含まれる。

【0361】

本明細書で定義され用いられている全ての定義は、辞書での定義、参照により組み込まれる文献における定義、および／または規定された用語の通常の意味を支配するものと、理解されるべきである。

【0362】

本明細書およびクレームにおいて用いる場合、不定冠詞「a」「an」は（すなわち単数形の名詞は）、明白に逆のことを指示されていない限り、「少なくとも1つ」を意味すると理解されるべきである。

【0363】

本明細書およびクレームにおいて用いる場合、句「および／または」は、接続された要素の、すなわち、ある場合においては接続的に、および他の場合においては離接的に提示

10

20

30

40

50

される要素の、「どちらか1つまたは両方」を意味するものと理解されるべきである。「および／または」を用いてリストされる複数の要素は、すなわち接続された要素の「1または2以上」と同じ様式で解釈されるべきである。「および／または」節により具体的に識別される要素以外の他の要素も、具体的に識別される要素に関連してもまたは非関連であっても、随意に提示してよい。したがって、非限定的な例として、「Aおよび／またはB」と言った場合、これを例えば「を含む」などの制約のない言葉と共に用いる場合、1つの態様においては、Aのみ（随意にB以外の要素を含む）、他の態様においては、Bのみ（随意にA以外の要素を含む）、さらに他の態様においては、AとBの両方（随意に他の要素を含む）、を指すことができる。

【0364】

本明細書およびクレームにおいて用いる場合、「または」は、上に定義した「および／または」と同じ意味を有すると理解されるべきである。例えば、リスト中の項目を分離する場合、「または」または「および／または」は、包含的である。すなわち、多数の要素または要素リストの内、少なくとも1つを含むが、1つより多く含んでもよく、随意にリストにはない項目を追加して含んでよいと解釈すべきである。この逆を明白に指示する用語、例えば「1つのみの」もしくは「正確に1つの」、または、クレームにおいて用いる場合、「からなる」とは、多数の要素または要素リストの内の、正確に1つの要素を含むことを指す。一般に、本明細書で用いる場合、用語「または」は、例えば「どちらか」、「1つの」、「ただ1つの」または「正確に1つの」などの排他的な用語の後に来る場合には、排他的代替物 (exclusive alternative) を示す（すなわち、「1方または他方であるが、両方ではない」）と解釈されるべきである。「本質的に～からなる」は、クレームにおいて用いる場合、特許法の分野において用いる通常の意味を有するべきである。

【0365】

本明細書およびクレームにおいて用いる場合、1または2以上の要素のリストを参照する句「少なくとも1つ」は、要素のリスト中の任意の1または2以上の要素から選択される、少なくとも1つの要素を意味すると理解されるべきであるが、しかし必ずしも、要素リスト中に具体的にリストされた全ての要素それぞれの少なくとも1つを含むわけではなく、要素リスト中の要素の任意の組合せを除外するわけでもない。この定義はまた、「少なくとも1つ」の句が言及している、要素リスト中で具体的に識別される要素以外の要素が、具体的に識別される要素に関連してもまたは関連していなくても、随意に存在することを可能とする。したがって、非限定例として、「AおよびBの少なくとも1つ」（または同等に、「AまたはBの少なくとも1つ」、または同等に、「Aおよび／またはBの少なくとも1つ」とは、1つの態様において、少なくとも1つのAを、随意に1より多いAを含むものを言い、ここでBは存在しない（および随意にB以外の要素を含む）、他の態様において、少なくとも1つのBを、随意に1より多いBを含むものを言い、ここでAは存在しない（および随意にA以外の要素を含む）、さらに他の態様において、少なくとも1つのA、随意に1より多いAを含むもの、および、少なくとも1つのB、随意に1より多いBを含むもの（および随意に他の要素を含む）等を指すことができる。

【0366】

明白に逆の指示がない限り、ここでクレームされている、1より多くのステップまたは行為を含む任意の方法において、方法のステップまたは行為の順序は必ずしも、該方法のステップまたは行為が記載されている順序に限定されないことを、理解すべきである。

【0367】

クレームにおいて、また上記明細書において、「含む」、「包含する」、「担持する」、「有する」、「含有する」、「伴う」、「保持する」、「から構成される」、などの全ての移行句 (transitional phrase) は、制約がないと理解すべきであり、これは、これらを含むがこれに限定されないことを意味する。移行句「からなる」および「から基本的になる」のみが、米国特許庁特許審査便覧の第2111.03節に記載されているように、それぞれ限定的 (closed) または半限定的 (semi-closed) 移行句である。

【0368】

例

以下は、一本鎖オリゴヌクレオチドの、I S F E Tアレイを用いた迅速シーケンシングのための原理の証明例である。

【0369】

1. 1 一本鎖オリゴヌクレオチドのストレプトアビジン被覆磁気ビーズへの結合

5'デュアルビオチンタグ（HPLC精製）付き一本鎖DNAオリゴヌクレオチドテンプレートおよび20塩基汎用プライマーは、IDT（Integrated DNA Technologies, Coralville, IN）から注文した。

【0370】

テンプレートは60塩基長であり、20塩基プライマーに相補的な20塩基を、3'末端において含むよう設計されていた（表1、イタリック体）。凍結乾燥およびビオチン化したテンプレートおよびプライマーを、TE緩衝液（10mMのトリスHCl、1mMのEDTA、pH8）に再懸濁し、それぞれを40μMの原液および400μMの原液とし、使用まで-20℃で保管した。

【0371】

各テンプレートについて、5.91μmのストレプトアビジン被覆磁気ビーズ（Bangs Laboratories, Inc. Fishers, IN）であって、水性緩衝懸濁液（ 8.57×10^4 ビーズ/μl）として4℃で保管されていたもの60μlを、120μlのビーズ洗浄緩衝液で3回洗浄して調製し、次に5'末端にビオチンを有するテンプレート1、2、3および4（T1、T2、T3、T4：表1）を用いてインキュベーションした。

【0372】

ビオチン（Kd：~10~15）に対する、ストレプトアビジンの強い共有結合親和性のため、これらの磁気ビーズは、下に記すように、テンプレートを固体支持体上に不動化するために用いられる。これらのビーズの、遊離のビオチンに対して報告されている結合能力は、 $0.650 \text{ pmol} / 1 \mu\text{l}$ ビーズ原液である。小さな（<100塩基）ビオチン化ssDNAテンプレートに対して、控えめに計算して、1ビーズ当たり 9.1×10^5 のテンプレートが結合可能である。ビーズは、Dynal Magnetic Particle ConcentratorまたはMPC-s（Invitrogen, Carlsbad, CA）を用いるのと同様に、簡単な磁石を用いても容易に濃縮される。記載の実験においてはMPC-sを用いた。

【0373】

MPC-sを用いて、各洗浄の間に1分間ビーズを濃縮し、次に緩衝液を加えてビーズを再懸濁させた。3回目の洗浄後、120μlのビーズ洗浄緩衝液に1μlの各テンプレート（40μM）を加えたものに、ビーズを再懸濁させた。ビーズを30分間回転させながらインキュベーションした（Labquake Tube Rotator, Barnstead, Dubuque, IA）。インキュベーション後に、ビーズを次に120μlのアニール緩衝液（20mMのトリスHCl、5mMの酢酸マグネシウム、pH7.5）で3回洗浄し、60μlの同じ緩衝液中に再懸濁させた。

【0374】

【表1】

表1. テンプレート1、2、3および4の配列

T1: 5'/52Bio/GCA AGT GCC CTT AGG CTT CAG TTC AAA AGT CCT AAC
TGG GCA AGG CAC ACA GGG GAT AGG-3' (配列番号 :1)
T2: 5'/52Bio/CCA TGT CCC CTT AAG CCC CCC CCA TTC CCC CCT GAA CCC
CCA AGG CAC ACA GGG GAT AGG-3' (配列番号 :2)
T3: 5'/ 52Bio/AAG CTC AAA AAC GGT AAA AAA AAG CCA AAA AAC TGG
AAA ACA AGG CAC ACA GGG GAT AGG-3' (配列番号 :3)
T4: 5'/ 52Bio/TTC GAG TTT TTG CCA TTT TTT TTC GGT TTT TTG ACC TTT
TCA AGG CAC ACA GGG GAT AGG-3' (配列番号 :4)

【0375】

1. 2. シークエンシングプライマーのアニーリング

5'末端において5.91 μm の磁気ビーズに結合した不動態化テンプレートと、次にテンプレートの3'末端に相補的な20塩基プライマーにアニーリングした(表1)。400 μM のプライマー原液の、不動態化テンプレートに対してプライマーの20倍過剰量である1.0 μl のアリコートを加え、次にビーズとテンプレートとを、プライマーを用いて15分間95℃でインキュベーションし、次に温度をゆっくりと室温に下げた。次にビーズを、上述のようにMPC-sを用いて、120 μl の25 mMトリシン緩衝液(25 mMトリシン、0.4 mg/mlのPVP、0.1%のTween 20、8.8 mMの酢酸マグネシウム、pH 7.8)で3回洗浄した。ビーズを25 mMのトリシン緩衝液中に再懸濁させた。

10

【0376】

1. 3. ハイブリダイズしたテンプレート／プライマーの、DNAポリメラーゼを用いたインキュベーション

テンプレートとプライマーのハイブリッドを、基本的にMargulies et al. Nature 2005 437 (15):376-380および添付の補足資料に記載のようにしてポリメラーゼと共にインキュベーションした。

【0377】

2. 調製試験試料のISFETセンサアレイ上への負荷

ISFETアレイおよびその上のマイクロ流体の寸法および密度は、用途に応じて変えてよい。非限定的な例は、512×512アレイである。かかるアレイの各グリッド(262144個となる)は、単一のISFETを有する。各グリッドはまた、その上に位置するウェル(またはこれは本明細書では「マイクロウェル」と同義で用いられる)を有する。

20

【0378】

ウェル(またはマイクロウェル)は、円柱状、円錐状、正方形、長方形などを含む任意の形状を有してよい。1つの例示の形態において、ウェルは7×7×10 μm の四角のウェルである。ウェルの中心から中心までの距離を、本明細書において「ピッチ」と呼ぶ。ピッチは任意の距離であってよいが、できるだけ大きいアレイを収容するために、短いピッチが好ましい。

【0379】

ピッチは、50 μm 未満、40 μm 未満、30 μm 未満、20 μm 未満または10 μm 未満であってよい。1つの態様において、ピッチは約9 μm である。アレイの上のチャンバ全体(その中にウェルが配置される)は、約30 μl 以下、約20 μl 以下、約15 μl 以下または約10 μl 以下の容積を有してよい。これらの容積は、したがって、チャンバ内の溶液の容積にも対応する。

30

【0380】

2. 1 ビーズの「オープン」システムへの負荷

テンプレート1~4を有するビーズを、チップ上に負荷した(各テンプレートを10 μl)。簡略に述べると、各テンプレートのアリコートを、エッペンドルフピペットを用いてチップ上に加えた。次に磁石を用いてビーズをウェル内に引き入れた。

40

【0381】

2. 2 ビーズの「クローズド」システムへの負荷

捕捉ビーズとパッキングビーズの両方を、流れを用いて負荷する。ビーズ溶液の容積に対するマイクロリットル単位の精度、およびビーズ溶液の流体接続を通じた配置は、図62に示すように、ビーズ負荷取付け部品(bead loading fitting)を用いて実現する。該ビーズ負荷取付け部品は、大リザーバ(容積約1 ml)、小リザーバ(容積約10 μl)、および小容積のビーズ溶液を操作するためのマイクロ流体チャネルを含む。この方法はまた、精密なピペットにより可能となる、流体適用のマイクロリットル単位の精度も利用する。

【0382】

50

I S F E Tアレイおよびフローセルを含むチップを、負荷用固定具のZ I F（ゼロ挿入力）ソケットに配置し、次にステンレス鋼毛細管を、フローセルの1つのポートと、他のポートの可撓性ナイロン配管とに取り付ける。両方の材料は、マイクロ流体型流路（例えば内径が <0.01 ”程度）である。

【0383】

ビーズ負荷取付け部品は大および小リザーバからなり、これを毛細管の端に取り付ける。一般のプラスチックシリンジに緩衝液を充填し、次にナイロン配管の自由端に接続する。チップの底から突出している導線を、固定具ユニット（図示されず）の上部のソケットに挿入する。

【0384】

図63に示すように、シリンジを押して緩衝液を注入し、緩衝液は配管を通してフローセル（およびチップ表面）を横切り、毛細管を通して上る。このプロセスをプライミングと呼び、流体経路に空気が混入しないことを保証する。緩衝液を、液体のレベルが、透明の大リザーバを通して小リザーバの最上部に見えるまで、注入する。

【0385】

次に、図64に示すように、核酸被覆ビーズを含有する溶液を精密ピペットを用いて小リザーバへと適用する。この適用で、リザーバの上に大きな液滴が生成される。加える溶液の容積は、フローチャンバの容積に等しく（例えば、 $10\mu\text{l}$ 程度）、このビーズの濃度は、最初に小リザーバ内に存在する緩衝液の用量に加えた場合に、フローセルに移送される所望のビーズ濃度を生成するような濃度である。

【0386】

ピペットを収め、液滴が小リザーバの上まで後退し、図65に示すように、再度透明な大リザーバを通して見えるまで、シリンジを注意してゆっくりと引きもどす。小リザーバから下に延長しているマイクロ流体チャンネルは非常に小さいため（例えば直径が 0.01 ”程度）、このプロセス中、流路においてビーズ溶液と緩衝液との間の混合はほとんど起こらない。

【0387】

この時点において、ビーズ溶液が流路に負荷されるが、しかしまだフローセルの位置には届いていない。ビーズ溶液プラグまたは流路内のビーズ溶液の容積を移送する前に、小リザーバの溶液を洗浄する。最初に、図66に示すように、約 1ml の緩衝液を大リザーバへ注入し、小リザーバ内に残されたビーズ溶液を効果的に希釈する。次にこの溶液を、ピペット先端を大リザーバの底部の端に沿って位置させて、ピペットで取り出す。小リザーバ内の溶液のレベルは、図67に示すように、その最大レベルに保たれる。

【0388】

次に緩衝液の一定容積を、液滴として、図68に示すように前のビーズ溶液の適用と同様に、小リザーバ上に加える。この溶液の容積は、小リザーバとフローセルのフローチャンバとの間の流路の容積に等しい（すなわち、マイクロ流体チャンネル容積+毛細管容積+フローチャンバの前のフローセルの容積）。再度、液滴が図69に示すように小リザーバの上に後退するまで、シリンジを引きもどす。ここで、ビーズ溶液プラグを、フローセルのフローチャンバ内に負荷する。

【0389】

ここで負荷固定具を持ち上げて、図70に示すように、その頂点に磁石を含むピラミッド状ベースの上に配置する。磁石は、ビーズをビーズ溶液からチップのマイクロウェルへと引きよせる。数秒後に、固定具をベースから取り外す。流体の緩衝液による最初のプライミングを除く全プロセスは、必要に応じて、小さなパッキングビーズをマイクロウェルへ負荷するために反復可能である。

【0390】

遠心分離または重力など、ビーズをフローチャンバのウェル内に引き寄せる他の方法があるだろうことが理解される。本発明はこの点について限定されない。

【0391】

3. ISFETセンサアレイを用いるDNAシーケンシング

3.1 「オープン」システムでのDNAシーケンシング

提示する結果は、「オープン」システムにおいて行われた実験の代表的なものである（すなわち、この実験は、ISFETチップをISFET装置のプラットフォーム上に配置し、次に各ヌクレオチド（5 μ l、その結果それぞれ6.5 μ M）を手動で次の順序：dATP、dCTP、dGTPおよびdTTP（100 mM原液、Pierce, Milwaukee, WI）により、与えられたヌクレオチドをチップ表面上に既にある液体中にピペットで加えて、チップから2.5 MHzの速度でデータを収集した）。これにより、データ収集は、7.5秒間で約18フレーム/秒となった。次にデータをLab Viewを用いて解析した。

【0392】

あるテンプレートの配列について、dATPの添加は、テンプレート4の4塩基の伸長をもたらした。dCTPの添加は、テンプレート1の4塩基の伸長をもたらした。dGTPの添加は、テンプレート1、2および4の、表2に示した伸長を、およびdTTPの添加は、ランオフをもたらした（示したとおり、全テンプレートの伸長）。

【0393】

図71（A～D）は、伸長反応を示す。左のパネルにおいて、時間内の1スナップショットについての全ピクセルを示し、右側は、mV対時間のグラフを、左のセットからの4つの選択されたピクセルについて示す。白色の矢印が、伸長が起きている活性ピクセルを示す。ランオフにおいて（図71D）、図71Cのマークされたウェルに加えて、追加の矢印はdGTPの添加後に伸長が起こらなかったが、むしろdATPの添加後に伸長が生じたウェルを示しており、これはその後、ランオフ中に再度見られた。

【0394】

本方法を非自動化の様式で実施する（すなわち、自動的な流れおよび試薬の導入なしで）場合は、各ウェルは非取り込みdNTPを分解するために、アピラーゼを含むのが好ましい。アピラーゼは、この態様においてまたは本明細書で説明された任意の他の態様において、dNTPを分解可能な他の化合物（または酵素）で置き換え可能であることが、理解されるべきである。

【0395】

【表2】

表2. 実験のセットアップおよびヌクレオチド添加の順序

	dATP	dCTP	dGTP	dTTP
T1	0	(3:C; 1:A)4	1	ランオフ(25)
T2	0	0	4	ランオフ(26)
T3	0	0	0	ランオフ(30)
T4	4	0	2	ランオフ(24)

【0396】

3.2 センサチップ上のマイクロ流体を用いたシーケンシング

流動様式におけるシーケンシングは、ヌクレオチド試薬のDNAへの取り込みへの、開かれた適用の拡張である。試薬をISFETチップのバルクの溶液に加えるのではなく、試薬を連続的な様式でチップ表面全体に流し、1回に単一DNA塩基（単数または複数）を伸長させる。dNTPを、dTTPから初めて、次にdATP、dCTPおよびdGTPと連続して流す。チップ上の流体の動きの層流の性質による、ヌクレオチドのマイクロウェルへの、および最終的には核酸負荷ビーズの周りへの拡散が、送達の主要な機構である。

【0397】

流動様式はまた、ヌクレオチド溶液のほとんどが適用の間に洗浄除去されることを保証

10

20

30

40

50

する。これは、チップを、緩衝液およびアピラーゼ溶液で、各ヌクレオチド流の後にすすぐことを含む。ヌクレオチドおよび洗浄溶液は、システムの化学ボトル内に保管され、流体配管および自動バルブのシステムを用いて、チップ上に流される。

I S F E Tチップは、ヌクレオチド流の最中に、DNA伸長の化学的生成物を感知するために活性化される。

【図 1】

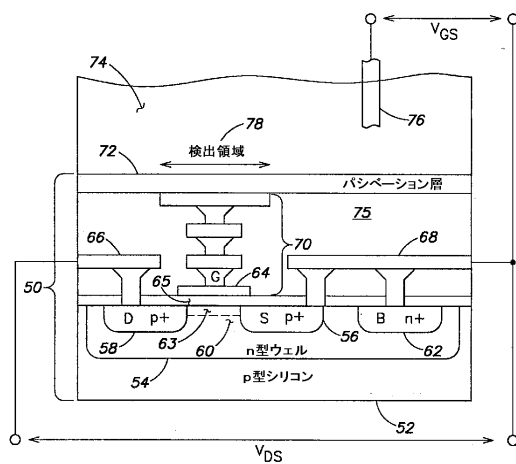


図 1

【図 2】

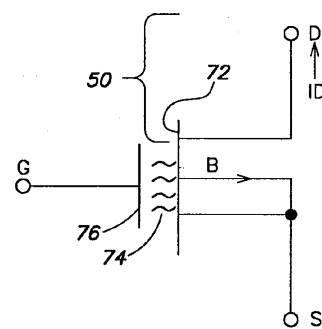


図 2

【図 3】

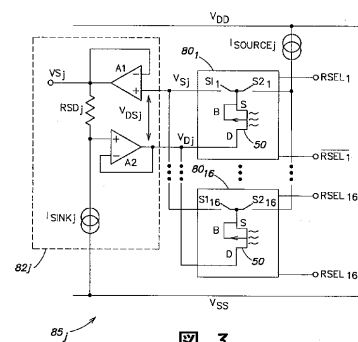
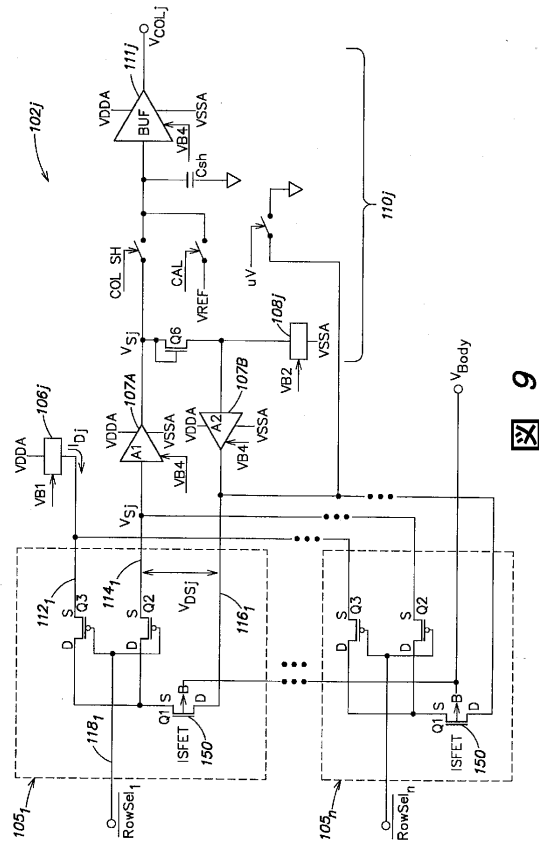


図 3

【図 9】



【図 9 A】

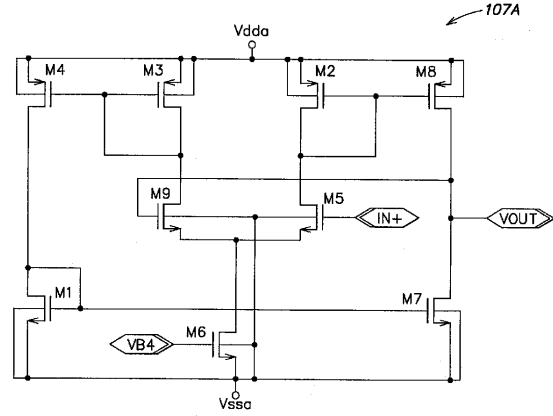


図 9A

【図 9 B】

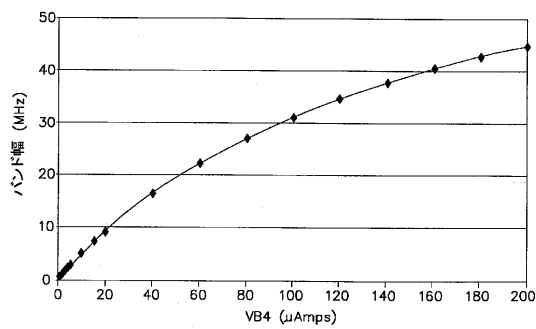


図 9B

【図 10】

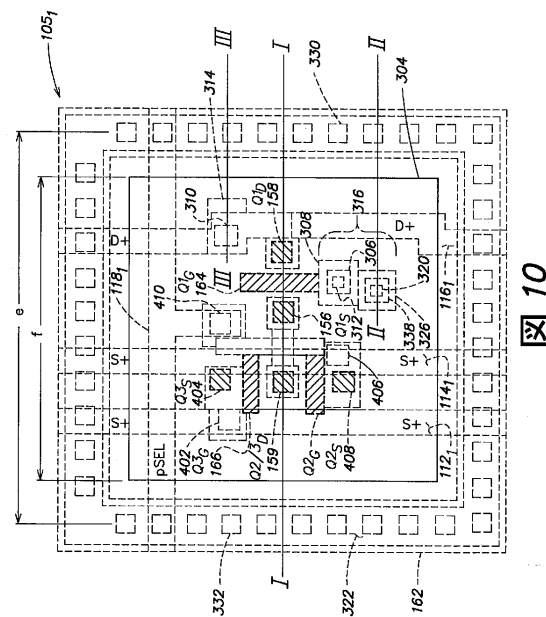


図 10

【図 11A】

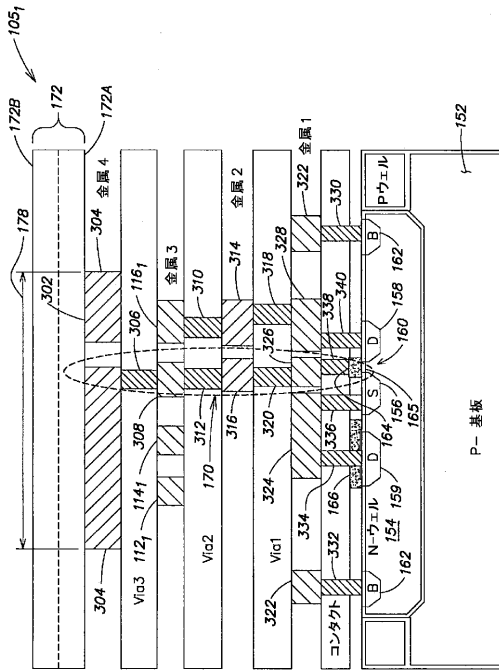
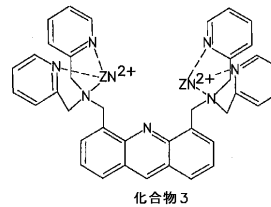
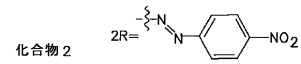
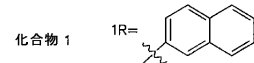
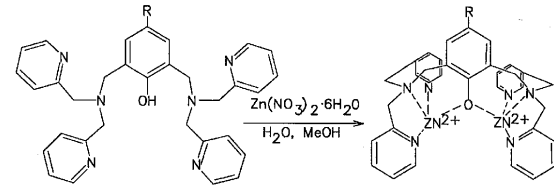
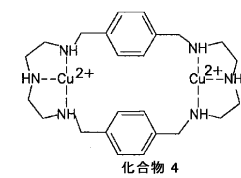


図 11A

【図 11B-1】



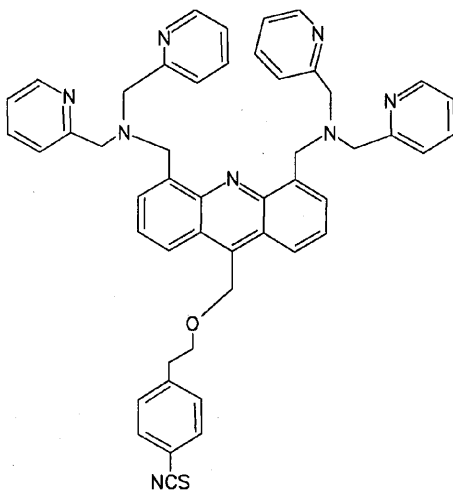
化合物 3



化合物 4

図 11B(1)

【図 11B-2】



化合物 10

図 11B(2)

【図 11B-3】

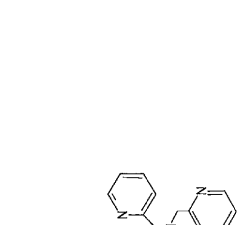
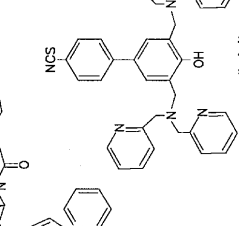
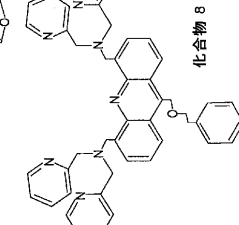
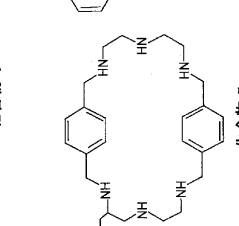
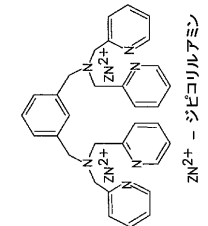
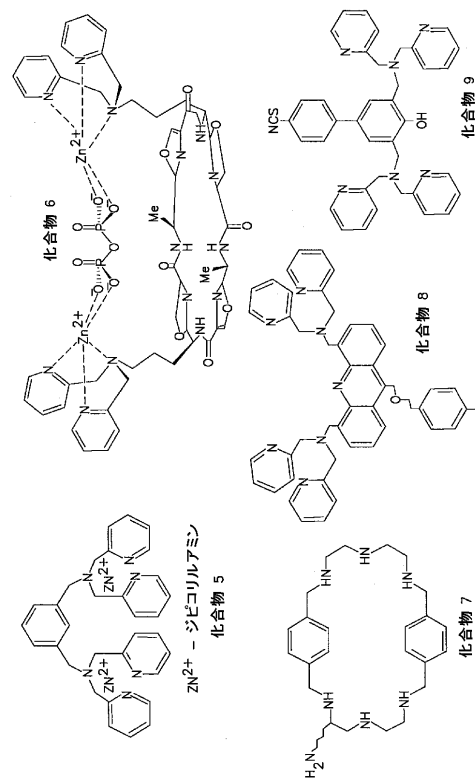


図 11B(3)

【図 11C-1】

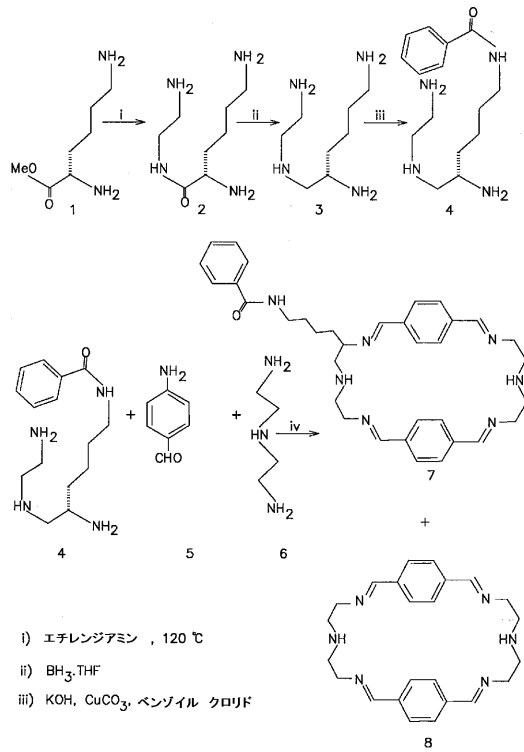


図 11C(1)

【図 11C-2】

iv) 1:3 ratio of 4:6, MeOH, r.t.

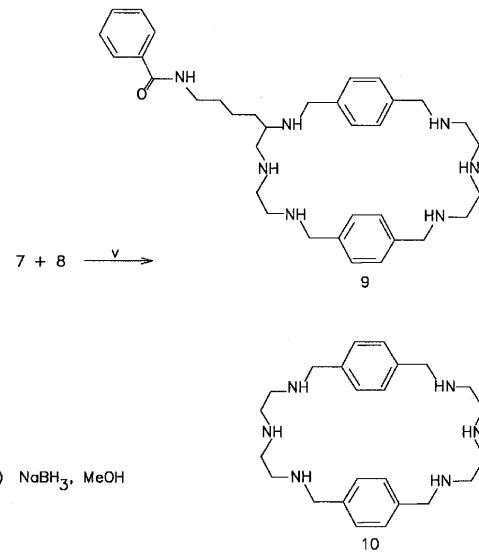


図 11C(2)

【図 11C-3】

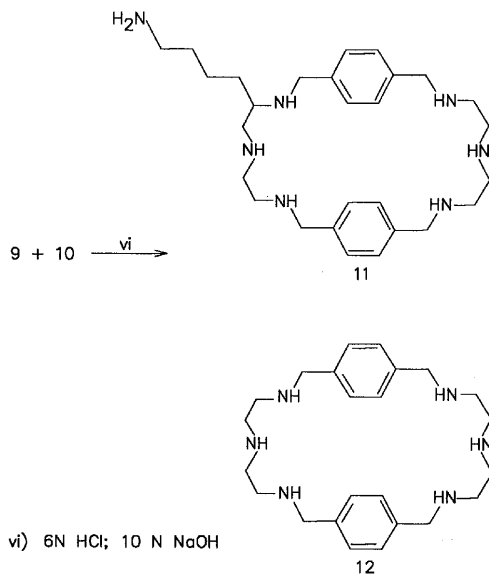


図 11C(3)

【図 11D-1】

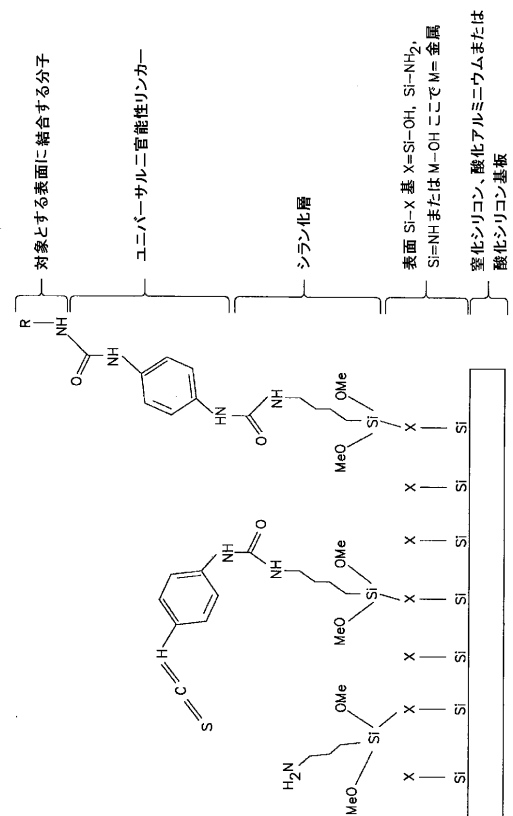


図 11D(1)

【図 11D-2】

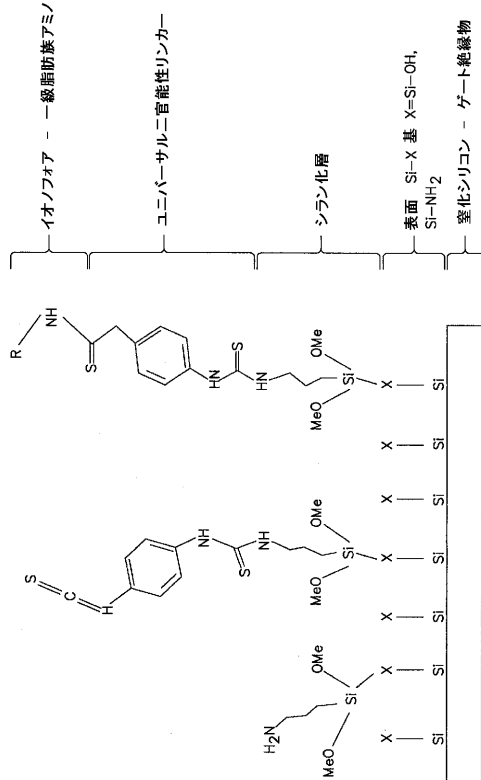


図 11D(2)

【図 11D-3】

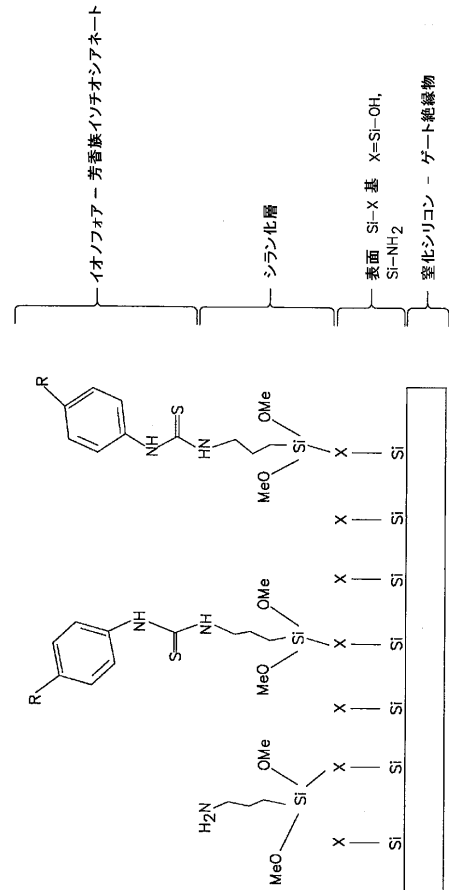


図 11D(3)

【図 11E】

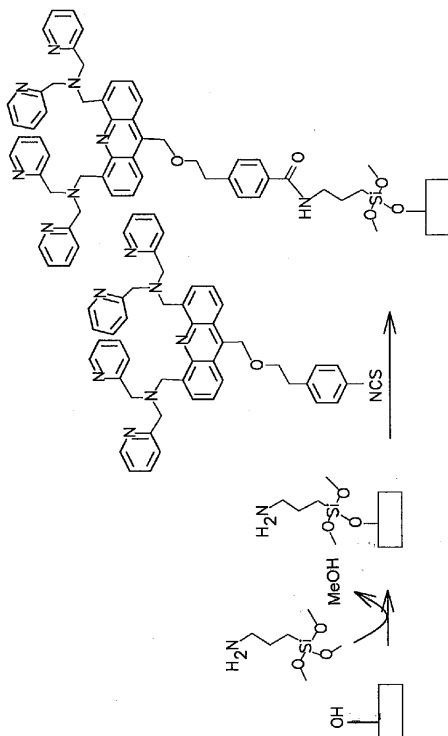


図 11E

【図 12】

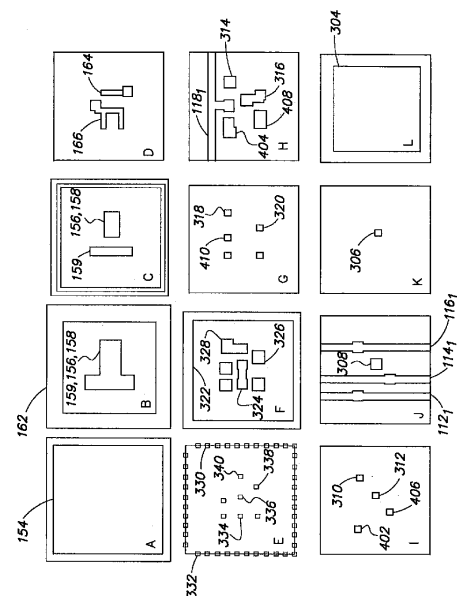


図 12

【図13】

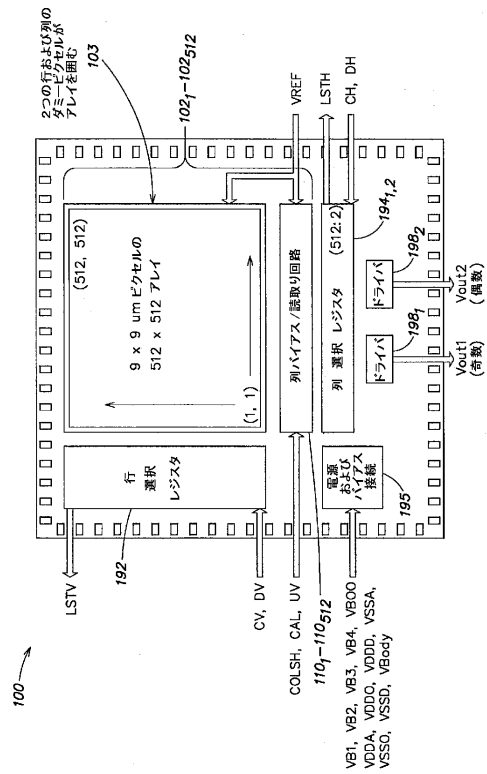


図 13

【図14】

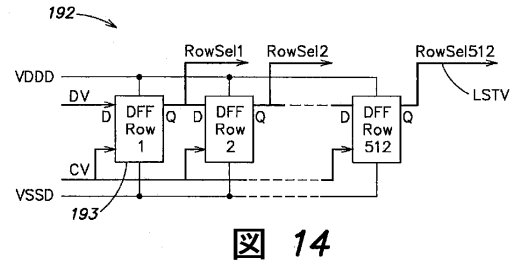


図 14

【図15】

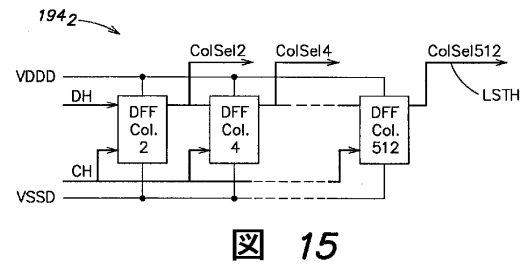


図 15

【図16】

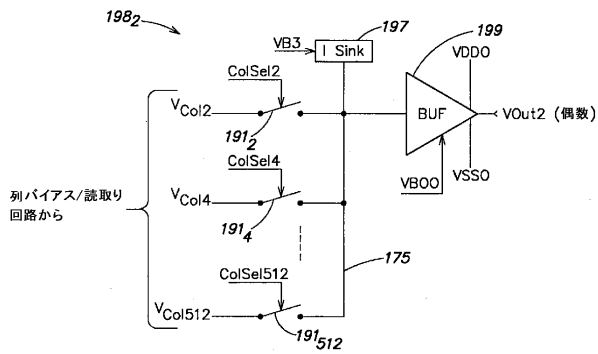


図 16

【図17】

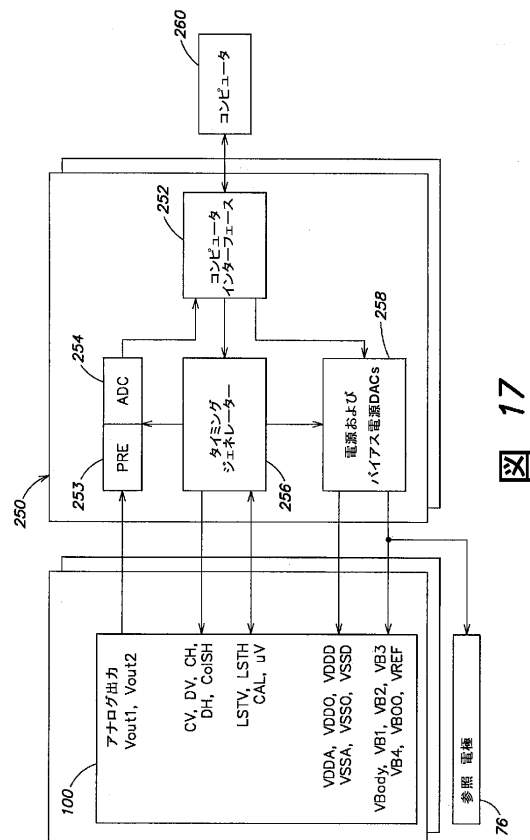


図 17

【図 18】

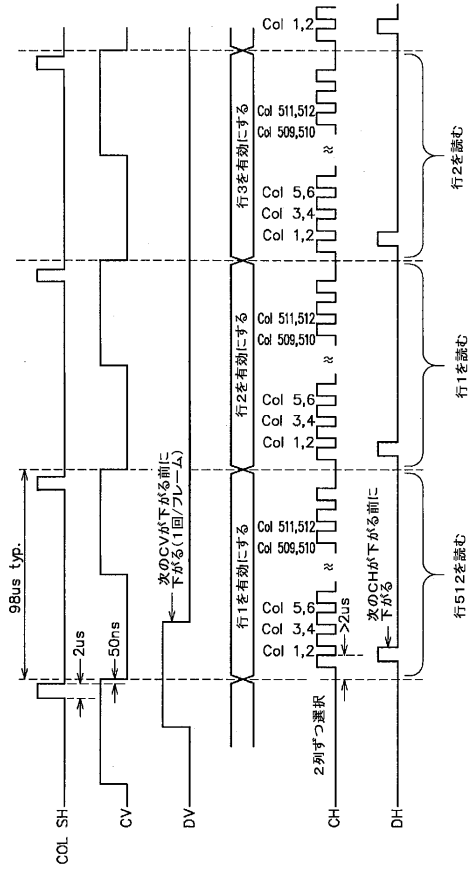


図 18

【図 19】

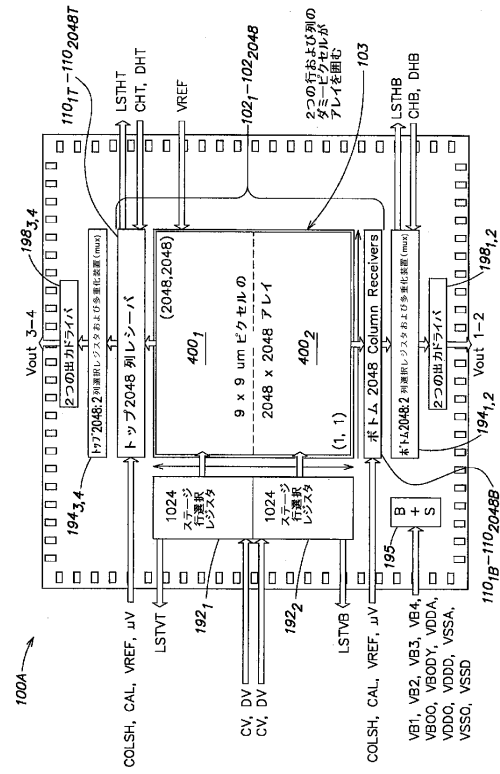


図 19

【図 20】

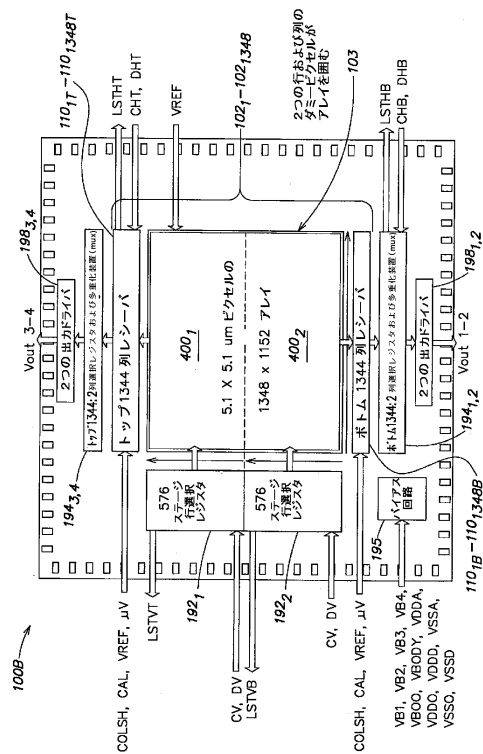


図 20

【図 20A】

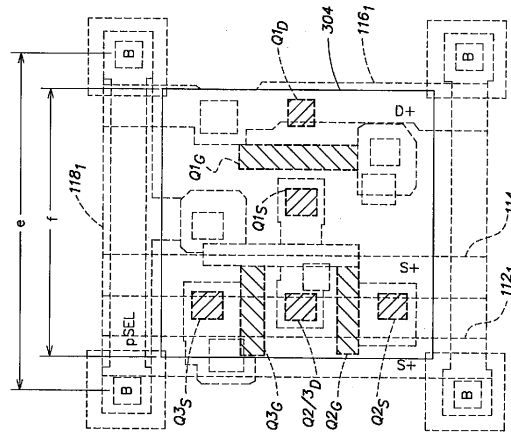
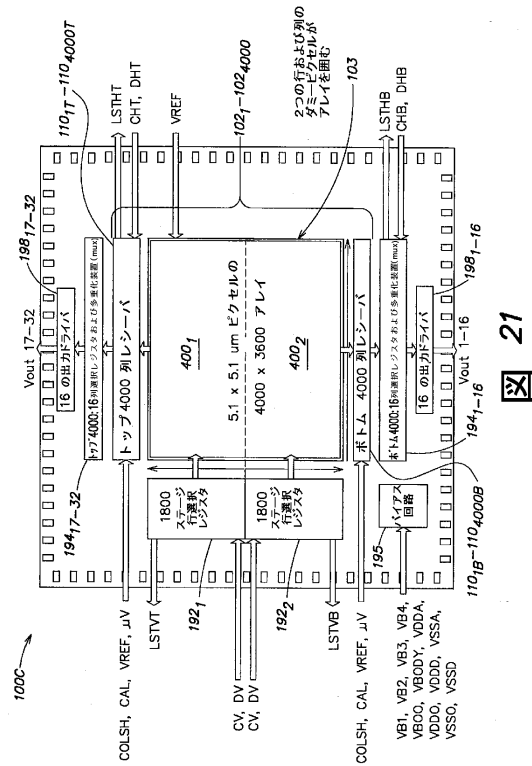
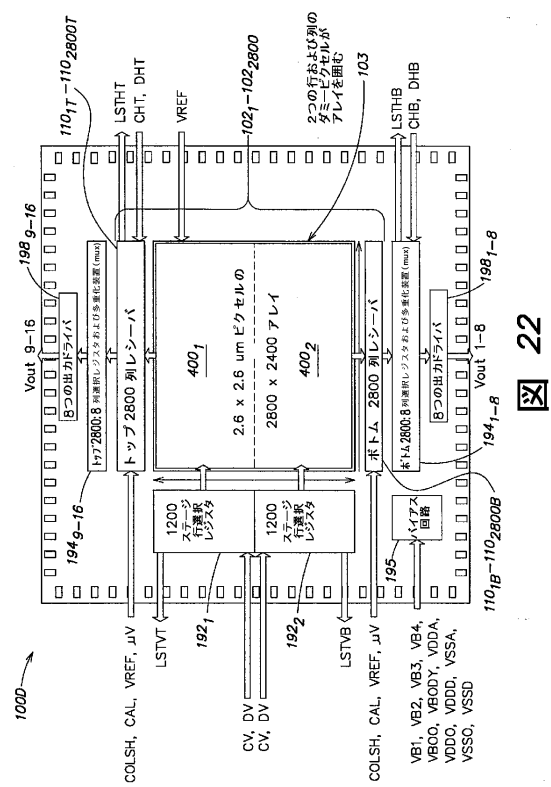


図 20A

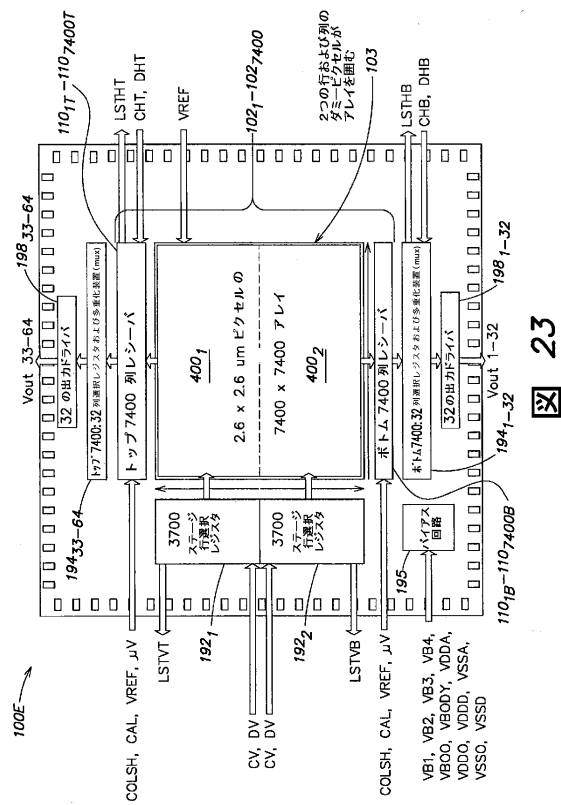
【図 2 1】



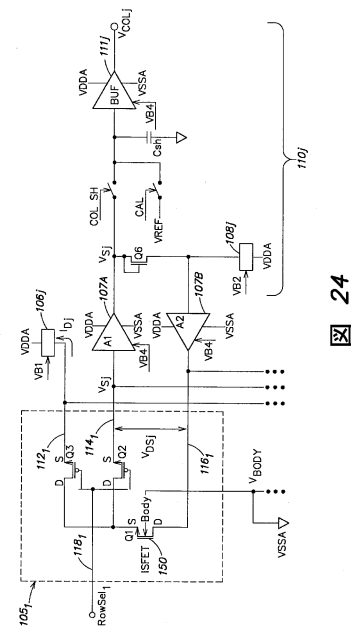
【図 2 2】



【図 2 3】



【図 2 4】



【図 25】

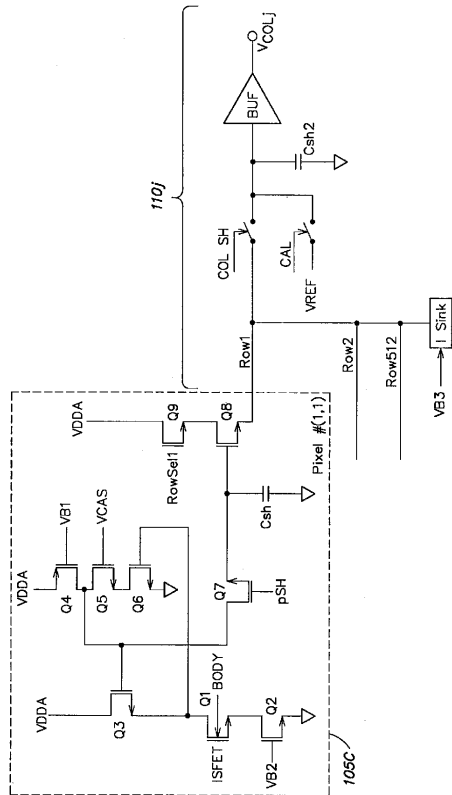


図 25

【図 26】

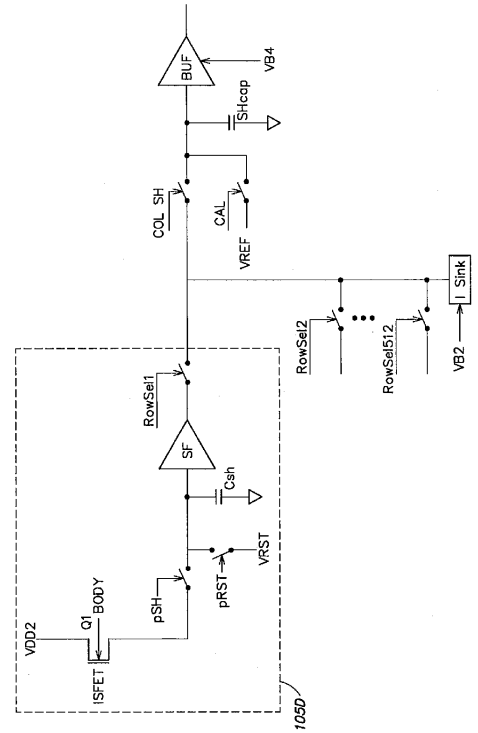


図 26

【図 27】

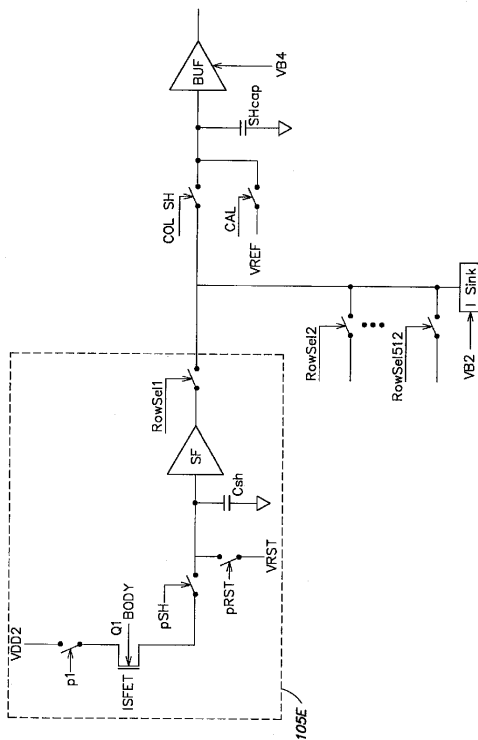


図 27

【図 28A】

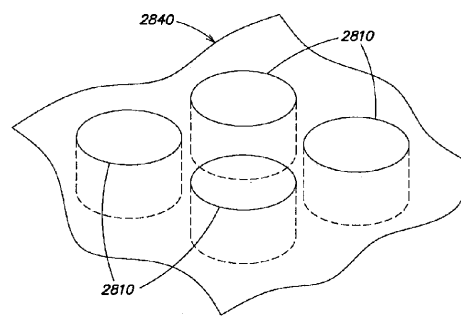


図 28A

【図 28B】

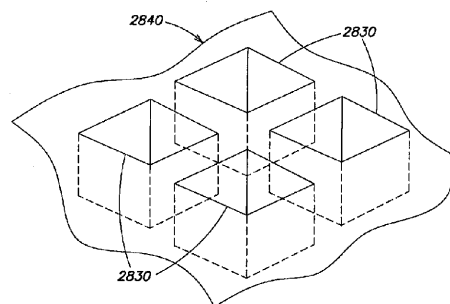


図 28B

【図 29】

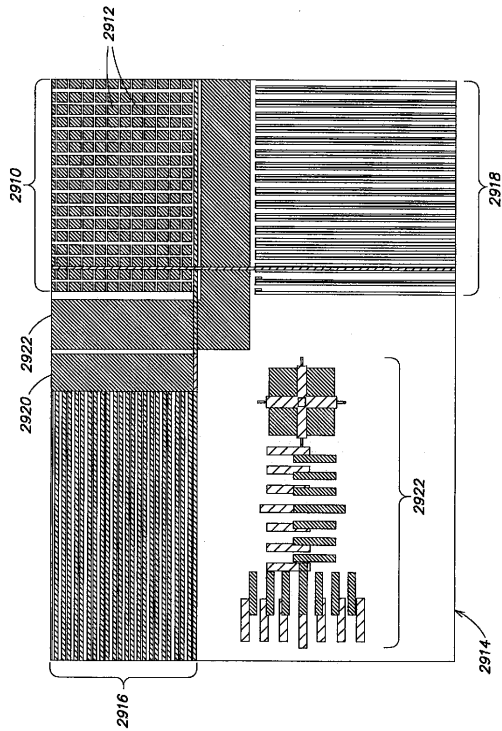


図 29

【図 30】

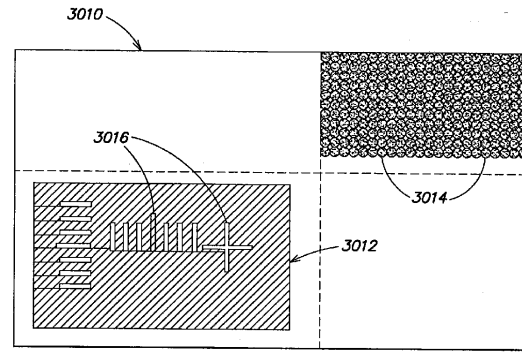


図 30

【図 31】

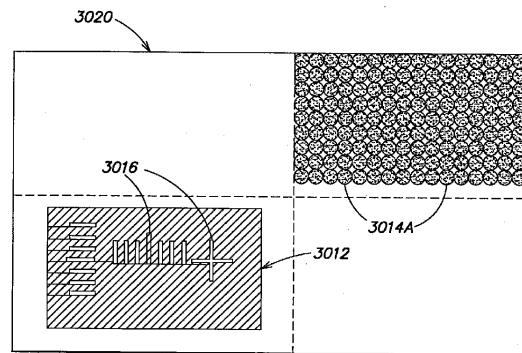


図 31

【図 32】

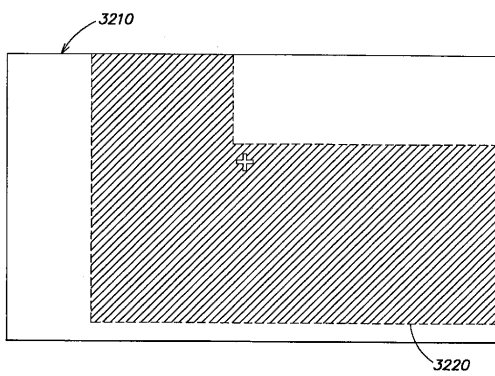


図 32

【図 33】

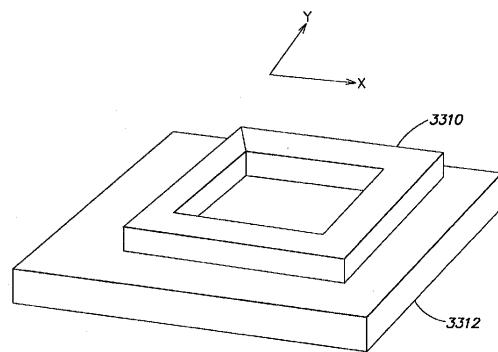


図 33

【図 3 3 A】

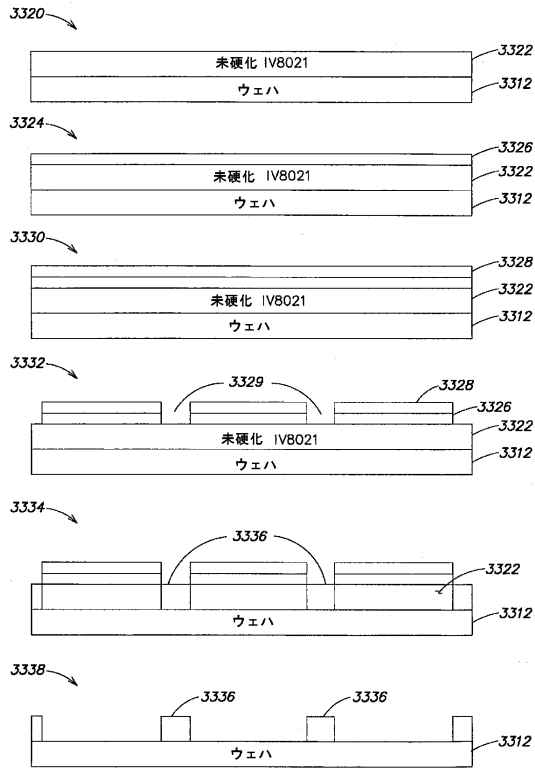


図 33A

【図 3 4】

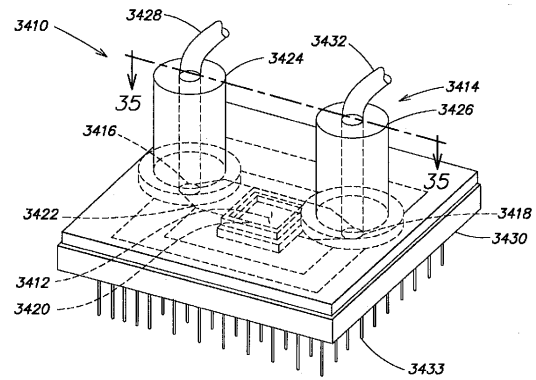


図 34

【図 3 5】

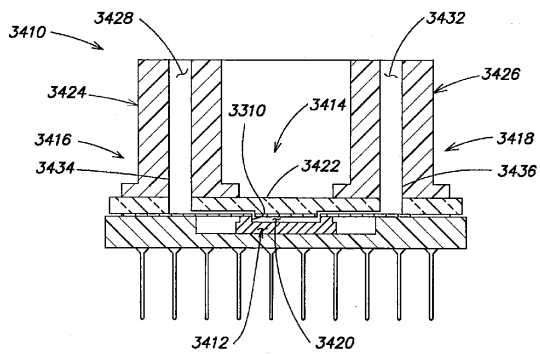


図 35

【図 3 6】

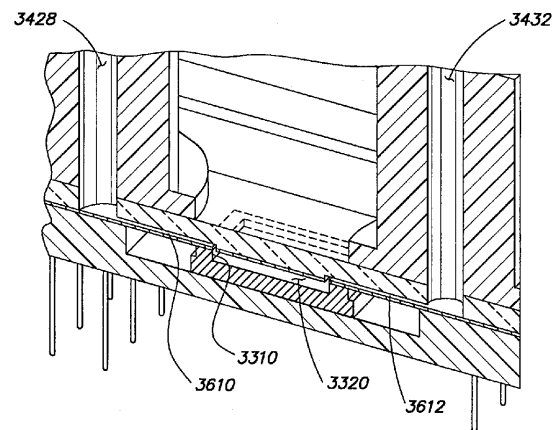


図 36

【図 37】

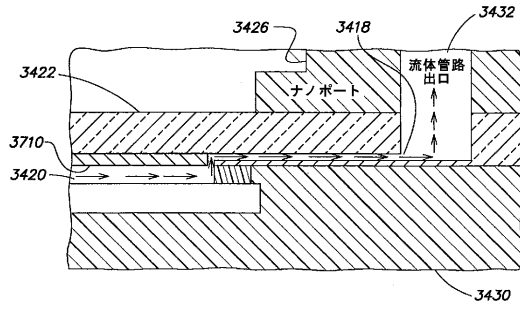


図 37

【図 39】

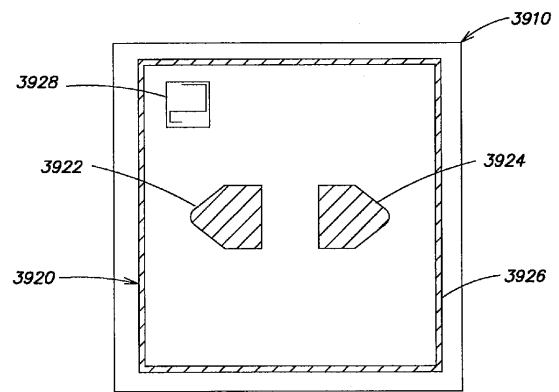


図 39

【図 38】

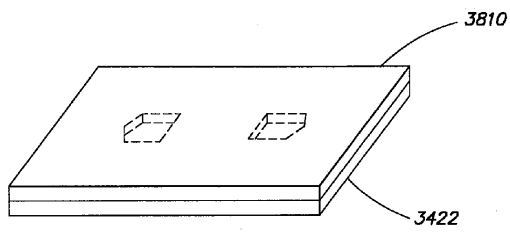


図 38

【図 40】

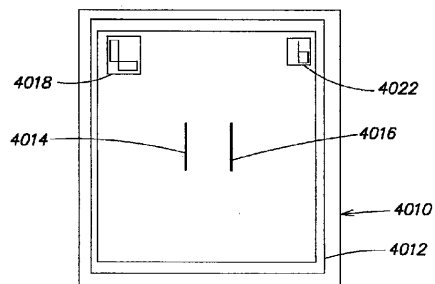


図 40

【図 41】

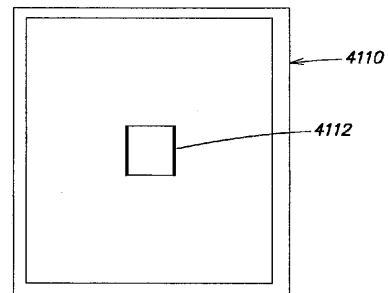


図 41

【図 4 2】

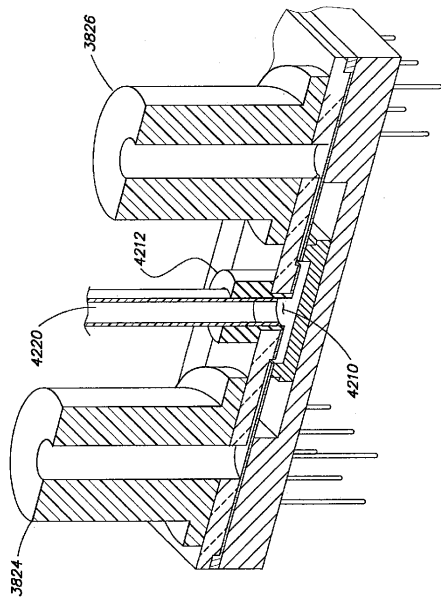


図 42

【図 4 3】

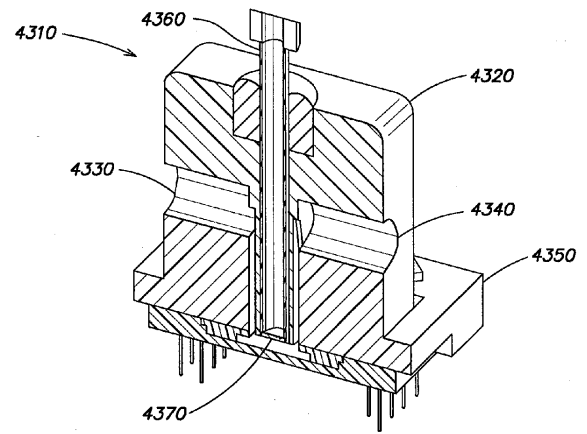


図 43

【図 4 4】

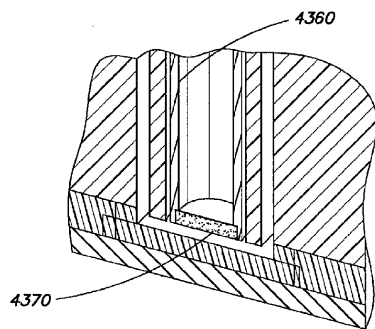


図 44

【図 4 5】

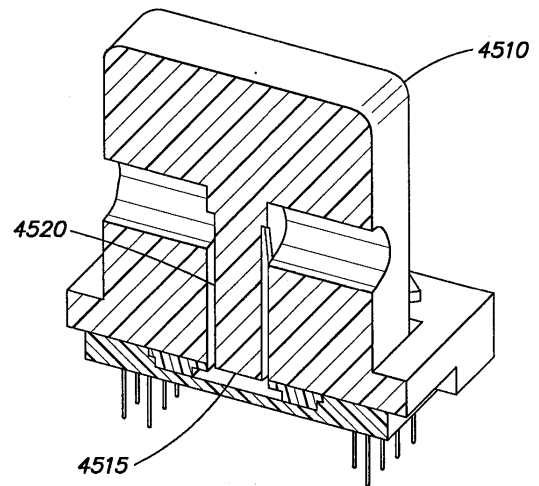


図 45

【図 4 6】

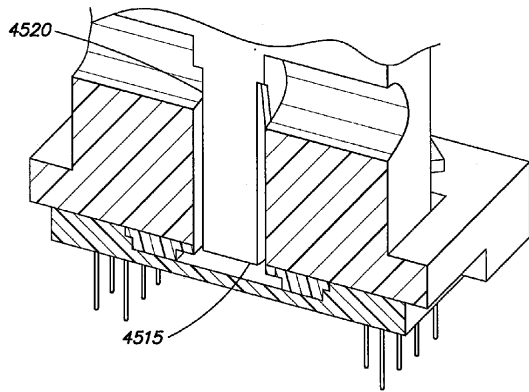


図 46

【図 4 7】

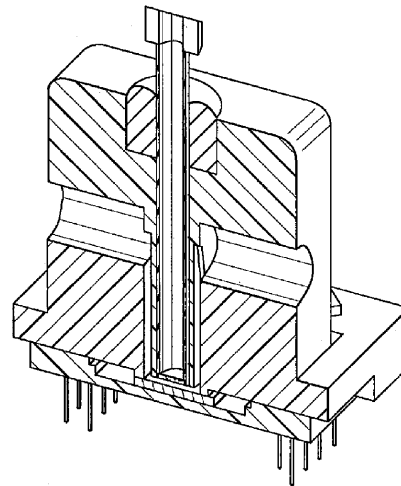


図 47

【図 4 8】

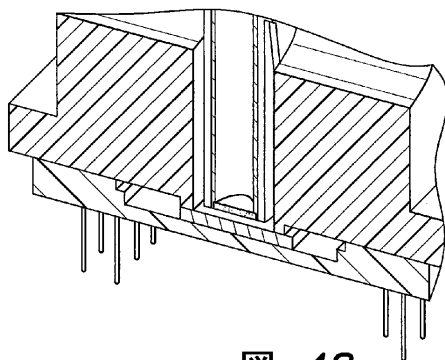


図 48

【図 4 9】

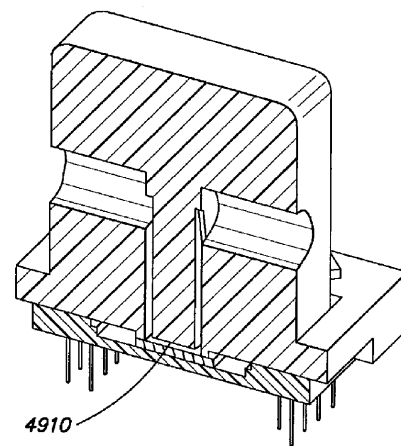
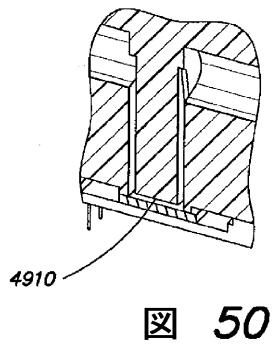
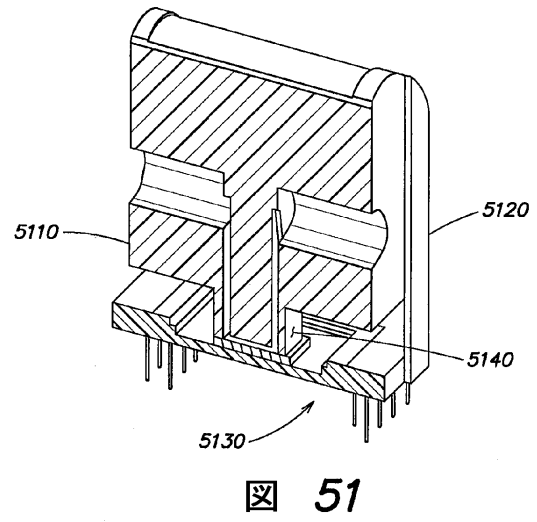


図 49

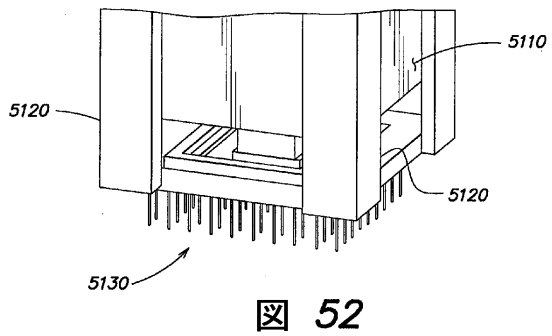
【図 50】



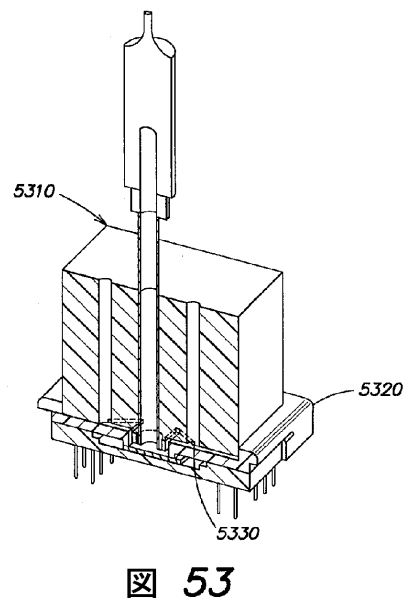
【図 51】



【図 52】



【図 53】



【図 5 4】

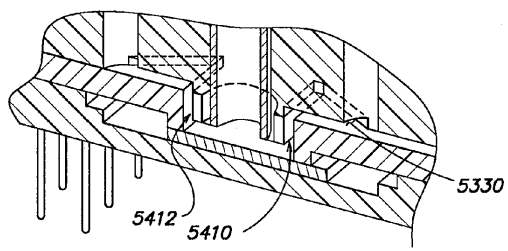


図 54

【図 5 6】

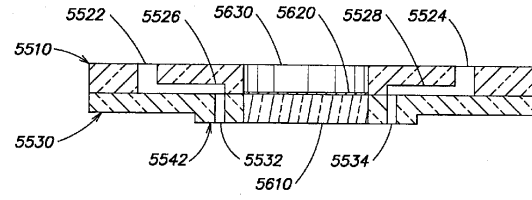


図 56

【図 5 5】

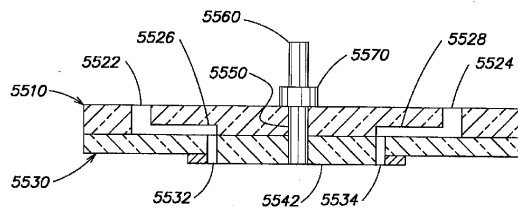


図 55

【図 5 7】

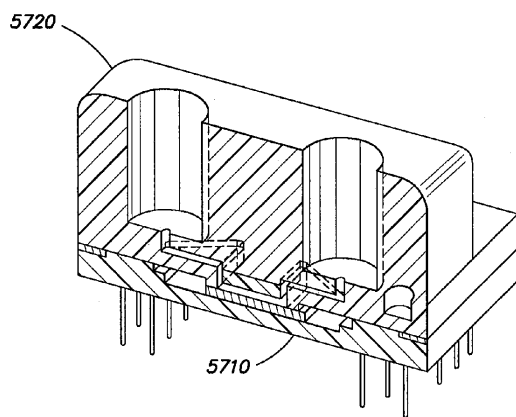


図 57

【図 5 8】

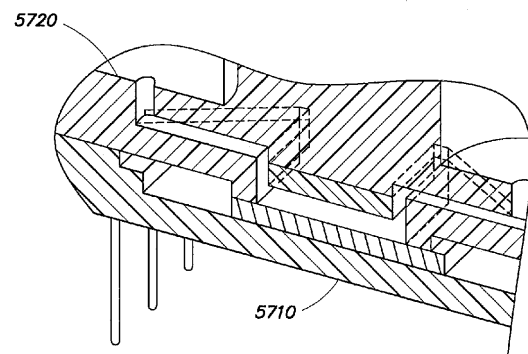


図 58

【図 59 A】

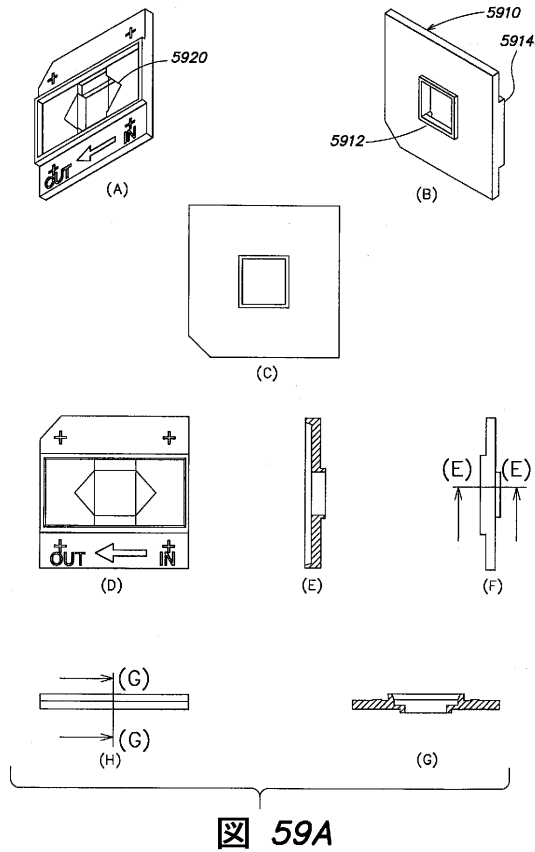


図 59A

【図 59 B】

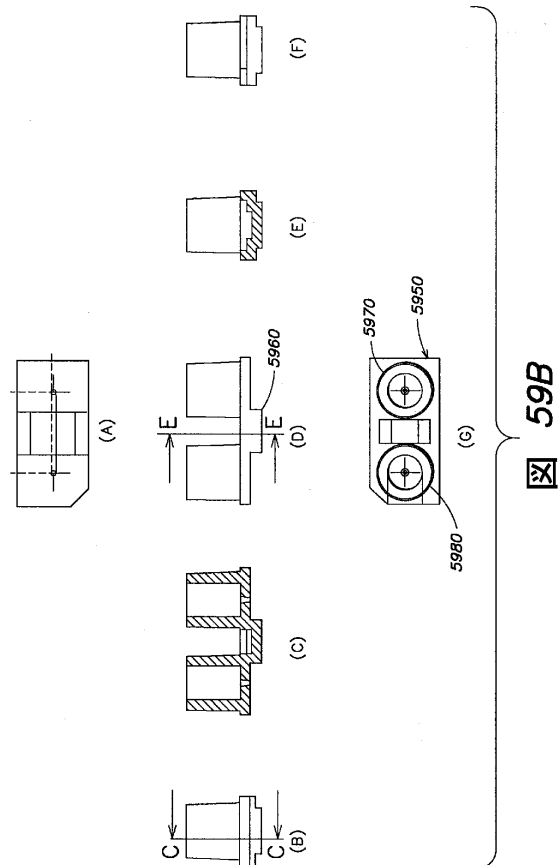


図 59B

【図 59 C】

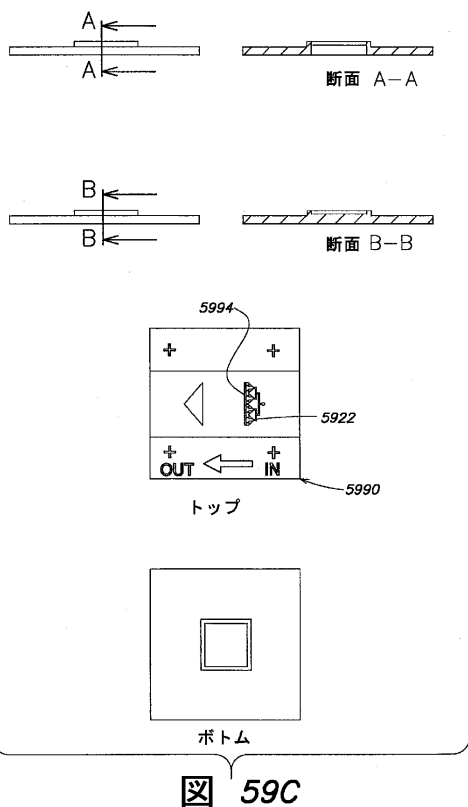


図 59C

【図 60】

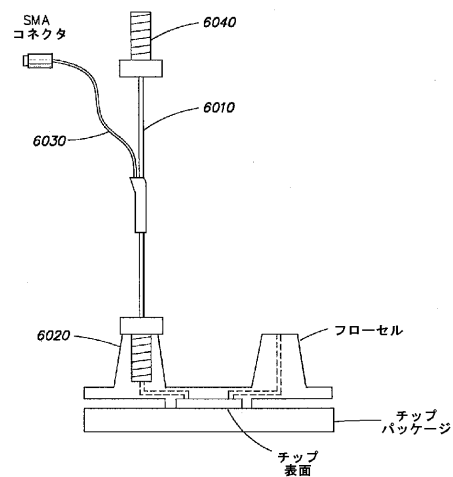


図 60

【図 6 1】

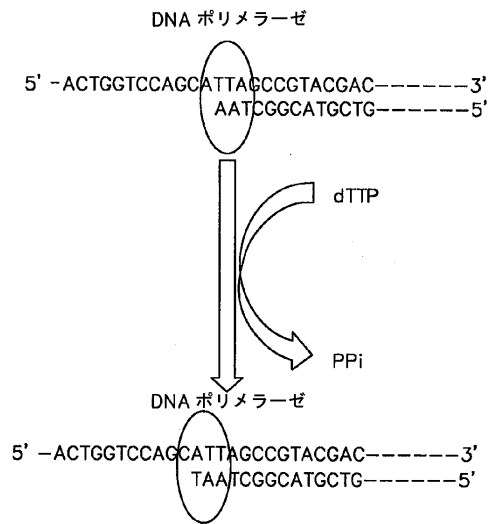


図 61

【図 6 2】

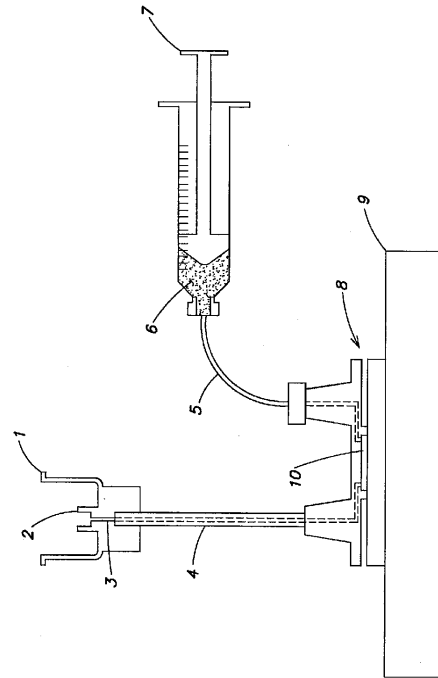


図 62

【図 6 3】

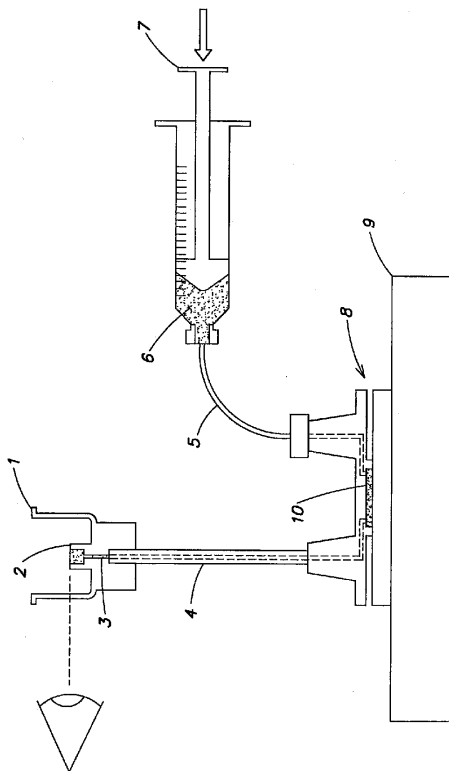


図 63

【図 6 4】

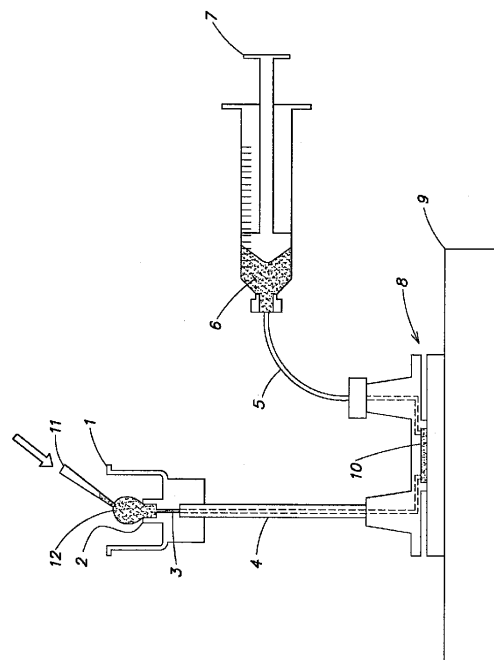
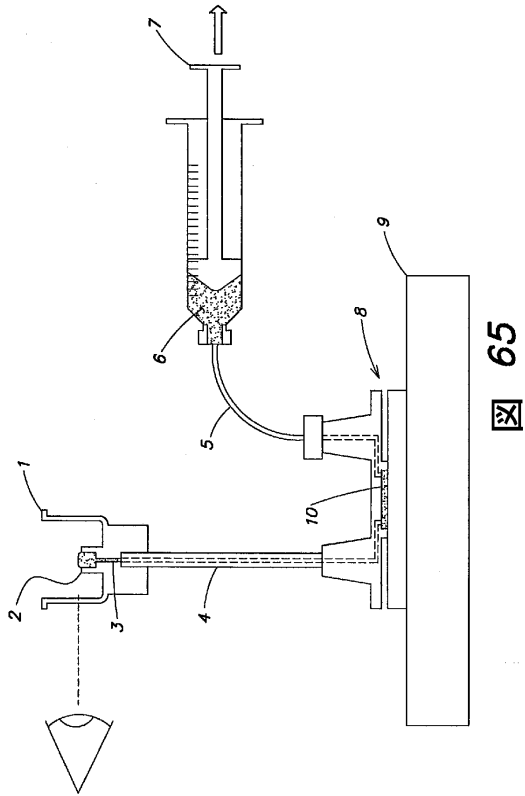
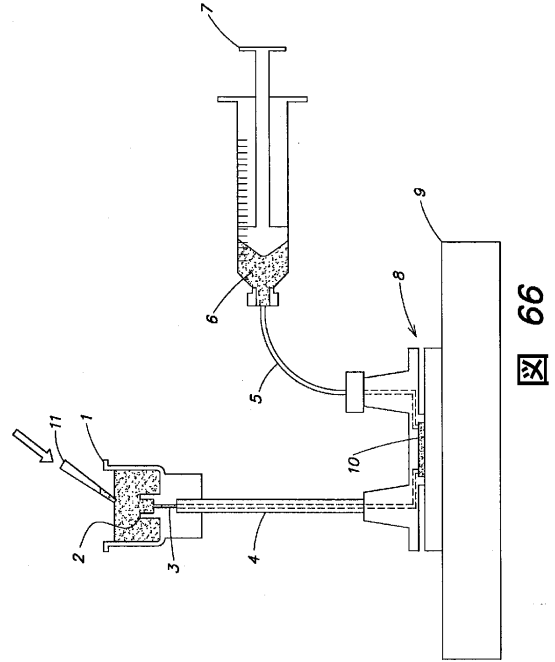


図 64

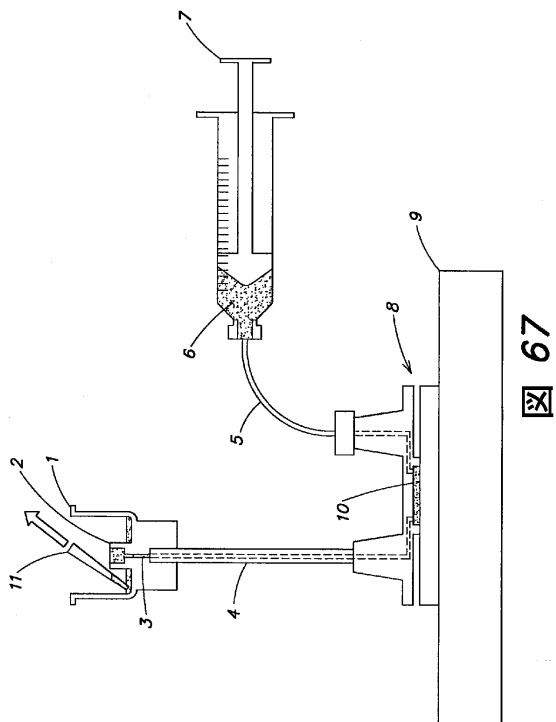
【図 6 5】



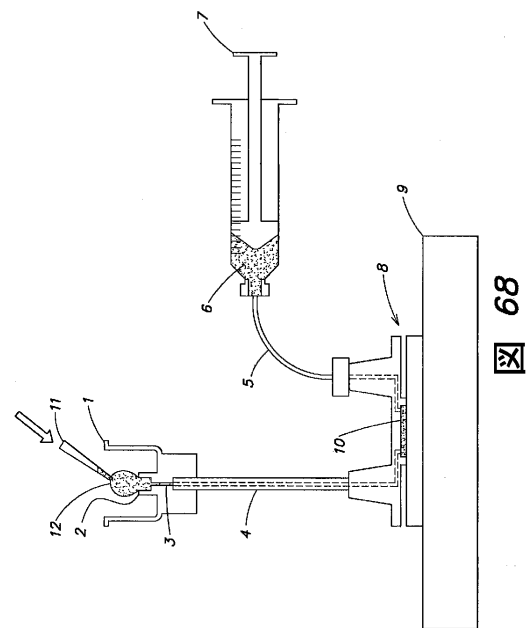
【図 6 6】



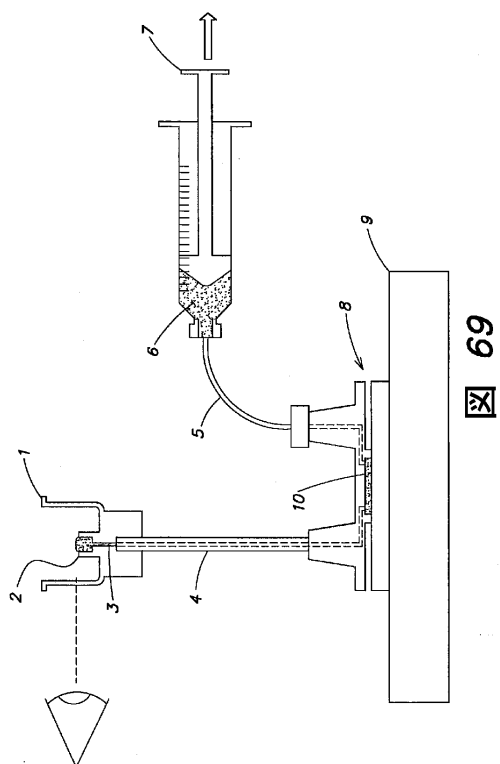
【図 6 7】



【図 6 8】



【図 69】



【図 70】

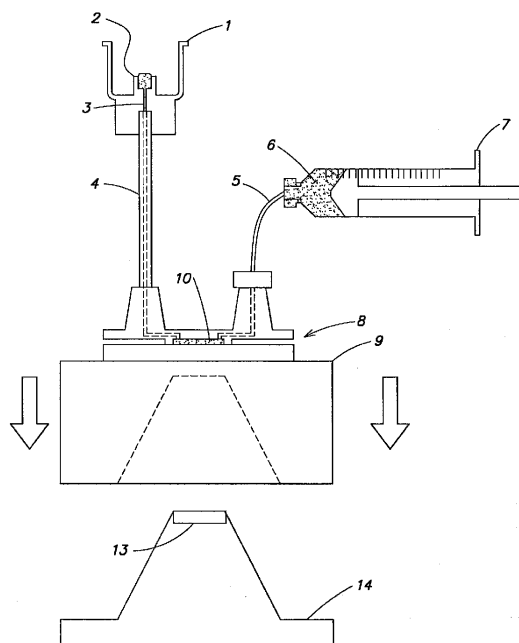


FIG. 70

【図 71 A】

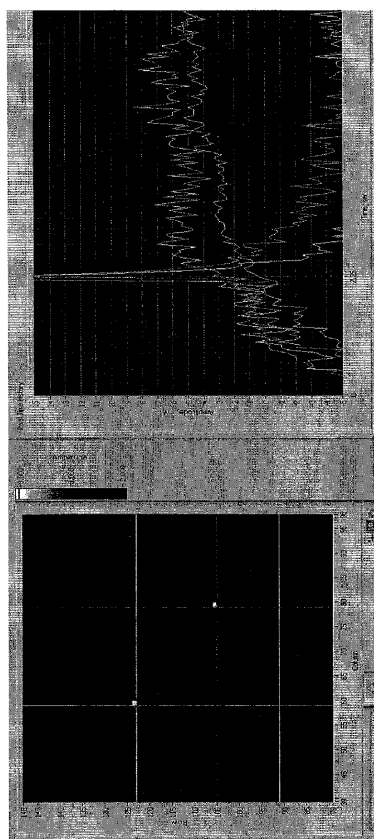


図 71A

【図 71 B】

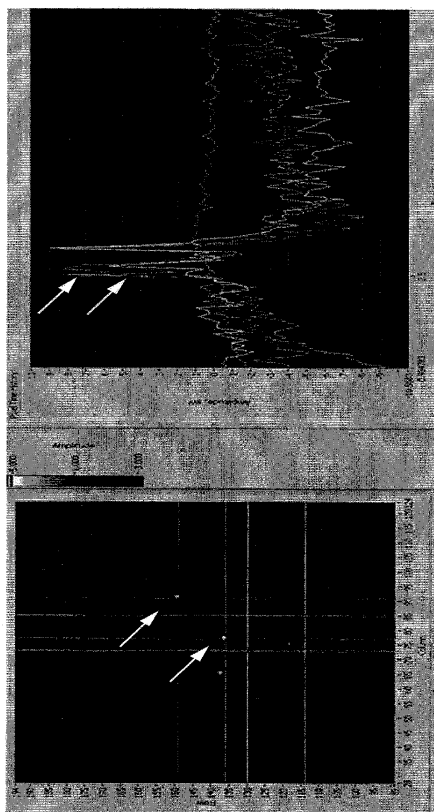


図 71B

【図 7 1 C】

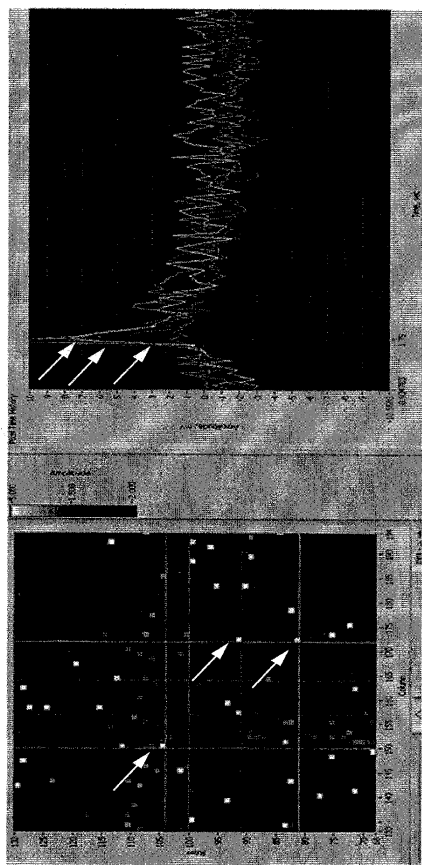


図 71C

【図 7 1 D】

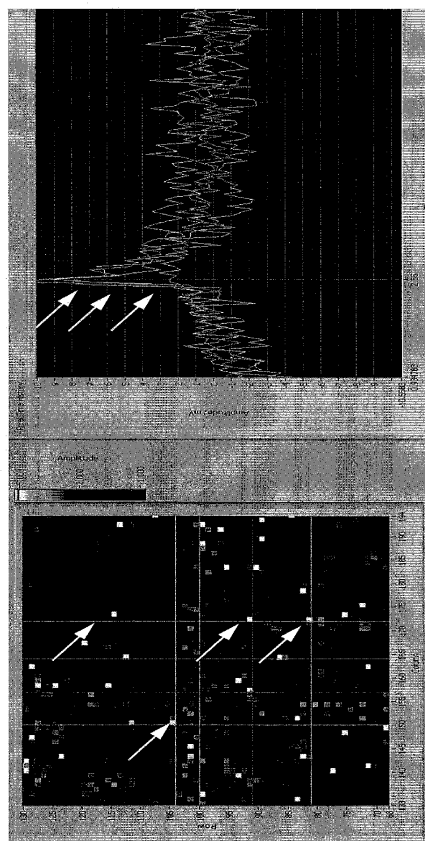


図 71D

【配列表】

0005622392000001.xml

フロントページの続き

(51)Int.Cl. F I
G 0 1 N 37/00 1 0 2
C 1 2 M 1/00 A
C 1 2 N 15/00 Z N A A

(31)優先権主張番号 60/956,324

(32)優先日 平成19年8月16日(2007.8.16)

(33)優先権主張国 米国(US)

(72)発明者 ヒンズ, ヴォルフガング
アメリカ合衆国 コネティカット州 0 6 5 1 1、ニュー ヘブン、アパートメント 5、オレン
ジ ストリート 6 2 5

(72)発明者 ジョンソン, キム, エル.
アメリカ合衆国 カリフォルニア州 9 2 0 1 1、カールズバッド、ロータス コート 1 8 4 7

(72)発明者 ビュステイロ, ジェームス
アメリカ合衆国 カリフォルニア州 9 5 6 4 6、カストロ バレー、マギー ウェイ 1 8 3 9
6

審査官 大竹 秀紀

(56)参考文献 特開2005-207797 (JP, A)
特表2004-510125 (JP, A)
特表2002-532104 (JP, A)
国際公開第2006/022370 (WO, A1)
特表2005-518541 (JP, A)
特開2005-218310 (JP, A)
M. J. Milgrew (外2名), A large transistor-based sensor array chip for direct extrace
llular imaging, Sensors and Actuators B, 2005年11月11日, Vol. 111-112, p. 347-
353
M. J. Milgrew (外2名), The development of scalable sensor arrays using standard CMOS
technology, Sensors and Actuators B, 2004年 9月29日, Vol. 103, p. 37-42

(58)調査した分野(Int.Cl., DB名)
G 0 1 N 2 7 / 4 1 4
J S T P l u s / J M E D P l u s / J S T 7 5 8 0 (J D r e a m I I I)