

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4543307号
(P4543307)

(45) 発行日 平成22年9月15日 (2010. 9. 15)

(24) 登録日 平成22年7月9日 (2010. 7. 9)

(51) Int. Cl.

F I

H O 4 N 7/32 (2006. 01)

H O 4 N 7/137 Z

G 1 1 C 11/401 (2006. 01)

G 1 1 C 11/34 3 7 1 H

G 1 1 C 11/56 (2006. 01)

G 1 1 C 11/34 3 8 1 A

請求項の数 7 (全 35 頁)

(21) 出願番号 特願2003-354007 (P2003-354007)
 (22) 出願日 平成15年10月14日 (2003. 10. 14)
 (65) 公開番号 特開2004-159314 (P2004-159314A)
 (43) 公開日 平成16年6月3日 (2004. 6. 3)
 審査請求日 平成18年10月12日 (2006. 10. 12)
 (31) 優先権主張番号 特願2002-300903 (P2002-300903)
 (32) 優先日 平成14年10月15日 (2002. 10. 15)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100082131
 弁理士 稲本 義雄
 (74) 代理人 100121131
 弁理士 西川 孝
 (72) 発明者 近藤 哲二郎
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 小林 直樹
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

最終頁に続く

(54) 【発明の名称】 メモリ装置、および動きベクトルの検出装置

(57) 【特許請求の範囲】

【請求項 1】

それぞれビット線およびワード線に接続され、マトリクス状に配された複数のメモリセルからなり、第1のフレームの画像信号を記憶する第1のフレームメモリ部と、

それぞれビット線およびワード線に接続され、マトリクス状に配された複数のメモリセルからなり、第2のフレームの画像信号を記憶する第2のフレームメモリ部とを備え、

上記第1のフレームメモリ部および上記第2のフレームメモリ部は上記ビット線が延びる方向である行方向に連続して形成され、

上記第1のフレームメモリ部および上記第2のフレームメモリ部では、1つのビット線上で、活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷の結合が可能とされ、

上記第1のフレームメモリ部および上記第2のフレームメモリ部は、それぞれのビット線に接続される複数のメモリセルが所定数のワード線に接続される所定数のメモリセル毎のユニットに分割され、該分割された各ユニットにそれぞれ1個の画素データが記憶され、1つの画素データがNビット（Nは正の整数）のデータであるとき、該1つの画素データに係るワード線はN本であり、上記N本のワード線に接続されたN個のメモリセルのキャパシタは、上記Nビットのデータの各ビットの重みに対応した容量を持ち、

上記第1のフレームメモリ部の上記各ユニットには、それぞれ上記第1のフレームの画像信号を構成する画素データがストレートバイナリの形式で記憶され、上記第2のフレームメモリ部の上記各ユニットには、それぞれ上記第2のフレームの画像信号を構成する画

10

20

素データが2の補数の形式で記憶され、

上記第1のフレームメモリ部の所定データに係る複数のワード線および上記第2のフレームメモリ部の所定データに係る複数のワード線を同時に活性化する活性化手段と、

複数のビット線のうちいずれか1つのビット線を選択するビット線選択手段と、

上記ビット線選択手段で選択されたビット線上に得られた電荷総量に対応した値のデジタル信号を出力する信号出力手段とをさらに備える

ことを特徴とするメモリ装置。

【請求項2】

上記活性化手段で活性化されるワード線に対応して上記第1のフレームメモリ部および上記第2のフレームメモリ部にそれぞれ記憶されている1ライン分の画素データを待避しておき待避手段をさらに備える

ことを特徴とする請求項1に記載のメモリ装置。

【請求項3】

上記第1のフレームメモリ部または上記第2のフレームメモリ部に記憶されている画素データの記憶位置を列方向に移動する記憶位置移動手段をさらに備える

ことを特徴とする請求項1に記載のメモリ装置。

【請求項4】

それぞれビット線およびワード線に接続され、マトリクス状に配された複数のメモリセルからなるメモリ部を備え、

上記メモリ部では、1つのビット線上で、活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷の結合が可能とされ、

上記メモリ部は、それぞれのビット線に接続される複数のメモリセルが、所定数のワード線に接続される所定数のメモリセル毎のユニットに分割され、該分割された各ユニットにそれぞれ1個のデータが記憶され、1つのデータがNビット（Nは正の整数）のデータであるとき、該1つのデータに係るワード線はN本であり、上記N本のワード線に接続されたN個のメモリセルのキャパシタは、上記Nビットのデータの各ビットの重みに対応した容量を持ち、

複数のデータに係るワード線を同時に活性化する活性化手段と、

複数のビット線のうちいずれか1つのビット線を選択するビット線選択手段と、

上記ビット線選択手段で選択されたビット線上に得られた電荷総量に対応した値のデジタル信号を出力する信号出力手段とをさらに備える

ことを特徴とするメモリ装置。

【請求項5】

上記メモリ部は、上記ビット線が延びる方向である行方向には1フレームの複数の画素位置にそれぞれ対応した複数のユニットを有し、上記ワード線が延びる方向である列方向には探索位置にそれぞれ対応した複数のユニットを有し、

上記メモリ部の各行の複数のユニットには、それぞれ対応する参照フレームの画素位置の画素データと探索フレームの複数の探索位置の画素データとの差分絶対値のデータが記憶され、

上記活性化手段は、上記参照フレームの参照ブロックを構成する各画素の画素位置に対応するユニットに係るワード線を同時に活性化する

ことを特徴とする請求項4に記載のメモリ装置。

【請求項6】

参照フレームの画像信号および探索フレームの画像信号を用い、上記参照フレームの各画素毎に、その画素データと上記探索フレームの複数の探索位置の画素データとの差分絶対値を生成する差分絶対値生成手段と、

上記差分絶対値生成手段で生成された差分絶対値を用いて、上記参照フレームの各参照ブロック毎に、該参照ブロックと該参照ブロックに対応した上記探索フレームの探索範囲内の複数の候補ブロックのそれぞれとの間の差分絶対値和を生成する差分絶対値和生成手段と、

10

20

30

40

50

上記参照フレームの各参照ブロック毎に、上記差分絶対値和生成手段で生成された複数の差分絶対値和に基づいて、上記参照ブロックに対応した動きベクトルを検出する動きベクトル検出手段と

を備え、

上記差分絶対値生成手段は、

それぞれビット線およびワード線に接続され、マトリクス状に配された複数のメモリセルからなり、上記参照フレームの画像信号を記憶する第1のフレームメモリ部と、

それぞれビット線およびワード線に接続され、マトリクス状に配された複数のメモリセルからなり、上記探索フレームの画像信号を記憶する第2のフレームメモリ部とを備え、

上記第1のフレームメモリ部および上記第2のフレームメモリ部は上記ビット線が延びる方向である行方向に連続して形成され、

上記第1のフレームメモリ部および上記第2のフレームメモリ部では、1つのビット線上で、活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷の結合が可能とされ、

上記第1のフレームメモリ部および上記第2のフレームメモリ部は、それぞれのビット線に接続される複数のメモリセルが、所定数のワード線に接続される所定数のメモリセル毎のユニットに分割され、該分割された各ユニットにそれぞれ1個の画素データが記憶され、1つの画素データがNビット（Nは正の整数）のデータであるとき、該1つの画素データに係るワード線はN本であり、上記N本のワード線に接続されたN個のメモリセルのキャパシタは、上記Nビットのデータの各ビットの重みに対応した容量を持ち、

上記第1のフレームメモリ部の上記各ユニットには、それぞれ上記参照フレームの画像信号を構成する画素データがストレートバイナリの形式で記憶され、上記第2のフレームメモリ部の上記各ユニットには、それぞれ上記探索フレームの画像信号を構成する画素データが2の補数の形式で記憶され、

上記第1のフレームメモリ部の所定データに係る複数のワード線および上記第2のフレームメモリ部の所定データに係る上記複数のワード線を同時に活性化する活性化手段と

上記第1のフレームメモリ部または上記第2のフレームメモリ部に記憶されている画素データの記憶位置を列方向に移動する記憶位置移動手段と、

複数のビット線のうちいずれか1つのビット線を選択するビット線選択手段と、

上記ビット線選択手段で選択されたビット線上に得られた電荷総量に対応した値のデジタル信号を出力する信号出力手段とをさらに備える

ことを特徴とする動きベクトル検出装置。

【請求項7】

参照フレームの画像信号および探索フレームの画像信号を用い、上記参照フレームの各画素毎に、その画素データと上記探索フレームの複数の探索位置の画素データとの差分絶対値を生成する差分絶対値生成手段と、

上記差分絶対値生成手段で生成された差分絶対値を用いて、上記参照フレームの各参照ブロック毎に、該参照ブロックと該参照ブロックに対応した上記探索フレームの探索範囲内の複数の候補ブロックのそれぞれとの間の差分絶対値和を生成する差分絶対値和生成手段と、

上記参照フレームの各参照ブロック毎に、上記差分絶対値和生成手段で生成された複数の差分絶対値和に基づいて、上記参照ブロックに対応した動きベクトルを検出する動きベクトル検出手段と

を備え、

上記差分絶対値和生成手段は、

それぞれビット線およびワード線に接続され、マトリクス状に配された複数のメモリセルからなるメモリ部を備え、

上記メモリ部では、1つのビット線上で、活性化された複数のワード線に接続された

10

20

30

40

50

複数のメモリセルのキャパシタの蓄積電荷の結合が可能とされ、

上記メモリ部は、それぞれのビット線に接続される複数のメモリセルが、所定数のワード線に接続される所定数のメモリセル毎のユニットに分割され、

上記メモリ部は、上記ビット線が延びる方向である行方向には1フレームの複数の画素位置にそれぞれ対応した複数のユニットを有し、上記ワード線が延びる方向である列方向には探索位置にそれぞれ対応した複数のユニットを有し、

上記メモリ部の各行の複数のユニットには、それぞれ対応する参照フレームの画素位置の画素データと探索フレームの複数の探索位置の画素データとの差分絶対値のデータが記憶され、1つのデータがNビット（Nは正の整数）のデータであるとき、該1つのデータに係るワード線はN本であり、上記N本のワード線に接続されたN個のメモリセルのキャパシタは、上記Nビットのデータの各ビットの重みに対応した容量を持ち、

10

上記参照フレームの参照ブロックを構成する各画素の画素位置に対応するユニットに係るワード線を同時に活性化する活性化手段と、

複数のビット線のうちいずれか1つのビット線を選択するビット線選択手段と、

上記ビット線選択手段で選択されたビット線上に得られた電荷総量に対応した値のデジタル信号を出力する信号出力手段とをさらに備える

ことを特徴とする動きベクトル検出装置。

【発明の詳細な説明】

【技術分野】

【0001】

20

この発明は、メモリ装置、および動きベクトルの検出装置に関する。

【0002】

詳しくは、この発明は、第1のフレームの画素データをビット線が延びる方向に並ぶ複数のメモリセルからなるユニットにストレートバイナリの形式で記憶し、第2のフレームの画素データをビット線が延びる方向に並ぶ複数のメモリセルからなるユニットに2の補数の形式で記憶しておき、この第1、第2のフレームの画素データに係るワード線を同時に活性化し、この複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷を1つのビット線上で結合し、その電荷総量に対応した値のデジタル信号を出力する構成とすることによって、第1、第2のフレームの画素データの差分データを高速に、かつ安価に得ることができるようにしたメモリ装置に係るものである。

30

【0003】

また、この発明は、ビット線が延びる方向に並ぶ複数のメモリセルからなるユニットのそれぞれにデータを記憶しておき、複数のデータに係るワード線を同時に活性化し、この複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷を1つのビット線上で結合し、その電荷総量に対応した値のデジタル信号を出力する構成とすることによって、複数のデータの加算データを高速に、かつ安価に得ることができるようにしたメモリ装置に係るものである。

【0004】

また、この発明は、参照フレームの各画素毎に、その画素データと探索フレームの複数の探索位置の画素データとの差分絶対値を生成し、この生成された差分絶対値を用いて、参照フレームの各参照ブロック毎に、この参照ブロックおよびこの参照ブロックに対応した探索フレームの探索範囲内の複数の候補ブロックの間の差分絶対値和を生成し、参照フレームの各参照ブロック毎に、生成された複数の差分絶対値和に基づいて、この参照ブロックに対応した動きベクトルを検出する構成とすることによって、動きベクトルの検出を高速に、かつ安価に行い得るようにした動きベクトルの検出装置に係るものである。

40

【背景技術】

【0005】

画像処理においては、動きベクトル検出は重要な要素の一つであり、その代表的な方法としてブロックマッチング法がある。これは、あるフレーム（参照フレーム）の一部を構成するある画素ブロック（参照ブロック）について、時間の異なるフレーム（探索フレー

50

ム)における様々な位置での同一形状画素ブロック(候補ブロック)との相関を評価し、その中で相関が最も高い候補ブロックとの間の相対的な位置ずれを、その参照ブロックにおける動きベクトルとみなすものである。

【0006】

ここで、候補ブロックを想定する領域が探索範囲である。相関の評価には、参照ブロックと候補ブロックとの対応する各画素間の画素データの差分絶対値のブロック内各画素についての総和、すなわち差分絶対値和が用いられることが多い。1個の参照ブロックにつき探索範囲内の候補ブロック分の差分絶対値和が得られるが、その中で最も差分絶対値和の小さいところが、画素を単位とした動きベクトルと見なされる。

【0007】

図22は、従来の動きベクトル検出回路200の構成例を示している。

この動きベクトル検出回路200は、参照フレームの画像信号Diが入力される入力端子201と、この参照フレームの画像信号Diを蓄積する参照フレームメモリ202と、探索フレームの画像信号を蓄積する探索フレームメモリ203とを有している。入力端子201からあるフレームの画像信号Diがフレームメモリ202に供給されて書き込まれる際に、このフレームメモリ202に記憶されていた1フレーム前の画像信号が読み出されてフレームメモリ203に供給されて書き込まれる。

【0008】

また、動きベクトル検出回路200は、フレームメモリ202からの参照ブロックの画素データと、フレームメモリ203からの当該参照ブロックに対応した探索範囲の複数の候補ブロックの画素データとを入力し、複数の候補ブロックのそれぞれに対し、この候補ブロックの画素データと参照ブロックの画素データとの差分絶対値を、対応する画素データ毎に演算して出力する演算回路204を有している。

【0009】

この演算回路204は、参照ブロックの画素データと、2の補数変換部204aでストレートバイナリ形式のデータから2の補数形式のデータに変換された候補ブロックの画素データを、加算部204bで加算することで差分データを得ると共に、この差分データの絶対値を絶対値変換部204cでとることによって、差分絶対値を得ようになっている。

【0010】

また、動きベクトル検出回路200は、演算回路204より出力される、複数の候補ブロックのそれぞれに対応する画素データ毎の差分絶対値を累積して差分絶対値和を得る総和演算部205と、この総和演算部205で得られる複数の候補ブロックのそれぞれに対する差分絶対値和を保持する差分絶対値和保持部206とを有している。

【0011】

また、動きベクトル検出回路200は、差分絶対値和保持部206に保持された複数の候補ブロックのそれぞれに対する差分絶対値和に基づいて動きベクトルを検出する最小値判定部207と、この最小値判定部207で検出された動きベクトルを保持する動きベクトル保持部208と、この動きベクトル保持部208に保持された各参照ブロックの動きベクトルMVを順次出力する出力端子209とを有している。最小値判定部207では、最小の差分絶対値和を発生する候補ブロックの位置を、動きベクトルとして検出する。

【0012】

図22に示す動きベクトル検出回路200の動作を説明する。

入力端子201に入力される画像信号Diは参照フレームメモリ202に供給され、参照フレームの画像信号として蓄積される。またこの際、フレームメモリ202に記憶されていた1フレーム前の画像信号は、読み出されてフレームメモリ203に供給され、探索フレームの画像信号として蓄積される。

【0013】

演算回路204には、フレームメモリ202から参照ブロックの画像データが読み出されて供給される。また、この演算回路204には、当該参照ブロックに対応した探索範囲

10

20

30

40

50

の複数の候補ブロックの画素データが読み出されて供給される。そして、この演算回路 204 では、複数の候補ブロックのそれぞれに対し、この候補ブロックの画素データと参照ブロックの画素データとの差分絶対値が、対応する画素データ毎に演算されて出力される。

【0014】

このように、演算回路 204 より出力される、複数の候補ブロックのそれぞれに対応する画素データ毎の差分絶対値は総和演算部 205 に順次供給されて差分絶対値和が得られる。この総和演算部 205 からの複数の候補ブロックのそれぞれに対する差分絶対値和は、差分絶対値和保持部 206 に供給されて保持される。そして、最小値判定部 207 では、このように差分絶対値和保持部 206 に保持された複数の候補ブロックのそれぞれに対する差分絶対値和に基づき、最小の差分絶対値和を発生する候補ブロックの位置が動きベクトルとして検出され、この動きベクトルが動きベクトル保持部 208 に保持される。

10

【0015】

フレームメモリ 202 から演算回路 204 には参照フレーム内の複数の参照ブロックの画素データが順次供給される。そして、各参照ブロックの画素データに対応して、フレームメモリ 203 から演算回路 204 には複数の候補ブロックの画素データが供給される。したがって、各参照ブロックに対応して、演算回路 204、総和演算部 205、差分絶対値和保持部 206、最小値判定部 207 および動きベクトル保持部 208 では上述した動作が繰り返され、従って最小値判定部 207 では各参照ブロックに対応した動きベクトルが順次検出され、この動きベクトルが動きベクトル保持部 208 に順次保持される。

20

【0016】

そして、動きベクトル保持部 208 に保持された各参照ブロックに対応した動きベクトルは順次読み出される。そして、読み出された動きベクトル MV が出力端子 209 に出力される。このように出力される動きベクトル MV は、例えば動き補償予測符号化を行う際の動き補償処理に用いられる。

【0017】

図 23 のフローチャートは、上述した動きベクトル検出回路 200 における動きベクトル MV の検出処理の手順を示している。

【0018】

まず、ステップ ST 21 で、処理を開始し、ステップ ST 22 で、参照フレームメモリ 202 に記憶されている画像信号を読み出し、この画像信号を探索フレームの画像信号として探索フレームメモリ 203 に書き込む。また、ステップ ST 23 で、入力端子 201 から参照フレームの画像信号 Di を入力し、この画像信号を参照フレームメモリ 202 に書き込む。

30

【0019】

次に、ステップ ST 24 で、参照フレームメモリ 202 から参照ブロックの画素データを読み出し、またステップ ST 25 で、探索フレームメモリ 203 からその参照ブロックに対応した探索範囲内にある候補ブロックの画素データを読み出し、ステップ ST 26 で、2 の補数変換部 204 a によりストレートバイナリ形式のデータから 2 の補数形式のデータに変換する。

40

【0020】

そして、ステップ ST 27 で、参照ブロックのストレートバイナリ形式の画素データと 2 の補数形式のデータに変換された候補ブロックの画素データの加算を行って、差分データを求める。そして、ステップ ST 28 で、その差分データの絶対値を取り、参照ブロックおよび候補ブロックの画素データの間の差分絶対値を生成する。

【0021】

次に、ステップ ST 29 で、ある参照ブロックと所定の候補ブロックとの間の差分絶対値和を総和演算部 205 で演算し、ステップ ST 30 で保持部 206 に保存する。そして、ステップ ST 31 で、ある参照ブロックと全ての候補ブロックとの間の差分絶対値和の生成が終了したか否かを判定する。終了していないときは、ステップ ST 25 に戻って、

50

ある参照ブロックと次の候補ブロックとの間の差分絶対値和を生成する処理に移る。一方、終了したときは、ステップS T 3 2に進む。

【 0 0 2 2 】

ステップS T 3 2では、ある参照ブロックに対応して保持部2 0 6に保持された差分絶対値和に基づき、最小の差分絶対値和を発生する候補ブロックの位置を動きベクトルとして検出する。そして、ステップS T 3 3で、この検出された動きベクトルを動きベクトル保持部2 0 8に保存する。

【 0 0 2 3 】

次に、ステップS T 3 4で、参照フレームの全参照ブロックでの上述した動きベクトルの検出処理が終了したか否かを判定する。終了していないときは、ステップS T 2 4に戻って、次の参照ブロックに対応した動きベクトルを検出する処理に移る。一方、終了したときは、ステップS T 3 5で、動きベクトル保持部2 0 8に保持された各参照ブロックに対応した動きベクトルM Vを順次出力し、ステップS T 3 6で処理を終了する。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 2 4 】

上述した動きベクトル検出回路2 0 0においては、演算回路として、差分データ演算用、絶対値演算用、総和演算用等の回路が必要であることから、その分高価になるという不都合があった。

【 0 0 2 5 】

そこで、この発明の目的は、第1、第2のフレームの画素データの差分データを高速に、かつ安価に得ることができるメモリ装置を提供することにある。また、この発明の目的は、複数のデータの加算データを高速に、かつ安価に得ることができるようにしたメモリ装置を提供することにある。さらに、この発明の目的は、動きベクトルの検出を高速に、かつ安価に行い得るようにした動きベクトルの検出装置を提供することにある

【 課題を解決するための手段 】

【 0 0 2 6 】

この発明に係るメモリ装置は、それぞれビット線およびワード線に接続され、マトリクス状に配された複数のメモリセルからなり、第1のフレームの画像信号を記憶する第1のフレームメモリ部と、それぞれビット線およびワード線に接続され、マトリクス状に配された複数のメモリセルからなり、第2のフレームの画像信号を記憶する第2のフレームメモリ部とを備え、上記第1のフレームメモリ部および上記第2のフレームメモリ部は上記ビット線が延びる方向である行方向に連続して形成され、上記第1のフレームメモリ部および上記第2のフレームメモリ部では、1つのビット線上で、活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷の結合が可能とされ、上記第1のフレームメモリ部および上記第2のフレームメモリ部は、それぞれのビット線に接続される複数のメモリセルが所定数のワード線に接続される所定数のメモリセル毎のユニットに分割され、該分割された各ユニットにそれぞれ1個の画素データが記憶され、1つの画素データがNビット（Nは正の整数）のデータであるとき、該1つの画素データに係るワード線はN本であり、上記N本のワード線に接続されたN個のメモリセルのキャパシタは、上記Nビットのデータの各ビットの重みに対応した容量を持ち、上記第1のフレームメモリ部の上記各ユニットには、それぞれ上記第1のフレームの画像信号を構成する画素データがストレータバイナリの形式で記憶され、上記第2のフレームメモリ部の上記各ユニットには、それぞれ上記第2のフレームの画像信号を構成する画素データが2の補数の形式で記憶され、上記第1のフレームメモリ部の所定データに係る複数のワード線および上記第2のフレームメモリ部の所定データに係る複数のワード線を同時に活性化する活性化手段と、複数のビット線のうちいずれか1つのビット線を選択するビット線選択手段と、上記ビット線選択手段で選択されたビット線上に得られた電荷総量に対応した値のデジタル信号を出力する信号出力手段とをさらに備えるものである。

【 0 0 2 7 】

この発明においては、第1および第2のフレームメモリ部を備えている。これらのフレームメモリ部は、それぞれビット線およびワード線に接続され、マトリクス状に配された複数のメモリセルからなっている。これらのフレームメモリ部では、1つのビット線上で、活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷の結合が可能となっている。これらのフレームメモリ部は、ビット線が延びる方向である行方向（ロウ方向）に連続して形成されている。

【0028】

また、これらのフレームメモリ部は、それぞれのビット線に接続される複数のメモリセルが所定数のワード線に接続される所定数のメモリセル毎のユニットに分割され、この分割された各ユニットにそれぞれ1個の画素データが記憶される。第1のフレームメモリ部の各ユニットには、それぞれ第1のフレームの画像信号を構成する画素データがストレートバイナリの形式で記憶され、第2のフレームメモリ部の各ユニットには、それぞれ第2のフレームの画像信号を構成する画素データが2の補数の形式で記憶される。

10

【0029】

ここで、第1のフレームメモリ部の所定データに係る複数のワード線および第2のフレームメモリ部の所定データに係る複数のワード線を同時に活性化することで、各ビット線上で、活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷が結合される。そして、選択された1つのビット線上に得られた電荷総量に対応した値のデジタル信号が出力される。

【0030】

20

上述したように、第1のフレームメモリ部の各ユニットには、それぞれ第1のフレームの画像信号を構成する画素データがストレートバイナリの形式で記憶され、第2のフレームメモリ部の各ユニットには、それぞれ第2のフレームの画像信号を構成する画素データが2の補数の形式で記憶されているため、各ビット線上に得られる電荷総量は、第1、第2のフレームの画素データの差分値に対応したものとなる。これにより、上述したデジタル信号として、第1、第2のフレームの画素データの減算結果が得られる。

【0031】

このように、第1のフレームの画素データをビット線が延びる方向に並ぶ複数のメモリセルからなるユニットにストレートバイナリの形式で記憶し、第2のフレームの画素データをビット線が延びる方向に並ぶ複数のメモリセルからなるユニットに2の補数データの形式で記憶しておき、この第1、第2のフレームの画素データに係るワード線を同時に活性化し、この複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷を1つのビット線上で結合し、その電荷総量に対応した値のデジタル信号を出力する構成とすることで、第1、第2のフレームの画素データの差分データを高速に、かつ安価に得ることができる。

30

【0032】

ここで、第1のフレームメモリ部で活性化されるラインに対して、第2のフレームメモリ部で活性化されるラインの位置を変更することで、第1のフレームの所定ラインと、これと垂直方向（行方向）に所定ライン数だけずれた位置の第2のフレームのラインとの間における画素データの減算結果を得ることが可能となる。

40

【0033】

また、第1のフレームメモリ部または第2のフレームメモリ部に記憶されている画素データの記憶位置を水平方向（列方向）に移動することで、第1のフレームの所定画素と、これと水平方向に所定画素数だけずれた位置の第2のフレームの画素との間における画素データの減算結果を得ることが可能となる。

【0034】

なお、第1のフレームメモリ部の所定データに係る複数のワード線および第2のフレームメモリ部の所定データに係る複数のワード線が同時に活性化された場合には、上述したようにビット線上でこれらのワード線に接続された複数のメモリセルのキャパシタにおける蓄積電荷が結合されることから、これら複数のメモリセルの記憶データが破壊された状

50

態となる。そのため、第1および第2のフレームメモリ部にそれぞれ記憶されている各1ライン分の画素データをワード線を活性化する前にキャッシュメモリ等に待避しておくことで、破壊された複数のメモリセルの記憶データを元に戻すことができる。

【0035】

例えば、1つの画素データがNビット（Nは正の整数）のデータであるとき、この1つのデータに係るワード線はN本であり、このN本のワード線に接続されたN個のメモリセルのキャパシタは、Nビットのデータの各ビットの重みに対応した容量を持つようにされる。これにより、Nビットのデータを記憶するためのメモリセルの個数はN個で済む。これに対して、各メモリセルのキャパシタの容量が同じものであるとすると、Nビットのデータを記憶するためのメモリセルは $2^N - 1$ 個必要となる。

10

【0036】

また、この発明に係るメモリ装置は、それぞれビット線およびワード線に接続され、マトリクス状に配された複数のメモリセルからなるメモリ部を備え、上記メモリ部では、1つのビット線上で、活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷の結合が可能とされ、上記メモリ部は、それぞれのビット線に接続される複数のメモリセルが、所定数のワード線に接続される所定数のメモリセル毎のユニットに分割され、該分割された各ユニットにそれぞれ1個のデータが記憶され、1つのデータがNビット（Nは正の整数）のデータであるとき、該1つのデータに係るワード線はN本であり、上記N本のワード線に接続されたN個のメモリセルのキャパシタは、上記Nビットのデータの各ビットの重みに対応した容量を持ち、複数のデータに係るワード線を同時に活性化する活性化手段と、複数のビット線のうちいずれか1つのビット線を選択するビット線選択手段と、上記ビット線選択手段で選択されたビット線上に得られた電荷総量に対応した値のデジタル信号を出力する信号出力手段とをさらに備えるものである。

20

【0037】

この発明においては、それぞれビット線およびワード線に接続され、マトリクス状に配された複数のメモリセルからなっているメモリ部を備えている。このメモリ部では、1つのビット線上で、活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷の結合が可能となっている。このメモリ部は、それぞれのビット線に接続される複数のメモリセルが、所定数のワード線に接続される所定数のメモリセル毎のユニットに分割され、この分割された各ユニットにそれぞれ1個のデータが記憶される。

30

【0038】

ここで、複数のデータに係るワード線を同時に活性化することで、各ビット線上で、活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷が結合される。そして、選択された1つのビット線上に得られた電荷総量に対応した値のデジタル信号が出力される。このデジタル信号は、複数のデータの加算結果に対応したものとなる。

【0039】

このように、ビット線が延びる方向に並ぶ複数のメモリセルからなるユニットのそれぞれにデータを記憶しておき、複数のデータに係るワード線を同時に活性化し、この複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷を1つのビット線上で結合し、その電荷総量に対応した値のデジタル信号を出力する構成とすることで、複数のデータの加算データを高速に、かつ安価に得ることができる。

40

【0040】

例えば、メモリ部は、ビット線が延びる方向である行方向には1フレームの複数の画素位置にそれぞれ対応した複数のユニットを有し、上記ワード線が延びる方向である列方向には探索位置にそれぞれ対応した複数のユニットを有する。このメモリ部の各行の複数のユニットには、それぞれ対応する参照フレームの画素位置の画素データと探索フレームの複数の探索位置の画素データとの差分絶対値のデータが記憶される。ここで、参照フレームの参照ブロックを構成する各画素の画素位置に対応するユニットに係るワード線が同時に活性化されることで、デジタル信号として、参照フレームの参照ブロックとこの参照ブ

50

ロックに対応した探索フレームの探索範囲内の複数の候補ブロックのそれぞれとの間の差分絶対和が得られる。

【0041】

また、この発明に係る動きベクトル検出装置は、参照フレームの画像信号および探索フレームの画像信号を用い、参照フレームの各画素毎に、その画素データと探索フレームの複数の探索位置の画素データとの差分絶対値を生成する差分絶対値生成手段と、この差分絶対値生成手段で生成された差分絶対値を用いて、参照フレームの各参照ブロック毎に、この参照ブロックとこの参照ブロックに対応した探索フレームの探索範囲内の複数の候補ブロックのそれぞれとの間の差分絶対値和を生成する差分絶対値和生成手段と、参照フレームの各参照ブロック毎に、差分絶対値和生成手段で生成された複数の差分絶対値和に基づいて、参照ブロックに対応した動きベクトルを検出する動きベクトル検出手段とを備え、上記差分絶対値生成手段は、それぞれビット線およびワード線に接続され、マトリクス状に配された複数のメモリセルからなり、上記参照フレームの画像信号を記憶する第1のフレームメモリ部と、それぞれビット線およびワード線に接続され、マトリクス状に配された複数のメモリセルからなり、上記探索フレームの画像信号を記憶する第2のフレームメモリ部とを備え、上記第1のフレームメモリ部および上記第2のフレームメモリ部は上記ビット線が延びる方向である行方向に連続して形成され、上記第1のフレームメモリ部および上記第2のフレームメモリ部では、1つのビット線上で、活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷の結合が可能とされ、上記第1のフレームメモリ部および上記第2のフレームメモリ部は、それぞれのビット線に接続される複数のメモリセルが、所定数のワード線に接続される所定数のメモリセル毎のユニットに分割され、該分割された各ユニットにそれぞれ1個の画素データが記憶され、1つの画素データがNビット（Nは正の整数）のデータであるとき、該1つの画素データに係るワード線はN本であり、上記N本のワード線に接続されたN個のメモリセルのキャパシタは、上記Nビットのデータの各ビットの重みに対応した容量を持ち、上記第1のフレームメモリ部の上記各ユニットには、それぞれ上記参照フレームの画像信号を構成する画素データがストレータバイナリの形式で記憶され、上記第2のフレームメモリ部の上記各ユニットには、それぞれ上記探索フレームの画像信号を構成する画素データが2の補数の形式で記憶され、上記第1のフレームメモリ部の所定データに係る複数のワード線および上記第2のフレームメモリ部の所定データに係る上記複数のワード線を同時に活性化する活性化手段と、上記第1のフレームメモリ部または上記第2のフレームメモリ部に記憶されている画素データの記憶位置を列方向に移動する記憶位置移動手段と、複数のビット線のうちいずれか1つのビット線を選択するビット線選択手段と、上記ビット線選択手段で選択されたビット線に得られた電荷総量に対応した値のデジタル信号を出力する信号出力手段とをさらに備えるものである。

【0042】

また、この発明に係る動きベクトル検出装置は、参照フレームの画像信号および探索フレームの画像信号を用い、上記参照フレームの各画素毎に、その画素データと上記探索フレームの複数の探索位置の画素データとの差分絶対値を生成する差分絶対値生成手段と、上記差分絶対値生成手段で生成された差分絶対値を用いて、上記参照フレームの各参照ブロック毎に、該参照ブロックと該参照ブロックに対応した上記探索フレームの探索範囲内の複数の候補ブロックのそれぞれとの間の差分絶対値和を生成する差分絶対値和生成手段と、上記参照フレームの各参照ブロック毎に、上記差分絶対値和生成手段で生成された複数の差分絶対値和に基づいて、上記参照ブロックに対応した動きベクトルを検出する動きベクトル検出手段とを備え、上記差分絶対値和生成手段は、それぞれビット線およびワード線に接続され、マトリクス状に配された複数のメモリセルからなるメモリ部を備え、上記メモリ部では、1つのビット線上で、活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷の結合が可能とされ、上記メモリ部は、それぞれのビット線に接続される複数のメモリセルが、所定数のワード線に接続される所定数のメモリセル毎のユニットに分割され、上記メモリ部は、上記ビット線が延びる方向である行方

10

20

30

40

50

向には1フレームの複数の画素位置にそれぞれ対応した複数のユニットを有し、上記ワード線が延びる方向である列方向には探索位置にそれぞれ対応した複数のユニットを有し、上記メモリ部の各行の複数のユニットには、それぞれ対応する参照フレームの画素位置の画素データと探索フレームの複数の探索位置の画素データとの差分絶対値のデータが記憶され、1つのデータがNビット（Nは正の整数）のデータであるとき、該1つのデータに係るワード線はN本であり、上記N本のワード線に接続されたN個のメモリセルのキャパシタは、上記Nビットのデータの各ビットの重みに対応した容量を持ち、上記参照フレームの参照ブロックを構成する各画素の画素位置に対応するユニットに係るワード線を同時に活性化する活性化手段と、複数のビット線のうちいずれか1つのビット線を選択するビット線選択手段と、上記ビット線選択手段で選択されたビット線上に得られた電荷総量に対応した値のデジタル信号を出力する信号出力手段とをさらに備えるものである。

10

【0043】

この発明においては、参照フレームの画像信号および探索フレームの画像信号を用い、参照フレームの各画素毎に、その画素データと探索フレームの複数の探索位置の画素データとの差分絶対値が生成される。この場合、参照フレームの全参照ブロックの動きベクトルをブロックマッチング法で求めるために必要となる全ての差分絶対値が生成される。

【0044】

この生成された差分絶対値を用いて、参照フレームの各参照ブロック毎に、この参照ブロックとこの参照ブロックに対応した探索フレームの探索範囲内の複数の候補ブロックのそれぞれとの間の差分絶対値和が生成される。この場合、例えば、参照ブロックと所定の候補ブロックとの間の差分絶対値を一度に加算して差分絶対値和を得ることが可能となる。

20

【0045】

この生成された複数の差分絶対値和に基づいて、参照ブロックに対応した動きベクトルが検出される。この場合、ある参照ブロックに関しては、最小値の差分絶対値和に対応した候補ブロックの位置が動きベクトルとして検出される。

【0046】

このように、参照フレームの各画素毎に、その画素データと探索フレームの複数の探索位置の画素データとの差分絶対値を生成し、この生成された差分絶対値を用いて、参照フレームの各参照ブロック毎に、この参照ブロックとこの参照ブロックに対応した探索フレームの探索範囲内の複数の候補ブロックのそれぞれとの間の差分絶対値和を生成し、参照フレームの各参照ブロック毎に、生成された複数の差分絶対値和に基づいて、この参照ブロックに対応した動きベクトルを検出する構成とすることで、動きベクトルの検出を高速に、かつ安価に行い得る。

30

【発明の効果】

【0047】

この発明に係るメモリ装置によれば、第1のフレームの画素データをビット線が延びる方向に並ぶ複数のメモリセルからなるユニットにストレートバイナリの形式で記憶し、第2のフレームの画素データをビット線が延びる方向に並ぶ複数のメモリセルからなるユニットに2の補数の形式で記憶しておき、この第1、第2のフレームの画素データに係るワード線を同時に活性化し、この複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷を1つのビット線上で結合し、その電荷総量に対応した値のデジタル信号を出力するものであり、第1、第2のフレームの画素データの差分データを高速に、かつ安価に得ることができる。

40

【0048】

また、この発明に係るメモリ装置によれば、ビット線が延びる方向に並ぶ複数のメモリセルからなるユニットのそれぞれにデータを記憶しておき、複数のデータに係るワード線を同時に活性化し、この複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷を1つのビット線上で結合し、その電荷総量に対応した値のデジタル信号を出力するものであり、複数のデータの加算データを高速に、かつ安価に得ることができる。

50

【 0 0 4 9 】

また、この発明に係る動きベクトルの検出装置および検出方法によれば、参照フレームの各画素毎に、その画素データと探索フレームの複数の探索位置の画素データとの差分絶対値を生成し、この生成された差分絶対値を用いて、参照フレームの各参照ブロック毎に、この参照ブロックとこの参照ブロックに対応した探索フレームの探索範囲内の複数の候補ブロックのそれぞれとの間の差分絶対値和を生成し、参照フレームの各参照ブロック毎に、生成された複数の差分絶対値和に基づいて、この参照ブロックに対応した動きベクトルを検出するものであり、動きベクトルの検出を高速に、かつ安価に行い得る。

【発明を実施するための最良の形態】

【 0 0 5 0 】

10

以下、図面を参照しながら、この発明の実施の形態について説明する。

図1は、実施の形態としての動き補償予測符号化装置100の構成を示している。

【 0 0 5 1 】

この符号化装置100は、画像信号D_iを入力する入力端子101と、この入力端子101に供給される画像信号D_iと後述する動き補償回路110から供給される予測画像信号との差分を演算する減算器102と、この減算器102で得られる差分信号に対してDCT（離散コサイン変換）を行うDCT回路103と、このDCT回路103で得られるDCT係数に対して量子化を行う量子化回路104と、この量子化回路104で得られた符号化信号D_oを出力する出力端子105とを有している。

【 0 0 5 2 】

20

また、符号化装置100は、量子化回路104で得られた符号化信号D_oに対して逆量子化を行う逆量子化回路106と、この逆量子化回路106の出力信号に対して逆DCTを行って差分信号を得る逆DCT回路107と、この逆DCT回路107で得られる差分信号と動き補償回路110で得られる予測画像信号とを加算して元の画像信号を復元する加算器108と、この加算器108で復元された画像信号を記憶するフレームメモリ109とを有している。

【 0 0 5 3 】

また、符号化装置100は、フレームメモリ109に記憶された画像信号を読み込み、この画像信号を、後述する動きベクトル検出回路111からの動きベクトルMVに基づいて動き補償をした後、上述したように減算器102および加算器108に予測画像信号として供給する動き補償回路110と、入力端子101に供給される画像信号D_iの動きベクトルMVを検出して動き補償回路110に供給する動きベクトル検出回路111とを有している。

30

【 0 0 5 4 】

図1に示す動き補償予測符号化装置100の動作を説明する。

入力端子101に輸入される画像信号D_iは、減算器102および動きベクトル検出回路111に供給される。減算器102では、この画像信号D_iと動き補償回路110から供給される予測画像信号との差分が演算される。

【 0 0 5 5 】

減算器102で得られる差分信号はDCT回路103に供給されて離散コサイン変換される。このDCT回路103で得られるDCT係数は量子化回路104に供給されて量子化される。そして、この量子化回路104で得られた符号化信号D_oが出力端子105に出力される。

40

【 0 0 5 6 】

また、量子化回路104で得られる符号化信号D_oが逆量子化回路106に供給されて逆量子化され、さらにこの逆量子化回路106の出力信号が逆DCT回路107に供給されて逆DCTされ、差分信号が復元される。この差分信号と動き補償回路110からの予測画像信号とが加算器108で加算されて元の画像信号が復元され、この復元された画像信号がフレームメモリ109に記憶される。

【 0 0 5 7 】

50

動き補償回路 110 では、あるフレームにおいては、その前のフレームにフレームメモリ 109 に記憶された画像信号の読み込みが行われて、動きベクトル検出回路 111 からの動きベクトル MV に基づいて動き補償されて、予測画像信号が得られる。この予測画像信号は、上述したように、差分信号を得るために減算器 102 に供給されると共に、画像信号を復元するために加算器 108 に供給される。

【0058】

次に、動きベクトル検出回路 111 の詳細を説明する。

この動きベクトル検出回路 111 では、ブロックマッチング法により動きベクトルが検出される。これは、図 2 に示すように、探索フレームの候補ブロックを所定の探索範囲内で移動し、参照フレームの参照ブロックと最も合致している候補ブロックを検出することにより、動きベクトルを求めるものである。

10

【0059】

ブロックマッチング法では、図 3 A に示すように、1 枚の画像、例えば水平 H 画素、垂直 V ラインの 1 フレームの画像が図 3 B に示すように、 P 画素 \times Q ラインのブロックに細分化される。図 3 B の例では、 $P = 5$ 、 $Q = 5$ の例である。 c がブロックの中心画素位置である。

【0060】

図 4 A ~ C は、 c を中心画素とする参照ブロックと c' を中心とする候補ブロックの位置関係を示している。 c を中心画素とする参照ブロックは、参照フレームの注目しているある参照ブロックであり、それと合致する探索フレームの候補ブロックが探索フレームにおいて c' を中心とするブロックの位置にあるものとしている。ブロックマッチング法では、探索範囲内において、参照ブロックと最も合致する候補ブロックを見出すことによって、動きベクトルを検出する。

20

【0061】

図 4 A の場合では、水平方向に $+1$ 画素、垂直方向に $+1$ ライン、すなわち、 $(+1, +1)$ の動きベクトルが検出される。図 4 B では、 $(+3, +3)$ の動きベクトル MV が検出され、図 4 C では、 $(+2, -1)$ の動きベクトルが検出される。動きベクトルは、参照フレームの参照ブロック毎に求められる。

【0062】

動きベクトルを探索する範囲を水平方向で $\pm S$ 画素、垂直方向で $\pm T$ ラインとすると、参照ブロックは、その中心 c に対して、水平に $\pm S$ 、垂直に $\pm T$ ずれたところに中心 c' を有する候補ブロックと比較される必要がある。

30

【0063】

図 5 は、探索範囲を水平方向で $\pm S$ 画素、垂直方向で $\pm T$ ラインとしたときの、参照ブロックと比較すべき候補ブロックの中心を示した図である。この場合、参照フレームのある参照ブロックの中心 c の位置を R とする時に、比較すべき探索フレームの $(2S + 1) \times (2T + 1)$ 個の候補ブロックとの比較が必要なが分かる。すなわち、この図 5 のまず目の位置に c' が存在する候補ブロックの全てが比較対象である。図 5 は、 $S = 4$ 、 $T = 3$ とした例である。

【0064】

探索範囲内の比較で得られた差分絶対値和の中で最小値を検出することによって、動きベクトルが検出される。図 5 の探索範囲は、候補ブロックの中心が位置する領域であり、 $P \times Q$ 画素の大きさの候補ブロックの全体が含まれる探索範囲の大きさは、 $(2S + P) \times (2T + Q)$ となる。

40

【0065】

図 6 は、動きベクトル検出回路 111 の構成を示している。

この動きベクトル検出回路 111 は、画像信号 D_i を参照フレームの信号としてメモリ部 122 に入力する入力端子 121 と、この参照フレームの画像信号 D_i および探索フレームの画像信号を蓄積するメモリ部 122 とを有している。このメモリ部 122 は、差分絶対値生成手段を構成している。

50

【 0 0 6 6 】

このメモリ部 1 2 2 は、参照フレームおよび探索フレームの画像信号を用い、参照フレームの各画素毎に、その画素データと探索フレームの複数の探索位置の画素データとの差分絶対値を生成するためのものである。このメモリ部 1 2 2 は、参照フレームの画像信号 D_i を蓄積するための参照フレームメモリ部 1 2 2 a と、探索フレームの画像信号を蓄積するための探索フレームメモリ部 1 2 2 b と、キャッシュメモリ 1 2 2 c , 1 2 2 d とを備えている。

【 0 0 6 7 】

キャッシュメモリ 1 2 2 c , 1 2 2 d は、それぞれフレームメモリ部 1 2 2 a , 1 2 2 b の所定ラインの記憶データを用いて差分絶対値を得る際に、当該所定ラインの記憶データを一時的に待避させておく待避手段を構成している。

10

【 0 0 6 8 】

入力端子 1 2 1 からあるフレームの画像信号 D_i がメモリ部 1 2 2 の参照フレームメモリ部 1 2 2 a に供給されて書き込まれる際に、この参照フレームメモリ部 1 2 2 a に記憶されていた 1 フレーム前の画像信号が読み出されて探索フレームメモリ部 1 2 2 b に供給されて書き込まれる。

【 0 0 6 9 】

この場合、参照フレームメモリ部 1 2 2 a より読み出された 8 ビットのストレートバイナリ形式の画素データが、メモリ部 1 2 2 の外部に設けられた 2 の補数変換部 1 2 3 で 2 の補数形式の画素データに変換され、9 ビットの画素データとして探索フレームメモリ部 1 2 2 b に書き込まれる。ここで、2 の補数の形式のデータを 9 ビットとするのは、8 ビットのデータが「0 0 0 0 0 0 0 0」であるとき、2 の補数の形式のデータは「1 0 0 0 0 0 0 0」となり、これへの対応のためである。なお、2 の補数変換部 1 2 3 は、メモリ部 1 2 2 の内部に設けられていてもよい。

20

【 0 0 7 0 】

図 7 は、参照フレームメモリ部 1 2 2 a および探索フレームメモリ部 1 2 2 b を構成するメモリブロック 1 0 の構成を示している。

このメモリブロック 1 0 は、メモリセルアレイ 2 0 と、記憶データ入出力用ポート 3 0 と、ロウアドレスデコーダ 4 0 と、演算データ出力用ポート 5 0 と、制御回路 8 0 とを有している。

30

【 0 0 7 1 】

メモリセルアレイ 2 0 は、図 8 に示すように、参照フレームメモリ部 1 2 2 a に対応したメモリセルアレイ部 2 0 a と、探索フレームメモリ部 1 2 2 b に対応したメモリセルアレイ部 2 0 b とからなっている。

【 0 0 7 2 】

メモリセルアレイ部 2 0 a は、それぞれビット線 B_L およびワード線 W_L に接続され、マトリクス状に配された複数のメモリセル M_L からなっている。ビット線 B_L は、ロウ方向（行方向）に延びる、データを転送するための線である。また、ワード線 W_L は、コラム方向（列方向）に延びる、複数のビット線 B_L に直交する線である。同様に、メモリセルアレイ部 2 0 b は、それぞれビット線 B_L およびワード線 W_L に接続され、マトリクス状に配された複数のメモリセル M_L からなっている。図 8 においては、メモリセル M_L を図示していないが、このメモリセル M_L は、後述するように、ユニット A , B を構成している。

40

【 0 0 7 3 】

これらメモリセルアレイ部 2 0 a , 2 0 b は、ビット線 B_L が延びる方向である行方向（ロウ方向）に連続して形成されている。ここで、メモリセルアレイ部 2 0 a , 2 0 b は、メモリセル M_L が例えば D R A M 構造のものであり、1 つのビット線 B_L 上で、活性化された複数のワード線 W_L に接続された複数のメモリセル M_L のキャパシタ C の蓄積電荷の結合が可能となっている。

【 0 0 7 4 】

50

メモリセルアレイ部 20a においては、それぞれのビット線 BL に接続される複数のメモリセル ML が 8 個毎のユニット A に分割されており、各ユニット A にそれぞれ 1 個の画素データ (ストレートバイナリ形式の 8 ビットデータ) が記憶される。図 9A は、ユニット A の構成を示している。

【0075】

このユニット A は、8 本のワード線 WL に接続され、8 個のメモリセル ML で構成されている。メモリセル ML は、DRAM 構造のものであって、アクセストランジスタ T とキャパシタ C とで構成されている。キャパシタ C の一端は接地され、その他端はアクセストランジスタ T を介してビット線 BL に接続されている。また、アクセストランジスタ T のゲートはワード線 WL に接続されている。このメモリセル ML に対する読み出しおよび書き込みは、従来周知のように、ワード線 WL を活性化してアクセストランジスタ T をオン状態とすることで行われる。

10

【0076】

このユニット A の 8 個のメモリセル ML のそれぞれには、1 個の 8 ビットデータの各ビットがそれぞれ記憶される。この場合、8 個のメモリセル ML のキャパシタ C は、上述の 8 ビットデータの各ビットの重みに対応した容量を持つようにされている。

【0077】

図 9A においては、上側が LSB (least significant bit) 側であり、下側が MSB (most significant bit) 側である。ユニット A を構成する 8 個のメモリセル ML のキャパシタ C の容量は、LSB 側から MSB 側に向かって順次倍にされている。つまり、この 8 個のメモリセル ML のキャパシタ C の容量は、LSB のキャパシタ C の容量を p とすると、LSB 側から、それぞれ p , $2p$, $4p$, $8p$, $16p$, $32p$, $64p$, $128p$ とされる。

20

【0078】

メモリセルアレイ部 20b においては、それぞれのビット線 BL に接続される複数のメモリセル ML が 9 個毎のユニット B に分割されており、各ユニット B にそれぞれ 1 個の画素データ (2 の補数形式の 9 ビットデータ) が記憶される。図 9B は、ユニット B の構成を示している。

【0079】

このユニット B は、9 本のワード線 WL に接続され、9 個のメモリセル ML で構成されている。メモリセル ML は、DRAM 構造のものであって、アクセストランジスタ T とキャパシタ C とで構成されている。キャパシタ C の一端は接地され、その他端はアクセストランジスタ T を介してビット線 BL に接続されている。また、アクセストランジスタ T のゲートはワード線 WL に接続されている。このメモリセル ML に対する読み出しおよび書き込みは、従来周知のように、ワード線 WL を活性化してアクセストランジスタ T をオン状態とすることで行われる。

30

【0080】

このユニット B の 9 個のメモリセル ML のそれぞれには、1 個の 9 ビットデータの各ビットがそれぞれ記憶される。この場合、9 個のメモリセル ML のキャパシタ C は、上述の 9 ビットデータの各ビットの重みに対応した容量を持つようにされている。

40

【0081】

図 9B においては、上側が LSB 側であり、下側が MSB 側である。ユニット B を構成する 9 個のメモリセル ML のキャパシタ C の容量は、LSB 側から MSB 側に向かって順次倍にされている。つまり、この 9 個のメモリセル ML のキャパシタ C の容量は、LSB のキャパシタ C の容量を p とすると、LSB 側から、それぞれ p , $2p$, $4p$, $8p$, $16p$, $32p$, $64p$, $128p$, $256p$ とされる。

【0082】

ここで、各フレームが H 本のラインで構成されると共に、各ラインが W 画素で構成されるものとする、メモリセルアレイ部 20a は少なくともカラム方向に W 個、ロウ方向に H 個のユニット A が配置された構造とされ、メモリセルアレイ部 20b も少なくともカラ

50

ム方向にW個、ロウ方向にH個のユニットBが配置された構造とされる。

【0083】

図7に戻って、記憶データ入出力用ポート30は、記憶データ用カラムアドレスデコーダ31、アドレスバッファ32およびI/Oバッファ33で構成されている。カラムアドレスデコーダ31には、I/Oゲート(カラム・スイッチ)やセンスアンプ等が含まれている。カラムアドレスデコーダ31には、アドレスバッファ32を介してカラムアドレスが

【0084】

カラムアドレスデコーダ31は、アドレスバッファ32を介して供給されるカラムアドレスに対応して、メモリセルアレイ20のカラム方向の所定のメモリセルMLに接続されるビット線BLとの接続を確保し、I/Oバッファ33およびカラムアドレスデコーダ31を通じて、当該カラム方向の所定のメモリセルMLに対する、記憶データの書き込み、読み出しが可能となるようにする。

【0085】

また、ロウアドレスデコーダ40には、アドレスバッファ41を介してロウアドレスが入力される。ロウアドレスデコーダ40は、アドレスバッファ41を介して供給されるロウアドレスに対応して、メモリセルアレイ20のロウ方向の所定のメモリセルMLに接続されるワード線WLを活性化し、I/Oバッファ33およびカラムアドレスデコーダ31を通じて、当該ロウ方向の所定のメモリセルMLに対する、記憶データの書き込み、読み出しが可能となるようにする。

【0086】

また、演算データ出力用ポート50は、演算データ出力用カラムアドレスデコーダ51、アドレスバッファ52およびA/Dコンバータ53で構成されている。カラムアドレスデコーダ51には、I/Oゲート(カラム・スイッチ)やセンスアンプ等が含まれている。カラムアドレスデコーダ51には、アドレスバッファ52を介してカラムアドレスが入力される。カラムアドレスデコーダ51はビット線選択手段を構成している。また、カラムアドレスデコーダ51、A/Dコンバータ53は信号出力手段を構成している。

【0087】

カラムアドレスデコーダ51は、アドレスバッファ52を介して供給されるカラムアドレスに対応して、メモリセルアレイ20のカラム方向の所定のメモリセルMLに接続される1つのビット線BLとの接続を確保し、その1つのビット線BL上に得られた電荷総量に対応した値の電圧信号を出力する。A/Dコンバータ53は、カラムアドレスデコーダ51から出力される電圧信号(アナログ信号)を所定ビット、例えば8ビットのデジタル信号に変換して出力する。

【0088】

また、制御回路80は、メモリブロック10の上述した各回路の動作を、制御入力に基づいて制御する。

【0089】

次に、図7に示すメモリブロック10の動作を説明する。

このメモリブロック10は、演算データ出力用ポート50を除く部分のみで、メモリセルアレイ20の所定のメモリセルMLに対する、記憶データの書き込み、読み出しが可能である。

【0090】

すなわち、カラムアドレスデコーダ31には、アドレスバッファ32を介してカラムアドレスが入力される。カラムアドレスデコーダ31は、このカラムアドレスに対応して、メモリセルアレイ20のカラム方向の所定のメモリセルMLに接続されるビット線BLとの接続を確保する。また、ロウアドレスデコーダ40には、アドレスバッファ41を介してロウアドレスが入力される。ロウアドレスデコーダ40は、このロウアドレスに対応して、メモリセルアレイ20のロウ方向の所定のメモリセルMLに接続されるワード線WLを活性化する。これにより、I/Oバッファ33およびカラムアドレスデコーダ31を通

じて、カラム方向およびロウ方向の所定のメモリセルM Lに対する、記憶データの書き込み、読み出しが行われる。

【 0 0 9 1 】

演算データ出力用ポート5 0を使用した、差分絶対値の出力動作について説明する。メモリセルアレイ2 0のメモリセルアレイ部2 0 aの各ユニットAの8個のメモリセルM Lには、上述したように、それぞれストレートバイナリ形式の8ビットの画素データの各ビットが記憶される。また、メモリセルアレイ2 0のメモリセルアレイ部2 0 bの各ユニットBの9個のメモリセルM Lには、上述したように、それぞれ2の補数形式の9ビットの画素データの各ビットが記憶される。

【 0 0 9 2 】

ロウアドレスデコーダ4 0には、アドレスバッファ4 1を介してロウアドレスが入力される。ロウアドレスデコーダ4 0は、このロウアドレスに対応して、メモリセルアレイ2 0を構成するメモリセルアレイ部2 0 a, 2 0 bの各1ラインの画素データ、つまり各1行のユニットに係る複数のワード線W Lを同時に活性化する。これにより、各ビット線B L上で、それぞれ、活性化された2つの画素データに係る複数のワード線W Lに接続された複数のメモリセルM LのキャパシタCの蓄積電荷が結合される。

【 0 0 9 3 】

ここで、複数のメモリセルM LのキャパシタCの総容量をC mとし、そこに蓄積されている電荷総量をQ cとし、さらにビット線B Lの容量をC bとすると、ビット線電荷総量Q bは、次式のようになる。つまり、ビット線電荷総量Q bは、複数のメモリセルM Lのキャ

$$Q b = Q c \times C b / (C m + C b) \quad \cdots (1)$$

【 0 0 9 4 】

この状態で、カラムアドレスデコーダ5 1には、アドレスバッファ5 2を介してカラムアドレスが入力される。カラムアドレスデコーダ5 1は、このカラムアドレスに対応して、メモリセルアレイ2 0のカラム方向の所定のメモリセルM Lに接続される1つのビット線B Lとの接続を確保する。これにより、カラムアドレスデコーダ5 1からは、接続が確保されたビット線B L上に得られた電荷総量に対応した値の電圧信号が出力される。そのため、A / Dコンバータ5 3からは、その接続が確保されたビット線B L上に得られた電荷総量に対応した値のデジタル信号が得られる。

【 0 0 9 5 】

上述したように、メモリセルアレイ部2 0 aの各ユニットAには、それぞれ参照フレームの画像信号D iを構成する画素データがストレートバイナリの形式で記憶され、メモリセルアレイ部2 0 bの各ユニットBには、それぞれ探索フレームの画像信号を構成する画素データが2の補数の形式で記憶されている。そのため、各ビット線B L上に得られる電荷総量は、参照フレームおよび探索フレームの画素データの差分値に対応したものとなる。また、上述せずも、A / Dコンバータ5 3は、アナログ信号からデジタル信号への変換と共に、絶対値変換も行う。したがって、上述したようにA / Dコンバータ5 3から得られるデジタル信号は、参照フレームの画素データから探索フレームの画素データを差し引いて得られる差分データをさらに絶対値変換してなる差分絶対値となる。

【 0 0 9 6 】

この場合、カラムアドレスデコーダ5 1で接続を確保する1つのビット線B Lを順次変更することで、A / Dコンバータ5 3から、各ビット線B Lの部分に対応した差分絶対値が順次得られる。つまり、参照フレームの所定ラインと探索フレームの所定ラインとの間の1ライン分の差分絶対値が順次得られる。

【 0 0 9 7 】

ここで、図1 0を参照して、減算演算の具体例を説明する。この具体例は、被減数データとしての8ビットのデータから減数データとしての8ビットのデータを減算する例である。ユニットAの部分には被減数データとしての8ビットのデータがそのままストレートバイナリの形式で記憶されている。この8ビットのデータは「1 0 0 0 0 1 0 1」であっ

10

20

30

40

50

て、10進数表現では「133」である。一方、ユニットBの部分には減数データとしての8ビットのデータが2の補数の形式のデータに変換された9ビットのデータが記憶されている。この8ビットのデータは「00010100」であって、10進数表現では「20」である。また、2の補数の形式に変換した後の9ビットのデータは「011101100」である。

【0098】

このようにユニットA、ユニットBのそれぞれに被減数、減数のデータが記憶されることで、これらユニットA、ユニットBのメモリセルMLのうち、ハッチングが施されていないキャパシタCのみが電荷が蓄積された状態となる。この場合、ユニットAの8個のメモリセルMLの全てのキャパシタCに蓄積された電荷の総量は、LSBのメモリセルMLのキャパシタCに蓄積される電荷をqとすると、133qとなる。同様に、ユニットBの9個のメモリセルMLの全てのキャパシタCに蓄積された電荷の総量は、236qとなる。

10

【0099】

このような状態で、2つのユニットA、ユニットBに係る複数のワード線WLが同時に活性化されて各メモリセルMLのアクセストランジスタTがオン状態になると、ビット線BL上で、それぞれのユニットA、ユニットBにおける蓄積電荷が結合される。これにより、ビット線BL上で結合された電荷の総量は10進数で「369」に相当するものとなる。つまり、上述の(1)式から、ビット線電荷総量Qbは、 $Qb = 369q \times Cb / (Cm + Cb)$ となる。

20

【0100】

したがって、カラムアドレスデコーダ51からはこの電荷総量「369」に対応した値の電圧信号が出力される。ここで、「369」は、2進数表現では「101110001」である。このときのMSBは符号ビットであり、「1」の場合は正を、「0」の場合は負を表すものとなる。そのため、A/Dコンバータ53では、この符号ビットを考慮したA/D変換が行われ、2つのユニットA、ユニットBに記憶されていたデータの差分絶対値が得られる。

【0101】

図11は、ビット線電荷総量とA/Dコンバータ53の出力値との関係を示している。この場合、ビット線電荷量「1」～「255」に対応して「255」～「1」、「256」～「511」に対応して「0」～「255」のデジタル信号を出力する。図11における横軸のビット線電荷総量は、 $q \times Cb / (Cm + Cb)$ が1となるように正規化したものである。後述する図12、図20における横軸のビット線電荷総量も同様である。

30

【0102】

なお、ビット線電荷総量とA/Dコンバータ53の出力値との関係を、図12に示すように設定し、このA/Dコンバータ53から差分データを得るようにし、この差分データを別個の絶対値化回路で絶対値に変換することも考えられる。この場合、A/Dコンバータ53は、ビット線電荷総量「1」～「511」に対応して「-255」～「255」のデジタル信号を出力する。

【0103】

ところで、被減数データが8ビットのデータの場合には10進数で「0」～「255」の範囲の値を取り得るが、減数データも8ビットのデータの場合には10進数で「0」～「255」の範囲の値を取り得る。この場合に、被減数、減数のデータがそれぞれユニットA、ユニットBに正しく記憶され、これらユニットA、ユニットBに係る複数のワード線WLが同時に活性化された場合には、ビット線電荷総量は10進数で「1」～「511」となり、「0」となることはあり得ない。そのため、図11、図12においては、ビット線電荷総量が「0」の場合に関しても変換を行っているが、その変換後のデジタル値自体には特に意味はない。

40

【0104】

上述したように、このメモリブロック10においては、メモリセルアレイ20を構成す

50

るメモリセルアレイ部 20a, 20b の各 1 ラインの画素データに係る複数のワード線 WL を同時に活性化することで、参照フレームの所定ラインと探索フレームの所定ラインとの間の 1 ライン分の差分絶対値を得ることができる。

【0105】

ここで、メモリセルアレイ部 20a で活性化されるラインに対して、メモリセルアレイ部 20b で活性化されるラインの位置を変更することで、参照フレームの所定ラインと、これと垂直方向（行方向）に所定ライン数だけずれた位置の探索フレームのラインとの間における画素データの差分絶対値を得ることができる。

【0106】

なお、メモリセルアレイ部 20a, 20b の各 1 ラインの画素データに係る複数のワード線 WL が同時に活性化された場合には、上述したようにビット線 BL 上でこれらのワード線 WL に接続された複数のメモリセル ML のキャパシタ C における蓄積電荷が結合され、出力される。そのため、蓄積電荷の結合後、これら複数のメモリセル ML の記憶データは意味のない値（破壊された状態）となる。

【0107】

そのため、活性化されるワード線 WL に対応したメモリセルアレイ部 20a, 20b の複数のメモリセル ML に記憶されている各 1 ライン分の画素データは、ワード線 WL の活性化の前にキャッシュメモリ 122c, 122d（図 6 参照）に待避される。そして、上述したように、A/D コンバータ 53 から 1 ライン分の差分絶対値が得られた後に、このキャッシュメモリ 122c, 122d の記憶データを用いて、複数のメモリセル ML の意味のない記憶データが元に戻される。

【0108】

また、メモリセルアレイ部 20a またはメモリセルアレイ部 20b に記憶されている画素データの記憶位置を水平方向（列方向）に移動することで、参照フレームの所定画素と、これと水平方向に所定画素数だけずれた位置の探索フレームの画素との間における画素データの差分絶対値を得ることができる。

【0109】

ここで、メモリセルアレイ部 20a またはメモリセルアレイ部 20b に記憶されている画素データの記憶位置を水平方向（列方向）に移動する際には、上述したキャッシュメモリ 122c, 122d が一時記憶メモリとして使用される。

【0110】

メモリ部 122 は、上述したような構成により、参照フレームおよび探索フレームの画像信号を用い、参照フレームの各画素毎に、その画素データと探索フレームの複数の探索位置の画素データとの差分絶対値を生成する。

【0111】

ここで、1 フレームの画像サイズが $W \times H$ 画素であるとする。また、探索範囲が、水平方向に s_w 画素（ここでは、 $+x_a \sim -x_b$ ）であり、垂直方向に s_h 画素（ここでは、 $+y_a \sim -y_b$ ）であるとする。この場合、図 13 に示すように、参照フレームの $W \times H$ 画素の各画素毎に、その画素データと探索フレームの $s_w \times s_h$ 個の探索位置の画素データとの差分絶対値が生成される。

【0112】

図 13 において、差分絶対値 $a_{(x,y),(0,0)}$ は、参照フレームの (x, y) の位置の画素と探索フレームの (x, y) の位置の画素との間の画素データの差分絶対値を示しており、同様に差分絶対値 $a_{(x,y),(+x_a,+y_a)}$ 、 $a_{(x,y),(-x_b,+y_a)}$ 、 $a_{(x,y),(+x_a,-y_b)}$ 、 $a_{(x,y),(-x_b,-y_b)}$ は、参照フレームの (x, y) の位置の画素とそれぞれ探索フレームの $(x+x_a, y+y_a)$ 、 $(x-x_b, y+y_a)$ 、 $(x+x_a, y-y_b)$ 、 $(x-x_b, y-y_b)$ の位置の画素との間の画素データの差分絶対値を示している。

【0113】

ここで、参照フレームの (x, y) の位置の画素と探索フレームの $(x+x_a, y) \sim (x-x_b, y)$ の位置の画素との間の画素データの差分絶対値は、図 14 に示すように

10

20

30

40

50

、例えばメモリセルアレイ部 20b に記憶されている探索フレームの (x, y) の位置の画素データの記憶位置を水平方向 (列方向) に -x a ~ +x b だけ移動することによって得ることができる。

【0114】

同様に、参照フレームの (x, y) の位置の画素と探索フレームの (x, y + y a) ~ (x, y - y b) の位置の画素との間の画素データの差分絶対値は、図 15 に示すように、メモリセルアレイ部 20b で活性化されるラインの位置を y + y a ~ y - y b に変更することによって得ることができる。

【0115】

図 6 に戻って、動きベクトル検出回路 111 は、メモリ部 122 で生成される差分絶対値を保持する差分絶対値保持部 124 を有している。この差分絶対値保持部 124 は、差分絶対値和生成手段を構成している。

10

【0116】

この差分絶対値保持部 124 は、メモリ部 122 で生成された差分絶対値を用いて、参照フレームの各参照ブロック毎に、この参照ブロックとこの参照ブロックに対応した探索フレームの探索範囲内の s w x s h 個の候補ブロックのそれぞれとの間の差分絶対値和を生成するものである。

【0117】

図 16 は、差分絶対値保持部 124 を構成するメモリブロック 60 の構成を示している。このメモリブロック 60 は、メモリセルアレイ 70 と、記憶データ入出力用ポート 30 と、ロウアドレスデコーダ 40 と、演算データ出力用ポート 50 と、制御回路 80 とを有している。

20

【0118】

このメモリブロック 60 は、メモリセルアレイ 70 の部分を除いて、上述した参照フレームメモリ部 122 a, 122 b を構成するメモリブロック 10 (図 7 参照) と同様に構成される。そのため、ここでは、メモリセルアレイ 70 の部分を詳細に説明し、その他の部分の説明は適宜省略する。

【0119】

メモリセルアレイ 70 は、図 17 に示すように、それぞれビット線 B L およびワード線 W L に接続され、マトリクス状に配された複数のメモリセル M L からなっている。図 17 においては、メモリセル M L を図示していないが、このメモリセル M L は、後述するように、ユニット A を構成している。ここで、メモリセルアレイ 70 は、メモリセル M L が例えば D R A M 構造のものであり、1つのビット線 B L 上で、活性化された複数のワード線 W L に接続された複数のメモリセル M L のキャパシタ C の蓄積電荷の結合が可能となっている。

30

【0120】

メモリセルアレイ 70 においては、それぞれのビット線 B L に接続される複数のメモリセル M L が 8 個毎のユニット A に分割されており、各ユニット A にそれぞれ 1 個の差分絶対値 (ストレートバイナリ形式の 8 ビットデータ) が記憶される。ユニット A は、上述したように、図 9 A に示す構成とされている。

40

【0121】

メモリセルアレイ 70 は、上述したように、1 フレームの画像サイズが W x H 画素であり、また探索範囲が、水平方向に s w 画素、垂直方向に s h 画素であるとき、少なくともカラム方向に s w x s h 個、ロウ方向に W x H 個のユニット A が配置された構造とされる。

【0122】

上述したように、メモリ部 122 においては、参照フレームの W x H 画素の各画素毎に、その画素データと探索フレームの s w x s h 個の探索位置の画素データとの差分絶対値が生成される。上述のメモリセルアレイ 70 は、図 18 に示すように、ロウ方向の各ユニット A の位置が、参照フレームの W x H 個の画素位置に対応したものとされ、カラム方向

50

の各ユニットAの位置が、探索フレームの $sw \times sh$ 個の探索位置に対応したものとされる。このメモリセルアレイ70の各ユニットAには、対応する差分絶対値が保持される。例えば、ロウ方向の (x, y) に対応した $sw \times sh$ 個のユニットAの行には、参照フレームの (x, y) の位置の画素と探索フレームの水平方向 $x + xa \sim x - xb$ 、垂直方向 $y + ya \sim y - yb$ の範囲にある $sw \times sh$ 個の探索位置の画素データとの差分絶対値が保持される。

【0123】

次に、図16に示すメモリブロック60の動作を説明する。

このメモリブロック60は、演算データ出力用ポート50を除く部分のみで、メモリセルアレイ70の所定のメモリセルMLに対する、記憶データの書き込み、読み出しが可能である。

10

【0124】

すなわち、カラムアドレスデコーダ31には、アドレスバッファ32を介してカラムアドレスが入力される。カラムアドレスデコーダ31は、このカラムアドレスに対応して、メモリセルアレイ70のカラム方向の所定のメモリセルMLに接続されるビット線BLとの接続を確保する。

【0125】

また、ロウアドレスデコーダ40には、アドレスバッファ41を介してロウアドレスが入力される。ロウアドレスデコーダ40は、このロウアドレスに対応して、メモリセルアレイ70のロウ方向の所定のメモリセルMLに接続されるワード線WLを活性化する。これにより、I/Oバッファ33およびカラムアドレスデコーダ31を通じて、カラム方向およびロウ方向の所定のメモリセルMLに対する、記憶データの書き込み、読み出しが行われる。

20

【0126】

演算データ出力用ポート50を使用した、差分絶対値和の出力動作について説明する。

ロウアドレスデコーダ40には、アドレスバッファ41を介してロウアドレスが入力される。ロウアドレスデコーダ40は、このロウアドレスに対応して、メモリセルアレイ70の、所定の参照ブロックの $bw \times bh$ 個の画素位置に対応したロウ方向のユニットAに係る複数のワード線WLを同時に活性化する(図18参照)。ここで、 bw は参照ブロックの水平方向の画素数、 bh は参照ブロックの垂直方向の画素数を示している。これにより、各ビット線BL上で、それぞれ、活性化された $bw \times bh$ 個のユニットAに係る複数のワード線WLに接続された複数のメモリセルMLのキャパシタCの蓄積電荷が結合される。

30

【0127】

この状態で、カラムアドレスデコーダ51には、アドレスバッファ52を介してカラムアドレスが入力される。カラムアドレスデコーダ51は、このカラムアドレスに対応して、メモリセルアレイ70のカラム方向の所定のメモリセルMLに接続される1つのビット線BLとの接続を確保する。これにより、カラムアドレスデコーダ51からは、接続が確保されたビット線BL上に得られた電荷総量に対応した値の電圧信号が出力される。そのため、A/Dコンバータ53からは、その接続が確保されたビット線BL上に得られた電荷総量に対応した値のデジタル信号が得られる。

40

【0128】

上述したように、メモリセルアレイ70の、所定の参照ブロックの $bw \times bh$ 個の画素位置に対応したロウ方向のユニットAに係る複数のワード線WLが同時に活性化される。そのため、各ビット線BL上に得られる電荷総量は、所定の参照ブロックとこの所定の参照ブロックに対応した探索フレームの探索範囲内の所定の候補ブロックとの間の $bw \times bh$ 個の差分絶対値の加算結果に対応したものとなる。したがって、A/Dコンバータ53からは、その加算結果を示す差分絶対値和(デジタル信号)が得られることとなる。

【0129】

この場合、カラムアドレスデコーダ51で接続を確保する1つのビット線BLを順次変

50

更することで、A/Dコンバータ53から、所定の参照ブロックとこの所定の参照ブロックに対応した探索フレームの探索範囲内の $s \times w \times s \times h$ 個の候補ブロックのそれぞれとの間の差分絶対値和が順次得られる。また、メモリセルアレイ70の、活性化すべき $b \times w \times b \times h$ 個の画素位置に対応したロウ方向のユニットAに係る複数のワード線WLを、他の参照ブロックに対応したものとすることで、他の参照ブロックに係る差分絶対値和が得られる。

【0130】

ここで、図19を参照して、加算演算の具体例を説明する。この具体例は、説明を簡単にするため、2つの8ビットデータを加算する例である。

【0131】

ユニットA1の部分には被加数データとしての8ビットのデータが記憶されている。この8ビットのデータは「00010100」であって、10進数表現では「20」である。一方、ユニットA2の部分には加数データとしての8ビットのデータが記憶されている。この8ビットのデータは「10000101」であって、10進数表現では「133」である。

【0132】

このようにユニットA1、A2のそれぞれに被加数、加数のデータが記憶されることで、これらユニットA1、A2のメモリセルMLのうち、ハッチングが施されていないキャパシタCのみが電荷が蓄積された状態となる。この場合、ユニットA1の8個のメモリセルMLの全てのキャパシタCに蓄積された電荷の総量は、LSBのメモリセルMLのキャパシタCに蓄積される電荷を q とすると、 $20q$ となる。同様に、ユニットA2の8個のメモリセルMLの全てのキャパシタCに蓄積された電荷の総量は、 $133q$ となる。

【0133】

このような状態で、ユニットA1、A2に係る複数のワード線WLが同時に活性化されて各メモリセルMLのアクセストランジスタTがオン状態になると、ビット線BL上で、それぞれのユニットA1、A2における蓄積電荷が結合される。これにより、ビット線BL上で結合された電荷の総量は10進数で「153」に相当するものとなる。

【0134】

したがって、カラムアドレスデコーダ51からはこの電荷総量「153」に対応した値の電圧信号が出力される。これにより、A/Dコンバータ53からは、ユニットA1、A2に記憶されていたデータの加算結果に対応した加算データが得られる。

【0135】

ユニットA1、ユニットA2は、8ビット出力であるため、この加算データは、9ビット分の値になる。そこで、9ビット出力のA/Dコンバータを用いると、加算データをユニットA1、ユニットA2に格納された値の精度で出力することができる。また、8ビット出力のA/Dコンバータを利用することもできる。その場合、出力は8ビット出力であるため、出力値の精度は低くなる。

【0136】

図20は、ビット線電荷総量と8ビット出力のA/Dコンバータ53の出力値（加算データ）との関係例を示している。図20の場合には、このような変換特性によって、512階調から256階調への階調変換も行える。図20では512階調から256階調へと階調が変化しているため、この出力値の2倍の値が実際の加算結果となる。

【0137】

なお、メモリセルアレイ70の所定の参照ブロックの $b \times w \times b \times h$ 個の画素位置に対応したロウ方向のユニットAに係る複数のワード線WLが同時に活性化された場合には、上述したようにビット線BL上でこれらのワード線WLに接続された複数のメモリセルMLのキャパシタCにおける蓄積電荷が結合される。そのため、結合後、これら複数のメモリセルMLの記憶データが意味のない値となる。しかし、この複数のメモリセルMLの部分の記憶データは、この所定の参照ブロックとは画素位置が異なる他の参照ブロックに係る差分絶対値和を得る際には必要としないので、この複数のメモリセルMLの記憶データをワ

10

20

30

40

50

ード線WLを活性化する前に例えばキャッシュメモリに待避しておくことは不要である。

【0138】

図6に戻って、また、動きベクトル検出回路111は、差分絶対値保持部124で生成された、参照ブロック毎のそれぞれ複数の差分絶対値和を保持する差分絶対値和保持部125を有している。

【0139】

また、動きベクトル検出回路111は、差分絶対値和保持部125に保持された参照ブロック毎のそれぞれ複数の差分絶対値和に基づいて、参照ブロック毎に動きベクトルを検出する最小値判定部126と、この最小値判定部126で検出された動きベクトルを保持する動きベクトル保持部127と、この動きベクトル保持部127に保持された各参照ブロックの動きベクトルMVを順次出力する出力端子128とを有している。最小値判定部126では、最小の差分絶対値和を発生する候補ブロックの位置を、動きベクトルとして検出する。

【0140】

図6に示す動きベクトル検出回路111の動作を説明する。

入力端子121に入力される画像信号Diはメモリ部122を構成する参照フレームメモリ部122aに、参照フレームの画像信号として蓄積される。またこの際、参照フレームメモリ部122bに記憶されていた1フレーム前の画像信号は、読み出されて探索フレームメモリ部122bに、探索フレームの画像信号として蓄積される。この場合、参照フレームメモリ部122aより読み出された8ビットのストレートバイナリ形式の画素データが、メモリ部122の外部に設けられた2の補数変換部123で2の補数形式の画素データに変換され、9ビットの画素データとして探索フレームメモリ部122bに書き込まれる。

【0141】

参照フレームメモリ部122aおよび探索フレームメモリ部122bはメモリブロック10で構成されている(図7参照)。そして、そのメモリセルアレイ20は、参照フレームメモリ部122aに対応したメモリセルアレイ部20aと、探索フレームメモリ部122bに対応したメモリセルアレイ部20bとからなっている(図8参照)。メモリセルアレイ部20a, 20bは、ビット線BLが延びる方向である行方向(ロウ方向)に連続して形成されている。

【0142】

メモリセルアレイ部20a, 20bの各1ラインの画素データに係る複数のワード線WLが同時に活性化されることで、各ビット線BL上で、それぞれ、活性化された2つの画素データに係る複数のワード線WLに接続された複数のメモリセルMLのキャパシタCの蓄積電荷が結合される。

【0143】

カラムアドレスデコーダ51は、メモリセルアレイ20のカラム方向の所定のメモリセルMLに接続される1つのビット線BLとの接続を確保し、その接続を確保したビット線BL上に得られた電荷総量に対応した値の電圧信号を出力する。そして、A/Dコンバータ53からは、その電荷総量に対応した値のデジタル信号が得られる。

【0144】

このデジタル信号は、メモリセルアレイ部20aの各ユニットAには、それぞれ参照フレームの画像信号Diを構成する画素データがストレートバイナリの形式で記憶され、メモリセルアレイ部20bの各ユニットBには、それぞれ探索フレームの画像信号を構成する画素データが2の補数の形式で記憶されていると共に、A/Dコンバータ53は、アナログ信号からデジタル信号への変換と共に、絶対値変換も行うことから、参照フレームの画素データから探索フレームの画素データを差し引いて得られる差分データをさらに絶対値変換してなる差分絶対値となる。

【0145】

カラムアドレスデコーダ51で接続を確保する1つのビット線BLを順次変更すること

10

20

30

40

50

で、A/Dコンバータ53から、各ビット線BLの部分に対応した差分絶対値が順次得られる。つまり、参照フレームの所定ラインと探索フレームの所定ラインとの間の1ライン分の差分絶対値が順次得られる。

【0146】

また、メモリセルアレイ部20aで活性化されるラインに対して、メモリセルアレイ部20bで活性化されるラインの位置が変更され、参照フレームの所定ラインと、これと垂直方向（行方向）に所定ライン数だけずれた位置の探索フレームのラインとの間における画素データの差分絶対値が得られる。

【0147】

また、メモリセルアレイ部20aまたはメモリセルアレイ部20bに記憶されている画素データの記憶位置が水平方向（列方向）に移動され、参照フレームの所定画素と、これと水平方向に所定画素数だけずれた位置の探索フレームの画素との間における画素データの差分絶対値が得られる。

【0148】

これにより、メモリ部122では、参照フレームの各画素毎に、その画素データと探索フレームの複数の探索位置の画素データとの差分絶対値が生成される。ここで、1フレームの画像サイズが $W \times H$ 画素であり、また探索範囲が、水平方向に s_w 画素（ $+x_a \sim -x_b$ ）、垂直方向に s_h 画素（ $+y_a \sim -y_b$ ）であるとき、参照フレームの $W \times H$ 画素の各画素毎に、その画素データと探索フレームの $s_w \times s_h$ 個の探索位置の画素データとの差分絶対値が生成される（図13参照）。

【0149】

なお、活性化されるワード線WLに対応した複数のメモリセルアレイ部20a, 20bのメモリセルMLに記憶されている各1ライン分の画素データは、ワード線WLの活性化の前にキャッシュメモリ122c, 122d（図6参照）に待避される。そして、上述したように、A/Dコンバータ53から1ライン分の差分絶対値が得られた後に、このキャッシュメモリ122c, 122dの記憶データを用いて、破壊された複数のメモリセルMLの記憶データが元に戻される。

【0150】

メモリ部122で生成される差分絶対値は差分絶対値保持部に124に供給されて保持される。この差分絶対値保持部124は、メモリブロック60で構成されている（図16参照）。そして、そのメモリセルアレイ70は、1フレームの画像サイズが $W \times H$ 画素であり、また探索範囲が、水平方向に s_w 画素、垂直方向に s_h 画素であるとき、少なくともカラム方向に $s_w \times s_h$ 個、ロウ方向に $W \times H$ 個のユニットAが配置された構造とされる（図17参照）。

【0151】

このメモリセルアレイ70は、図18に示すように、ロウ方向の各ユニットAの位置が、参照フレームの $W \times H$ 個の画素位置に対応したものとされ、カラム方向の各ユニットAの位置が、探索フレームの $s_w \times s_h$ 個の探索位置に対応したものとされる。このメモリセルアレイ20の各ユニットAには、対応する差分絶対値が保持される（図18参照）。

【0152】

メモリセルアレイ70の、所定の参照ブロックの $b_w \times b_h$ 個の画素位置に対応したロウ方向のユニットAに係る複数のワード線WLが同時に活性化されることで、各ビット線BL上で、それぞれ、活性化された $b_w \times b_h$ 個のユニットAに係る複数のワード線WLに接続された複数のメモリセルMLのキャパシタCの蓄積電荷が結合される。

【0153】

この状態で、カラムアドレスデコーダ51には、アドレスバッファ52を介してカラムアドレスが入力される。カラムアドレスデコーダ51は、このカラムアドレスに対応して、メモリセルアレイ70のカラム方向の所定のメモリセルMLに接続される1つのビット線BLとの接続を確保する。これにより、カラムアドレスデコーダ51からは、接続が確保されたビット線BL上に得られた電荷総量に対応した値の電圧信号が出力される。その

10

20

30

40

50

ため、A/Dコンバータ53からは、その接続が確保されたビット線BL上に得られた電荷総量に対応した値のデジタル信号が得られる。

【0154】

このデジタル信号は、各ビット線BL上に得られる電荷総量が、所定の参照ブロックとこの所定の参照ブロックに対応した探索フレームの探索範囲内の所定の候補ブロックとの間の $b w \times b h$ 個の差分絶対値の加算結果に対応したものとなることから、その加算結果を示す差分絶対値和となる。

【0155】

この場合、カラムアドレスデコーダ51で接続を確保する1つのビット線BLを順次変更することで、A/Dコンバータ53から、所定の参照ブロックとこの所定の参照ブロックに対応した探索フレームの探索範囲内の $s w \times s h$ 個の候補ブロックのそれぞれとの間の差分絶対値和が順次得られる。また、メモリセルアレイ70の、活性化すべき $b w \times b h$ 個の画素位置に対応したロウ方向のユニットAに係る複数のワード線WLを、他の参照ブロックに対応したものとすることで、他の参照ブロックに係る差分絶対値和が得られる。

10

【0156】

これにより、差分絶対値保持部124では、参照フレームの各参照ブロック毎に、この参照ブロックとこの参照ブロックに対応した探索フレームの探索範囲内の $s w \times s h$ 個の候補ブロックのそれぞれとの間の差分絶対値和が生成される。

【0157】

20

この参照ブロック毎のそれぞれ複数の差分絶対値和は、差分絶対値和保持部125に供給されて保持される。そして、最小値判定部126は、参照ブロック毎に、このように差分絶対値和保持部125に保持された複数の差分絶対値和に基づき、最小の差分絶対値和を発生する候補ブロックの位置を動きベクトルとして検出する。このように検出される動きベクトルは動きベクトル保持部127に保持される。

【0158】

そして、動きベクトル保持部127に保持された各参照ブロックに対応した動きベクトルは順次読み出される。そして、読み出された動きベクトルMVが出力端子128に出力される。このように出力される動きベクトルMVは、上述した動き補償回路110(図1参照)に供給され、動き補償処理に用いられる。

30

【0159】

図21のフローチャートは、上述した動きベクトル検出回路111における動きベクトルMVの検出処理の手順を示している。

まず、ステップST1で、処理を開始し、ステップST2で、メモリ部122の参照フレームメモリ部122aに記憶されている画像信号Diを読み出し、2の補数変換部123によってストレートバイナリ形式のデータから2の補数形式のデータに変換し、その後探索フレームの画像信号としてメモリ部122の探索フレームメモリ部122bに書き込む。また、ステップST3で、入力端子121から参照フレームの画像信号Diを入力し、この画像信号をメモリ部122の参照フレームメモリ122aに書き込む。

【0160】

40

次に、ステップST4で、フレームメモリ部122a, 122bに対応したメモリセルアレイ部20a, 20bの各1ラインの画素データに係る複数のワード線WLを同時に活性化するために、その各1ラインの画素データ(参照ラインデータ、探索ラインデータ)をメモリセルアレイ部20a, 20bから読み出し、キャッシュメモリ122c, 122dに待避する。

【0161】

次に、メモリセルアレイ部20a, 20bの各1ラインの画素データに係る複数のワード線WLを同時に活性化し、参照ラインデータおよび探索ラインデータを同時に読み出し、1ライン分の差分絶対値を得て、差分絶対値保持部124に保持する。そして、ステップST6で、キャッシュメモリ122cに待避していた参照ラインデータを参照フレー

50

ムメモリ部 1 2 2 a に書き戻す。また、ステップ S T 7 で、キャッシュメモリ 1 2 2 d に待避していた探索ラインデータを、その記憶位置を水平方向（列方向）に移動して、探索フレームメモリ部 1 2 2 b に書き戻す。

【 0 1 6 2 】

そして、ステップ S T 8 で、対象となっている参照ラインデータと探索範囲に対応した全ての探索ラインデータとの差分絶対値を得る処理が終了したか否かを判定する。なお、1つの参照ラインデータに関しては、最終的に $s w \times s h$ ライン分の差分絶対値を生成する必要がある（図 1 3 参照）。処理を終了していないときは、ステップ S T 4 に戻って、対象となっている参照ラインデータと、次の探索ラインデータとの差分絶対値を得る処理に移る。

10

【 0 1 6 3 】

ステップ S T 8 で、処理を終了したときは、ステップ S T 9 に進む。ステップ S T 9 では、全ての参照ラインデータにおける差分絶対値を得る処理が終了したか否かを判定する。終了をしていないときは、ステップ S T 4 に戻って、次の参照ラインデータにおける差分絶対値を得る処理に移る。

【 0 1 6 4 】

ステップ S T 9 で、処理を終了したときは、ステップ S T 1 0 に移る。このステップ S T 1 0 では、差分絶対値保持部 1 2 4 から、対象となっている参照ブロックに関して、この参照ブロックとその探索範囲内の各候補ブロックのそれぞれとの間の差分絶対値和を順次得て、差分絶対値和保持部 1 2 5 に保持する。

20

【 0 1 6 5 】

次に、ステップ S T 1 1 で、差分絶対値和保持部 1 2 5 に保持された、対象となっている参照ブロックに関する複数の差分絶対値和に基づき、最小の差分絶対値和を発生する候補ブロックの位置を動きベクトルとして検出する。そして、ステップ S T 1 2 で、この検出された動きベクトルを動きベクトル保持部 1 2 7 に保持する。

【 0 1 6 6 】

次に、ステップ S T 1 3 で、参照フレームの全参照ブロックでの上述した動きベクトルの検出処理が終了したか否かを判定する。終了していないときは、ステップ S T 1 0 に戻って、次の参照ブロックに対応した動きベクトルを検出する処理に移る。一方、終了したときは、ステップ S T 1 4 で、動きベクトル保持部 1 2 7 に保持された各参照ブロックに対応した動きベクトル M V を順次出力し、ステップ S T 1 5 で処理を終了する。

30

【 0 1 6 7 】

このように、本実施の形態においては、メモリ部 1 2 2 で、参照フレームの各画素毎に、その画素データと探索フレームの複数の探索位置の画素データとの差分絶対値を生成する。このメモリ部 1 2 2 は、参照フレームの画素データをビット線 B L が延びる方向に並ぶ複数のメモリセル M L からなるユニット A にストレートバイナリの形式で記憶し、探索フレームの画素データをビット線 B L が延びる方向に並ぶ複数のメモリセル M L からなるユニット B に 2 の補数の形式で記憶しておき、これら参照フレーム、探索フレームの画素データに係るワード線 W L を同時に活性化し、この複数のワード線 W L に接続された複数のメモリセル M L のキャパシタ C の蓄積電荷を 1 つのビット線 B L 上で結合し、その電荷総量に対応した値のデジタル信号を差分絶対値として得るものである。

40

【 0 1 6 8 】

したがって、参照フレーム、探索フレームの画素データの差分絶対値を得る処理が画素データの読み出しと同時にされるものであり、差分絶対値を高速に得ることができる。また、減算器、絶対値化回路を別個に必要とするのではなく、安価に構成することができる。

【 0 1 6 9 】

また、本実施の形態においては、差分絶対値保持部 1 2 4 で、参照フレームの各参照ブロック毎に、この参照ブロックとこの参照ブロックに対応した探索フレームの探索範囲内の複数の候補ブロックのそれぞれとの間の差分絶対値和を生成する。この差分絶対値保持

50

部124は、ビット線BLが延びる方向に並ぶ複数のメモリセルMLからなるユニットAのそれぞれに差分絶対値を記憶しておき、複数の差分絶対値に係るワード線WLを同時に活性化し、この複数のワード線WLに接続された複数のメモリセルMLのキャパシタCの蓄積電荷を1つのビット線BL上で結合し、その電荷総量に対応した値のデジタル信号を差分絶対値和として得るものである。したがって、複数の差分絶対値の加算が差分絶対値の読み出しと同時にされるものであり、差分絶対値和を高速に得ることができる。また、加算器を別個に必要とするものではなく、安価に構成することができる。

【0170】

また、本実施の形態においては、メモリ部122で、参照フレームの各画素毎に、その画素データと探索フレームの複数の探索位置の画素データとの差分絶対値を生成し、次に差分絶対値保持部124で、この生成された差分絶対値を用いて、参照フレームの各参照ブロック毎に、この参照ブロックとこの参照ブロックに対応した探索フレームの探索範囲内の複数の候補ブロックのそれぞれとの間の差分絶対値和を生成し、そして参照フレームの各参照ブロック毎に、生成された複数の差分絶対値和に基づいて、この参照ブロックに対応した動きベクトルを検出するものである。したがって、動きベクトルの検出を高速に、かつ安価に行い得るようになる。

【0171】

なお、上述実施の形態においては、メモリセルアレイ20, 70のメモリセルMLがDRAM構造であるものを示したが、この発明はこれに限定されるものではない。要は、1つのビット線上で、活性化された複数のワード線に接続された複数のメモリセルのキャパシタの蓄積電荷を結合し得るものであればよい。

【0172】

また、上述実施の形態においては、動きベクトル検出に適用したものであり、第1のフレームが参照フレーム、第2のフレームが探索フレームであるものを示したが、この発明はこれに限定されるものではない。

【0173】

また、上述実施の形態においては、8個または9個のメモリセルMLで1つのデータを記憶するユニットAあるいはユニットBが構成されるものを示したが、ユニットAあるいはユニットBを構成するメモリセルMLの個数はこれに限定されるものではない。

【0174】

上述実施の形態では、各ビットのデータを記憶するメモリセルMLのキャパシタCの容量を、そのビットの重みに対応した大きさにすることで、8ビットのデータを記憶するユニットAを8個のメモリセルMLのみで構成可能としている。しかし、メモリセルMLのキャパシタCの容量が全て同じであるとした場合、256階調の電荷量の蓄積を可能とする必要があることから、 $2^8 - 1$ 個のメモリセルMLでユニットAを構成できる。これは、ユニットBにおいても、同様である。

【0175】

また、例えば8ビットのデータを記憶するユニットAは、8個のメモリセルMLではなく、これより少ないメモリセルMLで構成することもできる。例えばユニットAを4個のメモリセルMLで構成することもできる。その場合、各メモリセルMLのキャパシタCには、それぞれ2ビット分の電荷が蓄積される。

【0176】

例えば、8ビットのデータが「10000101」である場合、LSB側から、1番目のメモリセルMLには「01」、つまり10進数で「1」に相当する電荷量の電荷を蓄積し、2番目のメモリセルMLには「0100」、つまり10進数で「4」に相当する電荷量の電荷を蓄積し、3番目のメモリセルMLには「000000」、つまり10進数で「0」に相当する電荷量の電荷を蓄積し、4番目のメモリセルMLには「10000000」、つまり10進数で「128」に相当する電荷量の電荷を蓄積すればよい。この場合、4個のメモリセルMLのキャパシタCの容量は、1番目のメモリセルMLのキャパシタCの容量をpとした場合、2番目は4p、3番目は16p、4番目は64pとすればよい。

【 0 1 7 7 】

また、上述実施の形態においては、各ユニットAに2進データを記憶するものを示したが、各ユニットAのメモリセルMLにn進の各桁のデータを記憶すれば、n進の演算を行うこともできる。この場合、各ユニットAのメモリセルMLのキャパシタCに、該当する桁の値に応じた電荷量を蓄積することでデータの記憶が可能となる。

【 0 1 7 8 】

例えば、10進数で「235」のデータを記憶する場合、1の桁を記憶するメモリセルMLのキャパシタCには、「5」に相当する電荷量の電荷を蓄積し、10の桁を記憶するメモリセルMLのキャパシタCには、「 3×10 」に相当する電荷量の電荷を蓄積し、100の桁を記憶するメモリセルMLのキャパシタCには、「 2×100 」に相当する電荷量の電荷を蓄積すればよい。勿論、各桁に対応したメモリセルMLのキャパシタCは、それぞれの桁の最大蓄積電荷量を蓄積できるだけの容量を持つことが必要となる。

【産業上の利用可能性】

【 0 1 7 9 】

この発明は、第1、第2のフレームの画素データの差分データを高速に、かつ安価に得ることができ、また複数のデータの加算データを高速に、かつ安価に得ることができるものであり、例えばブロックマッチング法によって動きベクトルを検出する用途に適用できる。

【図面の簡単な説明】

【 0 1 8 0 】

【図1】実施の形態としての動き補償予測符号化装置の構成を示すブロック図である。

【図2】ブロックマッチング法を説明するための図である。

【図3】ブロックマッチング法を説明するための図である。

【図4】ブロックマッチング法を説明するための図である。

【図5】ブロックマッチング法を説明するための図である。

【図6】動きベクトル検出回路の構成を示すブロック図である。

【図7】メモリブロックの構成例を示すブロック図である。

【図8】メモリセルアレイの構成を説明するための図である。

【図9】メモリセルアレイを構成するユニットの構成を示す図である。

【図10】減算演算の具体例を説明するための図である。

【図11】ビット線電荷総量と出力値との関係（減算の場合、絶対値変換あり）を示す図である。

【図12】ビット線電荷総量と出力値との関係（減算の場合、絶対値変換なし）を示す図である。

【図13】生成される差分絶対値を説明するための図である。

【図14】差分計算処理を説明するための図である。

【図15】差分計算処理を説明するための図である。

【図16】メモリブロックの構成例を示すブロック図である。

【図17】メモリセルアレイの構成を説明するための図である。

【図18】メモリセルアレイの構成を説明するための図である。

【図19】加算演算の具体例を説明するための図である。

【図20】ビット線電荷総量と出力値との関係（加算の場合）を示す図である。

【図21】動きベクトル検出の処理手順を示すフローチャートである。

【図22】従来の動きベクトル検出回路の構成を示すブロック図である。

【図23】従来の動きベクトル検出の処理手順を示すフローチャートである。

【符号の説明】

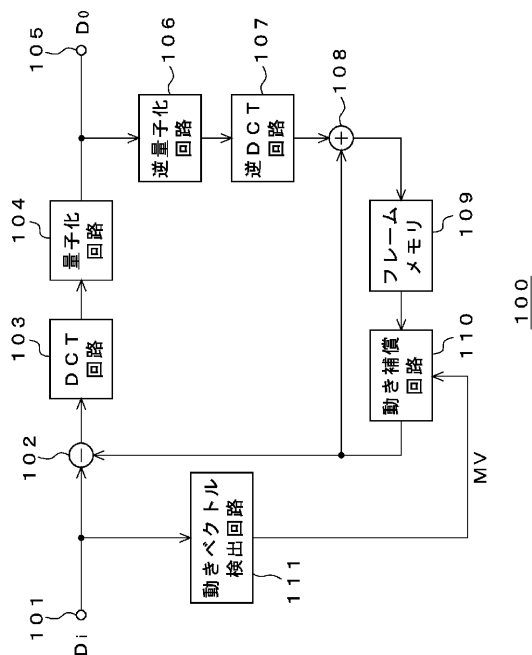
【 0 1 8 1 】

10、60・・・メモリブロック、20、70・・・メモリセルアレイ、20a、20b・・・メモリセルアレイ部、30・・・記憶データ入出力用ポート、40・・・ロウアドレスデコーダ、50・・・演算データ出力用ポート、80・・・制御回路、100・・・

・動き補償予測符号化装置、101・・・入力端子、102・・・減算器、103・・・DCT回路、104・・・量子化回路、105・・・出力端子、106・・・逆量子化回路、108・・・加算器、109・・・フレームメモリ、110・・・動き補償回路、111・・・動きベクトル検出回路、121・・・入力端子、122・・・メモリ部、122a・・・参照フレームメモリ部、122b・・・探索フレームメモリ部、122c、122d・・・キャッシュメモリ、123・・・2の補数変換部、124・・・差分絶対値保持部、125・・・差分絶対値和保持部、126・・・最小値判定部、127・・・動きベクトル保持部、128・・・出力端子

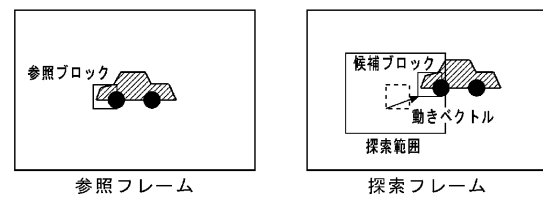
【図1】

動き補償予測符号化装置



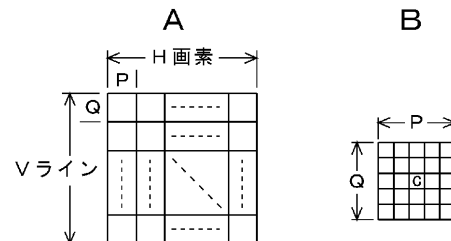
【図2】

ブロックマッチング法



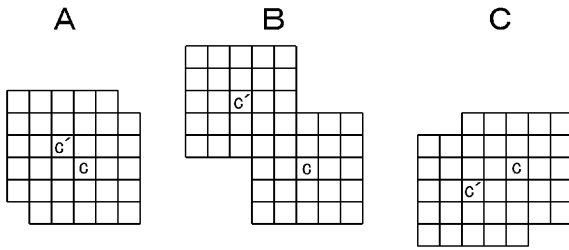
【図3】

ブロックマッチング法



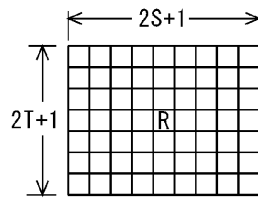
【図 4】

ブロックマッチング法



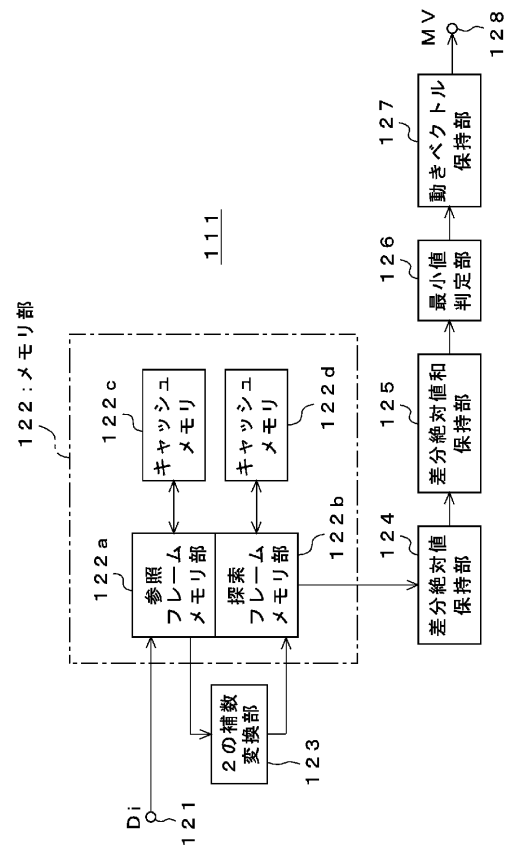
【図 5】

ブロックマッチング法



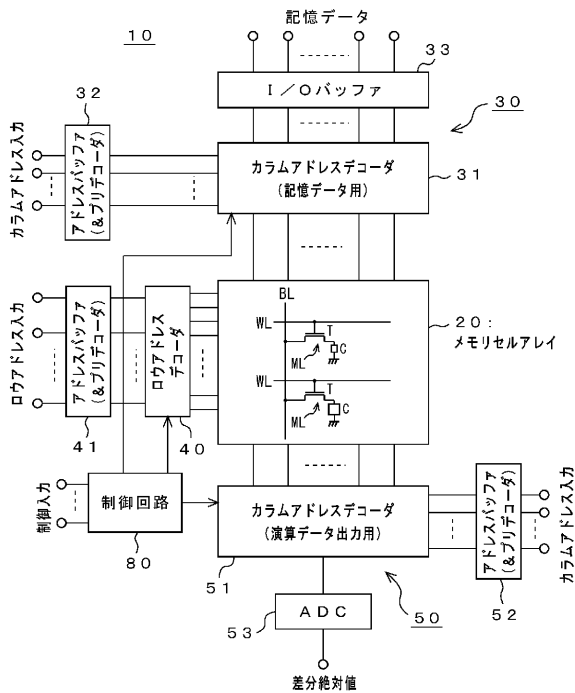
【図 6】

動きベクトル検出回路



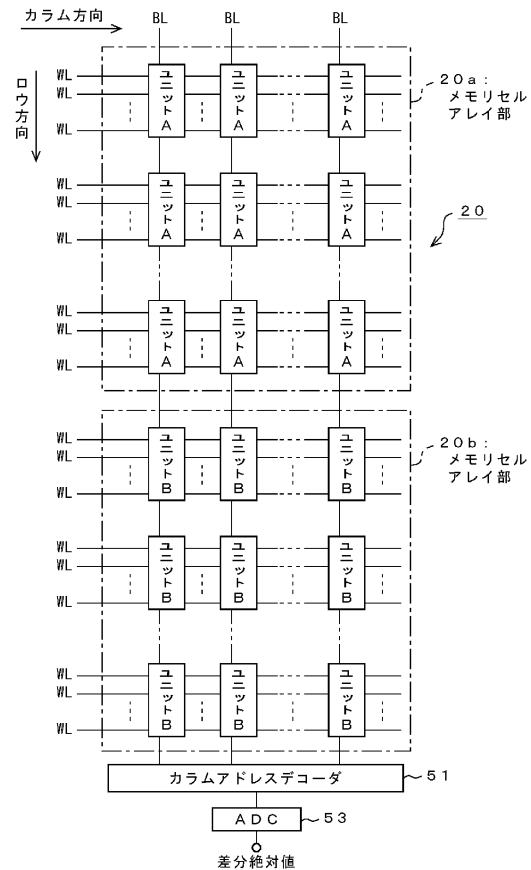
【図 7】

メモリブロックの構成例



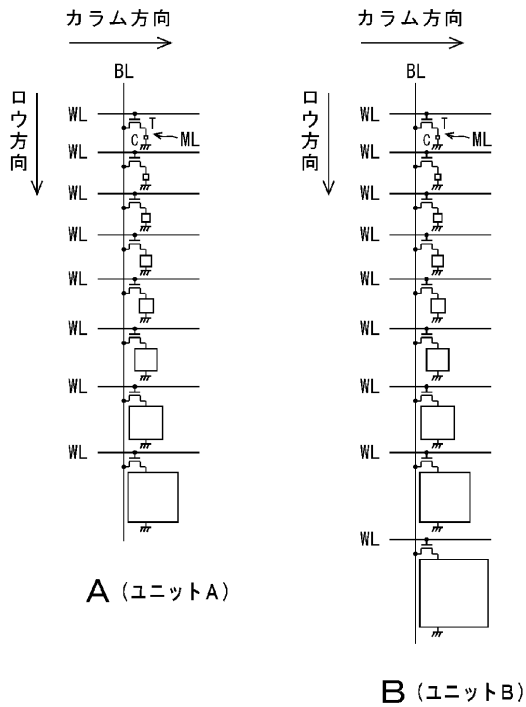
【図 8】

メモリセルアレイの構成



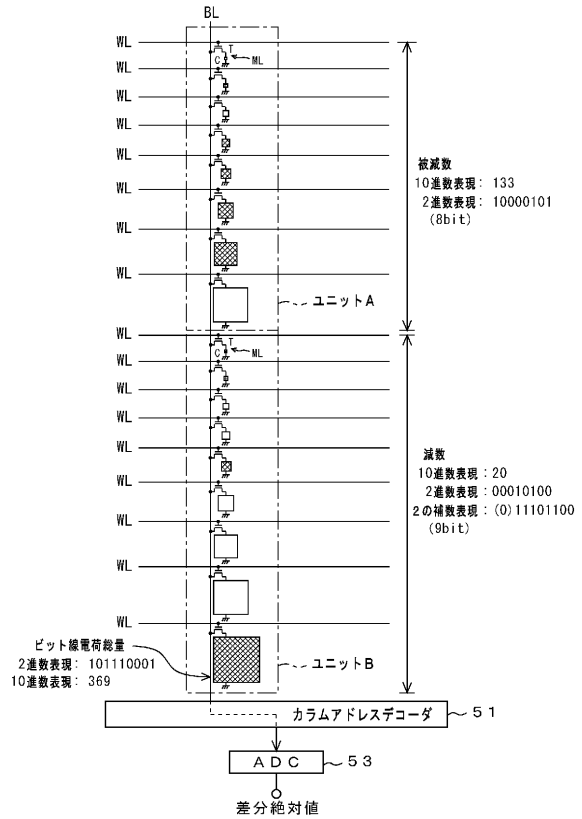
【図 9】

ユニットの構成

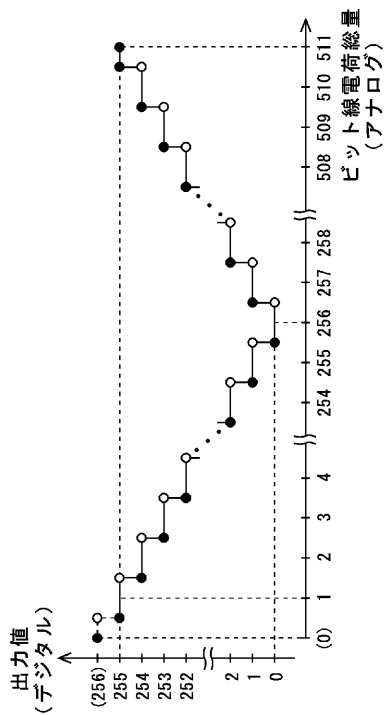


【図 10】

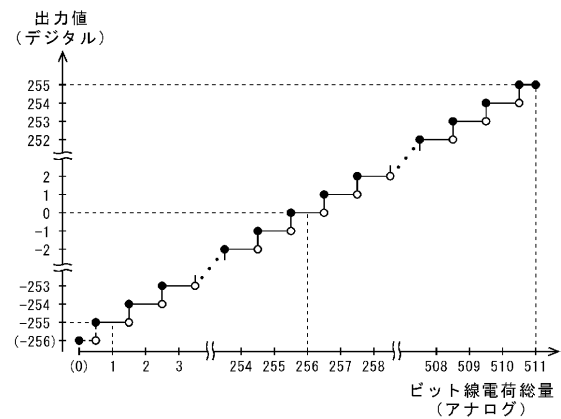
減算演算の具体例



【図 11】

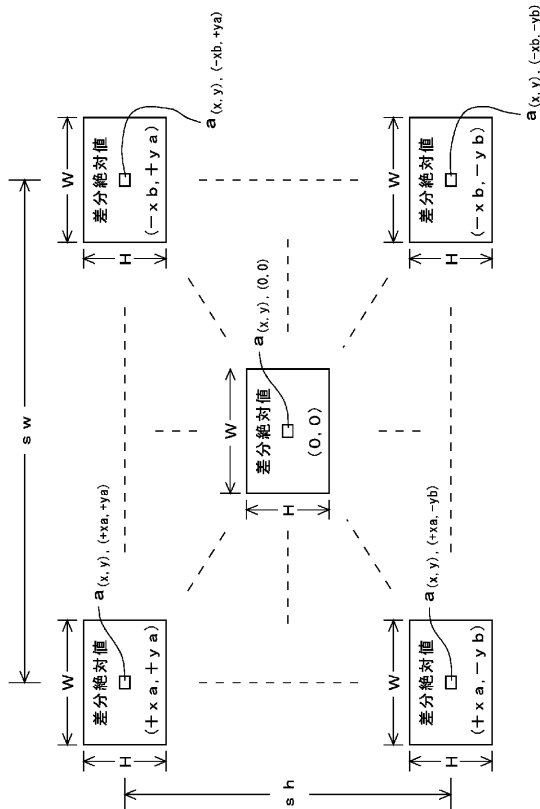
ビット線電荷総量と出力値との関係
(減算の場合、絶対値変換あり)

【図 12】

ビット線電荷総量と出力値との関係
(減算の場合、絶対値変換なし)

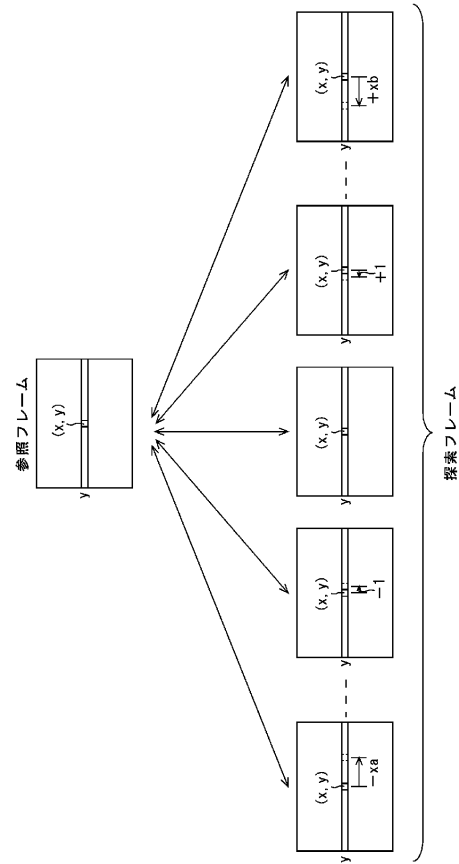
【 図 1 3 】

生成される差分絶対値



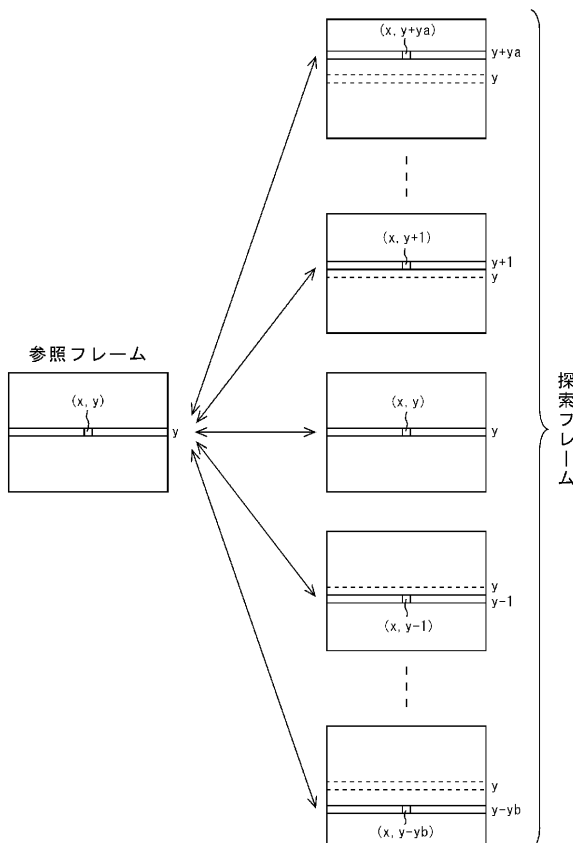
【 図 1 4 】

差分計算処理



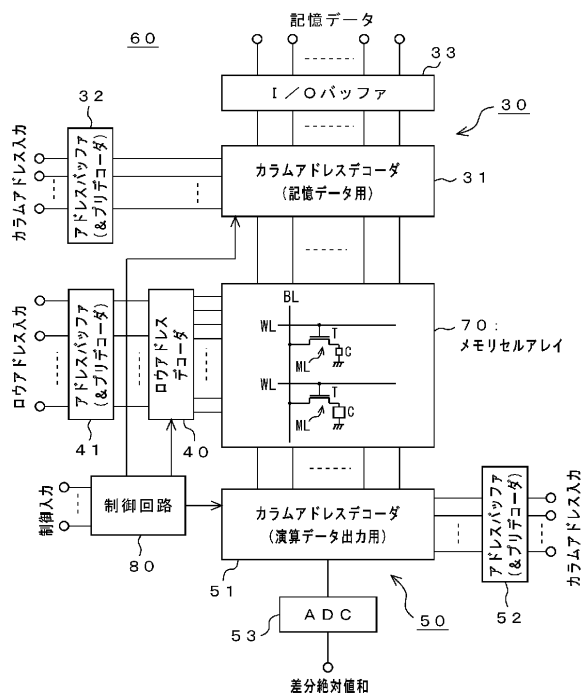
【 図 1 5 】

差分計算処理



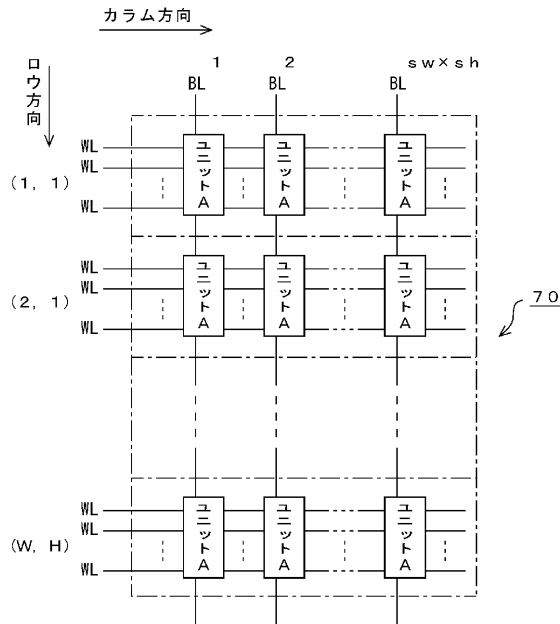
【 図 1 6 】

メモリブロックの構成例



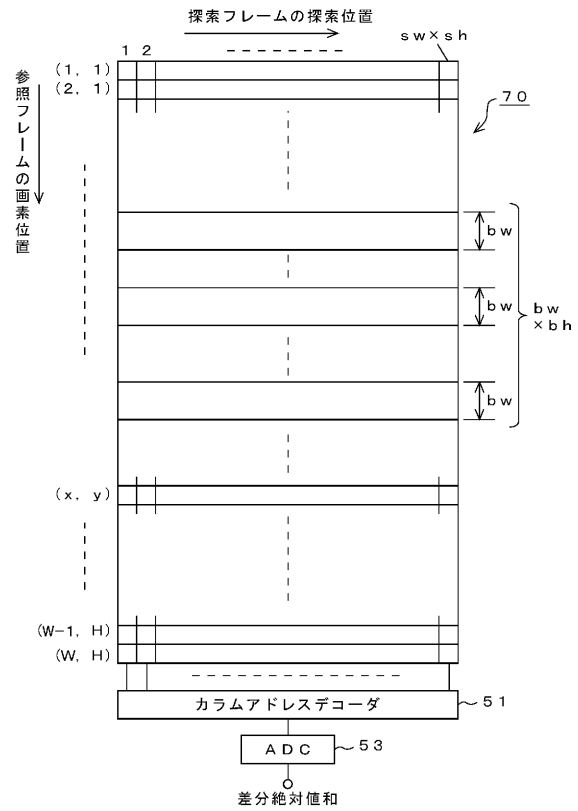
【 図 1 7 】

メモリセルアレイの構成



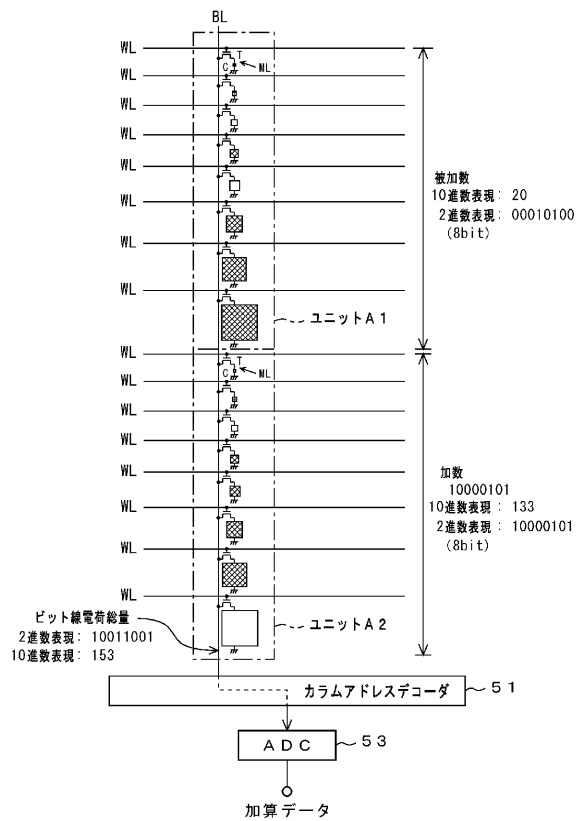
【 図 1 8 】

メモリセルアレイの構成



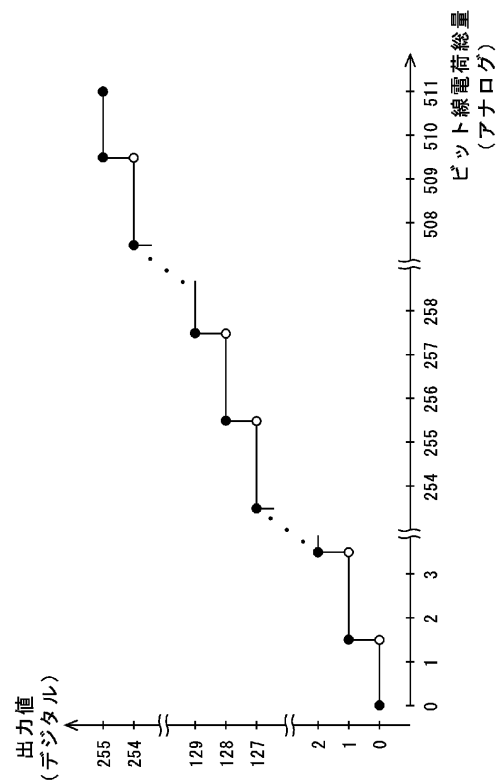
【 図 1 9 】

加算演算の具体例



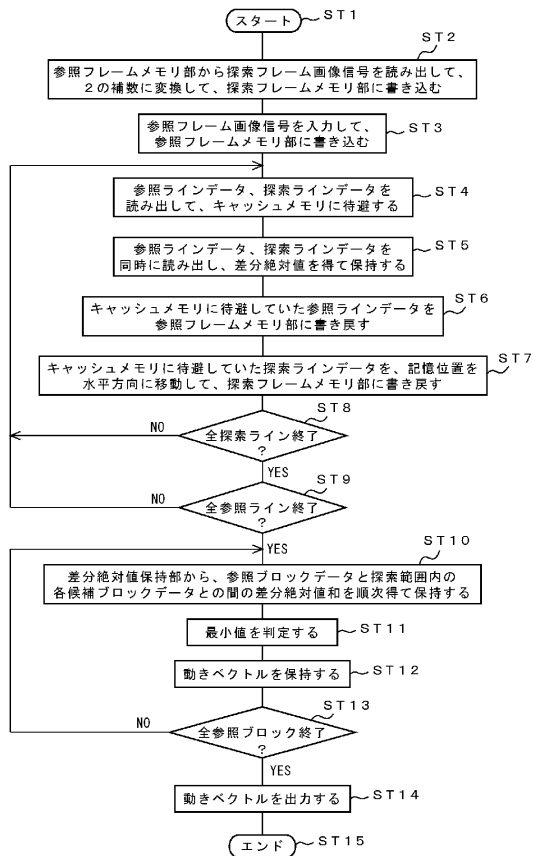
【 図 2 0 】

ビット線電荷総量と出力値との関係
(加算の場合)



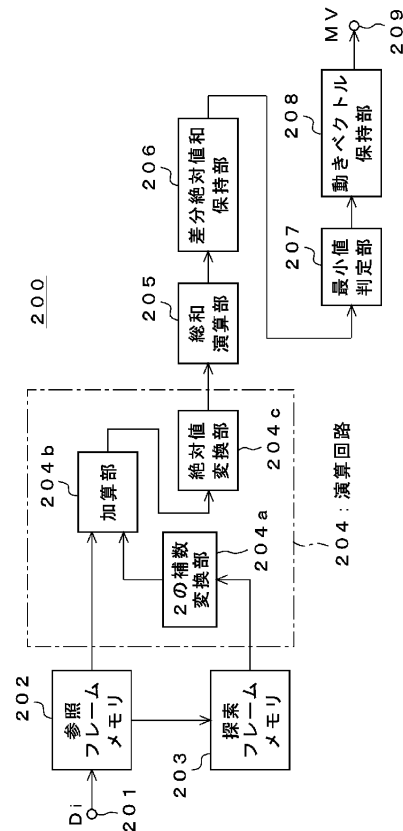
【図 2 1】

動きベクトル検出の処理



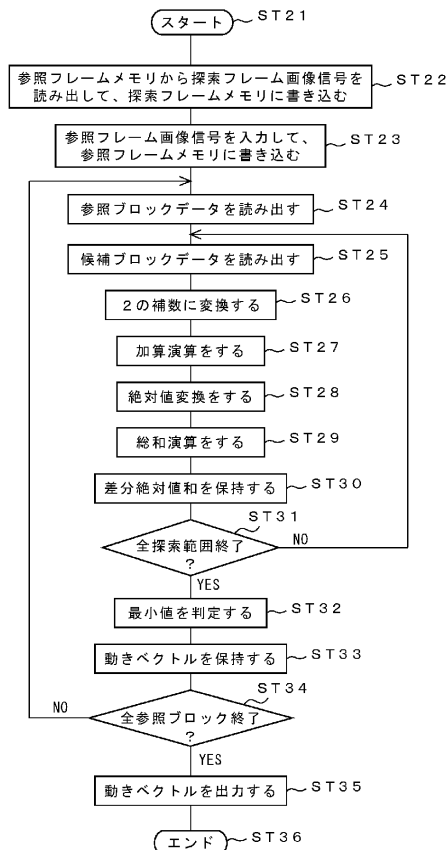
【図 2 2】

動きベクトル検出回路



【図 2 3】

動きベクトル検出の処理



フロントページの続き

(72)発明者 新妻 渉
東京都品川区北品川6丁目7番35号 ソニー株式会社内

審査官 横田 有光

(56)参考文献 特開2000-035878(JP,A)
特開平07-203457(JP,A)
特開2000-333183(JP,A)
特開平09-244875(JP,A)
特開平11-177892(JP,A)

(58)調査した分野(Int.Cl., DB名)
H04N7/24-7/68
G06T7/20
G06E1/00-1/06
G06F7/38-7/537
G11C11/34
G11C11/56