

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 11 月 3 日(03.11.2016)



(10) 国際公開番号
WO 2016/175096 A1

- (51) 国際特許分類:
C30B 23/08 (2006.01) *C23C 14/58* (2006.01)
C23C 14/06 (2006.01) *C30B 1/04* (2006.01)
C23C 14/34 (2006.01)
- (21) 国際出願番号: PCT/JP2016/062478
- (22) 国際出願日: 2016 年 4 月 20 日(20.04.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-089930 2015 年 4 月 27 日(27.04.2015) JP
- (71) 出願人: 国立研究開発法人物質・材料研究機構
(NATIONAL INSTITUTE FOR MATERIALS SCIENCE) [JP/JP]; 〒3050047 茨城県つくば市千現一丁目 2 番地 1 Ibaraki (JP). 株式会社コメット
(COMET, INC.) [JP/JP]; 〒3002635 茨城県つくば市東光台五丁目 9 番地 5 Ibaraki (JP).
- (72) 発明者: 石橋 啓次(ISHIBASHI, Keiji); 〒3002635 茨城県つくば市東光台五丁目 9 番地 5 株式会社コメット内 Ibaraki (JP). 高橋 健一郎(TAKAHASHI, Kenichiro); 〒3002635 茨城県つくば市東光

台五丁目 9 番地 5 株式会社コメット内 Ibaraki (JP). 鈴木 摂(SUZUKI, Setsu); 〒3002635 茨城県つくば市東光台五丁目 9 番地 5 株式会社コメット内 Ibaraki (JP). 知京 豊裕(CHIKYO, Toyohiro); 〒3050047 茨城県つくば市千現一丁目 2 番地 1 国立研究開発法人物質・材料研究機構内 Ibaraki (JP).

(74) 代理人: 玉村 静世, 外(TAMAMURA, Shizuyo et al.); 〒1010052 東京都千代田区神田小川町 1 丁目 1 番地 山城ビル 901 号 Tokyo (JP).

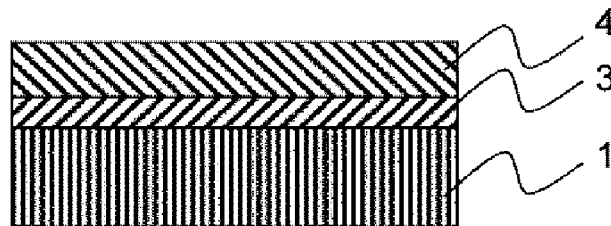
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: MANUFACTURING METHOD AND MANUFACTURING DEVICE OF TEMPLATE SUBSTRATE

(54) 発明の名称: テンプレート基板の作製方法および作製装置

図1



(57) Abstract: The purpose of the present invention is to stably and continuously manufacture template substrates with good reproducibility by sputtering, the template substrates being metal sulfide thin films epitaxially grown on an Si(100) single crystal substrate. A barrier film 2 of metal sulfide is formed on an Si(100) single crystal substrate 1 by sputtering using a target having the composition of the metal sulfide. Then, the Si(100) single crystal substrate 1 is heated and the formed barrier film 2 is crystallized by solid phase epitaxial growth to be transformed into a barrier film 3. With the Si(100) single crystal substrate 1 kept heated, an epitaxial film 4 of the metal sulfide is epitaxially grown on the crystallized barrier film 3 by sputtering using the target having the composition of the metal sulfide.

(57) 要約: Si (100) 単結晶基板上に金属硫化物薄膜をエピタキシャル成長させたテンプレート基板をスパッタリング法により再現性良く安定に連続して作製する。金属硫化物の組成を有するターゲットを用いたスパッタリング法により、Si (100) 単結晶基板 1 上に前記金属硫化物のバリア膜 2 を成膜する。その後、Si (100) 単結晶基板 1 を加熱して、成膜された前記バリア膜 2 を固相エピタキシャル成長により結晶化したバリア膜 3 に変化させる。Si (100) 単結晶基板 1 を加熱保持した状態で、前記金属硫化物の組成を有するターゲットを用いたスパッタリング法により、結晶化したバリア膜 3 上に、前記金属硫化物のエピタキシャル膜 4 をエピタキシャル成長させる。



WO 2016/175096 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： テンプレート基板の作製方法および作製装置

技術分野

[0001] 本発明は高輝度青色系発光素子（発光ダイオードおよび半導体レーザ）、絶縁ゲート型電界効果トランジスタ（MISFET: Metal Insulator Semiconductor Field Effect Transistor）、高電子移動度トランジスタ（HEMT: High Electron Mobility Transistor）、その他の電子デバイスに用いて好適なテンプレート基板の作製方法及び作製装置に関する。

背景技術

[0002] 窒化物や酸化物、硫化物は多様な物性を示す。それらは多結晶体であっても有用な機能性材料ではあるが、単結晶であるとより高性能になったり、単結晶にすることで発現する特性もある。これら材料を薄膜素子に応用する場合も単結晶的な薄膜を形成することにより、多結晶薄膜では得られない高性能・高機能素子を形成することが可能である。

[0003] 例えば窒化ガリウム（GaN）薄膜を用いた高輝度青色系発光素子や窒化アルミニウム／窒化ガリウム（AlN／GaN）薄膜を用いたMISFETや窒化アルミニウムガリウム／窒化ガリウム（AlGaN／GaN）薄膜を用いたHEMTなど、窒化物薄膜を用いた素子は数多く提案され実現されているが、窒化物薄膜は格子欠陥や粒界の少ない単結晶的な薄膜でないとキャリアの移動度が下がったり、発光層の発光効率や薄膜素子の寿命が悪くなってしまう。

[0004] これら単結晶的な薄膜は、単結晶基板を用いて、エピタキシャル成長させるのが一般的である。GaN系の場合、単結晶サファイア基板上に有機金属気相成長法（MOCVD: Metal Organic Chemical Vapor Deposition Method）やガスソースMBE

法 (Molecular Beam Epitaxial Method ; 分子線エピタキシャル法) の手段で形成する報告や、炭化シリコン (SiC) 基板の上に減圧式有機金属気相成長法により形成する報告などがある。酸化物系では単結晶チタン酸ストロンチウム (SrTiO_3 : STO) や単結晶ランタンアルミネート (LaAlO_3 : LAO) や単結晶サファイア基板上などにスパッタリング法やPLD法 (Pulsed Laser Deposition ; パルスレーザ堆積法) などによりエピタキシャル薄膜が得られている。

- [0005] しかしながら、これらサファイア基板、SiC基板、単結晶STO基板、単結晶LAO基板などは高価であるため、汎用的なSi基板上、特に最も使用されるSi(100)基板上に形成することが望ましい。また、Siデバイスとの融合の観点からも、Si上に機能性薄膜をエピタキシャル成長させることが望まれる。ところが、Si単結晶基板の上に直接イオン結合性の薄膜をエピタキシャル成長させるのは困難である。その理由としては、Siは共有結合性の結晶であり、Siと数%格子定数が違う材料は基板にコヒーレント (pseudomorphic) に成長せず、格子欠陥が入ってしまうということが考えられる。
- [0006] Si単結晶基板上に薄膜を形成する方法として、バッファ層を介する方法がある。よく用いられるのは、酸化セリウム (CeO_2) , 酸化イットリウム (Y_2O_3) , 酸化ジルコニウム (ZrO_2) のようなSiより酸化されやすい金属の酸化物を形成し非晶質の酸化シリコン (SiO_2) の生成を防ぐ方法である。しかし、Si表面が酸化してしまうことは避けられず、 SiO_2 上に形成されたバッファ層の膜質はあまり良くないという問題がある。また窒化チタン (TiN) や窒化タンタル (TaN) を用いたバッファ層も窒化シリコン (SiN_x) を形成し良くない。
- [0007] これに対し、バッファ層に金属硫化物薄膜を用いる方法が提案されている (特許文献1参照)。特許文献1によると、Siの硫化物をつくる生成ギブズエネルギーは比較的小さく、Siと格子定数が近い場合、バッファ層/Si

界面にアモルファス層を形成せずに硫化物をエピタキシャル成長させることが可能となる。特許文献1においてS i よりも硫化物をつくる生成ギブズエネルギーが大きい元素には、A l , B a , B e , C a , C e , I n , L a , L i , M g , M n , M o , N a , S r , T a , Z r があり、それらの単独か、それらの組合せの硫化物を用いることにより、S i 界面反応を抑えることが可能であるとの開示があり、その金属硫化物層をバッファ層とした酸化物薄膜素子およびその製造方法が提案されている。また、硫化カドミウム (C d S) や硫化亜鉛 (Z n S) もS i より硫化物をつくる生成ギブズエネルギーが大きい。さらに、Z n S以外の硫化物薄膜でもS i 基板上にエピタキシャル成長し、その上に酸化物以外でもイオン結晶をエピタキシャル成長させることが可能であることが見出され、S i 基板直上に金属硫化物のエピタキシャル薄膜を形成した薄膜素子、該エピタキシャル薄膜を成膜する薄膜素子の製造方法が提案されている（特許文献2および特許文献3参照）。

先行技術文献

特許文献

[0008] 特許文献1：特開平2002-3297号公報

特許文献2：特開平2004-111883号公報

特許文献3：特開平2006-344982号公報

発明の概要

発明が解決しようとする課題

[0009] 前記特許文献2および特許文献3では、P L D法によるS i (100)基板上への金属硫化物のエピタキシャル薄膜形成が開示されているが、P L D法は大面積基板への成膜が難しく、量産性に問題がある。このP L D法に対してスパッタリング法は、大面積基板への成膜が容易な量産性に優れた薄膜形成法である。前記特許文献1では、このスパッタリング法によるS i 基板上への金属硫化物のエピタキシャル薄膜形成が開示されている。該特許文献1では、R C A洗浄したS i 基板をスパッタリング成膜装置のチャンバーに

入れ、850℃に加熱後、600℃に下げて金属硫化物薄膜がエピタキシャル成長される。

[0010] しかしながら、本発明者らが上記特許文献1記載の方法によりSi基板上に金属硫化物の薄膜を形成したところ、同じチャンバーで複数のSi基板へのスパッタリング成膜を順次繰り返すと、成膜された金属硫化物薄膜の結晶性が徐々に悪化し、エピタキシャル成長できなくなる状態に至ることがわかった。このように、従来技術は再現性及び生産性（量産性）に問題があることが判明した。

[0011] このような問題を鑑み、本発明の目的は、Si（100）単結晶基板上に金属硫化物薄膜をエピタキシャル成長させたテンプレート基板をスパッタリング法により再現性良く安定に連続して作製できる方法、および装置を提供することである。

[0012] このような課題を解決するための手段を以下に説明するが、その他の課題と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

課題を解決するための手段

[0013] 本発明は、Si（100）単結晶基板上に金属硫化物のエピタキシャル膜が積層されたテンプレート基板の作製方法であって、以下の第1～第3の工程を含む。

[0014] 第1の工程では、金属硫化物の組成を有するターゲットを用いたスパッタリング法により、Si（100）単結晶基板上に前記金属硫化物のバリア膜を成膜する。第2の工程では、Si（100）単結晶基板を加熱して、第1の工程で成膜された前記バリア膜を固相エピタキシャル成長により結晶化したバリア膜に変化させる。第3の工程では、前記金属硫化物の組成を有するターゲットを用いたスパッタリング法により、第2の工程で結晶化したバリア膜上に、前記金属硫化物のエピタキシャル膜をエピタキシャル成長させる。

[0015] Si（100）単結晶基板の温度は、第1の工程においては90℃以下に抑え、第2の工程では500℃以上1000℃以下に加熱するのが好適であ

る。

[0016] また、他の発明は、Si(100)単結晶基板上に金属硫化物のエピタキシャル膜が積層されたテンプレート基板の作製装置であって、第1及び第2の成膜処理室と搬送室とを備える。

[0017] 第1の成膜処理室では、Si(100)単結晶基板上に金属硫化物をターゲットとしてSi(100)単結晶基板上に、前記金属硫化物のバリア膜をスパッタリング成膜する。第1の成膜処理室でバリア膜を成膜したSi(100)単結晶基板を、搬送室を介して第2の成膜処理室に搬送する。第2の成膜処理室では、第1の成膜処理室でバリア膜を成膜したSi(100)単結晶基板を加熱保持した状態で、前記金属硫化物のターゲットと同一組成のターゲットを用いて前記金属硫化物のエピタキシャル薄膜をスパッタリング成膜する。

[0018] Si(100)単結晶基板の温度は、第1の成膜処理室では90℃以下に抑え、第2の成膜処理室では500℃以上1000℃以下に加熱するのが好適である。

発明の効果

[0019] 上記本発明によって得られる効果を簡単に説明すれば下記のとおりである。

[0020] すなわち、Si(100)単結晶基板上に金属硫化物薄膜をエピタキシャル成長させたテンプレート基板をスパッタリング法により再現性良く安定に連続して作製することができる。

図面の簡単な説明

[0021] [図1]図1は、本発明に係るテンプレート基板の構成例を示す模式図である。

[図2]図2は、本発明に係るテンプレート基板の作製装置の構成例を模式的に示す平面図である。

[図3]図3は、第1の工程の模式的な説明図である。

[図4]図4は、第2の工程の模式的な説明図である。

[図5]図5は、第3の工程の模式的な説明図である。

[図6]図6は、第1の工程のMnS層の膜厚を変えた実験の結果を示す説明図である。

[図7]図7は、第1の工程の基板温度を変えた実験の結果を示す説明図である。

[図8]図8は、第2～第3の工程の基板温度を変えた実験の結果を示す説明図である。

[図9]図9は、良好なエピタキシャル膜が成膜された場合の2次元検出器を用いたXRD測定結果（2次元イメージ）を示す図である。

[図10]図10は、結晶性が若干悪いエピタキシャル膜が成膜された場合の2次元検出器を用いたXRD測定結果（2次元イメージ）を示す図である。

[図11]図11は、多結晶膜が成膜された場合の2次元検出器を用いたXRD測定結果（2次元イメージ）を示す図である。

発明を実施するための形態

[0022] 1. 実施の形態の概要

先ず、本願において開示される代表的な実施の形態について概要を説明する。

[0023] 本発明者らは、上述のように、スパッタリング法によるSi基板上への金属硫化物薄膜のエピタキシャル成長において、同じチャンバーでの複数のSi基板へのスパッタリング成膜を順次繰り返した際に、成膜された金属硫化物薄膜の結晶性が徐々に悪化し、エピタキシャル成長できなくなる状態に至ることを見出した。このような、エピタキシャル成長できなくなる再現性の問題の原因について検討した結果、以下の結論を得た。即ち、スパッタリング成膜を繰り返し行くとチャンバー内壁にも金属硫化物膜が付着し、成膜前に行われる基板加熱時にチャンバー内壁が基板加熱の輻射により同時に加熱され、内壁に付着した金属硫化物膜から蒸気圧の高い硫黄が放出され、その硫黄が加熱中のSi基板表面にダメージを与えるためと推断した。

[0024] 本発明者らによる更なる検討の結果、Si単結晶基板上に低温で形成した非晶質の金属硫化物薄膜が、その後の加熱中にSi基板表面にダメージを与

えると推断される硫黄に対するバリア膜となり、加えて、基板加熱中に固相エピタキシャル成長することを見出した。このとき、Si基板表面への硫黄のダメージが90℃よりも高い温度で現れることを見出し、前記バリア膜となる非晶質の金属硫化物薄膜の成膜は90℃以下でなければならないこと、また非晶質の金属硫化物薄膜がその後の加熱中に固相エピタキシャル成長できる膜厚が10nm以下であることを見出した。ここで、バリア膜として機能する金属硫化物薄膜は、膜厚が薄いためにその結晶性を正確に観測することは容易ではないが、形成される時の基板温度が90℃以下であることから、非晶質であることが強く推認される。しかし、仮に非晶質ではなく、多結晶であっても、バリア膜としての保護機能を有することには変わりはなく、その後の加熱によって固相エピタキシャル成長する限りにおいては、本発明の解決原理に、何らの変更を求めるものでもない。

[0025] よって、本発明の代表的な実施の形態は、以下の通りである。代表的な実施の形態についての概要説明で括弧を付して参照する図面中の参照符号はそれが付された構成要素の概念に含まれるものを例示するに過ぎない。

[0026] 本発明の代表的な実施の形態は、シリコン（Si）（100）単結晶基板（1）上に金属硫化物のエピタキシャル膜（3、4）が積層されたテンプレート基板の作製方法であって、以下の第1～第3の工程を含む、テンプレート基板の作製方法である。

[0027] 第1の工程は、金属硫化物の組成を有するターゲット（6）を用いたスパッタリング法により、Si（100）単結晶基板（1）上に前記金属硫化物のバリア膜（2）を成膜する工程である。第2の工程は、Si（100）単結晶基板（1）を加熱して、前記第1の工程で成膜されたバリア膜（2）を固相エピタキシャル成長により結晶化する工程である。結晶化されたバリア膜は、符号「3」により参照する。第3の工程は、前記金属硫化物の組成を有するターゲット（6）を用いたスパッタリング法により、前記第2の工程で結晶化したバリア膜（3）上に、前記金属硫化物のエピタキシャル膜（4）をエピタキシャル成長させる工程である。

- [0028] これにより、S i (1 0 0) 単結晶基板上に金属硫化物薄膜をエピタキシャル成長させたテンプレート基板をスパッタリング法により再現性良く安定に連続して作製することができる。
- [0029] ここで、より好適な実施の形態は、以下の通りである。
- [0030] 第 1 の工程において、S i (1 0 0) 単結晶基板 (1) を 9 0 ° C 以下に保持する。このときに成膜されるバリア膜 (2) は非晶質である。ここで、基板温度の下限については特に制限されず例えば常温 (室温) とされ、上限は実験的に求められる。
- [0031] 第 2 の工程において、S i (1 0 0) 単結晶基板 (1) を 5 0 0 ° C 以上 1 0 0 0 ° C 以下に加熱する。ここで、基板温度の下限と上限は実験的に求められる。
- [0032] 第 1 の工程で成膜されるバリア膜 (2) の膜厚は、0 . 5 n m 以上 1 0 n m 以下が好適である。ここで、下限の 0 . 5 n m は、前記金属硫化物が結晶化したときの格子定数に相当し、概ね 2 原子層とされ、上限は実験的に求められる。
- [0033] 前記金属硫化物は、好適には、硫化マンガン (M n S) , 硫化マグネシウム (M g S) または硫化カルシウム (C a S) である。
- [0034] 同じチャンバーでの複数の S i 基板へのスパッタリング成膜を順次繰り返すことによって、高い量産性で、S i 基板上への金属硫化物薄膜のエピタキシャル成長を連続して行うときに、当該チャンバーにおける基板温度を、エピタキシャル成長を可能とする高温 (好適には上記 5 0 0 ° C 以上 1 0 0 0 ° C 以下) に保持するのが好適である。本発明者らは、このとき、バリア層を有さない S i (1 0 0) 単結晶基板が、当該チャンバーに導入されると、当該チャンバー内の硫黄が S i (1 0 0) 単結晶基板にダメージを与えるという問題があることに気付いた。しかしながら、当該チャンバーにおける基板温度を 9 0 ° C 以下に下げて、上記第 1 の工程によりバリア層を形成した上で、基板温度を高温 (例えば上記 5 0 0 ° C 以上 1 0 0 0 ° C 以下) に上昇させた後に、金属硫化物薄膜のエピタキシャル成長を行うとすると、基板温度を下げ

る時間、上昇させる時間、及び安定させる時間を要するため、スループットが著しく低下することがわかった。

[0035] よって、本発明の別の代表的な実施の形態は、第1及び第2の成膜処理室（12、13）と搬送室（10）とを備える、テンプレート基板の作製装置であって、以下のように構成される。

[0036] 第1の成膜処理室（12）では、Si（100）単結晶基板（1）上に金属硫化物をターゲット（6）として前記Si（100）単結晶基板上（1）に、前記金属硫化物のバリア膜（2）をスパッタリング成膜する。

[0037] 第2の成膜処理室（13）では、第1の成膜処理室で前記バリア膜（2）を成膜した前記Si（100）単結晶基板（1）を加熱して、成膜された前記バリア膜（2）を固相エピタキシャル成長により結晶化し、前記Si（100）単結晶基板（1）を加熱した状態を保持して、前記金属硫化物のターゲットと同一組成のターゲット（6）を用いて前記金属硫化物のエピタキシャル膜（4）をスパッタリング成膜する。

[0038] 搬送室（10）は、前記第1の成膜処理室（12）で前記バリア膜（2）を成膜した前記Si（100）単結晶基板（1）を前記第2の成膜処理室（13）に搬送するためのスペースである。

[0039] これにより、Si（100）単結晶基板上に金属硫化物薄膜をエピタキシャル成長させたテンプレート基板をスパッタリング法により再現性良く安定に連続して作製するときに、高いスループットを保つことができる。

[0040] ここで、より好適な実施の形態は、以下の通りである。

[0041] 第1の成膜処理室（12）において、前記スパッタリング成膜を行うまでの前記Si（100）単結晶基板（1）を90℃以下に保持する。このとき、前記第1の成膜処理室で成膜されるバリア膜は、非晶質である。第1の成膜処理室（12）における前記スパッタリング成膜は、上述の第1の工程に対応し、同様に、基板温度の下限については特に制限されず例えば常温（室温）とされ、上限は実験的に求められる。

[0042] また、バリア膜（2）の膜厚は、0.5nm以上10nm以下が好適であ

る。ここでのバリア膜（２）の好適な範囲も、上述と同様に規定される。

[0043] 第２の成膜処理室（１３）では、前記Ｓｉ（１００）単結晶基板（１）を５００℃以上１０００℃以下に加熱保持する。ここで、Ｓｉ（１００）単結晶基板（１）が第２の成膜処理室（１３）に搬送され、基板温度が加熱されたときに、上述の第２の工程に対応して、バリア膜（２）を固相エピタキシャル成長により結晶化し、その後のスパッタリングによって、前記金属硫化物のエピタキシャル膜（４）が成膜される工程が、上述の第３の工程に対応する。このときの、基板温度の下限と上限は、上述と同様に実験的に求められる。

[0044] また、前記金属硫化物は、好適には、ＭｎＳ，ＭｇＳまたはＣａＳである。

[0045] より好適なテンプレート基板の作製装置において、搬送室（１０）は基板搬送用のロボット（３０）を備え、さらにロードロック室（１１）を備えてマルチチャンバーシステムに対応する。

[0046] 本発明によって奏せられる効果について総括すると以下の通りである。

[0047] 本発明では、Ｓｉ（１００）単結晶基板（１）を９０℃以下に保持して金属硫化物ターゲット（６）をスパッタリングして金属硫化物を成膜する第１の工程により、前記Ｓｉ（１００）単結晶基板（１）上にバリア膜（２）が形成される。このとき前記Ｓｉ（１００）単結晶基板（１）を低温（例えば９０℃以下）に保持しているため、チャンバー（９）内壁から放出される硫黄によるＳｉ基板（１）表面にダメージを与えられることがない。この第１の工程で形成されるバリア膜（２）は、次の第２の工程で前記Ｓｉ（１００）単結晶基板（１）を高温（例えば５００℃以上１０００℃以下）に加熱保持する際に、チャンバー内壁から放出される硫黄によるＳｉ基板表面へのダメージに対する表面保護膜として機能する。また、第１の工程で形成された非晶質の金属硫化物薄膜は、この第２の工程で前記Ｓｉ（１００）単結晶基板が５００℃以上１０００℃以下に加熱保持されるので、固相エピタキシャル成長する。第２の工程に続く第３の工程では、Ｓｉ（１００）単結晶基板

を同じく高温（例えば500℃以上1000℃以下）に加熱保持した状態で、固相エピタキシャル成長した第1の工程の金属硫化物薄膜（3）の上に、前記金属硫化物ターゲット（6）（または金属硫化物ターゲット（6__1）と同じ組成の金属硫化物ターゲット（6__2））をスパッタリングして金属硫化物薄膜（4）を堆積するので、第3の工程の金属硫化物薄膜（4）はエピタキシャル成長する。

[0048] 以上のようにスパッタリング法によるSi基板上への金属硫化物薄膜のエピタキシャル成長において、スパッタリング成膜を連続して繰り返した際にエピタキシャル成長できなくなる再現性の問題を解決でき、Si（100）単結晶基板上に金属硫化物薄膜をエピタキシャル成長させたテンプレート基板をスパッタリング法により再現性良く安定に連続して作製することが可能となる。

[0049] さらに、本発明では、第1の工程で形成する金属硫化物薄膜の膜厚を10nm以下とすることで、第2の工程における加熱保持の際に第1の工程で形成した金属硫化物薄膜が固相エピタキシャル成長可能となる。

[0050] さらに、本発明では、前記金属硫化物薄膜をSiの格子定数0.543nmに近い格子定数を有するMnS（0.5209nm）、MgS（0.5607nm）またはCaS（0.56836nm）のいずれかとするのでSi（100）単結晶基板上にエピタキシャル成長させることができ、テンプレート基板が作製可能となる。

[0051] 本発明では、基板搬送用のロボット（30）を備えている搬送室（10）の周囲に複数の独立した成膜処理室（12、13）とロードロック室（11）とが備えられているマルチチャンバーシステムに対応するテンプレート基板の作製装置であって、Si（100）単結晶基板（1）上に金属硫化物をターゲット（6__1）として前記Si（100）単結晶基板の温度を90℃以下に保持した状態で前記金属硫化物の薄膜をスパッタリング成膜する第1の成膜処理室（12）と、前記第1の成膜処理室で前記金属硫化物薄膜を成膜した前記Si（100）単結晶基板（1）を500℃以上1000℃以下

に加熱保持した状態で前記金属硫化物のターゲットと同一組成のターゲット（6__2）を用いて前記金属硫化物薄膜をスパッタリング成膜する第2の成膜処理室（13）とをそれぞれ少なくとも1室ずつ有する構成とする。本発明の構成とすることにより、前記第1の工程を第1の成膜処理室で行い、前記第2～第3の工程を第2の処理室で行うことにより、それぞれ個別の処理室で行うことができ、第1の工程と第2～第3の工程を同一成膜処理室で行った場合に必要な基板を加熱保持する機構の加熱と冷却の時間を省くことができ、Si（100）単結晶基板上に金属硫化物薄膜をエピタキシャル成長させたテンプレート基板をスパッタリング法により再現性良く安定に連続して作製できるとともに、スループットを高くすることができ生産性を向上させることができる。

[0052] 2. 実施の形態の詳細

実施の形態について更に詳述する。

[0053] [実施例1]

図1は、本発明に係るテンプレート基板の構成例を示す模式図である。Si（100）単結晶基板上に金属硫化物であるMnS薄膜をエピタキシャル成長させたテンプレート基板を示す。1はSi（100）単結晶基板、3は第1の工程で成膜され第2の工程で固相エピタキシャルさせて作製したMnS層、4は第3の工程でスパッタリング法により作成したMnS層である。

[0054] 実施例1におけるテンプレート基板の作製方法について、詳しく説明する。

[0055] まずSi（100）単結晶基板1の表面の自然酸化膜を弗酸（弗化水素（HF；Hydrogen Fluoride）水溶液）で除去し、水洗をせずに表面を水素終端した状態でスパッタリング成膜を行う成膜処理室に入れ、 5×10^{-6} Paまで真空排気した。次に、このSi（100）単結晶基板1上に第1の工程でMnS層2を2nmスパッタリング成膜した。第1の工程のスパッタリング成膜条件は、以下の通りである。

[0056] 成膜方式： 斜め回転スパッタリング

スパッタリング方式： R F マグネトロンスパッタリング

基板温度： 5 0 ° C 以下（無加熱）

スパッタリングガス： アルゴン（A r）

スパッタリング圧力： 2 P a

ターゲット： M n S

スパッタリング電力： R F 1 5 0 W

ターゲットー基板間距離： 1 4 0 m m

前記第 1 の工程で M n S 層 2 を成膜した後、成膜を一旦止めて基板温度を 7 0 0 ° C まで加熱した（第 2 の工程）。この第 2 の工程で M n S 層 2 は固相エピタキシャル成長すると考えられる。次に基板温度以外を前記第 1 の工程と同じスパッタリング成膜条件とした第 3 の工程で M n S 層 4 を 5 0 n m 成膜した。

[0057] 図 9 は前記実施例 1 のテンプレート基板の 2 次元検出器を用いた X 線回折（X R D : X - R a y D i f f r a c t i o n）測定結果（2 次元イメージ）を示す図である。2 θ = 3 4 . 4 ° に M n S（2 0 0）の χ 方向に輝線のない輝点が観察され、S i（1 0 0）単結晶基板 1 上に M n S 層 3 および M n S 層 4 が単結晶エピタキシャル成長していることを示している。

[0058] 前記実施例によれば、繰り返し何度スパッタリング成膜を行っても図 9 に示す X R D 測定結果が得られ、S i（1 0 0）単結晶基板上に M n S 薄膜をエピタキシャル成長させたテンプレート基板を再現性良く安定に作製することができた。

[0059] 本実施例 1 では、基板温度以外のスパッタリング成膜条件を、第 1 の工程と第 3 の工程との間で同条件としたが、それぞれの工程において最適化してもよい。

[0060] 〔実施例 2〕

図 2 は、本発明に係るテンプレート基板の作製装置の構成例を模式的に示す平面図である。本実施例 2 で例示するテンプレート基板の作製装置は、基板搬送用のロボットを備えている搬送室の周囲に複数の独立した成膜処理室

とロードロック室とが備えられているマルチチャンバーシステムに対応する。マルチチャンバーシステムは、基板搬送用ロボット30を備えた搬送室10と、その周囲にロードロック室11と、第1の成膜処理室12と、第2の成膜処理室13とがゲートバルブ21、22、23を介して備えられている。搬送室10、ロードロック室11、第1の成膜処理室12、および第2の成膜処理室13には真空ポンプ（図示せず）がそれぞれ接続されており、それら真空ポンプによって各室が真空排気されるようになっている。

[0061] 本テンプレート基板の作製装置を用いた処理手順を以下に説明する。図3、図4及び図5はそれぞれ、第1、第2及び第3の工程の模式的な説明図である。図3、図4及び図5において、6__1と6__2は前記金属硫化物のスパッタリングのターゲット、7__1と7__2は基板ホルダー、8__1と8__2はヒーター、9__1と9__2はチャンバーである。ヒーター8__1と8__2は、特に制限されないが例えば電熱線で、外部から電源が供給されることによって基板ホルダー7__1と7__2を介して基板をそれぞれ加熱することができる。チャンバー9__1と9__2内には、それぞれ高周波（RF：Radio Frequency）電極が設置され、外部から供給されるRF電力によって、スパッタリングガス（例えばAr）をプラズマ放電させる。チャンバー9の内部に設置されまたは外部に接続される、真空ポンプからなる排気装置の他、RF電極、スパッタリングガスの導入管とバルブ、真空ゲージ、基板温度計その他のセンサーなどは、図示が省略されている。

[0062] まずSi（100）単結晶基板1の表面の自然酸化膜をHFで除去し、水洗をせずに表面を水素終端した状態でロードロック室11内に導入して、真空ポンプによってロードロック室11内を真空排気する。ロードロック室11を所望の圧力まで真空排気した後、ゲートバルブ21および22を介して基板搬送用ロボット30で前記Si（100）単結晶基板1をロードロック室11から第1の成膜処理室12へ搬送する。

[0063] 次に第1の成膜処理室12において、搬送されたSi（100）単結晶基板1の温度を90℃以下に保持した状態で、金属硫化物（例えばMnS）を

ターゲット6__1として前記Si(100)単結晶基板1上に金属硫化物の薄膜2をスパッタリング成膜する、すなわち第1の工程、例えば前記実施例1記載の第1の工程を行う。例えば図3に示すように、ヒーター8__1による基板加熱を行わず、Si(100)単結晶基板1の基板温度を低温に保ったままで、金属硫化物(例えばMnS)層2をスパッタリング成膜する。このとき、チャンバー9__1の内壁には、金属硫化物が付着する。複数毎のSi(100)単結晶基板1を順次搬送チャンバー9__1内に導入し、スパッタリング法による金属硫化物層2のスパッタリング成膜を行って搬出する工程を、繰り返し行ったときには、チャンバー9__1の内壁に付着する金属硫化物は増していく。しかし、Si(100)単結晶基板1を加熱しないため、チャンバー9__1の内壁の温度は上昇しない。このため、内壁から離脱して雰囲気中に放出される硫黄の量は少なく(ほとんどなく)、また、基板温度が低く抑えられているので、Si(100)単結晶基板1の清浄なSi表面が露出していても硫黄との反応は抑えられ、ダメージは発生しない。

[0064] 第1の成膜処理室12における第1の工程終了後、ゲートバルブ22および23を介して基板搬送用ロボット30で、第1の工程の成膜がなされたSi(100)単結晶基板1を、第1の成膜処理室12から第2の成膜処理室13へ搬送する。第2の成膜処理室13では、第1の工程の成膜がなされたSi(100)単結晶基板1を500℃以上1000℃以下に加熱保持した状態で前記金属硫化物のターゲットと同一組成のターゲット6__2を用いて前記金属硫化物薄膜をスパッタリング成膜する。すなわちSi(100)単結晶基板1を高温に加熱する第2の工程、例えば前記実施例1記載の第2の工程と、高温に加熱保持されたSi(100)単結晶基板1にスパッタリング成膜する第3の工程、例えば前記実施例1記載の第3の工程とを行う。例えば図4に示すように、第1の工程の成膜がなされたSi(100)単結晶基板1を、ヒーター8__2によって500℃以上1000℃以下に加熱する。より具体的には、500℃以上1000℃以下に加熱保持されているホルダー7__2上に、第1の工程の成膜がなされたSi(100)単結晶基板1

を搬送して載置することにより、基板温度がホルダー 7__2 の温度に向かって上昇し、その過程で第 1 の工程で成膜された金属硫化物薄膜 2 が固相エピタキシャル成長して金属硫化物膜 3 に変化する（第 2 の工程）。その後、例えば図 5 に示すように、S i（1 0 0）単結晶基板 1 の基板温度を高温に保ったままで、金属硫化物膜 3 上に金属硫化物（例えば M n S）層 4 をスパッタリング成膜する（第 3 の工程）。このとき、チャンバー 9__2 の内壁には、金属硫化物が付着する。複数毎の S i（1 0 0）単結晶基板 1 を順次搬送してチャンバー 9__2 内に導入し、スパッタリング法による金属硫化物層 4 のスパッタリング成膜を行って搬出する工程を、繰り返し行ったときには、チャンバー 9__2 の内壁に付着する金属硫化物は増していく。ヒーター 8__2 により基板ホルダー 7__2 の温度は高温に保たれているため、その輻射によってチャンバー 9__2 の内壁は加熱され、蒸気圧の高い硫黄が内壁面から離脱して雰囲気中に放出されている。しかし、この雰囲気中に搬送導入される S i（1 0 0）単結晶基板 1 の表面には金属硫化物層 2 が成膜されているので、この金属硫化物層 2 が、雰囲気中の硫黄と S i（1 0 0）単結晶基板 1 の S i 表面との反応を妨げる、バリア膜として機能する。

[0065] 第 2 の成膜処理室 1 3 にて第 3 の工程の成膜がなされた S i（1 0 0）単結晶基板 1 は、ゲートバルブ 2 3 および 2 1 を介して第 2 の成膜処理室 1 3 からロードロック室 1 1 へ戻され、冷却後にロードロック室 1 1 をベントして取り出される。なお前記一連の処理工程で、ゲートバルブ 2 1、2 2、2 3 は各室の真空状態がお互いに影響しないように同時に開いた状態とならないように制御される。

[0066] 本実施例 2 では、第 1 の工程と第 2 及び第 3 の工程とをそれぞれ個別に第 1 の成膜処理室 1 2 と第 2 の成膜処理室 1 3 で行うので、第 2 の成膜処理室 1 3 の基板加熱機構（図 3 及び図 4 に示すヒーター 8__2）を加熱したままの状態とすることができ、第 1 の工程と第 2 及び第 3 の工程とを同一成膜処理室で行った場合に必要となる基板加熱機構の加熱と冷却の時間を省くことができる。

- [0067] 前記実施例2の第1の成膜処理室12および第2の成膜処理室13に取り付ける金属硫化物ターゲット6__1と6__2としては、MnSの他、MgS、CaSのいずれかを用いることができる。
- [0068] 前記実施例2では、ロードロック室11、第1の成膜処理室12および第2の成膜処理室13を各1室としているが、これに限るものではなく、各室を搬送室10の周囲にゲートバルブを介して複数配置することができる。例えば、ロードロック室を2室として、一つをロード専用、もう一つをアンロード専用としてもよく、一連の処理時間における排気・ベントの占める時間を短くすることができる。また第1の工程よりも処理時間が長くなる第2及び第3の工程を行う第2の成膜処理室13を複数配置してもよく、スループットが高くなり、生産性を向上させることができる。
- [0069] また、前記実施例では金属硫化物としてMnSについて示したが、MgSまたはCaSでも同様にSi(100)単結晶基板上にエピタキシャル成長でき、テンプレート基板を作製できる。
- [0070] 〔実施例3〕
- 第1の工程における金属硫化物膜2の膜厚と基板温度、及び、第2の工程における基板温度について、さらに詳しく検討する。図6、図7及び図8は、第1の工程の金属硫化物膜2の一例であるMnS層の膜厚を変えた実験の結果、第1の工程の基板温度を変えた実験の結果、及び、第2～第3の工程の基板温度を変えた実験の結果を、それぞれ示す説明図である。いずれも、第3の工程で金属硫化物(MnS)膜をスパッタリング法によって成膜した金属硫化物(MnS)膜の結晶性を評価した結果である。「○」印は良好なエピタキシャル膜が成膜されたことを表し、「△」印は結晶性が若干悪いエピタキシャル膜が成膜されたことを表し、「×」印は多結晶膜が成膜されたことを表す。
- [0071] 金属硫化物(MnS)膜の結晶性は、2次元検出器を用いたX線回折(XRD)で観測した結果に基づいて評価した。図9は、良好なエピタキシャル膜が成膜された場合の2次元検出器を用いたXRD測定結果(2次元イメー

ジ)を示す図である。入射X線の入射角 θ と等しい回折X線の強度を表す 2θ 方向に加え、それと垂直な面内の2次元の回折X線の強度を χ 方向として、2次元イメージで表したものである。

[0072] 図9は、良好なエピタキシャル膜が成膜された場合の2次元検出器を用いたXRD測定結果(2次元イメージ)を示す図である。 $2\theta = 34.4^\circ$ にMnS(200)の χ 方向に輝線のない輝点(スポット)が観察され、基板面に垂直方向および面内方向に軸が揃っていることがわかる。即ち、Si(100)単結晶基板1上にMnS層が単結晶エピタキシャル成長していること(上記「○」印に相当)を示している。

[0073] 図10は、結晶性が若干悪いエピタキシャル膜が成膜された場合の2次元検出器を用いたXRD測定結果(2次元イメージ)を示す図である。(100)配向はしているが、 χ 方向に輝線が延びており、面内方向の配向性が若干悪いことがわかる。即ち、成膜されたMnS層は、結晶性が若干悪いエピタキシャル膜であること(上記「△」印に相当)を示している。

[0074] 図11は、多結晶膜が成膜された場合の2次元検出器を用いたXRD測定結果(2次元イメージ)を示す図である。(100)配向はしているが、 χ 方向にリング状の輝線が観察され、面内方向の配向性がないことがわかる。即ち、成膜されたMnS層は多結晶膜であること(上記「×」印に相当)を示している。

[0075] 図6は、第1の工程のMnS層の膜厚を変えた実験の結果を示す説明図である。第1の工程のMnS層の膜厚を、1nm, 2nm, 5nm, 10nm, 15nm, 20nmと変化させ、第2～第3の工程まで行った上で成膜されたMnS膜の結晶性を、2次元検出器を用いたXRDを使って評価した結果をまとめたものである。第1の工程のMnS層の膜厚以外の条件は、上述の実施例1に示した条件と同じである。MnS層の膜厚が1nm, 2nm及び5nmでは、良好なエピタキシャル膜が成膜されている(「○」印)。膜厚が10nmでは、結晶性が若干悪いエピタキシャル膜であり(「△」印)、15nmと20nmでは多結晶膜である(「×」印)であることが観測さ

れた。

[0076] 図7は、第1の工程の基板温度を変えた実験の結果を示す説明図である。第1の工程においてMnS膜2をスパッタリング成膜する際の基板温度を、25℃、50℃、70℃、90℃、110℃と変化させ、第2～第3の工程まで行った上で成膜されたMnS膜の結晶性を、2次元検出器を用いたXRDを使って評価した結果をまとめたものである。第1の工程の基板温度以外の条件は、上述の実施例1に示した条件と同じである。基板温度が25℃、50℃及び70℃では、良好なエピタキシャル膜が成膜されている（「○」印）。基板温度が90℃では、結晶性が若干悪いエピタキシャル膜であり（「△」印）、110℃では多結晶膜である（「×」印）であることが観測された。

[0077] 図8は、第2～第3の工程の基板温度を変えた実験の結果を示す説明図である。実施例1に示した条件で第1の工程を行った後、第2～3の工程における基板温度を、400℃、500℃、700℃、900℃、1000℃、1100℃と変化させ、第2～第3の工程まで行った上で成膜されたMnS膜の結晶性を、2次元検出器を用いたXRDを使って評価した結果をまとめたものである。第1の工程の基板温度以外の条件は、上述の実施例1に示した条件と同じである。基板温度が700℃及び900℃では、良好なエピタキシャル膜が成膜されている（「○」印）。基板温度が500℃または1000℃では、結晶性が若干悪いエピタキシャル膜であり（「△」印）、400℃と1100℃では多結晶膜である（「×」印）であることが観測された。

[0078] 以上の実験結果から、前記実施例1及び2で示したスパッタリング条件は、これらに限られるものではなく、第1の工程の基板温度を90℃以下に保持すること、第1の工程のMnS層2の膜厚を10nm以下にすること、第2～第3の工程の基板温度を500℃以上1000℃以下に加熱保持するのが好適であることがわかる。さらには、第1の工程の基板温度を70℃以下に保持し、第1の工程のMnS層2の膜厚を5nm以下にし、第2～第3の

工程の基板温度を 700℃以上900℃以下に加熱保持するとより好適である。ここで、第1の工程の基板温度の下限は任意であるが、同じチャンバーで行われる別の工程で積極的に基板を冷却する必要があるなどの特別の理由がなければ、室温または単に基板を加熱しない（ヒーターをオフする）とすればよい。また、第1の工程のMnS層2は、バリア膜としての機能を果たし、かつ、第2の工程における上記基板温度によって結晶化する膜厚であればよいので、下限は金属硫化物の結晶の格子定数相当（2原子層に相当）である、0.5nm程度である。

[0079] 以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

[0080] 例えば、スパッタリング法をCVD法など他の成膜法に変更してもよい。第3の工程における金属硫化膜のエピタキシャル成膜のために、基板が高温に加熱されるより前に、バリア層が形成されており、そのバリア層が上記エピタキシャル成膜のための基板加熱によって結晶化すればよいからである。したがって、第1の工程または第3の工程の成膜法の一方だけをCVD法など他の成膜法に変更してもよい。

産業上の利用可能性

[0081] 本発明は、高輝度青色系発光素子、絶縁ゲート型電界効果トランジスタ、高電子移動度トランジスタ、その他の電子デバイスに用いて好適なテンプレート基板の作製方法及び作製装置などに広く適用することができる。

符号の説明

- [0082]
- | | |
|---|-----------------------------------|
| 1 | Si(100)単結晶基板 |
| 2 | 低温の基板温度でスパッタリング成膜したMnS層 |
| 3 | 固相エピタキシャル成長したMnS層 |
| 4 | 高温の基板温度でスパッタリング成膜したMnS層（エピタキシャル膜） |
| 6 | ターゲット |

- 7 基盤ホルダー
- 8 ヒーター
- 9 チャンバー
- 10 搬送室
- 11 ロードロック室
- 12 第1の成膜処理室
- 13 第2の成膜処理室
- 21、22、23 ゲートバルブ
- 30 基板搬送用ロボット

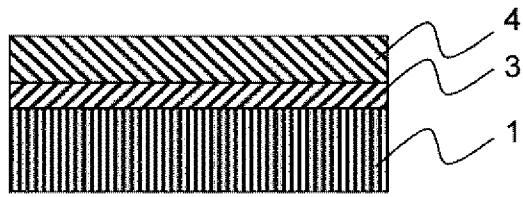
請求の範囲

- [請求項1] シリコン（S i）（1 0 0）単結晶基板上に金属硫化物のエピタキシャル膜が積層されたテンプレート基板の作製方法であって、
- 前記金属硫化物の組成を有するターゲットを用いたスパッタリング法により、前記S i（1 0 0）単結晶基板上に前記金属硫化物のバリア膜を成膜する第1の工程と、
- 前記S i（1 0 0）単結晶基板を加熱して、前記第1の工程で成膜された前記バリア膜を固相エピタキシャル成長により結晶化する第2の工程と、
- 前記金属硫化物の組成を有するターゲットを用いたスパッタリング法により、前記第2の工程で結晶化した前記バリア膜上に、前記金属硫化物のエピタキシャル膜をエピタキシャル成長させる第3の工程とを含むことを特徴とするテンプレート基板の作製方法。
- [請求項2] 前記第1の工程で成膜されるバリア膜が、非晶質であることを特徴とする請求項1記載のテンプレート基板の作製方法。
- [請求項3] 前記第1の工程において、前記S i（1 0 0）単結晶基板を9 0℃以下に保持することを特徴とする請求項1記載のテンプレート基板の作製方法。
- [請求項4] 前記第2の工程において、前記S i（1 0 0）単結晶基板を5 0 0℃以上1 0 0 0℃以下に加熱することを特徴とする請求項3記載のテンプレート基板の作製方法。
- [請求項5] 前記第1の工程で成膜されるバリア膜の膜厚が0. 5 n m以上1 0 n m以下であることを特徴とする請求項1記載のテンプレート基板の作製方法。
- [請求項6] 前記金属硫化物は、硫化マンガン（M n S）、硫化マグネシウム（M g S）または硫化カルシウム（C a S）であることを特徴とする請求項1から請求項5のうちのいずれか1項記載のテンプレート基板の作製方法。

- [請求項7] Si (100) 単結晶基板上に金属硫化物をターゲットとして、前記 Si (100) 単結晶基板上に前記金属硫化物のバリア膜をスパッタリング成膜する第1の成膜処理室と、
- 前記第1の成膜処理室で前記バリア膜を成膜した前記 Si (100) 単結晶基板を加熱して、前記第1の工程で成膜された前記バリア膜を固相エピタキシャル成長により結晶化し、前記 Si (100) 単結晶基板を加熱した状態を保持して、前記金属硫化物のターゲットと同一組成のターゲットを用いて前記金属硫化物のエピタキシャル膜をスパッタリング成膜する、第2の成膜処理室と、
- 前記第1の成膜処理室で前記バリア膜を成膜した前記 Si (100) 単結晶基板を前記第2の成膜処理室に搬送するための搬送室とを備えることを特徴とする、テンプレート基板の作製装置。
- [請求項8] 前記第1の成膜処理室で成膜されるバリア膜が、非晶質であることを特徴とする請求項7記載のテンプレート基板の作製装置。
- [請求項9] 前記第1の成膜処理室において、前記スパッタリング成膜を行うまでの前記 Si (100) 単結晶基板を90℃以下に保持することを特徴とする請求項7記載のテンプレート基板の作製装置。
- [請求項10] 前記第2の成膜処理室では、前記 Si (100) 単結晶基板を500℃以上1000℃以下に加熱保持することを特徴とする請求項9記載のテンプレート基板の作製装置。
- [請求項11] 前記バリア膜の膜厚が0.5nm以上10nm以下であることを特徴とする請求項7記載のテンプレート基板の作製装置。
- [請求項12] 前記金属硫化物は、MnS、MgSまたはCaSであることを特徴とする請求項7から11のうちのいずれか1項記載のテンプレート基板の作製装置。
- [請求項13] 前記搬送室は基板搬送用のロボットを備え、さらにロードロック室を備えてマルチチャンバーシステムに対応する、請求項7から12のうちのいずれか1項記載のテンプレート基板の作製装置。

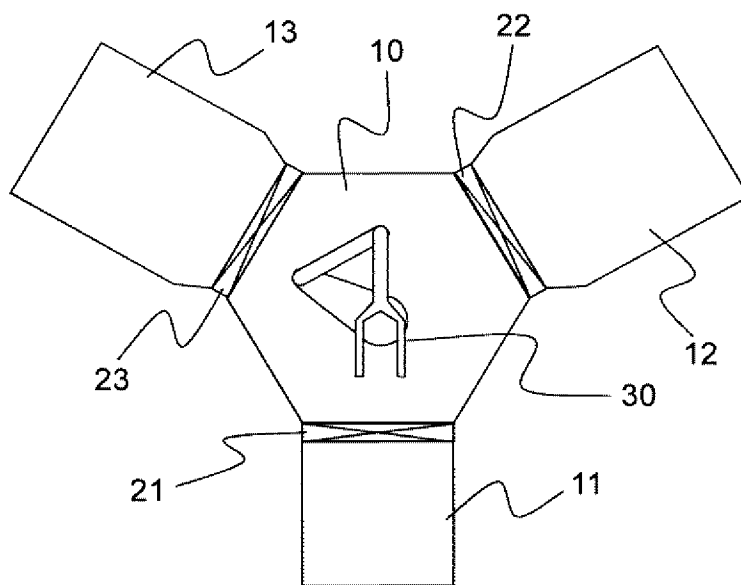
[図1]

図1



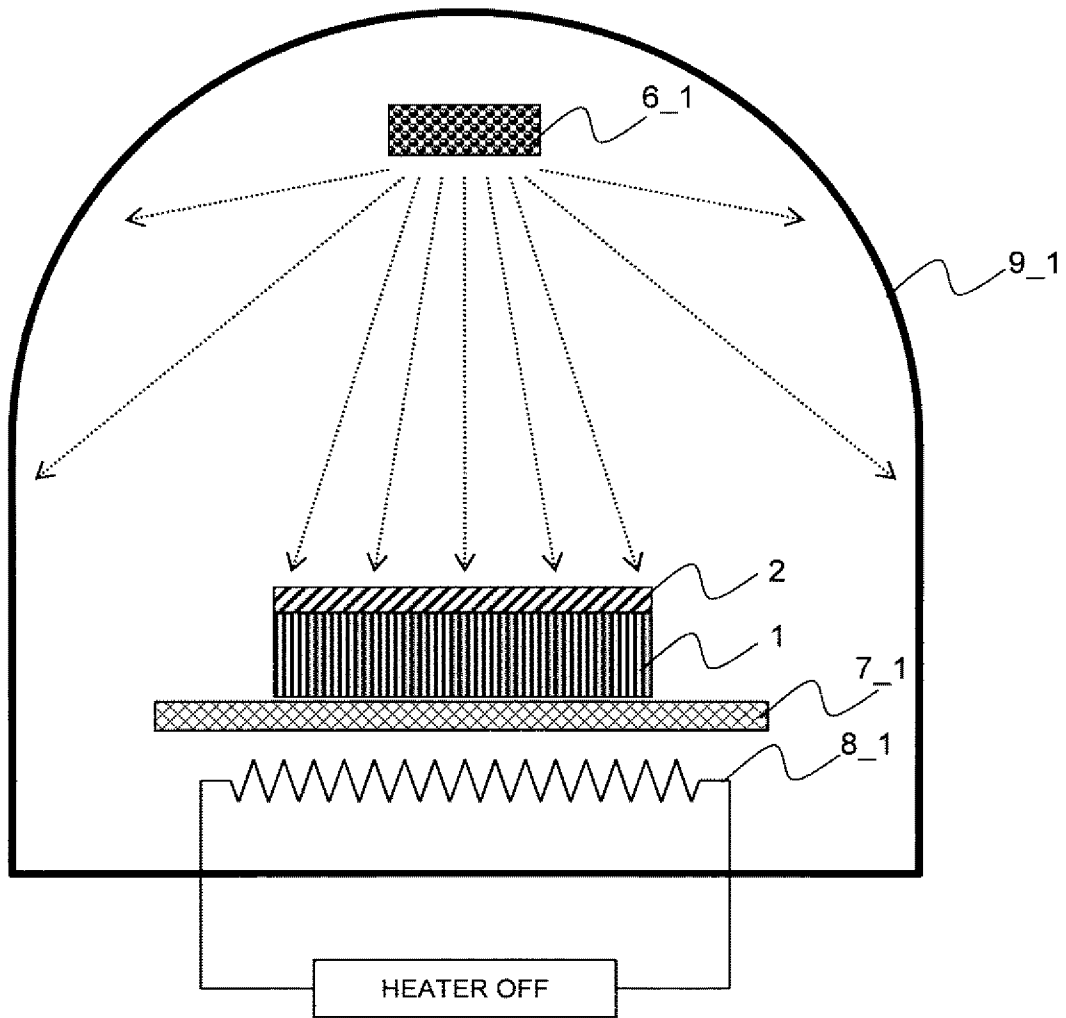
[図2]

図2



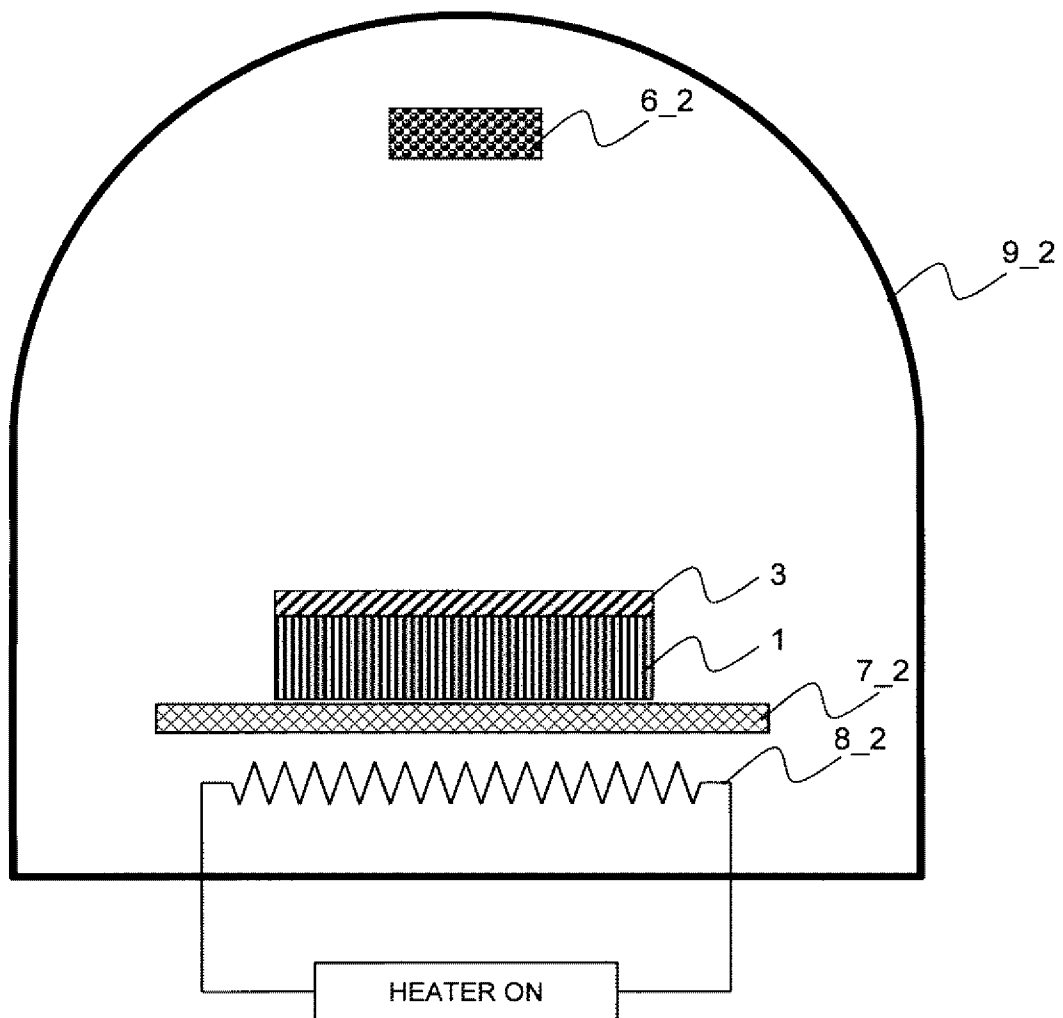
[図3]

図3



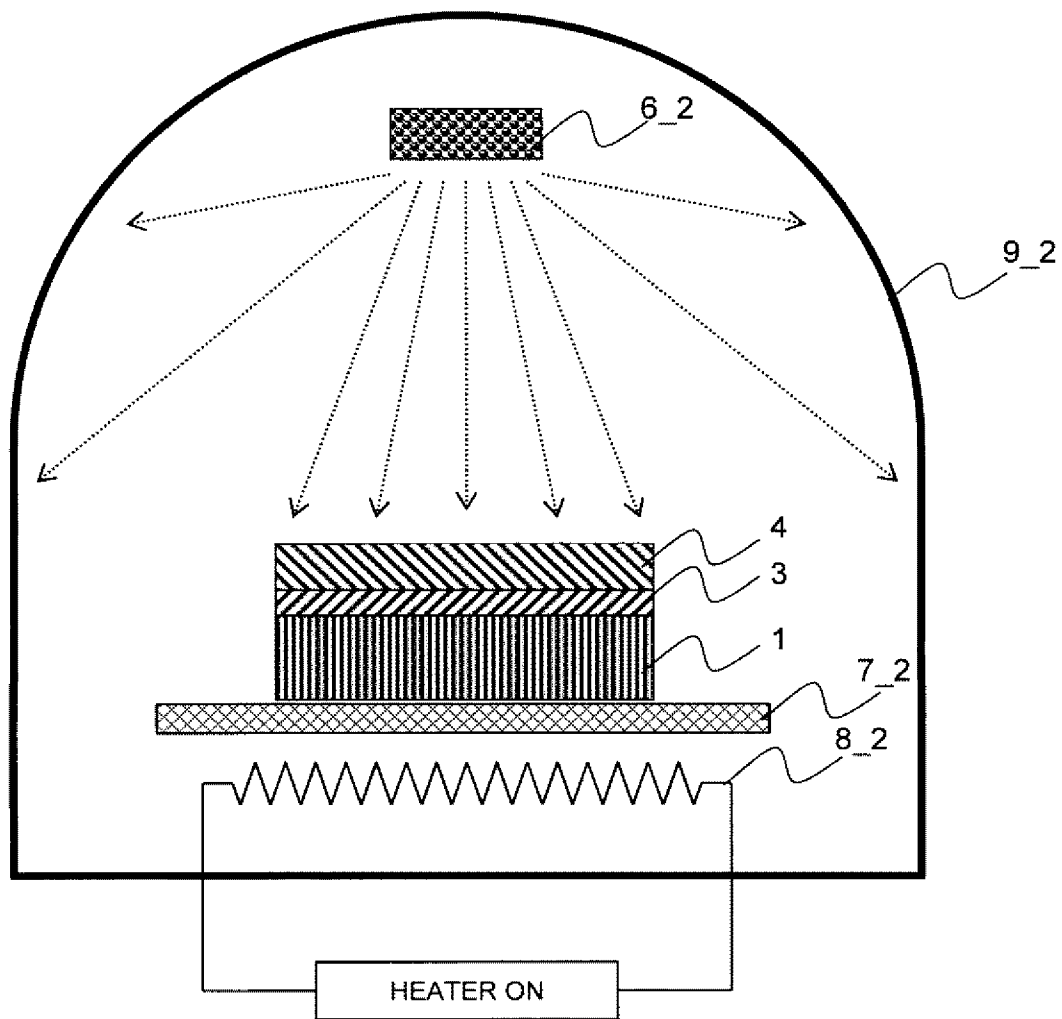
[図4]

図4



[図5]

図5



[図6]

図6

第1の工程の MnS層の膜厚	1nm	2nm	5nm	10nm	15nm	20nm
結晶性	○	○	○	△	×	×

注 他の条件は、実施例1と同条件
 ○: エピタキシャル膜
 △: 結晶性が若干悪いエピタキシャル膜
 ×: 多結晶膜

[図7]

図7

第1の工程の 基板温度	25℃	50℃	70℃	90℃	110℃
結晶性	○	○	○	△	×

注 他の条件は、実施例1と同条件
 ○:エピタキシャル膜
 △:結晶性が若干悪いエピタキシャル膜
 ×:多結晶膜

[図8]

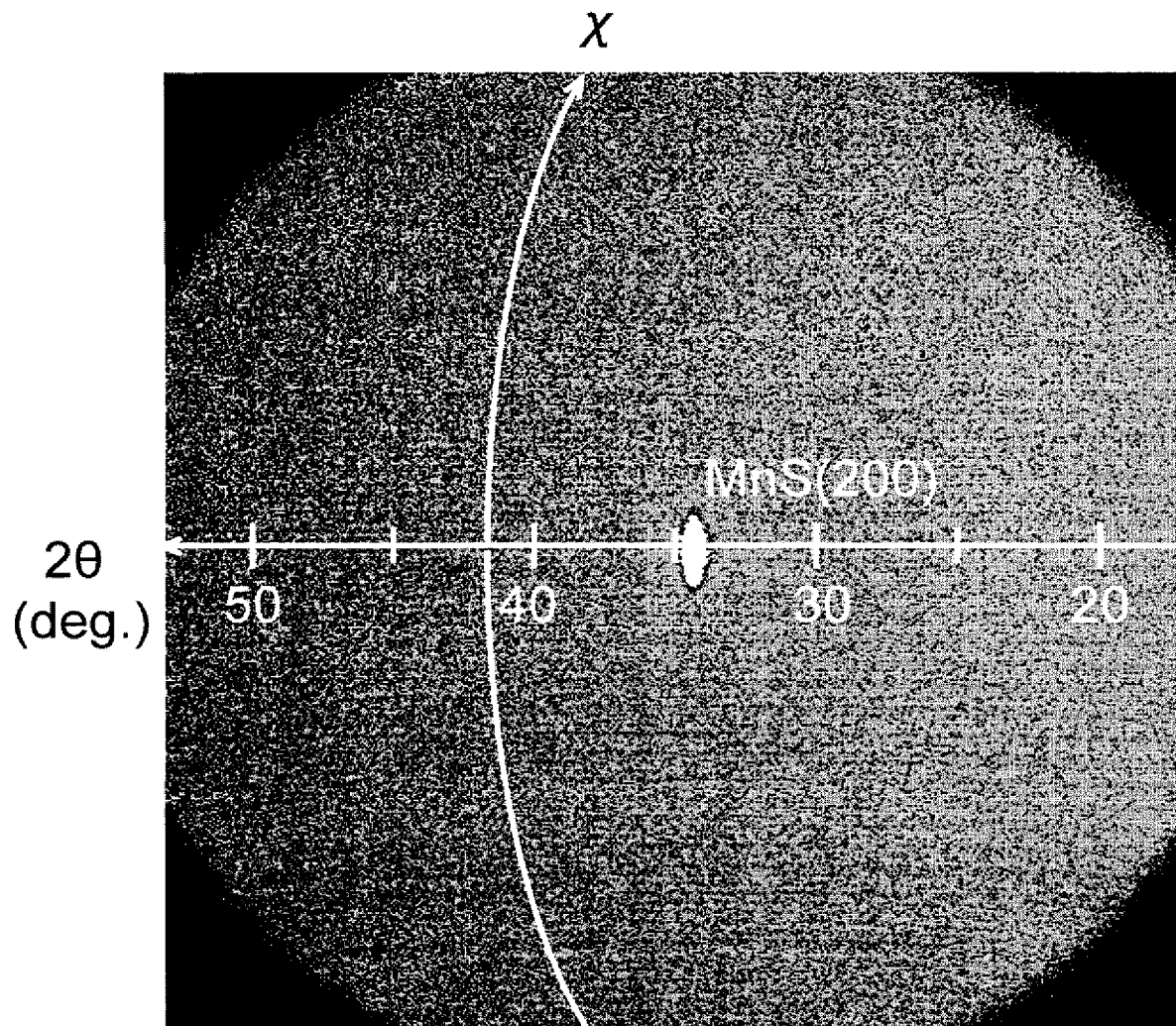
図8

第2～3の工程の 基板温度	400℃	500℃	700℃	900℃	1000℃	1100℃
結晶性	×	△	○	○	△	×

注 他の条件は、実施例1と同条件
 ○:エピタキシャル膜
 △:結晶性が若干悪いエピタキシャル膜
 ×:多結晶膜

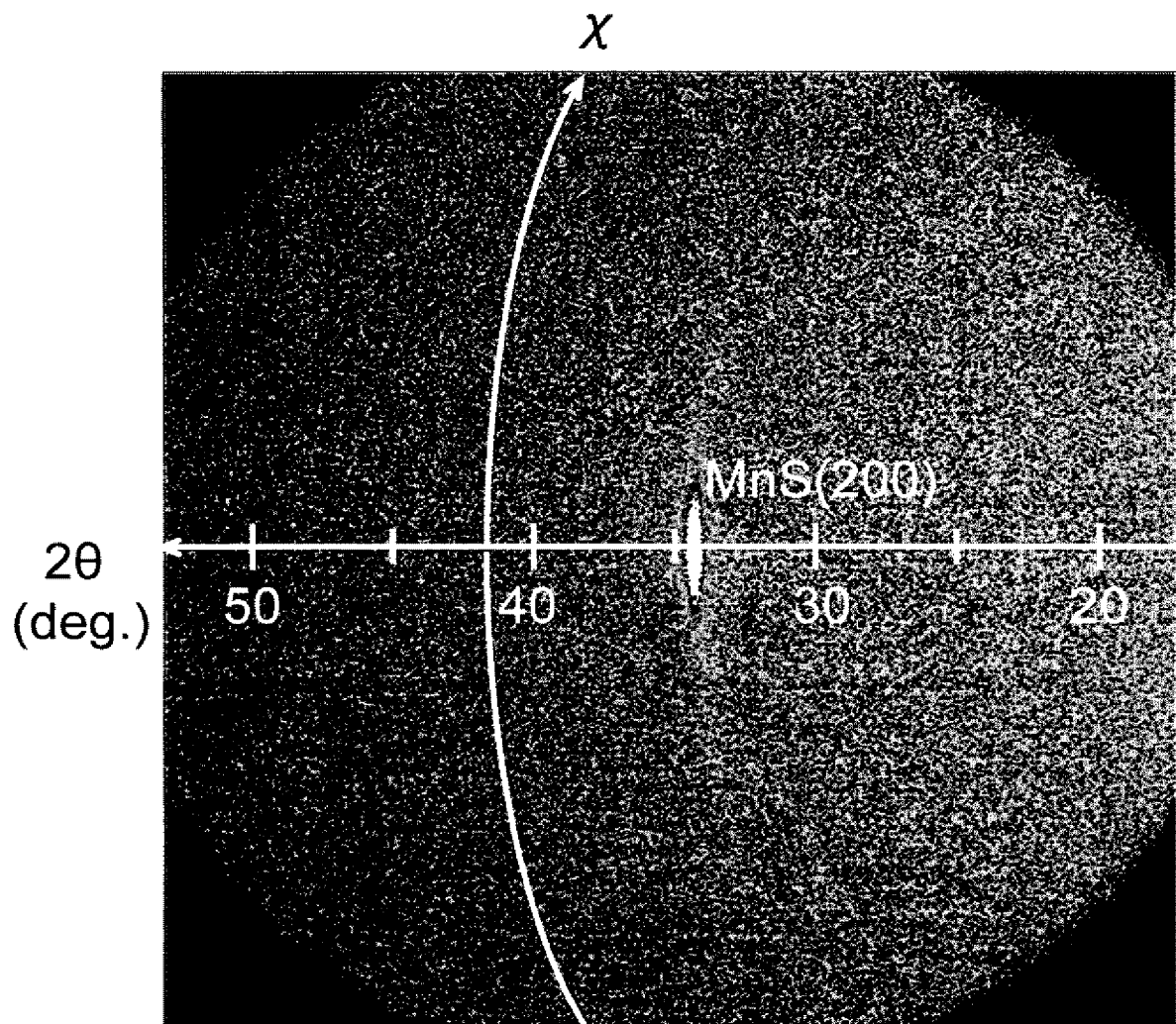
[図9]

図9



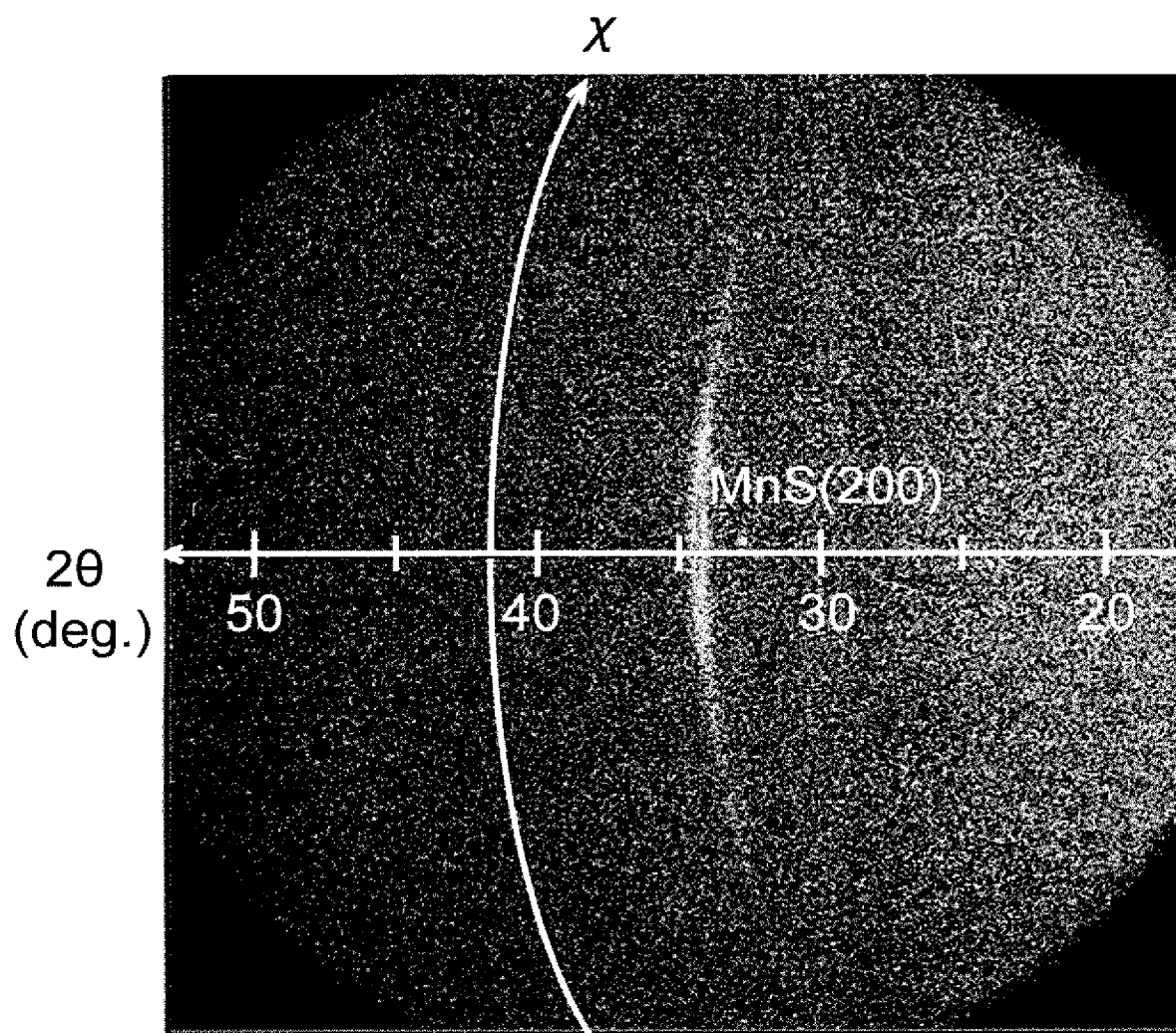
[図10]

図10



[図11]

図11



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/062478

A. CLASSIFICATION OF SUBJECT MATTER

C30B23/08(2006.01)i, C23C14/06(2006.01)i, C23C14/34(2006.01)i, C23C14/58(2006.01)i, C30B1/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

C30B1/00-35/00, C23C14/00-14/58

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JSTPlus (JDreamIII)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-003297 A (Fuji Electric Co., Ltd.), 09 January 2002 (09.01.2002), paragraphs [0044] to [0046]; fig. 1, 2 (Family: none)	1-13
A	JP 2004-111883 A (President of Tokyo Institute of Technology), 08 April 2004 (08.04.2004), claims & US 2004/0159854 A1 & EP 1403911 A2	1-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
31 May 2016 (31.05.16)

Date of mailing of the international search report
21 June 2016 (21.06.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/062478

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-006562 A (Independent Administrative Institution National Institute for Materials Science), 08 January 2004 (08.01.2004), claims; paragraphs [0046] to [0051] & US 2003/0006406 A1 & US 2005/0179034 A1 & EP 1271626 A2	1-13

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. C30B23/08(2006.01)i, C23C14/06(2006.01)i, C23C14/34(2006.01)i, C23C14/58(2006.01)i, C30B1/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. C30B1/00-35/00, C23C14/00-14/58

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 6 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JSTPlus (JDreamIII)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-003297 A (富士電機株式会社) 2002.01.09, 段落 [0044] ~ [0046]、図1, 2 (ファミリーなし)	1-13
A	JP 2004-111883 A (東京工業大学長) 2004.04.08, 特許請求の範囲 & US 2004/0159854 A1 & EP 1403911 A2	1-13
A	JP 2004-006562 A (独立行政法人物質・材料研究機構) 2004.01.08, 特許請求の範囲、段落 [0046] ~ [0051] & US 2003/0006406 A1 & US 2005/0179034 A1 & EP 1271626 A2	1-13

❑ C欄の続きにも文献が列挙されている。

❑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

3 1 . 0 5 . 2 0 1 6

国際調査報告の発送日

2 1 . 0 6 . 2 0 1 6

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

伊藤 光貴

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 1 6

4 G

4 4 8 9