



(12)发明专利

(10)授权公告号 CN 106461767 B

(45)授权公告日 2019.05.28

(21)申请号 201580031310.2

内华达·J·桑切斯

(22)申请日 2015.04.17

安德鲁·J·卡斯珀

(65)同一申请的已公布的文献号  
申请公布号 CN 106461767 A

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

(43)申请公布日 2017.02.22

代理人 杜诚 陈炜

(30)优先权数据  
61/981,469 2014.04.18 US

(51)Int.Cl.  
G01S 7/52(2006.01)  
G10K 11/34(2006.01)  
H03K 5/13(2014.01)

(85)PCT国际申请进入国家阶段日  
2016.12.12

(56)对比文件

(86)PCT国际申请的申请数据  
PCT/US2015/026304 2015.04.17

US 2003120153 A1, 2003.06.26,  
US 2010063397 A1, 2010.03.11,  
WO 2014014968 A1, 2014.01.23,  
US 2007083119 A1, 2007.04.12,  
US 2008264171 A1, 2008.10.30,  
US 6241676 B1, 2001.06.05,  
US 6126602 A, 2000.10.03,

(87)PCT国际申请的公布数据  
W02015/161157 EN 2015.10.22

(73)专利权人 蝴蝶网络有限公司  
地址 美国康涅狄格州

审查员 郝霏霏

(72)发明人 乔纳森·M·罗思伯格  
泰勒·S·拉尔斯顿

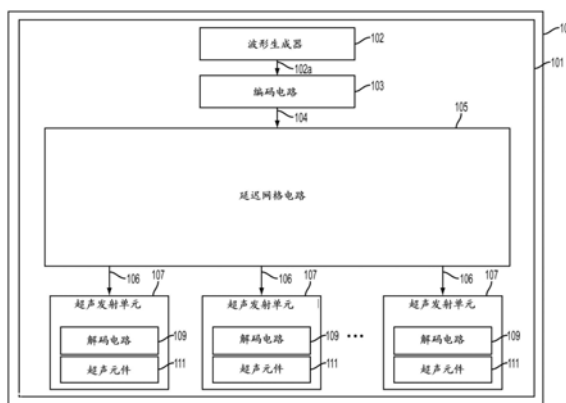
权利要求书3页 说明书24页 附图10页

(54)发明名称

单衬底超声成像装置的架构、相关设备和方法

(57)摘要

本文中描述的技术的各方面涉及超声装置电路,该超声装置电路可以形成单衬底超声装置的一部分,该单衬底超声装置具有集成的超声发射单元、与该衬底集成的延迟网格电路,该延迟网格电路耦接至多个超声发射单元的输入,并且被配置成向多个超声发射单元输出延迟网格电路输入信号的多个时间延迟版本,该延迟网格电路输入信号与由波形生成器生成的波形对应。



1. 一种用于超声成像的设备,包括:

衬底;

与所述衬底集成的多个超声发射单元;以及

与所述衬底集成的延迟网格电路,所述延迟网格电路耦接至所述多个超声发射单元的输入,并且被配置成向所述多个超声发射单元输出延迟网格电路输入信号的多个时间延迟版本,所述延迟网格电路输入信号从由波形生成器生成的单个波形获得,

其中,所述延迟网格电路包括多个延迟网格单元,所述多个延迟网格单元包括第一延迟单元和第二延迟单元,其中,所述第一延迟单元被配置成接收来自所述第二延迟单元的输入信号以及向所述第二延迟单元提供输出信号。

2. 根据权利要求1所述的设备,还包括:

所述波形生成器,所述波形生成器与所述衬底集成并且具有耦接至编码电路的输入的输出;以及

所述编码电路,所述编码电路与所述衬底集成并且具有耦接至所述延迟网格电路的输入的输出。

3. 根据权利要求2所述的设备,其中,所述编码电路还被配置成:

至少部分地通过对由所述波形生成器生成的所述波形进行编码来生成所述延迟网格电路输入信号;以及

将所述延迟网格电路输入信号输出至所述延迟网格电路。

4. 根据权利要求1所述的设备,其中,所述多个超声发射单元包括多个解码电路和多个超声换能器,所述多个超声发射单元中的每个包括所述多个解码电路中的至少一个以及所述多个超声换能器中的至少一个。

5. 根据权利要求4所述的设备,其中,所述多个解码电路中的至少一个被配置成对所述延迟网格电路输入信号的所述多个时间延迟版本中的至少一个进行解码以获得多个解码波形。

6. 根据权利要求5所述的设备,其中,所述多个超声换能器被配置成至少部分地通过发射与所述多个解码波形对应的超声信号来生成超声场。

7. 根据权利要求6所述的设备,其中,所述多个超声换能器还被配置成通过并行发射与所述多个解码波形中的两个或更多个对应的超声信号来生成所述超声场。

8. 根据权利要求6所述的设备,其中,所述超声场具有方位角对称性。

9. 根据权利要求6所述的设备,其中,所述超声场具有高程对称性。

10. 根据权利要求6所述的设备,其中,所述超声场具有圆柱对称性。

11. 根据权利要求6所述的设备,其中,所述超声场具有球形对称性。

12. 根据权利要求6所述的设备,其中,所述超声场是平面波场。

13. 根据权利要求1所述的设备,其中,所述延迟网格电路是可编程的。

14. 根据权利要求1所述的设备,其中,所述延迟网格电路是可重构的。

15. 根据权利要求1所述的设备,其中,所述延迟网格电路还被配置成:

响应于第一延迟网格控制信号的输入,向所述多个超声发射单元输出所述延迟网格电路输入信号的所述多个时间延迟版本;以及

响应于与所述第一延迟网格控制信号不同的第二延迟网格控制信号的输入,向所述多

个超声发射单元输出所述延迟网格电路输入信号的第二批多个时间延迟版本，

其中，所述延迟网格电路输入信号的所述多个时间延迟版本与所述延迟网格电路输入信号的所述第二批多个时间延迟版本不同。

16. 根据权利要求15所述的设备，其中，所述多个超声发射单元包括多个解码电路和多个超声换能器，所述多个超声发射单元中的每个包括所述多个解码电路中的至少一个以及所述多个超声换能器中的至少一个。

17. 根据权利要求16所述的设备，其中，所述多个解码电路被配置成对所述延迟网格电路输入信号的所述多个时间延迟版本进行解码以获得第一批多个解码波形，并且所述多个解码电路还被配置成对所述延迟网格电路输入信号的所述第二批多个时间延迟版本进行解码以获得第二批多个解码波形。

18. 根据权利要求17所述的设备，其中，所述多个超声换能器被配置成至少部分地通过发射与所述第一批多个解码波形对应的超声信号来生成第一超声场，以及至少部分地通过发射与所述第二批多个解码波形对应的超声信号来生成第二超声场，其中，所述第一超声场是与所述第二超声场不同类型的场。

19. 根据权利要求1所述的设备，还包括：

与所述衬底集成的多个波形生成器，所述多个波形生成器包括所述波形生成器，

其中，所述延迟网格电路还被配置成向所述多个超声发射单元输出延迟网格电路输入信号的多个时间延迟版本，所述延迟网格电路输入信号从由所述多个波形生成器生成的相应多个波形获得，延迟网格电路输入信号的所述多个时间延迟版本包括通过对由所述波形生成器生成的初始波形进行编码而得到的所述延迟网格电路输入信号。

20. 根据权利要求19所述的设备，其中，所述设备包括比超声发射单元更少的波形生成器。

21. 根据权利要求1所述的设备，

其中，所述波形生成器与所述衬底集成并且被配置成生成初始波形，

其中，所述设备还包括与所述衬底集成的编码电路，所述编码电路耦接至所述波形生成器的至少一个输出并且被配置成对所述初始波形进行编码以产生所述延迟网格电路输入信号，以及

其中，所述多个超声发射单元包括：

解码电路，所述解码电路被配置成对所述延迟网格电路输入信号的所述多个时间延迟版本进行解码以产生多个解码波形，以及

多个超声换能器，所述多个超声换能器被配置成至少部分地通过同时发射与所述多个解码波形对应的超声信号来生成超声场。

22. 根据权利要求1所述的设备，其中，所述衬底包括互补金属氧化物半导体 (CMOS) 衬底。

23. 一种被配置成接收输入波形并且生成多个输出波形的延迟电路，所述延迟电路包括：

延迟电路控制器，所述延迟电路控制器被配置成输出控制信号；以及

多个延迟单元，所述多个延迟单元中的一个或多个包括被配置成接收所述控制信号的控制信号输入，其中，所述多个延迟单元中的一个或多个被配置成基于所述控制信号

来选择延迟周期、从多个可能的输入路径中选择输入路径和从多个可能的输出路径中选择输出路径,其中,基于两个或更多个延迟周期来生成所述多个输出波形。

24. 根据权利要求23所述的延迟电路,其中,所述延迟电路控制器被配置成输出第一控制信号,所述第一控制信号用于根据从所述多个可能的输入路径中选择的所述输入路径上的输入信号来生成第一批多个输出波形。

25. 根据权利要求23所述的延迟电路,其中,所述延迟电路被集成在衬底上,其中,所述延迟电路被配置成从与所述衬底集成的波形生成器接收所述输入波形,其中,所述延迟电路还被配置成将所述多个输出波形输出至多个超声发射单元。

## 单衬底超声成像装置的架构、相关设备和方法

[0001] 相关申请的交叉引用

[0002] 本申请根据35U.S.C§119(e)要求于2014年4月18日提交的代理人案号为B1348.70011US00并且题为“ARCHITECTURE OF SINGLE SUBSTRATE ULTRASONIC IMAGING DEVICES, RELATED APPARATUSES, AND METHODS (单衬底超声成像装置的架构、相关设备和方法)”的序列号为61/981,469的美国临时专利申请的权益,该美国临时专利申请的全部内容通过引用并入本文中。

### 技术领域

[0003] 本文中描述的技术的方面涉及单衬底超声成像装置的架构、相关设备和方法。

### 背景技术

[0004] 主导超声成像行业的常规的超声波扫描仪具有分立的换能器和控制电子器件。换能器通常为压电的。因此,使用“切割和填充”制造工艺来制造扫描仪,在该制造工艺中,单独的压电元件被切割,然后被单独地定位在衬底上,以形成换能器探头。这种工艺易于造成加工和布线的高成本、不均匀性和不可伸缩性。控制电子器件通常不与换能器集成,而是被单独形成和容置。

[0005] 用于医学应用的超声换能器探头通常包括许多超声元件,每个超声元件被配置成发射超声信号,超声信号共同地产生医学相关的超声场,该超声场用于产生用于医学应用的超声图像。通常,每个超声换能器被配置成发射由相应的波形生成器生成的超声波形。因此,在常规的具有许多超声元件的超声换能器探头,的情况下,需要许多波形生成器来产生超声场。

### 发明内容

[0006] 本文中描述的技术的方面包括可以便于将超声成像系统的大部分或甚至整个超声成像系统集成在单个半导体衬底上的架构和技术。因此,本文中描述的许多特征和方法涉及单芯片超声成像解决方案,或者涉及其中超声成像系统的至少大部分被设置在单个芯片上的装置和系统。

[0007] 根据本技术的一个方面,单衬底超声成像系统包括全部与衬底集成的波形生成器、延迟网格电路和超声换能器。延迟网格电路可以被配置成将由波形生成器生成的波形提供给超声换能器,并且可以允许系统具有比超声换能器更少的波形生成器,这可以有助于将成像系统设置在单个芯片上。为此,延迟网格电路可以接收与由波形生成器生成的波形对应的输入信号,产生输入信号的多个时间延迟版本,并且将得到的信号提供给多个超声换能器。

[0008] 一些实施方式涉及一种设备,包括:衬底;与衬底集成的第一超声发射单元;以及与衬底集成的延迟网格电路,延迟网格电路耦接至第一超声发射单元的输入,并且被配置成向第一超声发射单元输出延迟网格电路输入信号的时间延迟版本,延迟网格电路输入信

号与由波形生成器生成的波形对应。

[0009] 一些实施方式涉及一种设备,包括:衬底;与衬底集成的多个超声发射单元;以及与衬底集成的延迟网格电路,延迟网格电路耦接至多个超声发射单元的输入,并且被配置成向多个超声发射单元输出延迟网格电路输入信号的多个时间延迟版本,延迟网格电路输入信号与由波形生成器生成的波形对应。

[0010] 一些实施方式涉及一种设备,包括:衬底;与衬底集成的多个超声发射单元;以及与衬底集成的延迟网格电路,延迟网格电路耦接至多个超声发射单元的输入,并且被配置成:响应于第一延迟网格控制信号的输入,向多个超声发射单元输出延迟网格电路输入信号的第一批多个时间延迟版本,延迟网格电路输入信号与由波形生成器生成的波形对应;以及响应于与第一延迟网格控制信号不同的第二延迟网格控制信号的输入,向多个超声发射单元输出延迟网格电路输入信号的第二批多个时间延迟版本,延迟网格电路输入信号与由波形生成器生成的波形对应,其中,延迟网格电路输入信号的第一批多个时间延迟版本与延迟网格电路输入信号的第二批多个时间延迟版本不同。

[0011] 一些实施方式涉及一种设备,包括:衬底;与衬底集成的多个波形生成器;与衬底集成的多个超声发射单元;以及与衬底集成的延迟网格电路,延迟网格电路耦接至多个超声发射单元的输入,并且被配置成向多个超声发射单元输出延迟网格电路输入信号的多个时间延迟版本,延迟网格电路输入信号与由波形生成器生成的多个波形对应。

[0012] 一些实施方式涉及一种设备,设备包括:互补金属氧化物半导体(CMOS)衬底;至少一个波形生成器,至少一个波形生成器与CMOS衬底集成并且被配置成生成至少一个初始波形;编码电路,编码电路与CMOS集成并且耦接至至少一个波形生成器的至少一个输出,并且被配置成对至少一个初始波形进行编码以生成至少一个经编码的波形;与CMOS衬底集成的延迟网格电路,延迟网格电路耦接至编码电路的至少一个输出,并且被配置成生成至少一个经编码的波形的多个时间延迟版本;以及多个超声发射单元,多个超声发射单元与CMOS衬底集成并且耦接至延迟网格电路的多个输出,多个超声发射单元包括:解码电路,解码电路被配置成对至少一个经编码的波形的多个时间延迟版本进行解码以产生多个解码波形;以及多个超声换能器,多个超声换能器被配置成至少部分地通过同时发射与多个解码波形对应的超声信号来生成超声场。

[0013] 一些实施方式涉及包括使用单衬底超声装置执行下述步骤的方法:对由波形生成器生成的波形进行编码以获得经编码的波形;产生经编码的波形的多个时间延迟版本;对经编码的波形的多个时间延迟版本进行解码以获得多个解码波形;以及至少部分地通过使用多个超声元件并行发射与多个解码波形对应的超声信号来生成超声场。

## 附图说明

[0014] 将参照下面的附图描述本技术的各个方面和实施方式。应当明白的是附图不必按比例绘制。在多个附图中出现的项目由在其中出现所述项目的所有附图中的相同的附图标记表示。

[0015] 图1示出了体现本文中描述的技术的各方面的说明性单衬底超声装置。

[0016] 图2是根据本文中描述的一些实施方式的用于使用单衬底超声装置来生成和发射超声场的说明性过程的流程图。

[0017] 图3示出了根据本文中描述的一些实施方式的与单衬底超声装置的衬底集成的超声换能器的说明性布置。

[0018] 图4图示出了根据本文中描述的一些实施方式的包括多个延迟网格单元的延迟网格电路。

[0019] 图5A图示出了根据本文中描述的一些实施方式的延迟网格的说明性延迟网格单元的输入和输出。

[0020] 图5B图示出了根据本文中描述的一些实施方式的说明性延迟网格单元的架构。

[0021] 图6示出了根据本文中描述的一些实施方式的包括延迟网格单元的延迟网格电路的说明性配置。

[0022] 图7图示出了根据本文中描述的一些实施方式的可以是单衬底超声装置的电路的一部分的编码和解码电路的操作。

[0023] 图8A是图示出了编码电路的一个实施方式的操作的有限状态机的图。

[0024] 图8B是图示出了解码电路的一个实施方式的操作的有限状态机的图,该解码电路被配置成对由图8A中图示出其操作的编码电路编码的信号进行解码。

[0025] 图8C是图示出了编码电路的另一实施方式的操作的有限状态机的图。

[0026] 图8D是图示出了解码电路的另一实施方式的操作的有限状态机的图,该解码电路被配置成对由图8C中图示出其操作的编码电路编码的信号进行解码。

### 具体实施方式

[0027] 本文中描述的技术的方面涉及一种超声装置电路架构,其可以形成单衬底超声装置的一部分,该单衬底超声装置具有集成的超声换能器,例如互补金属氧化物半导体(CMOS)超声换能器。因此,在一些实施方式中,该电路架构可以形成片上超声系统(SoC)的一部分,该片上超声系统具有集成电路以及与诸如半导体衬底的衬底集成(例如,形成在该衬底中或者与该衬底单片集成)的超声换能器。

[0028] 如下面进一步描述的,本技术的方面提供延迟和编码/解码电路配置,其便于以在功率和数据方面高效的方式使用集成的超声换能器布置来生成医学相关的超声波形。

[0029] 申请人已经明白,由于这样的装置的复杂性,实现在诸如CMOS衬底的单衬底上具有集成超声换能器和集成电路的超声装置仍很困难。创建用于超声成像的复杂且与医学相关的超声波形通常需要大量的数据,因此需要大的可用的存储器来存储波形参数。同时,例如在存储器、数据以及可以使用的功率的量方面对单衬底超声装置的配置和操作存在实际限制。

[0030] 一个这样的实际限制是波形生成器的数目,波形生成器用于生成由与衬底集成的超声换能器的布置(例如,阵列)发射的波形。尽管在一些情况下为每个超声换能器提供一个波形生成器可能是有益的,但是在由于空间和功率要求而要将波形生成器与超声换能器集成在衬底上的情况下,这样做是不切实际的。因此,申请人已经明白,在一些情景下,优选地提供这样的单衬底超声装置,在该单衬底超声装置上集成的波形生成器比要被提供期望波形的超声换能器更少。

[0031] 根据本技术的一方面,超声装置的电路架构可以包括电路,该电路被配置成:根据由波形生成器提供的单个波形产生波形的多个版本,波形的多个版本可以被提供给超声换

能器布置的多个超声换能器以产生期望的超声场。波形的多个版本可以包括波形的时间延迟和/或反相版本。在至少一些实施方式中,波形的多个版本可以被并行提供,使得可以从多个超声换能器发射期望的(例如,医学相关的)超声场(例如,平面波场、圆柱聚焦场、聚焦束、虚拟源场等)。

[0032] 根据本技术的一方面,该电路可以包括用于完成产生波形的多个版本的任务的延迟网格,延迟网格具有输入以及多个(并行的)输出,输入被配置成接收由波形生成器生成的波形,多个(并行的)输出被配置成将波形的多个版本提供给多个超声换能器。延迟网格可以被控制成响应于施加到延迟网格的不同控制而产生由波形生成器生成的波形的不同版本。以这种方式,超声装置可以被控制成生成不同类型的超声场,在下面描述其示例。

[0033] 根据本技术的一方面,超声装置的电路包括编码和解码电路,编码和解码电路被配置成对要提供给超声换能器布置的多个超声换能器的波形进行编码和解码。编码和解码电路可以减少向一个或更多个超声换能器提供由一个或更多个波形生成器生成的波形所需的数据量,前述一个或更多个超声换能器被配置成发射与波形对应的超声信号,因此可以有价值地减少在单衬底超声装置的部件之间存储和发射期望的波形数据所需的存储器量的量。在一些实施方式中,编码和解码电路可以被布置在波形生成器与要向其提供波形的一个或更多个超声换能器之间。在一些实施方式中,延迟网格电路可以被布置在编码电路与解码电路之间,这可以有价值地减少在延迟网格电路的组件之间存储和发射波形数据所需的存储器量的量。

[0034] 在一些实施方式中,延迟网格电路可以包括多个延迟网格单元,多个延迟网格单元中的每个延迟网格单元可以延迟输入信号以获得输入信号的一个或更多个时间延迟版本,并且将一个或更多个时间延迟版本作为输出信号提供给一个或更多个超声发射单元以用于发射,以及/或者提供给一个或更多个其他延迟网格单元以用于进一步处理。提供给一个或更多个其他延迟网格单元的输出信号可以被那些延迟网格单元进一步时间延迟并且被发射,以及/或者由另外的其他延迟网格单元进一步处理。以这种方式,输入至延迟网格电路的信号可以通过多个延迟网格单元传播,其中,一个或更多个延迟网格单元对将所得到的一个或更多个时间延迟版本提供给一个或更多个超声元件以用于发射的信号进行时间延迟。这样,延迟网格电路可以生成输入信号的多个时间延迟版本,并且提供这些版本以用于发射到与单衬底超声装置集成的超声换能器以用于生成超声场。

[0035] 延迟网格单元可以包括缓冲器,缓冲器用于存储以及/或者对输入至缓冲器的信号执行操作。在一些实施方式中,延迟网格电路可以包括许多延迟网格单元,这样,减小每个延迟网格单元的缓冲器的大小可以减少在单衬底超声装置上实现延迟网格电路的空间和功率两者的要求。

[0036] 从上文可以明白,本技术的各方面提供了用于将期望的波形提供给超声换能器布置以允许产生医学相关的超声场的在空间和功率方面高效的电路配置。在一些实施方式中,电路可以被完全数字化,并且可以在诸如CMOS衬底的单衬底上与超声换能器集成。

[0037] 在下面进一步描述上述的方面和实施方式以及附加方面和实施方式。这些方面和/或实施方式可以被单独使用、所有一起使用或以两个或更多个的任何组合来使用,因为本文中描述的技术在此方面不受限。

[0038] 图1示出了体现本文中描述的技术的各方面的说明性单衬底超声装置100。超声装



置100包括诸如CMOS衬底或芯片(例如,诸如硅衬底的半导体衬底等)的衬底101以及形成在其上的集成电路。如所示出的,与衬底101集成的电路可以包括波形生成器102、编码电路103、延迟网格电路105以及多个超声发射单元107。超声发射单元107可以包括解码电路109以及一个或更多个超声元件111。因此,超声装置100可以包括多个解码电路(decoding circuit)(在下文中也称为“解码电路(decoding circuitry)”)以及多个超声元件。超声元件111可以包括一个或更多个超声换能器(在本文中也称为“换能器单元”)。换句话说,如下面参照图3更详细地描述的那样,超声换能器可以被组合在一起以形成超声元件。应当明白,尽管在一些实施方式中,上述部件可以被集成在单衬底上,但是本技术的各方面在这一点上不受限,并且在其他实施方式中,上述部件中的至少一些部件可以不互相集成在同一衬底上。

[0039] 图1中示出的说明性配置可以便于形成包括集成的超声换能器和电路(例如,用于控制超声换能器的操作和/或用于处理由这样的换能器产生的信号以例如形成和/或显示超声图像的模拟和/或数字电路,诸如前端和/或后端电路)的片上超声系统装置或者片上超声子系统装置。在至少一些实施方式中,片上超声系统装置可以包括单衬底上的与模拟和数字电路集成的超声换能器的布置,并且可以能够执行超声成像功能,诸如发射和接收超声波并对所接收的超声波进行处理以产生超声图像。

[0040] 如图1中所图示的,布置在波形生成器102与超声元件111之间的电路用于以在空间和功率方面高效的方式将由波形生成器102生成的波形提供给超声元件111,并且可以被称为“紧凑型网格架构”。在图示出的实施方式中,紧凑型网格架构包括编码电路103、延迟网格电路105和解码电路109。虽然在其他实施方式中,紧凑型网格结构可以包括延迟网格电路,但是不包括编码或解码电路。

[0041] 在一些实施方式中,波形生成器102可以生成初始波形,并且将初始波形输出至编码电路103的输入。编码电路103可以被配置成对初始波形进行编码以产生经编码的波形,并且将经编码的波形输出至延迟网格电路105的输入。延迟网格电路105可以被配置成生成经编码的波形的多个时间延迟版本,并且将经编码的波形的多个时间延迟版本并行输出至超声发射单元107的输入。也就是说,延迟网格电路可以产生比它接收输入版本更大数目的输出版本。超声发射单元107可以被配置成使用解码电路109对经编码的波形的多个时间延迟版本中的各个时间延迟版本进行解码以产生多个解码波形,并且基于多个解码波形来驱动超声元件111,使得超声元件111发射与解码波形对应(例如,基于解码波形)的超声信号。以这种方式,超声元件111可以并行操作以发射期望的超声波,下面将提供其示例。上面提到的部件和相应的功能将在下面更详细地被描述。

[0042] 在所示的实施方式中,所有图示出的元件被形成在单衬底101上。然而,应当明白,在替代实施方式中,所图示元件中的一个或更多个可以耦接至衬底101,而不与衬底集成。例如,在一些实施方式中,波形生成器102可以替代地位于衬底101之外但是耦接至衬底101,使得波形生成器102可以与编码电路103通信(例如,向编码电路103提供输入信号)。作为另一示例,紧凑型网格架构(例如,延迟网格电路105以及可选的编码电路103和解码电路109)可以与衬底101集成,但是波形生成器102和/或超声元件111可以耦接至衬底101但不与衬底101集成。

[0043] 如所描述的那样,在一些实施方式中,超声装置100可以包括单衬底、与该衬底集

成的超声换能器以及与该衬底集成的电路(例如,控制电路)。应当明白,超声换能器可以相对于与衬底集成的任何其他电路(例如,波形生成器102、编码电路103、延迟网格105、解码电路109等)以任何合适的方式被布置。在一些实施方式中,与超声装置的衬底集成的至少某电路可以被布置在装置的超声换能器的下方。在一些实施方式中,集成电路中的一些可以被布置在超声装置的外围区域(或“凸出部(tab)”)上。例如,在超声换能器或超声元件中的两个或更多个之间共享的电路可以被布置在外围区域上。在一些实施方式中,超声元件特有的电路或者特定超声换能器可以被布置在该超声元件或超声换能器的下方。

[0044] 波形生成器102可以被配置成生成(或产生)任何合适的一个或更多个激励波形以激励超声换能器。波形生成器可以被配置成(例如,可编程为)根据多种可能的类型生成期望类型的波形,包括脉冲、连续波、线性调频(chirp)波形(例如,线性频率调制(LFM)线性调频)以及编码激励(例如,二进制编码激励)。所生成的波形中的这样的灵活性还可以便于使用高级超声成像技术。在一些实施方式中,波形生成器可以将波形生成为值的序列,序列中的每个值选自一组可能的值。该组可能的值可以由两个值、三个值、五个值、至少五个值、三至十个值或任何其他合适数目的值构成。例如,该组可能的值可以由可以由n位数模转换器(即, $2^n$ 位)生成的任何值构成,其中,n为任何正整数(例如,2、4、8、16、32、64等)。在一些实施方式中,波形生成器可以被配置成生成用于双极脉冲发生器的输出。

[0045] 如所示出的,波形生成器102耦接至编码电路103的输入。以这种方式,波形生成器可以将其生成的任何一个或更多个信号102a提供给编码电路103。波形生成器102可以以任何合适的方式耦接至编码电路103的输入,因为本文中描述的技术的方面不限于此。

[0046] 编码电路103可以被配置成对由波形生成器102生成的初始波形进行编码以产生经编码的波形104,并且将经编码的波形作为输入信号提供给延迟网格电路105。为此,编码电路103的输入可以耦接至波形生成器102的输出,并且编码电路103的输出可以耦接至延迟网格电路105的输入。编码电路103至波形生成器102和至延迟网格电路105的耦接可以以任何合适的方式实现,因为本文中描述的技术的方面不限于这方面。

[0047] 编码电路103可以被配置成实现压缩编码,使得当编码电路103对输入信号进行编码时,得到的编码信号由比被编码的输入信号少的位构成。该数据的减少使得本文中描述的系统在单衬底上的集成更加可行。例如,如下面更详细描述,输入信号的压缩编码允许使用较少量的存储器来实现延迟网格电路中的延迟网格单元,这导致节省了空间和功率。在一些实施方式中,编码电路103可以被配置成实现N比M(N-to-M)位编码器(其中N和M中的每个是正整数,并且其中N大于M),使得当编码电路103对包括B位的输入信号进行编码时,得到的编码信号由大约 $B*M/N$ 位(其中B是正整数)构成。作为具体的非限制性示例,编码电路103可以被配置成实现2比1位编码器,使得当编码电路对包括B位的输入信号进行编码时,得到的编码信号包括大约 $B/2$ 位。作为另一具体的非限制性示例,编码电路103可以被配置成实现3比2位编码器,使得当编码电路对由B位构成的输入信号进行编码时,得到的编码信号由大约 $2B/3$ 位构成。作为再一具体的非限制性示例,编码电路103可以被配置成实现3比1位编码器,使得当编码电路对由B位构成的输入信号进行编码时,得到的信号由大约 $B/3$ 位构成。下面参考图7、图8A和图8C更详细地描述编码电路103。

[0048] 延迟网格电路105可以被配置成生成延迟网格电路输入信号104的多个时间延迟的版本并且将所生成的波形的时间延迟版本提供给超声发射单元107,其中,延迟网格电路

输入信号104与由波形生成器生成的波形对应。在图1的实施方式中,延迟网格电路输入信号可以是通过使用编码电路103对波形生成器102生成的波形进行编码而获得的经编码的波形。在其他实施方式中(例如,其中编码电路103未被使用或者不是超声装置100的一部分)中,延迟网格电路输入信号可以是由波形生成器102生成的波形102a。在这样的实施方式中,延迟网格将能够适应(例如,利用适当大小的缓冲器)以适应未编码的输入信号。

[0049] 如所示出的,延迟网格电路105的输入可以耦接至编码电路103的输出,并且延迟网格电路105的输出可以耦接至超声发射单元107的输入。替代地,延迟网格电路105的输入可以耦接至波形生成器102的输出。延迟网格电路105到编码电路103(和/或波形生成器102)和到超声发射单元107的耦接可以以任何合适的方式实现,因为本文中描述的技术的方面在这方面不受限。

[0050] 延迟网格电路105可以被配置成至少部分地通过作为延迟网格电路的一部分的互连延迟网格单元的网络传播输入信号来生成延迟网格电路输入信号的多个时间延迟版本。每个延迟网格单元可以被配置成接收输入信号,将输入信号延迟指定量,并且将输入信号的一个或更多个延迟版本输出至一个或更多个其他延迟网格单元和/或超声发射单元。以这种方式,延迟网格单元进行操作以生成延迟网格输入信号的一组时间延迟版本,并且将这些信号提供给多个超声发射单元107,多个超声发射单元107进行操作以同时发射延迟网格输入信号的时间延迟版本中的至少一些,以发射期望的超声场。如可以明白的,每个延迟网格单元可以被配置成将由延迟网格单元接收的信号的一个或更多个时间延迟版本提供给多个其他目的地(例如,延迟网格单元可以将延迟一定量的信号的版本提供给另一延迟网格单元,并且将延迟到另一不同量的信号的版本提供给超声发射单元)。该灵活性允许延迟网格创建延迟网格输入信号的多个实例或版本。

[0051] 在一些实施方式中,延迟网格电路105可以被控制成产生延迟网格输入信号的期望的一组时间延迟版本106。在一些实施方式中,延迟网格电路105可以是可编程的,使得延迟网格电路105中的一个或更多个延迟网格单元可以被编程为将输入至一个或更多个可控延迟网格单元的信号延迟一定量(例如,时间量、位数等),该量由提供给一个或更多个延迟网格单元的控制信号指示。附加地或者替代地,延迟网格电路105可以是可重新配置的,使得一个或更多个控制信号可以用于指定哪些延迟网格单元可以互相通信(例如,从其接收输入和/或向其提供输出)。例如,延迟网格电路105中的延迟网格单元可以被控制成从由被提供给延迟网格单元的一个或更多个控制信号指示的源(例如,另一延迟网格单元、波形生成器等)接收输入信号。作为另一示例,延迟网格电路105中的延迟网格单元可以被控制成将输入信号的延迟版本106提供给由被提供给延迟网格单元的一个或更多个控制信号指示的那些延迟网格单元和/或超声发射单元。因此,延迟网格输入信号通过延迟网格电路105传播的方式可以通过向延迟网格电路105中的一个或更多个延迟网格单元提供控制信号来控制,以获得延迟网格电路输入信号的期望的一组时间延迟版本。下面参照图4、图5A至图5B以及图6进一步描述延迟网格电路105的各方面。

[0052] 超声发射单元107可以被配置成从延迟网格电路105接收延迟网格电路信号的时间延迟版本,对延迟网格电路信号的时间延迟版本进行解码以获得多个解码波形,以及发射与多个解码波形中的至少一子组对应的超声信号。如所示出的,超声发射单元107的输入可以耦接至延迟网格电路105的输出。超声发射单元107与延迟网格电路105之间的耦接可

以以任何合适的方式实现,因为本文中描述的技术的方面在这方面不受限。超声装置100可以包括任何合适数目的超声发射元件。这将在下面参照图3进一步详细描述。

[0053] 如所示出的,超声发射单元包括解码电路109以及一个或多个超声元件111。然而,在一些实施方式中,超声发射单元可以包括附加电路,附加电路包括但不限于一个或多个放大器(例如,一个或多个跨阻抗放大器)、一个或多个脉冲发生器(例如,一个或多个三电平脉冲发生器、被配置成驱动正电压和负电压的一个或多个双极脉冲发生器、一个或多个单极脉冲发生器等)以及/或者任何其他合适的电路,因为本文中描述的技术的方面不受限于作为超声元件111的一部分的电路的类型。

[0054] 超声发射单元107可以被配置成通过使用解码电路109对延迟网格电路输入信号104的时间延迟版本106进行解码。解码电路109可以被配置成实现与由编码电路103实现的编码对应的解码。例如,在编码电路103被配置成对初始信号进行编码,使得得到的编码信号具有比初始信号更少的位的实施方式中,解码电路109可以被配置成对编码信号进行解码,使得解码信号具有比编码信号更大数目的位(例如,解码信号可以具有与由编码电路编码的初始信号相同的位数)。

[0055] 在一些实施方式中,解码电路109可以被配置成实现M比N位解码器(其中N和M中的每个都是正整数并且其中N大于M),使得当解码电路109对由B位够成的编码信号进行解码时,得到的解码信号由大约 $B*N/M$ 位构成。作为具体的非限制性示例,解码电路109可以被配置成实现1比2解码器,使得当解码电路对由B位构成的编码信号进行解码时,得到的解码信号由大约 $2B$ 位构成。作为另一具体的非限制性示例,解码电路109可以被配置成实现2比3位解码器,使得当解码电路对由B位构成的编码信号进行解码时,得到的解码信号由大约 $3B/2$ 位构成。这样的解码器可用于5至8电平脉冲发生器。作为另一具体的非限制性示例,解码电路109可以被配置成实现1比3位解码器,使得当解码电路对由B位构成的编码信号进行解码时,得到的解码信号由大约 $3B$ 位构成。下面参照图7、图8B和图8D更详细地描述解码电路109。

[0056] 超声发射单元107可以被配置成通过使用超声元件111发射与多个解码波形对应的超声信号。这可以以任何合适的方式来完成。例如,可以根据多个解码波形来驱动超声元件,以生成与多个解码波形对应的超声信号。如前所述,超声元件111可以包括一个或多个超声换能器。超声换能器可以是任何合适的类型,并且在一些实施方式中,超声换能器可以与CMOS衬底兼容,因此允许超声换能器与CMOS集成电路单片形成在CMOS衬底上。以这种方式,可以形成集成装置(例如,片上超声系统)。

[0057] 在一些实施方式中,超声换能器可以是CMOS超声换能器(CUT),其包括形成在CMOS晶片上并与CMOS集成电路单片集成的超声换能器。CUT可以例如包括形成在CMOS晶片中的腔,其中膜(或隔膜)覆盖腔,并且在一些实施方式中密封该腔。可以提供电极以从覆盖的腔结构创建换能器单元。CMOS晶片可以包括可以连接至换能器单元的集成电路。

[0058] CUT不是可以允许将换能器与IC集成的唯一类型的超声换能器。在一些实施方式中,超声换能器可以是电容性微加工超声换能器(CMUT)。

[0059] 不是所有的实施方式都限于采用本文中描述的类型超声换能器装置中的CUT或CMUT。本文中描述的技术的一些方面适用于超声换能器装置,而不管所实现的超声换能器的类型。例如,在一些实施方式中,可以使用扬声器,麦克风或任何合适的超声换能器阵列

的阵列。

[0060] 在一些实施方式中, (由延迟网格电路105生成的) 延迟网格电路输入信号的多个时间延迟版本中的每个可以被输出至相应的超声发射单元107 (如图1中所示, 每个超声发射单元107包括解码电路109和超声元件111)。特定超声发射单元107的解码电路109可以被配置成对被提供给特定超声发射单元的延迟网格电路输入信号的时间延迟版本进行解码。因此, 超声波发射单元107中的解码电路109可以被配置成产生多个解码波形。进而, 超声波发射单元107中的超声元件111被配置成发射与多个解码波形对应的超声信号。

[0061] 在一些实施方式中, 超声发射单元107中的超声元件111被配置成在时间上并行发射与多个解码波形对应的超声信号, 使得解码波形的并行发射导致由单衬底超声装置100发射期望的超声场。例如, 发射的超声场可以被形成为由超声元件111并行发射的信号 (例如, 与解码波形对应的超声信号) 的叠加。

[0062] 在一些实施方式中, 两个信号的并行发射可以是并发的、基本上并发的或者基本上同时的。如果两个信号在被发射时在时间上具有任何重叠, 则这两个信号的发射是并发的。如果时间上的重叠至少为80%、至少为90%或更多, 则这两个信号的发射是基本上并发的。如果时间上的重叠大约为95%或更多, 则这两个信号的发射是同时的。

[0063] 从上文中可以理解, 由超声元件111的并行操作产生的超声场的类型至少部分地取决于控制延迟网格电路105以产生在被编码以及由波形生成器102生成之后的波形的一组时间延迟版本的方式。延迟网状电路105可以被控制成使得超声元件的并行操作可以被配置成生成多种类型的超声场中的任何一种, 多种类型的超声场包括但不限于平面波场、具有方位角对称性的场、具有高程对称性的场、具有方位角对称性和高程对称性两者的场、圆柱形场、具有方位角对称性的圆柱形场、具有高程对称性的圆柱形场、球形或圆柱形聚焦束场、球形或圆柱形发散波场、3D平面波场、任何合适的医学相关的超声场以及/或者任何其他合适类型的超声场或一组场。作为一个非限制性示例, 根据Hadamard码对波形应用反相可以创建一组合适的场。

[0064] 还应当明白, 控制延迟网格电路105生成由波形生成器生成的场的序列中的每个的一组时间延迟版本的方式可以用于实现扫描目标以及/或者操纵由超声装置发射的场。这样的功能又可以用于实现3D成像功能。

[0065] 还应当明白, 图1中所示的单衬底超声装置的架构是说明性的, 并且该架构的变型是可能的。例如, 尽管在图1的实施方式中, 单个波形生成器102耦接至编码电路103, 但是在其他实施方式中, 超声装置100可以包括耦接至编码电路103的多个波形生成器。在这样的实施方式中, 编码电路103可以包括多个编码电路, 每个编码电路耦接至相应的波形生成器, 或者多个波形生成器可以耦接至单个编码电路。每个波形生成器可以被配置成生成一个或更多个波形。可以一次操作一个波形生成器, 或者可以并行操作两个或更多个波形生成器。

[0066] 因此, 在一些实施方式中, 单衬底超声装置可以包括任何合适数目的波形生成器。在一些实施方式中, 单衬底超声装置可以包括比超声发射单元更少的波形生成器。如以上所讨论的, 具有比超声发射单元更少的波形生成器 (其中, 每个超声发射单元包括一个或更多个超声换能器) 可以用于减少将波形生成器集成在具有超声发射单元的单衬底上所需的空间和功率 (与其中波形生成器的数目等于超声发射单元的数目的情况相比)。作为一个非

限制性示例,单衬底超声装置可以包括至少两倍于波形生成器的超声发射单元。作为另一非限制性示例,单衬底超声装置可以包括至少四倍于波形生成器的超声发射单元。作为另一非限制性实例,单衬底超声装置可以包括8(或16、或32、或64、至少100、至少250、至少500、至少1000、至少5000、至少10,000、500至15,000之间等)倍于波形生成器的超声发射单元。

[0067] 作为示出了编码和解码电路的图1中所示的架构的变型的另一示例,在一些实施方式中,可以在没有编码和解码电路的情况下实现单衬底超声装置。在这样的实施方式中,与衬底集成的一个或更多个波形生成器可以直接或间接地耦接至与衬底集成的延迟网格电路的输入,延迟网格电路又可以耦接至与衬底集成的超声发射单元的输入。

[0068] 还应当明白,图1中所示的部件可以仅是为单衬底超声装置100的一部分。例如,图1中示出的部件可以是超声装置100的部件的单个超声电路模块,而超声装置100可以包括多个这样的模块(例如,至少两个模块、至少十个模块、至少100个模块、至少1000个模块、至少5000个模块、至少10,000个模块、至少25,000个模块、至少50,000个模块、至少100,000个模块、至少250,000个模块、至少500,000个模块、二至一百万个模块之间等),每个模块包括图1中所图示的部件。多个超声电路模块可以被配置成互相独立地操作和/或互相协作地操作。这将在下面参照图3更详细地描述。

[0069] 在一些实施方式中,图1中示出的部件的操作可以由位于单衬底超声装置100之外的部件来控制。例如,在一些实施方式中,另一计算装置(例如,FPGA,可以使用存储在至少一个非暂态计算机可读介质等上的指令编程的至少一个计算机硬件处理器)可以被配置成控制单衬底装置100的一个或更多个部件的操作。作为一个非限制性示例,计算装置可以提供一或多个控制信号来控制波形生成器102、编码电路103、延迟网格电路105和/或一或多个超声发射单元107的操作。附加地或者替代地,单衬底超声装置100可以包括一或多个控制部件,一或多个控制部件被配置成(例如,经由一或多个控制信号)控制单衬底超声装置100的其他部件的操作。在一些实施方式中,单衬底超声装置的一个或更多个部件可以由装置100中的一个或更多个“片上”部件和装置100之外布置的“片外(off-chip)”部件的组合来控制。

[0070] 下面参照图2进一步说明图1中所图示的电路的操作的方面,图2是用于生成和发射超声场的说明性处理200的流程图,处理200通过使用单衬底超声装置来生成和发射形成超声场的一个或更多个超声波形。处理200可以由任何合适的单衬底超声装置(例如,参照图1描述的超声装置100)来执行。

[0071] 处理200开始于202,在此处由波形生成器生成波形。波形生成器可以是任何合适类型的生成器,并且可以与单衬底超声装置的衬底集成,诸如参照图1描述的波形生成器102。所生成的波形可以是任何合适的类型(例如,包括一个或更多个脉冲、连续波、线性调频、编码激励等的波形)。在一些实施方式中,可以作为处理200的一部分生成波形。在其他实施方式中,波形可能在处理200的执行202之前已经(由波形生成器或任何其他合适的电路)生成,并且可以被加载(或以其他方式被访问)作为处理200的阶段202的一部分。

[0072] 接着,处理200进行到204,在此处由编码电路对在202处获得的波形进行编码以获得经编码的波形。编码电路可以是任何合适的类型,并且可以与单衬底超声装置的衬底集成,诸如参照图1描述的编码电路103。可以使用任何合适的编码技术(例如,压缩技术、有损

编码技术、无损编码技术、本文中描述的任何编码技术等)对波形进行编码。在一些实施方式中,经编码的波形可以由比在202处获得的波形更少的位构成。

[0073] 在204处获得经编码的波形之后,处理200进行到206,在此处可以获得经编码的波形的一个或多个时间延迟版本或实例。可以获得经编码的波形的任何合适数目的时间延迟版本。在一些实施方式中,可以针对与单衬底装置集成的多个超声发射单元中的每个获得经编码的波形的时间延迟版本。作为一个非限制性示例,可以对形成在超声装置的衬底上的超声电路模块中的一些或所有超声发射单元中的每个获得经编码的波形的时间延迟版本。作为另一非限制性示例,可以对形成在超声装置的衬底上的多个超声电路模块中的一些或所有超声发射单元中的每个获得经编码的波形的时间延迟版本。

[0074] 在一些实施方式中,经编码的波形的一个或多个时间延迟实例可以通过使用集成在单衬底超声装置的衬底上的延迟网格电路来获得。例如,(参照图1描述的)延迟网格电路105可以用于执行处理200的阶段206。延迟网格电路可以包括多个延迟网格单元,且可以被配置成至少部分地通过在延迟网格单元中传播经编码的波形来生成经编码的波形的一个或多个时间延迟版本。延迟网格单元中的每个可以被配置成将通过该延迟网格单元的波形延迟可配置的量。如下面更详细地描述的,延迟网格的操作可以由一个或多个参数来控制,一个或多个参数控制延迟网格网络中的延迟网格单元如何互相通信以及每个延迟网格单元进行操作以延迟通过该单元的信号的方式。

[0075] 在206处获得经编码的波形的一个或多个时间延迟版本之后,处理200进行到208,在此处由解码电路对经编码的波形的一个或多个时间延迟版本进行解码以获得一个或多个解码波形。解码电路可以是任何合适的类型,并且可以与单衬底超声装置的衬底集成,诸如参照图1描述的了解码电路109。可以使用任何合适的解码技术(其示例在本文中描述)来执行解码。在一些实施方式中,解码波形可以由比用于获得该解码波形的经编码的波形的时间延迟版本更多的位构成。

[0076] 在208处获得一个或多个解码波形之后,处理200进行到210,在此处使用解码波形来驱动一个或多个超声元件(例如,参照图1描述的超声元件111)以生成超声信号。解码波形中的至少一些(例如,全部)可以并行驱动多个超声元件以生成期望的超声波。上面已经描述了可以以这种方式生成的超声波的示例。

[0077] 应当明白,处理200是说明性的,并且变型是可能的。例如,在一些实施方式中,可以分别在不执行编码204和解码208的情况下执行处理200。在这样的实施方式中,所生成的波形在202处被生成,并且在206处将获得所生成的波形的一个或多个时间延迟版本。进而,在210处,会将所生成的波形的一个或多个时间延迟版本提供给一个或多个超声换能器以进行发射。

[0078] 还应当明白,处理200可以由包括多个这样的模块的超声装置的一个或多个超声电路模块中的每个来执行。图3中示出了包括多个超声电路模块的单衬底超声装置的一个实施方式。

[0079] 图3示出了超声装置的衬底302(例如,半导体衬底),在衬底302上形成有多个超声电路模块304。如所示出的,超声电路模块304可以包括多个超声元件306。超声元件306可以包括多个超声换能器308。

[0080] 在图示出的实施方式中,衬底302包括144个模块,这144个模块被布置为具有72行

和2列的阵列。然而,应当明白,单衬底超声装置的衬底可以包括任何合适数目的超声电路模块(例如,至少2个模块、至少10个模块、至少100个模块、至少1000个模块、至少5000个模块、至少10,000个模块、至少25,000个模块、至少50,000个模块、至少100,000个模块、至少250,000个模块、至少500,000个模块、二至一百万个模块等),这些超声电路模块可以被布置为模块的具有任何合适数目的行和列的二维阵列,或者以任何其他合适的方式被布置。

[0081] 在图示出的实施方式中,每个模块包括64个超声元件,这64个超声元件被布置成具有两行和32列的阵列。然而,应当明白,超声电路模块可以包括任何合适数目的超声元件(例如,1个超声元件、至少2个超声元件、至少4个超声元件、至少8个超声元件、至少16个超声元件、至少32个超声元件、至少64个超声元件、至少128个超声元件、至少256个超声元件、至少512个超声元件、2至1024个元件、至少2500个元件、至少5,000个元件、至少10,000个元件、至少20,000个元件、1000至20,000个元件等),这些超声元件可以被布置为成超声元件的具有任何合适数目的行和列的二维阵列,或者以任何其他合适的方式被布置。

[0082] 在图示出的实施方式中,每个超声元件包括16个超声波换能器,这16个超声波换能器被布置为具有四行四列的二维阵列。然而,应当明白,超声元件可以包括任何合适数目的超声换能器(例如,1个、至少2个、至少4个、至少16个、至少25个、至少36个、至少49个、至少64个、至少81个、至少100个、1至200个之间等),这些超声换能器可以被布置为具有任何合适数目的行和列的二维阵列(正方形或矩形),或者以任何其他合适的方式被布置。

[0083] 应当明白,上述任何部件(例如,超声发射单元、超声元件、超声换能器)可以被布置为一维阵列、为二维阵列或者以任何其他合适的方式被布置。

[0084] 如前所述,超声电路模块除了包括一个或更多个超声元件以外,还可以包括电路。在一些实施方式中,超声电路模块可以包括一个或更多个波形生成器(例如,两个波形生成器、四个波形生成器等)、编码电路(例如编码电路103)、延迟网格电路(例如,延迟网格电路105)和/或解码电路(例如,包括一个或更多个解码电路的解码电路109)。可以是超声电路模块的一部分的电路的这些示例是说明性的而不是限制性的,因为超声电路可以附加地或者替代地包括任何其他合适的电路。

[0085] 在一些实施方式中,单衬底超声装置可以包括模块互连电路,模块互连电路与衬底集成并且被配置成将超声电路模块互相连接以允许数据在超声电路模块之间流动。例如,装置模块互连电路可以提供邻近超声电路模块之间的连接。以这种方式,超声电路模块可以被配置成向装置上的一个或更多个其他超声电路模块提供数据以及/或者从装置上的一个或更多个其他超声电路模块接收数据。

[0086] 在超声电路模块被配置成互相通信的实施方式中,由一个超声电路模块中的波形生成器生成的波形的时间延迟版本(并且可选地被编码)可以被传播到一个或更多个超声电路模块中的一个或更多个超声元件,并且(如果执行编码,则在解码之后)由这些超声元件进行发射。作为一个非限制性示例,可以通过使用布置在衬底的中心附近的单个波形生成器通过将所生成的波形向外传播通过所有超声电路模块来生成超声场。源自第一超声电路模块的信号到第二电路模块的传播可以至少部分地通过传播该信号通过第一超声电路模块的延迟网格、第二电路模块的延迟网格以及将第一超声电路模块与第二超声电路模块分离的任何超声电路模块的一个或更多个延迟网格来执行。这样,应当明白,模块互连电路可以包括连接不同超声电路模块的延迟网格的电路。



[0087] 可以参照图4来进一步理解延迟网格电路(例如,图1的延迟网格电路105)的方面,图4图示出了包括多个延迟网格单元404的延迟网格电路403。延迟网格电路403可以被配置成从输入电路402接收输入信号并且向超声发射单元406提供输出信号。在图示出的实施方式中,每个延迟网格单元404的输入耦接至输入信号电路402的输出,输入信号电路402被配置成向延迟网格单元404提供一个或多个输入信号。每个延迟网格单元404的输出耦接至相应的超声发射单元406的输入。因此,延迟网格电路403中的延迟网格单元404可以被配置成从输入信号电路402接收输入信号,生成输入信号的多个时间延迟版本,并且将所生成的输入信号的时间延迟版本提供给超声发射单元406。

[0088] 在一些实施方式中,输入信号电路402包括编码电路(例如,图1的编码电路103),编码电路103被配置成将编码信号作为输入信号提供给延迟网格电路403。编码电路可以将由一个或多个波形生成器(例如,图1的波形生成器102)生成的一个或多个波形进行编码而获得的一个或多个经编码的波形作为输入信号提供给延迟网格单元404。附加地或者替代地,输入信号电路402可以包括一个或多个波形生成器(例如,一个波形生成器、两个波形生成器、三个波形生成器等),一个或多个波形生成器被配置成生成波形并且将这些波形提供给延迟网格单元404作为输入信号。

[0089] 延迟网格电路403可以耦接至任何合适数目的超声发射单元406(例如,至少1个单元、至少2个单元、至少4个单元、至少8个单元、至少16个单元、至少32个单元、至少64个单元、至少128个单元、至少256个单元、单个超声电路模块中的一些或所有超声发射单元、多个超声电路模块中的一些或所有超声发射单元等)。

[0090] 在图示出的实施方式中,每个延迟网格单元404的输出耦接至单个相应的超声发射单元406的输入。然而,在一些实施方式中,一个或多个延迟网格单元404可以被配置成向多个超声发射单元406提供输出信号,因为本文中描述的技术的方面在这方面不受限。这将进一步参照图5B进行讨论。

[0091] 延迟网格电路403包括互连的延迟网格单元404的网络。如下文更详细描述,每个延迟网格单元404可以被配置成从一个或多个源(例如,一个或多个其他延迟网格单元和/或输入信号电路402)接收一个或多个输入信号,接收一个或多个控制信号,至少部分地基于控制信号对一个或多个输入信号执行一个或多个动作以产生一个或多个输出信号,并且将输出信号提供给一个或多个目的地(例如,一个或多个其他延迟网格单元404和/或一个或多个超声发射单元406)。

[0092] 延迟网格电路403可以包括任何合适数目的延迟网格单元。在一些实施方式中,延迟网格电路403可以包括与延迟网格电路403耦接至的超声发射单元的数目至少一样多的延迟网格单元。作为一个非限制性示例,延迟网格电路403可以包括与延迟网格电路403耦接至的超声发射单元的数目相同的延迟网格单元。作为另一非限制性示例,延迟网格电路403可以包括延迟网格电路403耦接至的超声发射单元的数目的至少两倍(或三倍、或四倍、或五倍等)的延迟网格单元。

[0093] 延迟网格单元可以被配置成对输入信号执行多种类型的动作中的任何一种,多种类型的动作包括但不限于以下中的任何一种或更多种:在将输入信号输出至一个或多个目的地之前延迟该输入信号,将输入信号的一部分选择为输出信号并提供给一个或多个目的地,以及对输入信号执行任何适当的位级算术和/或逻辑运算。

[0094] 延迟网格单元可以被配置成将输入信号的不同版本输出至不同的目的地。例如，在一些实施方式中，延迟网格单元可以被配置成将输入信号延迟第一量并且将得到的经延迟的信号提供给一个或更多个延迟网格单元，以及将输入信号延迟第二量并且将得到的经延迟的信号提供给一个或更多个超声发射单元。

[0095] 延迟网格单元404可以被配置成互相通信(例如，从其接收输入和/或向其提供输出)。在一些实施方式中，延迟网格单元可以被配置成与延迟网格电路中的一个或更多个邻近的延迟网格单元通信。例如，如图4中所示，延迟网格单元被配置成与其左邻居和右邻居通信。作为另一示例，如果延迟网格单元被布置在二维网格中，则延迟网格单元可以被配置成与其左、右、上和下的邻居中的一个或更多个通信。然而，应当明白，延迟网格单元不限于与其相邻的延迟网格单元通信，并且附加地或者替代地，可以被配置成与延迟网格电路中的任何其他延迟网格单元(例如，对角线邻居、邻居的邻居、邻居以外的延迟网格单元、同一行中的延迟网格单元、同一列中的延迟网格单元等)通信。

[0096] 延迟网格电路可以被控制成响应于一个或更多个延迟网格电路控制信号而产生延迟网格输入信号的期望的一组时间延迟集合版本。在一些实施方式中，延迟网格电路可以被配置成响应于不同的延迟网格电路控制信号而产生同一延迟网格输入信号的不同的一组时间延迟版本。在一些实施方式中，延迟网格电路可以以不同程度的精度(例如，在期望的时间段内、在期望数目的时钟周期内、在输入波形的指定相位内等)被控制以产生延迟网格输入信号的延迟版本。

[0097] 延迟网格电路控制信号可以包括用于控制延迟网格中的各个延迟网格单元的一个或更多个延迟网格单元控制信号。延迟网格单元控制信号可以控制延迟网格单元如何操作的各个方面。图5A图示出了施加到(在任何延迟网格电路外部示出的)延迟网格单元500的延迟网格单元控制信号的一部分。

[0098] 在一些实施方式中，延迟网格单元控制信号可以指定延迟网格单元要从其接收输入信号的源。例如，用于延迟网格单元的延迟网格单元控制信号可以指定另一延迟网格单元作为该延迟网格单元要从其接收输入信号的源，或者可以选择延迟网格输入电路(例如，波形生成器、对波形生成器的输出进行编码的编码器等)作为该延迟网格单元要从其接收输入信号的源。例如，如图5A中所示，延迟网格单元控制信号包括用于控制对延迟网格单元500要从其接收输入信号的源进行选择的部分502a。在图5A的实施方式中，部分502a控制从四个相邻的延迟网格单元和波形生成器中对源的选择(例如，通过控制多路复用器)。在其他实施方式中，部分502a可以控制从任何合适数目的延迟网格单元(相邻的或不相邻的)和/或任何合适数目的波形生成器中对源的选择，因为本文中描述的技术的方面在这方面不受限。

[0099] 延迟网格单元可以包括缓冲器(例如，被实现为移位寄存器、可寻址存储器和/或采用任何其他合适的方式)，该缓冲器被配置成存储由延迟网格单元(例如，从另一延迟网格单元、从波形生成器等)接收的一个或更多个输入信号。因此，在一些实施方式中，延迟网格单元控制信号可以指定要写入输入信号的缓冲器中的一个或更多个位置。例如，如图5A中所示，延迟网格单元控制信号包括用于指定要写入输入信号的缓冲器中的一个或更多个位置的部分502c(称为“写入选择”)。作为一个非限制性示例，在缓冲器被实现为移位寄存器的实施方式中，部分502c可以指定要写入输入信号的移位寄存器内的位置。作为另一非

限制性示例,在缓冲器被实现为可寻址存储器的实施方式中,部分502c可以指定起始位置,从该起始位置开始,输入信号将被连续地写入到缓冲器,或者部分502c可以指定要写入输入信号的一组位置。

[0100] 在一些实施方式中,延迟网格单元控制信号可以指定要从其读取的待输出的信号在缓冲器中的一个或更多个位置。例如,如图5A中所示,延迟网格单元控制信号包括用于指定要从其读取输入信号的缓冲器中的一个或更多个位置的部分502b(称为“读取选择”)。作为一个非限制性示例,在缓冲器被实现为移位寄存器的实施方式中,部分502b可以指定要从其读取输出信号的移位寄存器内的位置。作为另一非限制性示例,在缓冲器被实现为可寻址存储器的实施方式中,部分502b可以指定起始位置,从该起始位置开始,将从缓冲器连续读取输入信号,或者部分502b可以指定读取输出信号的一组位置。

[0101] 从上文可以明白,控制向其写入输出信号的延迟网格单元的缓冲器中的一个或更多个位置以及从缓冲器中从其读取输出信号的位置允许指定在将信号输出至目的地(例如,另一延迟网格单元和/或超声发射单元)之前将进入延迟网格单元中的信号延迟的时间量(例如,按照时钟样本的数目)。以这种方式,延迟网格电路中的每个延迟网格单元可以被控制成将相应的输入信号延迟指定的量。应当明白,可以控制不同的延迟网格单元将相应输入的输入信号延迟不同的量,因为本文提供的技术的方面在这方面不受限。

[0102] 另外,延迟网格单元控制信号可以包括将延迟网格单元复位的复位信号(例如,图5A中称为“RST”的部分502d)、时钟信号(例如,图5A中称为“CLK”的部分502e)、指示是否将要输出至超声波发射单元的波形反相的信号(参见例如图5A中称为“反相”的部分502f)、指示是启用还是禁用延迟网格单元的信号(参见例如图5A中称为“单元启用”的部分502f)以及指示是启用还是禁用至一个或更多个输出目的地(诸如相应的超声发射单元中的脉冲发生器)或者一个或更多个其他延迟网格单元的输出的信号(参见例如图5A中称为“输出启用”的部分502h)。单元启用信号和输出启用信号可以用于将延迟网格单元断电或者启用其作为缓冲器的用途,但是抑制至诸如相应的一个或更多个超声发射单元的输出目的地的输出。

[0103] 图5B提供了根据本文中描述的一些实施方式的说明性延迟网格单元550的架构。延迟网格单元550可以是任何合适的延迟网格单元,并且例如可以是参照图4描述的延迟网格单元404中的一个。延迟网格单元550可以由一个或更多个延迟网格单元控制信号控制。如所示出的,延迟网格单元550由延迟网格控制信号556控制。延迟网格控制信号556包括下面更详细描述的部分576a、576b、576c,以及包括先前描述的时钟和复位信号的部分576d。延迟网格单元控制信号556可以由与其上集成有延迟网格单元550的单衬底装置集成的一个或更多个“片上”部件提供,由诸如耦接至单衬底超声装置但不与单衬底超声装置集成的一个或更多个计算装置的一个或更多个“片外”部件提供,或者由一个或更多个片上部件以及一个或更多个片外部件提供。

[0104] 延迟网格单元550包括由延迟网格控制信号部分576a(称为“方向选择”)控制以选择延迟网格单元550从其接收输入的源的输入线566。在一些实施方式中,输入线566可以包括可以由部分576a控制以选择输入源的至少一个多路复用器。如所示出的,延迟网格单元550可以被控制成从相邻的延迟网格单元552中的一个或者从诸如一个或更多个波形生成器(示出为一个或更多个波形生成器554)的其他输入电路或编码电路(未示出)接收输入信

号。显示)。应当明白,延迟网格单元不限于仅从一个或多个相邻的延迟网格单元(例如,延迟网格单元的左、右、上和下方的单元)接收输入,并且例如可以被配置成从单衬底超声装置中的延迟网格电路的任何其他延迟网格单元部分接收输入。例如,在延迟网格单元被布置在二维网格中的实施方式中,延迟网格单元可以被配置成从位于延迟网格单元的对角线处的另一延迟网格单元接收输入。

[0105] 延迟网格单元550还包括延迟单元565,延迟单元565至少部分地用于存储由延迟网格单元550经由输入线566接收的输入信号。延迟网格单元550中的但不在延迟单元565中的电路可以被称为“网格链路”。如图5B中所示,网格链路包括输入线566、输出线574和输出线575。

[0106] 延迟单元565包括缓冲器570、写入选择电路568以及读选择电路572,写入选择电路568被配置成(响应于“写入选择”延迟网格单元控制信号部分576b)控制由延迟网格单元550接收的输入信号要被写入的缓冲器570中的一个或多个位置,读选择电路572被配置成(响应于“读取选择”部分576c)控制从其读取要作为输出信号提供给一个或多个输出目的地的信号的缓冲器570中的一个或多个位置。应当明白,延迟单元565是延迟单元的一个实施方式,并且延迟单元可以以任何其他合适的方式来实现,因为本文中描述的技术的方面在这方面不受限。

[0107] 在一些实施方式中,缓冲器570可以被实现为移位寄存器。在这样的实施方式中,写入选择电路568和读取选择电路572中的每个可以使用一个或多个多路复用器来实现,一个或多个多路复用器分别被配置成选择向其写入输入信号和从其读取输出信号的缓冲器570中的一个或多个位置。在其他实施方式中,缓冲器570可以被实现为可寻址存储器。在这样的实施方式中,写入选择电路568和读选择电路572中的每个可以被配置成使用一个或多个指针来选择向其写入输入信号和从其读取输出信号的缓冲器570中的一个或多个位置。指针可以以任何合适的方式递增,因为本文提供的技术的方面在这方面不受限。应当明白,缓冲器570不限于被实现为移位寄存器或可寻址存储器,并且可以以任何其他合适的方式来实现。

[0108] 无论缓冲器570被实现的方式如何,缓冲器570可以被配置成存储任何合适大小的输入信号。作为一个非限制性示例,缓冲器570可以被配置成存储10个值或更少、20个值或更少、值位或更少、50个值或更少、100个值或更少、10至100个值之间、50至500个值之间、100至1000个值之间、500至1000个值之间或者任何其他合适数目的值。进而,每个值可以由任何合适数目的位(bit)(例如,1位、2位、4位、8位、16位、32位、64位、128位、256位等)构成。

[0109] 来自延迟网格单元550的输出信号可以被提供给一个或多个输出目的地。如所示出的,延迟网格单元550包括输出线574,输出线574被配置成将来自缓冲器570的输出信号提供给一个或多个延迟网格单元558(延迟网格单元558可以与延迟网格单元552相同或不同)。输出线574可以包括任何合适数目的线,以使得能够将输出信号提供给任何合适数目的延迟网格单元(例如,一个、两个、三个、四个、五个等)。

[0110] 另外,延迟网格单元550可以被配置成将输出信号从缓冲器570提供至一个或多个超声发射单元560。超声发射单元可以是任何合适的超声发射单元,并且例如可以是参照图4描述的超声发射单元406。在图示出的实施方式中,延迟网格单元550被配置成将输出信号经由线575从缓冲器570提供至多路复用器559,多路复用器559可以被控制成选择要将输

出信号提供至的超声发射单元560中的一个。多路复用器559可以是任何合适的类型,并且可以被配置成选择要将输出信号提供至的超声发射单元560中的任何一个(或者任何其他合适的数目)。例如,多路复用器559可以被配置成选择两个或三个或四个或五个超声发射单元560中的任何一个。在其他实施方式中,延迟网格电路可以不包括多路复用器559(如由多路复用器559的虚线所指示的),并且网格单元550可以被配置成将输出信号从缓冲器570经由线575直接提供给超声发射单元560。

[0111] 应当明白,延迟网格单元550可以将不同的输出信号提供至一个或更多个延迟网格单元558以及一个或更多个超声发射单元560。例如,延迟网格单元550可以向一个或更多个延迟网格单元558提供通过将输入信号延迟第一量而获得的输出信号,并且向一个或更多个超声发射单元560提供通过将输入延迟不同于第一量的第二量而获得的不同的输出信号。尽管在一些实施方式中,延迟网格单元可以向所有的输出目的地输出相同的输出信号(例如,向一个或更多个延迟网格单元558以及一个或更多个超声发射单元560提供相同的输出信号),但是本文中提供的公开内容的方面在这方面不受限。

[0112] 如上所述,延迟网格电路可以被配置成通过将输入信号(例如,从波形生成器输出的波形)传播通过延迟网格电路中的多个延迟网格单元来延迟输入信号。每个延迟网格单元可以被配置成将输入信号的版本延迟指定的量。将在图6中进一步图示这一点,图6示出了包括延迟网格单元602的说明性延迟网格电路600(图6的每一行对应于单个延迟网格单元)。每个延迟网格单元602被配置成将输出信号提供给相应的超声发射单元604。每个延迟网格单元602包括被实现为移位寄存器和复用器序列的缓冲器。离开第一延迟网格单元并进入第二延迟网格单元的每个虚线箭头指示从其读取信号的第一延迟网格单元的缓冲器中的位置以及从第一延迟网格单元读取的信号被写入的第二延迟网格单元的缓冲器中的位置。如上所述,可以通过使用延迟网格单元控制信号来指定读取和写入位置,图6中示出的箭头提供一组延迟网格单元控制信号的表示,延迟网格单元控制信号指定图6中示出针对延迟网格单元602的读取和写入位置。也就是说,图6图示出了其中延迟网格单元602的读取和写入位置由一组延迟网格单元控制信号指定的网格链路。

[0113] 这些延迟网格控制信号的最终结果导致图6中图示出的输入信号的延迟。如所示出的,输入至延迟网格电路600的信号的版本沿着顶部延迟网格单元602传播,并且被延迟了六个时间单位(其中单个时间单位对应于例如一个或多个时钟周期),直到信号传播到顶部延迟网格单元的输出。延迟网格输入信号的下述版本被延迟了七个时间单位,该版本通过延迟网格电路600传播(例如,从顶部延迟网格单元开始并且通过第二至第五延迟网格单元中的一个或更多个)并且从第二至第五延迟网格单元中的任何一个输出。延迟网格输入信号的下述版本被延迟了八个时间单位,该版本通过延迟网格电路600传播(例如,从顶部延迟网格单元开始并且随后沿着第二至第八延迟网格单元中的一个或更多个延迟网格单元)并且从第六至第八个延迟网格单元中的任何一个输出。

[0114] 图7、图8A、图8B、图8C和图8D图示出了根据本文中描述的一些实施方式的可以是单衬底超声装置的电路的一部分的编码和解码电路的操作。如上所述,编码电路可以被配置成实现压缩编码,使得编码信号由比被编码的输入信号更少的位构成。进而,解码电路可以被配置成对编码信号解压以获得具有与被编码的输入信号相同位数(或更多位数)的解码信号。在一些实施方式中,编码电路可以被配置成对K状态信号(其中K是大于或等于2的

任何整数)进行编码以获得经编码的L态信号(其中L是大于或等于1的任何整数,L小于K)。进而,解码电路可以被配置成对L状态信号进行解码以获得K状态的编码信号。

[0115] 作为图7中图示出的一个非限制性示例,编码电路702可以被配置成对三状态信号(其状态可以使用两个位来表示的信号)进行编码以获得两状态信号(即,其状态可以使用一个位来表示的信号),并且解码电路704可以被配置成对两状态信号进行解码以获得三状态信号。这样的编码/解码可以用于减少实现延迟网格电路所需的存储器的量。例如,当使用压缩编码对提供给延迟网格电路的输入信号进行编码时,可以使用更小的缓冲器来实现延迟网格电路中的延迟网格单元。

[0116] 在一些实施方式中,编码电路702和解码电路704可以如图8A和8B中所图示的有限状态机那样操作。图8A图示出了在一些实施方式中表示编码电路702的操作的有限状态机(FSM) 800。图8B图示出了在一些实施方式中表示解码电路704的操作的FSM 810。

[0117] FSM 800被配置成对取值为+1、0和-1的三元波形进行编码以获得二进制波形,其值表示状态转换。也就是说,在每个位置处,被编码的波形取值为+1、0或-1,并且经编码的波形取值为0或1。在一些实施方式中,由根据本文中描述的実施方式的波形生成器生成的波形可以不包含连续转换(这本质上是对三元波形的带宽的限制,因为它不允许高频分量)。因此,在一些实施方式中,FSM 800可以被配置成利用通过编码波形而编码的波形的频带限制性质,通过以下方式对波形编码:连续状态转换在解码时不可恢复,这导致经编码的波形的长度减小(例如,200%)。这样,如果使用FSM 800来对具有两个连续转换的波形进行编码,则这些转换在解码时可能不会被恢复。在这个意义上,编码/解码方案是有损的。例如,如果波形“0+10-10-10”由FSM 800编码,然后由FSM 810解码,则解码波形可以是“0+1+1-1-1-1-1”,原始波形将不会被恢复。

[0118] 如所示出的,FSM 800包括四个状态:“0”、“00”、“sgn”状态和“sgn\*”状态。“sgn”状态对应于其值用于实现FSM 800并且取值为0或1的位的值。注意,“sgn”位的值沿着两个状态转换而改变。“sgn\*”状态表示相应的波形值“+1”和“-1”。图中的箭头表示状态之间的状态转换。每个值上的数字表示编码。符号“X”是指对于编码目的无关紧要的值。

[0119] FSM 810被配置成对由FSM 800执行的编码进行反相。也就是说,FSM 810被配置成将(在波形中的每个位置处)取值为0和1的二进制波形解码为(在波形中的每个位置处)取值为+1、0和-1的三元波形。如所示出的,FSM 810包括三种状态:“0”、“sgn”状态和“sgn\*”状态。如在FSM 800的情况下,“sgn”状态取值为0或1,“sgn\*”状态表示相应的波形状态“+1”和“-1”,符号“X”是指对于解码目的无关紧要的值。

[0120] 在一些实施方式中,编码电路702和解码电路704可以如图8C和图8D中所图示的有限状态机那样操作。图8C图示出了在一些实施方式中表示编码电路702的操作的有限状态机(FSM) 820。图示出图8C的FSM 820的操作的转换表在下面被示出在表1中。图8D图示出了在一些实施方式中表示解码电路704的操作的FSM 830。图示出8D的FSM 830的操作的转换表在下面被示在表2中。

[0121] 图8C的FSM 820与图8A的FSM 800的不同之处在于,状态“0”与状态“sgn\*”之间的转换具有分别从(1, !sgn)和(1,sgn)改变为(1,1)和(1,0)的值。图8D的FSM 830以相同的方式不同于图8B的FSM 810。当编码电路702和解码电路704分别如FSM 820和830所图示那样进行操作时,改变输入波形中的一位(例如,输入波形中的第二位)可以导致在解码时波形

被反相(例如,在其每个值的取值为-1、0或1的三元波形中,反相的效果是每个-1变为+1,并且每个+1变为-1)。在包括编码/解码电路的实施方式中,这样的功能可能是有利的,因为该功能提供了通过使用超声发射单元中的解码电路来使波形反相的有效方式;不需要用于执行反相的附加电路。

[0122]

编码值	输入值	当前状态	下一状态	sgn值
0,X	0,0	0	0	X
1,1	0,-1	0	sgn*	0
1,1	0,+1	0	sgn*	1
1,0	0,+1	0	sgn*	0
1,0	0,-1	0	sgn*	1
X,X	+1,X	sgn*	sgn	0
X,X	-1,X	sgn*	sgn	1
0,X	+1,+1	sgn	sgn	0
0,X	-1,-1	sgn	sgn	1
1,1	-1,+1	sgn	sgn*	0
1,1	+1,-1	sgn	sgn*	1
1,0	+1,0	sgn	00	0
1,0	-1,0	sgn	00	1
X,X	0,X	00	0	X

[0123] 表1:用于图8C的可反相编码器的状态转换表

[0124]

编码值	(下一状态的)解码值	当前状态	下一状态	sgn值
-----	------------	------	------	------

[0125]

<b>0,X</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>X</b>
<b>1,1</b>	<b>-1</b>	<b>0</b>	<b>sgn*</b>	<b>0</b>
<b>1,1</b>	<b>+1</b>	<b>0</b>	<b>sgn*</b>	<b>1</b>
<b>1,0</b>	<b>+1</b>	<b>0</b>	<b>sgn*</b>	<b>0</b>
<b>1,0</b>	<b>-1</b>	<b>0</b>	<b>sgn*</b>	<b>1</b>
<b>X,X</b>	<b>+1</b>	<b>sgn*</b>	<b>sgn</b>	<b>0</b>
<b>X,X</b>	<b>-1</b>	<b>sgn*</b>	<b>sgn</b>	<b>1</b>
<b>0,X</b>	<b>+1</b>	<b>sgn</b>	<b>sgn</b>	<b>0</b>
<b>0,X</b>	<b>-1</b>	<b>sgn</b>	<b>sgn</b>	<b>1</b>
<b>1,1</b>	<b>-1</b>	<b>sgn</b>	<b>sgn*</b>	<b>0</b>
<b>1,1</b>	<b>+1</b>	<b>sgn</b>	<b>sgn*</b>	<b>1</b>
<b>1,0</b>	<b>0</b>	<b>sgn</b>	<b>0</b>	<b>X</b>

[0126] 表2:用于图8D的可反相解码器的状态转换表

[0127] 本文中描述的技术的各方面可以提供一种或更多种益处,先前已经描述了其中的一些。现在描述的是这样的益处的一些非限制性示例。应该明白,不是所有的方面和实施方式必须提供现在描述的所有益处。此外,应该明白,本文中描述的技术的各方面可以向现在描述的那些提供附加的益处。

[0128] 本技术的各方面提供了包括用于向用于产生医学相关的超声场的超声换能器提供期望波形的在空间和功率方面高效的电路的单衬底超声装置。在一些实施方式中,电路可以被完全数字化,并且可以在单衬底(诸如CMOS衬底)上与超声换能器集成。该电路包括延迟网格,该延迟网格允许超声装置在单衬底上集成有比超声换能器更少的波形生成器。

[0129] 根据本申请的一个方面,提供了一种设备,包括:衬底、与衬底集成的第一超声发射单元以及与衬底集成的延迟网格电路,延迟网格电路耦接至第一超声发射单元的输入,并且被配置成向第一超声发射单元输出与由波形生成器生成的波形对应的延迟网格电路输入信号的时间延迟版本。现在描述这个方面的各种实施方式,这些实施方式可以单独使用或以任何组合方式使用。

[0130] 在一个实施方式中,设备还包括波形生成器,在一些这样的实施方式中,波形生成器与衬底集成。

[0131] 在一个实施方式中,设备还包括与衬底集成的编码电路。编码电路被配置成对由波形生成器生成的波形进行编码以产生延迟网格电路输入信号。在一些这样的实施方式中,波形生成器具有耦接至编码电路的输入的输出,并且编码电路具有耦接至延迟网格电路的输入的输出。在一些实施方式中,编码电路被配置成实现N比M位编码器,其中N和M中的每个是正整数,并且其中N大于M。在一些实施方式中,编码电路被配置成实现2比1位编码



器。

[0132] 在一个实施方式中,延迟网格电路是可编程的。

[0133] 在一个实施方式中,延迟网格电路包括第一延迟网格单元,第一延迟网格单元被配置成接收延迟网格单元控制信号和延迟网格单元输入信号,并且将延迟网格单元输入信号延迟一定量的时间以产生延迟网格单元输出信号,一定量的时间至少部分地基于延迟网格单元控制信号来确定。在一些这样的实施方式中,延迟网格电路还包括耦接至第一延迟网格单元的多个延迟网格单元,多个延迟网格单元至少包括第二延迟网格单元和第三延迟网格单元。第一延迟网格单元还被配置成从第二延迟网格单元接收延迟网格单元输入信号,并且将延迟网格单元输出信号提供给第三延迟网格单元。

[0134] 在一个实施方式中,第一超声发射单元包括至少一个超声元件,超声元件包括至少一个超声换能器。在一些这样的实施方式中,至少一个超声元件包括多个超声元件,多个超声元件中的每个包括至少一个超声换能器,并且在一些实施方式中包括多个超声换能器。第一超声发射单元包括解码电路,解码电路被配置成对延迟网格电路输入信号的时间延迟版本进行解码以获得解码波形。解码电路被配置成实现M比N位解码器,其中N和M中的每个为正整数,其中M小于N。在一些实施方式中,解码电路被配置成实现1比2位解码器。在一些实施方式中,至少一个超声换能器被配置成发射与解码波形对应的超声信号。

[0135] 在一个实施方式中,波形生成器可以被配置成生成脉冲、连续波、编码激励或线性调频波形中的一个或多个。在一些实施方式中,线性调频波形是线性频率调制(LFM)线性调频。

[0136] 在一个实施方式中,衬底是互补金属氧化物半导体(CMOS)衬底。

[0137] 在一个实施方式中,设备还包括与衬底集成的多个超声发射单元,其中延迟网格电路耦接至多个超声发射单元中的每个的输入。在一些实施方式中,延迟网格电路被配置成向多个超声发射单元中的每个输出与由波形生成器生成的波形对应的延迟网格电路输入信号的相应时间延迟版本。在一些实施方式中,延迟网格电路被配置成向多个超声发射单元输出由波形生成器生成的波形对应的延迟网格电路输入信号的多个时间延迟版本。在一些实施方式中,多个超声发射单元包括多个解码电路和多个超声换能器,多个超声发射单元中的每个包括多个解码电路中的至少一个以及多个超声发射单元中的至少一个换能器。在一些实施方式中,多个解码电路被配置成对延迟网格电路输入信号的多个时间延迟版本进行解码以获得多个解码波形。

[0138] 在一些实施方式中,多个超声换能器被配置成至少部分地通过发射与多个解码波形对应的超声信号来生成超声场。在一些实施方式中,多个超声换能器被配置成通过并行发射与多个解码波形中的两个或多个对应的超声信号来生成超声场。在一些实施方式中,超声场是具有方位角对称性、高程对称性、圆柱对称性、球面对称性的场或者是平面波场。

[0139] 根据本申请的一个方面,提供了一种设备,设备包括:衬底、与衬底集成的多个波形生成器、与衬底集成的多个超声发射单元以及与衬底集成的延迟网格电路。延迟网格电路耦接至多个超声发射单元的输入,并且配置成向多个超声发射单元输出延迟网格电路输入信号的多个时间延迟版本,延迟网格电路输入信号与由波形生成器生成的多个波形对应。现在描述这个方面的各种实施方式,这些实施方式可以单独被使用或以任何组合方式

使用。

[0140] 在一个实施方式中,设备还包括编码电路,编码电路与衬底集成并且包括多个编码电路,其中每个编码电路耦接至多个波形生成器中的至少一个的输出。每个编码电路包括耦接至延迟网格电路的输入的输出。在一些实施方式中,编码电路被配置成至少部分地通过对由多个波形生成器生成的多个波形进行编码来生成延迟网格电路输入信号,并且将延迟网格电路输入信号输出至延迟网格电路。

[0141] 在一个实施方式中,多个超声发射单元包括多个解码电路和多个超声换能器,多个超声发射单元中的每个包括多个解码电路中的至少一个以及多个超声换能器中的至少一个。在一些实施方式中,多个解码电路被配置成对延迟网格电路输入信号的多个时间延迟版本进行解码以获得多个解码波形。在一些实施方式中,多个超声换能器被配置成至少部分地通过发射与多个解码波形对应的超声信号来生成超声场。在一些实施方式中,多个超声换能器被配置成通过并行发射与多个解码波形中的两个或更多个对应的超声信号来生成超声场。在一个实施方式中,超声场是具有方位角对称性、高程对称性、圆柱对称性、球面对称性的场或者是平面波场。

[0142] 在一个实施方式中,延迟网格电路是可编程的。在一个实施方式中,延迟网格电路是可重新配置的。在一些实施方式中,延迟网格电路被配置成由一个或更多个延迟网格控制信号控制。

[0143] 根据本申请的一个方面,提供了一种设备,设备包括:互补金属氧化物半导体(CMOS)衬底;至少一个波形生成器,至少一个波形生成器与CMOS衬底集成并且被配置成生成至少一个初始波形;编码电路,该编码电路与CMOS集成并且耦接至至少一个波形生成器的至少一个输出,并且被配置成对至少一个初始波形进行编码以生成至少一个经编码的波形。设备还包括与CMOS衬底集成的延迟网格电路,延迟网格电路耦接至编码电路的至少一个输出,且被配置成生成至少一个经编码的波形的多个时间延迟版本。设备还包括多个超声发射单元,多个超声发射单元与CMOS衬底集成并且耦接至延迟网格电路的多个输出。多个超声发射单元包括:解码电路,解码电路被配置成对至少一个经编码的波形的多个时间延迟版本进行解码以产生多个解码波形;以及多个超声换能器,多个超声换能器被配置成至少部分地通过同时发射与多个解码波形对应的超声信号来生成超声场。现在描述这个方面的各种实施方式,这些实施方式可以被单独使用或以任何组合方式使用。

[0144] 在一个实施方式中,至少一个波形生成器包括多个波形生成器,并且编码电路包括用于多个波形生成器中的每个的编码电路。

[0145] 在一个实施方式中,延迟网格电路是可编程的。在一个实施方式中,延迟网格电路是可重新配置的。

[0146] 在一个实施方式中,设备由比超声发射单元更少的波形生成器构成。在一个实施方式中,设备包括至少两倍、至少四倍、至少八倍、至少十六倍、至少三十二倍或至少六十四倍于波形生成器的超声发射单元。

[0147] 在一个实施方式中,超声场是具有方位角对称性、高程对称性、圆柱对称性、球面对称性的场或者是平面波场。

[0148] 根据本申请的一个方面,提供了一种方法,方法包括:使用单衬底超声装置对由波形生成器生成的波形进行编码以获得经编码的波形,产生经编码的波形的多个时间延迟版

本,对经编码的波形的多个时间延迟版本进行解码以获得多个解码波形,以及至少部分地通过使用多个超声元件并行发射与多个解码波形对应的超声信号来生成超声场。现在描述这个方面的各种实施方式,这些实施方式可以被单独使用或以任何组合方式使用。

[0149] 在一个实施方式中,波形生成器与单衬底超声装置集成,并且该方法还包括生成波形。

[0150] 在一个实施方式中,对波形进行编码包括使用2比1位编码器。

[0151] 在一个实施方式中,对经编码的波形的多个时间延迟版本进行解码包括使用至少一个1比2解码器。

[0152] 在一个实施方式中,超声场是具有方位角对称性、高程对称性、圆柱对称性、球面对称性的场或者是平面波场。

[0153] 已经这样描述了本申请的技术的若干方面和实施方式,应该明白,本领域的普通技术人员将容易地做出各种变化、修改和改进。这样的变化、修改和改进意在包含在本申请所描述的技术的精神和范围内。例如,本领域的普通技术人员将容易地预见用于执行所述功能和/或获得所述结果和/或本文所描述的一种或更多种益处的各种其他的方法和/或结构,并且这样的变化和/或修改中的每一个被认为在本文所描述的実施方式的范围内。本领域的技术人员将意识到或者仅仅利用常规的实验方法能够断定,本文所描述的特定实施方式的许多等同方式。因此,应该理解的是,仅通过示例的方式呈现了前述实施方式,并且在这些实施方式的所附权利要求及其等同方式的范围内,可以实践除了具体描述之外的创造性实施方式。另外,如果本文所描述的特征、系统、制品、材料、工具和/或方法不是互相抵触的,那么这样的特征、系统、制品、材料、工具和/或方法的两种或更多种的任何组合在本公开内容的范围内。

[0154] 此外,如所描述的,一些方面可以以一种或更多种方法实现。作为所述方法的一部分被执行的动作可以以任何合适的方式来安排。因此,实施方式可以被构建为其中动作被以与所图示出的顺序不同的顺序执行,这可以包括同时执行相同的动作,尽管在示例性实施方式中被示出为按顺序的动作。

[0155] 如本文所限定和使用的定义应该被理解为控制词典定义、通过引用并入文件中的定义和/或所限定的术语的一般意义。

[0156] 如本文中所使用的在说明书和权利要求书中的非限定冠词“a(一)”和“an(一)”除非清楚地被指定为相反,否则应该被理解为意指“至少一个”。

[0157] 如本文中所使用的在说明书和权利要求书中的短语“和/或”应该被理解为意指如此结合的元件(即,在一些情况下连接呈现的或者在其他情况下分离呈现的元件)中的“任何一个或两者”。用“和/或”连接的多个元件应该被理解为具有相同的方式,即,如此连接的“一个或更多个”元件。除了那些被通过“和/或”从句具体限定的那些元件之外的元件可以可选择地被呈现,或者与具体限定的那些元件相关或者与具体限定的那些元件不相关。因而,作为非限制性示例,当在用诸如“包括”的开放式的语言连接时,引用“A和/或B”在一种实施方式中可以仅指A(可选地包括除了B之外的元件),在另一实施方式中可以仅指B(可选地包括除了A之外的元件),在又另一实施方式中可以指A和B两者(可选地包括其他元件)等。

[0158] 如本文中所使用的在说明书和权利要求书中,关于一系列一种或更多种元件的短语

“至少一个”应该被理解为意指选择所列元件中的任何一种或者更多种的至少一个元件,但是不必包括在所列元件内具体列出的每个元件中的至少一个并且不排除所列元件中元件的任何组合。这一规定还允许可以可选择地呈现除了在短语“至少一个”所指的那些所列元件内具体限定的元件之外的元件,不管是否与具体限定的那些元件相关或者不相关。因而,作为非限制性示例,“A和B中的至少一个”(或者等同于“A或B中的至少一个”或者等同于“A和/或B中的至少一个”)可以,在一种实施方式中指至少一个,可选地包括不止一个A,不存在B(并且可选地包括除了B的元件);在另一实施方式中,指至少一个,可选地包括不止一个B,不存在A(并且可选地包括除了A的元件);在又另一实施方式中,指至少一个,可选地包括不止一个A,以及至少一个,可选择地包括不止一个B(并且可选地包括其他元件)等。

[0159] 此外,本文所使用的表达和术语是为了描述的目的并且不应该被认为是限制。在本文中“包括”、“包含”或“具有”、“含有”、“涉及”及其变化形式的使用意在包括此后所列出的项目和其等同物以及附加项目。

[0160] 在权利要求书以及上述说明书中,所有诸如“包括”、“包含”、“承载”、“具有”、“含有”、“涉及”、“持有”、“包括(composed of)”等的连接短语(transitional phrase)应该被理解为是开放的,即,意指包括但不限于。只有惯用短语“由……构成”和“基本由……构成”应该分别是封闭或者半封闭的连接短语。

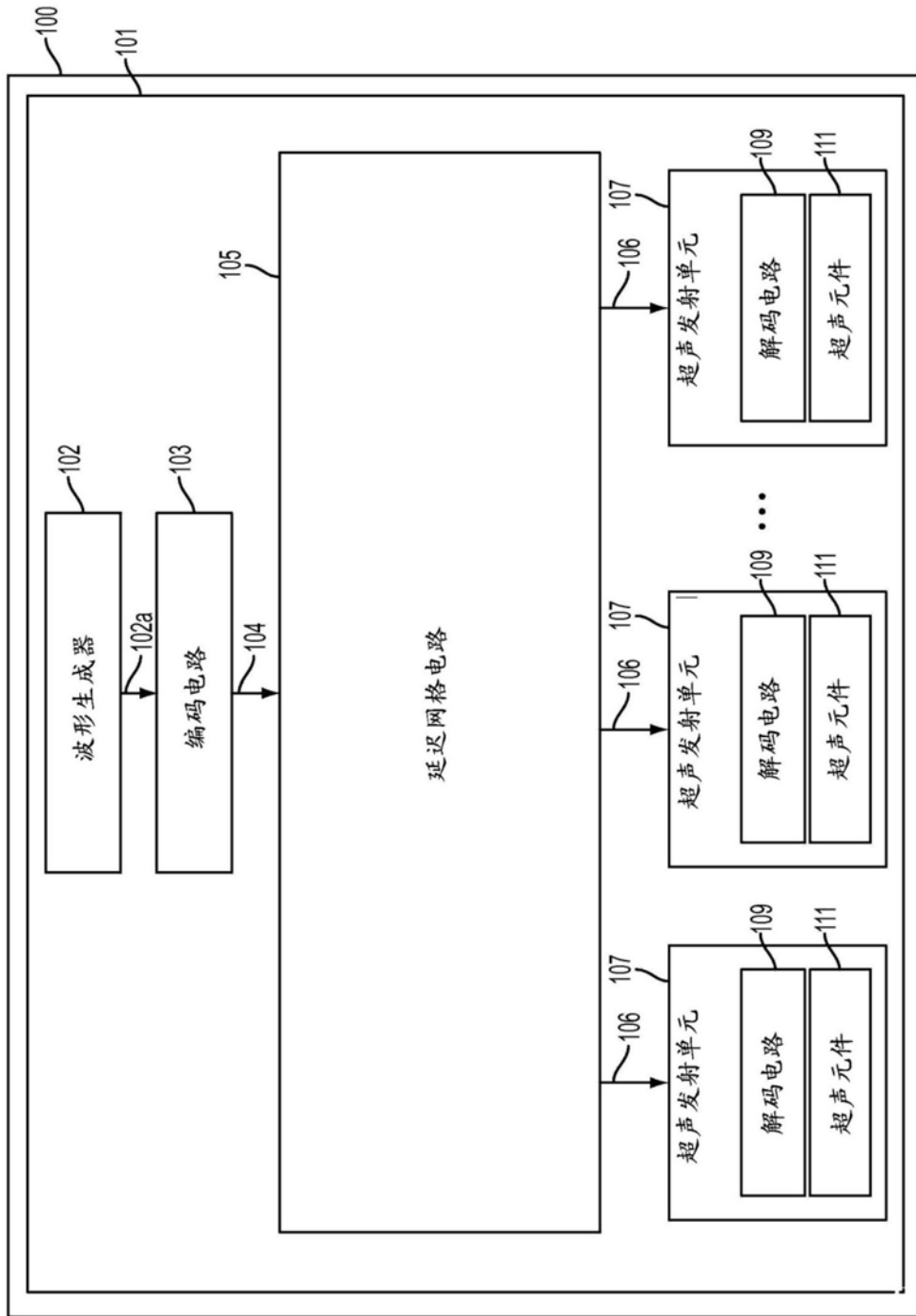


图1

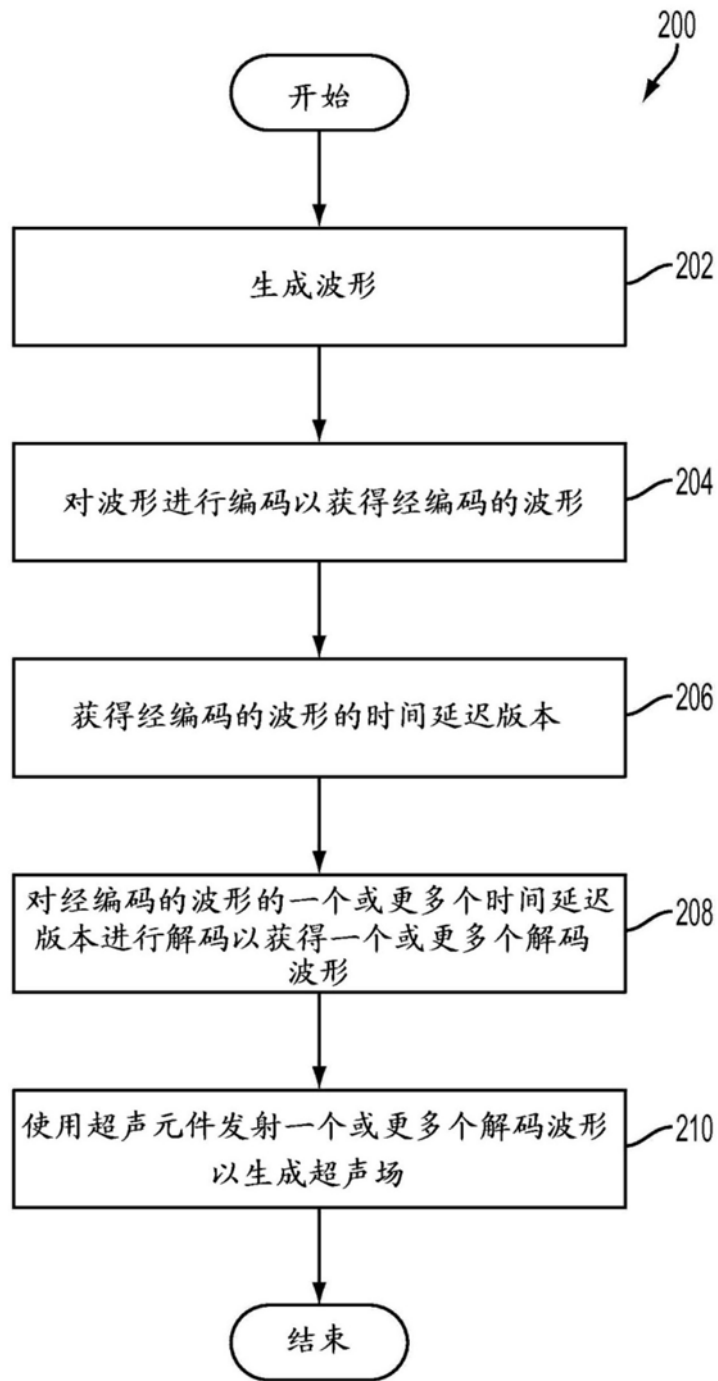


图2

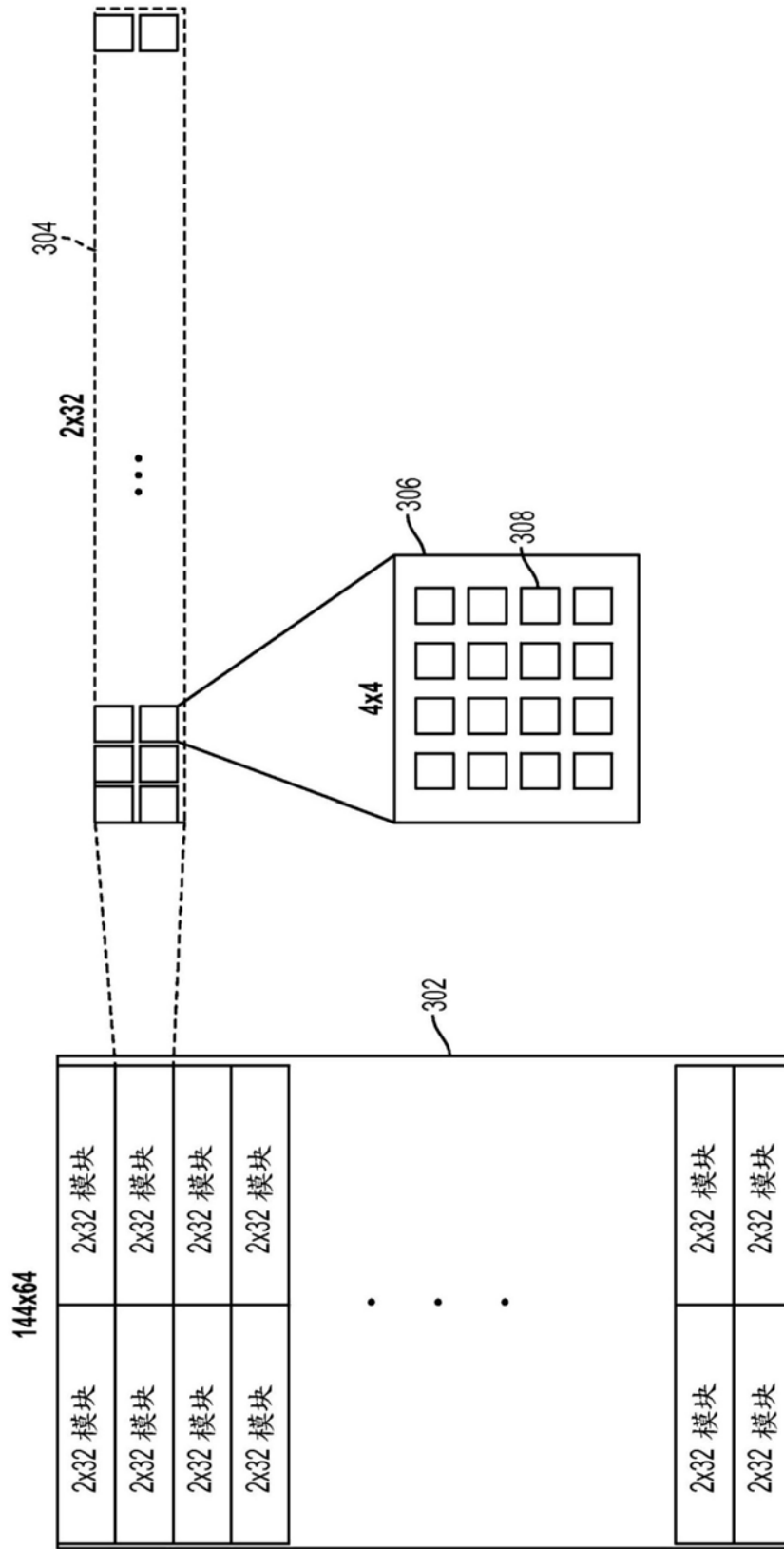


图3

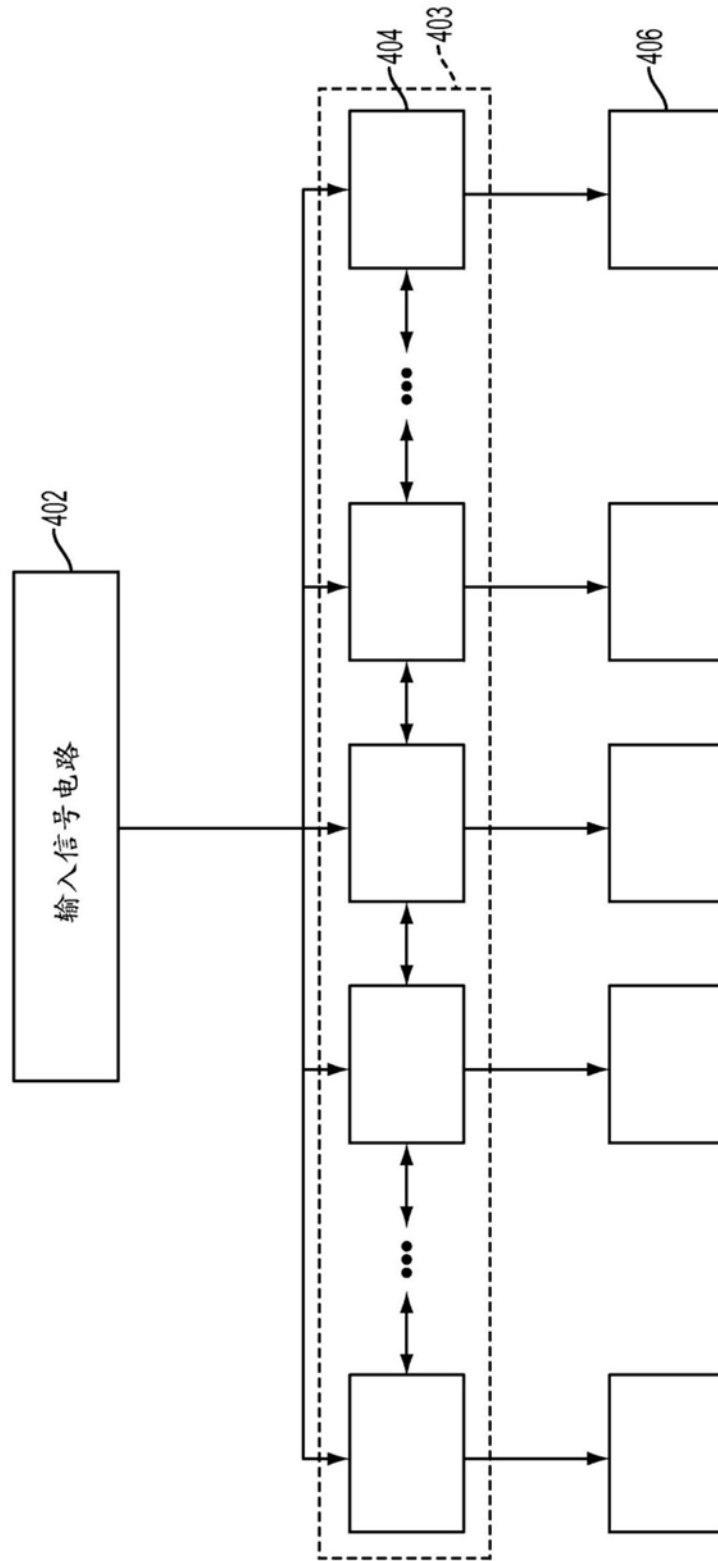


图4



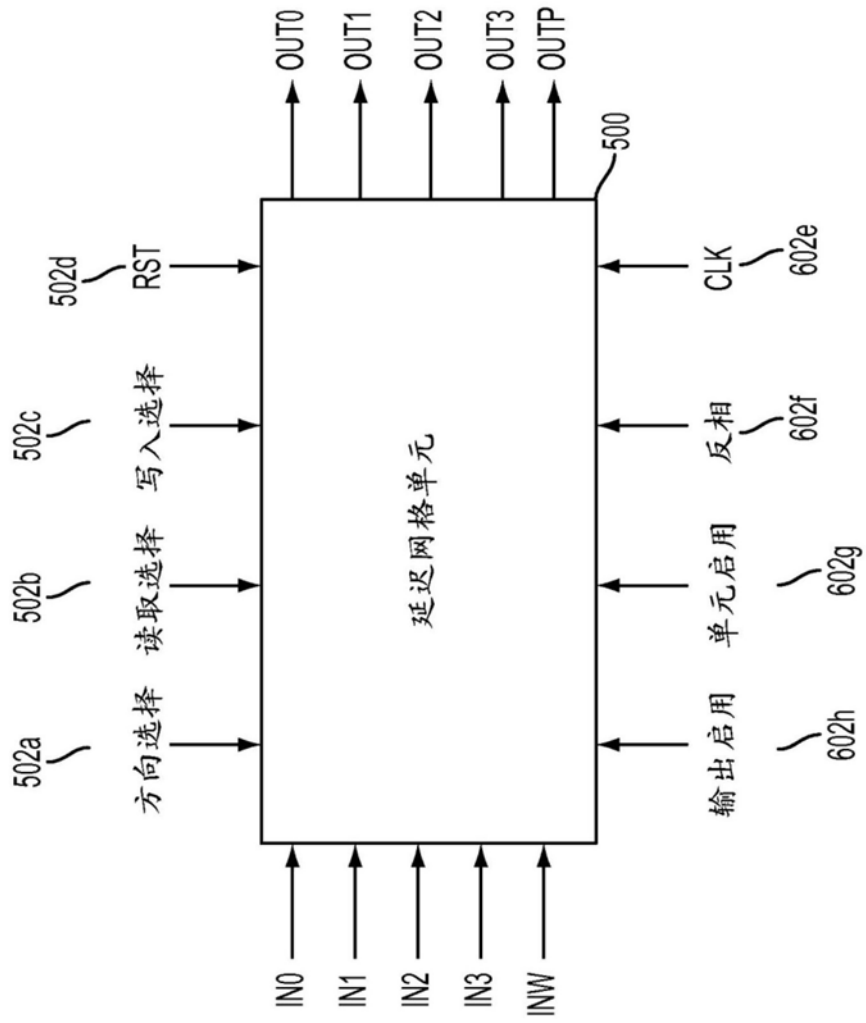


图5A

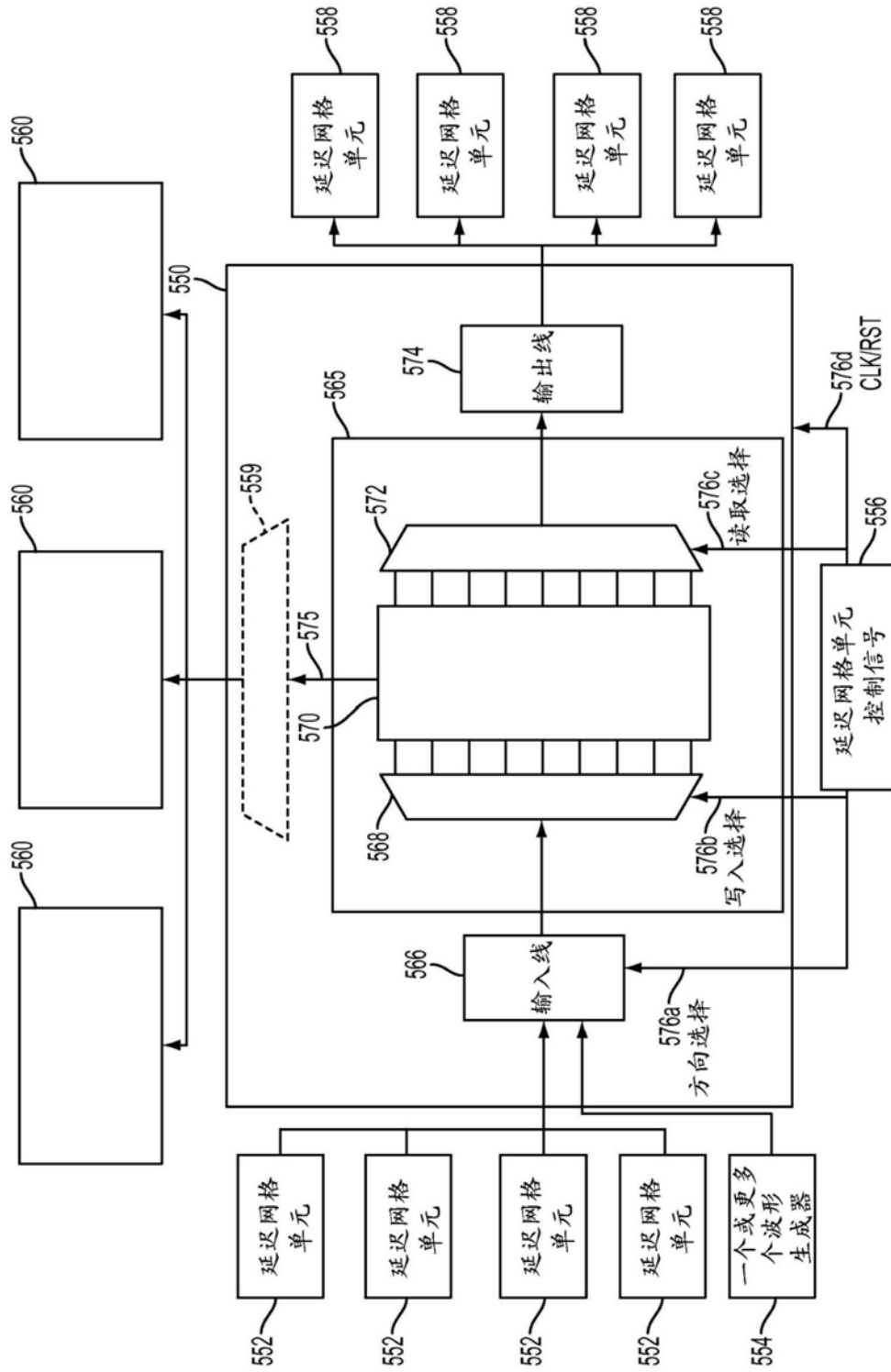


图5B

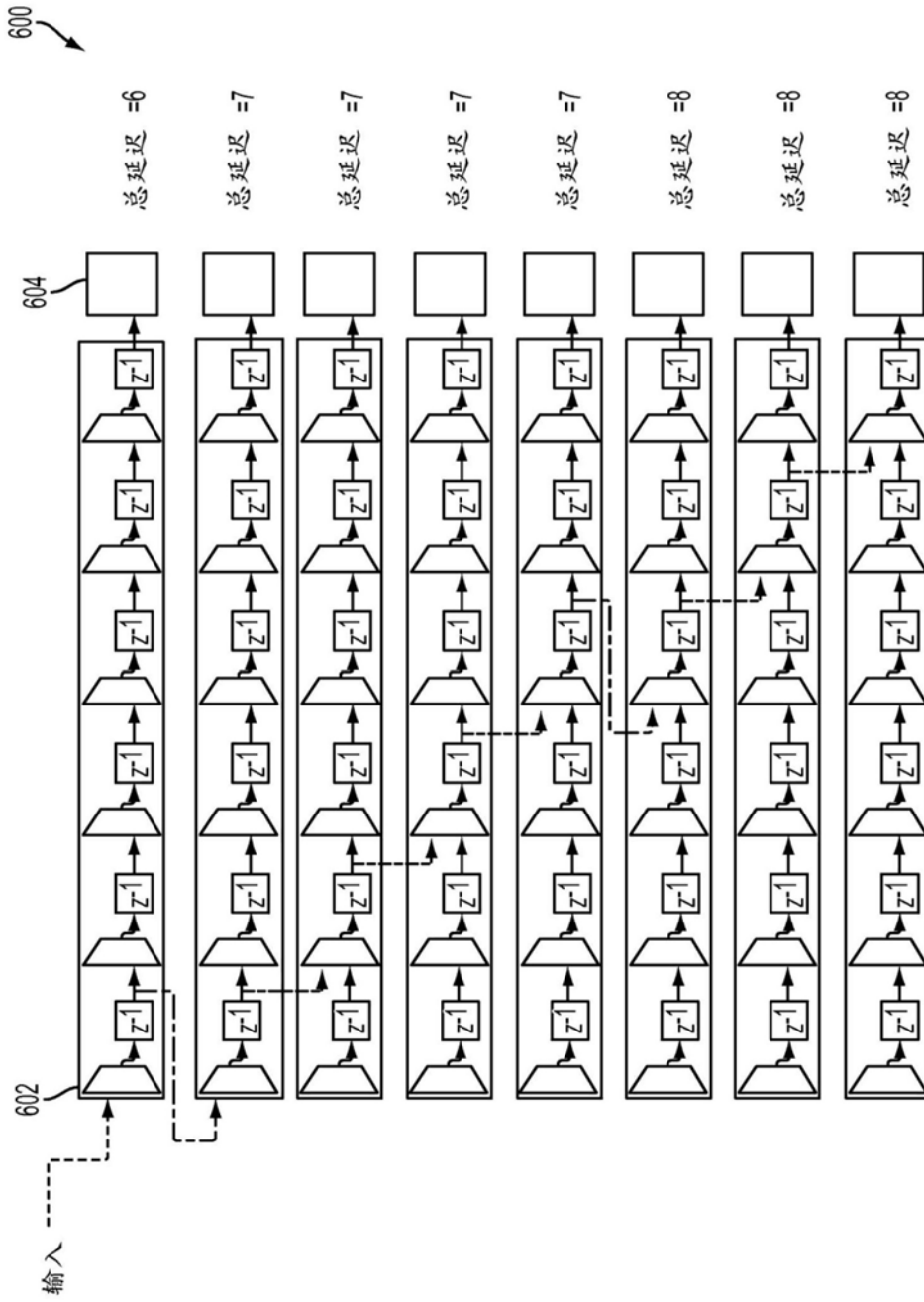


图6

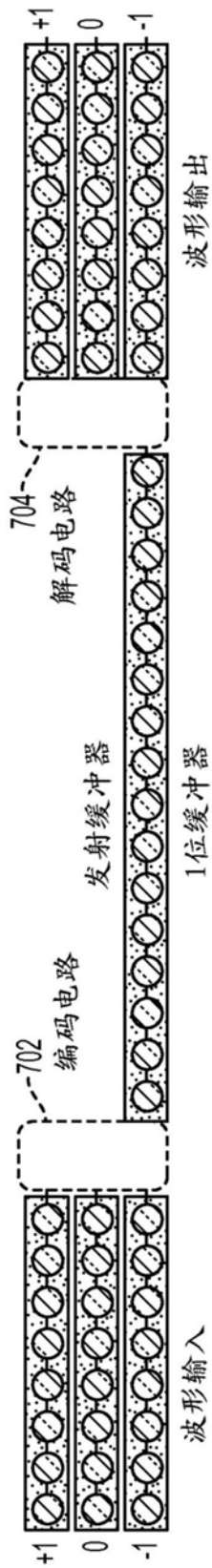


图7

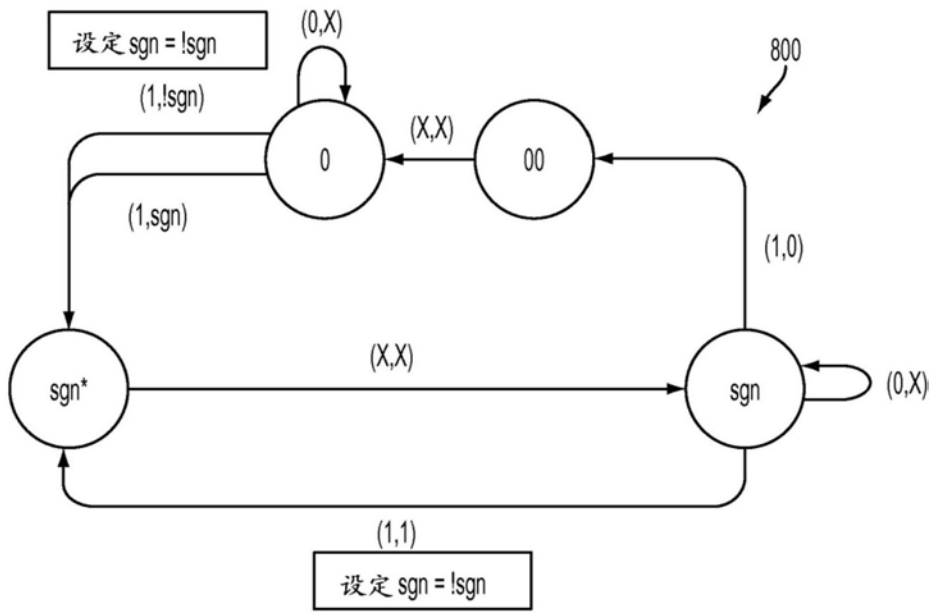


图8A

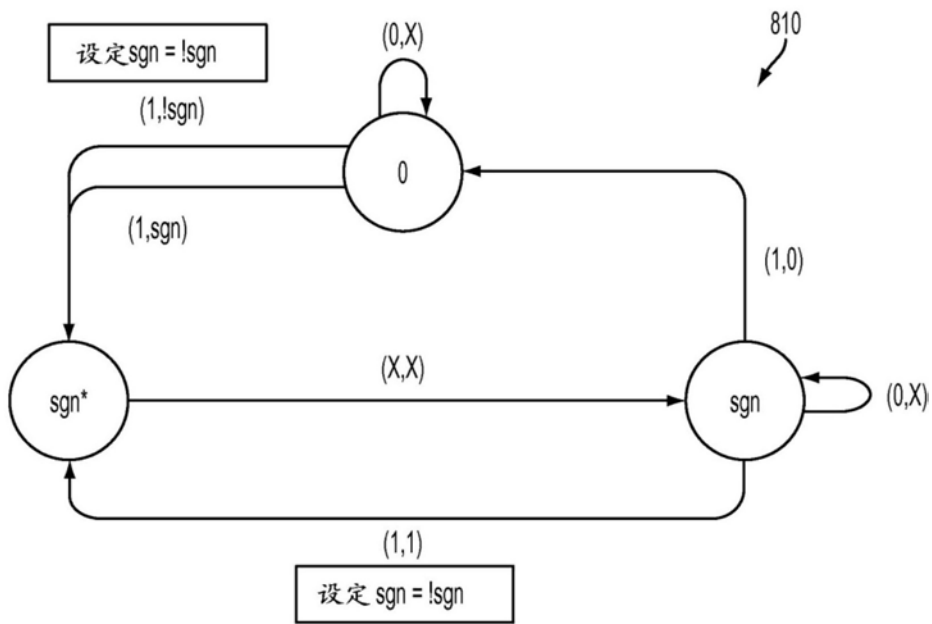


图8B

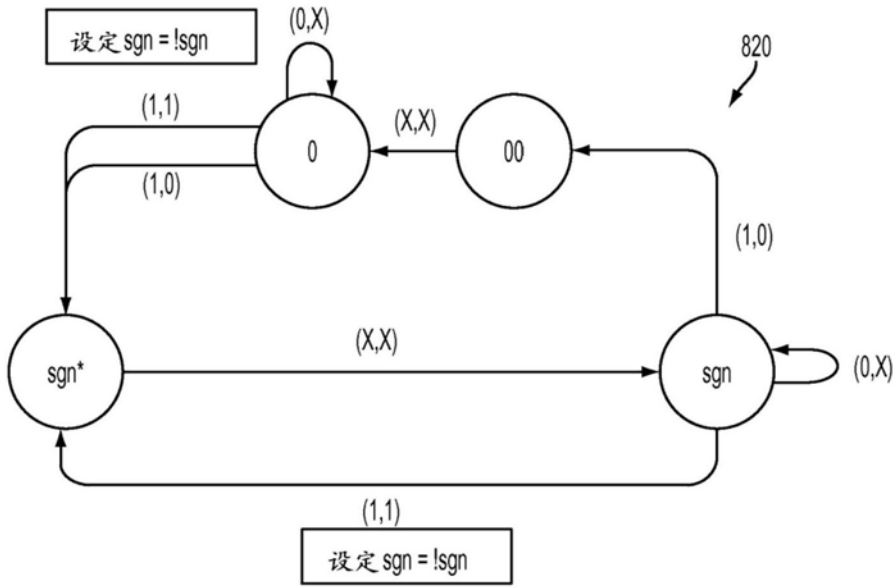


图8C

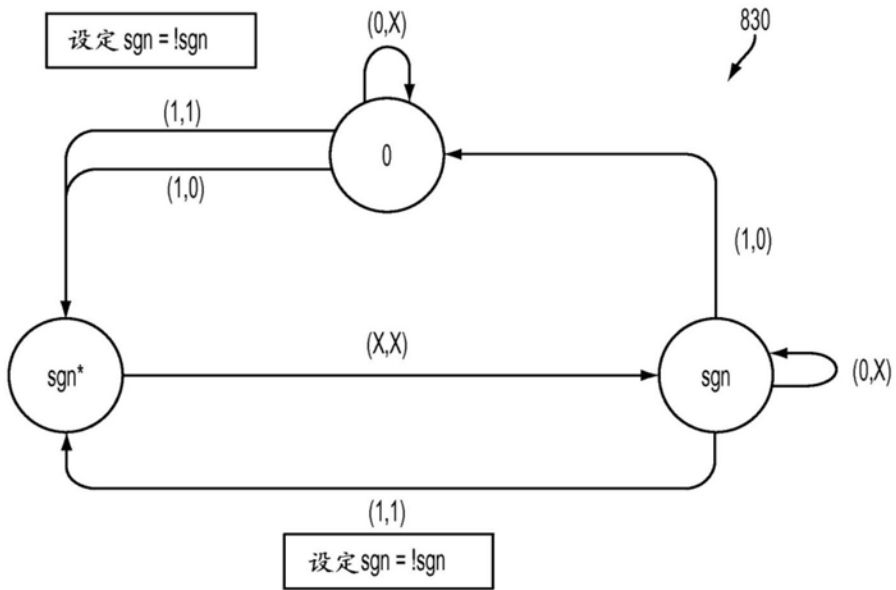


图8D