(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0099974
(43) 공개일자 2022년07월14일

(51) 국제특허분류(Int. Cl.)
G01C 3/06 (2006.01) *G01J 1/42* (2006.01)
G01J 1/44 (2006.01) *G01S 17/93* (2020.01)
G01S 7/481 (2006.01) *G01S 7/4861* (2020.01)
H01L 27/146 (2006.01) *H04N 5/355* (2011.01)
H04N 5/3745 (2011.01)
(52) CPC특허분류
G01C 3/06 (2013.01)
G01J 1/42 (2013.01)
(21) 출원번호 10-2022-7016313
(22) 출원일자(국제) 2020년11월19일
심사청구일자 없음
(85) 번역문제출일자 2022년05월13일
(86) 국제출원번호 PCT/JP2020/043269
(87) 국제공개번호 WO 2021/100826
국제공개일자 2021년05월27일
(30) 우선권주장
JP-P-2019-209174 2019년11월19일 일본(JP)

(71) 출원인
소니 세미컨덕터 솔루션즈 가부시키가이샤
일본국 가나가와켄 아츠기시 아사히쵸 4-14-1
(72) 발명자
무라세 타쿠로
일본 2430014 가나가와, 아츠기-시, 아사히-쪼 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 내
오타케 유스케
일본 2430014 가나가와, 아츠기-시, 아사히-쪼 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 내
와카노 토시후미
일본 2430014 가나가와, 아츠기-시, 아사히-쪼 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 내
(74) 대리인
이광직, 윤승환

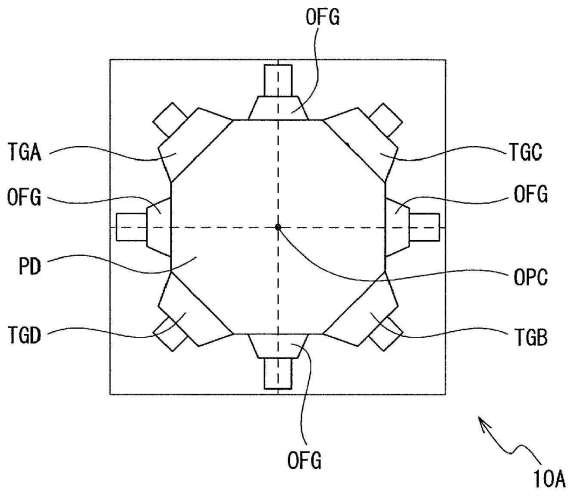
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **수광 소자, 측거 모듈**

(57) 요 약

입사한 광을 광전 변환하는 포토다이오드에 축적된 신호 전하를 복수의 플로팅 디퓨전에 배분하여 전송하는 복수의 전송 게이트를 구비하고, 복수의 전송 게이트 중 적어도 2개는, 광의 입사 방향에서 볼 때, 광학 중심을 기준으로 하여 점대칭으로 배치되어 있는 수광 소자와, 주기적으로 밝기가 변동하는 조사광을 조사하는 발광부와, 조사광의 조사 타이밍을 제어하는 발광 제어부를 구비하는 측거 모듈.

대 표 도 - 도3



(52) CPC특허분류
G01S 17/93 (2013.01)
G01S 7/4816 (2013.01)
G01S 7/4861 (2013.01)
H01L 27/14609 (2013.01)
H04N 5/3559 (2013.01)
H04N 5/37457 (2013.01)
G01J 2001/446 (2013.01)
G01J 2001/4473 (2013.01)

명 세 서

청구범위

청구항 1

입사한 광을 광전 변환하는 포토다이오드에 축적된 신호 전하를 복수의 플로팅 디퓨전에 배분하여 전송하는 복수의 전송 게이트를 구비하고,

상기 복수의 전송 게이트 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때, 광학 중심을 기준으로 하여 점대칭으로 배치되어 있는 수광 소자.

청구항 2

제1항에 있어서,

상기 전송 게이트의 수는 4개이며,

상기 4개의 전송 게이트는, 상기 광의 입사 방향에서 볼 때 상기 광학 중심을 기준으로 하여 4각형의 정점을 형성하는 위치에 배치되어 있는 수광 소자.

청구항 3

제1항에 있어서,

상기 플로팅 디퓨전으로부터 흘러넘친 전하를 배출하는 오버플로우 게이트를 더 구비하고,

상기 오버플로우 게이트는, 상기 광의 입사 방향에서 볼 때, 상기 광학 중심으로 배치되어 있는 수광 소자.

청구항 4

제1항에 있어서,

상기 플로팅 디퓨전으로부터 흘러넘친 전하를 배출하는 복수의 오버플로우 게이트를 더 구비하고,

상기 복수의 오버플로우 게이트 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때 상기 광학 중심을 기준으로 하여 점대칭으로 배치되어 있는 수광 소자.

청구항 5

제4항에 있어서,

상기 전송 게이트 및 상기 오버플로우 게이트의 총 수는, 짝수인 수광 소자.

청구항 6

제4항에 있어서,

상기 전송 게이트의 총 수와, 상기 오버플로우 게이트의 총 수는, 같은 수인 수광 소자.

청구항 7

제1항에 있어서,

상기 광학 중심은, 복수의 단위 화소를 배열하여 형성한 하나의 화소에 설정되어 있는 수광 소자.

청구항 8

제1항에 있어서,

상기 광학 중심은, 복수의 화소를 배열하여 형성한 화소군에 설정되어 있는 수광 소자.

청구항 9

제1항에 있어서,

상기 플로팅 디퓨전에 전송된 신호 전하를 전기 신호로서 판독하여 증폭하는 복수의 증폭 트랜지스터를 더 구비하고,

상기 복수의 증폭 트랜지스터 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때 상기 광학 중심을 기준으로 하여 점대칭으로 배치되어 있는 수광 소자.

청구항 10

제1항에 있어서,

상기 플로팅 디퓨전에 전송된 신호 전하를 전기 신호로서 판독하여 증폭하는 복수의 증폭 트랜지스터와,

상기 증폭 트랜지스터로부터의 전압 신호의 출력을 온 또는 오프하는 복수의 선택 트랜지스터를 더 구비하고,

상기 복수의 선택 트랜지스터 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때 상기 광학 중심을 기준으로 하여 점대칭으로 배치되어 있는 수광 소자.

청구항 11

제1항에 있어서,

상기 플로팅 디퓨전에 축적되어 있는 전하의 배출을 온 또는 오프하는 복수의 리셋 트랜지스터를 더 구비하고,

상기 복수의 리셋 트랜지스터 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때 상기 광학 중심을 기준으로 하여 점대칭으로 배치되어 있는 수광 소자.

청구항 12

제1항에 있어서,

상기 신호 전하를 보존하는 복수의 메모리를 더 갖고,

상기 복수의 메모리 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때 상기 광학 중심을 기준으로 하여 점대칭으로 배치되어 있는 수광 소자.

청구항 13

제1항에 있어서,

상기 포토다이오드에 입사하는 광의 범위를 미리 설정된 범위로 차광하는 차광막을 더 구비하는 수광 소자.

청구항 14

입사한 광을 광전 변환하는 포토다이오드에 축적된 신호 전하를 복수의 플로팅 디퓨전에 배분하여 전송하는 복수의 전송 게이트와, 상기 플로팅 디퓨전으로부터 흘러넘친 전하를 배출하는 복수의 오버플로우 게이트를 갖는 제1 반도체층과,

상기 플로팅 디퓨전에 전송된 신호 전하를 전기 신호로서 판독하여 증폭하는 복수의 증폭 트랜지스터와, 상기 플로팅 디퓨전에 축적되어 있는 전하의 배출을 온 또는 오프하는 복수의 리셋 트랜지스터와, 상기 증폭 트랜지스터로부터의 전압 신호의 출력을 온 또는 오프하는 복수의 선택 트랜지스터를 갖는 제2 반도체층을 구비하고,

상기 제1 반도체층과 상기 제2 반도체층은, 상기 광의 입사 방향을 따라 적층되고,

상기 복수의 전송 게이트 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때 광학 중심을 기준으로 하여 점대칭으로 배치되고,

상기 복수의 오버플로우 게이트 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때 상기 광학 중심을 기준으로 하여 점대칭으로 배치되고,

상기 복수의 증폭 트랜지스터 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때 광학 중심을 기준으로 하여 점

대칭으로 배치되고,

상기 복수의 리셋 트랜지스터 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때 광학 중심을 기준으로 하여 점대칭으로 배치되고,

상기 복수의 선택 트랜지스터 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때 광학 중심을 기준으로 하여 점대칭으로 배치되어 있는 수광 소자.

청구항 15

제14항에 있어서,

상기 제2 반도체층은, 상기 신호 전하를 보존하는 복수의 메모리를 더 갖고,

상기 복수의 메모리 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때 상기 광학 중심을 기준으로 하여 점대칭으로 배치되어 있는 수광 소자.

청구항 16

제15항에 있어서,

상기 제2 반도체층보다 상기 제1 반도체층으로부터 떨어진 위치에서 제1 반도체층 및 제2 반도체층과 상기 광의 입사 방향을 따라 적층된 제3 반도체층을 더 구비하고,

상기 제3 반도체층은, 상기 플로팅 디퓨전에 전송된 신호 전하를 전기 신호로서 판독하여 증폭하는 복수의 증폭 트랜지스터와, 상기 플로팅 디퓨전에 축적되어 있는 전하의 배출을 온 또는 오프하는 복수의 리셋 트랜지스터를 갖고,

상기 제3 반도체층이 갖는 상기 복수의 증폭 트랜지스터 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때 광학 중심을 기준으로 하여 점대칭으로 배치되고,

상기 제3 반도체층이 갖는 상기 복수의 리셋 트랜지스터 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때 광학 중심을 기준으로 하여 점대칭으로 배치되어 있는 수광 소자.

청구항 17

제1항에 있어서,

상기 복수의 전송 게이트 중 적어도 2개는, 상기 축적된 신호 전하를 하나의 상기 플로팅 디퓨전에 전송하는 수광 소자.

청구항 18

제1항에 있어서,

상기 복수의 전송 게이트 중 하나는, 상기 축적된 신호 전하를 하나의 상기 플로팅 디퓨전에 전송하는 수광 소자.

청구항 19

제1항에 있어서,

상기 포토다이오드의 상기 광이 입사되는 측에 배치한 온 칩 렌즈를 구비하는 수광 소자.

청구항 20

제1항에 기재된 수광 소자와, 주기적으로 밝기가 변동하는 조사광을 조사하는 발광부와, 상기 조사광의 조사 타이밍을 제어하는 발광 제어부를 구비하는 측거 모듈.

발명의 설명

기 술 분 야

[0001] 본 개시에 따른 기술(본 기술)은, 예를 들면, 게이트 방식의 간접 ToF(Time of Flight)를 형성하는 수광 소자와, 수광 소자를 구비하는 측거 모듈에 관한 것이다.

배 경 기 술

[0002] 게이트 방식의 간접 ToF 방식을 형성하는 수광 소자(이후의 설명에서는, 「게이트 방식 간접 ToF 센서」로 기재하는 경우가 있음)로서는, 예를 들면, 특허문헌 1에 개시되어 있는 구성의 것이 있다. 특허문헌 1에 개시되어 있는 게이트 방식 간접 ToF 센서는, 단위 화소 내에 복수의 플로팅 디퓨전을 갖는 화소에 있어서, 각각의 플로팅 디퓨전이, 다른 전송 트랜지스터의 전송 게이트에 끼워져 있다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 특허문헌 1: 일본특허공개 2019-001494호 공보

발명의 내용

해결하려는 과제

[0004] 그러나, 특허문헌 1에 개시되어 있는 기술에서는, 플로팅 디퓨전을 사이에 두는 복수의 전송 게이트가, 광학 중심에 대해 선대칭으로 배치되어 있기 때문에, 기생 광감도(parasitic light sensitivity)가 균일하게 완화되지 않는다고 하는 문제점이 있다.

[0005] 본 기술은, 상기 문제점을 감안하여, 기생 광감도를 균일하게 완화하는 것이 가능한 수광 소자와, 측거 모듈을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0006] 본 기술의 일 양태에 따른 수광 소자는, 입사한 광을 광전 변환하는 포토다이오드에 축적된 신호 전하를 복수의 플로팅 디퓨전에 배분하여 전송하는 복수의 전송 게이트를 구비한다. 나아가, 복수의 전송 게이트 중 적어도 2개는, 광의 입사 방향에서 볼 때, 광학 중심을 기준으로 하여 점대칭으로 배치되어 있다.

[0007] 본 기술의 일 양태에 따른 측거 모듈은, 복수의 전송 게이트를 구비하는 수광 소자와, 주기적으로 밝기가 변동하는 조사광을 조사하는 발광부와, 조사광의 조사 타이밍을 제어하는 발광 제어부를 구비한다. 복수의 전송 게이트는, 입사한 광을 광전 변환하는 포토다이오드에 축적된 신호 전하를, 복수의 플로팅 디퓨전에 배분하여 전송한다. 또한, 복수의 전송 게이트 중 적어도 2개는, 광의 입사 방향에서 볼 때, 광학 중심을 기준으로 하여 점대칭으로 배치되어 있다.

도면의 간단한 설명

[0008] 도 1은 제1 실시형태에 따른 측거 모듈의 구성예를 나타내는 블록도이다.

도 2는 제1 실시형태에 따른 수광 소자의 개략 구성을 나타내는 단면도이다.

도 3은 제1 반도체층의 구성을 나타내는 평면도이다.

도 4는 제2 반도체층의 구성을 나타내는 평면도이다.

도 5는 수광 소자의 회로 구성을 나타내는 도면이다.

도 6은 전송 게이트 및 오버플로우 게이트의 동작을 나타내는 타이밍 차트이다.

도 7은 ToF 방식에 의한 거리 계측 처리의 개요에 대해서 설명하는 도면이다.

도 8은 ToF 방식에 의한 거리 계측 처리의 개요에 대해서 설명하는 도면이다.

도 9는 ToF 방식에 의한 거리 계측 처리의 개요에 대해서 설명하는 도면이다.

도 10은 ToF 방식에 의한 거리 계측 처리의 개요에 대해서 설명하는 도면이다.

도 11은 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 12는 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 13은 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 14는 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 15는 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 16은 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 17은 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 18은 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 19는 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 20은 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 21은 제1 실시형태의 변형예에 따른 수광 소자의 개략 구성을 나타내는 단면도이다.

도 22는 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 23은 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 24는 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 25는 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 26은 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 27은 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 28은 제1 실시형태의 변형예에 따른 수광 소자의 개략 구성을 나타내는 단면도이다.

도 29는 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 30은 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 31은 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 32는 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 33은 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 34는 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 35는 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 36은 제1 실시형태의 변형예에 따른 수광 소자의 개략 구성을 나타내는 단면도이다.

도 37은 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 38은 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 39는 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 40은 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 41는 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 42는 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 43은 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 44는 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 45는 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 46은 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 47은 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 48은 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 49는 제1 실시형태의 변형예에 따른 수광 소자의 개략 구성을 나타내는 단면도이다.

도 50은 제1 실시형태의 변형예에 따른 수광 소자의 개략 구성을 나타내는 단면도이다.

도 51은 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 52는 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 53a는 제1 실시형태의 변형예에 있어서, 전송 게이트를 연 상태를 나타내는 도면이다.

도 53b는 제1 실시형태의 변형예에 있어서, 전하의 이동을 나타내는 단면도이다.

도 54a는 제1 실시형태의 변형예에 있어서, 전송 게이트를 닫은 상태를 나타내는 도면이다.

도 54b는 제1 실시형태의 변형예에 있어서, 전하의 이동을 나타내는 단면도이다.

도 55는 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 56은 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 57은 제1 실시형태의 변형예에 있어서, 전하의 이동을 나타내는 단면도이다.

도 58은 제1 실시형태의 변형예에 있어서, 전하의 이동을 나타내는 단면도이다.

도 59는 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 60은 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 61a는 제1 실시형태의 변형예에 있어서, 전송 게이트를 연 상태를 나타내는 도면이다.

도 61b는 제1 실시형태의 변형예에 있어서, 전하의 이동을 나타내는 단면도이다.

도 62a는 제1 실시형태의 변형예에 있어서, 전송 게이트를 닫은 상태를 나타내는 도면이다.

도 62b는 제1 실시형태의 변형예에 있어서, 전하의 이동을 나타내는 단면도이다.

도 63은 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 64는 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 65는 제1 실시형태의 변형예에 있어서, 전하의 이동을 나타내는 단면도이다.

도 66은 제1 실시형태의 변형예에 있어서, 전하의 이동을 나타내는 단면도이다.

도 67은 제1 실시형태의 변형예에 있어서의, 수광 소자의 회로 구성을 나타내는 도면이다.

도 68은 제1 실시형태의 변형예에 있어서의, 전송 게이트 및 오버플로우 게이트의 동작을 나타내는 타이밍 차트이다.

도 69는 제1 실시형태의 변형예에 있어서의, 수광 소자의 회로 구성을 나타내는 도면이다.

도 70은 제1 실시형태의 변형예에 있어서의, 수광 소자의 회로 구성을 나타내는 도면이다.

도 71은 제1 실시형태의 변형예에 따른 수광 소자의 개략 구성을 나타내는 단면도이다.

도 72는 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 73은 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 74는 제1 실시형태의 변형예에 있어서의, 커패시터의 구성을 나타내는 단면도이다.

도 75는 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 76은 제1 실시형태의 변형예에 따른 수광 소자의 개략 구성을 나타내는 단면도이다.

도 77은 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 78은 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 79는 제1 실시형태의 변형예에 따른 수광 소자의 개략 구성을 나타내는 단면도이다.

도 80은 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 81은 제1 실시형태의 변형예에 따른 수광 소자의 개략 구성을 나타내는 단면도이다.

도 82는 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 83은 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 84는 제1 실시형태의 변형예에 따른 수광 소자의 개략 구성을 나타내는 단면도이다.

도 85는 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 86은 제1 실시형태의 변형예에 따른 수광 소자의 구성을 나타내는 평면도이다.

도 87은 본 기술의 제1 적용예로서의 차량 제어 시스템의 개략적인 구성의 일례를 나타내는 블록도이다.

도 88은 본 기술의 제1 적용예로서의 차외 정보 검출부 및 촬상부의 설치 위치의 일례를 나타내는 설명도이다.

발명을 실시하기 위한 구체적인 내용

[0009] 이하, 도면을 참조하여, 본 기술의 실시형태를 설명한다. 도면의 기재에서, 동일 또는 유사 부분에는 동일 또는 유사 부호를 붙여, 중복하는 설명을 생략한다. 각 도면은 모식적인 것이며, 현실의 것과는 다른 경우가 포함된다. 이하의 나타내는 실시형태는, 본 기술의 기술적 사상을 구체화하기 위한 장치나 방법을 예시하는 것으로서, 본 기술의 기술적 사상은, 하기 실시형태에 예시한 장치나 방법에 특정하는 것은 아니다. 본 기술의 기술적 사상은, 특허청구의 범위에 기재된 기술적 범위 내에서, 다양한 변경을 가할 수 있다.

[0010] (제1 실시형태)

[0011] <측거 모듈>

[0012] 도 1에 도시된 바와 같이, 제1 실시형태에 따른 측거 모듈(1)은, 발광부(2)와, 발광 제어부(4)와, 수광 소자(10)를 구비한다.

[0013] 측거 모듈(1)은, 발광부(2)로부터 출사한 광을, 거리를 측정하는 대상인 물체에 조사하고, 물체에 의해 반사되어 수광 소자(10)에 입사한 광을 사용하여, 물체까지의 거리를 측정하기 위한 장치이다.

[0014] <발광부>

[0015] 발광부(2)는, 소정의 파장으로 설정한 광을 발하는 광원을 갖고, 주기적으로 밝기가 변동하는 조사광을 발하여, 물체에 조사한다. 광원으로서는, 예를 들면, 파장이 780[nm] 이상 1000[nm] 이하의 범위 내로 설정된 적외광을 발하는 발광 다이오드를 갖는다. 또한, 발광부(2)는, 발광 제어부(4)로부터 공급되는 구형파(矩形波)의 발광 제어 신호(CLKp)에 동기하여, 조사광을 발생한다.

[0016] <발광 제어부>

[0017] 발광 제어부(4)는, 발광 제어 신호(CLKp)를 발광부(2) 및 수광 소자(10)에 공급함으로써, 조사광의 조사 타이밍을 제어한다. 발광 제어 신호(CLKp)의 주파수는, 예를 들면, 20[MHz]이다. 한편, 발광 제어 신호(CLKp)의 주파수는, 20 [MHz]에 한정되는 것은 아니고, 5[MHz] 등 이어도 된다. 또한, 발광 제어 신호(CLKp)는, 주기 신호라면, 구형파에 한정되지 않는다. 예를 들면, 발광 제어 신호(CLKp)는, 사인파(sine wave) 이어도 된다.

[0018] <수광 소자>

[0019] 수광 소자(10)는, 물체로부터 반사된 반사광을 수광하고, 수광 결과에 따라 거리 정보를 화소마다 산출하고, 물체까지의 거리를 화소마다 계조값으로 나타낸 뎁스 화상을 생성하여, 출력한다. 또한, 수광 소자(10)는, 예를 들면, 이면 조사형의 게이트 방식 간접 ToF 센서를 사용하여 형성되어 있다.

[0020] 또한, 수광 소자(10)는, 예를 들면, 발광 제어 신호(CLKp)에 기초하여, 복수의 단위 화소를 배열하여 형성한 하나의 화소에 의해 검출된 신호 강도로부터, 거리 정보를 화소마다 산출한다.

[0021] 또한, 수광 소자(10)는, 도 2 내지 도 4에 도시된 바와 같이, 제1 반도체층(10A)과, 제2 반도체층(10B)과, 차광

막(20)을 구비한다. 한편, 도 2 내지 도 4에는, 수광 소자(10) 중, 복수(4개)의 단위 화소를 배열하여 형성한 하나의 화소에 대응하는 구성을 도시하고 있다.

[0022] <제1 반도체층>

[0023] 제1 반도체층(10A)은, 포토다이오드(PD)와, 복수의 플로팅 디퓨전(FD)을 구비하는 화소 회로를 배치한 기판이다. 또한, 제1 반도체층(10A)은, 복수의 전송 게이트(TG)와, 복수의 오버플로우 게이트(OFG)를 갖는다.

[0024] <제2 반도체층>

[0025] 제2 반도체층(10B)은, 제1 반도체층(10A)의 포토다이오드(PD)를 배치한 면과는 반대인 면(도 2 중에는, 하측의 면)에 적층된 기판이다. 또한, 제2 반도체층(10B)은, 복수의 리셋 트랜지스터(RST)와, 복수의 증폭 트랜지스터(AMP)와, 복수의 선택 트랜지스터(SEL)를 갖는다. 한편, 도 2에서는, 제1 반도체층(10A)과 제2 반도체층(10B)이 적층된 방향을, 「적층 방향」이라고 나타낸다.

[0026] <차광막>

[0027] 차광막(20)은, 포토다이오드(PD)보다 수광 소자(10)의 광이 입사하는 위치에 가까운 위치에 배치되어 있다. 또한, 차광막(20)은, 포토다이오드(PD)에 입사하는 광의 범위를, 미리 설정된 범위로 차광하는 막이다. 한편, 수광 소자(10)에 입사한 광은, 온 칩 렌즈(30)와 반사 방지층(40)을 투과하여, 차광막(20)에 입사된다.

[0028] <온 칩 렌즈>

[0029] 온 칩 렌즈(30)는, 포토다이오드(PD)를 향해 광을 집광시키는 기능을 갖는 렌즈이다. 또한, 온 칩 렌즈(30)는, 수광 소자(10) 중, 포토다이오드(PD)의 광이 입사되는 측에 배치한다. 온 칩 렌즈(30)의 재료로서는, 예를 들면, 유기 재료나 실리콘 산화막(SiO_2) 등을 사용하는 것이 가능하다.

[0030] <포토다이오드>

[0031] 포토다이오드(PD)는, 차광막(20)에 의해 설정된 범위를 통과하여 입사한 광을 광전 변환하고, 광전 변환의 광량에 따른 전하를 생성하여 축적한다. 또한, 포토다이오드(PD)는, 도 5에 도시된 바와 같이, 전송 게이트(TG)와 오버플로우 게이트(OFG)에 접속되어 있다.

[0032] 또한, 포토다이오드(PD)는, P형 이온 등을 사용하여 형성된 분리 영역에서, Si나 Ge 등을 사용하여 형성되어 있다. 또한, 포토다이오드(PD)에는, 게이트 전위를 가함으로써, 액티브 영역(공핍층)이 형성된다.

[0033] <플로팅 디퓨전>

[0034] 플로팅 디퓨전(FD)은, 도 5에 도시된 바와 같이, 전송 게이트(TG)와, 선택 트랜지스터(SEL)와, 증폭 트랜지스터(AMP)를 접속하는 점(접속점)에 형성되어 있다.

[0035] 제1 실시형태에서는, 2군데의 플로팅 디퓨전(FD)(제1 플로팅 디퓨전(FDA), 제2 플로팅 디퓨전(FDB))이 형성되는 경우에 대해서 설명한다.

[0036] 또한, 플로팅 디퓨전(FD)은, 포토다이오드(PD)로부터 전송 게이트(TG)를 통해 전송되어 오는 전하를 축적하고, 전압으로 변환한다. 즉, 플로팅 디퓨전(FD)에는, 포토다이오드(PD)에 축적된 신호 전하가 전송된다.

[0037] <전송 게이트>

[0038] 복수의 전송 게이트(TG)는, 도 5에 도시된 바와 같이, 각각, 포토다이오드(PD)와 플로팅 디퓨전(FD)에 접속되어 있다. 또한, 전송 게이트(TG)는, 예를 들면, 폴리 실리콘을 사용하여 형성되어 있다.

[0039] 제1 실시형태에서는, 일례로서, 도 4에 도시된 바와 같이, 전송 게이트(TG)의 수를 4개로 한 경우에 대해서 설명한다.

[0040] 또한, 각 전송 게이트(TG)는, 도시하지 않은 타이밍 제어부로부터 공급되는 구동 신호에 따라, 포토다이오드(PD)에 축적된 신호 전하를, 복수의 플로팅 디퓨전(FD)으로 배분하여 전송한다.

[0041] 제1 실시형태에서는, 도 4에 도시된 바와 같이, 신호 전하를 제1 플로팅 디퓨전(FDA)에 전송하는 전송 게이트(TG)를, 2개의 전송 게이트(TG)(전송 게이트(TGA), 전송 게이트(TGB))로 한 경우에 대해서 설명한다. 마찬가지로, 신호 전하를 제2 플로팅 디퓨전(FDB)에 전송하는 전송 게이트(TG)를, 2개의 전송 게이트(TG)(전송 게이트(TGC), 전송 게이트(TGD))로 한 경우에 대해서 설명한다.

[0042] 즉, 제1 실시형태에서는, 복수의 전송 게이트(TG) 중 적어도 2개가, 포토다이오드(PD)에 축적된 신호 전하를 하나의 플로팅 디퓨전(FD)에 전송한다.

[0043] 또한, 복수의 전송 게이트(TG)는, 수광 소자(10)에 입사하는 광의 입사 방향에서 볼 때, 도 4에 도시된 바와 같이, 광학 중심(OPC)을 기준으로 하여 점대칭으로 배치되어 있다.

[0044] 제1 실시형태에서는, 광학 중심(OPC)을, 복수의 단위 화소를 배열하여 형성한 하나의 화소에 설정한 경우에 대해서 설명한다.

[0045] 한편, 광학 중심(OPC)은, 예를 들면, 광의 입사 방향에서 본 포토다이오드(PD)의 중심으로 한다. 그러나, 이에 한정되지 않으며, 광학 중심(OPC)을, 예를 들면, 광의 입사 방향에서 본 온 칩 렌즈(30)의 중심으로 하여도 된다.

[0046] 또한, 4개의 전송 게이트(TG)는, 수광 소자(10)에 입사하는 광의 입사 방향에서 볼 때, 도 4에 도시된 바와 같이, 광학 중심(OPC)을 기준으로 하여 4각형의 정점을 형성하는 위치에 배치되어 있다. 즉, 4개의 전송 게이트(TG)는, 광학 중심(OPC)을 교점으로 하여 직교하는 2개의 가상 직선 상에 배치되어 있다.

[0047] <오버플로우 게이트>

[0048] 복수의 오버플로우 게이트(OFG)는, 각각, 도시하지 않은 타이밍 제어부로부터 공급되는 구동 신호에 따라, 플로팅 디퓨전(FD)으로부터 넘쳐나는 전하를 배출한다. 또한, 오버플로우 게이트(OFG)는, 예를 들면, 폴리 실리콘을 사용하여 형성되어 있다.

[0049] 제1 실시형태에서는, 일례로서, 도 4에 도시된 바와 같이, 오버플로우 게이트(OFG)의 수를 4개로 한 경우에 대해서 설명한다.

[0050] 따라서, 제1 실시형태에서는, 전송 게이트(TG) 및 오버플로우 게이트(OFG)의 총 수는, 짝수이다. 또한, 제1 실시형태에서는, 전송 게이트(TG)의 총 수와, 오버플로우 게이트(OFG)의 총 수는, 같은 수이다.

[0051] 또한, 복수의 오버플로우 게이트(OFG)는, 수광 소자(10)에 입사하는 광의 입사 방향에서 볼 때, 도 4에 도시된 바와 같이, 전송 게이트(TG)와는 다른 위치에서, 광학 중심(OPC)을 기준으로 하여 점대칭으로 배치되어 있다.

[0052] 제1 실시형태에서는, 도 4에 도시된 바와 같이, 전송 게이트(TG)와 오버플로우 게이트(OFG)를, 수광 소자(10)에 입사하는 광의 입사 방향에서 볼 때, 광학 중심(OPC)을 중심으로 한 원을 따라 교대로 배치한 경우에 대해서 설명한다.

[0053] <리셋 트랜지스터>

[0054] 복수의 리셋 트랜지스터(RST)는, 도 5에 도시된 바와 같이, 각각, 전송 게이트(TG)와 전원 배선(VDD)에 접속되어 있다.

[0055] 제1 실시형태에서는, 일례로서, 도 4에 도시된 바와 같이, 리셋 트랜지스터(RST)의 수를 4개로 한 경우에 대해서 설명한다.

[0056] 또한, 각 리셋 트랜지스터(RST)는, 타이밍 제어부로부터 공급되는 구동 신호에 따라, 플로팅 디퓨전(FD)에 축적되어 있는 전하의 배출을 온 또는 오프한다.

[0057] 또한, 복수의 리셋 트랜지스터(RST)는, 수광 소자(10)에 입사하는 광의 입사 방향에서 볼 때, 도 4에 도시된 바와 같이, 광학 중심(OPC)을 기준으로 하여 점대칭으로 배치되어 있다.

[0058] <증폭 트랜지스터>

[0059] 복수의 증폭 트랜지스터(AMP)는, 도 5에 도시된 바와 같이, 각각, 플로팅 디퓨전(FD)과, 전원 배선(VDD)과, 선택 트랜지스터(SEL)에 접속되어 있다.

[0060] 제1 실시형태에서는, 일례로서, 도 4에 도시된 바와 같이, 증폭 트랜지스터(AMP)의 수를 4개로 한 경우에 대해서 설명한다.

[0061] 또한, 각 증폭 트랜지스터(AMP)는, 리셋 트랜지스터(RST)에 의해 리셋된 플로팅 디퓨전(FD)의 전위를, 리셋 레벨로서 판독한다. 또한, 각 증폭 트랜지스터(AMP)는, 전송 게이트(TG)에 의해 신호 전하가 전송된, 플로팅 디퓨전(FD)에 축적되어 있는 신호 전하에 따른 전압을 증폭한다. 즉, 각 증폭 트랜지스터(AMP)는, 플로팅 디퓨전

(FD)에 전송된 신호 전하를, 전기 신호로서 판독하고, 또한, 판독한 전기 신호를 증폭한다.

[0062] 증폭 트랜지스터(AMP)에 의해 증폭된 전압(전압 신호)은, 선택 트랜지스터(SEL)를 통해, 수직 신호선(VSL)에 출력된다. 한편, 수직 신호선(VSL)은, 증폭 트랜지스터(AMP)에 의해 증폭된 전기 신호를 출력하는 배선이다. 또한, 수직 신호선(VSL)에는, 선택 트랜지스터(SEL)와, 도시하지 않은 A/D 변환기가 접속되어 있다.

[0063] 또한, 복수의 증폭 트랜지스터(AMP)는, 수광 소자(10)에 입사하는 광의 입사 방향에서 볼 때, 도 4에 도시된 바와 같이, 광학 중심(OPC)을 기준으로 하여 점대칭으로 배치되어 있다.

[0064] <선택 트랜지스터>

[0065] 복수의 선택 트랜지스터(SEL)는, 도 5에 도시된 바와 같이, 각각, 증폭 트랜지스터(AMP)와 수직 신호선(VSL)에 접속되어 있다.

[0066] 제1 실시형태에서는, 일례로서, 도 4에 도시된 바와 같이, 선택 트랜지스터(SEL)의 수를 4개로 한 경우에 대해서 설명한다.

[0067] 또한, 각 선택 트랜지스터(SEL)는, 타이밍 제어부로부터 공급되는 구동 신호에 따라, 증폭 트랜지스터(AMP)로부터 수직 신호선(VSL)에의 전압 신호의 출력을, 온 또는 오프한다.

[0068] 이에 의해, 각 선택 트랜지스터(SEL)는, 선택 제어 신호가 주어짐으로써 도통 상태가 되고, 수직 주사 회로(도시하지 않음)에 의한 수직 주사에 동기하여 단위 화소를 선택한다.

[0069] 또한, 복수의 선택 트랜지스터(SEL)는, 수광 소자(10)에 입사하는 광의 입사 방향에서 볼 때, 도 4에 도시된 바와 같이, 광학 중심(OPC)을 기준으로 하여 점대칭으로 배치되어 있다.

[0070] 또한, 도 4에 도시된 바와 같이, 하나의 화소가 구비하는 구성은, 최소 유닛인 하나의 화소에 대해, 좌우 대칭 및 상하 대칭 중 적어도 일방으로 배치되어 있다. 한편, 하나의 화소가 구비하는 구성이란, 도 4에 나타내는 예에서는, 리셋 트랜지스터(RST), 증폭 트랜지스터(AMP), 선택 트랜지스터(SEL)이다.

[0071] <전송 게이트와 오버플로우 게이트의 동작 타이밍>

[0072] 각 전송 게이트(TG)와, 오버플로우 게이트(OFG)가, 타이밍 제어부로부터 공급되는 구동 신호에 따라 동작하는 타이밍은, 예를 들면, 도 6에 나타내는 타이밍으로 제어되고 있다.

[0073] 구체적으로는, 신호 전하를 제1 플로팅 디퓨전(FDA)에 전송하는 전송 게이트(TGA) 및 전송 게이트(TGB)는, 동일한 타이밍으로 동작한다. 마찬가지로, 신호 전하를 제2 플로팅 디퓨전(FDB)에 전송하는 전송 게이트(TGC) 및 전송 게이트(TGD)는, 동일한 타이밍으로 동작한다.

[0074] 또한, 동일한 타이밍에 있어서, 전송 게이트(TGA) 및 전송 게이트(TGB)가 행하는 동작과, 전송 게이트(TGC) 및 전송 게이트(TGD)가 행하는 동작은, 반대의 동작이다. 즉, 전송 게이트(TGA) 및 전송 게이트(TGB)가 제1 플로팅 디퓨전(FDA)에 신호 전하를 전송하는 타이밍에서는, 전송 게이트(TGC) 및 전송 게이트(TGD)는 제2 플로팅 디퓨전(FDB)에 신호 전하의 전송을 행하지 않는다.

[0075] 또한, 오버플로우 게이트(OFG)가, 플로팅 디퓨전(FD)으로부터 흘러넘친 전하를 배출하는 타이밍은, 각 전송 게이트(TG)가 플로팅 디퓨전(FD)에 신호 전하를 전송하는 타이밍과는 다르다.

[0076] <거리 계측 처리>

[0077] ToF 방식에 의한 거리 계측 처리의 개요에 대해서 설명한다.

[0078] ToF 방식은, 물체까지의 거리나, 물체의 3차원 형상을 계측하는 방식의 하나이다. 또한, ToF 방식은, 광을 물체에 조사하고, 그 반사광을 해석하여, 물체까지의 거리(뎁스)나, 물체의 형상을 계측하는 방식이다.

[0079] 이하, 도 7을 참조하여, ToF 방식에 의한 거리(뎁스) 계측 처리의 개요에 대해서 설명한다. 한편, 이하의 설명에서는, 3차원 형상의 계측 처리에 대해서는 특히 언급하지 않지만, 물체 표면의 거리를 물체 표면 전체에 걸쳐 계측함으로써, 물체의 3차원 형상을 계측하는 것이 가능하게 된다.

[0080] 도 7에는, 발광부(2), 수광 소자(10)(카메라), 물체(OBJ)를 나타내고 있다. 발광부(2)로부터 출력된 광이 물체(OBJ)에 반사되어 수광 소자(10)에 입사한다.

[0081] 이 구성에 있어서, 발광부(2)로부터 출력한 광이 물체(OBJ)에 반사되어 수광 소자(10)에 입사할 때까지의 시간

Δt를 계측함으로써, 수광 소자(10)로부터 물체(OBJ)까지의 거리(뎁스)(d)를 계측하는 것이 가능하다.

[0082] 거리(d)는, 이하의 식 1을 사용하여 산출한다. 한편, 식 1에 있어서, 「c」는 광속이다.

[0083] $d = (1/2) \times c \times \Delta t$ ···(식 1)

[0084] 한편, 도 7에서는, 알기 쉽게 하기 위해, 발광부(2)와 수광 소자(10)를 조금 떨어진 위치에 나타내고 있다. 그러나, 종래의 일반적인 장치에서는, 발광부(2)의 발광 타이밍과 수광 소자(10)에 의한 촬상 타이밍을 하나의 클럭으로 제어하기 위해, 발광부(2)와 수광 소자(10)는 동일한 장치 등, 거의 같은 위치에 구성된다. 따라서, 발광부(2)로부터의 출력 광이 물체(OBJ)에 반사되어 수광 소자(10)에 입사할 때까지의 시간 Δt는, 수광 소자(10)로부터 물체(OBJ)까지의 거리(뎁스)(d)의 2배의 거리를 광이 진행하는 시간이 된다. 이것이, (식 1)의 거리(d)의 산출식에서, (1/2)을 곱셈하는 이유이다.

[0085] 그러나, 도 7에 나타내는 구성에 있어서, 시간 Δt는 매우 짧은 시간이며, 이 시간 Δt를 정확하게 계측하는 것은 곤란하다. 따라서, 실제로는, 발광부(2)로부터 펄스 광을 발광하고, 수광 소자(10)가 수광한 펄스 광의 시간차를 위상차로 변환하여 거리를 구한다.

[0086] 이 처리에 대해, 도 8을 참조하여 설명한다.

[0087] 도 8에 있어서도, 도 7과 마찬가지로, 광원(발광부)(1), 카메라(수광부)(2), 물체(OBJ)를 나타내고 있다. 발광부(2)로부터 펄스 광을 발광하고, 물체(OBJ)에서 반사되어 돌아온 펄스 광을 수광 소자(10)가 수광한다.

[0088] 이 구성으로, 발광부(2)의 출력 펄스 광과, 수광 소자(10)의 입력 펄스 광의 시간차를 위상차로 변환하여 관측한다.

[0089] 발광부(2)는, 알고 있는 주파수 f[Hz]로 고속으로 점멸시킨다. 즉, 발광부(2)의 발광 패턴에 1주기는, 1/f초가 된다. 수광 소자(10)는, 화소마다 광의 점멸 패턴의 위상을 계측한다. 화소 단위의 위상 계측에 관한 구성의 구체예에 대해서는, 후술한다.

[0090] 예를 들면, 발광부(2)가 출력하는 펄스 광의 위상과, 수광 소자(10)가 수광한 펄스 광의 위상 차가 φ라고 하면, 발광부(2)로부터의 출력 광이 물체(OBJ)에 반사되어 수광 소자(10)에 입사할 때까지의 시간 Δt는, 이하의 (식 2)를 사용하여 산출할 수 있다.

[0091] $\Delta t = (1/f) \times (\phi/2\pi)$ ···(식 2)

[0092] (식 2)에 의해 산출된 시간 Δt를 (식 1)에 대입함으로써, 수광 소자(10)(또는 발광부(2))로부터 물체(OBJ)까지의 거리(d)는, 이하의 (식 3)을 사용하여 산출할 수 있다. 한편, (식 3)에 있어서, 「c」는 광속이고, 「φ」는 발광부(2)의 출력 펄스 광의 위상과, 수광 소자(10)의 수광 펄스 광의 위상 차이며, 「f」는 펄스 광의 주파수이다.

[0093] $d = (c\phi)/4\pi f$ ···(식 3)

[0094] 도 9를 참조하여, 수광 소자(10)에 있어서의 화소 단위의 펄스 광의 위상 산출 구성에 대해서 설명한다.

[0095] 도 7 및 도 8을 참조하여 설명한 수광 소자(10)는, 통상의 카메라와는 다른 ToF 카메라이며, 각 화소가 고속으로 ON/OFF를 반복하고, ON 기간에만 전하를 축적한다.

[0096] ToF 카메라를 사용하여, 물체의 거리 계측을 행하는 경우, ON/OFF의 실행 타이밍을 순차적으로, 스위칭하여 각 타이밍에 있어서의 축적 전하를 해석한다. ON/OFF의 실행 타이밍의 스위칭 패턴은, 예를 들면, 도 9에 왼쪽 도면에 나타내는 이하의 4종류이다.

[0097] (c1) 위상 0도

[0098] (c2) 위상 90도

[0099] (c3) 위상 180도

[0100] (c4) 위상 270도

[0101] (c1) 위상 0도는, ON 타이밍(수광 타이밍)을 발광부(2)가 출력하는 펄스 광의 위상, 즉 도 4 왼쪽의 도면에 나타내는 (a) 발광 패턴과 같은 위상으로 한 설정이다.

[0102] (c2) 위상 90도는, ON 타이밍(수광 타이밍)을 발광부(2)가 출력하는 펄스 광 ((a)발광 패턴)보다 90도 늦어진

위상으로 한 설정이다.

[0103] (c3) 위상 180도는, ON 타이밍(수광 타이밍)을 발광부(2)가 출력하는 펄스 광((a)발광 패턴)보다 180도 늦어진 위상으로 한 설정이다.

[0104] (c4) 위상 270도는, ON 타이밍(수광 타이밍)을 발광부(2)가 출력하는 펄스 광((a)발광 패턴)보다 270도 늦어진 위상으로 한 설정이다.

[0105] 수광 소자(10)에 있어서, 이들 4종류의 절환을 순차적으로 실행하고, 수광 타이밍을 변화시킨 수광량을 취득한다. 즉, 축적 위상을 다르게 한 4종류의 수광량과, 그 수광량에 따른 전하를 얻는다.

[0106] 예를 들면, 발광 패턴에 대한 수광 화소의 위상차를 0, 90, 180, 270도로 했을 때에 축적하는 전하를, 각각, Q_0, Q_{90}, Q_{180}, Q_{270}이라 한다.

[0107] 여기서, (식 3)을 적용하여 물체까지의 거리(d)를 산출하기 위해 필요한 위상차(φ)는, 발광부(2)의 출력 펄스 광의 위상과, 수광 소자(10)의 수광 펄스 광의 위상 차이다.

[0108] 이 위상차(φ)는, 이하의 (식 4)에 기초하여 산출할 수 있다.

[0109] $\phi=\mathrm{Arctan}\left((Q_{90}-Q_{270})/(Q_{180}-Q_0)\right)$ ···(식 4)

[0110] (식 4)에 의해 산출한 위상차(φ), 즉, 발광부(2)의 출력 펄스 광의 위상과, 수광 소자(10)의 수광 펄스 광의 위상 차(φ)를 (식 3)에 대입함으로써, 수광 소자(10)(또는 발광부(2))로부터 물체(OBJ)까지의 거리(d)를 산출할 수 있다.

[0111] 한편, 본 개시에서는, 도 10에 도시된 바와 같이, ToF 카메라에서 촬영되는 화상 프레임, 즉, 발광 패턴(펄스)과의 위상 어긋남량(0도, 90도, 180도, 270도)의, 각 위상 설정의 촬영 화상이나 각 촬영 화상의 축적 전하를 컴포넌트라고 부른다.

[0112] 도 10은, 카메라(ToF 카메라)에 의해 촬영되는 화상 데이터를, 왼쪽에서부터 오른쪽으로 도시한 시간축을 따라 나타낸 도면이다.

[0113] 발광 패턴(펄스)과의 위상 어긋남량(0, 90도, 180도, 270도)의, 각 위상 설정의 촬영 화상이 순차적으로, 반복하여 촬영된다.

[0114] 0도, 90도, 180도, 270도의 각 위상 설정의 컴포넌트의 조합의 1세트를 프레임이라고 부른다.

[0115] 즉, 하나의 프레임은, 발광 패턴(펄스)과의 위상 어긋남량 0도, 90도, 180도, 270도의 각 위상으로 설정한 촬영 화상의 축적 전하 정보 Q_0, Q_{90}, Q_{180}, Q_{270}을 갖는다.

[0116] 한편, 일반적으로, 각 컴포넌트간의 시간은, 프레임간의 시간보다 짧은 설정이다.

[0117] 다음으로, 본 개시의 거리 계측 장치가 실행하는 처리의 개요에 대해서 설명한다.

[0118] 도 7 내지 도 9를 참조하여 설명한 바와 같이, ToF 방식에 의한 물체의 거리 계측에서는, 광원의 발광 펄스와 카메라의 수광 펄스의 위상차를 검출하는 것이 필요하다.

[0119] 이 위상차를 정확하게 검출하기 위해서는, 광원의 발광 펄스의 ON/OFF 타이밍과, 카메라에서 실행되는 화소의 ON/OFF 타이밍을 파악하는 것이 필요하다.

[0120] 이를 위해서는, 예를 들면, 광원의 발광 펄스의 ON/OFF 타이밍과, 카메라에서 실행되는 화소의 ON/OFF 타이밍의 제어를 하나의 클럭에 기초하여 실행하는 것, 즉 동기시켜 실행하면 된다.

[0121] <광전 변환율>

[0122] 제1 실시형태의 수광 소자(10)이면, 실리콘 산화막의 두께가 증가하여도, 특히, 낮은 파장의 광에 대해, 높은 광전 변환율을 갖는 것이 실증되었다.

[0123] <제1 실시형태의 작용·효과>

[0124] 제1 실시형태의 수광 소자(10)이면, 이하의 작용·효과를 나타낼 수 있다.

[0125] (1) 입사한 광을 광전 변환하는 포토다이오드(PD)에 축적된 신호 전하를 복수의 플로팅 디퓨전(FD)에 배분하여

전송하는 복수의 전송 게이트(TG)를 구비한다. 이에 더해, 복수의 전송 게이트(TG) 중 적어도 2개가, 광의 입사 방향에서 볼 때, 광학 중심(OPC)을 기준으로 하여 점대칭으로 배치되어 있다.

[0126] 이에 의해, 기생 광감도를 균일하게 완화할 수 있는 수광 소자(10)를 제공하는 것이 가능하게 된다.

[0127] (2) 전송 게이트(TG)의 수가 4개이며, 4개의 전송 게이트(TG)는, 광의 입사 방향에서 볼 때, 광학 중심(OPC)을 기준으로 하여 4각형의 정점을 형성하는 위치에 배치되어 있다.

[0128] 이에 의해, 광학 중심(OPC)으로부터 플로팅 디퓨전(FD)까지의 거리를 확보하는 것이 용이하게 되고, 기생 광감도의 증가를 억제하는 것이 가능하게 된다.

[0129] (3) 플로팅 디퓨전(FD)으로부터 흘러넘친 전하를 배출하는 복수의 오버플로우 게이트(OFG)를 더 구비한다. 이에 더해, 복수의 오버플로우 게이트(OFG) 중 적어도 2개는, 광의 입사 방향에서 볼 때 광학 중심(OPC)을 기준으로 하여 점대칭으로 배치되어 있다.

[0130] 이에 의해, 마스크의 맞춤 어긋남이 발생한 경우라도, 각 전송 게이트(TG)에 전하를 고속으로 배분할 때에, 전송 불량에 대한 견고성(robustness)을 향상시키는 것이 가능한 수광 소자(10)를 제공하는 것이 가능하게 된다.

[0131] 즉, 게이트 방식 간접 ToF 센서는, 포토다이오드(PD)에서 발생한 전하를, 복수의 전송 게이트(TG)에 의해 복수의 플로팅 디퓨전(FD)으로 배분함으로써, 복수의 위상 신호를 얻는다. 또한, 복수의 위상 신호를 사용하여 측거를 행하기 위해, 각 전송 게이트(TG)에 전하를 고속으로 배분할 필요가 있어, 전송 불량에 대한 높은 견고성이 요구된다. 이 때문에, 마스크의 맞춤 어긋남이 발생한 경우, 전송 불량에 대한 견고성이 저하된다고 하는 문제점이 있다. 이에 대해, 제1 실시형태의 수광 소자(10)이면, 복수의 오버플로우 게이트(OFG) 중 적어도 2개가, 광의 입사 방향에서 볼 때 광학 중심(OPC)을 기준으로 하여 점대칭으로 배치되어 있기 때문에, 상기의 문제점을 해결하는 것이 가능하게 된다.

[0132] 또한, 복수의 오버플로우 게이트(OFG) 중 적어도 2개가, 광학 중심(OPC)을 기준으로 하여 점대칭으로 배치되어 있음으로써, 복수의 트랜지스터에 의한 광의 반사가 발생한 경우라도, 면내에 있어서의 균일성을 유지하는 것이 가능하게 된다.

[0133] 또한, 오버플로우 게이트(OFG)를 광학 중심(OPC)에 배치한 구성과 비교하여, 신호 전하를 플로팅 디퓨전(FD)에 전송하는 전송 경로가 분단되는 것을 회피할 수 있는 구성으로 하는 것이 가능하게 된다.

[0134] (4) 전송 게이트(TG) 및 오버플로우 게이트(OFG)의 총 수는, 짝수이다.

[0135] 이에 의해, 프로세스의 어긋남에 의해 전하 분리 효율(Cmod)이 저하되는 것을, 억제하는 것이 가능하게 된다. 또한, 복수의 전송 게이트(TG) 및 오버플로우 게이트(OFG)에 대하여, 광학 중심(OPC)을 기준으로 한 점대칭을 유지하는 것이 용이하게 된다.

[0136] (5) 전송 게이트(TG)의 총 수와, 오버플로우 게이트(OFG)의 총 수가, 같은 수이다.

[0137] 이에 의해, 제조 프로세스의 복잡화를 억제하는 것이 가능하게 된다.

[0138] (6) 광학 중심(OPC)이, 복수의 단위 화소를 배열하여 형성한 하나의 화소에 설정되어 있다.

[0139] 이에 의해, 하나의 수광 소자(10)에 대하여, 전송 게이트(TG) 등을, 광의 입사 방향에서 볼 때, 광학 중심(OPC)을 기준으로 하여 점대칭으로 배치하는 구조를 적용하는 것이 가능하게 되고, 기생 광감도를 균일하게 완화하는 것이 가능하게 된다.

[0140] (7) 플로팅 디퓨전(FD)에 전송된 신호 전하를 전기 신호로서 판독하여 증폭하는 복수의 증폭 트랜지스터(AMP)를 더 구비한다. 이에 더해, 복수의 증폭 트랜지스터(AMP) 중 적어도 2개가, 광의 입사 방향에서 볼 때 광학 중심(OPC)을 기준으로 하여 점대칭으로 배치되어 있다.

[0141] 이에 의해, 수광 소자(10)의 구성을, 대칭성이 높은 구성으로 하는 것이 가능하게 되고, 품질의 균일화가 가능하게 된다.

[0142] (8) 증폭 트랜지스터(AMP)로부터의 전압 신호의 출력을 온 또는 오프하는 복수의 선택 트랜지스터(SEL)를 더 구비한다. 이에 더해, 복수의 선택 트랜지스터(SEL) 중 적어도 2개는, 광의 입사 방향에서 볼 때 광학 중심(OPC)을 기준으로 하여 점대칭으로 배치되어 있다.

[0143] 이에 의해, 수광 소자(10)의 구성을, 대칭성이 높은 구성으로 하는 것이 가능하게 되고, 품질의 균일화가 가능

하게 된다.

[0144] (9) 플로팅 디퓨전(FD)에 축적되어 있는 전하의 배출을 온 또는 오프하는 복수의 리셋 트랜지스터(RST)를 더 구비한다. 이에 더해, 복수의 리셋 트랜지스터(RST) 중 적어도 2개는, 광의 입사 방향에서 볼 때 광학 중심(OPC)을 기준으로 하여 점대칭으로 배치되어 있다.

[0145] 이에 의해, 수광 소자(10)의 구성을, 대칭성이 높은 구성으로 하는 것이 가능하게 되고, 품질의 균일화가 가능하게 된다.

[0146] (10) 포토다이오드(PD)에 입사하는 광의 범위를 미리 설정된 범위로 차광하는 차광막(20)을 더 구비한다.

[0147] 이에 의해, 물체에서 반사되어 수광 소자(10)에 입사한 광을, 포토다이오드(PD)에 효율적으로 입사시키는 것이 가능하게 된다.

[0148] (11) 제1 반도체층(10A)이, 복수의 전송 게이트(TG)와, 복수의 오버플로우 게이트(OFG)를 갖는다. 이에 더해, 광의 입사 방향을 따라 제1 반도체층(10A)에 적층되는 제2 반도체층(10B)이, 복수의 증폭 트랜지스터(AMP)와, 복수의 리셋 트랜지스터(RST)와, 복수의 선택 트랜지스터(SEL)를 갖는다.

[0149] 이에 의해, 적층형의 구성을 갖는 수광 소자(10)가, 기생 광감도를 균일하게 완화하는 것이 가능하게 된다. 또한, 수광 소자(10)의 구성을 다양화시키는 것이 가능하게 된다.

[0150] (12) 복수의 전송 게이트(TG) 중 적어도 2개가, 포토다이오드(PD)에 축적된 신호 전하를, 하나의 플로팅 디퓨전(FD)에 전송한다.

[0151] 이에 의해, 하나의 전송 게이트(TG)에 의한 전송 불량이 발생한 경우라도, 나머지의 전송 게이트(TG)에 전송 불량이 발생하지 않으면, 결과적으로, 하나의 플로팅 디퓨전(FD)에의 전송 불량을 방지하는 것이 가능하게 된다. 따라서, 복수의 전송 게이트(TG)에 의한 하나의 플로팅 디퓨전(FD)에의, 전송 능력(전송 용량, 전송 속도 등)에 차(전송 차)가 발생한 경우라도, 발생한 전송 차를 소거(cancel)하는 것이 가능하게 된다.

[0152] 또한, 수광 소자(10)의 구성을, HAD(Hole-Accumulation Diode(등록상표))의 탑재수를 늘린 구성으로 하는 것이 가능해지는 등, HAD를 적용하는 변형을 확대하는 것이 가능하게 된다.

[0153] (13) 포토다이오드(PD)의 광이 입사되는 측에 배치한 온 칩 렌즈(30)를 구비한다.

[0154] 이에 의해, 온 칩 렌즈(30)의 F값에 의존하여 생기는 각 색의 감도의 편차나 혼색을 억제하는 것이 가능하게 된다. 이는, 이면 조사형의 수광 소자(10)에서는, 온 칩 렌즈(30)와 포토다이오드(PD)의 수광면과의 거리가 가깝게 되는 것에 기인한다.

[0155] 제1 실시형태의 측거 모듈(1)이면, 이하의 작용·효과를 나타낼 수 있다.

[0156] (14) 수광 소자(10)와, 주기적으로 밝기가 변동하는 조사광을 조사하는 발광부(2)와, 조사광의 조사 타이밍을 제어하는 발광 제어부(4)를 구비한다.

[0157] 이에 의해, 기생 광감도를 균일하게 완화할 수 있는 측거 모듈(1)을 제공하는 것이 가능하게 된다.

[0158] (제1 실시형태의 변형예)

[0159] (1) 제1 실시형태에서는, 수광 소자(10)의 구성을, 광학 중심(OPC)을 기준으로 하여 점대칭으로 배치되어 있는 복수의 오버플로우 게이트(OFG)를 구비하는 구성으로 하였다. 그러나, 이에 한정되지 않으며, 예를 들면, 도 11에 도시된 바와 같이, 오버플로우 게이트(OFG)가, 광의 입사 방향에서 볼 때, 광학 중심(OPC)에 배치되어 있는 구성으로 하여도 된다.

[0160] 이 구성이면, 수광 소자(10)에 대하여, 프로세스 편차 내성을 향상시키는 것이 가능하게 된다.

[0161] (2) 제1 실시형태에서는, 전송 게이트(TG)의 총 수와, 오버플로우 게이트(OFG)의 총 수를 같은 수로 하였으나, 이에 한정되지 않으며, 예를 들면, 도 12에 도시된 바와 같이, 전송 게이트(TG)의 총 수와, 오버플로우 게이트(OFG)의 총 수를 다른 수로 하여도 된다.

[0162] (3) 제1 실시형태에서는, 복수의 전송 게이트(TG) 중 적어도 2개가, 포토다이오드(PD)에 축적된 신호 전하를, 하나의 플로팅 디퓨전(FD)에 전송하는 구성으로 하였다. 그러나, 이에 한정되지 않으며, 예를 들면, 도 13 내지 도 15에 도시된 바와 같이, 하나의 플로팅 디퓨전(FD)에 대하여, 하나의 전송 게이트(TG)에 의해 포토다이오드(PD)에 축적된 신호 전하를 전송하는 구성으로 하여도 된다. 즉, 복수의 전송 게이트(TG) 중 하나가, 포토다

이오드(PD)에 축적된 신호 전하를, 하나의 플로팅 디퓨전(FD)에 전송하는 구성으로 하여도 된다. 한편, 도 13 내지 도 15에서는, 각각, 「전송 게이트(TGE), 전송 게이트(TGF), 전송 게이트(TGG), 전송 게이트(TGH)」로 나타낸다.

[0163] 이 구성이면, 플로팅 디퓨전(FD)의 수를 증가시킨 구성에 대응하는 것이 가능하게 된다.

[0164] (4) 제1 실시형태에서는, 제1 반도체층(10A)이, 전송 게이트(TG)와, 오버플로우 게이트(OFG)를 갖고, 제2 반도체층(10B)이, 증폭 트랜지스터(AMP)와, 리셋 트랜지스터(RST)와, 선택 트랜지스터(SEL)를 갖는 구성으로 하였다. 그러나, 이에 한정되지 않는다. 즉, 예를 들면, 도 16 내지 도 18에 도시된 바와 같이, 하나의 반도체층이, 전송 게이트(TG)와, 오버플로우 게이트(OFG)와, 증폭 트랜지스터(AMP)와, 리셋 트랜지스터(RST)와, 선택 트랜지스터(SEL)를 갖는 구성으로 하여도 된다.

[0165] (5) 제1 실시형태에서는, 수광 소자(10)의 구성을, 신호 전하를 보존하는 메모리를 갖지 않는 구성으로 하였으나, 이에 한정되지 않는다. 즉, 예를 들면, 도 19에 도시된 바와 같이, 수광 소자(10)의 구성을, 신호 전하를 보존하는 복수의 메모리(MC)를 더 갖고, 복수의 메모리(MC) 중 적어도 2개가, 광의 입사 방향에서 볼 때 광학 중심(OPC)을 기준으로 하여 점대칭으로 배치되어 있는 구성으로 하여도 된다.

[0166] (6) 제1 실시형태에서는, 제2 반도체층(10B)의 구성을, 신호 전하를 보존하는 메모리를 갖지 않는 구성으로 하였으나, 이에 한정되지 않는다. 즉, 예를 들면, 도 20에 도시된 바와 같이, 제2 반도체층(10B)이, 신호 전하를 보존하는 복수의 메모리(MC)를 더 갖고, 복수의 메모리(MC) 중 적어도 2개가, 광의 입사 방향에서 볼 때 광학 중심(OPC)을 기준으로 하여 점대칭으로 배치되어 있는 구성으로 하여도 된다.

[0167] (7) 제1 실시형태에서는, 수광 소자(10)의 구성을, 제1 반도체층(10A) 및 제2 반도체층(10B)을 구비하는 구성으로 하였다. 그러나, 이에 한정되지 않으며, 수광 소자(10)의 구성을, 하나의 반도체층만을 구비하는 구성으로 한 임베디드(embedded)형의 게이트 방식 간접 ToF 센서로 하여도 된다.

[0168] (8) 제1 실시형태에서는, 수광 소자(10)의 구성을, 제1 반도체층(10A) 및 제2 반도체층(10B)을 구비하는 구성으로 하였다. 그러나, 이에 한정되지 않으며, 예를 들면, 도 21에 도시된 바와 같이, 수광 소자(10)의 구성을, 제3 반도체 도체층(10C)을 더 구비하는 구성으로 하여도 된다. 제3 반도체 도체층(10C)은, 제2 반도체층(10B)보다 제1 반도체층(10A)으로부터 떨어진 위치에서 제1 반도체층(10A) 및 제2 반도체층(10B)과 광의 입사 방향을 따라 적층된 층이다. 이 경우, 제3 반도체 도체층(10C)은, 복수의 증폭 트랜지스터(AMP)와, 복수의 리셋 트랜지스터(RST)를 갖는 구성으로 한다. 나아가, 제3 반도체 도체층(10C)이 갖는 복수의 증폭 트랜지스터(AMP) 중 적어도 2개가, 광의 입사 방향에서 볼 때 광학 중심(OPC)을 기준으로 하여 점대칭으로 배치되어 있는 구성으로 한다. 이에 더해, 제3 반도체 도체층(10C)이 갖는 복수의 리셋 트랜지스터(RST) 중 적어도 2개가, 광의 입사 방향에서 볼 때 광학 중심(OPC)을 기준으로 하여 점대칭으로 배치되어 있는 구성으로 한다.

[0169] (9) 제1 실시형태에서는, 증폭 트랜지스터(AMP) 및 증폭 트랜지스터(AMP)의 수를 4개로 하였으나, 이에 한정되지 않으며, 예를 들면, 도 22에 도시된 바와 같이, 증폭 트랜지스터(AMP) 및 증폭 트랜지스터(AMP)의 수를 2개로 하여도 된다.

[0170] (10) 제1 실시형태에서는, 전송 게이트(TG)와 오버플로우 게이트(OFG)를, 수광 소자(10)에 입사하는 광의 입사 방향에서 볼 때, 광학 중심(OPC)을 중심으로 한 원을 따라 교대로 배치하였으나, 이에 한정되지 않는다. 즉, 예를 들면, 도 23이나 도 24에 도시된 바와 같이, 전송 게이트(TG)나 오버플로우 게이트(OFG)를, 수광 소자(10)에 입사하는 광의 입사 방향에서 볼 때, 광학 중심(OPC)을 중심으로 한 원을 따라 연속시켜 배치한 구성으로 하여도 된다. 한편, 도 23 및 도 24에서는, 설명을 위해, 전송 게이트(TG) 및 오버플로우 게이트(OFG)의 도시를 간략화하고 있다.

[0171] 여기서, 도 23에 나타내는 구성이면, 수광 소자(10)에 입사하는 광의 입사 방향에서 볼 때, 전송 게이트(TG) 및 오버플로우 게이트(OFG)를 8각형이 되도록 배치하고 있기 때문에, 수광 소자(10)의 구성을, 대칭성이 높은 구성으로 하는 것이 가능하게 된다.

[0172] 또한, 도 24에 나타내는 구성이면, 전송 게이트(TG)의 배치를, 신호 전하를 전송하는 플로팅 디퓨전(FD)에 대응시켜 변화시킴으로써, 신호 전하의 전송에 관하여, 특정한 방향에의 안정성을 향상시키는 것이 가능하게 된다.

[0173] (11) 제1 실시형태에서는, 광학 중심(OPC)을, 복수의 단위 화소를 배열하여 형성한 하나의 화소에 설정하였으나, 이에 한정되지 않으며, 광학 중심(OPC)이, 복수의 화소를 배열하여 형성한 화소군에 설정되어 있는 구성으로 하여도 된다.

[0174] 즉, 예를 들면, 도 25 내지 도 27에 도시된 바와 같이, 하나의 화소(PX)에 있어서는, 화소(PX)의 중심을 기준으로 하여, 전송 게이트(TG)나 오버플로우 게이트(OFG)가 점대칭으로 배치되어 있지 않는 경우를 생각한다. 이 경우에도, 화소군(PXG)에 있어서, 광학 중심(OPC)을 사변형의 중심으로 설정함으로써, 화소군(PXG)에 있어서는, 전송 게이트(TG)나 오버플로우 게이트(OFG)를, 광학 중심(OPC)을 기준으로 하여 점대칭으로 배치된 구성으로 한다. 한편, 도 25 내지 도 27에서는, 설명을 위해, 전송 게이트(TG) 및 오버플로우 게이트(OFG)의 도시를 간략화하고 있다. 또한, 화소군(PXG)은, 4개의 화소(PX)를 어레이 형상으로 배열하여 사변형으로 형성한 화소의 그룹이다.

[0175] 이 구성이면, 수광 소자(10)의 구성에 관하여, 변형(배리에이션; variation)을 증가시키는 것이 가능하게 된다.

[0176] (12) 제1 실시형태에서는, 수광 소자(10)의 구성을, 도 2 내지 도 4에 도시된 바와 같이, 제1 반도체층(10A)의 구성을, 포토다이오드(PD)와, 플로팅 디퓨전(FD), 전송 게이트(TG), 오버플로우 게이트(OFG)를 갖는 구성으로 하였다. 이에 더해, 제2 반도체층(10B)의 구성을, 리셋 트랜지스터(RST), 증폭 트랜지스터(AMP), 선택 트랜지스터(SEL)를 갖는 구성으로 하였다. 그러나, 제1 반도체층(10A)과 제2 반도체층(10B)의 구성은, 이에 한정되지 않는다.

[0177] 즉, 예를 들면, 도 28 내지 도 31에 도시된 바와 같이, 제1 반도체층(10A)에 그라운드(GND)를 배치하고, 제2 반도체층(10B)에 그라운드(GND)와 전원 배선(VDD)를 배치한 구성으로 하여도 된다. 한편, 도 28 내지 도 30에는, 수광 소자(10) 중, 복수(4개)의 단위 화소를 배열하여 형성한 하나의 화소에 대응하는 구성을 도시하고 있다.

[0178] 도 29에 도시된 바와 같이, 제1 반도체층(10A)에는, 4개의 그라운드(GND)가 배치되어 있다. 4개의 그라운드(GND)는, 각각, 제1 반도체층(10A)이 갖는 4군데의 코너부에 배치되어 있다.

[0179] 도 30에 도시된 바와 같이, 제2 반도체층(10B)에는, 4개의 그라운드(GND)와, 4개의 전원 배선(VDD)이 배치되어 있다. 4개의 그라운드(GND)는, 각각, 제2 반도체층(10B)이 갖는 4군데의 주연부에 있어서, 중심에 배치되어 있다. 4개의 전원 배선(VDD)은, 각각, 제2 반도체층(10B)이 갖는 4군데의 코너부에 배치되어 있고, 리셋 트랜지스터(RST)에 접속되어 있다.

[0180] 그리고, 도 31에 도시된 바와 같이, 복수의 화소(PX)(도 31에서는, 4개의 화소(PX))를 어레이 형상으로 배열하여 형성한 화소군(PXG)에 있어서는, 이웃하는 2개의 화소에 있어서, 제1 반도체층(10A)에 배치되어 있는 그라운드(GND)가 공유된다(도시 생략). 이에 더해, 제2 반도체층(10B)에 배치되어 있는 그라운드(GND)와 전원 배선(VDD)이 공유된다. 한편, 도 31에서는, 보기 쉽게 하기 위해, 화소(PX), 화소군(PXG), 그라운드(GND), 전원 배선(VDD) 이외의 구성에 대한 부호의 부여를 생략하고 있다.

[0181] 이 구성이면, 이웃하는 2개의 화소(PX)에 있어서, 제1 반도체층(10A)에 배치되어 있는 그라운드(GND)가 공유됨으로써, 미세화를 실현하는 것이 용이하게 된다. 나아가, 제2 반도체층(10B)에 배치되어 있는 그라운드(GND)와 전원 배선(VDD)이 공유됨으로써, 미세화를 실현하는 것이 용이하게 된다.

[0182] 또한, 예를 들면, 도 32 및 도 33에 도시된 바와 같이, 제1 반도체층(10A)에 그라운드(GND)와 전원 배선(VDD)를 배치한 구성으로 하여도 된다. 한편, 도 32에는, 수광 소자(10) 중, 복수(4개)의 단위 화소를 배열하여 형성한 하나의 화소에 대응하는 구성을 도시하고 있다.

[0183] 도 32에 도시된 바와 같이, 제1 반도체층(10A)에는, 4개의 그라운드(GND)와, 4개의 전원 배선(VDD)이 배치되어 있다. 4개의 그라운드(GND)는, 각각, 제1 반도체층(10A)이 갖는 4군데의 주연부보다 포토다이오드(PD)에 가까운 위치에 배치되어 있다. 4개의 전원 배선(VDD)은, 각각, 제1 반도체층(10A)이 갖는 4군데의 코너부에 배치되어 있고, 리셋 트랜지스터(RST)에 접속되어 있다.

[0184] 그리고, 도 33에 도시된 바와 같이, 복수의 화소(PX)(도 33에서는, 4개의 화소(PX))를 어레이 형상으로 배열하여 형성한 화소군(PXG)에 있어서는, 이웃하는 2개의 화소(PX)에 있어서, 제1 반도체층(10A)에 배치되어 있는 전원 배선(VDD)이 공유된다. 한편, 도 33에서는, 보기 쉽게 하기 위해, 화소(PX), 화소군(PXG), 그라운드(GND), 전원 배선(VDD) 이외의 구성에 대한 부호의 부여를 생략하고 있다.

[0185] 이 구성이면, 그라운드(GND)를 제1 반도체층(10A)의 주연부보다 포토다이오드(PD)에 가까운 위치에 배치함으로써, 제1 반도체층(10A)에 대한 그라운드(GND)의 고정 정도를 강화하는 것이 가능하게 되고, 전자의 전송에 생기는 편차를 억제하는 것이 가능하게 된다. 이에 의해, AC contrast(Cmod)를 향상시키는 것이 가능해짐과 함께, 화소마다 AC contrast가 편차가 생기는 것을 억제하는 것이 가능하게 된다. 한편, 「AC contrast」란, 광전 변환에서 발생한 전하를 게이트 전압 등의 변조 구동에 의해 복수의 플로팅 디퓨전(FD)으로 배분할 때, 소정의 플

로팅 디퓨전(FD)으로 배분하는 정밀도를 비율화한 지표이다. 또한, 「AC contrast」는, 높을수록 좋은 지표가 된다. 한편, AC contrast의 변조 주파수에 해당하는 「Modulation Frequency」는, 빠르면 빠를수록, 고정밀도인 측거가 가능하게 된다.

[0186] 또한, 이 구성이면, 이웃하는 2개의 화소(PX)에 있어서, 제1 반도체층(10A)에 배치되어 있는 전원 배선(VDD)이 공유됨으로써, 미세화를 실현하는 것이 용이하게 된다.

[0187] 또한, 예를 들면, 도 34 및 도 35에 도시된 바와 같이, 제1 반도체층(10A)에 그라운드(GND)와 전원 배선(VDD)를 배치한 구성으로 하여도 된다. 한편, 도 34에는, 수광 소자(10) 중, 복수(4개)의 단위 화소를 배열하여 형성한 하나의 화소에 대응하는 구성을 도시하고 있다.

[0188] 도 34에 도시된 바와 같이, 제1 반도체층(10A)에는, 4개의 그라운드(GND)와, 4개의 전원 배선(VDD)이 배치되어 있다. 4개의 그라운드(GND)는, 각각, 제2 반도체층(10B)이 갖는 4군데의 주연부에 있어서, 중심에 배치되어 있다. 4개의 전원 배선(VDD)은, 각각, 제1 반도체층(10A)이 갖는 4군데의 코너부에 배치되어 있고, 리셋 트랜지스터(RST)에 접속되어 있다.

[0189] 그리고, 도 35에 도시된 바와 같이, 복수의 화소(PX)(도 35에서는, 4개의 화소(PX))를 어레이 형상으로 배열하여 형성한 화소군(PXG)에 있어서는, 이웃하는 2개의 화소(PX)에 있어서, 제1 반도체층(10A)에 배치되어 있는 그라운드(GND)와 전원 배선(VDD)이 공유된다. 한편, 도 35에서는, 보기 쉽게 하기 위해, 화소(PX), 화소군(PXG), 그라운드(GND), 전원 배선(VDD) 이외의 구성에 대한 부호의 부여를 생략하고 있다.

[0190] 이 구성이면, 이웃하는 2개의 화소(PX)에 있어서, 제1 반도체층(10A)에 배치되어 있는 그라운드(GND)와 전원 배선(VDD)이 공유됨으로써, 미세화를 실현하는 것이 용이하게 된다.

[0191] (13) 제1 실시형태에서는, 도 2에 도시된 바와 같이, 온 칩 렌즈(30)에 의해 집광시킨 광을, 반사 방지층(40)을 투과시켜 차광막(20)에 입사시키고, 포토다이오드(PD)로 입사시키는 구성으로 하였으나, 이에 한정되지 않는다.

[0192] 즉, 예를 들면, 도 36 내지 도 38에 도시된 바와 같이, 온 칩 렌즈(30)에 의해 집광시킨 광을, 산란 구조물(SF)에 의해 산란시켜, 포토다이오드(PD)에 입사시키는 구성으로 하여도 된다. 한편, 도 36에는, 수광 소자(10) 중, 복수(4개)의 단위 화소를 배열하여 형성한 하나의 화소에 대응하는 구성을 도시하고 있다. 한편, 도 37에서는, 보기 쉽게 하기 위해, 화소(PX), 화소군(PXG), 그라운드(GND), 전원 배선(VDD) 이외의 구성에 대한 부호의 부여를 생략하고 있다.

[0193] 산란 구조물(SF)은, 예를 들면, 금속 재료(Metal)나 실리콘 산화막(SiO_2) 등을 사용하여 형성되어 있고, 반사 방지층(40)의 내부에 배치되어 있다. 또한, 산란 구조물(SF)은, 예를 들면, 도 36에 도시된 바와 같이, 복수의 단위 화소를 배열한 방향에서 볼 때, 두께가 균일한 판형상으로 형성되어 있다. 나아가, 산란 구조물(SF)은, 예를 들면, 도 38에 도시된 바와 같이, 수광 소자(10)에 입사하는 광의 입사 방향에서 볼 때, 그리드 형상으로 배치되어 있다.

[0194] 이 구성이면, 산란 구조물(SF)에 의해 산란된 광이, 화소의 내부에 있어서 특정한 전송 게이트(TG)에 치우치지 않도록, 광학 중심에 대해 점대칭으로 배치되기 때문에, 감도의 치우침을 억제하여 AC contrast를 향상시키는 것이 가능하게 된다. 이에 의해, 간접 ToF에서 중시되는 감도인, 적외선 광원에 대한 감도를 향상시키는 것이 가능하게 된다.

[0195] 그런데, 온 칩 렌즈(30)의 면상에 있어서 광축으로부터의 거리가 떨어져 있는 화소 측인 높은 상고측(high image height side)에서는, 광축으로부터의 거리가 먼 관계로 광이 경사져서 입사된다. 이 때문에, 산란 구조물(SF)을, 광학 중심에 대해 점대칭으로 배치할 필요는 없다. 또한, 「높은 상고측」은, 온 칩 렌즈(30)의 대각선끼리가 교차한 부분인 화소 중심으로부터, 온 칩 렌즈(30)의 단부로 가까워짐에 따라 상고(像高; image height)가 높아지는 측을 나타낸다. 또한, 「높은 상고」란, 온 칩 렌즈(30)의 단부에 가까운 측(상측, 하측, 좌측, 우측의 어느 쪽의 측도 포함함)을 나타낸다.

[0196] 한편, 산란 구조물(SF)의 구성은, 도 38에 나타내는 구성, 즉, 수광 소자(10)에 입사하는 광의 입사 방향에서 볼 때 그리드 형상으로 배치된 구성에 한정되는 것은 아니고, 예를 들면, 도 39 내지 도 48에 나타내는 구성으로 하여도 된다.

[0197] 또한, 산란 구조물(SF)의 형상은, 도 36에 나타내는 구성, 즉, 복수의 단위 화소를 배열한 방향에서 볼 때, 두께가 균일한 판형상의 형상으로 한정되는 것은 아니다.

[0198] 즉, 산란 구조물(SF)의 형상은, 예를 들면, 도 49에 도시된 바와 같이, 포토다이오드(PD)에 근접할수록 단면적이 감소하는, 정점을 하측(포토다이오드(PD)를 향하는 측)을 향한 4각뿔의 형상으로 하여도 된다. 또한, 산란 구조물(SF)의 형상은, 예를 들면, 도 50에 도시된 바와 같이, 포토다이오드(PD)로부터 멀어질수록 단면적이 감소하는, 정점을 상측(광이 입사되는 측)을 향한 4각뿔의 형상으로 하여도 된다.

[0199] 한편, 산란 구조물(SF)의 형상을, 도 49나 도 50에 나타내는 형상으로 한 경우, 수광 소자(10)에 입사하는 광의 입사 방향에서 본 산란 구조물(SF)의 구성은, 예를 들면, 도 49, 도 41, 도 48에 나타내는 구성이 된다.

[0200] (14) 제1 실시형태에서는, 오버플로우 게이트(OFG)가 전송 게이트(TG)에 접속되어 있는 구성으로 하였으나, 이에 한정되지 않는다.

[0201] 즉, 예를 들면, 도 51 및 도 52에 도시된 바와 같이, 오버플로우 게이트(OFG)를 광학 중심(OPC)에 배치하고, 또한, 오버플로우 게이트(OFG)가 전송 게이트(TG)에 접속되어 있지 않고, 그라운드(GND)에 접속되어 있는 구성으로 하여도 된다. 한편, 도 52에서는, 보기 쉽게 하기 위해, 화소(PX), 화소군(PXG), 그라운드(GND), 오버플로우 게이트(OFG) 이외의 구성에 대한 부호의 부여를 생략하고 있다.

[0202] 또한, 도 51 및 도 52에 나타내는 구성에서는, 수광 소자(10)의 구성을, 변환 효율 가변 게이트(FDG)를 구비하는 구성으로 한다.

[0203] 변환 효율 가변 게이트(FDG)(폴리 실리콘)는, 광학 대칭성이나 용량 대칭성에 따른 위치에 배치되어 있고, 리셋 트랜지스터(RST)에 접속되어 있다. 또한, 변환 효율 가변 게이트(FDG)는, 추가 용량을 부가하는 스위치로서 기능한다.

[0204] 한편, 도시는 생략하지만, 변환 효율 가변 게이트(FDG)의 대신에, 더미 소자를 배치하는 구성으로 하여도 된다.

[0205] 도 51 및 도 52에 나타내는 구성에서는, 도시하지 않은 타이밍 제어부로부터 구동 신호를 공급하지 않아도, 전송 게이트(TG)에 의해 형성되는 포텐셜 장벽에 의해, 타이밍 제어부로부터 공급되는 구동 신호를 받는 오버플로우 게이트(OFG)와 동등한 기능을 실현한다. 따라서, 도 51 및 도 52에 나타내는 구성에서는, 도 53a에 도시된 바와 같이, 전송 게이트(TG)를 연 상태(ON 상태)에서, 도 53b에 도시된 바와 같이, 전하(EC)가 플로팅 디퓨전(FD)에 축적된다. 한편, 도 54a에 도시된 바와 같이, 전송 게이트(TG)를 닫은 상태(OFF 상태)에서, 도 54b에 도시된 바와 같이, 전하(EC)가 오버플로우 게이트(OFG)로 배출된다.

[0206] 즉, 전송 게이트(TG)를 OFF 상태로 하여 전하(EC)가 오버플로우 게이트(OFG)로 배출되는 전계 설계로 함으로써, 타이밍 제어부를 필요로 하지 않고, 타이밍 제어부를 필요로 하는 오버플로우 게이트(OFG)와 동등한 기능을 실현하는 것이 가능하게 된다.

[0207] 이 구성이면, 간접 ToF에 필요한 구성인 오버플로우 게이트(OFG)를, 광학 중심(OPC)을 기준으로 한 대칭성을 유지하면서, 화소의 내부에 있어서의 면적의 점유율을 감소시켜, 미세화를 실현하는 것이 용이하게 된다.

[0208] 또한, 예를 들면, 도 55 및 도 56에 도시된 바와 같이, 오버플로우 게이트(OFG)를 광학 중심(OPC)에 배치함과 함께 그라운드(GND)에 접속하고, 또한, 전송 게이트(TG) 위에, 전송 전극(VG)(Vertical Gate)을 배치한 구성으로 하여도 된다.

[0209] 여기서, 전송 전극(VG)은, 종형(vertical type) 트랜지스터를 사용하여 형성되고, 실리콘 기판의 내부로 게이트 전극(폴리 실리콘)이 연장한 구조이며, 전송 게이트(TG)와 포토다이오드(PD)를 접속하고 있다. 또한, 전송 전극(VG)은, 실리콘 기판을 파낸 위치에 폴리 실리콘을 매립하여 작성된 전극이며, 예를 들면, 실리콘 기판을 파낸 위치에 형성된 부분과, 실리콘 기판 상에 있는 부분의 2개소가 일체로 형성되어 있다. 즉, 전송 전극(VG)은, 임베디드(embedded)형의 게이트를 형성하고 있다.

[0210] 도 55 및 도 56에 나타내는 구성에서는, 전송 게이트(TG)를 연 상태(ON 상태)에서, 도 57에 도시된 바와 같이, 전하(EC)가 전송 전극(VG)을 통해 플로팅 디퓨전(FD)에 축적된다. 한편, 전송 게이트(TG)를 닫은 상태(OFF 상태)에서, 도 58에 도시된 바와 같이, 전하(EC)가 전송 전극(VG)을 통해 오버플로우 게이트(OFG)로 배출된다.

[0211] 이 구성이면, 전하(EC)의 전송 효율을 향상시키는 것이 가능하게 된다.

[0212] (15) 제1 실시형태에서는, 오버플로우 게이트(OFG)가 전송 게이트(TG)에 접속되어 있는 구성으로 하였으나, 이에 한정되지 않는다.

[0213] 즉, 예를 들면, 도 59 및 도 60에 도시된 바와 같이, 오버플로우 게이트(OFG)를 광학 중심(OPC)에 배치하고, 또

한, 오버플로우 게이트(OFG)가 전송 게이트(TG)에 접속되어 있지 않고, 포토 게이트(PG)에 접속되어 있는 구성으로 하여도 된다. 한편, 도 60에서는, 보기 쉽게 하기 위해, 화소(PX), 화소군(PXG), 그라운드(GND), 오버플로우 게이트(OFG), 포토 게이트(PG) 이외의 구성에 대한 부호의 부여를 생략하고 있다.

[0214] 포토 게이트(PG)는, 포토다이오드(PD)에 접속되어 있고, 도시하지 않은 구동 회로로부터 공급되는 제어 신호에 따라, ON 상태 또는 OFF 상태가 된다.

[0215] 도 59 및 도 60에 나타내는 구성에서는, 도 61a에 도시된 바와 같이, 전송 게이트(TG)를 연 상태(ON 상태)에서, 도 61b에 도시된 바와 같이, 전하(EC)가 포토 게이트(PG)에 이동한다. 한편, 도 62a에 도시된 바와 같이, 전송 게이트(TG)를 닫은 상태(OFF 상태)에서, 도 62b에 도시된 바와 같이, 전하(EC)가 오버플로우 게이트(OFG)로 배출된다.

[0216] 즉, 전송 게이트(TG)를 OFF 상태로 하여 전하(EC)가 오버플로우 게이트(OFG)로 배출되는 전계 설계로 함으로써, 타이밍 제어부를 필요로 하지 않고, 타이밍 제어부를 필요로 하는 오버플로우 게이트(OFG)와 동등한 기능을 실현하는 것이 가능하게 된다.

[0217] 이 구성이면, 간접 ToF에 필요한 구성인 오버플로우 게이트(OFG)를, 광학 중심(OPC)을 기준으로 한 대칭성을 유지하면서, 화소의 내부에 있어서의 면적의 점유율을 감소시켜, 미세화를 실현하는 것이 용이하게 된다.

[0218] 또한, 예를 들면, 도 63 및 도 64에 도시된 바와 같이, 오버플로우 게이트(OFG)를 광학 중심(OPC)에 배치함과 함께 포토 게이트(PG)에 접속하고, 또한, 포토 게이트(PG) 상에, 전송 전극(VG)을 배치한 구성으로 하여도 된다. 한편, 도 64에서는, 보기 쉽게 하기 위해, 화소(PX), 화소군(PXG), 그라운드(GND), 오버플로우 게이트(OFG), 포토 게이트(PG), 전송 전극(VG) 이외의 구성에 대한 부호의 부여를 생략하고 있다.

[0219] 전송 전극(VG)은, 포토 게이트(PG)와 포토다이오드(PD)를 접속하고 있다.

[0220] 도 63 및 도 64에 나타내는 구성에서는, 전송 게이트(TG)를 연 상태(ON 상태)에서, 도 65에 도시된 바와 같이, 전하(EC)가 전송 전극(VG)을 통해 포토 게이트(PG)에 이동한다. 한편, 전송 게이트(TG)를 닫은 상태(OFF 상태)에서, 도 66에 도시된 바와 같이, 전하(EC)가 전송 전극(VG)을 통해 오버플로우 게이트(OFG)로 배출된다.

[0221] 이 구성이면, 전하(EC)의 전송 효율을 향상시키는 것이 가능하게 된다.

[0222] (16) 제1 실시형태에서는, 도 5에 도시된 바와 같이, 2개의 전송 게이트(TG)가 하나의 포토다이오드(PD)에 접속되어 있는, 2위상의 회로를 형성하는 구성으로 하였으나, 이에 한정되지 않는다.

[0223] 즉, 예를 들면, 도 67에 도시된 바와 같이, 4개의 전송 게이트(TG)가 하나의 포토다이오드(PD) 및 오버플로우 게이트(OFG)에 접속되어 있는, 4위상의 회로를 형성하는 구성으로 하여도 된다.

[0224] 도 67에 나타내는 구성에서는, 각 전송 게이트(TG)와, 오버플로우 게이트(OFG)가, 타이밍 제어부로부터 공급되는 구동 신호에 따라 동작하는 타이밍은, 예를 들면, 도 68에 나타내는 타이밍으로 제어되고 있다.

[0225] 구체적으로는, 전송 게이트(TGA), 전송 게이트(TGC), 전송 게이트(TGB), 전송 게이트(TGD)의 순서로, 같은 동작을, 타이밍을 어긋나게 하여 행한다. 또한, 오버플로우 게이트(OFG)가 플로팅 디퓨전(FD)으로부터 흘러넘친 전하를 배출하는 타이밍은, 각 전송 게이트(TG)가 플로팅 디퓨전(FD)에 신호 전하를 전송하는 타이밍과는 다르다.

[0226] 또한, 예를 들면, 도 52에 나타내는 구성이면, 4위상의 회로는, 예를 들면, 도 69에 나타내는 구성이 된다.

[0227] 도 69에 나타내는 구성에서는, 이웃하는 화소가, 포토다이오드(PD) 및 오버플로우 게이트(OFG)를 공유하는 구성이 된다.

[0228] 또한, 예를 들면, 도 60에 나타내는 구성이면, 4위상의 회로는, 예를 들면, 도 70에 나타내는 구성이 된다.

[0229] 도 70에 나타내는 구성에서는, 이웃하는 화소가, 포토다이오드(PD) 및 오버플로우 게이트(OFG)를 공유하는 구성이 된다.

[0230] (17) 제1 실시형태에서는, 제1 반도체층(10A)의 구성을, 포토다이오드(PD), 플로팅 디퓨전(FD), 전송 게이트(TG), 오버플로우 게이트(OFG)를 갖는 구성으로 하였으나, 이에 한정되지 않는다.

[0231] 즉, 예를 들면, 도 71 내지 도 73에 도시된 바와 같이, 제1 반도체층(10A)의 구성을, 복수(4개)의 포토 게이트(PG)와, 복수(4개)의 전송 전극(VG)을 갖는 구성으로 하여도 된다. 이에 더해, 제1 반도체층(10A)에 일부가 배치됨과 함께, 나머지의 부분이 제2 반도체층(10B)에 배치되어 있는 커패시터(MIM)를 갖는 구성으로 하여도

된다.

[0232] 포토 게이트(PG)는, 전송 게이트(TG)에 접속되어 있다.

[0233] 또한, 4개의 포토 게이트(PG)는, 하나의 전송 게이트(TG)(예를 들면, 전송 게이트(TGA))를 기준으로 하여, 좌우 대칭 및 상하 대칭으로 배치되어 있다.

[0234] 전송 전극(VG)은, 전송 게이트(TG)와 포토다이오드(PD)를 접속하고 있다.

[0235] 커패시터(MIM)는, 도 74에 도시된 바와 같이, 상부 전극(UE)과, 하부 전극(DE)과, 고유전율막(PM)을 구비한다.

[0236] 상부 전극(UE)은, 금속 재료를 사용하여 형성되어 있고, 평판을, 복수의 단위 화소를 배열한 방향에서 볼 때, 약 90° 의 각도로 복수회 절곡하여 복수 개소의 오목부 및 볼록부를 갖는 형상으로 형성되어 있다. 또한, 상부 전극(UE)에는, 구리를 사용하여 선 형상으로 형성된 상부 단자(UT)가 접속되어 있다.

[0237] 하부 전극(DE)은, 상부 전극(UE)과 같이 금속 재료를 사용하여 형성되어 있고, 상부 전극(UE)과 같은 형상으로 형성되어 있다. 또한, 하부 전극(DE)에는, 구리를 사용하여 판형상으로 형성된 하부 단자(DT)가 접속되어 있다.

[0238] 고유전율막(PM)은, 절연체를 사용하여 형성되어 있고, 상부 전극(UE)과 하부 전극(DE)의 사이에 배치되어 있다.

[0239] 도 71 내지 도 74에 나타내는 구성에서는, 4개의 포토 게이트(PG)가, 하나의 전송 게이트(TG)를 기준으로 하여, 좌우 대칭 및 상하 대칭으로 배치되어 있다. 이 때문에, 4개의 포토 게이트(PG)의 용량이 균일하게 되고, 화소마다의 AC contrast의 편차를 억제하는 것이 가능하게 된다. 이에 더해, 전송 게이트(TG)와 포토다이오드(PD)를 접속하는 전송 전극(VG)에 의해, 심부(深部)에 있어서의 전자의 회수 효율을 향상시키는 것이 가능하게 되고, AC contrast를 개선하는 것이 가능하게 된다.

[0240] 또한, 도 71 내지 도 74에 나타내는 구성에서는, 상부 전극(UE)과 하부 전극(DE)으로 고유전율막(PM)을 사이에 끼운 MIM(Metal-Insulator-Metal) 구조의 커패시터(MIM)가, 평판을 입체적으로 되접은 3D 구조를 갖는다. 이 때문에, 커패시터(MIM)의 실효 면적을 증가시키는 것이 가능하게 되고, 전자를 대량으로 보유하는 것이 가능하게 되기 때문에, 용량을 대폭으로 증가시키는 것이 가능하게 된다.

[0241] 한편, 도 75에 도시된 바와 같이, 8개의 전송 전극(VG)을 갖는 구성으로 하고, 2개의 전송 전극(VG)에 의해, 하나의 전송 게이트(TG)와 하나의 포토다이오드(PD)를 접속하는 구성으로 하여도 된다.

[0242] 또한, 예를 들면, 도 76 및 도 77에 도시된 바와 같이, 수광 소자(10)의 구성을, 복수의 메모리(MC)와, 복수의 포토 게이트(PG)와, 복수의 전송 전극(VG)과, 커패시터(MIM)를 갖는 구성으로 하여도 된다.

[0243] 한편, 도 76 및 도 77에 나타내는 구성으로 바꾸어, 도 78에 도시된 바와 같이, 8개의 전송 전극(VG)을 갖는 구성으로 하고, 2개의 전송 전극(VG)에 의해, 하나의 전송 게이트(TG)와 하나의 포토다이오드(PD)를 접속하는 구성으로 하여도 된다.

[0244] 도 76 내지 도 78에 나타내는 구성에 있어서도, 화소마다의 AC contrast의 편차를 억제하는 것이나, AC contrast를 개선하는 것이나, 용량을 대폭으로 증가시키는 것이 가능하게 된다

[0245] 또한, 포토 게이트(PG)의 구성은, 도 71이나 도 76에 도시된 바와 같은, 제1 반도체층(10A)의 내부에 완전히 배치되는 구성에 한정하는 것은 아니다.

[0246] 즉, 예를 들면, 도 79 및 도 80에 도시된 바와 같이, 수광 소자(10)의 구성을, 수직 포토 게이트(VPG)를 구비하는 구성으로 하여도 된다.

[0247] 수직 포토 게이트(VPG)는, 제1 반도체층(10A)으로부터 수직으로 연장하여 포토다이오드(PD)의 내부에 매립한 형상으로 형성되어 있다.

[0248] 도 79 및 도 80에 나타내는 구성에서는, 수직 포토 게이트(VPG)의 일부가 포토다이오드(PD)의 내부에 매립되어 있기 때문에, 제1 반도체층(10A)에 가까운 위치에서, 복수의 전송 게이트(TG) 중 의도한 전송 게이트(TG)에 전자의 운동 방향을 변화시키는 것이 가능하게 된다. 이에 의해, AC contrast를 향상시키는 것이 가능하게 된다.

[0249] (18) 제1 실시형태에서는, 수광 소자(10)의 구성을, 도 2 등에 도시된 바와 같이, 하나의 온 칩 렌즈(30)를 구비하는 구성으로 하였으나, 이에 한정되지 않는다.

[0250] 하나의 온 칩 렌즈(30)를 구비하는 구성에서는, 도 81 내지 도 83에 도시된 바와 같이, 단위 화소의 중앙부에

배치한 오버플로우 게이트(OFG)를 향해, 입사한 광을 집광하는 구성이 된다. 한편, 도 81 내지 도 83에서는, 입사한 광이 집광하는 영역인 집광 영역을, 부호(CR)를 붙여 나타내고 있다. 한편, 도 83에서는, 보기 쉽게 하기 위해, 화소(PX), 화소군(PXG), 오버플로우 게이트(OFG), 포토 게이트(PG), 집광 영역(CR) 이외의 구성에 대한 부호의 부여를 생략하고 있다.

[0251] 이에 대해, 하나의 온 칩 렌즈(30)를 구비하는 구성에 대하여, 예를 들면, 도 84 내지 도 86에 도시된 바와 같이, 전송 게이트(TG)와 같은 수(4개)의 온 칩 렌즈(30)를 구비하는 구성으로 하여도 된다. 즉, 화소 내에 배치된 전송 게이트(TG)의 수에 따라, 온 칩 렌즈(30)를 분할한다. 한편, 도 86에서는, 보기 쉽게 하기 위해, 화소(PX), 화소군(PXG), 오버플로우 게이트(OFG), 포토 게이트(PG), 집광 영역(CR) 이외의 구성에 대한 부호의 부여를 생략하고 있다.

[0252] 도 84 내지 도 86에 나타내는 구성에서는, 입사한 광이 온 칩 렌즈(30)와 같은 수(4개)의 영역으로 분산된다. 이에 의해, 오버플로우 게이트(OFG)를 넘어 빠져나가는 광의 성분을 감소시키는 것이 가능하게 되고, 양자 효율을 향상시키는 것이 가능하게 된다.

[0253] 또한, 하나의 온 칩 렌즈(30)를 구비하는 구성과 비교하여, 온 칩 렌즈(30)를 작게 함으로써, 온 칩 렌즈(30)의 곡률을 증가시키는 것이 가능하게 되어, 광이 입사하는 면의 얕은 측에 있어서, 집광력을 결상시키는 것이 가능하게 된다. 이에 의해, 오버플로우 게이트(OFG)를 넘어 빠져나가는 광의 성분을 감소시키는 것이 가능하게 된다.

[0254] 한편, 도시를 생략하지만, 도 36 등에 도시된 바와 같은 산란 구조물(SF)을, 전송 게이트(TG)와 같은 수의 온 칩 렌즈(30)를 구비하는 구성에 적용하는 것도 가능하다.

[0255] (제1 적용예)

[0256] 본 개시와 관련되는 기술(본 기술)은 다양한 제품에 응용할 수 있다. 예를 들면, 본 개시와 관련되는 기술은 자동차, 전기 자동차, 하이브리드 전기 자동차, 자동이륜차, 자전거, 퍼스널 모빌리티, 비행기, 드론, 선박, 로봇 등 어느 종류의 이동체에 탑재되는 장치로서 실현되어도 된다.

[0257] 도 87는, 본 개시와 관련되는 기술이 적용될 수 있는 이동체 제어 시스템의 일례인, 차량 제어 시스템의 개략적인 구성예를 나타내는 블록도이다.

[0258] 차량 제어 시스템(12000)은 통신 네트워크(12001)를 거쳐 접속된 복수의 전자 제어 유닛을 구비한다. 도 87에 나타낸 예에서는, 차량 제어 시스템(12000)은 구동계 제어 유닛(12010), 보디계 제어 유닛(12020), 차외 정보 검출 유닛(12030), 차내 정보 검출 유닛(12040), 및 통합 제어 유닛(12050)을 구비한다. 또한, 통합 제어 유닛(12050)의 기능 구성으로서, 마이크로 컴퓨터(12051), 음성 화상 출력부(12052), 차재 네트워크 I/F(Interface)(12053)가 도시되어 있다.

[0259] 구동계 제어 유닛(12010)은 각종 프로그램에 따라 차량의 구동계에 관련하는 장치의 동작을 제어한다. 예를 들면, 구동계 제어 유닛(12010)은, 내연기관 또는 구동용 모터 등의 차량의 구동력을 발생시키기 위한 구동력 발생 장치, 구동력을 차륜에 전달하기 위한 구동력 전달 기구, 차량의 타각을 조절하는 스티어링 기구, 및 차량의 제동력을 발생시키는 제동 장치 등의 제어 장치로서 기능한다.

[0260] 보디계 제어 유닛(12020)은 각종 프로그램에 따라 차체에 장비된 각종 장치의 동작을 제어한다. 예를 들면, 보디계 제어 유닛(12020)은 키리스 엔트리(keyless entry) 시스템, 스마트 키 시스템, 파워 윈도우 장치, 또는 헤드 램프, 백 램프, 브레이크 램프, 깜빡이 또는 안개등 등의 각종 램프의 제어장치로서 기능한다. 이 경우, 보디계 제어 유닛(12020)에는, 키를 대체하는 휴대기로부터 발신되는 전파 또는 각종 스위치의 신호가 입력될 수 있다. 보디계 제어 유닛(12020)은 이들 전파 또는 신호의 입력을 수신하여, 차량의 도어록 장치, 파워 윈도우 장치, 램프 등을 제어한다.

[0261] 차외 정보 검출 유닛(12030)은 차량 제어 시스템(12000)을 탑재한 차량의 외부의 정보를 검출한다. 예를 들면, 차외 정보 검출 유닛(12030)에는, 촬상부(12031)가 접속된다. 차외 정보 검출 유닛(12030)은 촬상부(12031)에 차 밖의 화상을 촬상시키고, 촬상된 화상을 수신한다. 차외 정보 검출 유닛(12030)은, 수신한 화상에 기초하여, 사람, 차, 장애물, 표지 또는 노면 상의 문자 등의 물체 검출 처리 또는 거리 검출 처리를 행해도 된다.

[0262] 촬상부(12031)는 광을 수광하고, 그 광의 수광량에 따른 전기 신호를 출력하는 광 센서이다. 촬상부(12031)는, 전기 신호를 화상으로서 출력할 수도 있고, 측거의 정보로서 출력할 수도 있다. 또한, 촬상부(12031)가 수광하

는 광은 가시광이어도 되고, 적외선 등의 비가시광이어도 된다.

[0263] 차내 정보 검출 유닛(12040)은, 차내의 정보를 검출한다. 차내 정보 검출 유닛(12040)에는, 예를 들면, 운전자의 상태를 검출하는 운전자 상태 검출부(12041)가 접속된다. 운전자 상태 검출부(12041)는, 예를 들면, 운전자를 촬상하는 카메라를 포함한다. 차내 정보 검출 유닛(12040)은, 운전자 상태 검출부(12041)로부터 입력되는 검출 정보에 기초하여 운전자의 피로 정도 또는 집중 정도를 산출해도 되고, 운전자가 졸고 있지 않은지를 판별해도 된다.

[0264] 마이크로 컴퓨터(12051)는, 차외 정보 검출 유닛(12030) 또는 차내 정보 검출 유닛(12040)에서 취득되는 차내외의 정보에 기초하여, 구동력 발생 장치, 스티어링 기구 또는 제동 장치의 제어 목표값을 연산하여, 구동계 제어 유닛(12010)에 대해 제어 지령을 출력할 수 있다. 예를 들면, 마이크로 컴퓨터(12051)는, 차량의 충돌 회피 또는 충격 완화, 차간거리에 기초하는 추종 주행, 차속 유지 주행, 차량의 충돌 경고, 또는 차량의 차선 일탈 경고 등을 포함하는 ADAS(Advanced Driver Assistance System)의 기능 실현을 목적으로 한 협조 제어를 행할 수 있다.

[0265] 또한, 마이크로 컴퓨터(12051)는, 차외 정보 검출 유닛(12030) 또는 차내 정보 검출 유닛(12040)에서 취득되는 차량 주위의 정보에 기초하여 구동력 발생 장치, 스티어링 기구 또는 제동 장치 등을 제어함으로써, 운전자의 조작에 의하지 않고 자율적으로 주행하는 자동 운전 등을 목적으로 한 협조 제어를 행할 수 있다.

[0266] 또한, 마이크로 컴퓨터(12051)는, 차외 정보 검출 유닛(12030)에서 취득되는 차외의 정보에 기초하여, 보디계 제어 유닛(12020)에 대해 제어 지령을 출력할 수 있다. 예를 들면, 마이크로 컴퓨터(12051)는, 차외 정보 검출 유닛(12030)으로 검지한 선행차 또는 대향차의 위치에 따라 헤드 램프를 제어하여, 하이 빔을 로우 빔으로 전환하는 등의 눈부심 방지를 도모하는 것을 목적으로 한 협조 제어를 행할 수 있다.

[0267] 음성 화상 출력부(12052)는, 차량의 탑승자 또는 차외에 대해, 시각적 또는 청각적으로 정보를 통지하는 것이 가능한 출력장치로, 음성 및 화상 중 적어도 일방의 출력 신호를 송신한다. 도 87의 예에는, 출력장치로서, 오디오 스피커(12061), 표시부(12062) 및 인스트루먼트 패널(12063)이 예시되고 있다. 표시부(12062)는, 예를 들면, 온 보드 디스플레이 및 헤드 업 디스플레이 중 적어도 하나를 포함하고 있어도 된다.

[0268] 도 88은 촬상부(12031)의 설치 위치의 예를 나타내는 도면이다.

[0269] 도 88에서는, 촬상부(12031)로서, 촬상부(12101, 12102, 12103, 12104 및 12105)를 갖는다.

[0270] 촬상부(12101, 12102, 12103, 12104, 12105)는, 예를 들면, 차량(12100)의 프런트 노즈, 사이드 미러, 리어범퍼, 백 도어 및 차실내의 프런트 글래스의 상부 등의 위치에 설치된다. 프런트 노즈에 구비되는 촬상부(12101) 및 차실내의 프런트 글래스의 상부에 구비되는 촬상부(12105)는, 주로 차량(12100)의 전방의 화상을 취득한다. 사이드 미러에 구비되는 촬상부(12102, 12103)는, 주로 차량(12100)의 측방의 화상을 취득한다. 리어범퍼 또는 백 도어에 구비되는 촬상부(12104)는, 주로 차량(12100)의 후방의 화상을 취득한다. 차실내의 프런트 글래스의 상부에 구비된 촬상부(12105)는, 주로 선행 차량 또는 보행자, 장애물, 신호기, 교통 표지 또는 차선 등의 검출에 이용된다.

[0271] 또한, 도 88에는 촬상부(12101 내지 12104)의 촬영 범위의 일례가 도시되어 있다. 촬상 범위(12111)는, 프런트 노즈에 설치된 촬상부(12101)의 촬상 범위를 나타낸다. 촬상 범위(12112, 12113)는, 각각 사이드 미러에 설치된 촬상부(12102, 12103)의 촬상 범위를 나타내고, 촬상 범위(12114)는, 리어범퍼 또는 백 도어에 설치된 촬상부(12104)의 촬상 범위를 나타낸다. 예를 들면, 촬상부(12101 내지 12104)로 촬상된 화상 데이터가 중첩됨으로써, 차량(12100)을 상방으로부터 본 부감 화상을 얻을 수 있다.

[0272] 촬상부(12101 내지 12104) 중 적어도 하나는 거리 정보를 취득하는 기능을 가지고 있어도 된다. 예를 들면, 촬상부(12101 내지 12104) 중 적어도 하나는 복수의 촬상 소자로 이루어지는 스테레오 카메라여도 되고, 위상차 검출용의 화소를 가지는 촬상 소자여도 된다.

[0273] 예를 들면, 마이크로 컴퓨터(12051)는, 촬상부(12101 내지 12104)로부터 얻어지는 거리 정보를 기초로, 촬상 범위(12111 내지 12114) 내에 있어서의 각 입체물까지의 거리와, 이 거리의 시간적 변화(차량(12100)에 대한 상대속도)를 구함으로써, 특히 차량(12100)의 진행로 상에 있는 가장 가까운 입체물로, 차량(12100)과 대략 같은 방향으로 소정의 속도(예를 들면, 0km/h 이상)로 주행하는 입체물을 선행차로서 추출할 수 있다. 또한, 마이크로 컴퓨터(12051)는, 선행차와의 사이에서 미리 확보해야 하는 차간거리를 설정하고, 자동 브레이크 제어(추종 정지 제어도 포함함)나 자동 가속 제어(추종 발진 제어도 포함함) 등을 행할 수 있다. 이와 같이 운전자의 조작

에 의하지 않고 자율적으로 주행하는 자동 운전 등을 목적으로 한 협조 제어를 행할 수 있다.

[0274] 예를 들면, 마이크로 컴퓨터(12051)는, 촬상부(12101 내지 12104)로부터 얻어진 거리 정보를 바탕으로, 입체물에 관한 입체물 데이터를, 이륜차, 보통 차량, 대형차량, 보행자, 전신주 등 그 외의 입체물로 분류하여 추출하고, 장애물의 자동 회피에 이용할 수 있다. 예를 들면, 마이크로 컴퓨터(12051)는, 차량(12100) 주변의 장애물을, 차량(12100)의 드라이버가 시인 가능한 장애물과 시인 곤란한 장애물로 식별한다. 그리고, 마이크로 컴퓨터(12051)는, 각 장애물과의 충돌 위험도를 나타내는 충돌 리스크를 판단하여, 충돌 리스크가 설정값 이상으로 충돌 가능성이 있는 상황일 때에는, 오디오 스피커(12061)나 표시부(12062)를 통해 드라이버에 경보를 출력하거나, 구동계 제어 유닛(12010)을 통해 강제 감속이나 회피 조타를 행함으로써, 충돌 회피를 위한 운전 지원을 행할 수 있다.

[0275] 촬상부(12101 내지 12104) 중 적어도 하나는, 적외선을 검출하는 적외선 카메라여도 된다. 예를 들면, 마이크로 컴퓨터(12051)는, 촬상부(12101 내지 12104)의 촬상 화상 중에 보행자가 존재하는지 아닌지를 판정함으로써 보행자를 인식할 수 있다. 이러한 보행자의 인식은, 예를 들면, 적외선 카메라로서의 촬상부(12101 내지 12104)의 촬상 화상에 있어서의 특징점을 추출하는 절차와, 물체의 윤곽을 나타내는 일련의 특징점에 패턴 매칭 처리를 행하여 보행자인지 아닌지를 판별하는 절차에 의해 행해진다. 마이크로 컴퓨터(12051)가, 촬상부(12101 내지 12104)의 촬상 화상 중에 보행자가 존재한다고 판정하여, 보행자를 인식하면, 음성 화상 출력부(12052)는, 당해 인식된 보행자에게 강조를 위한 사각형 윤곽선을 중첩 표시하도록, 표시부(12062)를 제어한다. 또한, 음성 화상 출력부(12052)는, 보행자를 나타내는 아이콘 등을 원하는 위치에 표시하도록, 표시부(12062)를 제어하여도 된다.

[0276] (그 밖의 실시형태)

[0277] 상기한 바와 같이, 본 기술의 실시형태를 기재하였으나, 이 개시의 일부를 구성하는 논술 및 도면은 본 기술을 한정하는 것으로 이해되어서는 안된다. 이 개시로부터 당업자에게 다양한 대체 실시형태, 실시예 및 운용 기술이 자명할 것이다.

[0278] 그 밖에, 상기의 실시형태에 있어서 설명되는 각 구성을 임의로 응용한 구성 등, 본 기술은 여기에 기재하지 않은 여러가지 실시형태 등을 포함함은 물론이다. 따라서, 본 기술의 기술적 범위는 상기의 설명으로부터 타당한 특허청구의 범위에 따른 발명을 특정하는 사항에 의해서만 정해지는 것이다.

[0279] 또한, 본 개시의 반도체 장치에서는, 상기의 실시형태 등으로 설명한 각 구성 요소를 모두 구비할 필요는 없고, 또한 반대로 다른 구성 요소를 구비하고 있어도 된다.

[0280] 한편, 본 명세서 중에 기재된 효과는 어디까지나 예시이며 한정되는 것이 아니고, 또한 다른 효과가 있어도 된다.

[0281] 한편, 본 기술은, 이하와 같은 구성을 취하는 것이 가능하다.

[0282] (1)

[0283] 입사한 광을 광전 변환하는 포토다이오드에 축적된 신호 전하를 복수의 플로팅 디퓨전에 배분하여 전송하는 복수의 전송 게이트를 구비하고,

[0284] 상기 복수의 전송 게이트 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때, 광학 중심을 기준으로 하여 점대칭으로 배치되어 있는 수광 소자.

[0285] (2)

[0286] 상기 전송 게이트의 수는 4개이며,

[0287] 상기 4개의 전송 게이트는, 상기 광의 입사 방향에서 볼 때 상기 광학 중심을 기준으로 하여 4각형의 정점을 형성하는 위치에 배치되어 있는 상기 (1)에 기재된 수광 소자.

[0288] (3)

[0289] 상기 플로팅 디퓨전으로부터 흘러넘친 전하를 배출하는 오버플로우 게이트를 더 구비하고,

[0290] 상기 오버플로우 게이트는, 상기 광의 입사 방향에서 볼 때, 상기 광학 중심에 배치되어 있는 상기 (1) 또는 (2)에 기재된 수광 소자.

[0291] (4)

[0292] 상기 플로팅 디퓨전으로부터 흘러넘친 전하를 배출하는 복수의 오버플로우 게이트를 더 구비하고,

[0293] 상기 복수의 오버플로우 게이트 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때 상기 광학 중심을 기준으로 하여 점대칭으로 배치되어 있는 상기 (1) 또는 (2)에 기재된 수광 소자.

[0294] (5)

[0295] 상기 전송 게이트 및 상기 오버플로우 게이트의 총 수는, 짝수인 상기 (4)에 기재된 수광 소자.

[0296] (6)

[0297] 상기 전송 게이트의 총 수와, 상기 오버플로우 게이트의 총 수는, 같은 수인 상기 (4) 또는 (5)에 기재된 수광 소자.

[0298] (7)

[0299] 상기 광학 중심은, 복수의 단위 화소를 배열하여 형성한 하나의 화소에 설정되어 있는 상기 (1)~(6) 중 어느 하나에 기재된 수광 소자.

[0300] (8)

[0301] 상기 광학 중심은, 복수의 화소를 배열하여 형성한 화소군에 설정되어 있는 상기 (1)~(6) 중 어느 하나에 기재된 수광 소자.

[0302] (9)

[0303] 상기 플로팅 디퓨전에 전송된 신호 전하를 전기 신호로서 판독하여 증폭하는 복수의 증폭 트랜지스터를 더 구비하고,

[0304] 상기 복수의 증폭 트랜지스터 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때 상기 광학 중심을 기준으로 하여 점대칭으로 배치되어 있는 상기 (1)~(8) 중 어느 하나에 기재된 수광 소자.

[0305] (10)

[0306] 상기 플로팅 디퓨전에 전송된 신호 전하를 전기 신호로서 판독하여 증폭하는 복수의 증폭 트랜지스터와,

[0307] 상기 증폭 트랜지스터로부터의 전압 신호의 출력을 온 또는 오프하는 복수의 선택 트랜지스터를 더 구비하고,

[0308] 상기 복수의 선택 트랜지스터 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때 상기 광학 중심을 기준으로 하여 점대칭으로 배치되어 있는 상기 (1)~(9) 중 어느 하나에 기재된 수광 소자.

[0309] (11)

[0310] 상기 플로팅 디퓨전에 축적되어 있는 전하의 배출을 온 또는 오프하는 복수의 리셋 트랜지스터를 더 구비하고,

[0311] 상기 복수의 리셋 트랜지스터 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때 상기 광학 중심을 기준으로 하여 점대칭으로 배치되어 있는 상기 (1)~(10) 중 어느 하나에 기재된 수광 소자.

[0312] (12)

[0313] 상기 신호 전하를 보존하는 복수의 메모리를 더 갖고,

[0314] 상기 복수의 메모리 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때 상기 광학 중심을 기준으로 하여 점대칭으로 배치되어 있는 상기 (1)~(11) 중 어느 하나에 기재된 수광 소자.

[0315] (13)

[0316] 상기 포토다이오드에 입사하는 광의 범위를 미리 설정된 범위로 차광하는 차광막을 더 구비하는 상기 (1)~(12) 중 어느 하나에 기재된 수광 소자.

[0317] (14)

[0318] 입사한 광을 광전 변환하는 포토다이오드에 축적된 신호 전하를 복수의 플로팅 디퓨전에 배분하여 전송하는 복수의 전송 게이트와, 상기 플로팅 디퓨전으로부터 흘러넘친 전하를 배출하는 복수의 오버플로우 게이트를 갖는

제1 반도체층과,

[0319] 상기 플로팅 디퓨전에 전송된 신호 전하를 전기 신호로서 판독하여 증폭하는 복수의 증폭 트랜지스터와, 상기 플로팅 디퓨전에 축적되어 있는 전하의 배출을 온 또는 오프하는 복수의 리셋 트랜지스터와, 상기 증폭 트랜지스터로부터의 전압 신호의 출력을 온 또는 오프하는 복수의 선택 트랜지스터를 갖는 제2 반도체층을 구비하고,

[0320] 상기 제1 반도체층과 상기 제2 반도체층은, 상기 광의 입사 방향을 따라 적층되고,

[0321] 상기 복수의 전송 게이트 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때 광학 중심을 기준으로 하여 점대칭으로 배치되고,

[0322] 상기 복수의 오버플로우 게이트 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때 상기 광학 중심을 기준으로 하여 점대칭으로 배치되고,

[0323] 상기 복수의 증폭 트랜지스터 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때 광학 중심을 기준으로 하여 점대칭으로 배치되고,

[0324] 상기 복수의 리셋 트랜지스터 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때 광학 중심을 기준으로 하여 점대칭으로 배치되고,

[0325] 상기 복수의 선택 트랜지스터 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때 광학 중심을 기준으로 하여 점대칭으로 배치되어 있는 수광 소자.

[0326] (15)

[0327] 상기 제2 반도체층은, 상기 신호 전하를 보존하는 복수의 메모리를 더 갖고,

[0328] 상기 복수의 메모리 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때 상기 광학 중심을 기준으로 하여 점대칭으로 배치되어 있는 상기 (14)에 기재된 수광 소자.

[0329] (16)

[0330] 상기 제2 반도체층보다 상기 제1 반도체층으로부터 떨어진 위치에서 제1 반도체층 및 제2 반도체층과 상기 광의 입사 방향을 따라 적층된 제3 반도체층을 더 구비하고,

[0331] 상기 제3 반도체층은, 상기 플로팅 디퓨전에 전송된 신호 전하를 전기 신호로서 판독하여 증폭하는 복수의 증폭 트랜지스터와, 상기 플로팅 디퓨전에 축적되어 있는 전하의 배출을 온 또는 오프하는 복수의 리셋 트랜지스터를 갖고,

[0332] 상기 제3 반도체층이 갖는 상기 복수의 증폭 트랜지스터 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때 광학 중심을 기준으로 하여 점대칭으로 배치되고,

[0333] 상기 제3 반도체층이 갖는 상기 복수의 리셋 트랜지스터 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때 광학 중심을 기준으로 하여 점대칭으로 배치되어 있는 상기 (14) 또는 (15)에 기재된 수광 소자.

[0334] (17)

[0335] 상기 복수의 전송 게이트 중 적어도 2개는, 상기 축적된 신호 전하를 하나의 상기 플로팅 디퓨전에 전송하는 상기 (1)~(16) 중 어느 하나에 기재된 수광 소자.

[0336] (18)

[0337] 상기 복수의 전송 게이트 중 하나는, 상기 축적된 신호 전하를 하나의 상기 플로팅 디퓨전에 전송하는 상기 (1)~(17) 중 어느 하나에 기재된 수광 소자.

[0338] (19)

[0339] 상기 포토다이오드의 상기 광이 입사되는 측에 배치한 온 칩 렌즈를 구비하는 상기 (1)~(18) 중 어느 하나에 기재된 수광 소자.

[0340] (20)

[0341] 상기 포토다이오드의 상기 광이 입사되는 측에 배치한 온 칩 렌즈와, 상기 온 칩 렌즈에 의해 집광시킨 광을 산란시키는 산란 구조물을 구비하고,

[0342] 상기 포토다이오드에는, 상기 산란 구조물에 의해 산란시킨 광이 입사하는 상기 (1)~(19) 중 어느 하나에 기재된 수광 소자.

[0343] (21)

[0344] 상기 산란 구조물은, 상기 포토다이오드에 근접할수록 단면적이 감소하는 형상인 상기 (20)에 기재된 수광 소자.

[0345] (22)

[0346] 상기 산란 구조물은, 상기 포토다이오드로부터 멀어질수록 단면적이 감소하는 형상인 상기 (20)에 기재된 수광 소자.

[0347] (23)

[0348] 하나의 화소가 구비하는 구성은, 최소 유닛인 하나의 화소에 대해, 좌우 대칭 및 상하 대칭 중 적어도 일방으로 배치되어 있는 상기 (1)~(22) 중 어느 하나에 기재된 수광 소자.

[0349] (24)

[0350] 복수의 그라운드를 구비하고,

[0351] 상기 복수의 그라운드 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때, 광학 중심을 기준으로 하여 점대칭으로 배치되어 있는 상기 (1)~(23) 중 어느 하나에 기재된 수광 소자.

[0352] (25)

[0353] 복수의 전원 배선을 구비하고,

[0354] 상기 복수의 전원 배선 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때, 광학 중심을 기준으로 하여 점대칭으로 배치되어 있는 상기 (1)~(24) 중 어느 하나에 기재된 수광 소자.

[0355] (26)

[0356] 복수의 전원 배선을 구비하고,

[0357] 상기 복수의 전원 배선 중 적어도 2개는, 상기 광의 입사 방향에서 볼 때, 광학 중심을 기준으로 하여 점대칭으로 배치되어 있는 상기 (1)~(25) 중 어느 하나에 기재된 수광 소자.

[0358] (27)

[0359] 상기 플로팅 디퓨전으로부터 흘러넘친 전하를 배출하는 오버플로우 게이트와, 그라운드를 더 구비하고,

[0360] 상기 오버플로우 게이트는, 상기 그라운드(GND)에 접속되어 있는 상기 (1)~(26) 중 어느 하나에 기재된 수광 소자.

[0361] (28)

[0362] 상기 전송 게이트와 상기 포토다이오드를 접속하는 전송 전극을 더 구비하는 상기 (1)~(27) 중 어느 하나에 기재된 수광 소자.

[0363] (29)

[0364] 상기 플로팅 디퓨전으로부터 흘러넘친 전하를 배출하는 오버플로우 게이트와, 상기 포토다이오드에 접속된 포토 게이트를 더 구비하고,

[0365] 상기 오버플로우 게이트는, 상기 포토 게이트(PG)에 접속되어 있는 상기 (1)~(28) 중 어느 하나에 기재된 수광 소자.

[0366] (30)

[0367] 상기 포토 게이트와 상기 포토다이오드를 접속하는 전송 전극을 더 구비하는 상기 (29)에 기재된 수광 소자.

[0368] (31)

[0369] 복수의 상기 전송 게이트는, 하나의 상기 포토다이오드에 접속되어 있는 상기 (1)~(30) 중 어느 하나에 기재된

수광 소자.

[0370] (32)

[0371] 상기 포토다이오드에 접속된 복수의 포토 게이트를 더 구비하고,

[0372] 복수의 상기 포토 게이트는, 하나의 상기 포토다이오드에 접속되어 있는 상기 (1)~(30) 중 어느 하나에 기재된 수광 소자.

[0373] (33)

[0374] 상기 포토다이오드에 접속된 복수의 포토 게이트를 더 구비하고,

[0375] 복수의 상기 포토 게이트는, 상기 광의 입사 방향에서 볼 때, 하나의 상기 전송 게이트를 기준으로 하여, 좌우 대칭 및 상하 대칭으로 배치되어 있는 상기 (1)~(32) 중 어느 하나에 기재된 수광 소자.

[0376] (34)

[0377] 입사한 광을 광전 변환하는 포토다이오드에 축적된 신호 전하를 복수의 플로팅 디퓨전에 배분하여 전송하는 복수의 전송 게이트와, 상기 플로팅 디퓨전으로부터 흘러넘친 전하를 배출하는 복수의 오버플로우 게이트를 갖는 제1 반도체층과,

[0378] 상기 플로팅 디퓨전에 전송된 신호 전하를 전기 신호로서 판독하여 증폭하는 복수의 증폭 트랜지스터와, 상기 플로팅 디퓨전에 축적되어 있는 전하의 배출을 온 또는 오프하는 복수의 리셋 트랜지스터와, 상기 증폭 트랜지스터로부터의 전압 신호의 출력을 온 또는 오프하는 복수의 선택 트랜지스터를 갖는 제2 반도체층과,

[0379] 상기 제1 반도체층에 일부가 배치됨과 함께, 나머지 부분이 상기 제2 반도체층에 배치되어 있는 커패시터를 더 구비하고,

[0380] 상기 제1 반도체층과 상기 제2 반도체층은, 상기 광의 입사 방향을 따라 적층되고,

[0381] 상기 커패시터는, 2개의 전극으로 고유전율막을 사이에 끼워서 형성되고, 평판을 입체적으로 되접은 구조를 갖는 상기 (1)~(33) 중 어느 하나에 기재된 수광 소자.

[0382] (35)

[0383] 상기 포토다이오드의 상기 광이 입사되는 측에 배치한 복수의 온 칩 렌즈를 더 구비하고,

[0384] 상기 복수의 온 칩 렌즈는, 상기 복수의 전송 게이트와 같은 수인 상기 (1)~(34) 중 어느 하나에 기재된 수광 소자.

[0385] (36)

[0386] 상기 (1)~(35) 중 어느 하나에 기재된 수광 소자와, 주기적으로 밝기가 변동하는 조사광을 조사하는 발광부와, 상기 조사광의 조사 타이밍을 제어하는 발광 제어부를 구비하는 측거 모듈.

부호의 설명

[0387] 1: 측거 모듈

2: 발광부

4: 발광 제어부

10: 수광 소자

10A: 제1 반도체층

10B: 제2 반도체층

10C: 제3 반도체층

20: 차광막

30: 온 칩 렌즈

40: 반사 방지층

12000: 차량 제어 시스템

12001: 통신 네트워크

12010: 구동계 제어 유닛

12020: 보디계 제어 유닛

12030: 차외 정보 검출 유닛

12031(12101~12105): 촬상부

12040: 차내 정보 검출 유닛

12041: 운전자 상태 검출부

12050: 통합 제어 유닛

12051: 마이크로 컴퓨터

12052: 음성 화상 출력부

12053: 차량용 네트워크I/F

12061: 오디오 스피커

12062: 표시부

12063: 인스트루먼트 패널

12100: 차량

12111~12114: 촬상 범위

PD: 포토다이오드

FD: 플로팅 디퓨전

TG: 전송 게이트

OFG: 오버플로우 게이트

RST: 리셋 트랜지스터

AMP: 증폭 트랜지스터

SEL: 선택 트랜지스터

OPC: 광학 중심

VDD: 전원 배선

VSL: 수직 신호선

OBJ: 물체

MC: 메모리

PX: 화소

PXG: 화소군

GND: 그라운드

SF: 산란 구조물

EC: 전하

VG: 전송 전극,

PG: 포토 게이트

MIM: 커패시터

UE: 상부 전극

DE: 하부 전극

PM: 고유전율막

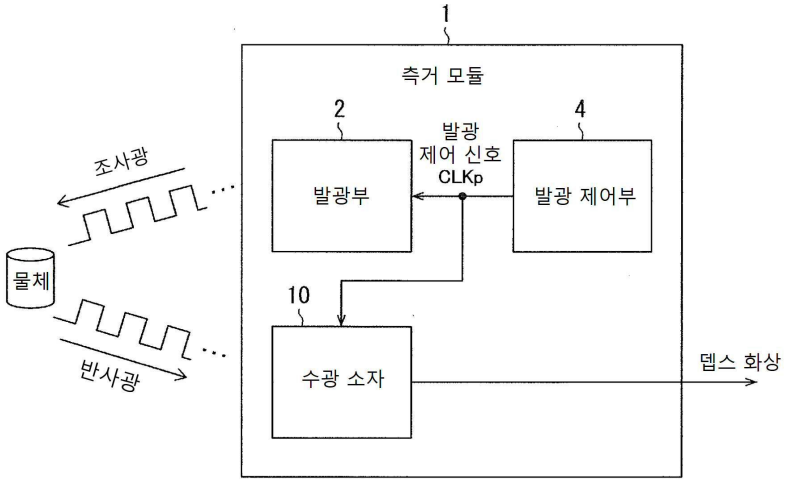
UT: 상부 단자

DT: 하부 단자

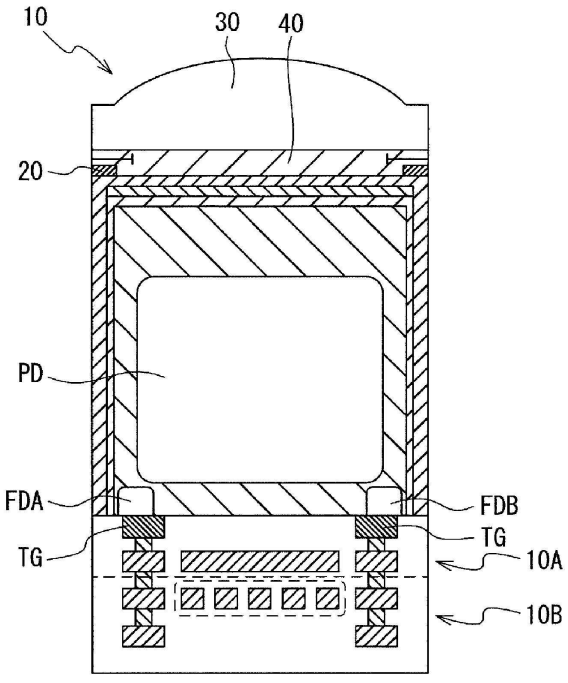
CR: 집광 영역

도면

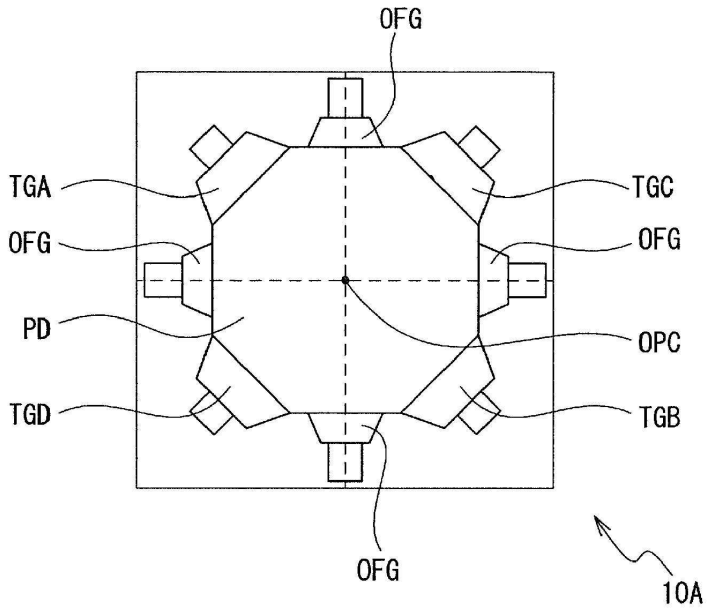
도면1



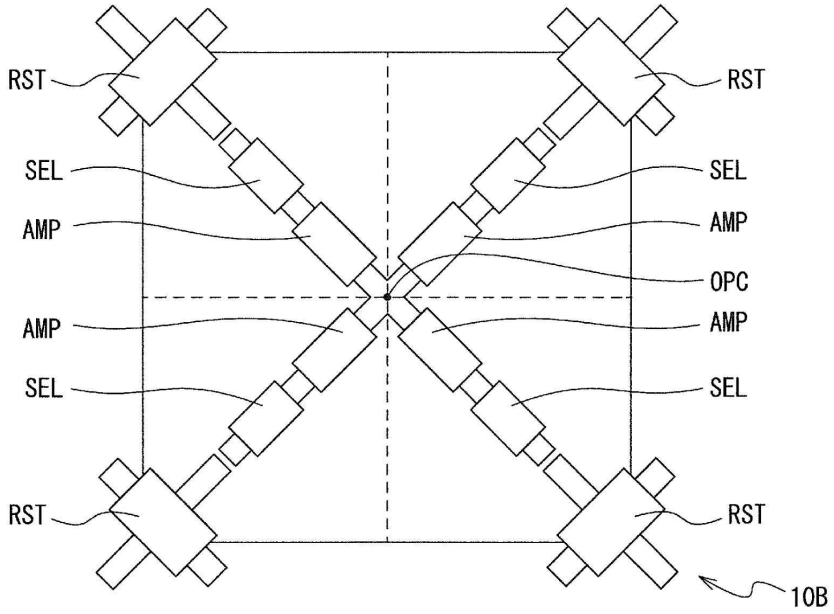
도면2



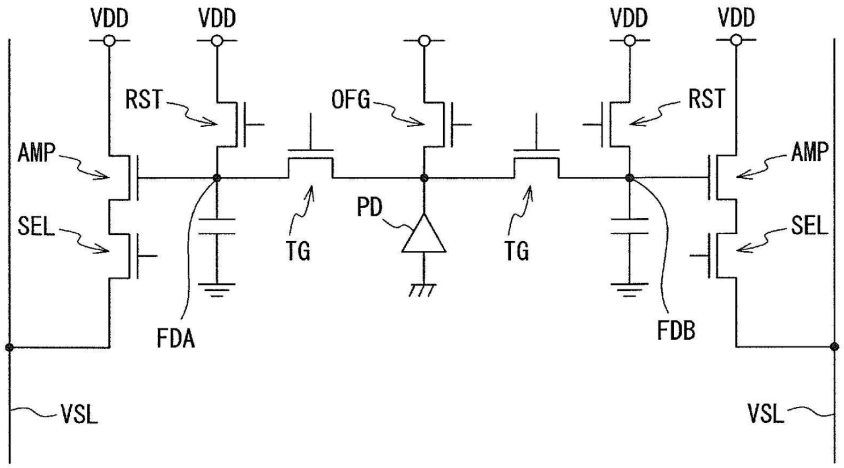
도면3


OFG
TGA
TGC
OFG
OFG
PD
OPC
TGD
TGB
OFG
10A

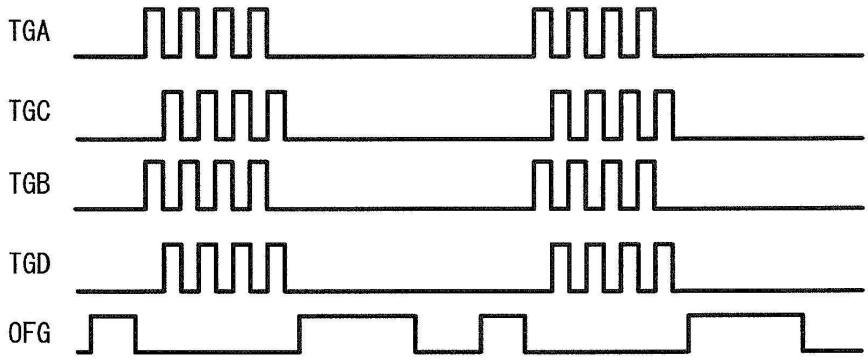
도면4


RST
RST
SEL
SEL
AMP
AMP
OPC
AMP
AMP
SEL
SEL
RST
RST
10B

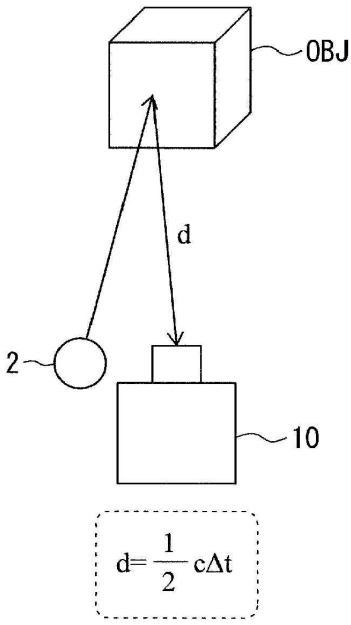
도면5


VDD
VDD
VDD
VDD
RST
OFG
RST
AMP
AMP
SEL
SEL
PD
TG
TG
FDA
FDB
VSL
VSL

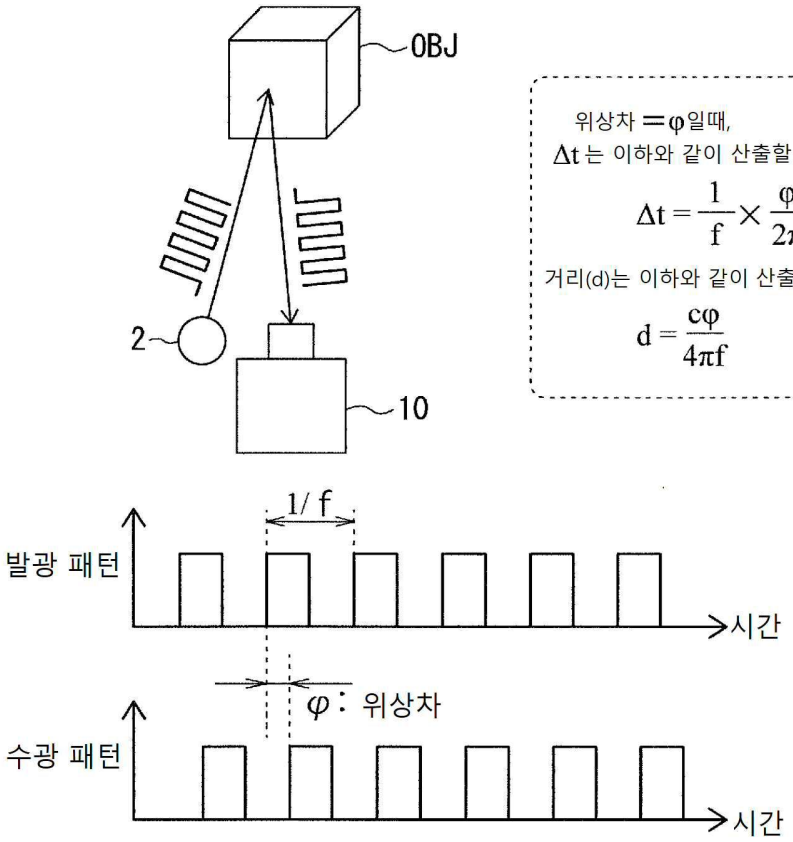
도면6


TGA
TGC
TGB
TGD
OFG

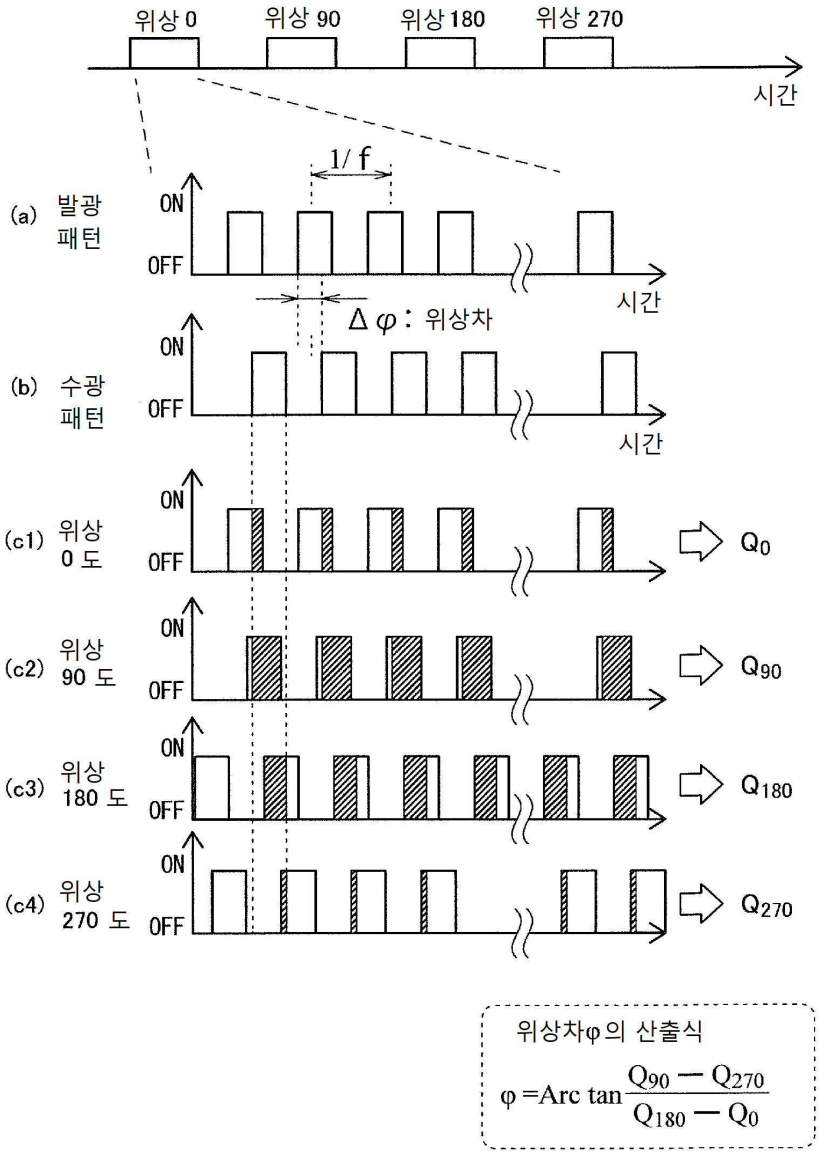
도면7


OBJ
d
2
10
d= 1/2 cΔt

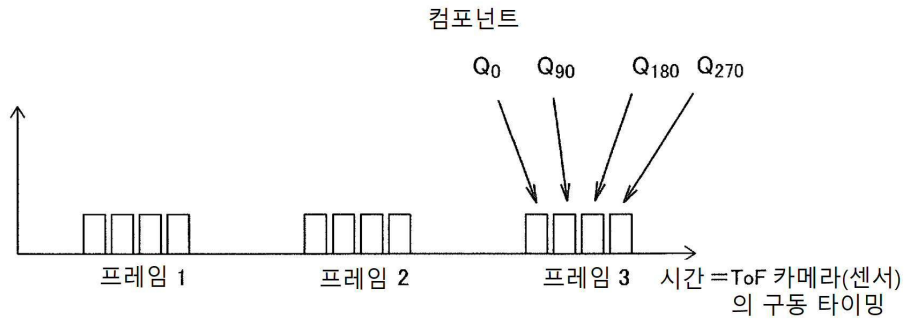
도면8


OBJ
2
10
위상차 =φ일때,
Δt는 이하와 같이 산출할 수 있다.
$\Delta t = \frac{1}{f} \times \frac{\varphi}{2\pi}$
거리(d)는 이하와 같이 산출할 수 있다.
$d = \frac{c\varphi}{4\pi f}$
1/f
발광 패턴
시간
φ: 위상차
수광 패턴
시간

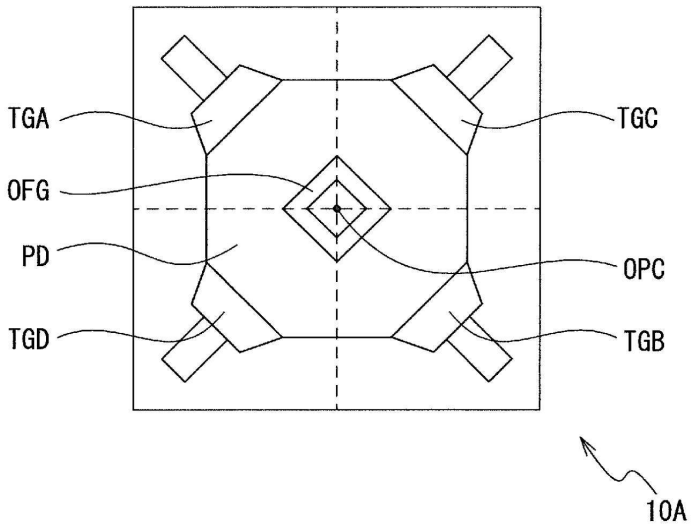
도면9


위상 0
위상 90
위상 180
위상 270
시간
1/ f
(a) 발광 패턴
ON
OFF
시간
Δ φ : 위상차
(b) 수광 패턴
ON
OFF
시간
(c1) 위상 0 도
ON
OFF
Q0
(c2) 위상 90 도
ON
OFF
Q90
(c3) 위상 180 도
ON
OFF
Q180
(c4) 위상 270 도
ON
OFF
Q270
위상차φ의 산출식
φ =Arc tan (Q90 − Q270) / (Q180 − Q0)

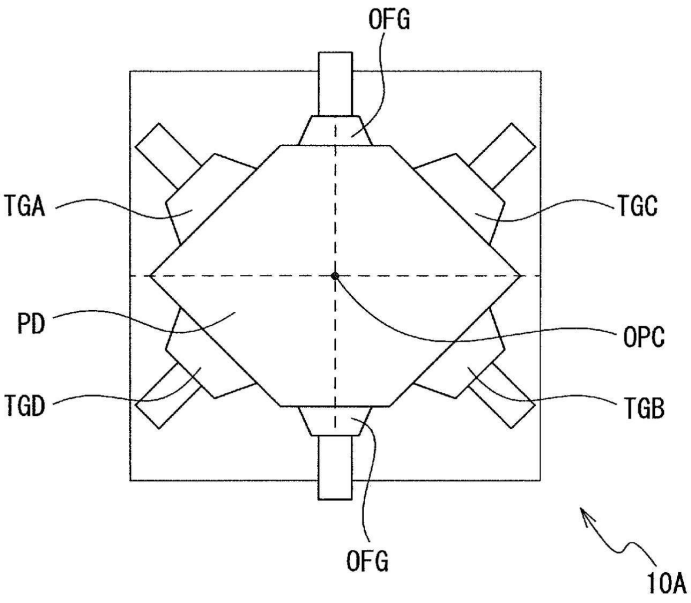
도면10


컴포넌트
Q0
Q90
Q180
Q270
프레임 1
프레임 2
프레임 3
시간 =ToF 카메라(센서) 의 구동 타이밍

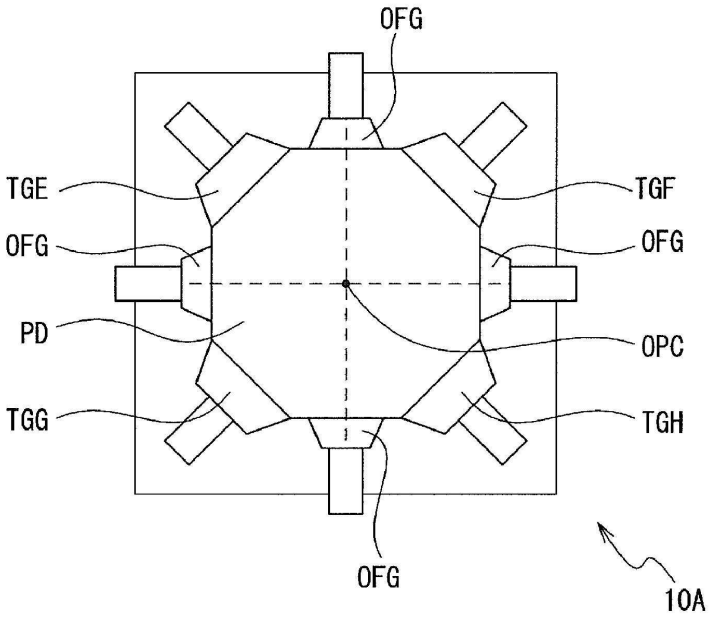
도면11



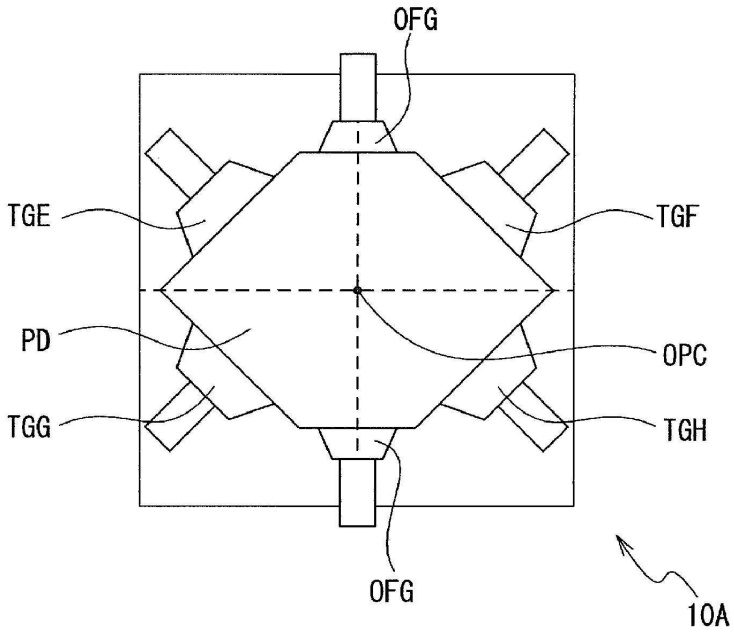
도면12



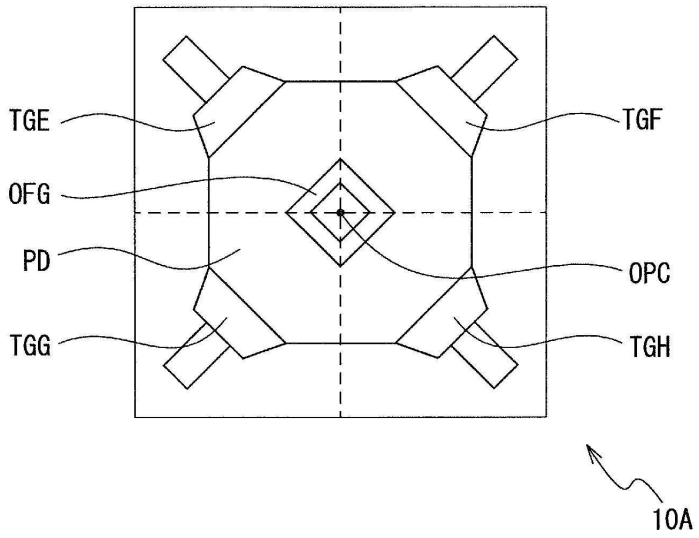
도면13


OFG
TGE
TGF
OFG
OFG
PD
OPC
TGG
TGH
OFG
10A

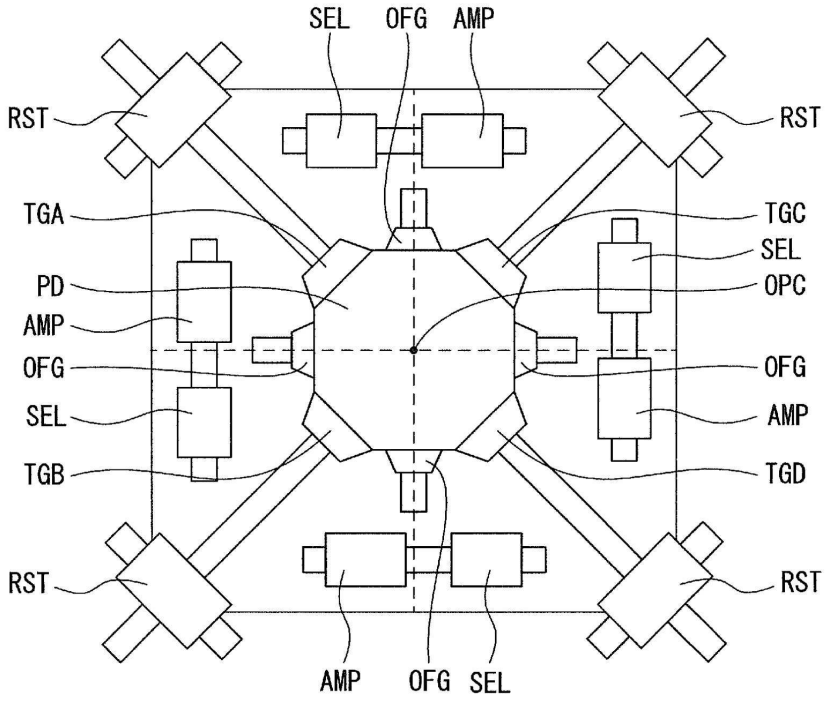
도면14


OFG
TGE
TGF
PD
OPC
TGG
TGH
OFG
10A

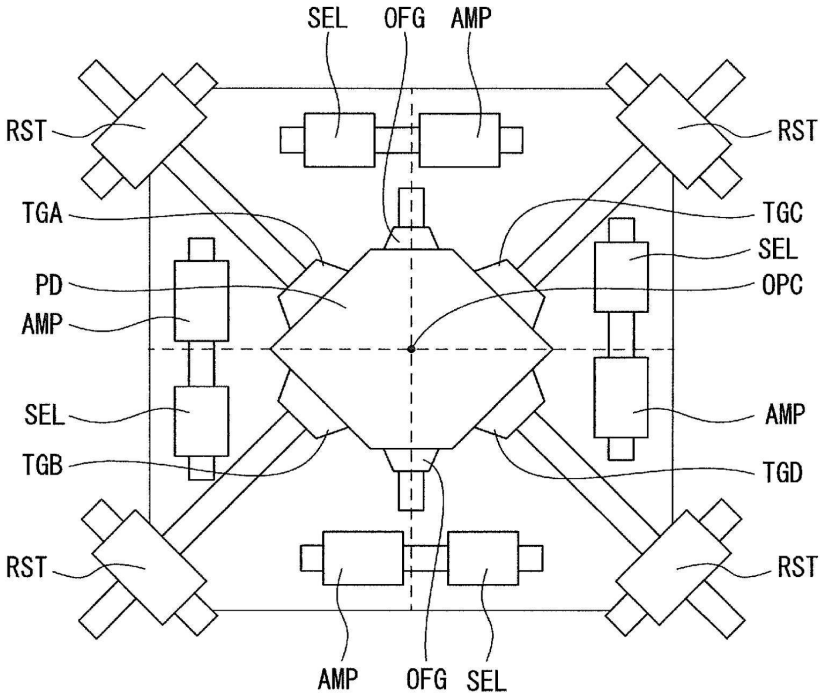
도면15


TGE
TGF
OFG
PD
OPC
TGG
TGH
10A

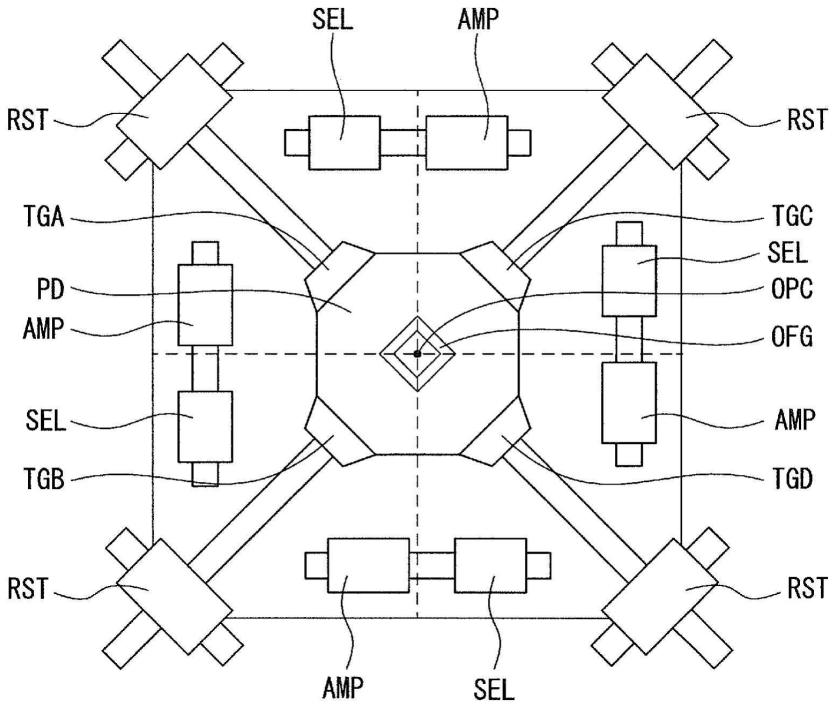
도면16


SEL
OFG
AMP
RST
RST
TGA
TGC
SEL
PD
OPC
AMP
OFG
OFG
SEL
AMP
TGB
TGD
RST
RST
AMP
OFG
SEL

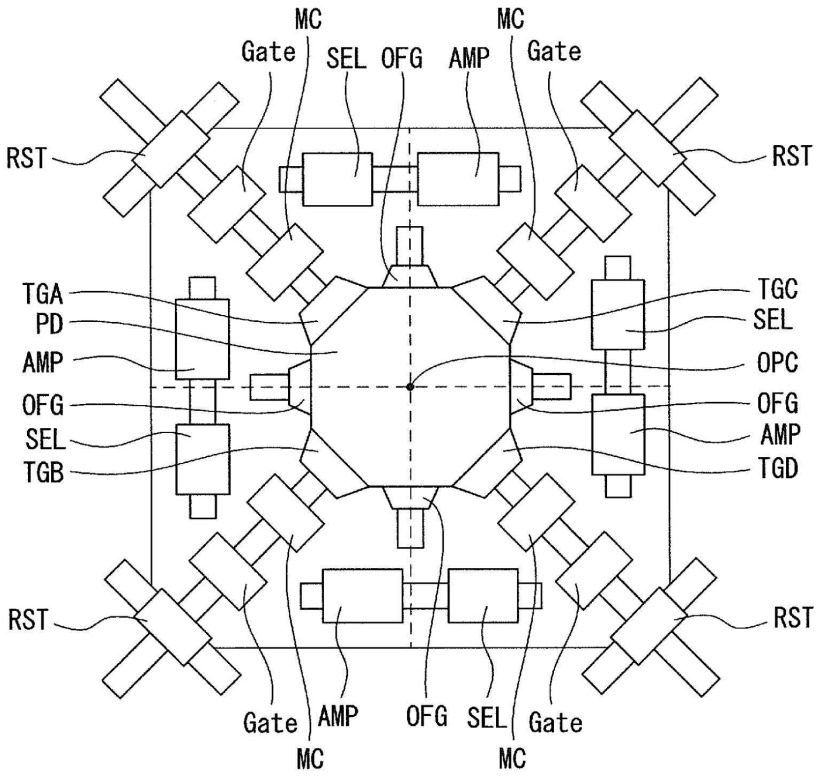
도면17


SEL
OFG
AMP
RST
RST
TGA
TGC
SEL
PD
OPC
AMP
AMP
SEL
TGB
TGD
RST
RST
AMP
OFG
SEL

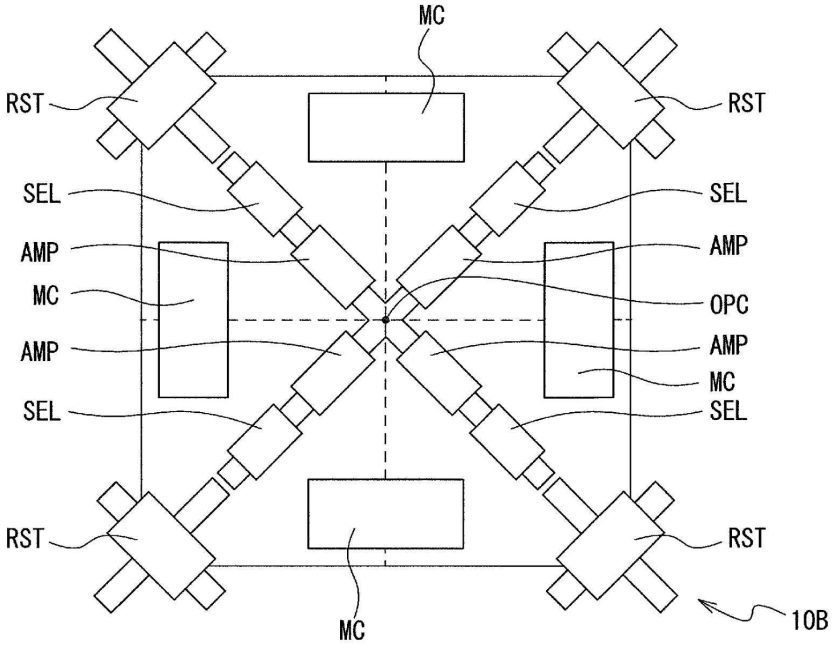
도면18


SEL
AMP
RST
RST
TGA
TGC
SEL
PD
OPC
AMP
OFG
SEL
AMP
TGB
TGD
RST
RST
AMP
SEL

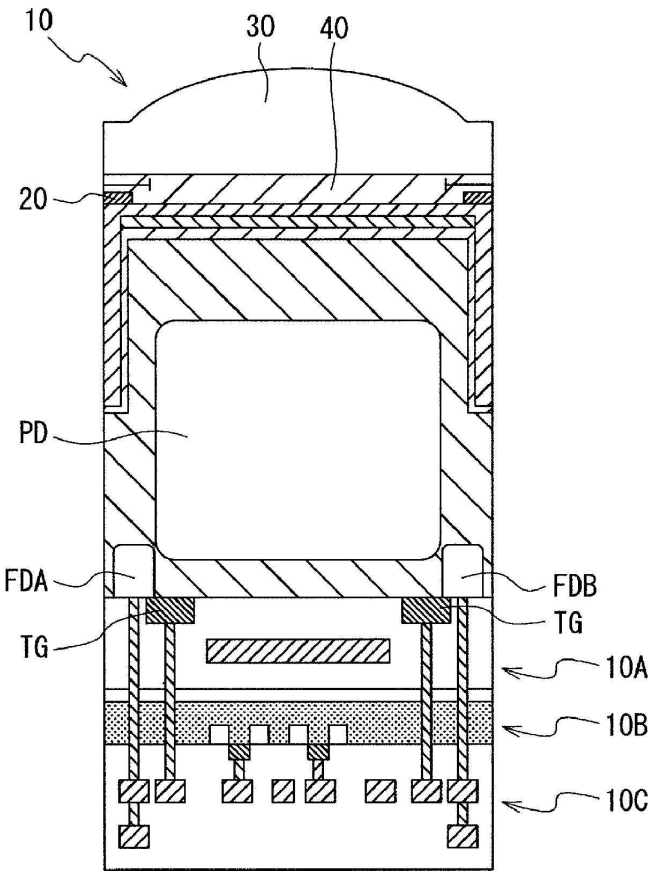
도면19


MC
Gate
SEL
OFG
AMP
MC
Gate
RST
RST
TGA
PD
AMP
OFG
SEL
TGB
TGC
SEL
OPC
OFG
AMP
TGD
RST
RST
Gate
AMP
OFG
SEL
Gate
MC
MC

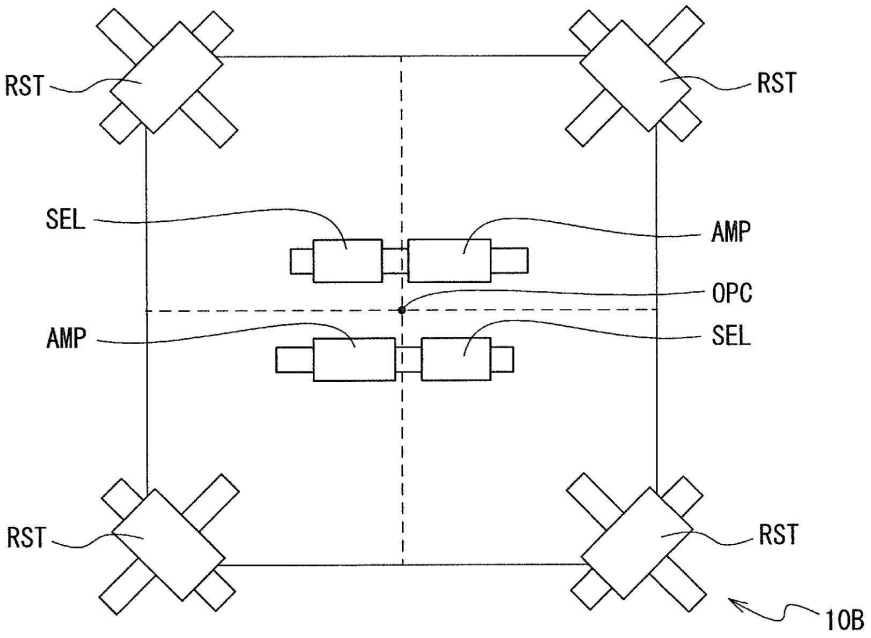
도면20


MC
RST
RST
SEL
SEL
AMP
AMP
MC
OPC
AMP
AMP
MC
SEL
SEL
RST
RST
MC
10B

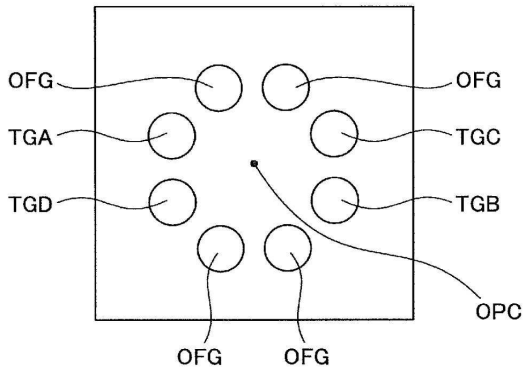
도면21


10
30
40
20
PD
FDA
FDB
TG
TG
10A
10B
10C

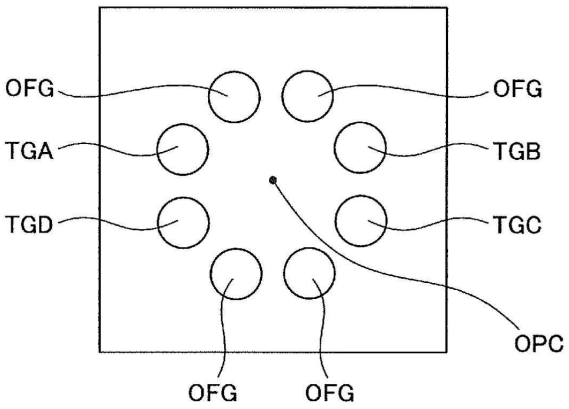
도면22


RST
RST
SEL
AMP
OPC
AMP
SEL
RST
RST
10B

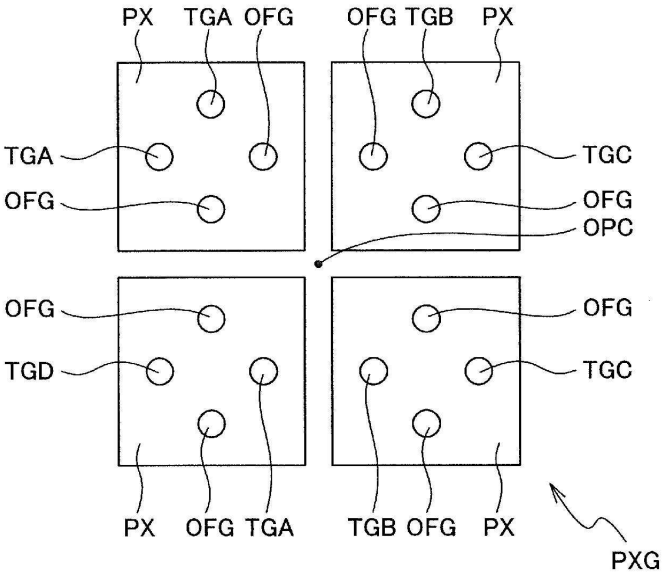
도면23



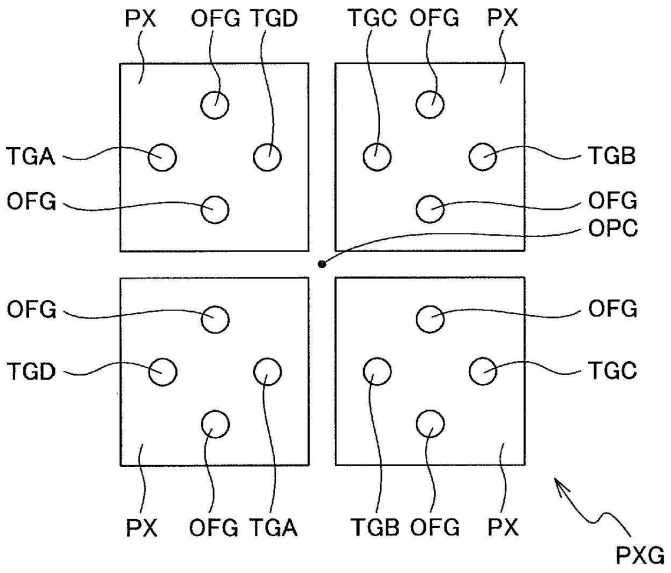
도면24



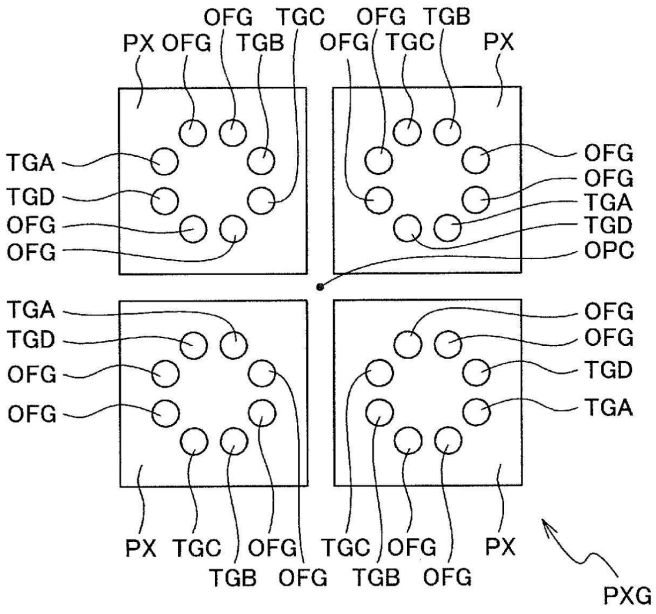
도면25



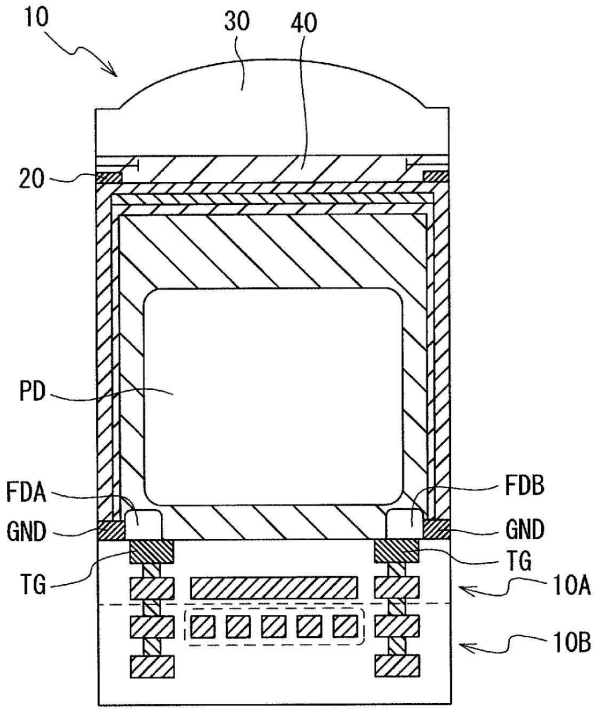
도면26


PX
OFG
TGD
TGC
OFG
PX
TGA
TGB
OFG
OFG
OPC
OFG
OFG
TGD
TGC
PX
OFG
TGA
TGB
OFG
PX
PXG

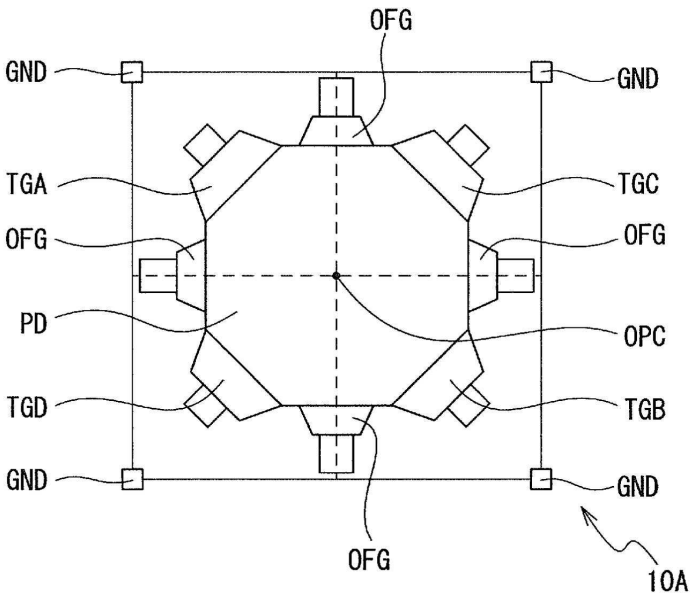
도면27


OFG
TGC
OFG
TGB
PX
OFG
TGB
OFG
TGC
PX
TGA
TGD
OFG
OFG
OFG
OFG
TGA
TGD
OPC
TGA
TGD
OFG
OFG
OFG
OFG
TGD
TGA
PX
TGC
OFG
TGB
OFG
TGC
OFG
TGB
OFG
PX
PXG

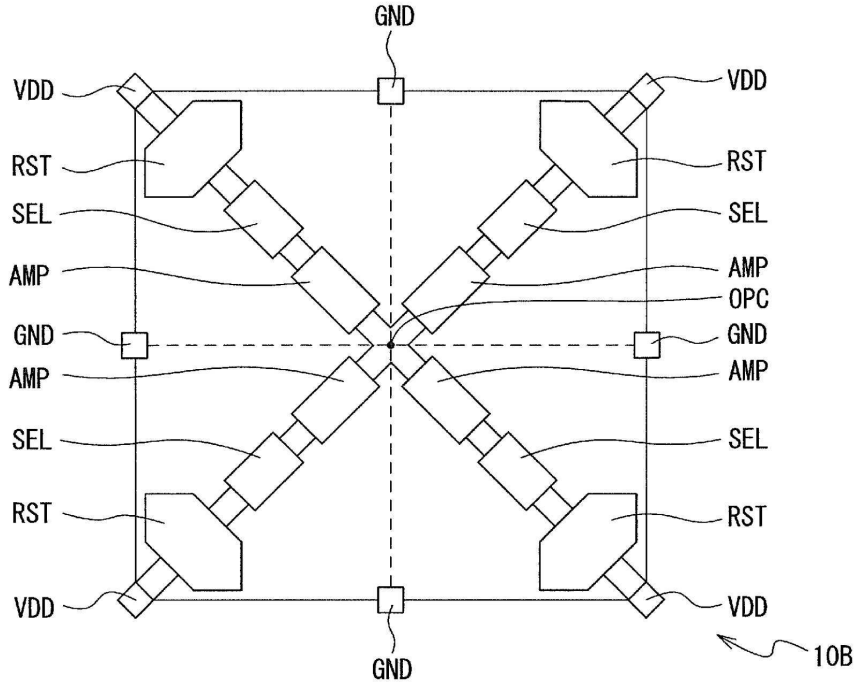
도면28


10
30
40
20
PD
FDA
GND
TG
FDB
GND
TG
10A
10B

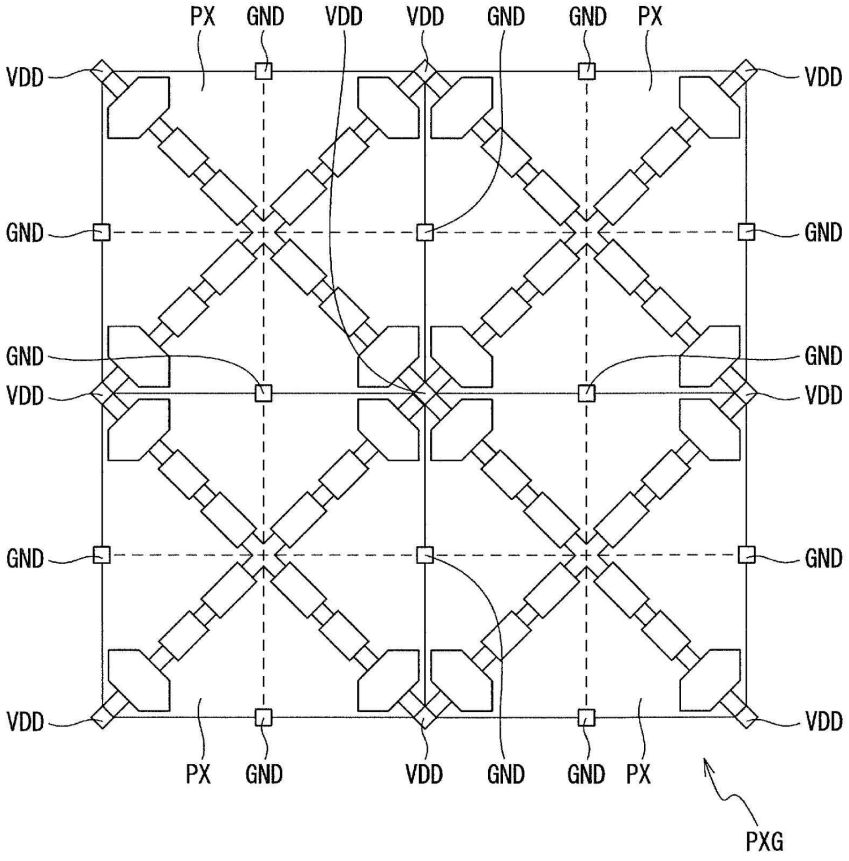
도면29


OFG
GND
GND
TGA
TGC
OFG
OFG
PD
OPC
TGD
TGB
GND
GND
OFG
10A

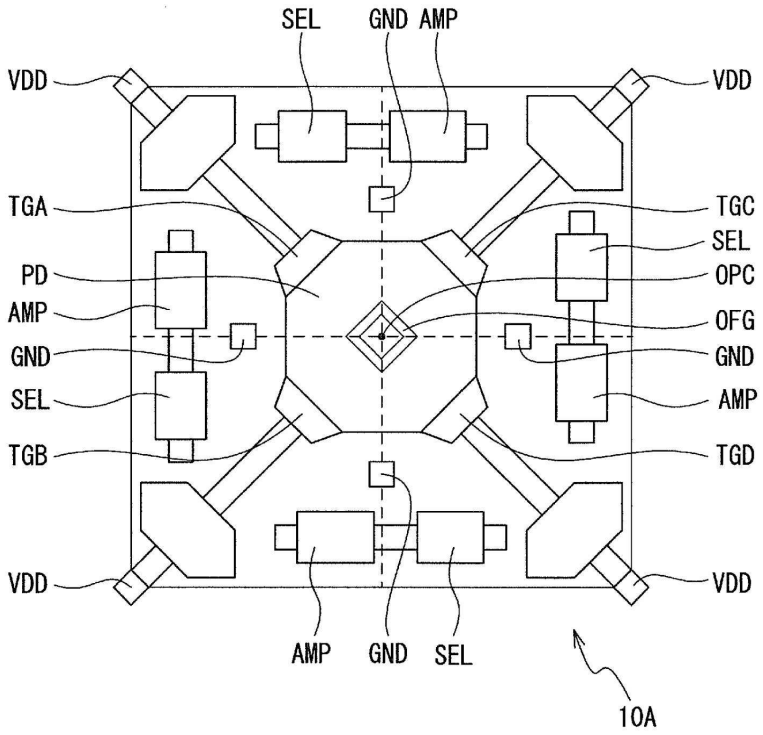
도면30


GND
VDD
VDD
RST
RST
SEL
SEL
AMP
AMP
OPC
GND
GND
AMP
AMP
SEL
SEL
RST
RST
VDD
VDD
GND
10B

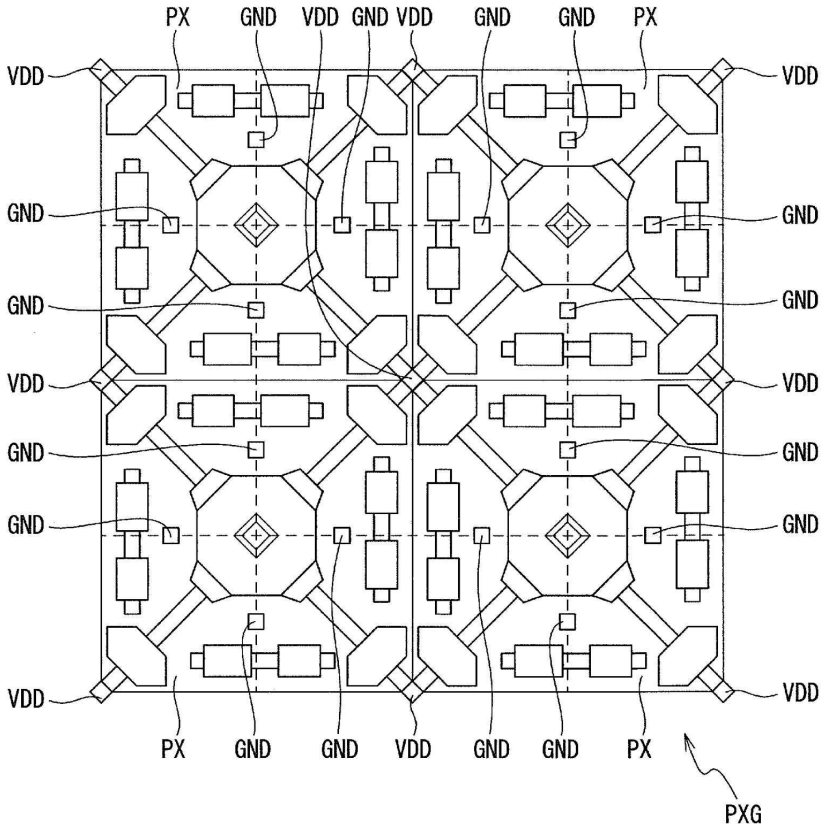
도면31


PX
GND
VDD
VDD
GND
GND
PX
VDD
VDD
GND
GND
GND
GND
VDD
VDD
GND
GND
VDD
VDD
PX
GND
VDD
GND
GND
PX
PXG

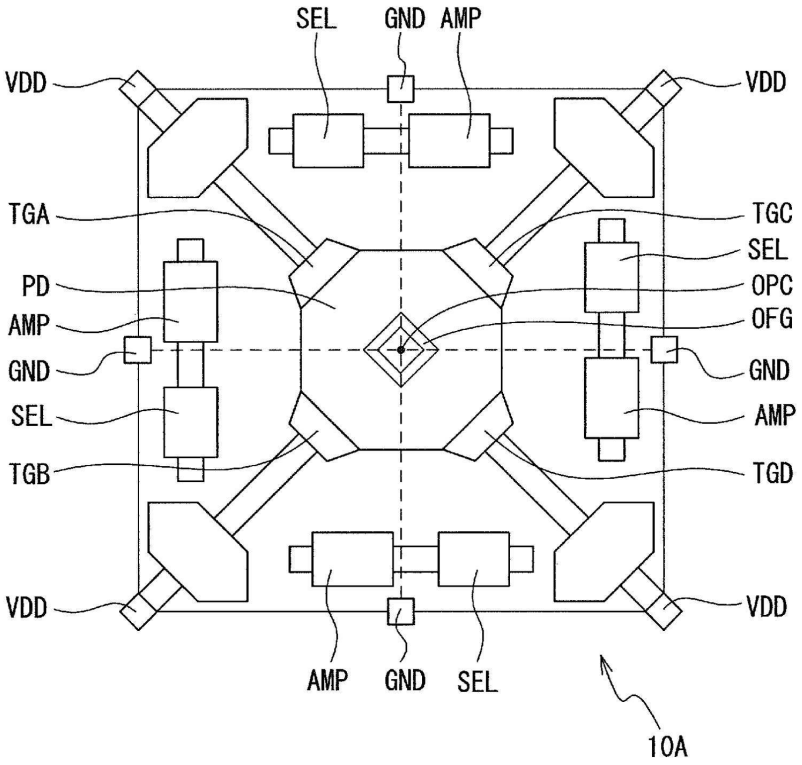
도면32


SEL
GND
AMP
VDD
VDD
TGA
TGC
SEL
PD
OPC
AMP
OFG
GND
GND
SEL
AMP
TGB
TGD
VDD
VDD
AMP
GND
SEL
10A

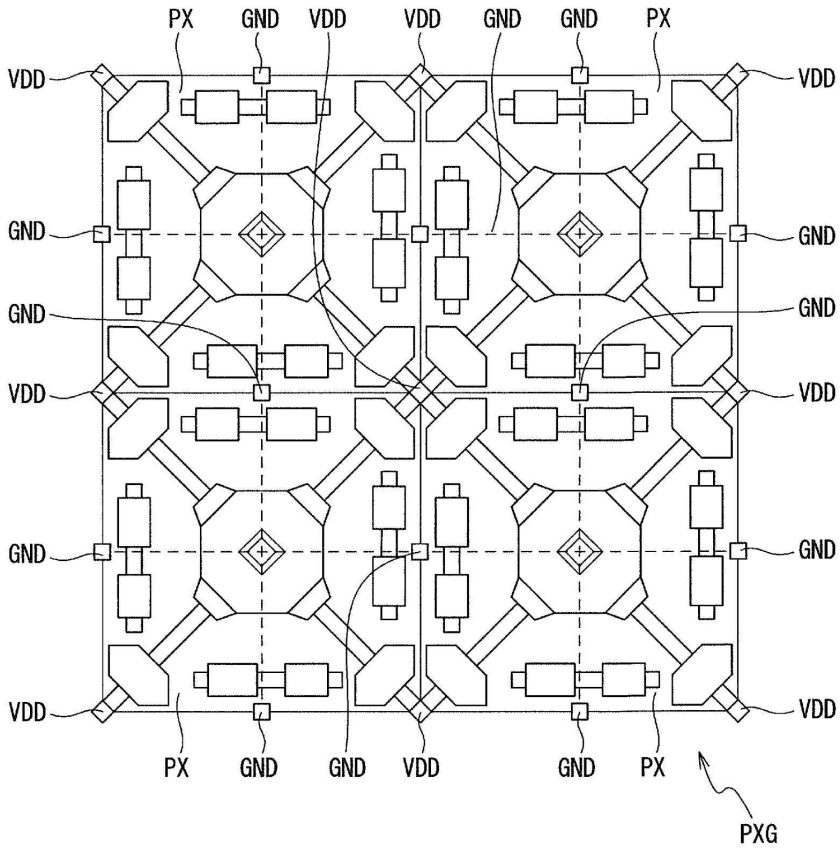
도면33


PX
GND
VDD
GND
VDD
GND
GND
PX
VDD
VDD
GND
GND
GND
GND
VDD
VDD
GND
GND
GND
GND
VDD
VDD
PX
GND
GND
VDD
GND
GND
PX
PXG

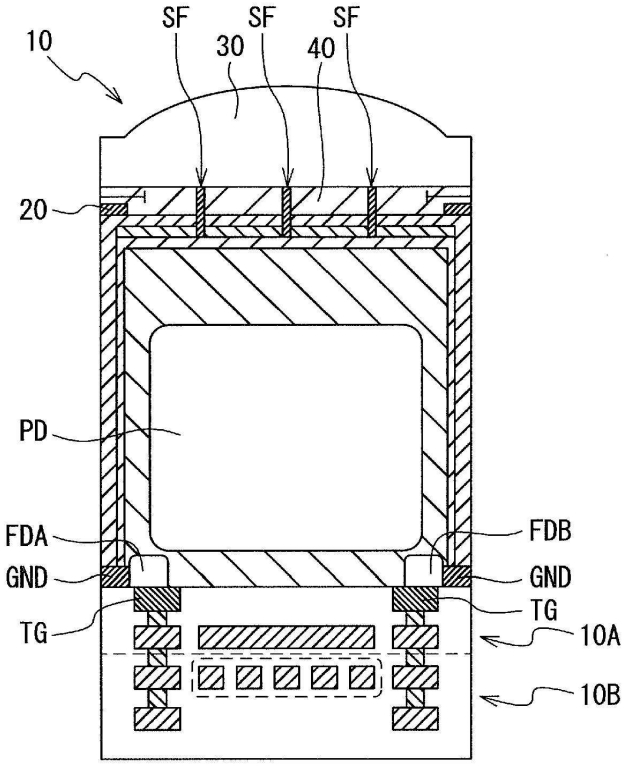
도면34


SEL
GND
AMP
VDD
VDD
TGA
TGC
SEL
PD
OPC
AMP
OFG
GND
GND
SEL
AMP
TGB
TGD
VDD
VDD
AMP
GND
SEL
10A

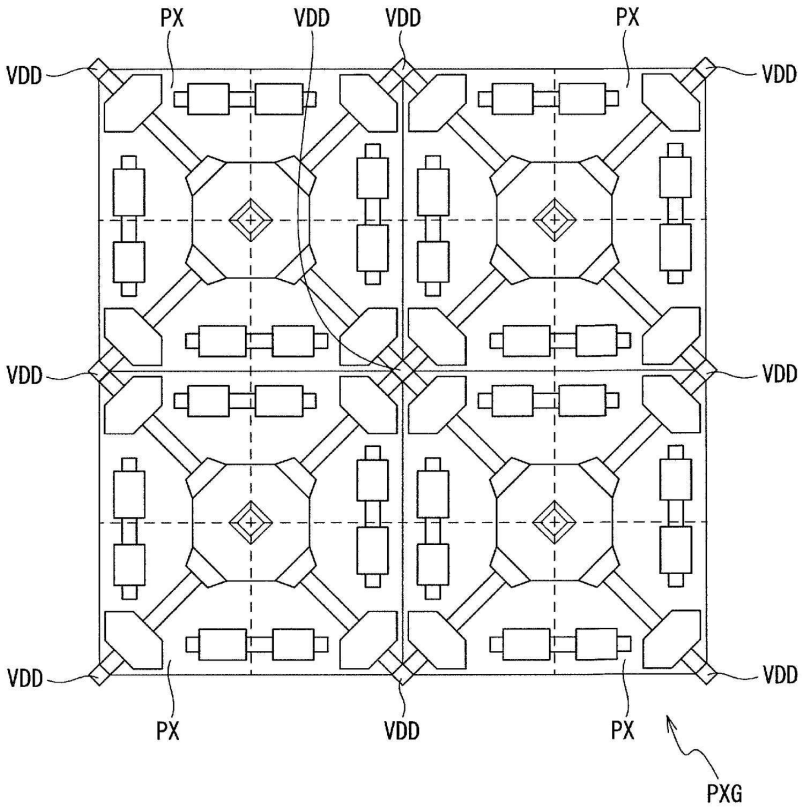
도면35


PX
GND
VDD
VDD
GND
GND
PX
VDD
VDD
GND
GND
GND
GND
VDD
VDD
GND
GND
VDD
VDD
PX
GND
GND
VDD
GND
PX
PXG

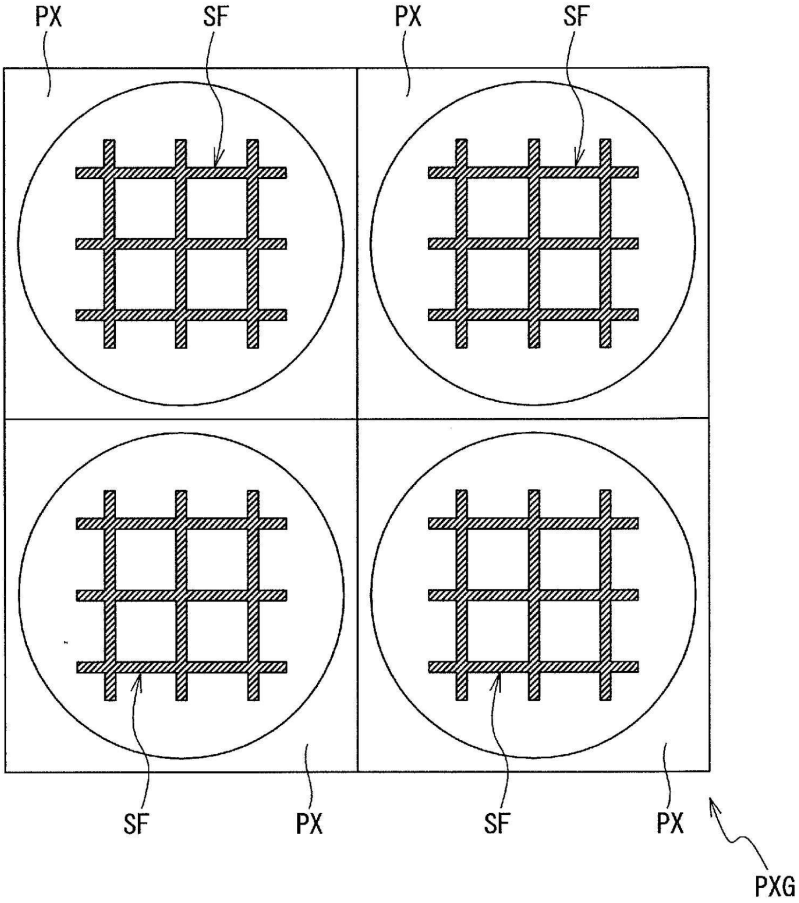
도면36


10
SF
SF
SF
30
40
20
PD
FDA
FDB
GND
GND
TG
TG
10A
10B

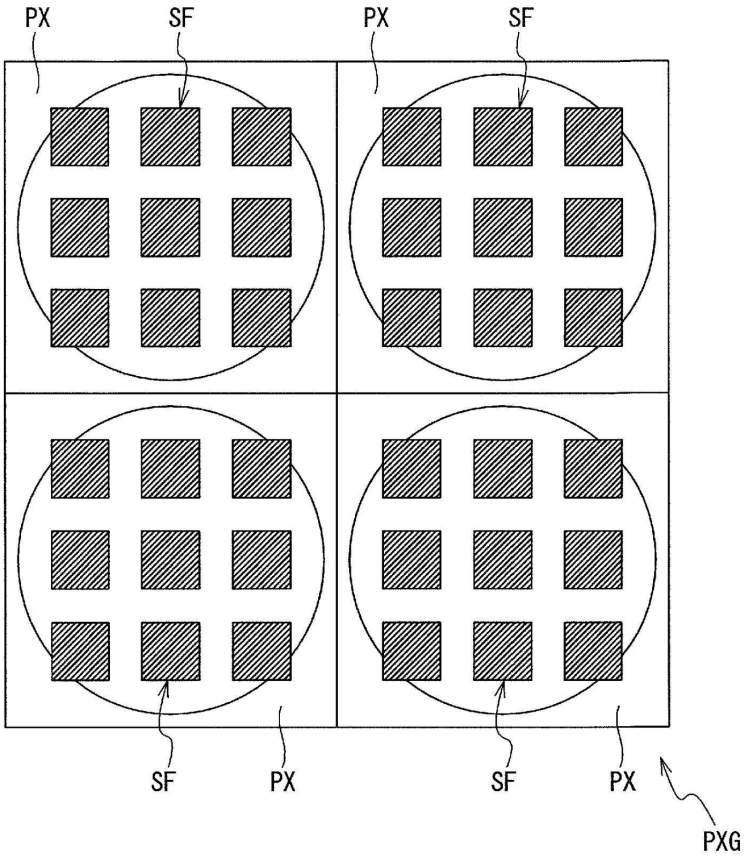
도면37


PX
VDD
VDD
PX
VDD
VDD
VDD
VDD
VDD
VDD
VDD
PX
VDD
PX
PXG

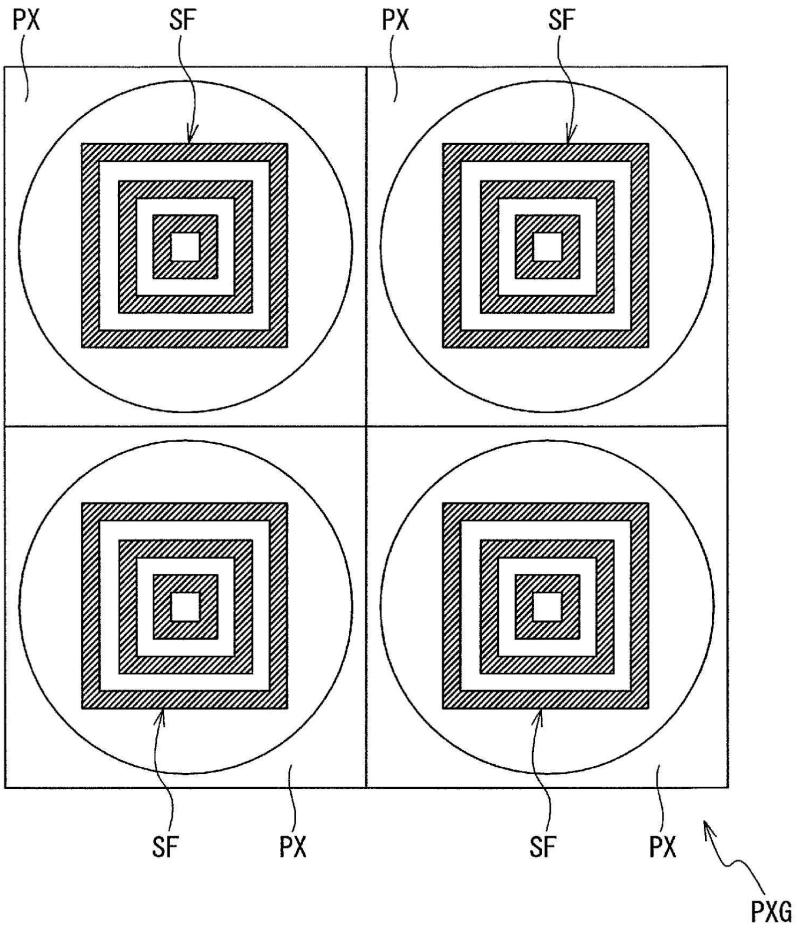
도면38



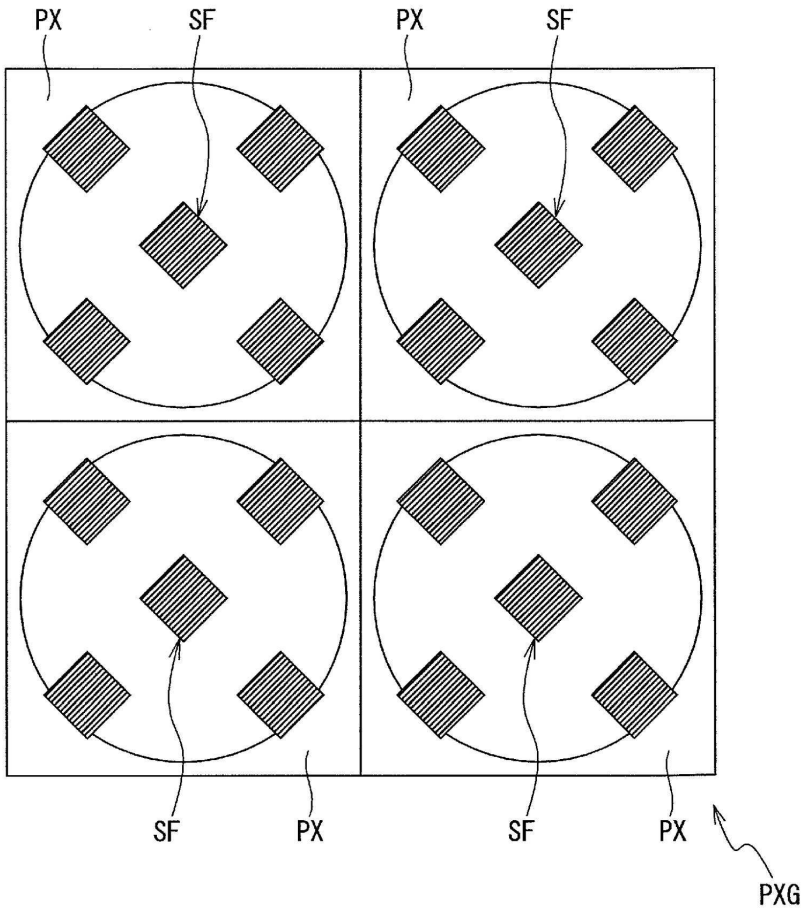
도면39



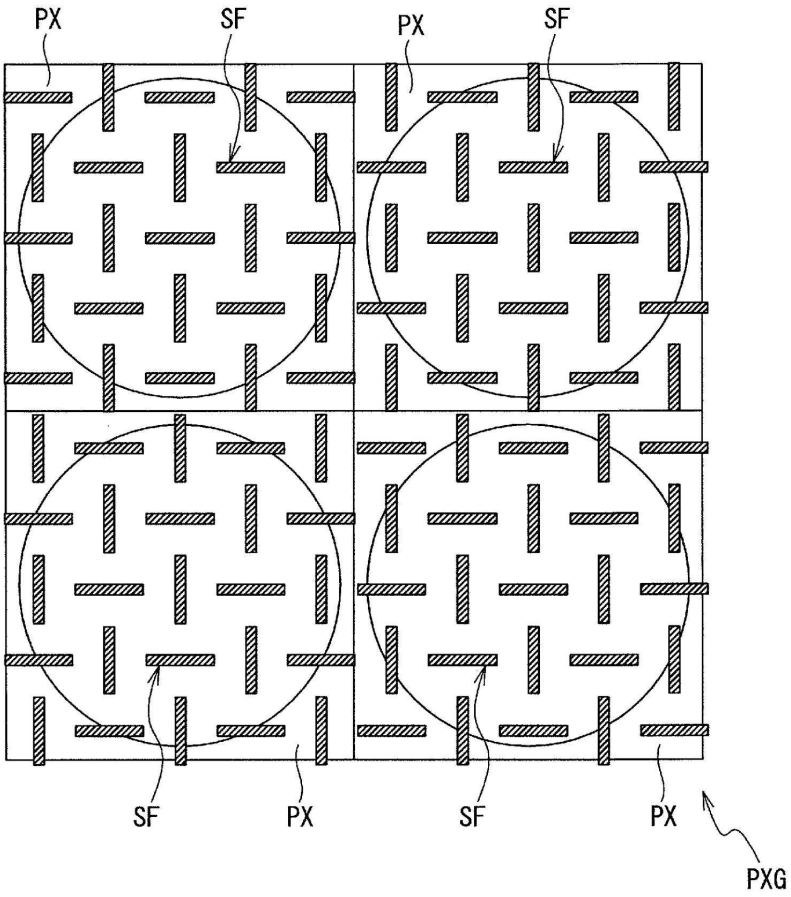
도면40



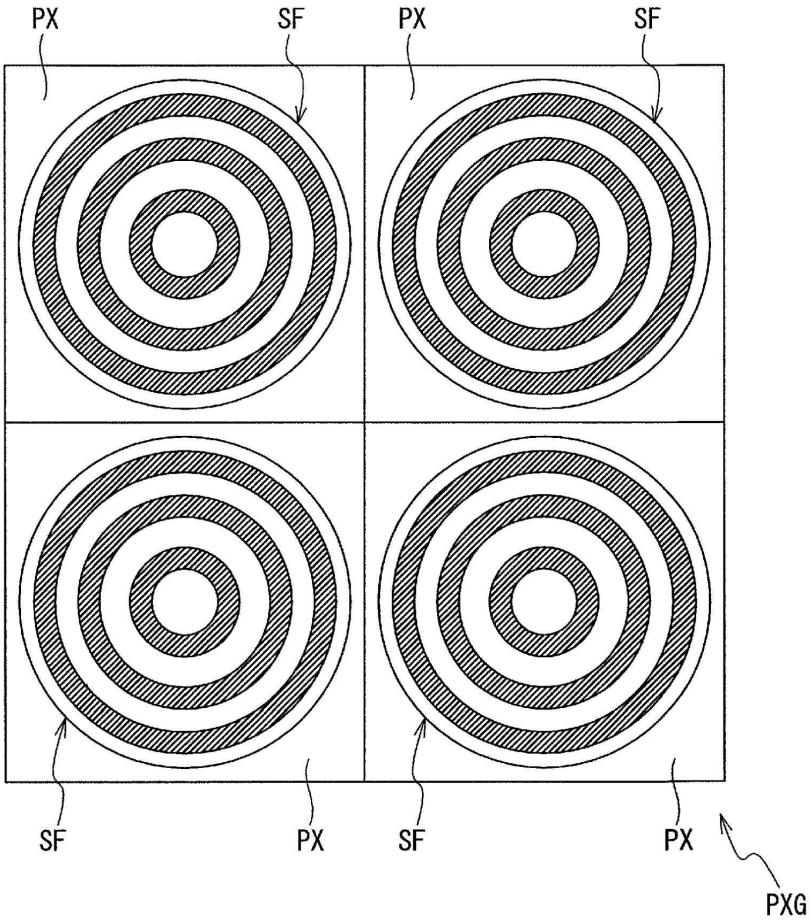
도면41



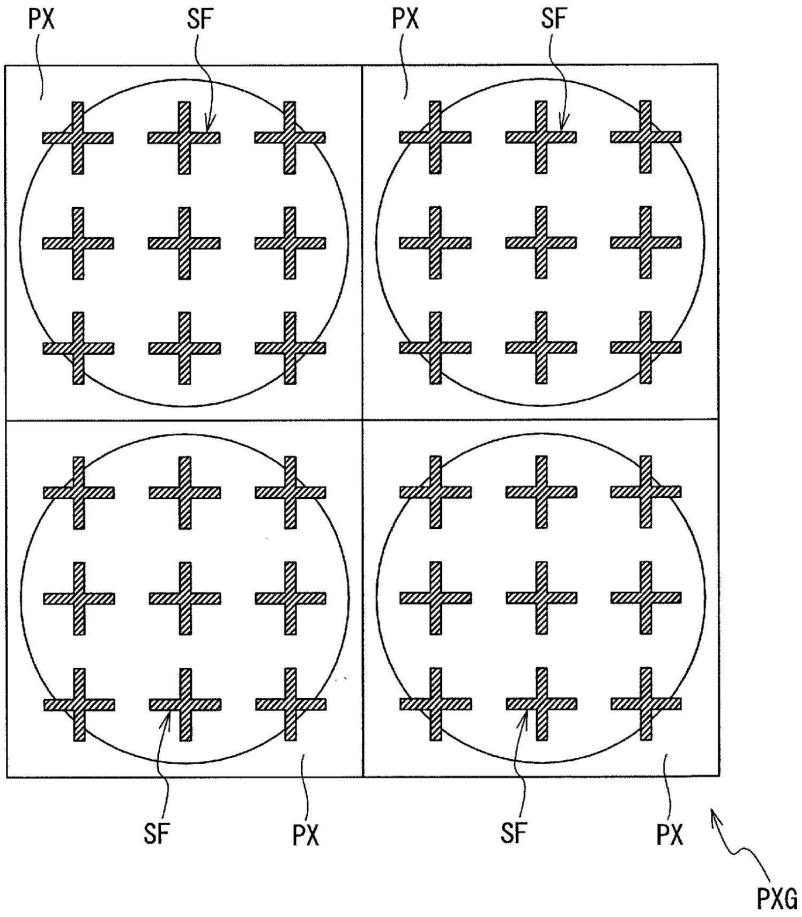
도면42



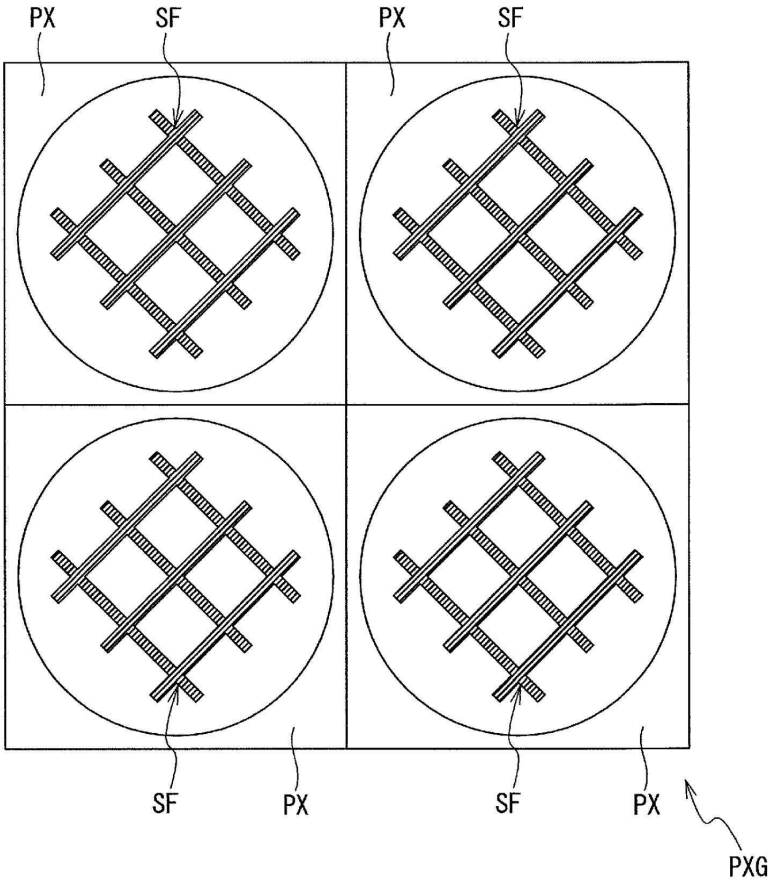
도면43



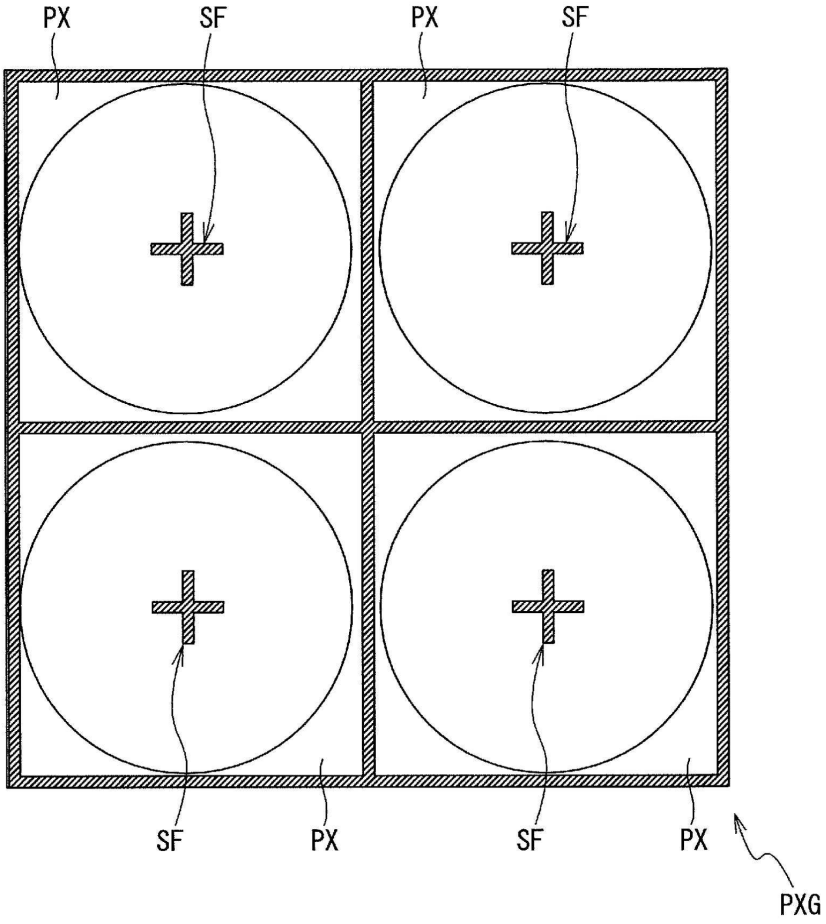
도면44



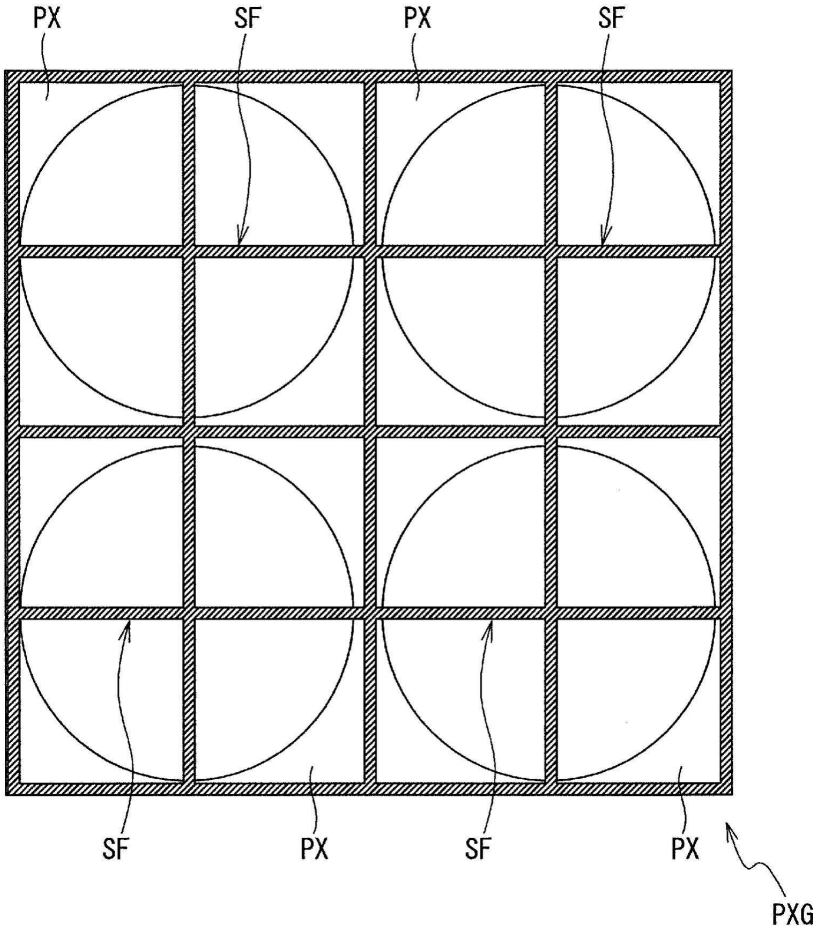
도면45



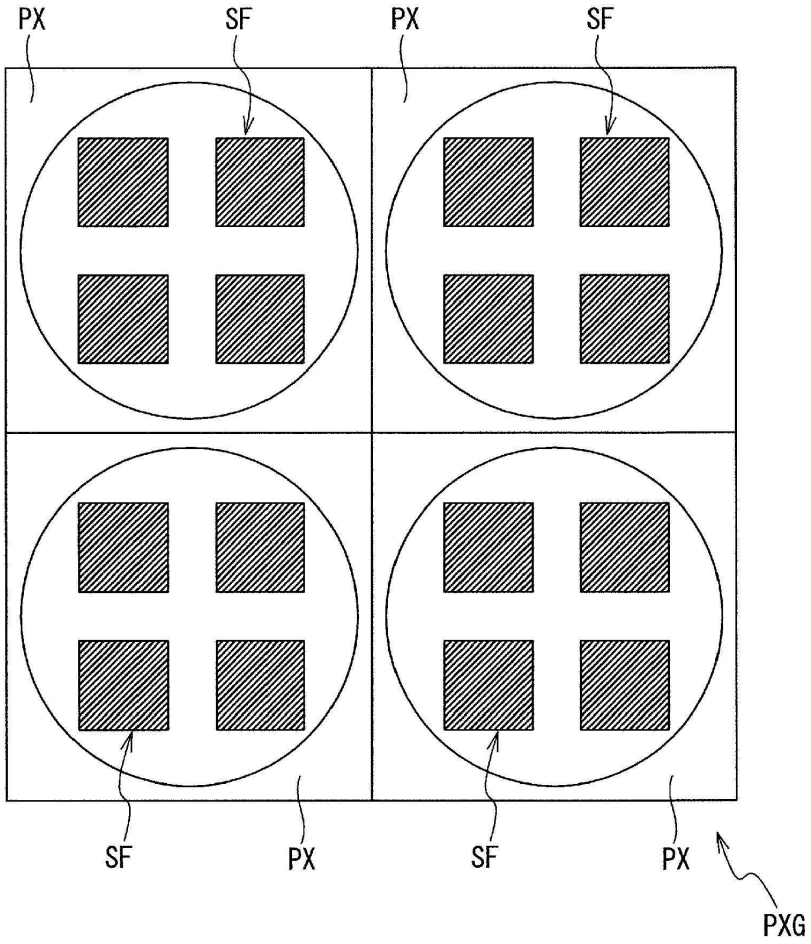
도면46



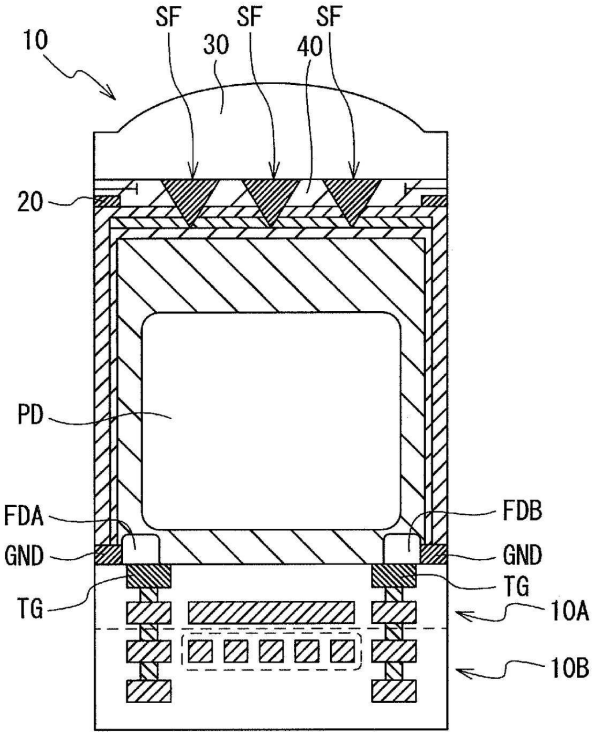
도면47



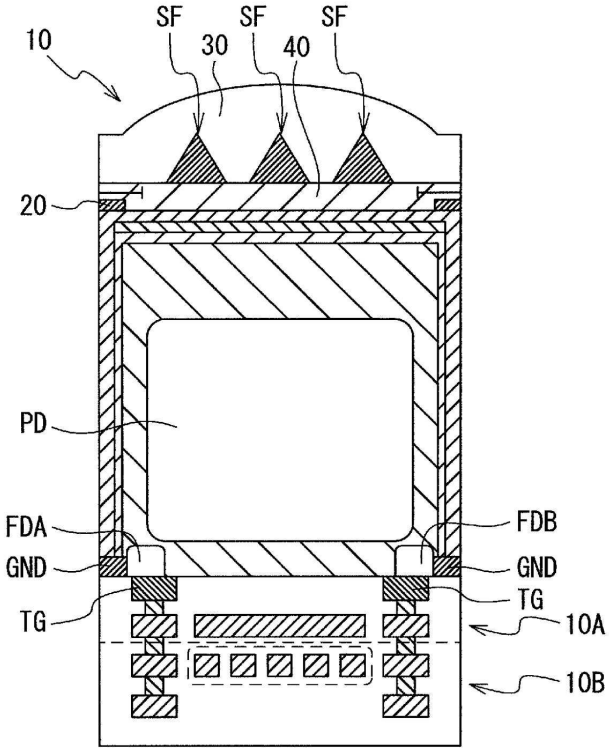
도면48



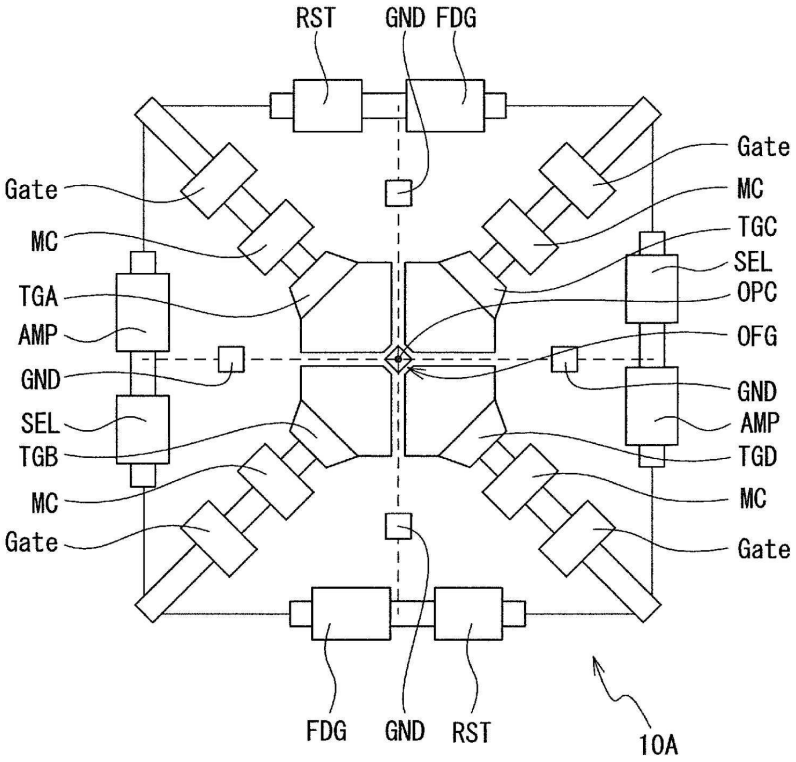
도면49


10
SF
SF
SF
30
40
20
PD
FDA
GND
TG
FDB
GND
TG
10A
10B

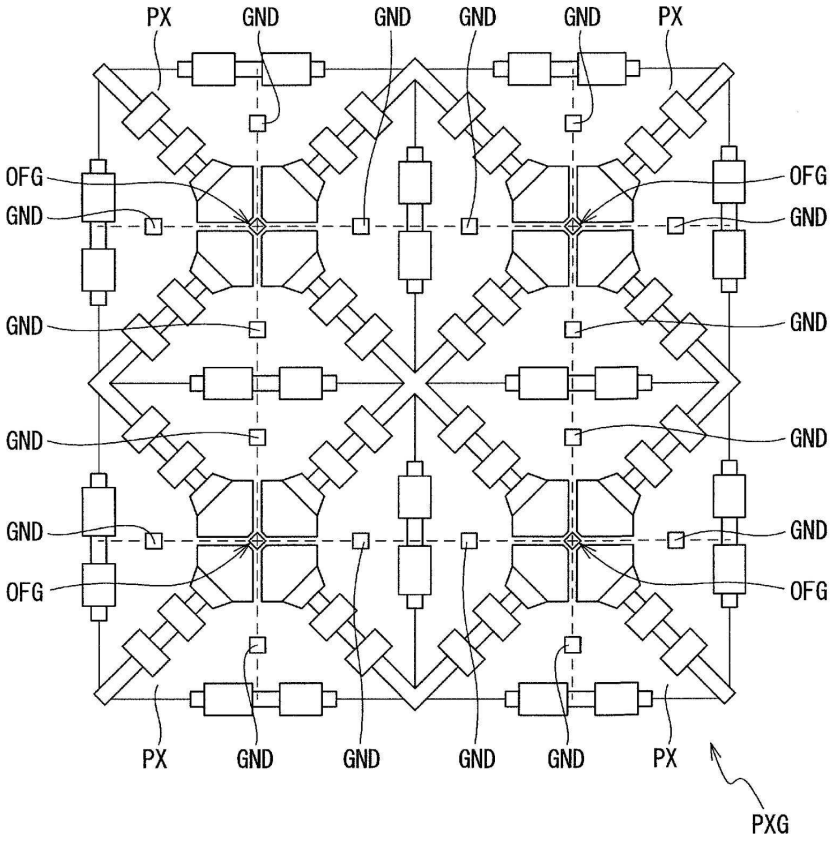
도면50


10
SF
SF
SF
30
40
20
PD
FDA
GND
TG
FDB
GND
TG
10A
10B

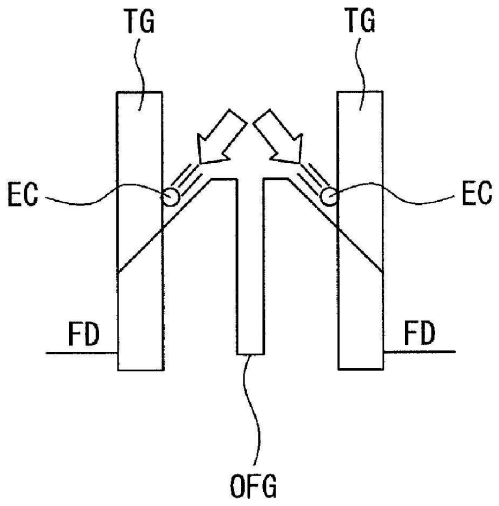
도면51


RST
GND
FDG
Gate
MC
TGC
SEL
OPC
OFG
GND
AMP
TGD
MC
Gate
TGA
AMP
GND
SEL
TGB
MC
Gate
FDG
GND
RST
10A

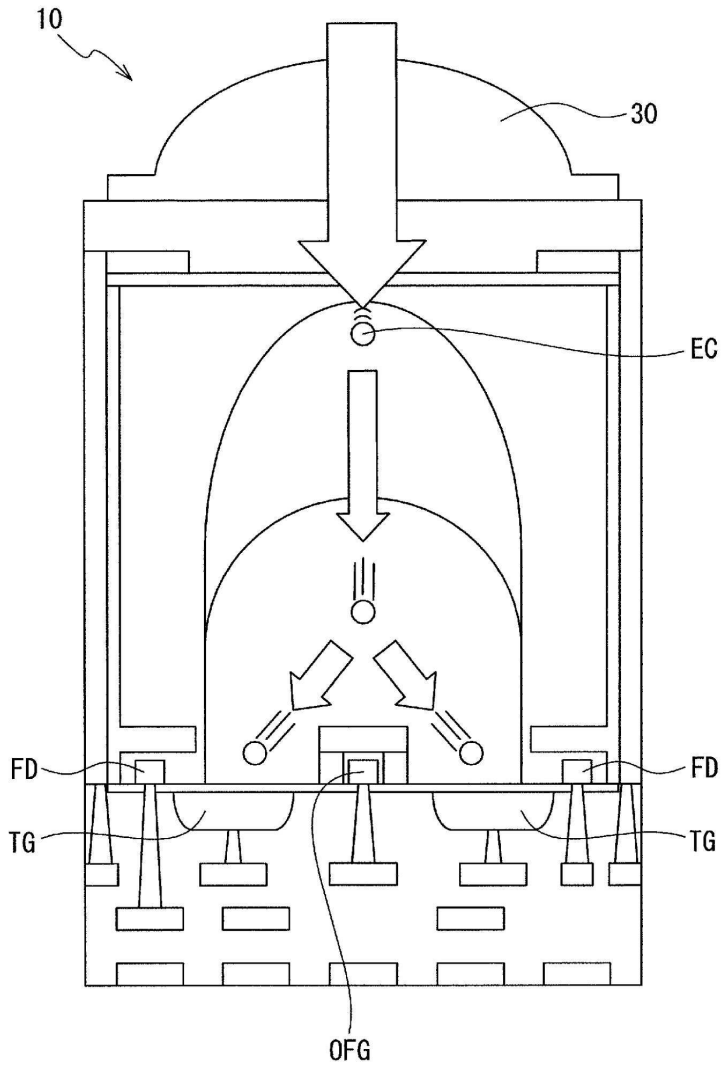
도면52


PX
GND
GND
GND
GND
PX
OFG
GND
GND
GND
GND
GND
OFG
PX
GND
GND
GND
GND
PX
PXG

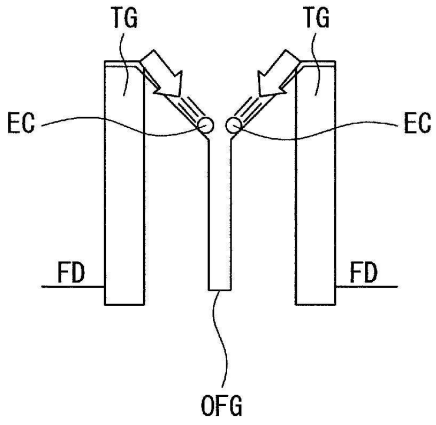
도면53a



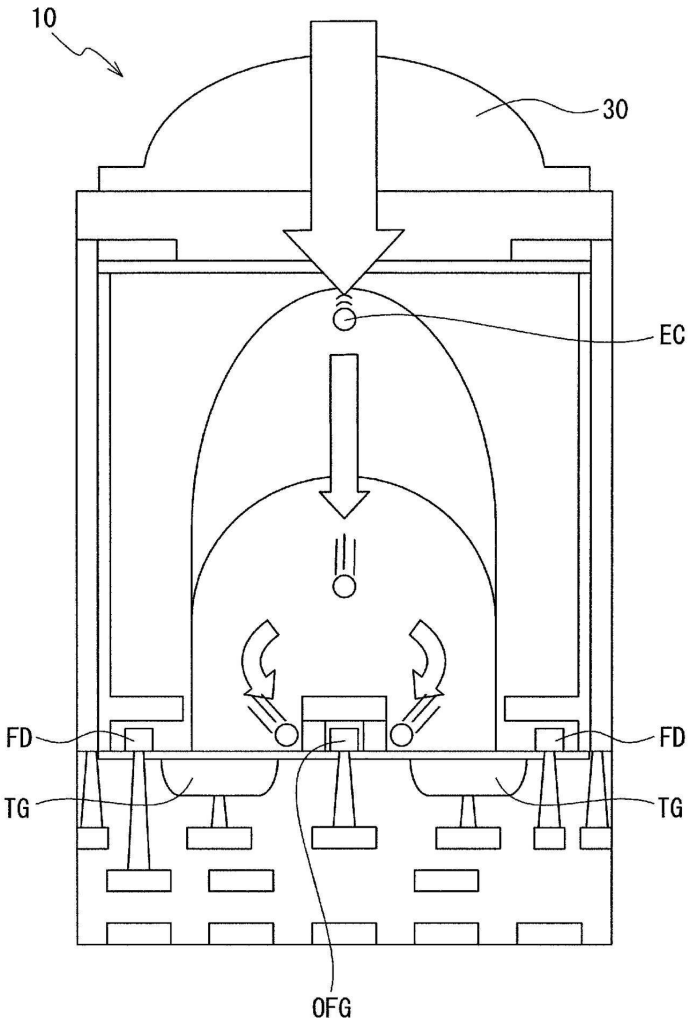
도면53b



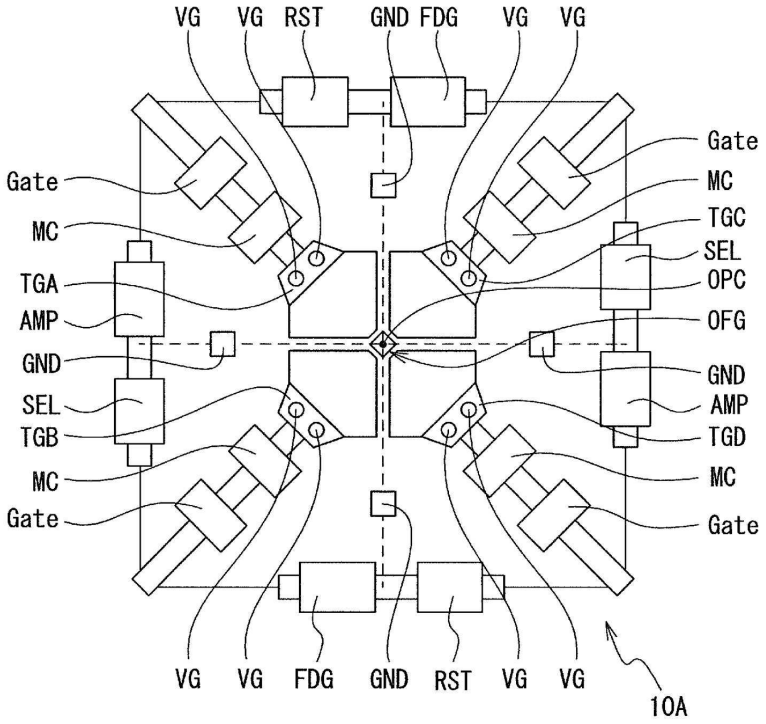
도면54a



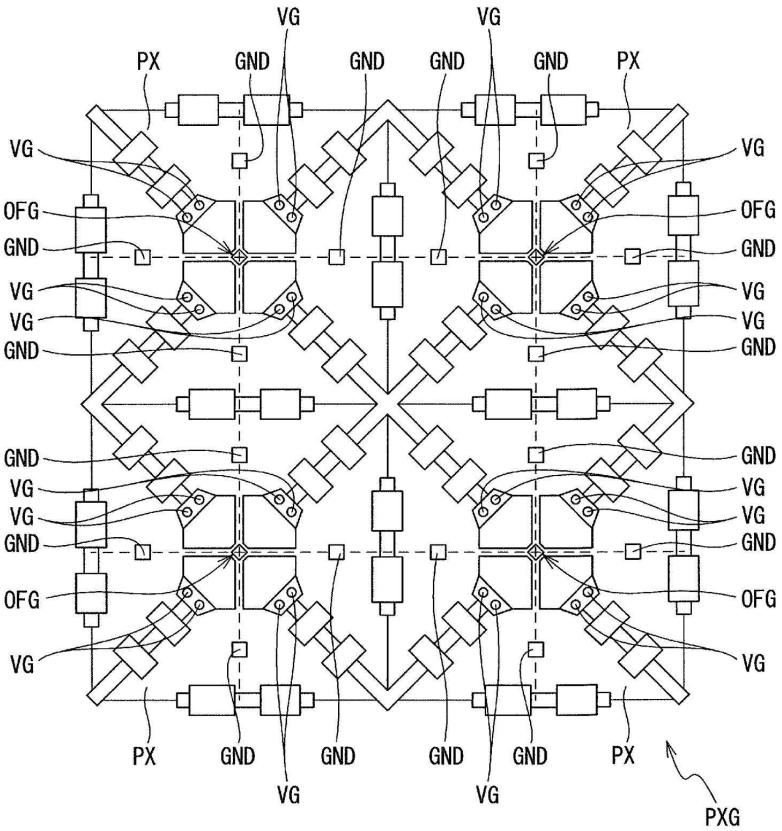
도면54b



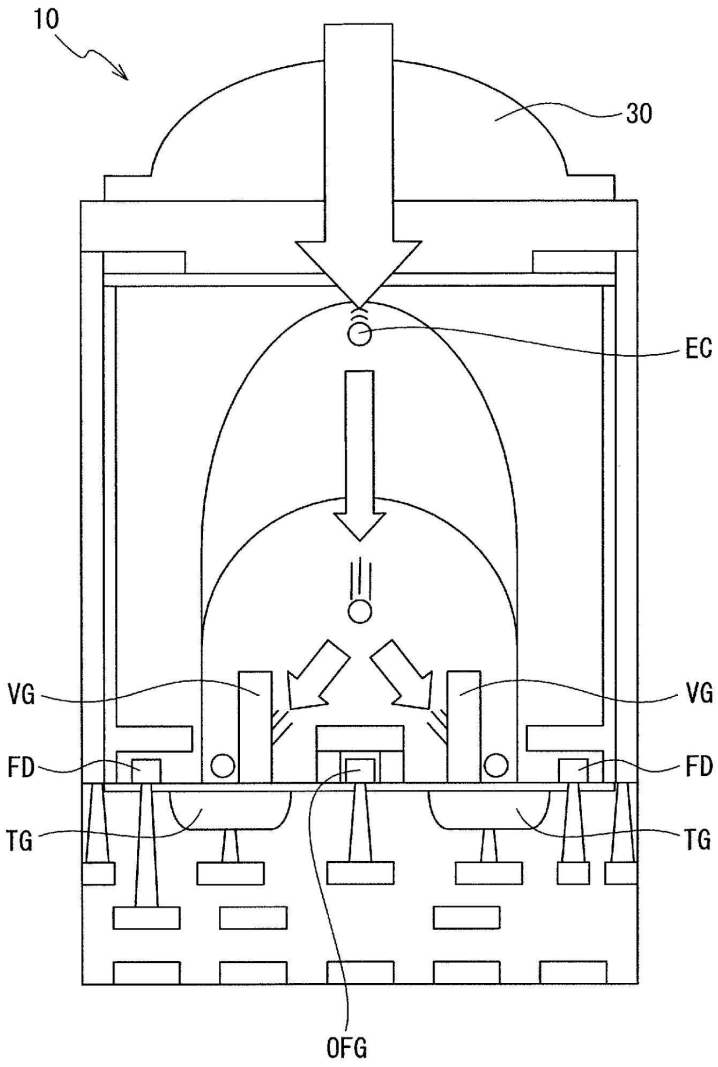
도면55


VG
VG
RST
GND
FDG
VG
VG
Gate
MC
TGC
SEL
OPC
OFG
GND
AMP
TGD
MC
Gate
Gate
MC
TGA
AMP
GND
SEL
TGB
MC
Gate
VG
VG
FDG
GND
RST
VG
VG
10A

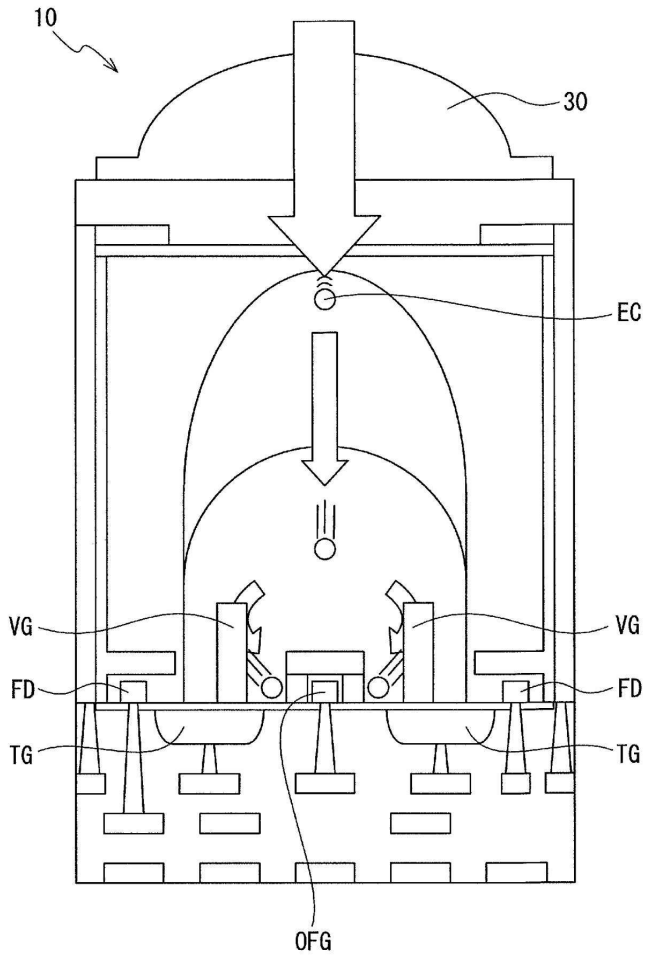
도면56


VG
VG
PX
GND
GND
GND
GND
PX
VG
VG
OFG
OFG
GND
GND
VG
VG
VG
VG
GND
GND
GND
GND
VG
VG
VG
VG
GND
GND
OFG
OFG
VG
VG
PX
GND
GND
GND
GND
PX
VG
VG
PXG

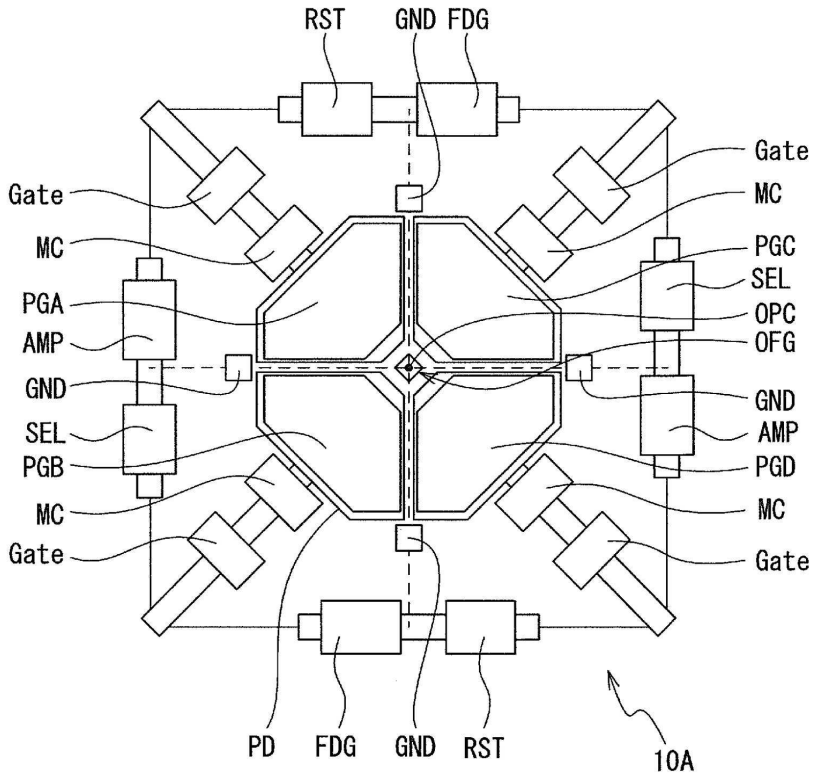
도면57



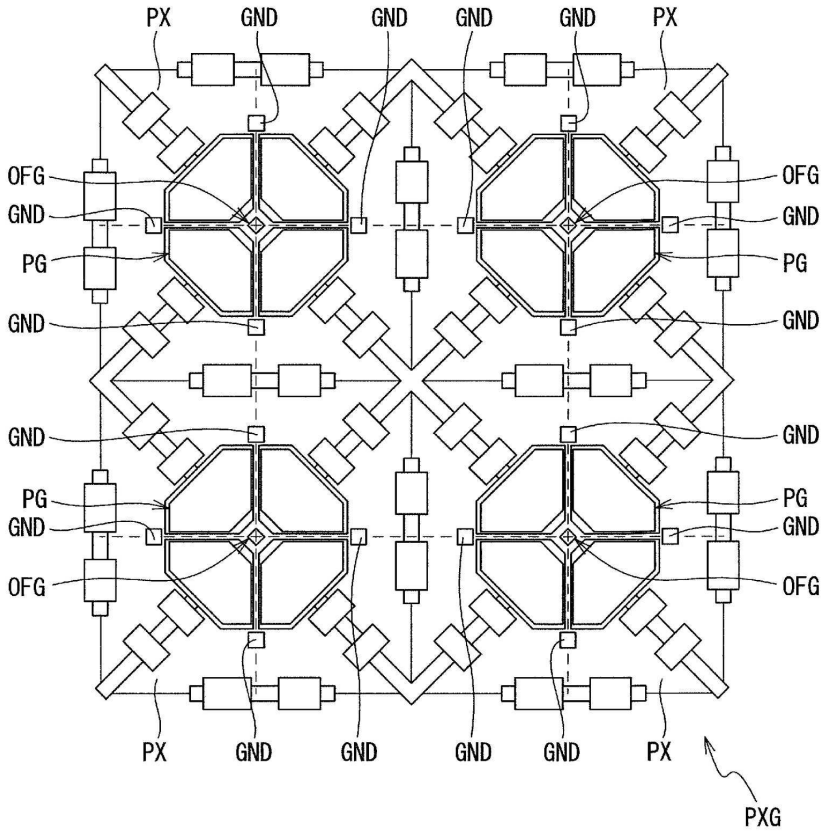
도면58



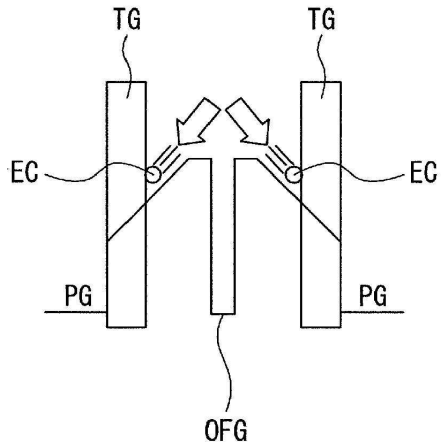
도면59


RST
GND
FDG
Gate
MC
PGC
SEL
OPC
OFG
GND
AMP
PGD
MC
Gate
Gate
MC
PGA
AMP
GND
SEL
PGB
MC
Gate
PD
FDG
GND
RST
10A

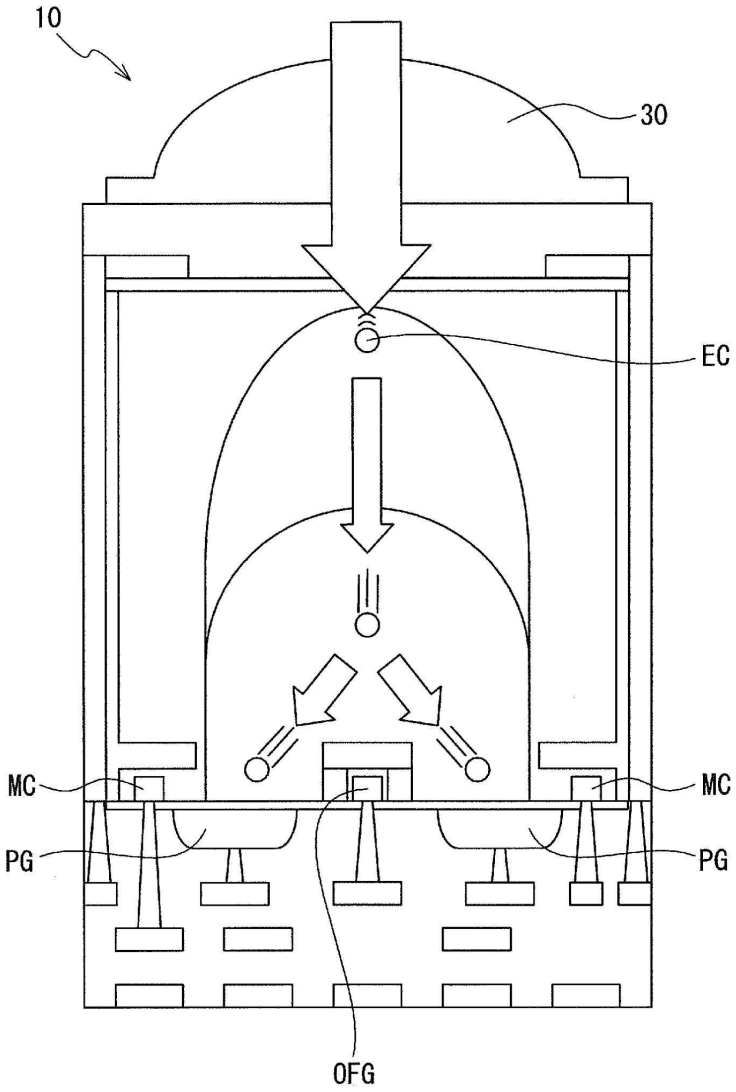
도면60


PX
GND
GND
GND
GND
PX
OFG
GND
PG
GND
GND
PG
GND
OFG
OFG
GND
PG
GND
GND
PG
GND
OFG
PX
GND
GND
GND
GND
PX
PXG

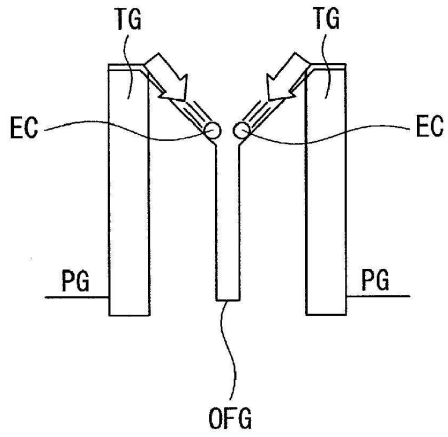
도면61a



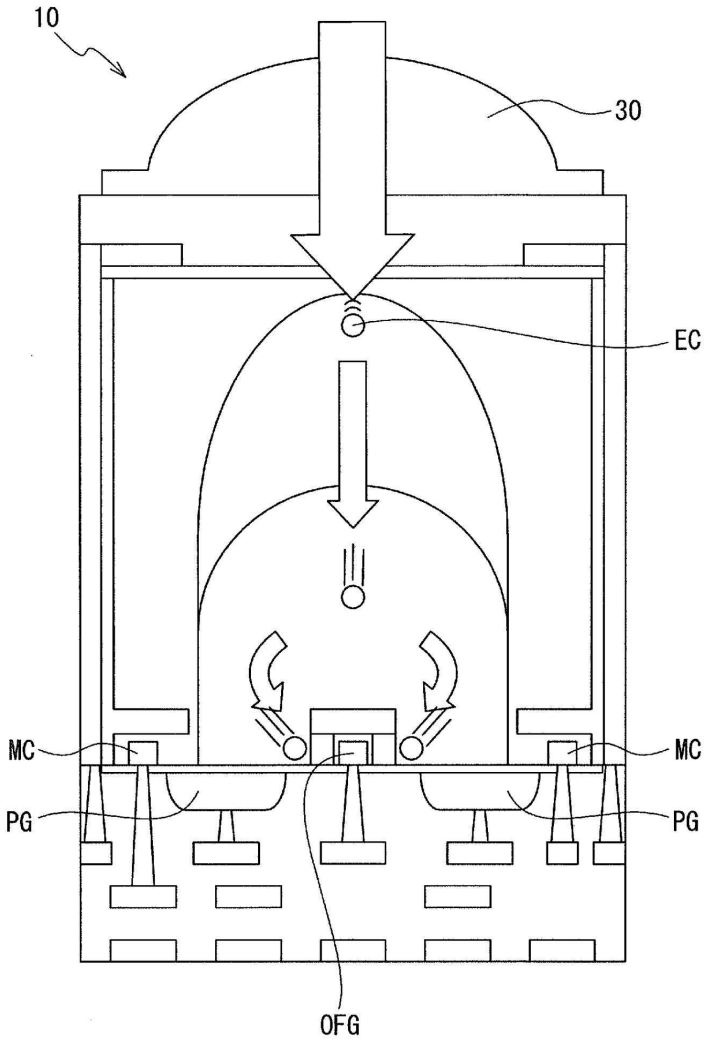
도면61b



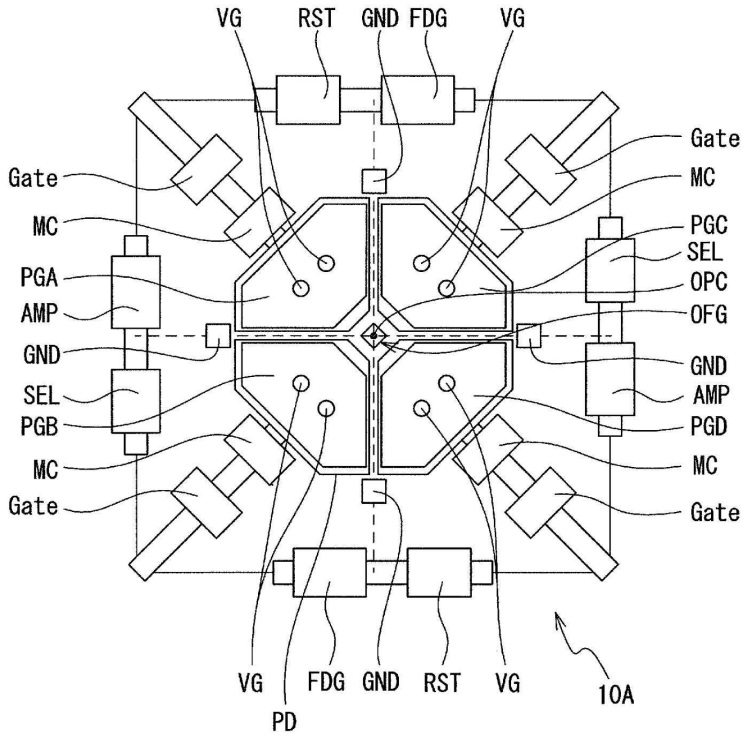
도면62a



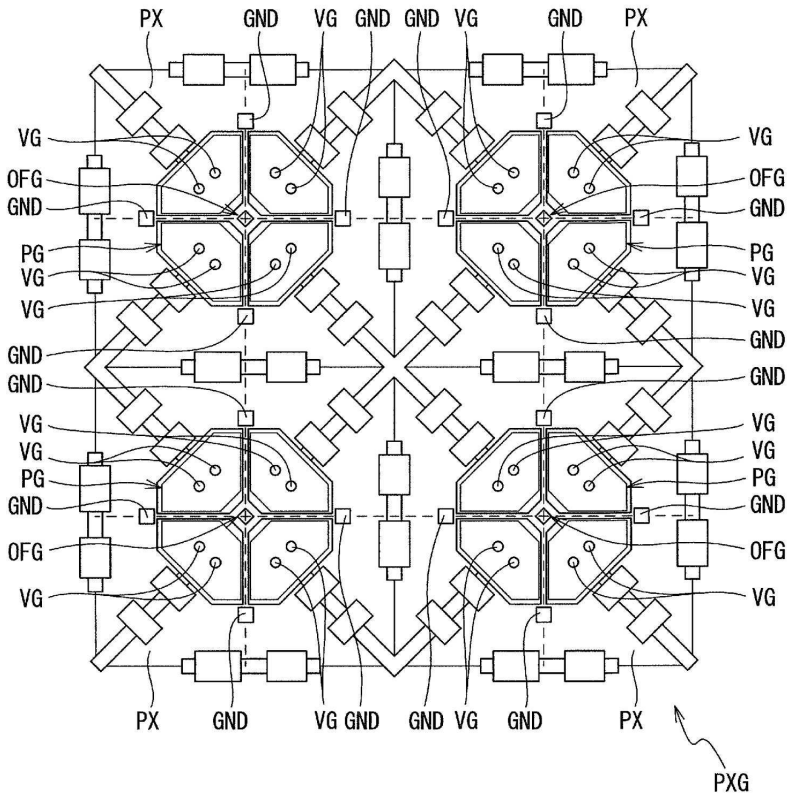
도면62b



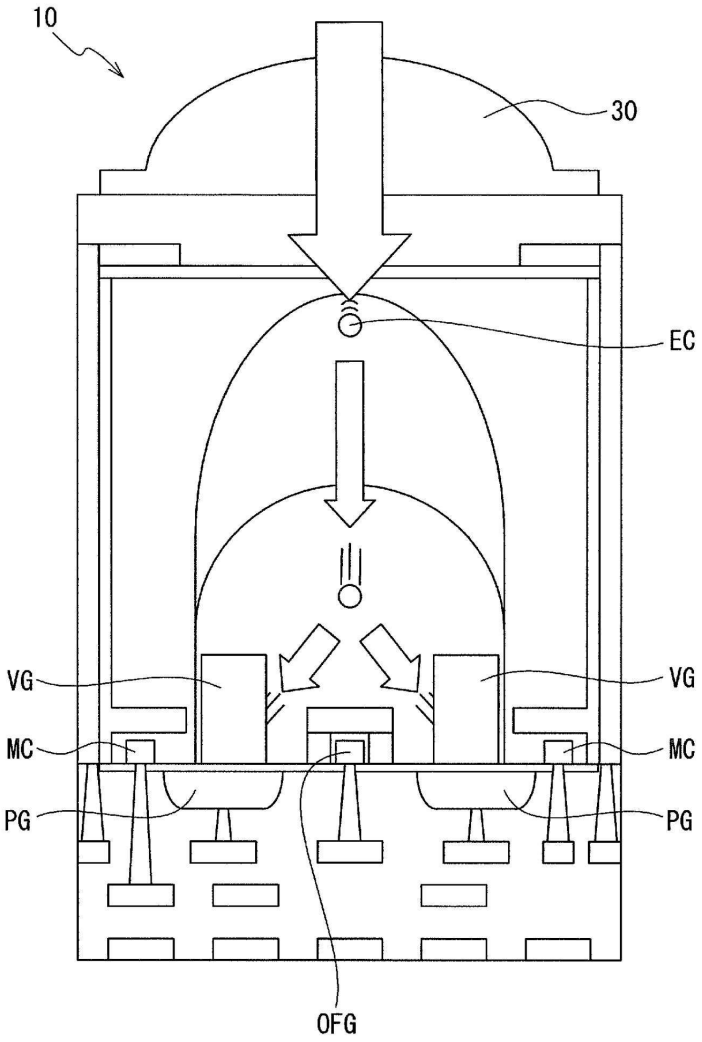
도면63


VG
RST
GND
FDG
VG
Gate
MC
PGA
AMP
GND
SEL
PGB
MC
Gate
PGC
SEL
OPC
OFG
GND
AMP
PGD
MC
Gate
VG
PD
FDG
GND
RST
VG
10A

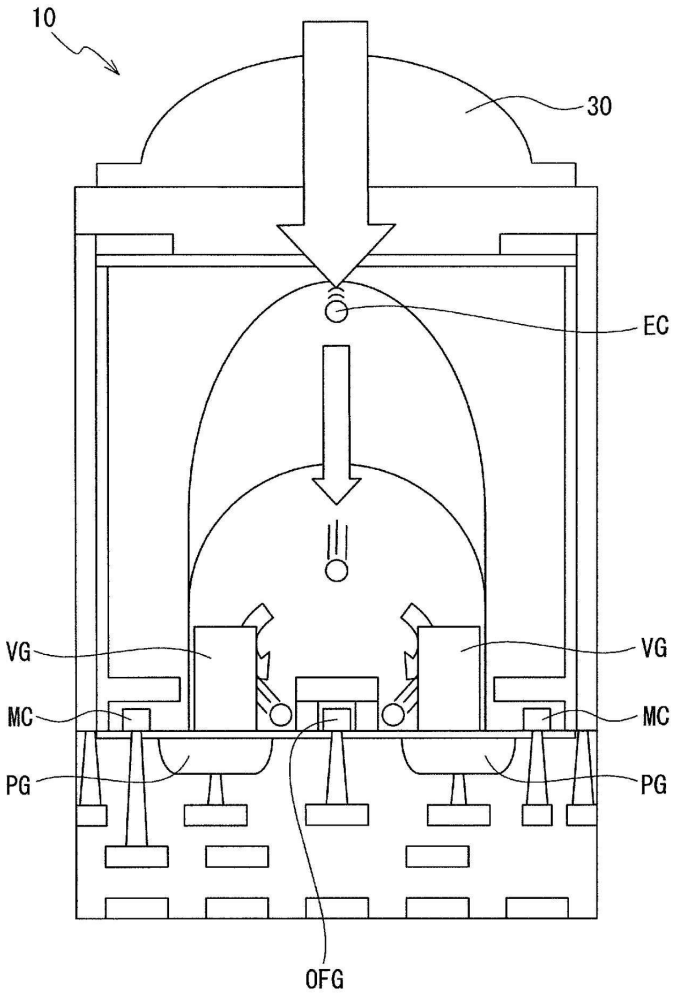
도면64


PX
GND
VG
GND
GND
VG
GND
PX
VG
OFG
GND
PG
VG
VG
GND
GND
VG
VG
PG
GND
OFG
VG
PX
GND
VG
GND
GND
VG
GND
PX
PXG

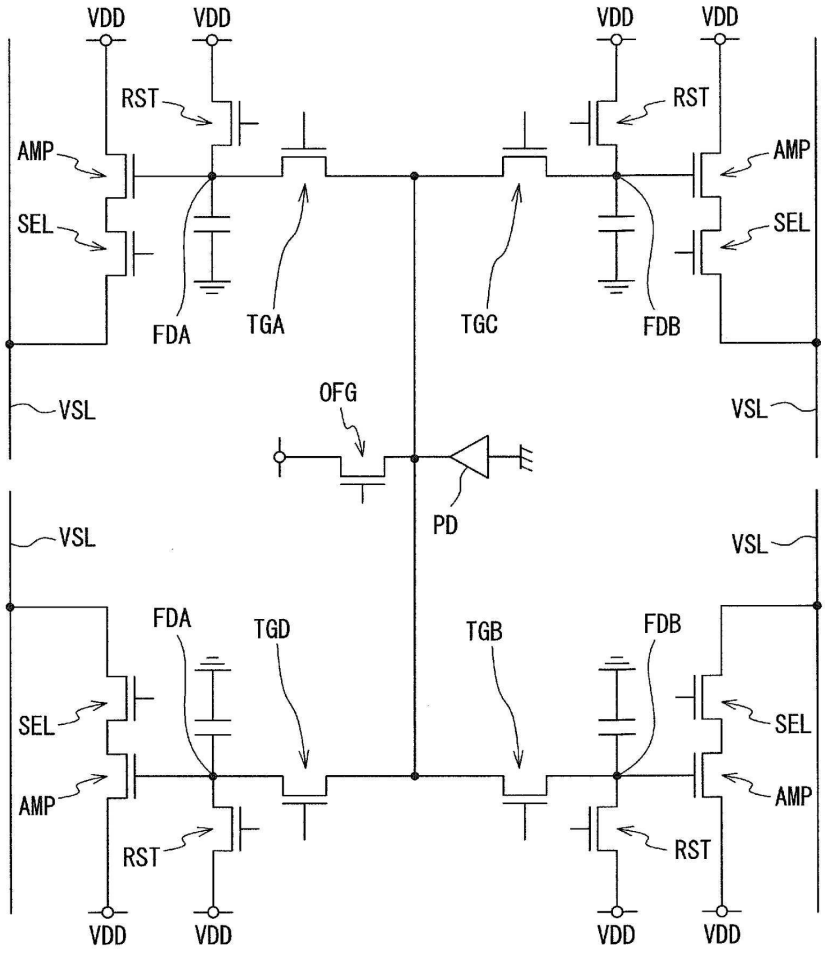
도면65



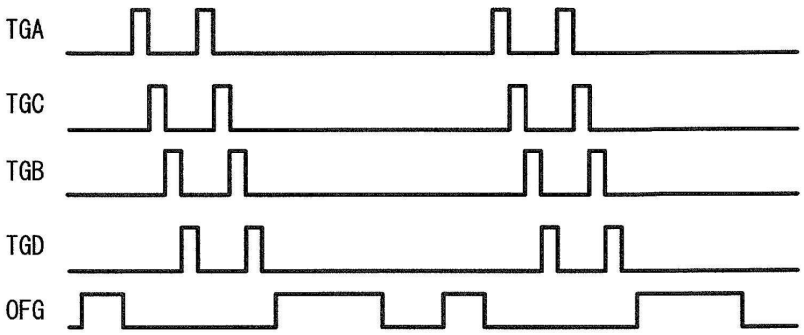
도면66



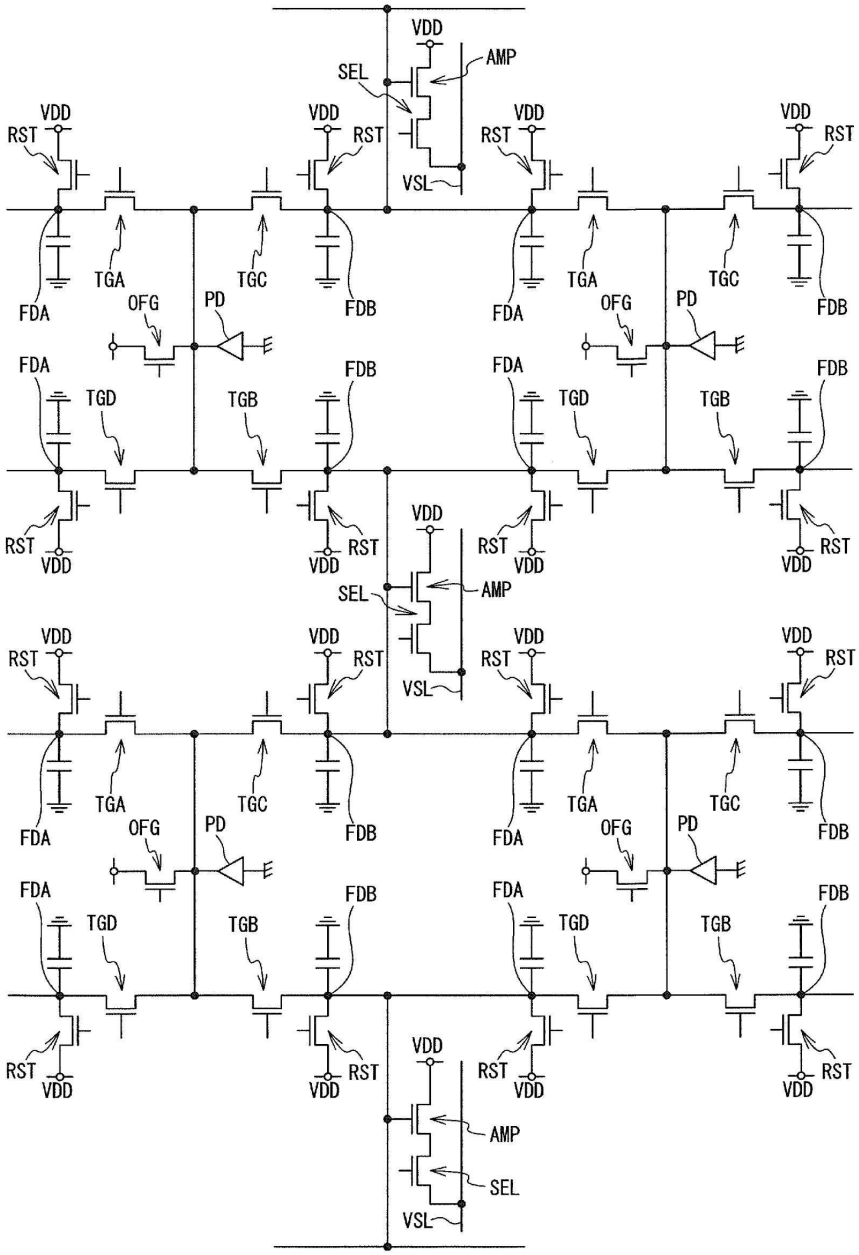
도면67


VDD
VDD
VDD
VDD
RST
RST
AMP
AMP
SEL
SEL
FDA
TGA
TGC
FDB
VSL
OFG
VSL
PD
VSL
VSL
FDA
TGD
TGB
FDB
SEL
SEL
AMP
AMP
RST
RST
VDD
VDD
VDD
VDD

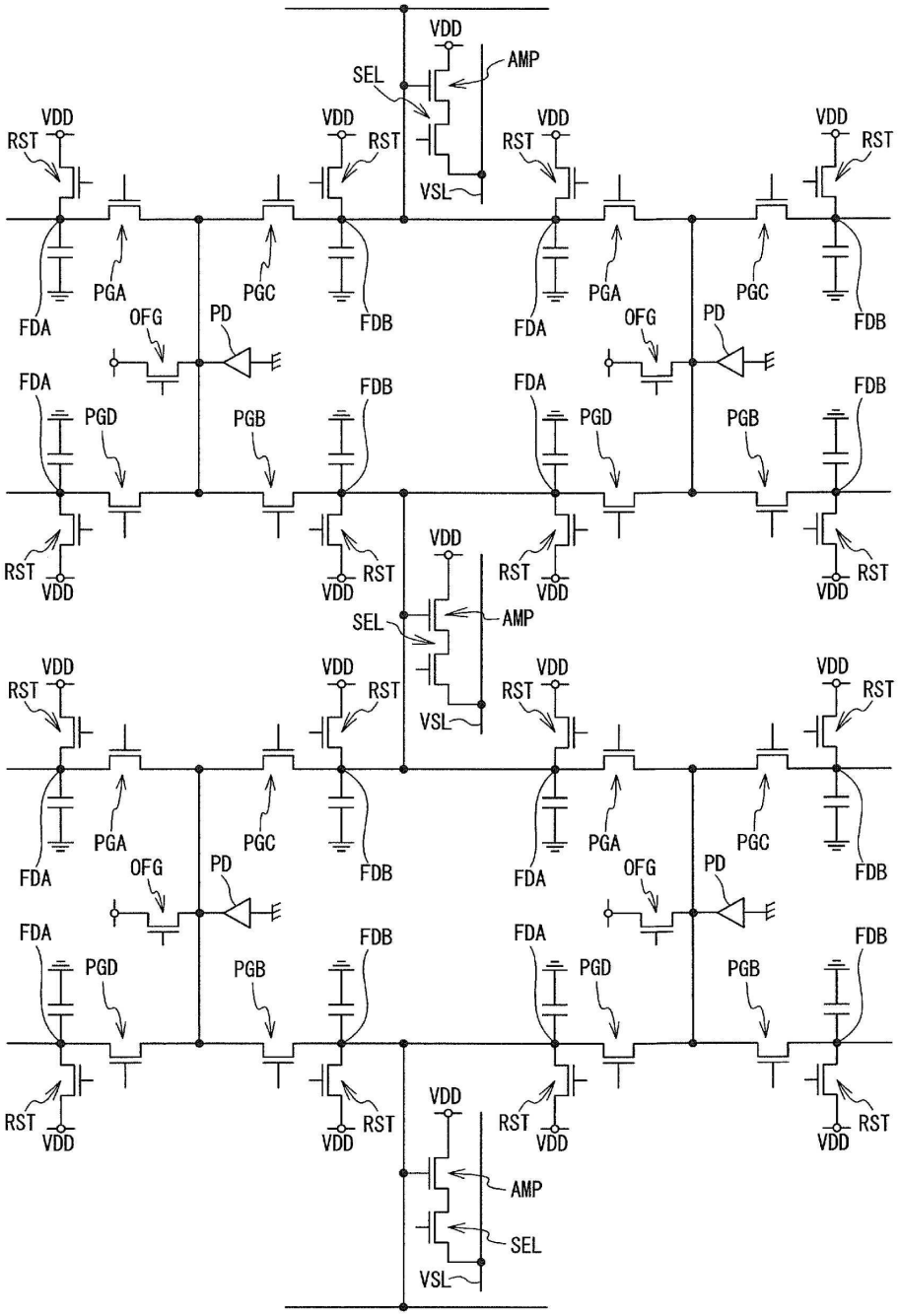
도면68


TGA
TGC
TGB
TGD
OFG

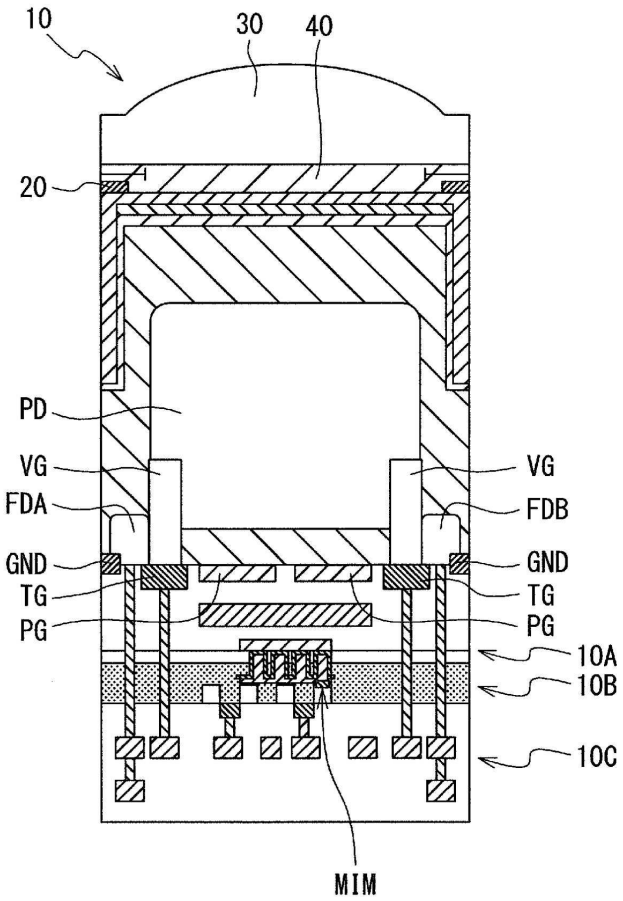
도면69



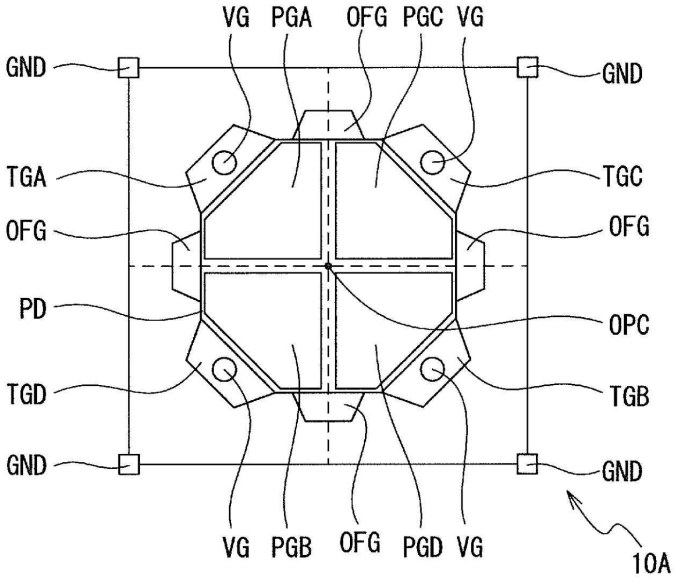
도면70



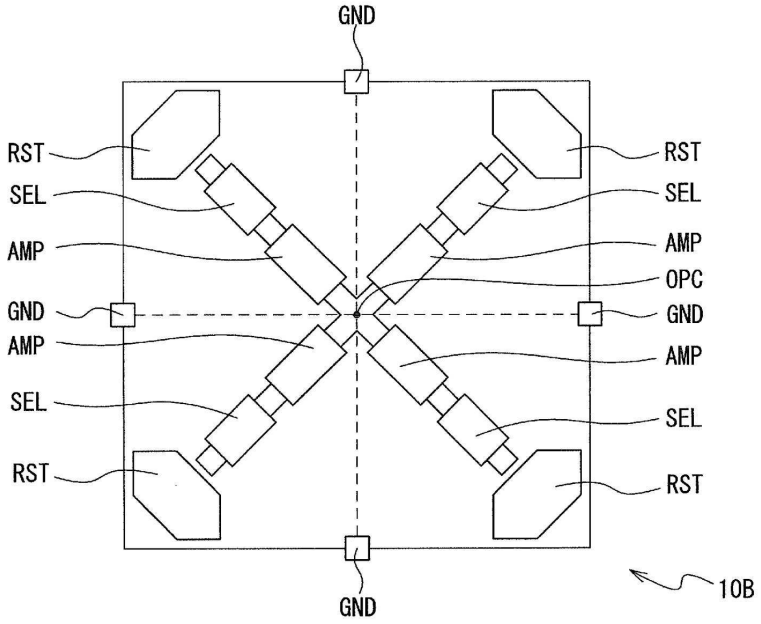
도면71


10
30
40
20
PD
VG
FDA
GND
TG
PG
VG
FDB
GND
TG
PG
10A
10B
10C
MIM

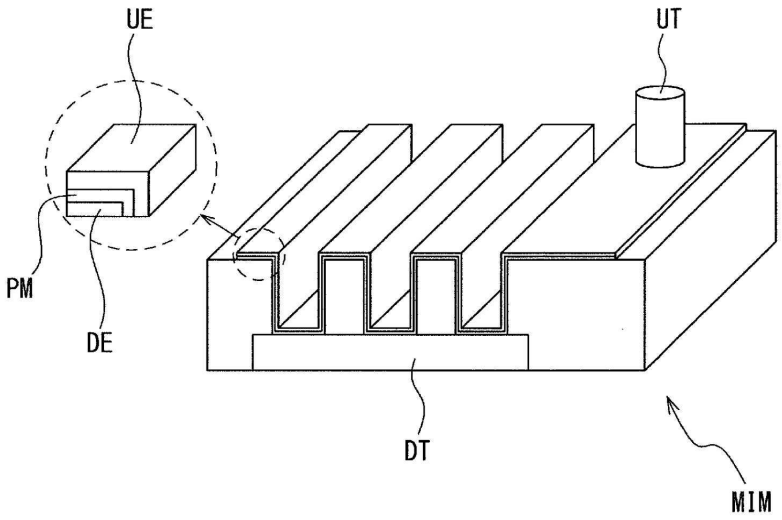
도면72


VG
PGA
OFG
PGC
VG
GND
TGA
OFG
PD
TGD
GND
GND
TGC
OFG
OPC
TGB
GND
VG
PGB
OFG
PGD
VG
10A

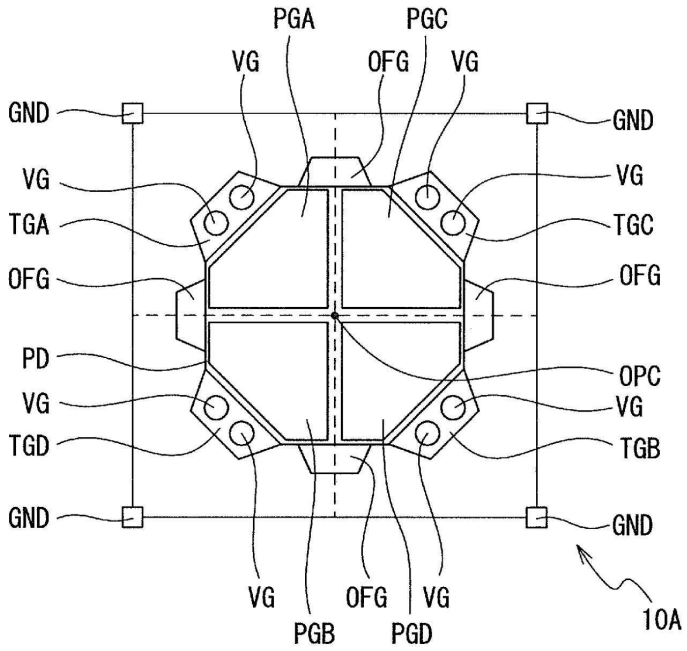
도면73


GND
RST
SEL
AMP
GND
AMP
SEL
RST
RST
SEL
AMP
OPC
GND
AMP
SEL
RST
GND
10B

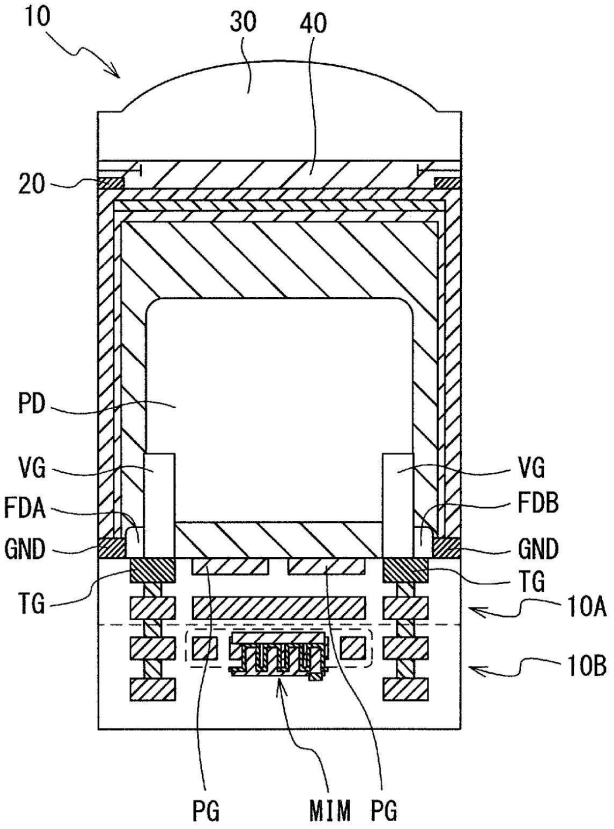
도면74


UE
UT
PM
DE
DT
MIM

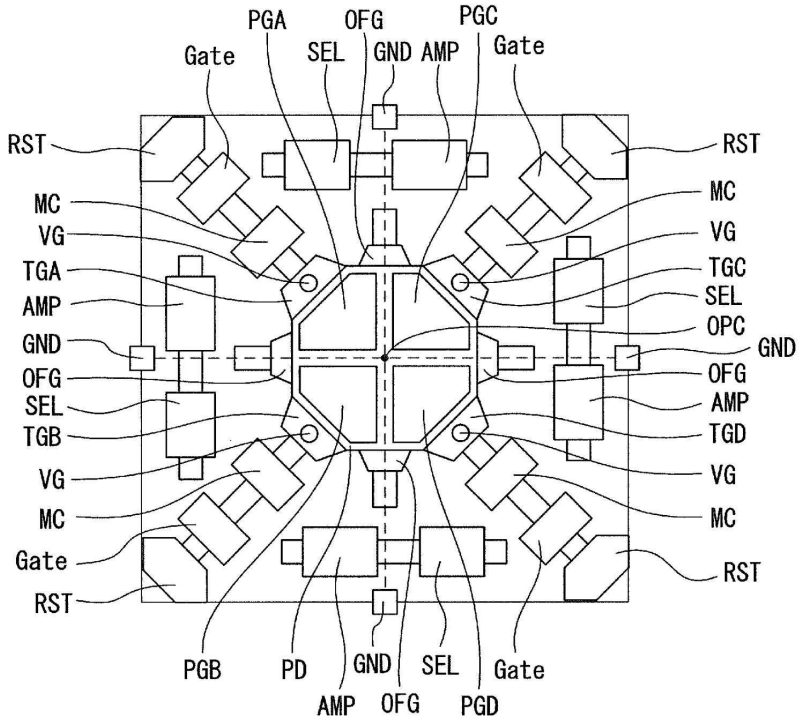
도면75


PGA
PGC
VG
OFG
VG
GND
GND
VG
VG
TGA
TGC
OFG
OFG
PD
OPC
VG
VG
TGD
TGB
GND
GND
VG
OFG
VG
PGB
PGD
10A

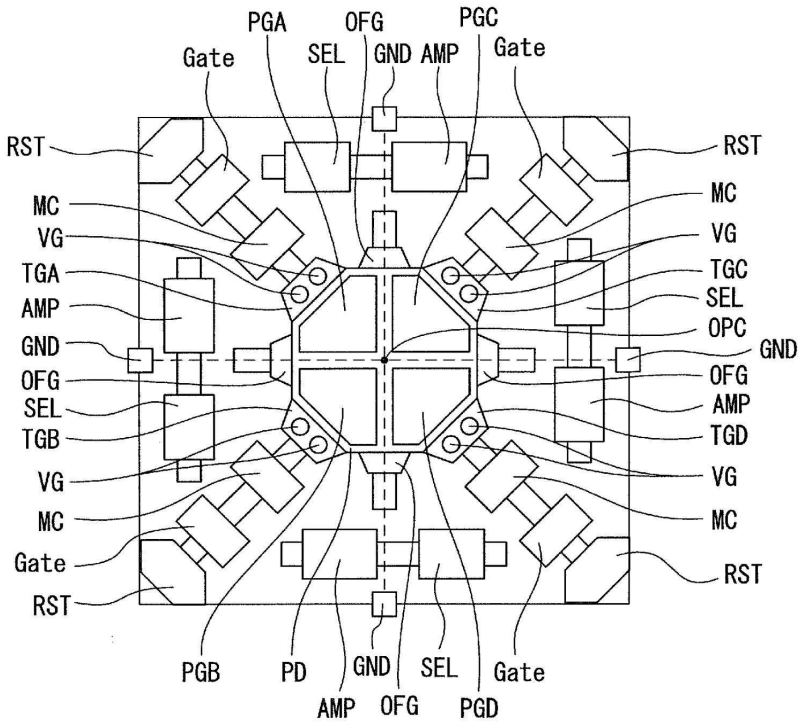
도면76


10
30
40
20
PD
VG
VG
FDA
FDB
GND
GND
TG
TG
10A
10B
PG
MIM
PG

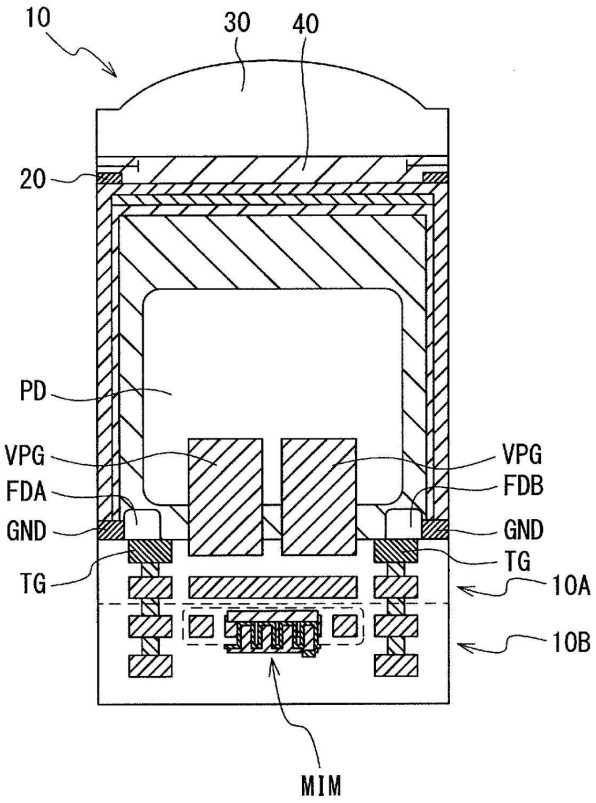
도면77


PGA
OFG
PGC
Gate
SEL
GND
AMP
Gate
RST
RST
MC
MC
VG
VG
TGA
TGC
AMP
SEL
GND
OPC
GND
OFG
OFG
SEL
AMP
TGB
TGD
VG
VG
MC
MC
Gate
RST
RST
PGB
PD
GND
SEL
Gate
AMP
OFG
PGD

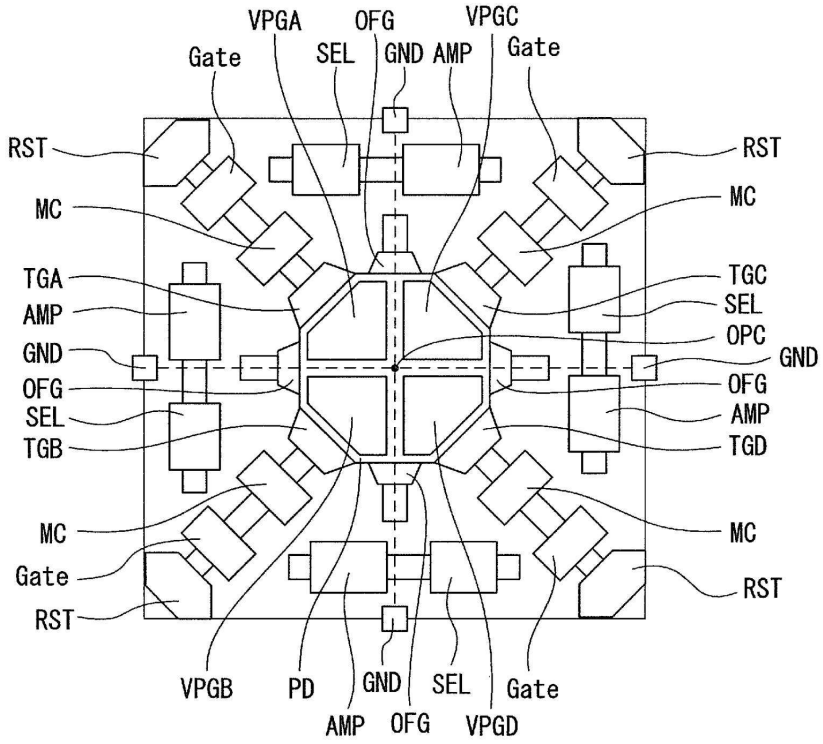
도면78


PGA
OFG
PGC
Gate
SEL
GND
AMP
Gate
RST
RST
MC
MC
VG
VG
TGA
TGC
AMP
SEL
GND
OPC
GND
OFG
OFG
SEL
AMP
TGB
TGD
VG
VG
MC
MC
Gate
RST
RST
PGB
PD
GND
SEL
Gate
AMP
OFG
PGD

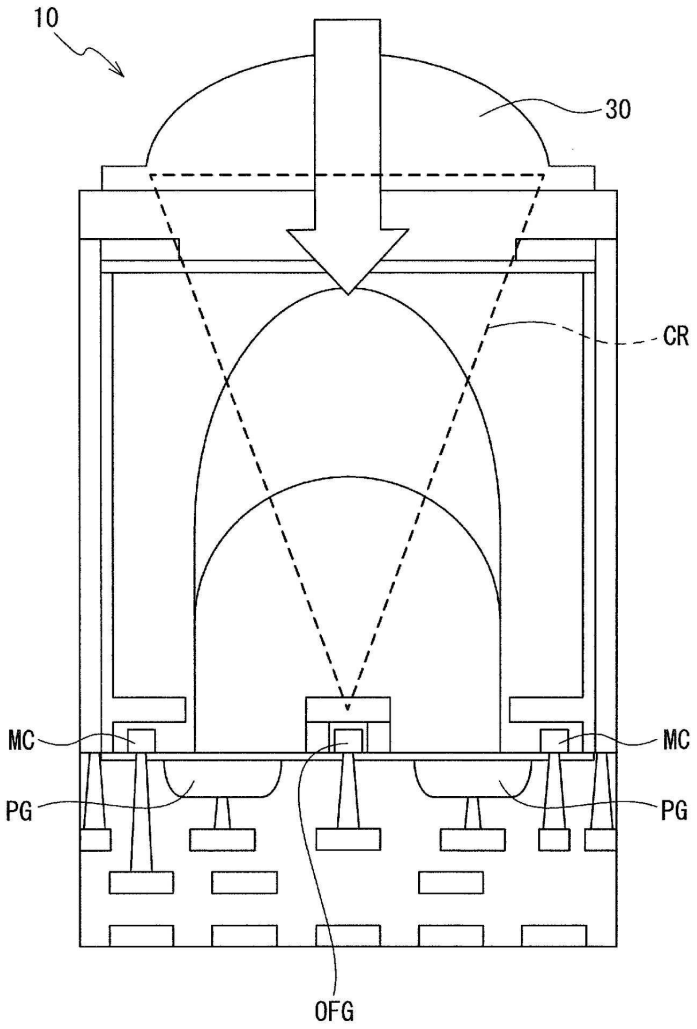
도면79


10
30
40
20
PD
VPG
FDA
GND
TG
VPG
FDB
GND
TG
10A
10B
MIM

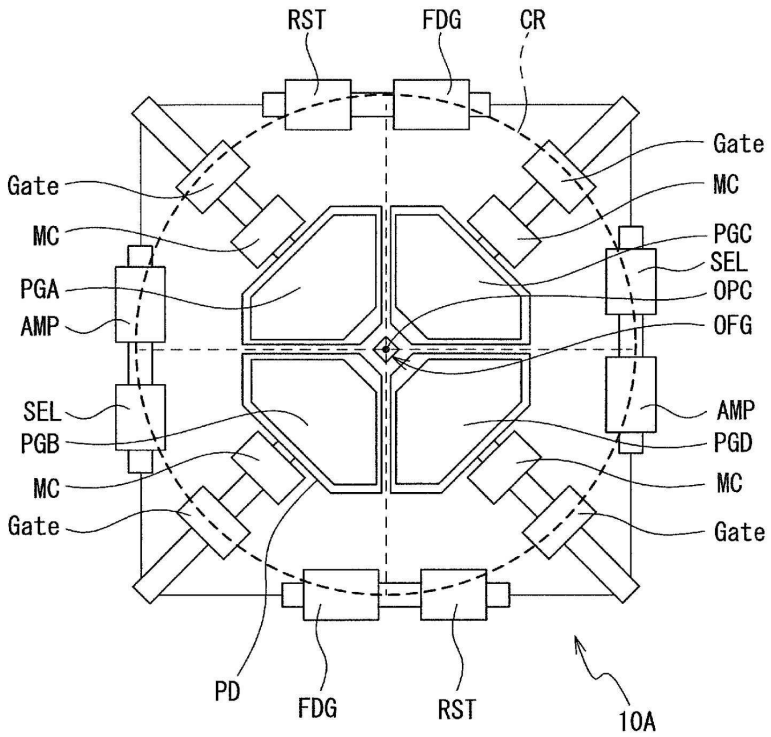
도면80


VPGA
OFG
VPGC
Gate
SEL
GND
AMP
Gate
RST
MC
TGA
AMP
GND
OFG
SEL
TGB
RST
MC
TGC
SEL
OPC
GND
OFG
AMP
TGD
MC
RST
MC
Gate
RST
VPGB
PD
AMP
GND
OFG
SEL
VPGD
Gate

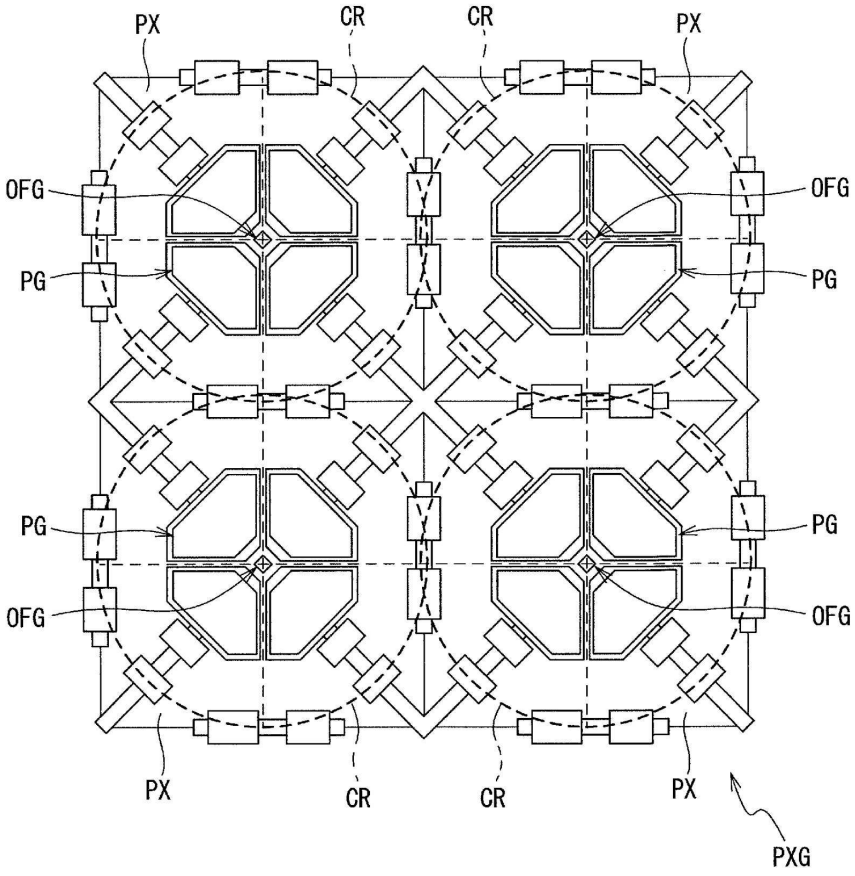
도면81



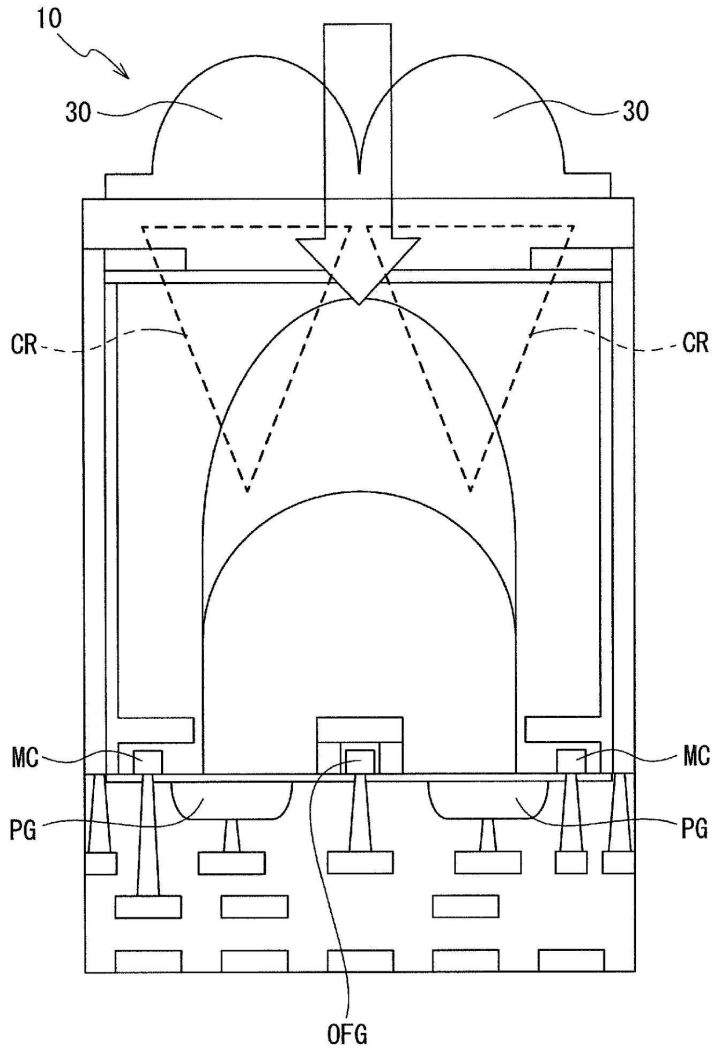
도면82


RST
FDG
CR
Gate
MC
PGC
SEL
OPC
OFG
AMP
PGD
MC
Gate
Gate
MC
PGB
SEL
PGA
AMP
PD
FDG
RST
10A

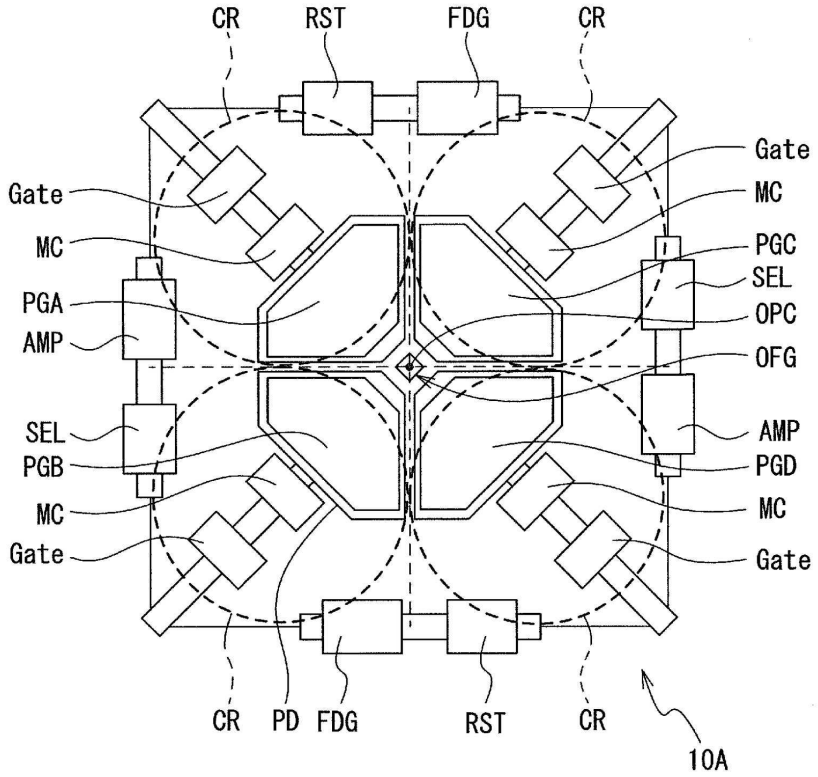
도면83


PX
CR
CR
PX
OFG
PG
OFG
PG
PG
OFG
PG
OFG
PX
CR
CR
PX
PXG

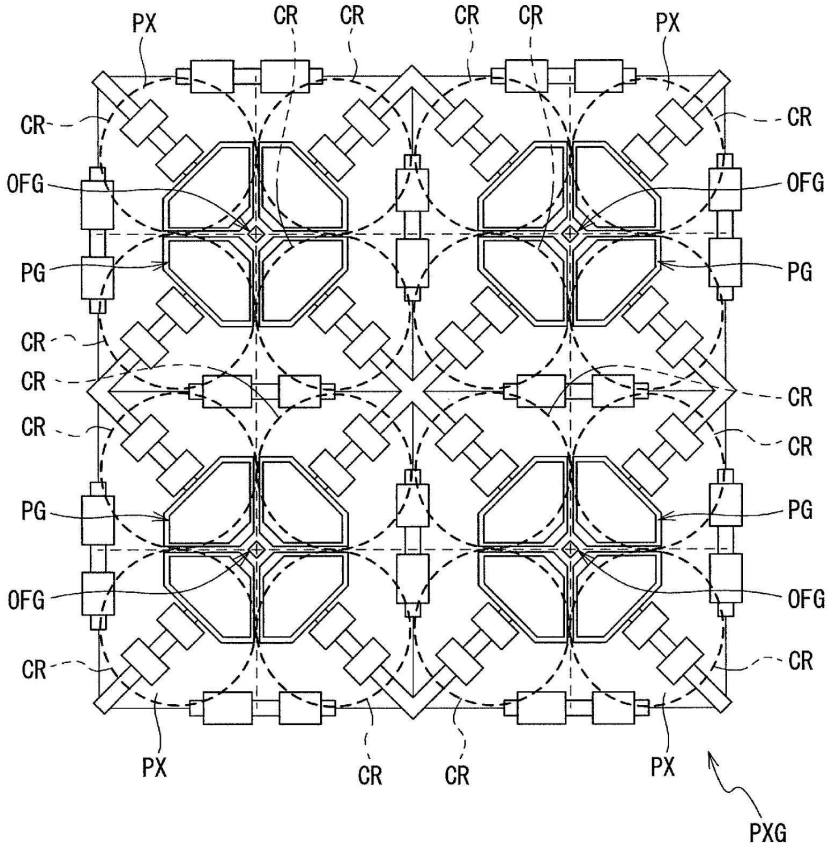
도면84



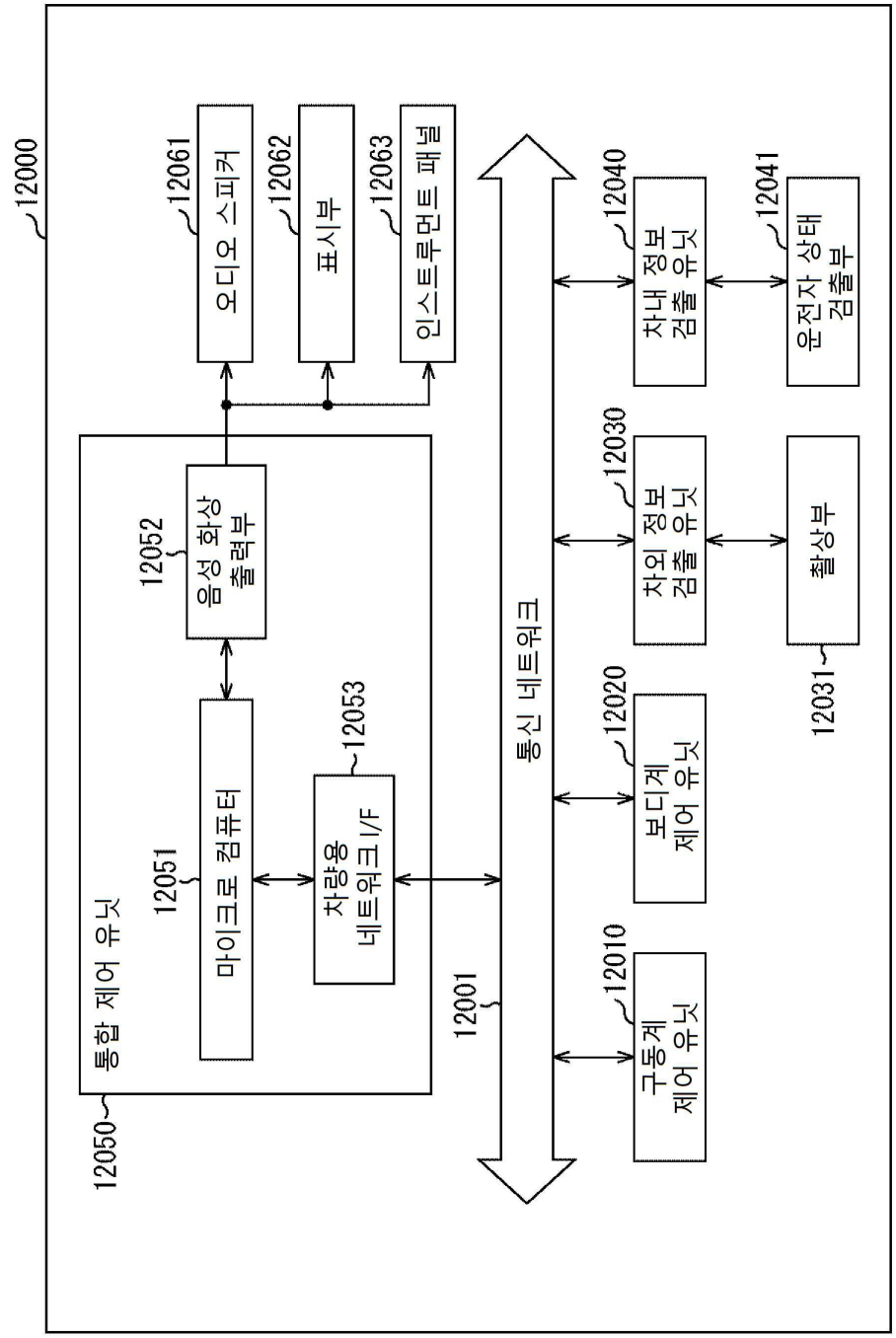
도면85


CR
RST
FDG
CR
Gate
MC
PGC
SEL
OPC
OFG
AMP
PGD
MC
Gate
Gate
MC
PGA
AMP
SEL
PGB
MC
Gate
CR
PD
FDG
RST
CR
10A

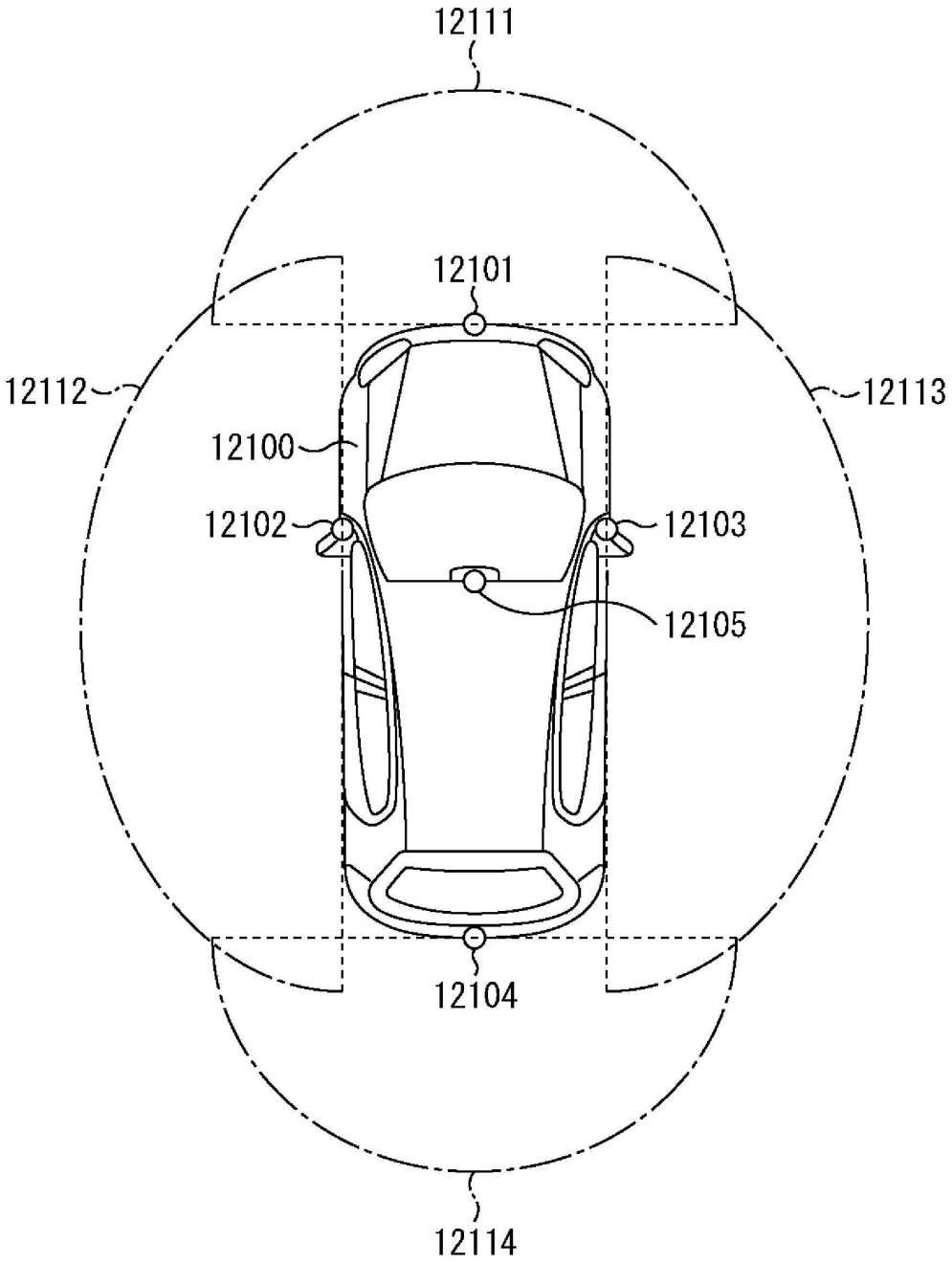
도면86


PX
CR
CR
CR
CR
PX
CR
OFG
PG
CR
CR
CR
PG
OFG
CR
CR
OFG
PG
CR
CR
CR
PG
OFG
CR
PX
CR
CR
PX
PXG

도면87


12000
12061
오디오 스피커
12062
표시부
12063
인스트루먼트 패널
12040
차내 정보 검출 유닛
12041
운전자 상태 검출부
12052
음성 화상 출력부
12030
차외 정보 검출 유닛
12051
마이크로 컴퓨터
12053
차량용 네트워크 I/F
통신 네트워크
12020
보디계 제어 유닛
12031
촬상부
12001
12010
구동계 제어 유닛
통합 제어 유닛
12050

도면88


12111
12101
12112
12113
12100
12102
12103
12105
12104
12114