



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0039016
(43) 공개일자 2014년03월31일

(51) 국제특허분류(Int. Cl.)
H01G 4/12 (2006.01) H01G 4/30 (2006.01)
H01G 2/06 (2006.01)
(21) 출원번호 10-2014-0023639
(22) 출원일자 2014년02월27일
심사청구일자 없음

(71) 출원인
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)
(72) 발명자
안영규
경기도 수원시 영통구 매영로 150 (매탄동)
김현태
경기도 수원시 영통구 매영로 150 (매탄동)
(뒷면에 계속)
(74) 대리인
특허법인씨엔에스

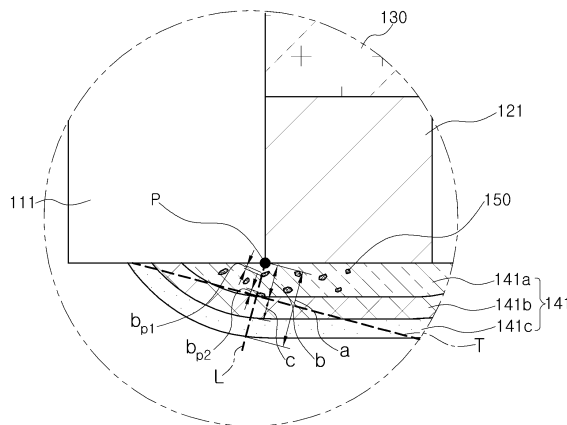
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 적층 세라믹 커패시터 및 그 실장 기판

(57) 요약

본 발명은, 복수의 유전체층이 적층된 세라믹 본체; 상기 세라믹 본체 내에서 상기 유전체층을 사이에 두고 번갈아 배치되며, 서로 오버랩되는 제1 및 제2 몸체부와 상기 제1 및 제2 몸체부에서 상기 세라믹 본체의 일 면을 통해 노출되도록 연장 형성된 제1 및 제2 리드부를 각각 포함하는 복수의 제1 및 제2 내부 전극; 및 상기 세라믹 본체의 일 면에 상기 제1 및 제2 리드부와 각각 접속되게 형성된 제1 및 제2 외부 전극; 을 포함하며, 상기 제1 및 제2 외부 전극은 도전층, 니켈(Ni) 도금층 및 주석(Sn) 도금층이 상기 세라믹 본체의 일 면으로부터 순서대로 적층되며, 상기 제1 및 제2 리드부 중 하나에서 상기 세라믹 본체의 일 면으로 노출되는 최외각 부분을 P로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층, 상기 니켈 도금층 및 상기 주석 도금층의 전체 두께를 a로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층의 두께를 b로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층에 존재하는 포어(pore)들의 두께의 합을 b_p 로 규정할 때, $0.264 \leq (b - b_p)/a \leq 0.638$ 를 만족하는 적층 세라믹 커패시터를 제공한다.

대표도 - 도5



(72) 발명자

이교광

경기도 수원시 영통구 매영로 150 (매탄동)

김진

경기도 수원시 영통구 매영로 150 (매탄동)

임휘근

경기도 수원시 영통구 매영로 150 (매탄동)

이병화

경기도 수원시 영통구 매영로 150 (매탄동)

특허청구의 범위

청구항 1

복수의 유전체층이 적층된 세라믹 본체;

상기 세라믹 본체 내에서 상기 유전체층을 사이에 두고 번갈아 배치되며, 서로 오버랩되는 제1 및 제2 몸체부와 상기 제1 및 제2 몸체부에서 상기 세라믹 본체의 일 면을 통해 노출되도록 연장 형성된 제1 및 제2 리드부를 각각 포함하는 복수의 제1 및 제2 내부 전극; 및

상기 세라믹 본체의 일 면에 상기 제1 및 제2 리드부와 각각 접촉되게 형성된 제1 및 제2 외부 전극; 을 포함하며,

상기 제1 및 제2 외부 전극은 도전층, 니켈(Ni) 도금층 및 주석(Sn) 도금층이 상기 세라믹 본체의 일 면으로부터 순서대로 적층되며,

상기 제1 및 제2 리드부 중 하나에서 상기 세라믹 본체의 일 면으로 노출되는 최외각 부분을 P로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층, 상기 니켈 도금층 및 상기 주석 도금층의 전체 두께를 a로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층의 두께를 b로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층에 존재하는 포어(pore)들의 두께의 합을 b_p 로 규정할 때, $0.264 \leq (b - b_p)/a \leq 0.638$ 를 만족하는 적층 세라믹 커패시터.

청구항 2

제1항에 있어서,

상기 P에서 상기 도전층의 법선 방향으로 상기 니켈 도금층의 두께를 c로 규정할 때, $0.930 \leq c/b \leq 5.391$ 을 만족하는 것을 특징으로 하는 적층 세라믹 커패시터.

청구항 3

복수의 유전체층이 폭 방향으로 적층되며, 서로 마주보는 두께 방향의 제1 및 제2 주면, 서로 마주보는 폭 방향의 제1 및 제2 측면 및 서로 마주보는 길이 방향의 제1 및 제2 단면을 갖는 세라믹 본체;

상기 세라믹 본체 내부에 상기 유전체층을 사이에 두고 번갈아 형성된 복수의 제1 및 제2 내부 전극을 포함하며, 상기 제1 내부 전극은 길이 방향으로 서로 이격되며 상기 세라믹 본체의 제1 주면으로 노출된 제1 및 제2 리드부를 가지며 상기 제1 및 제2 단면으로부터 이격되게 형성되며, 상기 제2 내부 전극은 상기 세라믹 본체의 제1 주면으로 노출되며 상기 제1 및 제2 리드부 사이에 이격되게 형성된 제3 리드부를 가지며 상기 제1 및 제2 단면으로부터 이격되게 형성된 액티브층;

상기 액티브층의 양 측면에 형성된 커버층;

상기 세라믹 본체의 제1 주면에 길이 방향으로 이격되게 형성되며, 상기 제1 및 제2 리드부와 각각 접촉된 제1 및 제2 외부 전극; 및

상기 세라믹 본체의 제1 주면에 상기 제1 및 제2 외부 전극으로부터 이격되게 형성되며, 상기 제3 리드부와 접촉된 제3 외부 전극; 을 포함하며,

상기 제1 내지 제3 외부 전극은 도전층, 니켈(Ni) 도금층 및 주석(Sn) 도금층이 상기 세라믹 본체의 제1 주면으로부터 순서대로 적층되며,

상기 제1 내지 제3 리드부 중 하나에서 상기 세라믹 본체의 제1 주면으로 노출되는 최외각 부분을 P로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층, 상기 니켈 도금층 및 상기 주석 도금층의 전체 두께를 a로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층의 두께를 b로, 상기 P에서 상기 도전층의 법선 방향으로 상

기 도전층에 존재하는 포어(pore)들의 두께의 합을 b_p 로 규정할 때, $0.264 \leq (b-b_p)/a \leq 0.638$ 를 만족하는 적층 세라믹 커패시터.

청구항 4

제3항에 있어서,

상기 P에서 상기 도전층의 법선 방향으로 상기 니켈 도금층의 두께를 c 로 규정할 때, $0.930 \leq c/b \leq 5.391$ 을 만족하는 것을 특징으로 하는 적층 세라믹 커패시터.

청구항 5

제3항에 있어서,

상기 제1 내부 전극은 길이 방향으로 서로 이격되며 상기 세라믹 본체의 제2 주면으로 노출된 제4 및 제5 리드부를 가지며,

상기 제2 내부 전극은 상기 세라믹 본체의 제2 주면으로 노출되며 상기 제4 및 제5 리드부 사이에 이격되게 형성된 제6 리드부를 가지며,

상기 세라믹 본체의 제2 주면에 길이 방향으로 이격되게 형성되며, 상기 제4 및 제5 리드부와 각각 접촉된 제4 및 제5 외부 전극; 및

상기 세라믹 본체의 제2 주면에 상기 제4 및 제5 외부 전극으로부터 이격되게 형성되며, 상기 제6 리드부와 접촉된 제6 외부 전극; 을 더 포함하는 것을 특징으로 하는 적층 세라믹 커패시터.

청구항 6

제5항에 있어서,

상기 제4 내지 제6 외부 전극은 도전층, 니켈(Ni) 도금층 및 주석(Sn) 도금층이 상기 세라믹 본체의 제2 주면으로부터 순서대로 적층되며,

상기 제4 내지 제6 리드부 중 하나에서 상기 세라믹 본체의 제2 주면으로 노출되는 최외각 부분을 P로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층, 상기 니켈 도금층 및 상기 주석 도금층의 전체 두께를 a 로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층의 두께를 b 로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층에 존재하는 포어(pore)들의 두께의 합을 b_p 로 규정할 때, $0.264 \leq (b-b_p)/a \leq 0.638$ 를 만족하는 적층 세라믹 커패시터.

청구항 7

제6항에 있어서,

상기 P에서 상기 도전층의 법선 방향으로 상기 니켈 도금층의 두께를 c 로 규정할 때, $0.930 \leq c/b \leq 5.391$ 을 만족하는 것을 특징으로 하는 적층 세라믹 커패시터.

청구항 8

복수의 유전체층이 폭 방향으로 적층되며, 서로 마주보는 두께 방향의 제1 및 제2 주면, 서로 마주보는 폭 방향의 제1 및 제2 측면 및 서로 마주보는 길이 방향의 제1 및 제2 단면을 갖는 세라믹 본체;

상기 세라믹 본체 내부에 상기 유전체층을 사이에 두고 번갈아 형성된 복수의 제1 및 제2 내부 전극을 포함하며, 상기 제1 내부 전극은 길이 방향으로 서로 이격되며 상기 세라믹 본체의 제1 주면으로 노출된 제1 및

제2 리드부를 가지며 상기 제1 및 제2 단면으로부터 이격되게 형성되며, 상기 제2 내부 전극은 상기 세라믹 본체의 제1 주면으로 노출되되 상기 제1 및 제2 리드부와 엇갈리게 형성된 제3 및 제4 리드부를 가지며 상기 제1 및 제2 단면으로부터 이격되게 형성된 액티브층;

상기 액티브층의 양 측면에 형성된 커버층;

상기 세라믹 본체의 제1 주면에 길이 방향으로 이격되게 형성되며, 상기 제1 및 제2 리드부와 각각 접촉된 제1 및 제2 외부 전극; 및

상기 세라믹 본체의 제1 주면에 길이 방향으로 이격되게 형성되며, 상기 제3 및 제4 리드부와 각각 접촉된 제3 및 제4 외부 전극; 을 포함하며,

상기 제1 내지 제4 외부 전극은 도전층, 니켈(Ni) 도금층 및 주석(Sn) 도금층이 상기 세라믹 본체의 제1 주면으로부터 순서대로 적층되며,

상기 제1 내지 제4 리드부 중 하나에서 상기 세라믹 본체의 제1 주면으로 노출되는 최외각 부분을 P로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층, 상기 니켈 도금층 및 상기 주석 도금층의 전체 두께를 a로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층의 두께를 b로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층에 존재하는 포어(pore)들의 두께의 합을 b_p 로 규정할 때, $0.264 \leq (b - b_p)/a \leq 0.638$ 를 만족하는 적층 세라믹 커패시터.

청구항 9

제8항에 있어서,

상기 P에서 상기 도전층의 법선 방향으로 상기 니켈 도금층의 두께를 c로 규정할 때, $0.930 \leq c/b \leq 5.391$ 을 만족하는 것을 특징으로 하는 적층 세라믹 커패시터.

청구항 10

제8항에 있어서,

상기 제1 내부 전극은 길이 방향으로 서로 이격되며 상기 세라믹 본체의 제2 주면으로 노출된 제5 및 제6 리드부를 가지며,

상기 제2 내부 전극은 상기 세라믹 본체의 제2 주면으로 노출되되 상기 제5 및 제6 리드부와 엇갈리게 형성된 제7 및 제8 리드부를 가지며,

상기 세라믹 본체의 제2 주면에 길이 방향으로 이격되게 형성되며, 상기 제5 및 제6 리드부와 각각 접촉된 제5 및 제6 외부 전극; 및

상기 세라믹 본체의 제2 주면에 길이 방향으로 이격되게 형성되며, 상기 제7 및 제8 리드부와 각각 접촉된 제7 및 제8 외부 전극; 을 더 포함하는 것을 특징으로 하는 적층 세라믹 커패시터.

청구항 11

제10항에 있어서,

상기 제5 내지 제8 외부 전극은 도전층, 니켈(Ni) 도금층 및 주석(Sn) 도금층이 상기 세라믹 본체의 제2 주면으로부터 순서대로 적층되며,

상기 제5 내지 제8 리드부 중 하나에서 상기 세라믹 본체의 제2 주면으로 노출되는 최외각 부분을 P로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층, 상기 니켈 도금층 및 상기 주석 도금층의 전체 두께를 a로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층의 두께를 b로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층에 존재하는 포어(pore)들의 두께의 합을 b_p 로 규정할 때, $0.264 \leq (b - b_p)/a \leq 0.638$ 를 만족하는 적층

세라믹 커패시터.

청구항 12

제11항에 있어서,

상기 P에서 상기 도전층의 법선 방향으로 상기 니켈 도금층의 두께를 c로 규정할 때, $0.930 \leq c/b \leq 5.391$ 을 만족하는 것을 특징으로 하는 적층 세라믹 커패시터.

청구항 13

상부에 복수의 전극 패드를 갖는 기관; 및

상기 기관의 전극 패드 위에 실장된 적층 세라믹 커패시터; 를 포함하며,

상기 적층 세라믹 커패시터는, 복수의 유전체층이 적층된 세라믹 본체; 상기 세라믹 본체 내에서 상기 유전체층을 사이에 두고 번갈아 배치되며, 서로 오버랩되는 제1 및 제2 몸체부와 상기 제1 및 제2 몸체부에서 상기 세라믹 본체의 일 면을 통해 노출되도록 연장 형성된 제1 및 제2 리드부를 각각 포함하는 복수의 제1 및 제2 내부 전극; 및 상기 세라믹 본체의 일 면에 상기 제1 및 제2 리드부와 각각 접속되게 형성된 제1 및 제2 외부 전극; 을 포함하며, 상기 제1 및 제2 외부 전극은 도전층, 니켈(Ni) 도금층 및 주석(Sn) 도금층이 상기 세라믹 본체의 일 면으로부터 순서대로 적층되며, 상기 제1 및 제2 리드부 중 하나에서 상기 세라믹 본체의 일 면으로 노출되는 최외각 부분을 P로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층, 상기 니켈 도금층 및 상기 주석 도금층의 전체 두께를 a로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층의 두께를 b로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층에 존재하는 포어(pore)들의 두께의 합을 b_p 로 규정할 때, $0.264 \leq (b - b_p)/a \leq 0.638$ 를 만족하는 적층 세라믹 커패시터의 실장 기관.

청구항 14

제13항에 있어서,

상기 P에서 상기 도전층의 법선 방향으로 상기 니켈 도금층의 두께를 c로 규정할 때, $0.930 \leq c/b \leq 5.391$ 을 만족하는 것을 특징으로 하는 적층 세라믹 커패시터의 실장 기관.

청구항 15

상부에 제1 내지 제3 전극 패드를 갖는 기관; 및

상기 기관의 상기 제1 내지 제3 전극 패드 위에 실장된 적층 세라믹 커패시터; 를 포함하며,

상기 적층 세라믹 커패시터는, 복수의 유전체층이 폭 방향으로 적층되며, 서로 마주보는 두께 방향의 제1 및 제2 주면, 서로 마주보는 폭 방향의 제1 및 제2 측면 및 서로 마주보는 길이 방향의 제1 및 제2 단면을 갖는 세라믹 본체; 상기 세라믹 본체 내부에 상기 유전체층을 사이에 두고 번갈아 형성된 복수의 제1 및 제2 내부 전극을 포함하며, 상기 제1 내부 전극은 길이 방향으로 서로 이격되며 상기 세라믹 본체의 제1 주면으로 노출된 제1 및 제2 리드부를 가지며 상기 제1 및 제2 단면으로부터 이격되게 형성되며, 상기 제2 내부 전극은 상기 세라믹 본체의 제1 주면으로 노출되며 상기 제1 및 제2 리드부 사이에 이격되게 형성된 제3 리드부를 가지며 상기 제1 및 제2 단면으로부터 이격되게 형성된 액티브층; 상기 액티브층의 양 측면에 형성된 커버층; 상기 세라믹 본체의 제1 주면에 길이 방향으로 이격되게 형성되며, 상기 제1 및 제2 리드부와 각각 접속된 제1 및 제2 외부 전극; 및 상기 세라믹 본체의 제1 주면에 상기 제1 및 제2 외부 전극으로부터 이격되게 형성되며, 상기 제3 리드부와 접속된 제3 외부 전극; 을 포함하며, 상기 제1 내지 제3 외부 전극은 도전층, 니켈(Ni) 도금층 및 주석(Sn) 도금층이 상기 세라믹 본체의 제1 주면으로부터 순서대로 적층되며, 상기 제1 내지 제3 리드부 중 하나에서 상기 세라믹 본체의 제1 주면으로 노출되는 최외각 부분을 P로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층, 상기 니켈 도금층 및 상기 주석 도금층의 전체 두께를 a로, 상기 P에서 상기 도전층의 법선 방향으로 상기

도전층의 두께를 b 로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층에 존재하는 포어(pore)들의 두께의 합을 b_p 로 규정할 때, $0.264 \leq (b-b_p)/a \leq 0.638$ 를 만족하는 적층 세라믹 커패시터의 실장 기관.

청구항 16

제15항에 있어서,

상기 P에서 상기 도전층의 법선 방향으로 상기 니켈 도금층의 두께를 c 로 규정할 때, $0.930 \leq c/b \leq 5.391$ 을 만족하는 것을 특징으로 하는 적층 세라믹 커패시터의 실장 기관.

청구항 17

상부에 제1 내지 제4 전극 패드를 갖는 기관; 및

상기 기관의 상기 제1 내지 제4 전극 패드 위에 실장된 적층 세라믹 커패시터; 를 포함하며,

상기 적층 세라믹 커패시터는, 복수의 유전체층이 폭 방향으로 적층되며, 서로 마주보는 두께 방향의 제1 및 제2 주면, 서로 마주보는 폭 방향의 제1 및 제2 측면 및 서로 마주보는 길이 방향의 제1 및 제2 단면을 갖는 세라믹 본체; 상기 세라믹 본체 내부에 상기 유전체층을 사이에 두고 번갈아 형성된 복수의 제1 및 제2 내부 전극을 포함하며, 상기 제1 내부 전극은 길이 방향으로 서로 이격되며 상기 세라믹 본체의 제1 주면으로 노출된 제1 및 제2 리드부를 가지며 상기 제1 및 제2 단면으로부터 이격되게 형성되며, 상기 제2 내부 전극은 상기 세라믹 본체의 제1 주면으로 노출되며 상기 제1 및 제2 리드부와 엇갈리게 형성된 제3 및 제4 리드부를 가지며 상기 제1 및 제2 단면으로부터 이격되게 형성된 액티브층; 상기 액티브층의 양 측면에 형성된 커버층; 상기 세라믹 본체의 제1 주면에 길이 방향으로 이격되게 형성되며, 상기 제1 및 제2 리드부와 각각 접촉된 제1 및 제2 외부 전극; 및 상기 세라믹 본체의 제1 주면에 길이 방향으로 이격되게 형성되며, 상기 제3 및 제4 리드부와 각각 접촉된 제3 및 제4 외부 전극; 을 포함하며, 상기 제1 내지 제4 외부 전극은 도전층, 니켈(Ni) 도금층 및 주석(Sn) 도금층이 상기 세라믹 본체의 제1 주면으로부터 순서대로 적층되며, 상기 제1 내지 제4 리드부 중 하나에서 상기 세라믹 본체의 제1 주면으로 노출되는 최외각 부분을 P로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층, 상기 니켈 도금층 및 상기 주석 도금층의 전체 두께를 a 로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층의 두께를 b 로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층에 존재하는 포어(pore)들의 두께의 합을 b_p 로 규정할 때, $0.264 \leq (b-b_p)/a \leq 0.638$ 를 만족하는 적층 세라믹 커패시터의 실장 기관.

청구항 18

제17항에 있어서,

상기 P에서 상기 도전층의 법선 방향으로 상기 니켈 도금층의 두께를 c 로 규정할 때, $0.930 \leq c/b \leq 5.391$ 을 만족하는 것을 특징으로 하는 적층 세라믹 커패시터의 실장 기관.

명세서

기술분야

[0001] 본 발명은 적층 세라믹 커패시터 및 그 실장 기관에 관한 것이다.

배경기술

[0002] 세라믹 재료를 사용하는 전자부품으로 커패시터, 인덕터, 압전 소자, 바리스터 또는 서미스터 등이 있다.

[0003] 이러한 세라믹 전자부품 중 적층 세라믹 커패시터(MLCC: Multi-Layered Ceramic Capacitor)는 소형이면서 고용량이 보장되고 실장이 용이한 장점을 갖는다.

- [0004] 이러한 적층 세라믹 커패시터는 컴퓨터, 개인 휴대용 단말기(PDA: Personal Digital Assistants) 또는 휴대폰 등 여러 전자 제품의 기관에 장착되어 전기를 충전 또는 방전시키는 중요한 역할을 하는 칩 형태의 콘덴서이며, 사용되는 용도 및 용량에 따라 다양한 크기와 적층 형태를 가진다.
- [0005] 특히, 최근에는 전자 제품이 소형화됨에 따라 이러한 전자 제품에 사용되는 적층 세라믹 커패시터도 초소형화 및 초고용량화가 요구되고 있다.
- [0006] 이에 제품의 초소형화를 위해 유전체층 및 내부 전극의 두께를 얇게 하고, 초고용량화를 위해서 많은 수의 유전체층을 적층한 적층 세라믹 커패시터가 제조되고 있다.
- [0007] 이때, 내부 전극이 노출되는 면에서 외부 전극의 얇고 치밀도가 낮은 부분을 통해 도금액이 침투하여 내습 및 고온부하 등의 신뢰성 저하의 문제점이 발생할 수 있다.

선행기술문헌

특허문헌

- [0008] (특허문헌 0001) 국내공개특허 제2009-0117686호

발명의 내용

해결하려는 과제

- [0009] 당 기술 분야에서는, 적층 세라믹 커패시터의 ESL 특성을 낮게 유지하면서 신뢰성 저하를 방지할 수 있는 새로운 방안이 요구되어 왔다.

과제의 해결 수단

- [0010] 본 발명의 일 측면은, 복수의 유전체층이 폭 방향으로 적층되며, 서로 마주보는 두께 방향의 제1 및 제2 주면, 서로 마주보는 폭 방향의 제1 및 제2 측면 및 서로 마주보는 길이 방향의 제1 및 제2 단면을 갖는 세라믹 본체; 상기 세라믹 본체 내부에 상기 유전체층을 사이에 두고 번갈아 형성된 복수의 제1 및 제2 내부 전극을 포함하며, 상기 제1 내부 전극은 길이 방향으로 서로 이격되며 상기 세라믹 본체의 제1 주면으로 노출된 제1 및 제2 리드부를 가지며 상기 제1 및 제2 단면으로부터 이격되게 형성되며, 상기 제2 내부 전극은 상기 세라믹 본체의 제1 주면으로 노출되되 상기 제1 및 제2 리드부 사이에 이격되게 형성된 제3 리드부를 가지며 상기 제1 및 제2 단면으로부터 이격되게 형성된 액티브층; 상기 액티브층의 양 측면에 형성된 커버층; 상기 세라믹 본체의 제1 주면에 길이 방향으로 이격되게 형성되며, 상기 제1 및 제2 리드부와 각각 접속된 제1 및 제2 외부 전극; 및 상기 세라믹 본체의 제1 주면에 상기 제1 및 제2 외부 전극으로부터 이격되게 형성되며, 상기 제3 리드부와 접속된 제3 외부 전극; 을 포함하며, 상기 제1 내지 제3 외부 전극은 도전층, 니켈(Ni) 도금층 및 주석(Sn) 도금층이 상기 세라믹 본체의 제1 주면으로부터 순서대로 적층되며, 상기 제1 내지 제3 리드부 중 하나에서 상기 세라믹 본체의 제1 주면으로 노출되는 최외각 부분을 P로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층, 상기 니켈 도금층 및 상기 주석 도금층의 전체 두께를 a로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층의 두께를 b로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층에 존재하는 포어(pore)들의 두께의 합을 b_p 로 규정할 때, $0.264 \leq (b - b_p) / a \leq 0.638$ 를 만족하는 적층 세라믹 커패시터를 제공한다.
- [0011] 본 발명의 일 실시 예에서, 상기 제1 내부 전극은 길이 방향으로 서로 이격되며 상기 세라믹 본체의 제2 주면으로 노출된 제4 및 제5 리드부를 가지며, 상기 제2 내부 전극은 상기 세라믹 본체의 제2 주면으로 노출되되 상기 제4 및 제5 리드부 사이에 이격되게 형성된 제6 리드부를 가지며, 상기 세라믹 본체의 제2 주면에 길이 방향으로 이격되게 형성되며, 상기 제4 및 제5 리드부와 각각 접속된 제4 및 제5 외부 전극; 및 상기 세라믹 본체의 제2 주면에 상기 제4 및 제5 외부 전극으로부터 이격되게 형성되며, 상기 제6 리드부와 접속된 제6 외부 전극; 을 더 포함할 수 있다.
- [0012] 본 발명의 일 실시 예에서, 상기 제4 내지 제6 외부 전극은 도전층, 니켈(Ni) 도금층 및 주석(Sn) 도금층이 상

기 세라믹 본체의 제2 주면으로부터 순서대로 적층되며, 상기 제4 내지 제6 리드부 중 하나에서 상기 세라믹 본체의 제2 주면으로 노출되는 최외각 부분을 P로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층, 상기 니켈 도금층 및 상기 주석 도금층의 전체 두께를 a로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층의 두께를 b로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층에 존재하는 포어(pore)들의 두께의 합을 b_p 로 규정할 때, $0.264 \leq (b-b_p)/a \leq 0.638$ 를 만족할 수 있다.

[0013] 본 발명의 일 실시 예에서, 상기 P에서 상기 도전층의 법선 방향으로 상기 니켈 도금층의 두께를 c로 규정할 때, $0.930 \leq c/b \leq 5.391$ 을 만족할 수 있다.

[0014] 본 발명의 다른 측면은, 복수의 유전체층이 폭 방향으로 적층되며, 서로 마주보는 두께 방향의 제1 및 제2 주면, 서로 마주보는 폭 방향의 제1 및 제2 측면 및 서로 마주보는 길이 방향의 제1 및 제2 단면을 갖는 세라믹 본체; 상기 세라믹 본체 내부에 상기 유전체층을 사이에 두고 번갈아 형성된 복수의 제1 및 제2 내부 전극을 포함하며, 상기 제1 내부 전극은 길이 방향으로 서로 이격되며 상기 세라믹 본체의 제1 주면으로 노출된 제1 및 제2 리드부를 가지며 상기 제1 및 제2 단면으로부터 이격되게 형성되며, 상기 제2 내부 전극은 상기 세라믹 본체의 제1 주면으로 노출되며 상기 제1 및 제2 리드부와 엇갈리게 형성된 제3 및 제4 리드부를 가지며 상기 제1 및 제2 단면으로부터 이격되게 형성된 액티브층; 상기 액티브층의 양 측면에 형성된 커버층; 상기 세라믹 본체의 제1 주면에 길이 방향으로 이격되게 형성되며, 상기 제1 및 제2 리드부와 각각 접촉된 제1 및 제2 외부 전극; 및 상기 세라믹 본체의 제1 주면에 길이 방향으로 이격되게 형성되며, 상기 제3 및 제4 리드부와 각각 접촉된 제3 및 제4 외부 전극; 을 포함하며, 상기 제1 내지 제4 외부 전극은 도전층, 니켈(Ni) 도금층 및 주석(Sn) 도금층이 상기 세라믹 본체의 제1 주면으로부터 순서대로 적층되며, 상기 제1 내지 제4 리드부 중 하나에서 상기 세라믹 본체의 제1 주면으로 노출되는 최외각 부분을 P로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층, 상기 니켈 도금층 및 상기 주석 도금층의 전체 두께를 a로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층의 두께를 b로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층에 존재하는 포어(pore)들의 두께의 합을 b_p 로 규정할 때, $0.264 \leq (b-b_p)/a \leq 0.638$ 를 만족하는 적층 세라믹 커패시터를 제공한다.

[0015] 본 발명의 일 실시 예에서, 상기 제1 내부 전극은 길이 방향으로 서로 이격되며 상기 세라믹 본체의 제2 주면으로 노출된 제5 및 제6 리드부를 가지며, 상기 제2 내부 전극은 상기 세라믹 본체의 제2 주면으로 노출되며 상기 제5 및 제6 리드부와 엇갈리게 형성된 제7 및 제8 리드부를 가지며, 상기 세라믹 본체의 제2 주면에 길이 방향으로 이격되게 형성되며, 상기 제5 및 제6 리드부와 각각 접촉된 제5 및 제6 외부 전극; 및 상기 세라믹 본체의 제2 주면에 길이 방향으로 이격되게 형성되며, 상기 제7 및 제8 리드부와 각각 접촉된 제7 및 제8 외부 전극; 을 더 포함할 수 있다.

[0016] 본 발명의 일 실시 예에서, 상기 제5 내지 제8 외부 전극은 도전층, 니켈(Ni) 도금층 및 주석(Sn) 도금층이 상기 세라믹 본체의 제2 주면으로부터 순서대로 적층되며, 상기 제5 내지 제8 리드부 중 하나에서 상기 세라믹 본체의 제2 주면으로 노출되는 최외각 부분을 P로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층, 상기 니켈 도금층 및 상기 주석 도금층의 전체 두께를 a로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층의 두께를 b로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층에 존재하는 포어(pore)들의 두께의 합을 b_p 로 규정할 때, $0.264 \leq (b-b_p)/a \leq 0.638$ 를 만족할 수 있다.

[0017] 본 발명의 일 실시 예에서, 상기 P에서 상기 도전층의 법선 방향으로 상기 니켈 도금층의 두께를 c로 규정할 때, $0.930 \leq c/b \leq 5.391$ 을 만족할 수 있다.

[0018] 본 발명의 또 다른 측면은, 상부에 복수의 전극 패드를 갖는 기판; 및 상기 기판의 상기 전극 패드 위에 실장된 상기 적층 세라믹 커패시터; 를 포함하는 적층 세라믹 커패시터의 실장 기판을 제공한다.

발명의 효과

[0019] 본 발명의 일 실시 형태에 따르면, 내부 전극의 리드부가 실장 면에 위치하도록 하여 전류 루프(current loop)의 면적을 감소시켜서 ESL을 저감시키고, 외부 전극을 통한 도금액 침투를 방지하여 신뢰성 저하를 방지할 수

있는 효과가 있다.

도면의 간단한 설명

- [0020] 도 1은 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터를 개략적으로 나타낸 사시도이다.
- 도 2는 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터의 세라믹 본체와 제2 주면을 통해 노출된 리드부를 나타낸 사시도이다.
- 도 3은 도 2의 분해사시도이다.
- 도 4는 도 1의 측단면도이다.
- 도 5는 도 4의 A 부분을 확대하여 나타낸 측단면도이다.
- 도 6은 본 발명의 다른 실시 형태에 따른 적층 세라믹 커패시터를 개략적으로 나타낸 사시도이다.
- 도 7은 본 발명의 다른 실시 형태에 따른 적층 세라믹 커패시터의 내부 전극 구조를 나타낸 분해사시도이다.
- 도 8은 도 6의 측단면도이다.
- 도 9는 도 1의 적층 세라믹 커패시터가 기판에 실장된 모습을 도시한 사시도이다.
- 도 10은 도 9의 측단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 본 발명의 실시 예에 따른 적층 세라믹 커패시터는, 복수의 유전체층이 적층된 세라믹 본체; 상기 세라믹 본체 내에서 상기 유전체층을 사이에 두고 번갈아 배치되며, 서로 오버랩되는 제1 및 제2 몸체부와 상기 제1 및 제2 몸체부에서 상기 세라믹 본체의 일 면을 통해 노출되도록 연장 형성된 제1 및 제2 리드부를 각각 포함하는 복수의 제1 및 제2 내부 전극; 및 상기 세라믹 본체의 일 면에 상기 제1 및 제2 리드부와 각각 접속되게 형성된 제1 및 제2 외부 전극; 을 포함하며, 상기 제1 및 제2 외부 전극은 도전층, 니켈(Ni) 도금층 및 주석(Sn) 도금층이 상기 세라믹 본체의 일 면으로부터 순서대로 적층되며, 상기 제1 및 제2 리드부 중 하나에서 상기 세라믹 본체의 일 면으로 노출되는 최외각 부분을 P로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층, 상기 니켈 도금층 및 상기 주석 도금층의 전체 두께를 a로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층의 두께를 b로, 상기 P에서 상기 도전층의 법선 방향으로 상기 도전층에 존재하는 포어(pore)들의 두께의 합을 b_p 로 규정할 때, $0.264 \leq (b - b_p) / a \leq 0.638$ 를 만족할 수 있다.
- [0022] 또한, 상기 P에서 상기 도전층의 법선 방향으로 상기 니켈 도금층의 두께를 c로 규정할 때, $0.930 \leq c / b \leq 5.391$ 을 만족할 수 있다.
- [0023] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 형태들을 설명한다.
- [0024] 그러나, 본 발명의 실시 형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시 형태로 한정되는 것은 아니다.
- [0025] 또한, 본 발명의 실시 형태는 당해 기술 분야에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다.
- [0026] 도면에서 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있다.
- [0027] 또한, 각 실시 예의 도면에 나타난 동일한 사상의 범위 내의 기능이 동일한 구성 요소는 동일한 참조 부호를 사용하여 설명한다.
- [0028] 본 발명의 실시 예들을 명확하게 설명하기 위해 육면체의 방향을 정의하면, 도면 상에 표시된 L, W 및 T는 각각 길이 방향, 폭 방향 및 두께 방향을 나타낸다.

- [0029] **적층 세라믹 커패시터**
- [0030] 도 1은 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터를 개략적으로 나타낸 사시도이고, 도 2는 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터의 세라믹 본체와 제2 주면을 통해 노출된 리드부를 나타낸 사시도이고, 도 3은 도 2의 분해사시도이고, 도 4는 도 1의 측단면도이다.
- [0031] 도 1 내지 도 4를 참조하면, 본 실시 형태에 따른 적층 세라믹 커패시터(100)는 복수의 유전체층(111)이 폭 방향으로 적층된 세라믹 본체(110)와, 복수의 제1 및 제2 내부 전극(120, 130)을 포함하는 액티브층과, 상기 액티브층의 양 측면에 형성된 커버층(112, 113)과, 제1 내지 제6 외부 전극(141-146)을 포함한다.
- [0032] 본 실시 형태의 적층 세라믹 커패시터(100)는 총 3개의 외부 단자를 갖는 일명 3단자 커패시터로 볼 수 있다.
- [0033] 세라믹 본체(110)는 복수의 유전체층(111)을 폭 방향으로 적층한 다음 소성하여 형성되며, 형상에 특별히 제한은 없지만 도시된 바와 같이 육면체 형상일 수 있다.
- [0034] 세라믹 본체(110)의 각 면을 정의하면, 서로 마주보는 두께 방향의 제1 주면(S1) 및 제2 주면(S2)과, 제1 주면(S1) 및 제2 주면(S2)을 연결하며 서로 마주보는 폭 방향의 제1 측면(S5) 및 제2 측면(S6)과, 서로 마주보는 길이 방향의 제1 단면(S3) 및 제2 단면(S4)으로 정의할 수 있다.
- [0035] 이하, 본 실시 형태에서, 적층 세라믹 커패시터(100)의 실장 면은 세라믹 본체(110)의 제1 주면(S1)으로 함께 정의하여 설명하기로 한다.
- [0036] 다만, 이러한 세라믹 본체(110)의 형상, 치수 및 유전체층(111)의 적층 수가 본 실시 형태에 도시된 것으로 한정되는 것은 아니다.
- [0037] 세라믹 본체(110)를 형성하는 복수의 유전체층(111)은 소결된 상태로서, 인접하는 유전체층(111) 사이의 경계는 주사전자현미경(SEM: Scanning Electron Microscope)를 이용하지 않고 확인하기 곤란할 정도로 일체화될 수 있다.
- [0038] 이러한 세라믹 본체(110)는 커패시터의 용량 형성에 기여하는 부분으로서 복수의 내부 전극을 갖는 액티브층과, 마진부로서 상기 액티브층의 제1 및 제2 측면에 형성된 커버층(112, 113)으로 구성될 수 있다.
- [0039] 상기 액티브층은 유전체층(111)을 사이에 두고 복수의 제1 및 제2 내부 전극(120, 130)을 폭 방향으로 번갈아 적층하여 형성될 수 있다.
- [0040] 이때, 유전체층(111)의 두께는 적층 세라믹 커패시터(100)의 용량 설계에 맞추어 임의로 변경할 수 있으며, 바람직하게 1 층의 두께는 소성 후 0.4 내지 3.0 μm 이 되도록 구성할 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0041] 또한, 유전체층(111)은 고유전률을 갖는 세라믹 분말, 예를 들어 티탄산바륨(BaTiO_3)계 또는 티탄산스트론튬(SrTiO_3)계 분말을 포함할 수 있으며, 충분한 정전 용량을 얻을 수 있는 한 본 발명이 이에 한정되는 것은 아니다.
- [0042] 또한, 유전체층(111)에는 상기 세라믹 분말과 함께, 필요시 세라믹 첨가제, 유기용제, 가소제, 결합제 및 분산제 등이 더 첨가될 수 있다.
- [0043] 이때, 유전체층(111)의 형성에 사용되는 세라믹 분말의 평균 입경은 특별히 제한되지 않으며, 본 발명의 목적 달성을 위해 조절될 수 있으며, 예를 들어 400 nm 이하로 조절될 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0044] 커버층(112, 113)은 내부 전극을 포함하지 않는 것을 제외하고는 유전체층(111)과 동일한 재질 및 구성을 가질

수 있다.

- [0045] 또한, 커버층(112, 113)은 단일 유전체층 또는 2 개 이상의 유전체층을 상기 액티브층의 제1 및 제2 측면(S5, S6)에 각각 폭 방향으로 더 적층하여 형성할 수 있으며, 기본적으로 물리적 또는 화학적 스트레스에 의한 제1 및 제2 내부 전극(120, 130)의 손상을 방지하는 역할을 수행할 수 있다.
- [0046] 제1 및 제2 내부 전극(120, 130)은 서로 다른 극성을 갖는 전극으로서, 세라믹 본체(110)의 내부에 형성되며, 유전체층(111)을 사이에 두고 서로 대향하도록 배치된다.
- [0047] 이때, 제1 및 제2 내부 전극(120, 130)은 중간에 배치된 유전체층(111)에 의해 서로 전기적으로 절연될 수 있다.
- [0048] 이러한 제1 및 제2 내부 전극(120, 130)은 이웃하는 내부 전극과 중첩되어 용량 형성에 기여하는 몸체부 및 상기 몸체부의 일부가 연장되어 세라믹 본체(110)의 외부로 노출되는 리드부를 포함한다.
- [0049] 상기 리드부는 특별히 제한되는 것은 아니나, 예를 들어 상기 용량부의 길이에 비하여 더 짧은 길이를 가질 수 있다.
- [0050] 또한, 제1 및 제2 내부 전극(120, 130)의 두께는 용도에 따라 결정될 수 있는데, 예를 들어 세라믹 본체(110)의 크기를 고려하여 0.2 내지 1.0 μm 의 범위 내에 있도록 결정될 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0051] 또한, 제1 및 제2 내부 전극(120, 130)을 형성하는 재료는 특별히 제한되지 않으며, 예를 들어 팔라듐(Pd), 팔라듐-은(Pd-Ag)합금 등의 귀금속 재료 및 니켈(Ni) 및 구리(Cu) 중 하나 이상의 물질로 이루어진 도전성 페이스트 등을 사용하여 형성될 수 있다.
- [0052] 또한, 상기 도전성 페이스트의 인쇄 방법은 스크린 인쇄법 또는 그라비아 인쇄법 등을 사용할 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0053] 본 실시 형태에서, 제1 내부 전극(120)은 길이 방향으로 서로 이격되며 세라믹 본체(110)의 제1 주면(S1)으로 노출된 제1 및 제2 리드부(121, 122)를 가지며, 제1 및 제2 단면(S3, S4)으로부터 일정거리 이격되게 형성된다.
- [0054] 그리고, 제2 내부 전극(130)은 세라믹 본체(110)의 제1 주면(S1)으로 노출되며 제1 및 제2 리드부(121, 122) 사이에 각각 일정거리 이격되어 형성된 제3 리드부(131)를 가지며, 제1 및 제2 단면(S3, S4)으로부터 일정거리 이격되어 형성된다.
- [0055] 한편, 제1 내부 전극(120)은 길이 방향으로 서로 이격되며 세라믹 본체(110)의 제2 주면(S2)으로 노출된 제4 및 제5 리드부(123, 124)를 가질 수 있다.
- [0056] 제2 내부 전극(130)은 세라믹 본체(110)의 제2 주면(S2)으로 노출되며 제4 및 제5 리드부(123, 124) 사이에 각각 일정거리 이격되게 형성된 제6 리드부(132)를 가질 수 있다.
- [0057] 이 경우, 적층 세라믹 커패시터(100)가 상하 대칭 구조로 이루어져 기관에 실장시 실장 면을 반대로 하여 발생하는 불량을 방지할 수 있다.
- [0058] 일반적인 적층 세라믹 전자 부품은 세라믹 본체의 길이 방향으로 서로 마주 보는 양 단면에 외부 전극이 배치되어 있을 수 있다.
- [0059] 이 경우 외부 전극에 교류 인가시 전류의 경로가 길기 때문에 전류 루프가 더 크게 형성될 수 있으며, 유도 자기장의 크기가 커져 인덕턴스가 증가할 수 있다.
- [0060] 상기의 문제를 해결하기 위하여, 본 발명의 일 실시 형태에 따르면 전류의 경로 길이를 감소시키기 위해 세라믹 본체(110)의 두께 방향으로 서로 마주 보는 제1 또는 제2 주면(S1, S2)에 제1 내지 제6 외부 전극(141-146)이 배치된다. 따라서, 전류 루프의 면적을 감소시켜 ESL을 줄일 수 있다.

- [0061] 제1 및 제2 외부 전극(141, 142)은 세라믹 본체(110)의 제1 주면(S1)에 길이 방향으로 서로 이격되게 형성되고 제1 및 제2 리드부(121, 122)와 각각 접속되어 전기적으로 연결된다.
- [0062] 제3 외부 전극(143)은 세라믹 본체(110)의 제1 주면(S1)에 제1 및 제2 외부 전극(141, 142)으로부터 각각 일정 거리 이격되게 형성되고 제3 리드부(131)와 접속되어 전기적으로 연결된다.
- [0063] 한편, 적층 세라믹 커패시터(100)는 상하 대칭구조로 형성될 수 있다.
- [0064] 이 경우, 세라믹 본체(110)의 제2 주면(S2)에는 길이 방향으로 서로 이격되며 제4 및 제5 리드부(123, 124)와 각각 접속되어 전기적으로 연결된 제4 및 제5 외부 전극(144, 145)이 형성될 수 있다.
- [0065] 또한, 세라믹 본체(110)의 제2 주면(S2)에는 제4 및 제5 외부 전극(144, 145)으로부터 각각 일정거리 이격되며 제6 리드부(132)와 접속되어 전기적으로 연결된 제6 외부 전극(146)이 형성될 수 있다.
- [0066] 위와 같은 구조를 갖는 적층 세라믹 커패시터(100)는, 제1 내지 제6 외부 전극(141-146) 간의 길이가 작아서 전류 경로가 작고 전류 루프가 감소하게 되어 적층 세라믹 커패시터(100)의 ESL을 저감시킬 뿐만 아니라 ESL 산포를 개선하여 칩의 임피던스 특성을 향상시킬 수 있는 효과가 있다.
- [0067] 또한, 제1 내지 제6 외부 전극(141-146)은 정전 용량 형성을 위하여 제1 및 제2 내부 전극(120, 130)의 각각 대응되는 리드부와 전기적으로 연결되며, 필요시 세라믹 본체(110)의 제1 및 제2 측면(S5, S6)의 일부까지 연장하여 측면 밴드를 형성할 수 있다.
- [0068] 본 실시 형태에서, 제1 내지 제6 외부 전극(141-146)은 3중 층 구조로 형성되며, 각각의 대응되는 내부 전극의 리드부와 접속되어 전기적으로 연결되는 제1 내지 제6 도전층(141a-146a)과, 제1 내지 제6 도전층(141a-146a)을 덮도록 형성된 니켈(Ni) 도금층(141b-146b)과, 제1 내지 제6 니켈 도금층(141b-146b)을 덮도록 형성된 주석(Sn) 도금층(141c-146c)을 포함한다.
- [0069] 제1 내지 제6 도전층(141a-146a)은 제1 및 제2 내부 전극(120, 130)과 동일한 재질의 도전성 물질로 형성될 수 있으나 이에 제한되지는 않으며, 예를 들어 구리(Cu), 은(Ag) 및 니켈(Ni) 등의 금속 분말로 형성될 수 있으며, 이러한 금속 분말에 글라스 프릿을 첨가하여 마련된 도전성 페이스트를 도포한 후 소성함으로써 형성될 수 있다.
- [0070] 도 5는 도 4의 A 부분을 확대하여 나타낸 측단면도이다.
- [0071] 본 실시 형태에서는 제1 리드부(121)와 제1 리드부(121)에 접속된 제1 외부 전극(141)을 일 예로 들어 설명하고 있으나, 본 발명은 이에 한정되는 것은 아니다. 이하 설명하는 수치 한정 사항은 제2 내지 제6 리드부와 이 각각의 리드부에 접속되어 전기적으로 연결되는 제2 내지 제6 외부 전극에도 동일하게 적용될 수 있으며, 중복을 피하기 위하여 이에 대한 구체적인 설명을 생략한다.
- [0072] 도 5를 참조하면, 제1 리드부(121)에서 세라믹 본체(110)의 제1 주면(S1)으로 노출되는 최외각 부분을 P로, 상기 P에서 제1 도전층(141a)의 법선 방향으로 제1 도전층(141a), 니켈 도금층(141b) 및 주석 도금층(141c)의 전체 두께를 a로, 상기 P에서 제1 도전층(141a)의 법선 방향으로 제1 도전층(141a)의 두께를 b로, 상기 P에서 제1 도전층(141a)의 법선 방향으로 제1 니켈 도금층(141b)의 두께를 c로 규정한다.
- [0073] 여기서, 법선(L)은 상기 P에서 전도층과 니켈 도금층의 경계 면을 이루는 곡선 위의 한 점에서의 접평면(T)에 수직인 직선을 의미한다.

- [0074] 그리고, 상기 P에서 제1 도전층(141a)의 법선 방향으로 제1 도전층(141a)에 존재하는 포어(pore)들(b_{p1} , b_{p2})의 두께의 합을 b_p 로 규정한다. 본 실시 형태에서는 해당하는 포어가 2개인 것으로 도시되어 설명하고 있으나, 본 발명은 이에 한정되는 것은 아니며, 상기 P에서 제1 도전층(141a)의 법선 방향으로 제1 도전층(141a)에 존재하는 포어의 개수는 1개이거나 또는 3개 이상일 수 있다.
- [0075] 본 실시 형태에서는 전체 외부 전극 두께(a) 중 내부 전극과 직접 연결되는 도전층(b)의 포어들(b_p)을 제외한 실두께(금속부분만의 두께)의 비인 $(b-b_p)/a$ 가, $0.264 \leq (b-b_p)/a \leq 0.638$ 의 범위를 만족한다.
- [0076] 상기 $(b-b_p)/a$ 의 비가 작을수록 상기 외부 전극의 실두께가 작아지게 되므로 니켈 도금층을 도금할 때 도금액이 내부 전극으로 침투할 가능성이 커져 신뢰성 저하의 가능성이 높아지게 된다.
- [0077] 또한, 내부 전극과 직접 연결되는 도전층 두께(b)와 니켈 도금층의 두께(c)의 비인 c/b 가 $0.930 \leq c/b \leq 5.391$ 의 범위를 만족할 수 있다.
- [0078] 상기 c/b 가 커질수록 도전층의 두께는 얇아지고 니켈 도금층의 두께는 두꺼워지므로 니켈 도금층을 도금할 때 도금액이 내부 전극으로 침투할 가능성이 커져 신뢰성 저하의 가능성이 높아지게 된다.
- [0079] 도 6은 본 발명의 다른 실시 형태에 따른 적층 세라믹 커패시터를 개략적으로 나타낸 사시도이고, 도 7은 본 발명의 다른 실시 형태에 따른 적층 세라믹 커패시터의 내부 전극 구조를 나타낸 분해사시도이고, 도 8은 도 6의 측단면도이다.
- [0080] 도 6 내지 도 8을 참조하면, 본 발명의 다른 실시 형태에 따른 적층 세라믹 커패시터(100)는, 세라믹 본체(1100) 내부에서 유전체층(1110)을 사이에 두고 복수의 제1 및 제2 내부 전극(1200, 1300)이 번갈아 형성된다. 도면부호 1120, 1130은 커버층을 나타낸다.
- [0081] 제1 내부 전극(1200)은 길이 방향으로 서로 이격되며 세라믹 본체의 제1 주면(S1)으로 노출된 제1 및 제2 리드부(1210, 1220)를 가지며 제1 및 제2 단면(S3, S4)으로부터 이격되게 형성될 수 있다.
- [0082] 또한, 제2 내부 전극(1300)은 세라믹 본체(1100)의 제1 주면(S1)으로 노출되며 제1 및 제2 리드부(1210, 1220)와 길이 방향으로 엇갈리며 오버랩되지 않게 형성된 제3 및 제4 리드부(1310, 1320)를 가지며 제1 및 제2 단면(S3, S4)으로부터 이격되게 형성될 수 있다.
- [0083] 제1 및 제2 외부 전극(1410, 1420)은 세라믹 본체(1100)의 제1 주면(S1)에 길이 방향으로 이격되게 형성되며, 제1 및 제2 리드부(1210, 1220)와 각각 접촉되어 전기적으로 연결될 수 있다.
- [0084] 제3 및 제4 외부 전극(1430, 1440)은 세라믹 본체(1100)의 제1 주면(S1)에 길이 방향으로 이격되게 형성되며, 제3 및 제4 리드부(1310, 1320)와 각각 접촉되어 전기적으로 연결될 수 있다.
- [0085] 또한, 제1 내부 전극(1200)은 길이 방향으로 서로 이격되며 세라믹 본체(1100)의 제2 주면(S2)으로 노출된 제5 및 제6 리드부(1230, 1240)를 가질 수 있다.
- [0086] 또한, 제2 내부 전극(1300)은 세라믹 본체(1100)의 제2 주면(S2)으로 노출되며 제5 및 제6 리드부(1230, 1240)와 길이 방향으로 엇갈리며 오버랩되지 않게 형성된 제7 및 제8 리드부(1330, 1340)를 가질 수 있다.
- [0087] 또한, 세라믹 본체(1100)의 제2 주면(S2)에는 제5 내지 제8 외부 전극(1450-1480)이 서로 이격되게 형성될 수 있다.
- [0088] 이때, 제5 및 제6 외부 전극(1450, 1460)은 제5 및 제6 리드부(1230, 1240)와 각각 접촉되어 전기적으로 연결되며, 제7 및 제8 외부 전극(1470, 1480)은 제7 및 제8 리드부(1330, 1340)와 각각 접촉되어 전기적으로 연결될 수 있다.

- [0089] 위와 같이 구성된 본 실시 형태의 적층 세라믹 커패시터(1000)는 전류 루프의 면적이 더 감소되고, 전류 패스가 더 분산됨으로써 일 실시 형태의 3단자 커패시터 보다 커패시터의 ESL을 약 50% 정도 더 저감시킬 수 있다.
- [0090] 한편, 세라믹 본체(1110)의 구조와, 제1 내지 제8 외부 전극(1410-1480)의 3중층 구조 및 수치 한정 사항은 앞서 설명한 일 실시 형태와 유사하므로 중복을 피하기 위하여 이에 대한 구체적인 설명을 생략한다.
- [0091] **실예**
- [0092] 본 발명의 실시 예와 비교 예에 따른 적층 세라믹 커패시터는 하기와 같이 제작되었다.
- [0093] 티탄산바륨(BaTiO₃) 등의 파우더를 포함하여 형성된 슬러리를 캐리어 필름(carrier film) 상에 도포 및 건조하여 1.8 μ m의 두께로 제조된 복수 개의 세라믹 그린 시트를 마련한다.
- [0094] 다음으로, 상기 세라믹 그린 시트 상에 스크린을 이용하여 내부 전극용 도전성 페이스트를 도포하여 제1 및 제2 내부 전극(120, 130)을 형성한다.
- [0095] 제1 내부 전극(120)은 상기 세라믹 그린 시트의 제1 주면으로 노출되는 제1 및 제2 리드부(121, 122)와 제2 주면으로 노출되는 제4 및 제5 리드부(123, 124)를 가질 수 있다.
- [0096] 제2 내부 전극(130)은 상기 세라믹 그린 시트의 제2 주면으로 노출되는 제3 리드부(131)와 제2 주면으로 노출되는 제6 리드부(132)를 가질 수 있다.
- [0097] 제3 리드부(131)는 제1 및 제2 리드부(121, 122)로부터 이격되게 형성되며, 제6 리드부(132)는 제4 및 제5 리드부(123, 124)로부터 이격되게 형성된다.
- [0098] 다음으로, 상기 복수의 세라믹 그린 시트를 제1 및 제2 내부 전극(120, 130)이 번갈아 배치되도록 적층한다.
- [0099] 이후, 양 측면에 제1 및 제2 내부 전극(120, 130)이 미형성된 세라믹 그린 시트를 적어도 1층 이상 각각 적층하여 커버층(112, 113)을 형성하여 적층체를 제조한다.
- [0100] 이후, 상기 적층체를 약 85℃에서 약 1,000kgf/cm²의 압력 조건으로 등압압축성형(isostatic pressing)한다.
- [0101] 다음으로, 압착이 완료된 상기 세라믹 적층체를 개별 칩의 형태로 절단한다.
- [0102] 이후, 절단된 칩은 대기 분위기에서 약 230℃, 약 60시간 유지하여 탈바인더를 진행하였다.
- [0103] 다음으로, 약 1200℃에서 내부 전극이 산화되지 않도록 Ni/NiO 평형 산소 분압 보다 낮은 10⁻¹¹ 내지 10⁻¹⁰ atm의 산소분압하 환원분위기에서 소성하여 세라믹 본체를 마련한다.
- [0104] 소성 후 적층 칩 커패시터의 칩 사이즈는 길이×폭(L×W)은 약 2.0mm × 1.25mm(L×W, 일명 2012 사이즈)이었다. 여기서, 제작 공차는 길이×폭(L×W)으로 ±0.1mm 내의 범위로 정하였다.
- [0105] 다음으로, 세라믹 본체(110)의 제1 및 제2 주면에 제1 및 제2 내부 전극(120, 130)의 각각의 리드부와 대응되어 접속되도록 제1 내지 제6 외부 전극(141-146)을 형성하는 공정을 수행한다.
- [0106] 위와 같은 공정들을 거쳐 적층 세라믹 커패시터를 완성하며, 고온/내습부하 발생여부 및 사이즈 불량 발생여부

측정 테스트를 실시하여 표 1에 나타내었다.

[0107] 여기서, 고온부하 테스트는 85℃, 1.25×정격전압으로 진행하며, 내습부하 테스트는 85℃, 습도 85%, 1×정격전압으로 진행한다.

[0108] 이때, 고온/내습부하 발생 테스트는 각 샘플 별로 시료 800개에 대하여 수행되었으며, 사이즈 불량 발생여부 테스트는 각 샘플 별로 시료 100개에 대하여 수행되었다. 여기서 사이즈 불량은 외부 전극의 두께가 너무 두꺼워져 전체 칩 사이즈가 스펙을 벗어나는 불량을 의미한다.

표 1

[0109]

No	a	b	b _p	c	(b-b _p)/a	b/c	고온/내습부하 불량여부	사이즈 불량여부
1*	11.1 um	2.7 um	0.55 um	4.40 um	0.194	0.614	12/800	0/100
2*	13.9 um	3.2 um	0.33 um	5.20 um	0.206	0.615	9/800	0/100
3	16.0 um	5.3 um	1.08 um	5.70 um	0.264	0.930	0/800	0/100
4	14.6 um	5.8 um	0.62 um	4.40 um	0.355	1.318	0/800	0/100
5	14.8 um	7.9 um	1.48 um	3.80 um	0.434	2.079	0/800	0/100
6	19.6 um	8.2 um	1.04 um	5.50 um	0.365	1.491	0/800	0/100
7	22.7 um	11.2 um	1.87 um	5.50 um	0.411	2.036	0/800	0/100
8	20.6 um	11.8 um	1.33 um	4.80 um	0.508	2.458	0/800	0/100
9	23.0 um	13.5 um	2.02 um	4.40 um	0.499	3.068	0/800	0/100
10	22.4 um	14.0 um	1.29 um	4.60 um	0.567	3.043	0/800	0/100
11	28.9 um	18.0 um	3.10 um	5.30 um	0.516	3.396	0/800	0/100
12	25.6 um	17.5 um	2.42 um	4.00 um	0.589	4.375	0/800	0/100
13	34.4 um	24.0 um	4.24 um	5.60 um	0.574	4.286	0/800	0/100
14	34.1 um	24.8 um	3.05 um	4.60 um	0.638	5.391	0/800	0/100
15*	43.1 um	34.2 um	6.14 um	5.20 um	0.651	6.577	0/800	7/100
16*	43.9 um	34.8 um	3.18 um	5.60 um	0.720	6.214	0/800	9/100

[0110] 도 5를 참조하면, 제1 리드부(121)에서 세라믹 본체(110)의 제1 주면(S1)으로 노출되는 최외각 부분을 P로, 상기 P에서 제1 도전층(141a)의 법선 방향으로 제1 도전층(141a), 니켈 도금층(141b) 및 주석 도금층(141c)의 전체 두께를 a로, 상기 P에서 제1 도전층(141a)의 법선 방향으로 제1 도전층(141a)의 두께를 b로, 상기 P에서 제1 도전층(141a)의 법선 방향으로 제1 니켈 도금층(141b)의 두께를 c로 규정한다.

[0111] 여기서, 법선(L)은 상기 P에서 전도층과 니켈 도금층의 경계 면을 이루는 곡선 위의 한 점에서의 접평면(T)에 수직인 직선을 의미한다.

[0112] 그리고, 상기 P에서 제1 도전층의 법선 방향으로 상기 도전층에 존재하는 포어(pore)들(b_{p1}, b_{p2})의 두께의 합을 b_p로 규정한다.

[0113] 본 실시 형태에서는 전체 외부 전극 두께(a) 중 내부 전극과 직접 연결되는 도전층(b)의 포어들을 제외한 실두께(금속부분 만의 두께)의 비인 (b-b_p)/a가, 0.264 ≤ (b-b_p)/a ≤ 0.638의 범위를 만족한다.

[0114] 또한, 내부 전극과 직접 연결되는 도전층 두께(b)와 니켈 도금층의 두께(c)의 비인 c/b가 0.930 ≤ c/b ≤ 5.391의 범위를 만족할 수 있다.

[0115] 상기 표 1을 참조하면, (b-b_p)/a가 0.264 미만인 샘플 1 및 2의 경우, 고온/내습부하 불량이 발생했으며, 상기 (b-b_p)/a가 0.638을 초과하는 샘플 15 및 16의 경우 외부 전극의 두께가 지나치게 두꺼워져 칩 사이즈 스펙을 벗어나게 되는 사이즈 불량이 발생하는 문제점이 발생하였다.

[0116] 따라서, 상기 (b-b_p)/a는 0.264 이상, 0.638 이하인 것이 바람직하다.

[0117] 그리고, c/b가 0.930 미만인 샘플 1 및 2의 경우, 도전층의 두께(b)가 너무 작아 니켈 도금시 도금액 침투를 차단하지 못해 고온/내습부하 불량률이 발생하게 되는 문제점이 발생하였으며, 상기 c/b가 5.391을 초과하는 샘플 15 및 16의 경우 외부 전극의 두께가 지나치게 두꺼워져 칩 사이즈 스펙을 벗어나게 되는 사이즈 불량이 발생하였다.

[0118] **적층 세라믹 커패시터의 실장 기관**

[0119] 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터(100)의 실장 기관(200)은, 적층 세라믹 커패시터(100)가 실장되는 기관(210)과, 기관(210) 상면에 서로 이격되게 형성된 복수의 전극 패드를 포함한다.

[0120] 도 9는 도 1의 적층 세라믹 커패시터가 기관에 실장된 모습을 도시한 사시도이고, 도 10은 도 9의 측단면도이다.

[0121] 도 9 및 도 10을 참조하면, 본 실시 형태의 기관은 3단자 구조의 커패시터를 실장하는 것이므로, 제1 내지 제3 전극 패드(221, 222, 223)를 포함한다. 이때, 제3 전극 패드(223)는 제1 및 제2 전극 패드(221, 222) 사이에 제1 및 제2 전극 패드(221, 222)로부터 이격되게 형성된다.

[0122] 적층 세라믹 커패시터(100)는 제1 내지 제3 외부 전극(141-143)이 각각 제1 내지 제3 전극 패드(221, 222, 223) 위에 접촉되게 위치한 상태에서 솔더(230)에 의해 접합되어 기관(210)과 전기적으로 연결될 수 있다.

[0123] 한편, 4단자 구조의 적층 세라믹 커패시터를 실장하기 위한 기관의 경우, 기관 상면에 4개의 전극 패드를 형성하는 등 본 발명의 기관이 갖는 전극 패드는 실장되는 적층 세라믹 커패시터의 구조에 따라 변경될 수 있으며, 본 발명의 실장 기관의 구조가 도면에 도시된 것으로 한정되는 것은 아니다.

[0124] 도 10에서 도면 부호 224는 접지 단자를, 도면 부호 225는 전원 단자를 나타낸다.

[0125] 본 발명은 상술한 실시 형태 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구 범위에 의해 한정하고자 한다.

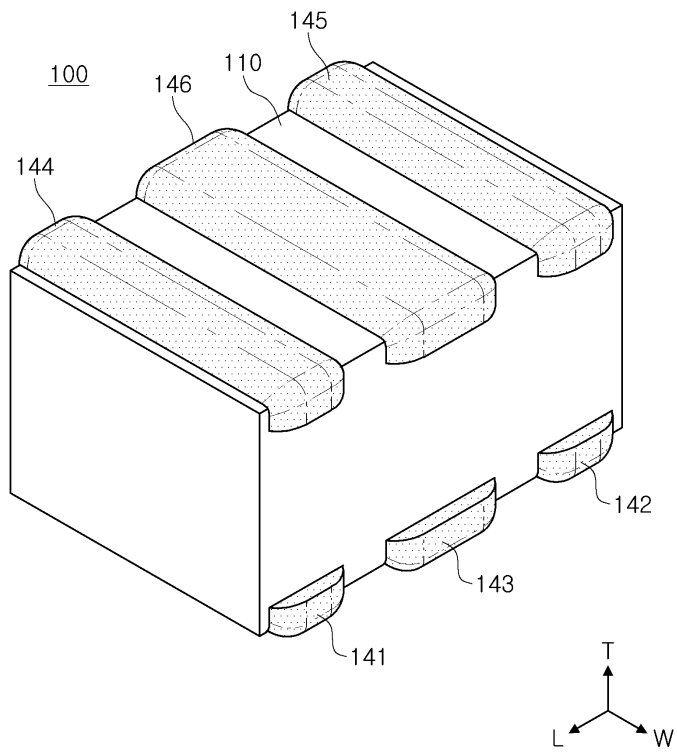
[0126] 따라서, 청구 범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술 분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

부호의 설명

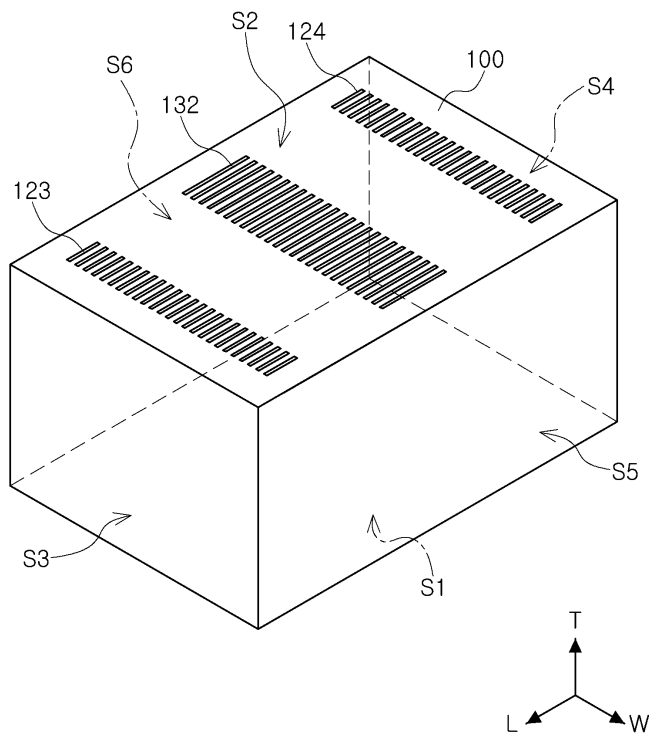
- [0127] 100, 1000 ; 적층 세라믹 커패시터 110, 1100 ; 세라믹 본체
 111, 1110 ; 유전체층 112, 113, 1120, 1130 ; 커버층
 120, 1200 ; 제1 내부 전극 130, 1300 ; 제2 내부 전극
 141-146 ; 제1 내지 제6 외부 전극 200 ; 실장 기관
 210 ; 기관 221, 222, 223 ; 제1 내지 제3 전극 패드
 230 ; 솔더

도면

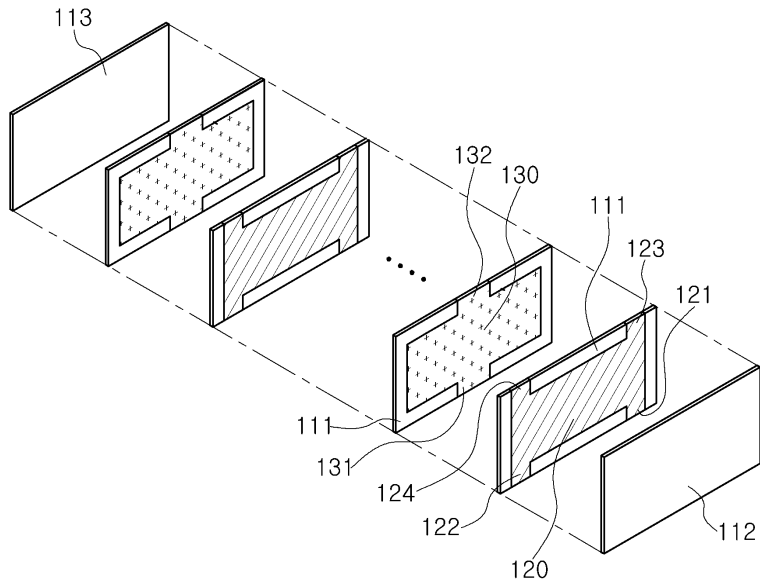
도면1



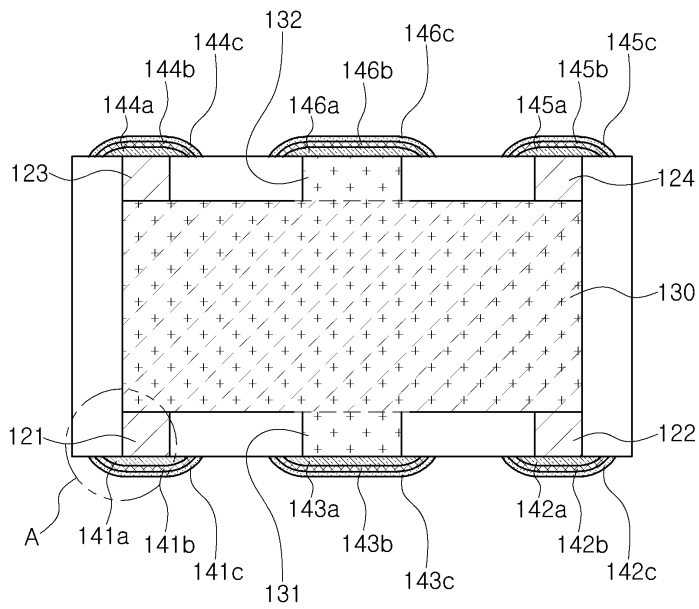
도면2



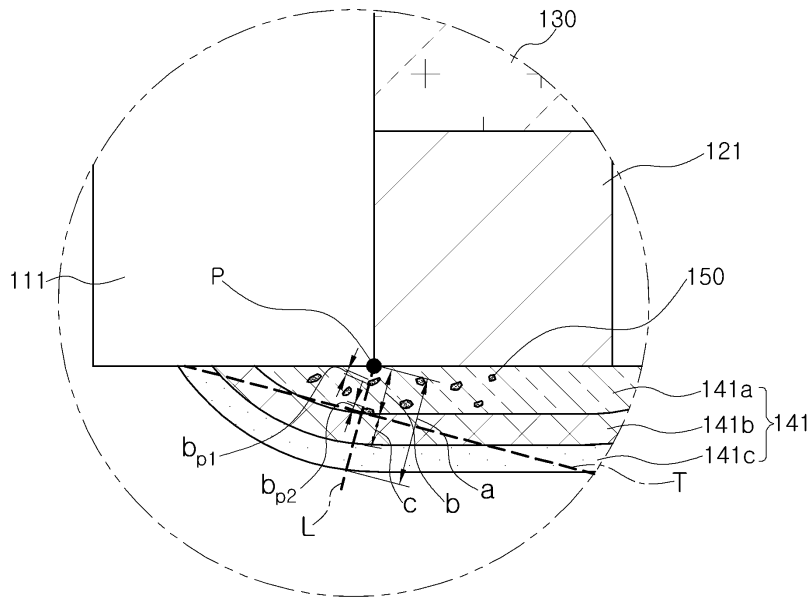
도면3



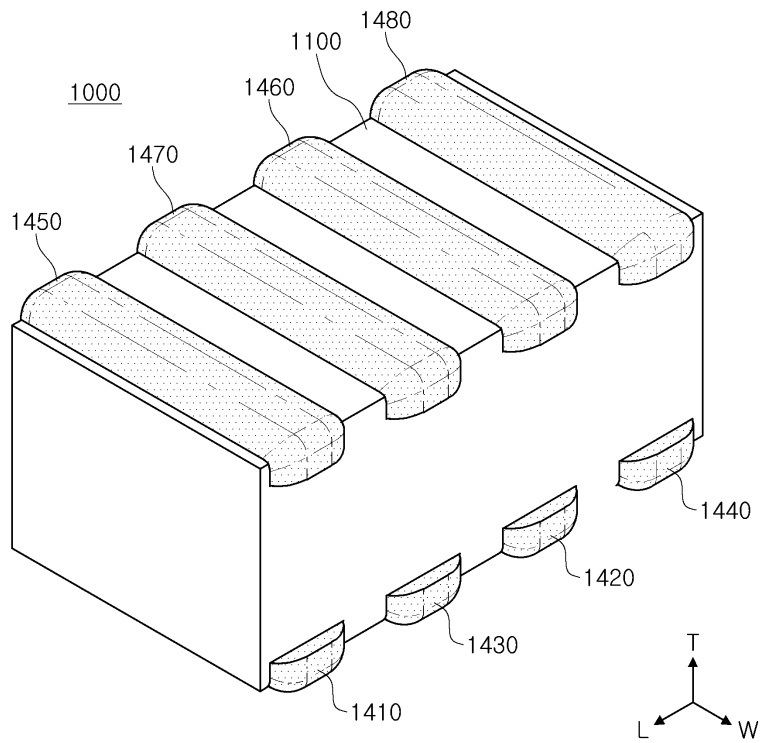
도면4



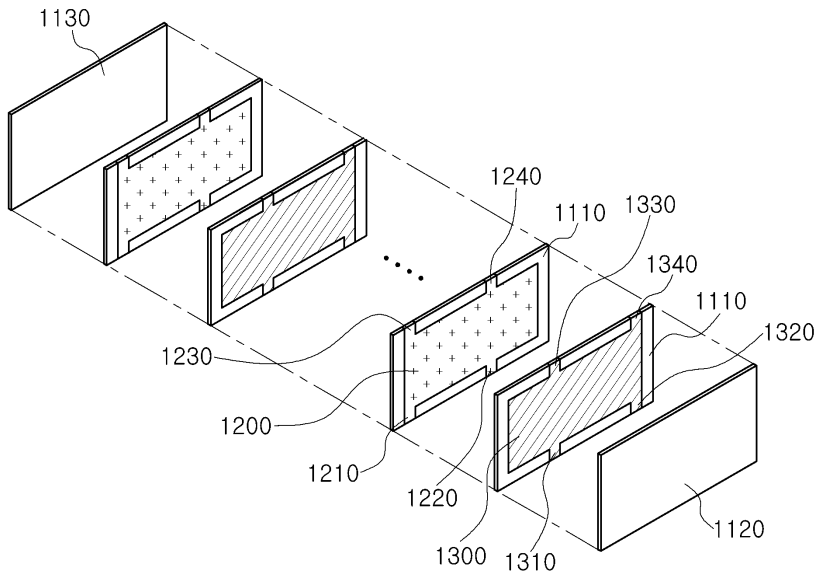
도면5



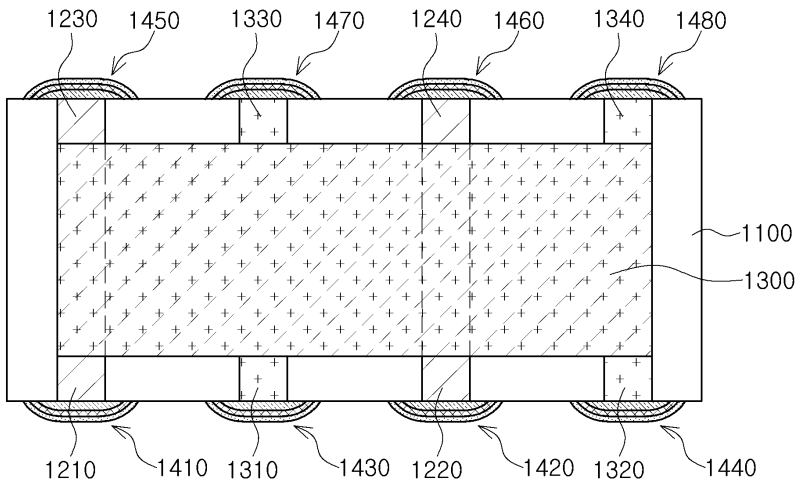
도면6



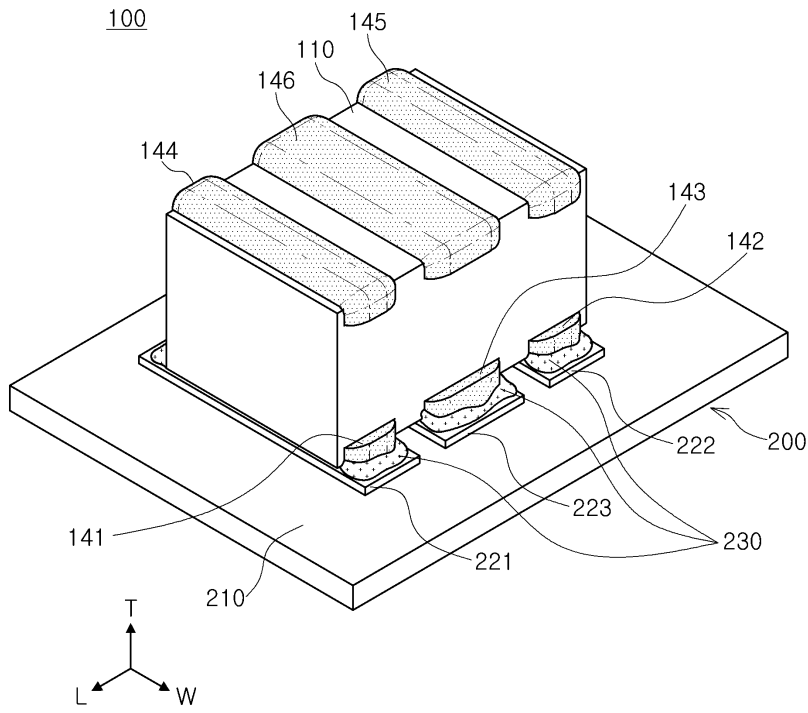
도면7



도면8



도면9



도면10

