(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2006 年8 月17 日 (17.08.2006)

PCT

(10) 国際公開番号
WO 2006/085566 A1

(51) 国際特許分類:
H03F 3/30 (2006.01) *H03F 3/34* (2006.01)
G01R 31/28 (2006.01)

(21) 国際出願番号: PCT/JP2006/302196

(22) 国際出願日: 2006 年2 月8 日 (08.02.2006)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2005-034686 2005 年2 月10 日 (10.02.2005) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社アドバンテスト (ADVANTEST CORPORATION) [JP/JP]; 〒1790071 東京都練馬区旭町１丁目３２番１号 Tokyo (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 小寺 悟司 (KODERA, Satoshi) [JP/JP]; 〒1790071 東京都練馬区旭町１丁目３２番１号 株式会社アドバンテスト内 Tokyo (JP).

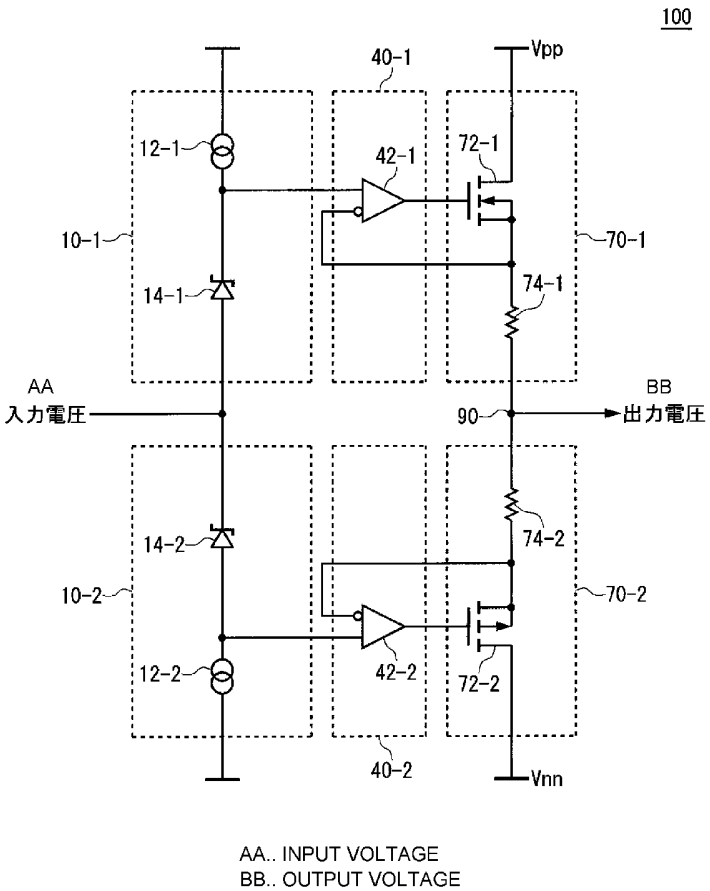
(74) 代理人: 龍華 明裕 (RYUKA, Akihiro); 〒1631105 東京都新宿区西新宿 ６－２２－１ 新宿スクエアタワー５階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO,

[続葉有]

(54) **Title:** POWER AMPLIFYING CIRCUIT AND TEST APPARATUS

(54) 発明の名称: 電力増幅回路、及び試験装置



AA.. INPUT VOLTAGE
BB.. OUTPUT VOLTAGE

(57) **Abstract:** A power amplifying circuit is provided with a positive side output resistor and a negative side output resistor which are connected in series for outputting a voltage at a connecting point as an output voltage; a positive side transistor for permitting a current to flow to the positive side output resistor corresponding to a gate voltage; a negative side transistor for permitting a current to flow to the negative side output resistor corresponding to the gate voltage; a bias generating section for generating a positive side bias voltage and a negative side bias voltage corresponding to an input voltage; a positive side control section for controlling a voltage to be applied to a positive side transistor gate terminal so that the positive side bias voltage and a positive side transistor source voltage are substantially the same; and a negative side control section for controlling a voltage to be applied to a negative side transistor gate terminal so that the negative side bias voltage and a negative side transistor source voltage are substantially the same.

(57) 要約: 直列に接続され、接続点における電圧を出力電圧として出力する正側出力抵抗及び負側出力抵抗と、ゲート電圧に応じた電流を正側出力抵抗に流す正側トランジスタと、ゲート電圧に応じた電流を負側出力抵抗に流す負側トランジスタと、入力電圧に応じた正側バイアス電圧及び負側バイアス電圧を生成するバイアス生成部と、正側バイアス電圧と、正側トランジスタのソース電圧とが略同一となるように、正側トランジスタのゲート端子に印加する

[続葉有]

WO 2006/085566 A1

RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

電圧を制御する正側制御部と、負側バイアス電圧と、負側トランジスタのソース電圧とが略同一となるように、負側トランジスタのゲート端子に印加する電圧を制御する負側制御部とを備える電力増幅回路を提供する。

明 細 書

電力増幅回路、及び試験装置

技術分野

[0001] 本発明は、与えられる入力電圧に応じた出力電圧を出力する電力増幅回路、及び被試験デバイスを試験する試験装置に関する。本出願は、下記の日本出願に関連する。文献の参照による組み込みが認められる指定国については、下記の出願に記載された内容を参照により本出願に組み込み、本出願の一部とする。

特願2005－034686 出願日 2005年2月10日

背景技術

[0002] 従来、例えば半導体回路等の被試験デバイスを試験する場合、被試験デバイスを駆動するための電源電力を被試験デバイスに供給している。当該電源電力は、電力増幅回路によって生成される。

[0003] 電力増幅回路は、与えられる入力電圧に応じた電源電圧を出力し、また被試験デバイスの消費電流に応じて電源電流を出力する。従来、電力増幅回路として、パワーデバイスとして機能する2つのトランジスタを備えるプッシュプル回路が用いられている。プッシュプル回路は、電源電流を出力しない状態で、パワーデバイスにアイドリング電流を流すことにより、パワーデバイスの動作点を所望の領域に調整する回路である。

[0004] 関連する特許文献等は、現在認識していないため、その記載を省略する。

発明の開示

発明が解決しようとする課題

[0005] 電力増幅回路のアイドリング電流は、パワーデバイスの特性によって変化する。例えば、同一の構成を有する電力増幅回路であっても、パワーデバイスの特性のばらつきにより、流れるアイドリング電流は一定にならない。このため、電力増幅回路の特性が設計値と一致しない場合がある。また、複数の電力増幅回路を並列に使用する場合、それぞれの電力増幅回路の特性にばらつきが生じてしまう。

[0006] また、パワーデバイスは、温度変動と共に、流れる電流量が変化する。このため、電

力増幅回路の電源投入時から定常状態になるまで、アイドリング電流が変動し、電力増幅回路の特性も変動してしまう。

[0007] また、このような電力増幅回路を用いて被試験デバイスの試験を行うと、被試験デバイスに所望の電源電力を供給することができない場合があり、試験を精度よく行なうことができない。

[0008] また、このようなパワーデバイスの特性のばらつき等の影響を低減するために、電力増幅回路の出力段に抵抗値の高い抵抗を挿入することも考えられるが、出力インピーダンスの悪化を招くと共に、パワーデバイスを駆動するために高電圧を印加する必要があり、電力増幅回路の消費電力の増大を招いてしまう。

[0009] そこで本発明は、上記の課題を解決することのできる電力増幅回路及び試験装置を提供することを目的とする。この目的は請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

課題を解決するための手段

[0010] 上記課題を解決するために、本発明の第1の形態においては、与えられる入力電圧に応じた出力電圧を出力する電力増幅回路であって、直列に接続され、接続点における電圧を出力電圧として出力する正側出力抵抗及び負側出力抵抗と、ソース端子が正側出力抵抗に接続され、ゲート端子に与えられる電圧に応じた電流を正側出力抵抗に流す正側トランジスタと、ソース端子が負側出力抵抗に接続され、ゲート端子に与えられる電圧に応じた電流を負側出力抵抗に流す負側トランジスタと、入力電圧に応じた正側バイアス電圧を生成する正側バイアス生成部と、入力電圧に応じた負側バイアス電圧を生成する負側バイアス生成部と、正側バイアス電圧と、正側トランジスタのソース電圧とが略同一となるように、正側トランジスタのゲート端子に印加する電圧を制御する正側制御部と、負側バイアス電圧と、負側トランジスタのソース電圧とが略同一となるように、負側トランジスタのゲート端子に印加する電圧を制御する負側制御部とを備える電力増幅回路を提供する。

[0011] 正側バイアス生成部は、入力電圧に所定の電圧を加えて正側バイアス電圧を生成し、負側バイアス生成部は、入力電圧から所定の電圧を減じて負側バイアス電圧を

生成してよい。正側制御部は、非反転入力端子に正側バイアス電圧を受け取り、反転入力端子に正側トランジスタのソース電圧を受け取る増幅器を有し、負側制御部は、非反転入力端子に負側バイアス電圧を受け取り、反転入力端子に負側トランジスタの前記ソース電圧を受け取る増幅器を有してよい。

[0012] 正側バイアス生成部は、入力電圧に所定の電圧を加える昇圧部と、昇圧部の出力端と、正側出力抵抗及び負側出力抵抗間の接続点との間に直列に設けられ、昇圧部が出力する電圧を分圧した電圧を、正側バイアス電圧として正側制御部に供給する2つの正側分圧抵抗とを有し、負側バイアス生成部は、入力電圧から所定の電圧を減じる降圧部と、降圧部の出力端と、正側出力抵抗及び負側出力抵抗間の接続点との間に直列に設けられ、降圧部が出力する電圧を分圧した電圧を、負側バイアス電圧として負側制御部に供給する2つの負側分圧抵抗とを有してよい。

[0013] 正側出力抵抗の抵抗値は、2つの正側分圧抵抗のそれぞれの抵抗値より小さく、負側出力抵抗の抵抗値は、2つの負側分圧抵抗のそれぞれの抵抗値より小さいことが好ましい。電力増幅回路は、2つの正側分圧抵抗の抵抗比、及び2つの負側分圧抵抗の抵抗比を制御することにより、電力増幅回路の出力インピーダンスを制御する抵抗制御部を更に備えてよい。

[0014] 正側バイアス生成部は、入力電圧に所定の電圧を加える昇圧部と、コレクタ端子が第1の正側分圧抵抗を介して所定の正電位に接続され、エミッタ端子が第2の正側分圧抵抗を介して接続点に接続され、ゲート端子に昇圧部が出力する電圧を受け取り、コレクタ電圧を正側バイアス電圧として正側制御部に供給する正側バイアストランジスタとを有し、負側バイアス生成部は、入力電圧から所定の電圧を減じる降圧部と、コレクタ端子が第1の負側分圧抵抗を介して所定の負電位に接続され、エミッタ端子が第2の負側分圧抵抗を介して接続点に接続され、ゲート端子に降圧部が出力する電圧を受け取り、コレクタ電圧を負側バイアス電圧として負側制御部に供給する負側バイアストランジスタとを有してよい。

[0015] 本発明の第2の形態においては、被試験デバイスを試験する試験装置であって、被試験デバイスに印加するべき入力電圧が与えられ、入力電圧に基づいて、被試験デバイスに電源電力を供給する電力増幅回路と、電源電力が供給された被試験デ

バイスの動作を検出し、被試験デバイスの良否を判定する判定部とを備え、電力増幅回路は、直列に接続され、接続点における電圧を電源電圧として被試験デバイスに出力する正側出力抵抗及び負側出力抵抗と、ソース端子が正側出力抵抗に接続され、ゲート端子に与えられる電圧に応じた電流を正側出力抵抗に流す正側トランジスタと、ソース端子が負側出力抵抗に接続され、ゲート端子に与えられる電圧に応じた電流を負側出力抵抗に流す負側トランジスタと、入力電圧に応じた正側バイアス電圧を生成する正側バイアス生成部と、入力電圧に応じた負側バイアス電圧を生成する負側バイアス生成部と、正側バイアス電圧と、正側トランジスタのソース電圧とが略同一となるように、正側トランジスタのゲート端子に印加する電圧を制御する正側制御部と、負側バイアス電圧と、負側トランジスタのソース電圧とが略同一となるように、負側トランジスタのゲート端子に印加する電圧を制御する負側制御部とを有する試験装置を提供する。

[0016] 試験装置は、複数の被試験デバイスを並行して試験し、電力増幅回路を、被試験デバイス毎に備えてよい。

[0017] なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションもまた、発明となりうる。

発明の効果

[0018] 本発明によれば、出力段のトランジスタの特性に関わらず、アイドリング電流が所定の値となる電力増幅回路を提供することができる。

図面の簡単な説明

[0019] [図1]本発明の実施形態に係る電力増幅回路100の構成の第1例を示す図である。

[図2]電力増幅回路100の構成の第2例を示す図である。

[図3]電力増幅回路100の構成の第3例を示す図である。

[図4]電力増幅回路100の構成の第4例を示す図である。

[図5]電力増幅回路100の構成の第5例を示す図である。

[図6]抵抗制御部30を説明する図である。

[図7]本発明の実施形態に係る試験装置200の構成の一例を示す図である。

符号の説明

[0020] 10・・・バイアス生成部、12・・・ノレータ、14－1・・・昇圧部、14－2・・・降圧部、16・・・バッファトランジスタ、18・・・分圧抵抗、20・・・分圧抵抗、22・・・ボルテージフォロワ回路、30・・・抵抗制御部、40・・・制御部、42・・・差動増幅器、70・・・出力部、72・・・トランジスタ、74・・・出力抵抗、100・・・電力増幅回路、110・・・テスタ制御部、120・・・パターン発生部、130・・・判定部、200・・・試験装置、300・・・被試験デバイス

発明を実施するための最良の形態

[0021] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0022] 図1は、本発明の実施形態に係る電力増幅回路100の構成の第1例を示す図である。電力増幅回路100は、与えられる入力電圧に応じた出力電圧を出力する回路である。本例においては、正側制御部40－1及び負側制御部40－2が、出力段の正側トランジスタ72－1及び負側トランジスタ72－2のソース電圧を一定値に制御することにより、出力段に流れるアイドリング電流を一定に制御し、これらのトランジスタを所望の動作領域で駆動させる。

[0023] 電力増幅回路100は、正側バイアス生成部10－1、負側バイアス生成部10－2、正側制御部40－1、負側制御部40－2、正側出力部70－1、及び負側出力部70－2を備える。

[0024] 正側バイアス生成部10－1及び負側バイアス生成部10－2は、与えられる入力電圧に基づいて、正側バイアス電圧及び負側バイアス電圧を生成する。本例において、正側バイアス生成部10－1は、入力電圧に所定の電圧を加えて正側バイアス電圧を生成し、負側バイアス生成部10－2は、入力電圧から所定の電圧を減じて負側バイアス電圧を生成する。

[0025] 正側バイアス生成部10－1は、昇圧部14－1及びノレータ12－1を有する。昇圧部14－1は、一端に入力電圧を受け取り、他端がノレータ12－1を介して正電位Vppに接続される。昇圧部14－1は、受け取った入力電圧に所定の電圧を加えて出力する。本例において昇圧部14－1は、ツェナーダイオードを有する。昇圧部14－1は、入力電圧を、ツェナーダイオードによって定まる昇圧値だけ昇圧して、正側バイアス

電圧を生成する。

[0026] 負側バイアス生成部10－2は、降圧部14－2及びレータ12－2を有する。降圧部14－2は、一端に入力電圧を受け取り、他端がレータ12－2を介して負電位Vnnに接続される。降圧部14－2は、受け取った入力電圧から所定の電圧を減じて出力する。ここで、昇圧部14－1において昇圧される電圧量と、降圧部14－2において降圧される電圧量とは、略等しい。本例において降圧部14－2は、昇圧部14－1におけるツェナーダイオードと略同一の特性のツェナーダイオードを有する。降圧部14－2は、入力電圧を、ツェナーダイオードによって定まる降圧値だけ降圧して、負側バイアス電圧を生成する。

[0027] 正側出力部70－1は、正側トランジスタ72－1及び正側出力抵抗74－1を有する。また、負側出力部70－2は、負側トランジスタ72－2及び負側出力抵抗74－2を有する。ここで、正側出力抵抗74－1の抵抗値と、負側出力抵抗74－2の抵抗値とは略等しい。また、本例において正側トランジスタ72－1は、n型MOSFETであり、負側トランジスタ72－2は、p型MOSFETである。

[0028] 正側トランジスタ72－1は、ドレイン端子が所定の正電位Vppに接続され、ソース端子が正側出力抵抗74－1に接続され、ゲート端子に与えられる電圧に応じた電流を正側出力抵抗74－1に流す。また、負側トランジスタ72－2は、ドレイン端子が所定の負電位Vnnに接続され、ソース端子が負側出力抵抗74－2に接続され、ゲート端子に与えられる電圧に応じた電流を負側出力抵抗74－2に流す。

[0029] 正側出力抵抗74－1及び負側出力抵抗74－2は、正側トランジスタ72－1のソース端子と、負側トランジスタ72－2のソース端子との間に直列に接続される。また、正側出力抵抗74－1と負側出力抵抗74－2との接続点における電圧が、出力電圧として外部に出力される。

[0030] 正側制御部40－1は、正側バイアス生成部10－1が出力する正側バイアス電圧と、正側トランジスタ72－1のソース電圧が略同一となるように、正側トランジスタのゲート端子に印加する電圧を制御する。つまり、正側制御部40－1は、正側バイアス電圧と、当該ソース電圧とが略同一となるように正側トランジスタ72－1が正側出力抵抗74－1に流す電流を制御する。正側制御部40－1は、非反転入力端子に正側バイア

ス電圧を受け取り、反転入力端子に正側トランジスタ72－1のソース電圧を受け取る差動増幅器42－1を有してよい。

[0031] 負側制御部40－2は、負側バイアス生成部10－2が出力する負側バイアス電圧と、負側トランジスタ72－2のソース電圧が略同一となるように、負側トランジスタのゲート端子に印加する電圧を制御する。つまり、負側制御部40－2は、負側バイアス電圧と、当該ソース電圧とが略同一となるように負側トランジスタ72－2が負側出力抵抗74－2に流す電流を制御する。負側制御部40－2は、非反転入力端子に負側バイアス電圧を受け取り、反転入力端子に負側トランジスタ72－2のソース電圧を受け取る差動増幅器42－2を有してよい。

[0032] このような構成により、電力増幅回路100のアイドリング時に正側出力抵抗74－1及び負側出力抵抗74－2に流れるアイドリング電流は一定となる。すなわち、アイドリング電流Idは、昇圧部14－1が昇圧する電圧をVB__p、降圧部14－2が降圧する電圧をVB__n、正側出力抵抗74－1の抵抗値をRo__p、負側出力抵抗74－2の抵抗値をRo__nとすると、下式であたえられる。

Id＝(VB__p－VB__n)／(Ro__p＋Ro__n) ・・・式(1)

[0033] また、正側制御部40－1及び負側制御部40－2は、アイドリング電流が式(1)に示した値となるように、正側トランジスタ72－1及び負側トランジスタ72－2を制御する。このように、本例における電力増幅回路100は、正側トランジスタ72－1及び負側トランジスタ72－2の特性に関わらず、アイドリング電流を所定の値に制御することができる。このため、これらのトランジスタを所定の動作領域で動作させることができる。また、複数の電力増幅回路100を並列に使用する場合、トランジスタの特性のばらつきに関わらず、それぞれの電力増幅回路100におけるアイドリング電流を一定値に制御することができる。

[0034] 図2は、電力増幅回路100の構成の第2例を示す図である。本例における電力増幅回路100は、アイドリング電流を一定に制御し、且つ出力段における消費電力を抑えながら出力インピーダンスを調整可能な回路である。本例における電力増幅回路100は、図1に示した電力増幅回路100の構成に対し、正側バイアス生成部10－1及び負側バイアス生成部10－2の構成が異なる。他の構成要素については、図1

において説明した電力増幅回路100の構成要素と同一である。

[0035] 正側バイアス生成部10－1は、図1において説明した正側バイアス生成部10－1の構成に加え、正側バッファトランジスタ16－1、第1の正側分圧抵抗18－1、及び第2の正側分圧抵抗20－1を更に有する。また、負側バイアス生成部10－2は、図1において説明した負側バイアス生成部10－2の構成に加え、負側バッファトランジスタ16－2、第1の負側分圧抵抗18－2、及び第2の負側分圧抵抗20－2を更に有する。

[0036] 正側バッファトランジスタ16－1は、コレクタ端子が所定の正電位Vppに接続され、エミッタ端子が第1の正側分圧抵抗18－1に接続され、ベース端子が昇圧部14－1の出力端に接続される。また負側バッファトランジスタ16－1は、コレクタ端子が所定の負電位Vnnに接続され、エミッタ端子が第1の負側分圧抵抗18－2に接続され、ベース端子が降圧部14－2の出力端に接続される。本例において正側バッファトランジスタ16－1は、npn型バイポーラトランジスタであり、負側バッファトランジスタ16－2は、pnp型バイポーラトランジスタである。

[0037] 第1の正側分圧抵抗18－1、第2の正側分圧抵抗20－1、第2の負側分圧抵抗20－2、及び第1の負側分圧抵抗18－2は、正側バッファトランジスタ16－1のエミッタ端子から、負側バッファトランジスタ16－2のエミッタ端子にかけて、順に直列に接続される。

[0038] 第1の正側分圧抵抗18－1及び第2の正側分圧抵抗20－1は、昇圧部14－1により昇圧された電圧を、正側バッファトランジスタ16－1を介して受け取り、受け取った電圧をそれぞれの抵抗値の比で分圧し、正側バイアス電圧として正側制御部40－1に供給する。つまり、第1の正側分圧抵抗18－1と、第2の正側分圧抵抗20－1との接続点における電圧が、正側バイアス電圧として正側制御部40－1に供給される。

[0039] 第1の負側分圧抵抗18－2及び第2の負側分圧抵抗20－2は、降圧部14－2により昇圧された電圧を、負側バッファトランジスタ16－2を介して受け取り、受け取った電圧をそれぞれの抵抗値の比で分圧し、負側バイアス電圧として負側制御部40－2に供給する。つまり、第1の負側分圧抵抗18－2と、第2の負側分圧抵抗20－2との接続点における電圧が、負側バイアス電圧として負側制御部40－2に供給される。こ

こで、第1の正側分圧抵抗18－1の抵抗値と、第1の負側分圧抵抗18－2の抵抗値とは略等しく、第2の正側分圧抵抗20－1の抵抗値と、第2の負側分圧抵抗20－2の抵抗値とは略等しい。

[0040] また、第2の正側分圧抵抗20－1と第2の負側分圧抵抗20－2との接続点は、正側出力抵抗74－1と負側出力抵抗74－2との接続点に接続される。このような構成により、アイドリング電流Idは、正側バッファトランジスタ16－1のベース－エミッタ間電圧をVbe_p、負側バッファトランジスタ16－2のベース－エミッタ間電圧をVbe_n、第1の正側分圧抵抗18－1の抵抗値をRc1_p、第2の正側分圧抵抗20－1の抵抗値をRc2_p、第1の負側分圧抵抗18－2の抵抗値をRc1_n、第2の負側分圧抵抗20－2の抵抗値をRc2_nとすると、下式で与えられる。

$$Id=((VB_p-Vbe_p)\times Rc2_p/(Rc1_p+Rc2_p)-(VB_n-Vbe_n)\times Rc2_n/(Rc1_n+Rc2_n))/(Ro_p+Ro_n) \quad \cdots \text{式(2)}$$

[0041] 式(2)より明らかなように、アイドリング電流Idは、出力段のトランジスタの特性によらず、一定値となる。また、電力増幅回路100の出力インピーダンスZoは、下式で与えられる。

$$Zo=Ro_p\times(Rc1_p+Rc2_p)/Rc2_p=Ro_n\times(Rc1_n+Rc2_n)/Rc2_n \quad \cdots \text{式(3)}$$

[0042] 式(3)から明らかなように、出力インピーダンスZoは、正側及び負側における第1の分圧抵抗18と第2の分圧抵抗20の比を調整することにより、制御することができる。つまり、出力インピーダンスZoを大きくする場合であっても、抵抗値の小さい正側及び負側における出力抵抗74を用いることができ、電力増幅回路100の電源として与えられる正電位Vpp及び負電位Vnnを低く抑えることができる。このため、電力増幅回路100における消費電力を抑えつつ、出力インピーダンスZoを制御することができる。

[0043] 本例においては、正側出力抵抗74－1の抵抗値は、2つの正側分圧抵抗(18－1、20－1)のそれぞれの抵抗値より小さく、負側出力抵抗74－2の抵抗値は、2つの

負側分圧抵抗（18－2、20－2）のそれぞれの抵抗値より小さいことが好ましい。例えば、それぞれの出力抵抗の抵抗値は1Ω以下であって、それぞれの分圧抵抗の抵抗値は、数kΩであってよい。

[0044] 図3は、電力増幅回路100の構成の第3例を示す図である。本例における電力増幅回路100は、図2において説明した電力増幅回路100において、正側トランジスタ72－1及び負側トランジスタ72－2の極性を逆転した構成を有する。つまり、本例における電力増幅回路100の正側トランジスタ72－1は、p型MOSFETであり、負側トランジスタ72－2は、n型MOSFETである。

[0045] この場合、正側出力抵抗74－1は、正側トランジスタ72－1のソース端子と、所定の正電位Vppとの間に設けられ、負側出力抵抗74－2は、負側トランジスタ72－2のソース端子と、所定の負電位Vnnとの間に設けられる。また、正側トランジスタ72－1のドレイン端子と、負側トランジスタ72－2のドレイン端子とは接続され、当該接続点における電圧が、出力電圧として外部に出力される。このような構成によっても、図1又は図2において説明した電力増幅回路100と同様に、出力段のトランジスタの特性に関わらず、アイドリング電流を所定値にすることができる。

[0046] また、図3に示すように、正側及び負側のバイアス生成部10において、バッファトランジスタ16のコレクタ端子と所定の正電位Vppとの間に、第1の分圧抵抗18が設けられ、バッファトランジスタ16のソース端子に、第2の分圧抵抗20が接続されていてもよい。この場合、バッファトランジスタ16のコレクタ端子と、第1の分圧抵抗18との接続点における電圧が、バイアス電圧として正側又は負側の制御部40に供給される。このような構成によっても、図2において説明した電力増幅回路100と同様に、出力インピーダンスZoを調整することができる。

[0047] 図4は、電力増幅回路100の構成の第4例を示す図である。本例における電力増幅回路100は、正側及び負側のバイアス生成部10において、抵抗によりバイアス電圧を生成する。ツェナーダイオードの順方向電圧、及びトランジスタのベース－エミッタ間電圧にはばらつきが生じやすいため、これらを用いてバイアス電圧を生成すると、所望のバイアス電圧を生成できない場合がある。これに対し、抵抗は抵抗値を精度よく調整して形成することができるため、本例における電力増幅回路100は、所望の

バイアス電圧を精度よく生成することができる。

[0048] 正側バイアス生成部10－1は、昇圧部14－1として抵抗を用いる。また、本例における正側バイアス生成部10－1は、図2において説明した正側バイアス生成部10－1の構成に対し、正側バッファトランジスタ16－1を有さない。第1の正側分圧抵抗18－1及び第2の正側分圧抵抗20－1は、昇圧部14－1の出力端と、正側出力抵抗74－1及び負側出力抵抗74－2の接続点との間に直列に設けられる。

[0049] また、負側バイアス生成部10－2は、図4に示すように、正側バイアス生成部10－1と同様の構成を有する。このような構成により、上述したように、所望のバイアス電圧を精度よく生成することができる。

[0050] ここで、昇圧部14－1として機能する抵抗の抵抗値は、第1の正側分圧抵抗18－1及び第2の正側分圧抵抗20－1の抵抗値より十分小さいことが好ましい。例えば、ノレータ12－1に流れる電流の略全てが、昇圧部14－1に流れるような抵抗値を有することが好ましい。また同様に、降圧部14－2として機能する抵抗の抵抗値は、第1の負側分圧抵抗18－2及び第2の負側分圧抵抗20－2の抵抗値より十分小さいことが好ましい。

[0051] 図5は、電力増幅回路100の構成の第5例を示す図である。本例における電力増幅回路100は、図4において説明した電力増幅回路100の構成に対し、正側及び負側のバイアス生成部10において、ボルテージフォロワ回路22を更に有する。

[0052] 正側バイアス生成部10－1は、昇圧部14－1の出力端と、第1の正側分圧抵抗18－1との間に、ボルテージフォロワ回路22－1を有する。また、負側バイアス生成部10－2は、降圧部14－2の出力端と、第1の負側分圧抵抗18－2との間に、ボルテージフォロワ回路22－2を有する。このような構成により、昇圧部14－1又は降圧部14－2が生成した電圧を、精度よく第1の正側分圧抵抗18－1又は第1の負側分圧抵抗18－2に伝送することができる。

[0053] また、電力増幅回路100は、第1の分圧抵抗18及び第2の分圧抵抗20の抵抗値を制御する抵抗制御部を更に有していてもよい。これにより、電力増幅回路100の出力インピーダンスを所望の値に制御することができる。

[0054] 図6は、電力増幅回路100が備える抵抗制御部30を説明する図である。抵抗制御

部30は、正側及び負側のバイアス生成部10における第1の分圧抵抗18及び第2の分圧抵抗20の抵抗値を制御する。図6においては、正側バイアス生成部10－1における第1の正側分圧抵抗18－1及び第2の正側分圧抵抗20－1の抵抗値を制御する場合について説明する。

[0055] 式(3)に関連して説明したように、抵抗制御部30は、第1の正側分圧抵抗18－1及び第2の正側分圧抵抗20－1の抵抗比を制御することにより、出力インピーダンスの値を容易に制御することができる。第1の正側分圧抵抗18－1及び第2の正側分圧抵抗20－1は、例えば可変抵抗であってよい。また、正側バイアス生成部10における分圧抵抗の抵抗値を制御した場合、抵抗制御部30は、負側バイアス生成部10における分割抵抗の抵抗値も、同様に制御する。

[0056] 図7は、本発明の実施形態に係る試験装置200の構成の一例を示す図である。試験装置200は、複数の被試験デバイス300を並行して試験する装置であって、複数のパターン発生部(120－1～120－n、但しnは任意の整数)、複数の電力増幅回路(100－1～100－n)、テスタ制御部110、及び判定部130を備える。被試験デバイス300は、例えば半導体回路等の電子デバイスである。

[0057] 複数の電力増幅回路100は、複数の被試験デバイス300に対応して設けられる。複数の電力増幅回路100は、それぞれ図1から図6において説明した電力増幅回路100と同一の構成を有し、対応する被試験デバイス300に電源電力を供給する。

[0058] 複数のパターン発生部120－1は、複数の被試験デバイス300に対応して設けられる。それぞれのパターン発生部120－1は、被試験デバイス300の試験を行うための試験パターンを、対応する被試験デバイス300に供給する。

[0059] テスタ制御部110は、複数のパターン発生部120、及び複数の電力増幅回路100を制御し、それぞれの被試験デバイス300に所定の試験パターン及び電源電圧を供給させる。また判定部130は、電源電力が供給された被試験デバイス300の動作を検出し、それぞれの被試験デバイス300の良否を判定する。例えば、判定部130は、被試験デバイス300が出力する出力信号に基づいて良否を判定してよく、また被試験デバイス300に供給される電源電流を検出し、当該電源電流に基づいて被試験デバイス300の良否を判定してもよい。

[0060] 本例におけるそれぞれの電力増幅回路100における昇圧部14－1及び降圧部14－2は、同一の昇圧電圧及び降圧電圧を生成することが好ましい。例えば、それぞれの昇圧部14－1及び降圧部14－2は、同一の特性を有するツェナーダイオードによって構成されてよい。これにより、それぞれの電力増幅回路100におけるアイドリング電流を同一にすることができる。このため、それぞれの被試験デバイス300の試験を精度よく行なうことができる。

[0061] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

産業上の利用可能性

[0062] 以上から明らかなように、本発明によれば、出力段のトランジスタの特性に関わらず、アイドリング電流が所定の値となる電力増幅回路を提供することができる。

請求の範囲

[1] 与えられる入力電圧に応じた出力電圧を出力する電力増幅回路であって、

直列に接続され、接続点における電圧を前記出力電圧として出力する正側出力抵抗及び負側出力抵抗と、

ソース端子が前記正側出力抵抗に接続され、ゲート端子に与えられる電圧に応じた電流を前記正側出力抵抗に流す正側トランジスタと、

ソース端子が前記負側出力抵抗に接続され、ゲート端子に与えられる電圧に応じた電流を前記負側出力抵抗に流す負側トランジスタと、

前記入力電圧に応じた正側バイアス電圧を生成する正側バイアス生成部と、

前記入力電圧に応じた負側バイアス電圧を生成する負側バイアス生成部と、

前記正側バイアス電圧と、前記正側トランジスタのソース電圧とが略同一となるように、前記正側トランジスタの前記ゲート端子に印加する電圧を制御する正側制御部と、

前記負側バイアス電圧と、前記負側トランジスタのソース電圧とが略同一となるように、前記負側トランジスタの前記ゲート端子に印加する電圧を制御する負側制御部とを備える電力増幅回路。

[2] 前記正側バイアス生成部は、前記入力電圧に所定の電圧を加えて前記正側バイアス電圧を生成し、

前記負側バイアス生成部は、前記入力電圧から前記所定の電圧を減じて前記負側バイアス電圧を生成する

請求項1に記載の電力増幅回路。

[3] 前記正側制御部は、非反転入力端子に前記正側バイアス電圧を受け取り、反転入力端子に前記正側トランジスタの前記ソース電圧を受け取る増幅器を有し、

前記負側制御部は、非反転入力端子に前記負側バイアス電圧を受け取り、反転入力端子に前記負側トランジスタの前記ソース電圧を受け取る増幅器を有する

請求項1に記載の電力増幅回路。

[4] 前記正側バイアス生成部は、

前記入力電圧に所定の電圧を加える昇圧部と、

前記昇圧部の出力端と、前記正側出力抵抗及び前記負側出力抵抗間の前記接続点との間に直列に設けられ、前記昇圧部が出力する電圧を分圧した電圧を、前記正側バイアス電圧として前記正側制御部に供給する2つの正側分圧抵抗と

を有し、

前記負側バイアス生成部は、

前記入力電圧から前記所定の電圧を減じる降圧部と、

前記降圧部の出力端と、前記正側出力抵抗及び前記負側出力抵抗間の前記接続点との間に直列に設けられ、前記降圧部が出力する電圧を分圧した電圧を、前記負側バイアス電圧として前記負側制御部に供給する2つの負側分圧抵抗と

を有する請求項2に記載の電力増幅回路。

[5] 前記正側出力抵抗の抵抗値は、前記2つの正側分圧抵抗のそれぞれの抵抗値より小さく、

前記負側出力抵抗の抵抗値は、前記2つの負側分圧抵抗のそれぞれの抵抗値より小さい

請求項4に記載の電力増幅回路。

[6] 前記2つの正側分圧抵抗の抵抗比、及び前記2つの負側分圧抵抗の抵抗比を制御することにより、前記電力増幅回路の出力インピーダンスを制御する抵抗制御部を更に備える

請求項4に記載の電力増幅回路。

[7] 前記正側バイアス生成部は、

前記入力電圧に所定の電圧を加える昇圧部と、

コレクタ端子が第1の正側分圧抵抗を介して所定の正電位に接続され、エミッタ端子が第2の正側分圧抵抗を介して前記接続点に接続され、ゲート端子に前記昇圧部が出力する電圧を受け取り、コレクタ電圧を前記正側バイアス電圧として前記正側制御部に供給する正側バイアストランジスタと

を有し、

前記負側バイアス生成部は、

前記入力電圧から前記所定の電圧を減じる降圧部と、

コレクタ端子が第1の負側分圧抵抗を介して所定の負電位に接続され、エミッタ端子が第2の負側分圧抵抗を介して前記接続点に接続され、ゲート端子に前記降圧部が出力する電圧を受け取り、コレクタ電圧を前記負側バイアス電圧として前記負側制御部に供給する負側バイアストランジスタと

を有する

請求項1に記載の電力増幅回路。

[8] 被試験デバイスを試験する試験装置であって、

前記被試験デバイスに印加するべき入力電圧が与えられ、前記入力電圧に基づいて、前記被試験デバイスに電源電力を供給する電力増幅回路と、

前記電源電力が供給された前記被試験デバイスの動作を検出し、前記被試験デバイスの良否を判定する判定部と

を備え、

前記電力増幅回路は、

直列に接続され、接続点における電圧を電源電圧として前記被試験デバイスに出力する正側出力抵抗及び負側出力抵抗と、

ソース端子が前記正側出力抵抗に接続され、ゲート端子に与えられる電圧に応じた電流を前記正側出力抵抗に流す正側トランジスタと、

ソース端子が前記負側出力抵抗に接続され、ゲート端子に与えられる電圧に応じた電流を前記負側出力抵抗に流す負側トランジスタと、

前記入力電圧に応じた正側バイアス電圧を生成する正側バイアス生成部と、

前記入力電圧に応じた負側バイアス電圧を生成する負側バイアス生成部と、

前記正側バイアス電圧と、前記正側トランジスタのソース電圧とが略同一となるように、前記正側トランジスタの前記ゲート端子に印加する電圧を制御する正側制御部と、

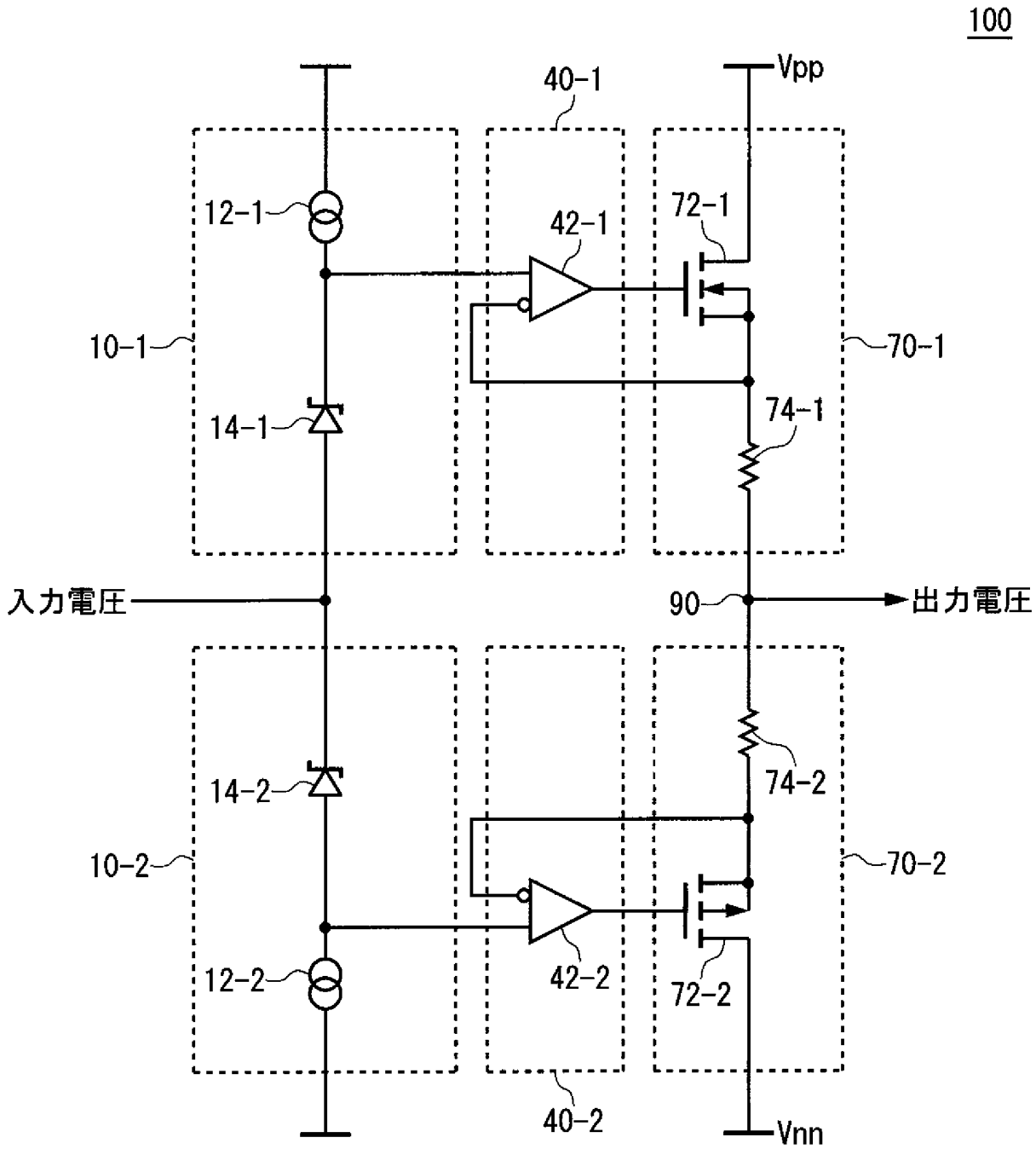
前記負側バイアス電圧と、前記負側トランジスタのソース電圧とが略同一となるように、前記負側トランジスタの前記ゲート端子に印加する電圧を制御する負側制御部とを有する試験装置。

[9] 前記試験装置は、複数の前記被試験デバイスを並行して試験し、前記電力増幅回

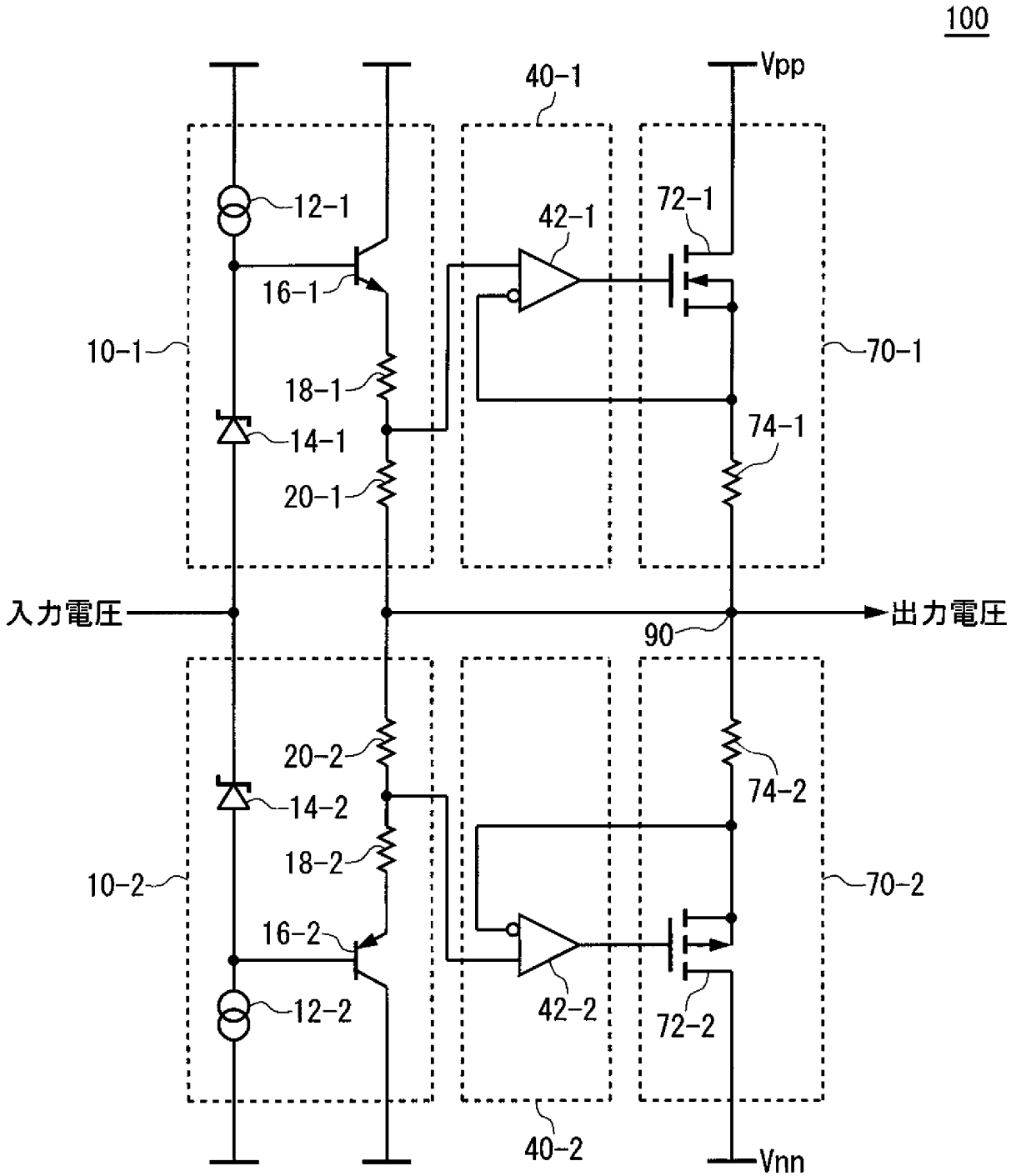
路を、前記被試験デバイス毎に備える

請求項8に記載の試験装置。

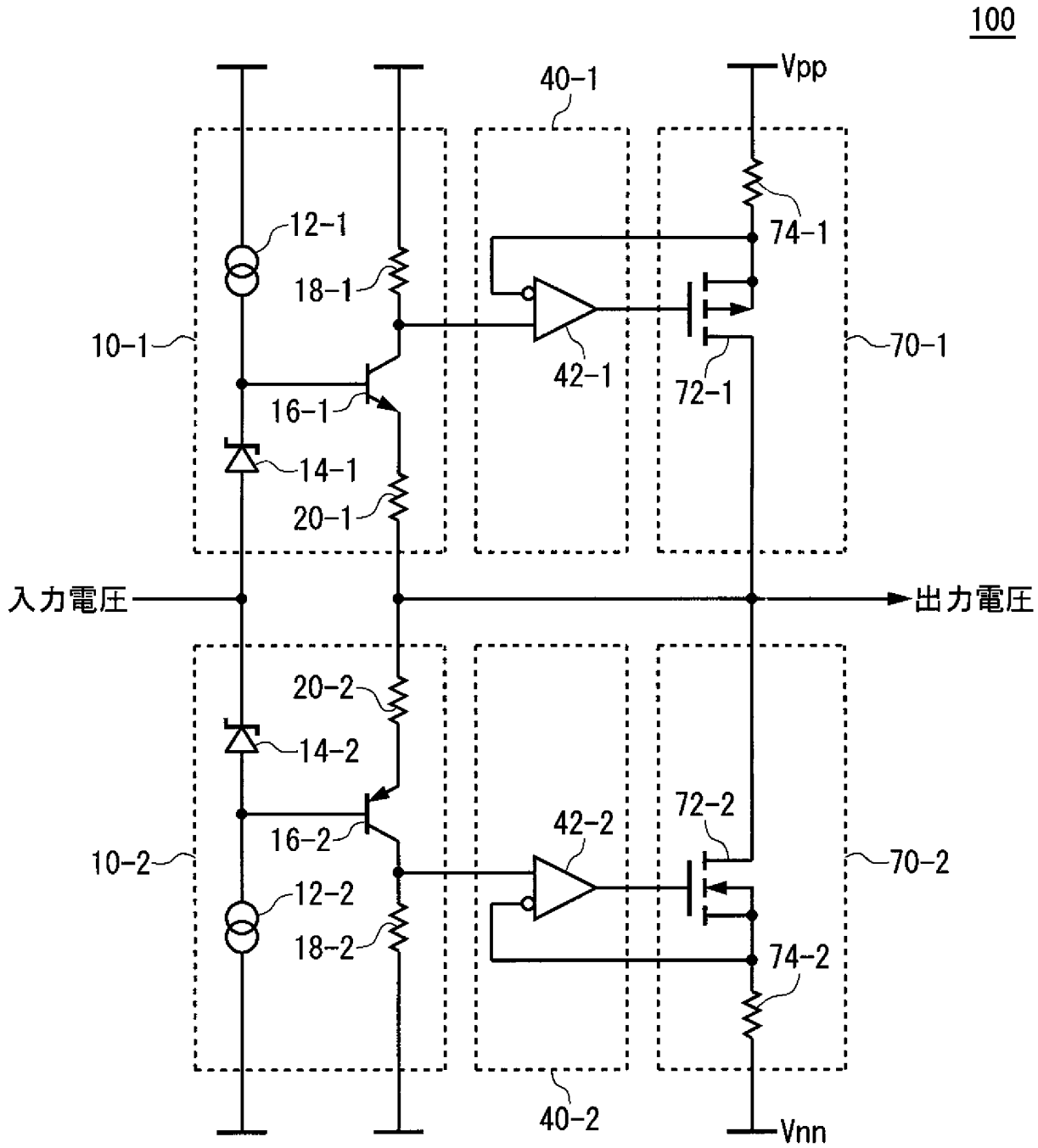
[図1]


100
40-1
Vpp
12-1
42-1
72-1
10-1
70-1
14-1
74-1
入力電圧
90
出力電圧
74-2
14-2
10-2
70-2
12-2
42-2
72-2
40-2
Vnn

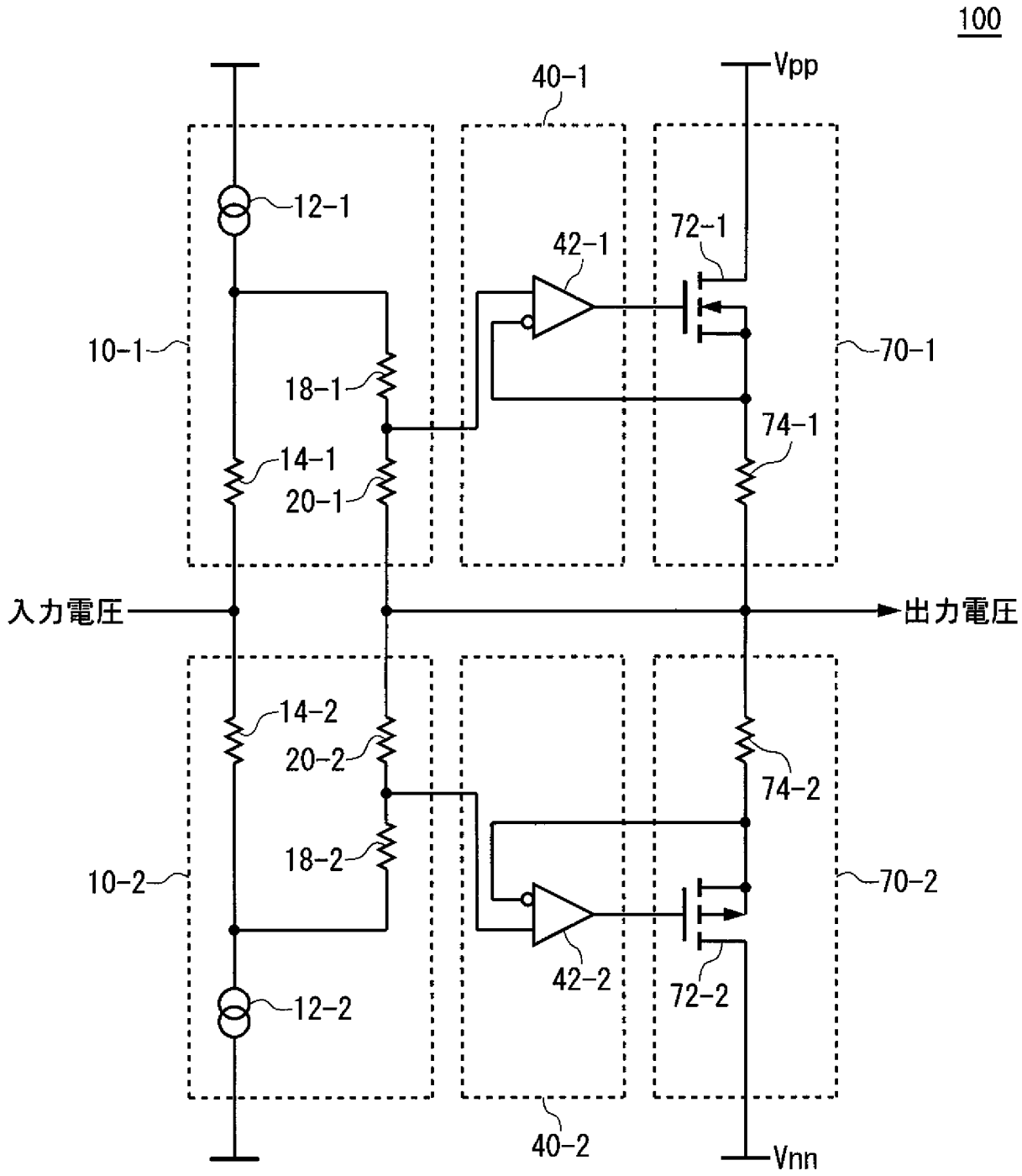
[図2]


100
Vpp
40-1
12-1
42-1
72-1
16-1
10-1
70-1
18-1
74-1
14-1
20-1
入力電圧
出力電圧
90
20-2
74-2
14-2
18-2
10-2
70-2
16-2
12-2
42-2
72-2
40-2
Vnn

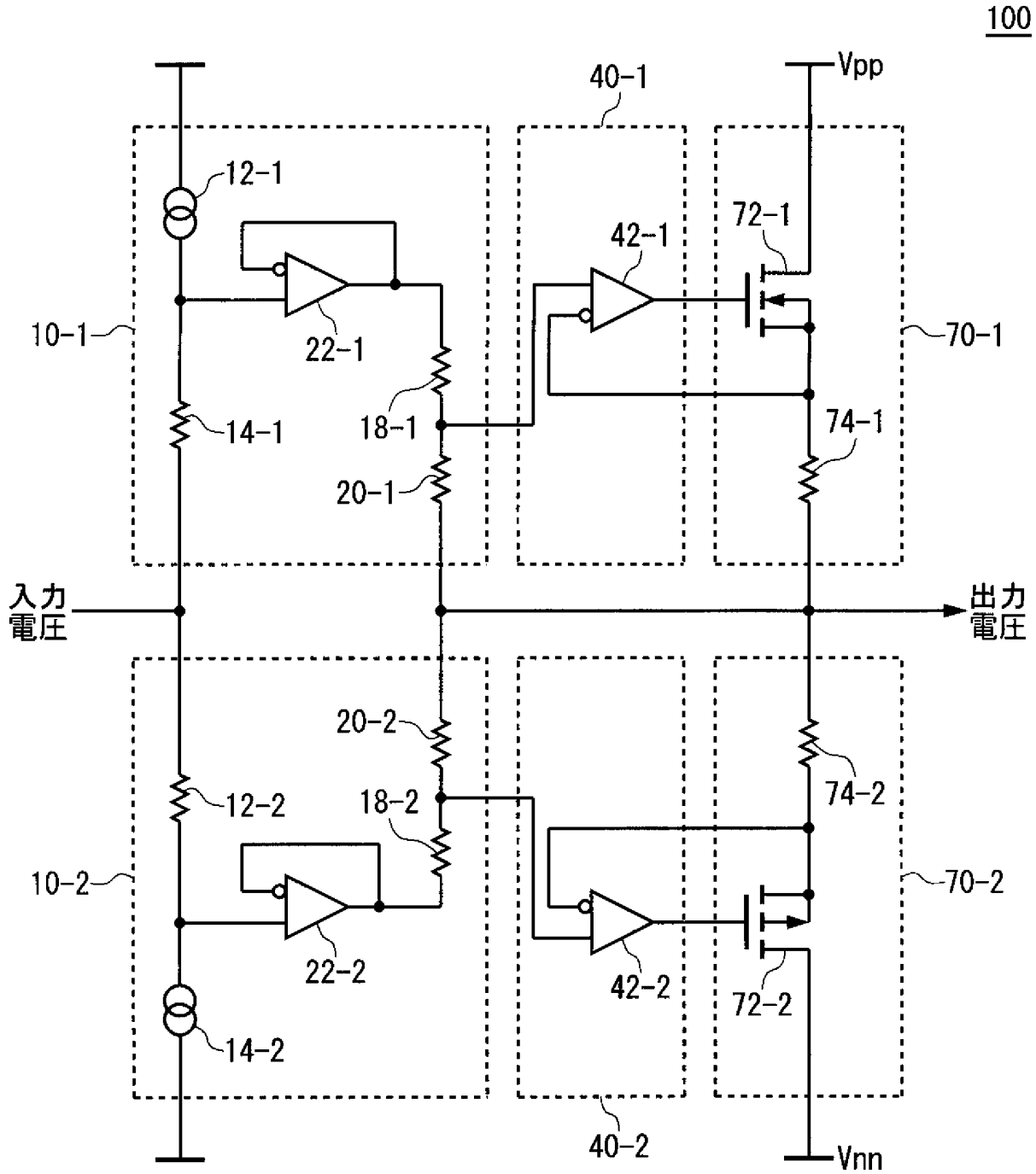
[図3]


100
Vpp
40-1
12-1
18-1
74-1
10-1
42-1
72-1
70-1
16-1
14-1
20-1
入力電圧
出力電圧
20-2
14-2
72-2
42-2
16-2
10-2
70-2
12-2
18-2
74-2
40-2
Vnn

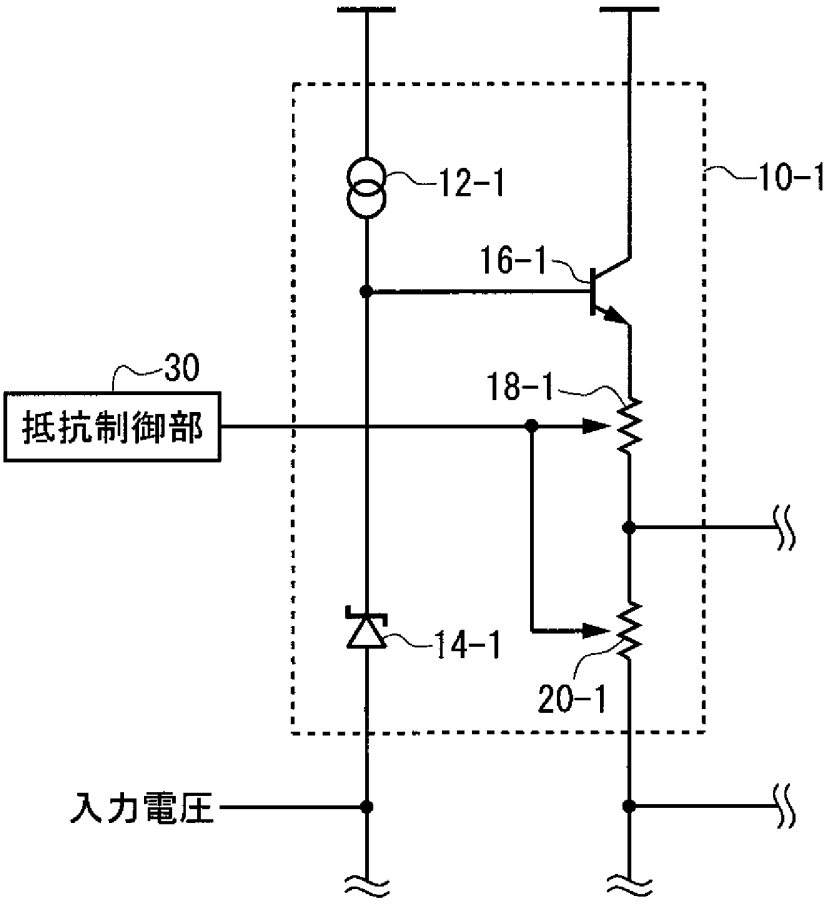
[図4]


100
Vpp
40-1
12-1
42-1
72-1
10-1
70-1
18-1
74-1
14-1
20-1
入力電圧
出力電圧
14-2
20-2
74-2
18-2
10-2
70-2
42-2
72-2
12-2
40-2
Vnn

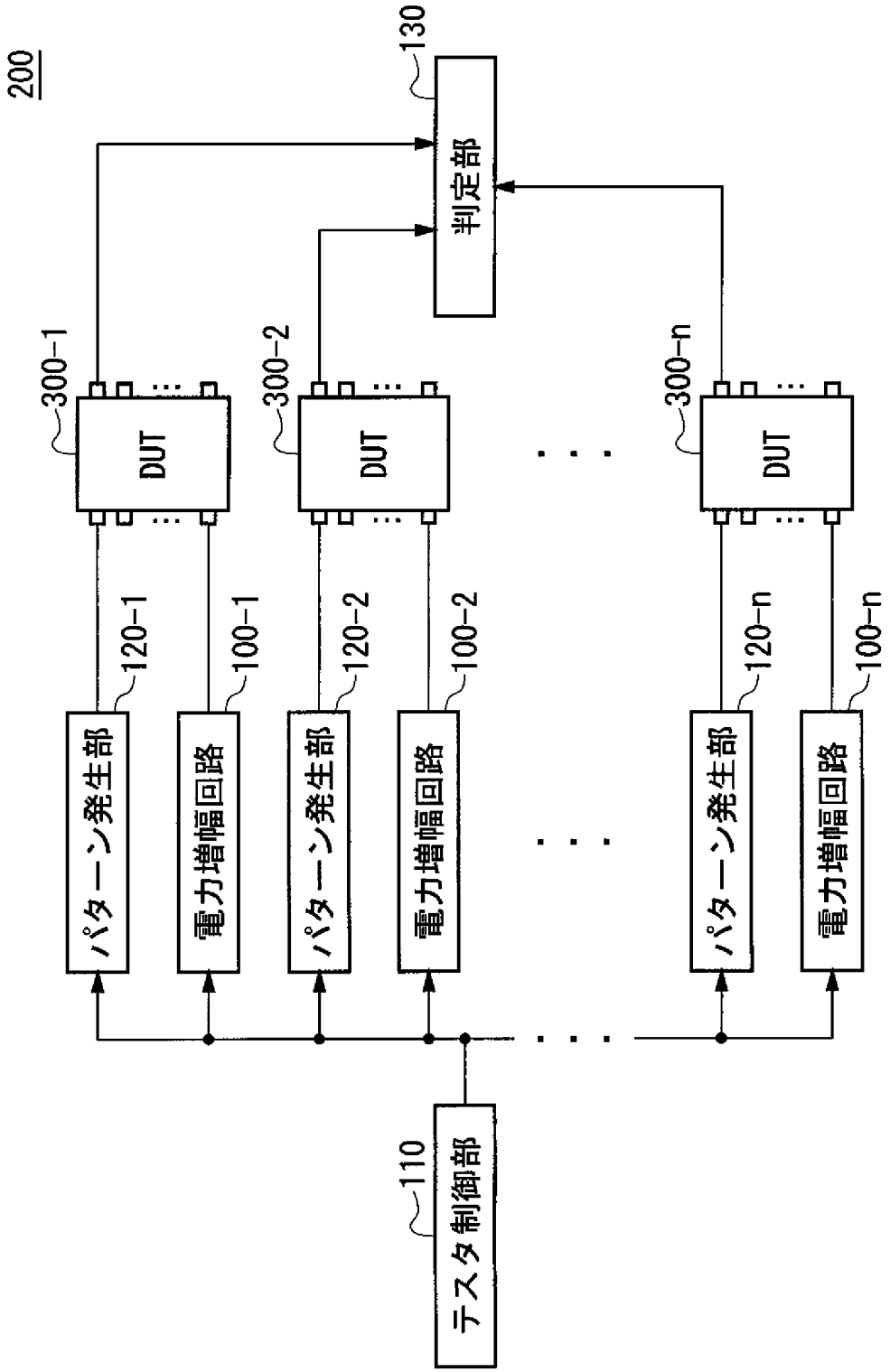
[図5]


100
Vpp
40-1
12-1
42-1
72-1
10-1
22-1
70-1
14-1
18-1
74-1
20-1
入力
電圧
出力
電圧
20-2
74-2
12-2
18-2
10-2
70-2
22-2
42-2
72-2
14-2
40-2
Vnn

[図6]



[図7]


200
130
判定部
300-1
300-2
300-n
DUT
DUT
DUT
120-1
100-1
120-2
100-2
120-n
100-n
パターン発生部
電力増幅回路
パターン発生部
電力増幅回路
パターン発生部
電力増幅回路
110
テスタ制御部

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2006/302196

A. CLASSIFICATION OF SUBJECT MATTER
H03F3/30(2006.01), ***G01R31/28***(2006.01), ***H03F3/34***(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03F3/30(2006.01), ***G01R31/28***(2006.01), ***H03F3/34***(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006
Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2003-46347 A (Agilent Technologies Inc.), 14 February, 2003 (14.02.03), Full text; all drawings & US 2003/0025560 A1 & DE 10232633 A1	1-3,7 4-6,8,9
Y	JP 5-67932 A (Pioneer Electronic Corp.), 19 March, 1993 (19.03.93), Par. Nos. [0015] to [0017]; Fig. 1 & US 5216382 A	1-9
Y	JP 1-169810 U (Nakamichi Corp.), 30 November, 1989 (30.11.89), Page 4, line 3 to page 8, line 4 (Family: none)	4-6

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
01 May, 2006 (01.05.06)	16 May, 2006 (16.05.06)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2006/302196

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP S52-10753 U (Nippon Gakki Co., Ltd.), 25 January, 1977 (25.01.77), Page 5, line 5 to page 16, line 5 (Family: none)	1-9
Y	JP 06-331700 A (Hitachi Haiteku Denshi Enjiniaring Kabushiki Kaisha), 02 December, 1994 (02.12.94), Par. Nos. [0001] to [0004]; Figs. 1, 2 (Family: none)	8-9

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００６／３０２１９６

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　*H03F3/30(2006.01), G01R31/28(2006.01), H03F3/34(2006.01)*

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　*H03F3/30(2006.01), G01R31/28(2006.01), H03F3/34(2006.01)*

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００６年
日本国実用新案登録公報	１９９６－２００６年
日本国登録実用新案公報	１９９４－２００６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X Y	JP 2003-46347 A（アジレント・テクノロジー株式会社）2003.02.14, 全文、全図 & US 2003/0025560 A1　& DE 10232633 A1	1-3,7 4-6,8,9
Y	JP 5-67932 A（パイオニア株式会社）1993.03.19, 段落【００１５】～【００１７】、第１図 & US 5216382 A	1-9
Y	JP 1-169810 U（ナカミチ株式会社）1989.11.30, 第４頁第３行から第８頁第４行　（ファミリーなし）	4-6

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０１．０５．２００６	１６．０５．２００６

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｗ　９１８４
野元　久道
電話番号　０３－３５８１－１１０１　内線　３５７６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	JP S52-10753 U（日本楽器製造株式会社）1977.01.25，第５頁第５行～第１６頁第５行（ファミリーなし）	1-9
Y	JP 06-331700 A（日立ハイテク電子エンジニアリング株式会社）1994.12.02，段落【０００１】～【０００４】、第１図、第２図（ファミリーなし）	8-9