

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-56516  
(P2010-56516A)

(43) 公開日 平成22年3月11日(2010.3.11)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 A	4M104
HO 1 L 21/8234 (2006.01)	HO 1 L 27/06 1O2A	4M118
HO 1 L 27/06 (2006.01)	HO 1 L 27/08 1O2D	5FO33
HO 1 L 27/088 (2006.01)	HO 1 L 29/58 G	5FO48
HO 1 L 29/423 (2006.01)	HO 1 L 21/90 C	

審査請求 未請求 請求項の数 13 O L (全 63 頁) 最終頁に続く

(21) 出願番号 特願2009-37557 (P2009-37557)  
 (22) 出願日 平成21年2月20日 (2009.2.20)  
 (31) 優先権主張番号 特願2008-199518 (P2008-199518)  
 (32) 優先日 平成20年8月1日 (2008.8.1)  
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000002185  
 ソニー株式会社  
 東京都港区港南1丁目7番1号  
 (74) 代理人 110000925  
 特許業務法人信友国際特許事務所  
 (72) 発明者 松本 拓治  
 東京都港区港南1丁目7番1号 ソニー株式会社内  
 (72) 発明者 山口 哲司  
 東京都港区港南1丁目7番1号 ソニー株式会社内  
 (72) 発明者 大木 進  
 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

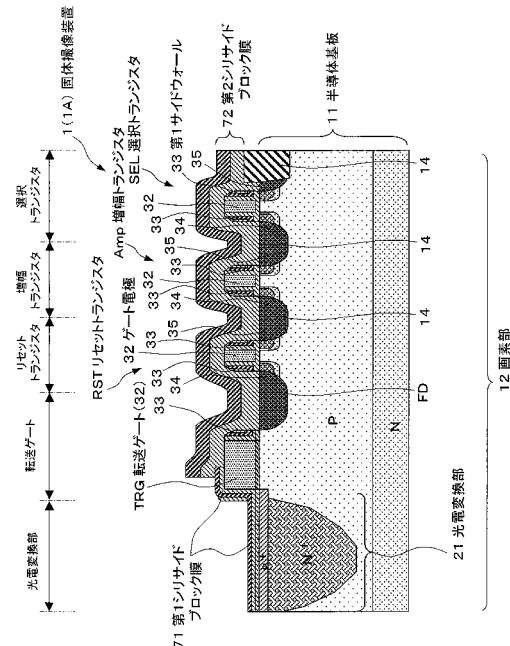
(54) 【発明の名称】 固体撮像装置、その製造方法および撮像装置

(57) 【要約】

【課題】本発明は、画素部のMOSトランジスタ上で異なる2層のシリサイドブロック膜の一部が重なるように形成して、白傷、暗電流を低減することを可能にする。

【解決手段】半導体基板11に、光電変換部21を備えた画素部12とその周辺に形成された周辺回路部13を有し、画素部12のゲート電極32の側壁にサイドウォール形成膜で形成された第1サイドウォール33と、周辺回路部13のゲート電極52の側壁にサイドウォール形成膜で形成された第2サイドウォール53と、光電変換部21上および画素部12のMOSトランジスタ30の一部上にサイドウォール形成膜で形成された第1シリサイドブロック膜71と、画素部12のMOSトランジスタ30上に、第1シリサイドブロック膜71の一部上に重なる第2シリサイドブロック膜72を有し、第1、第2シリサイドブロック膜71、72で画素部12のMOSトランジスタ30上が被覆されている。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

半導体基板に、入射光を光電変換して電気信号を得る光電変換部を備えた画素部と前記画素部の周辺に形成された周辺回路部を有し、

前記画素部の MOS トランジスタのゲート電極の側壁にサイドウォール形成膜で形成された第 1 サイドウォールと、

前記周辺回路部の MOS トランジスタのゲート電極の側壁に前記サイドウォール形成膜と同一層の膜で形成された第 2 サイドウォールと、

前記光電変換部上および前記画素部の MOS トランジスタの一部上に前記サイドウォール形成膜と同一層の膜で形成された第 1 シリサイドブロック膜と、

前記画素部の MOS トランジスタ上に、前記第 1 シリサイドブロック膜の一部上に重なる第 2 シリサイドブロック膜を有し、

前記第 1 シリサイドブロック膜と前記第 2 シリサイドブロック膜とで前記画素部の MOS トランジスタ上が被覆されている

固体撮像装置。

## 【請求項 2】

前記半導体基板に前記光電変換部に隣接してフローティングディフュージョン部を有し、

前記フローティングディフュージョン部は前記第 1 シリサイドブロック膜で被覆されている

請求項 1 記載の固体撮像装置。

## 【請求項 3】

前記半導体基板に前記光電変換部に隣接してフローティングディフュージョン部を有し、

前記画素部の MOS トランジスタの一つがリセットトランジスタであり、

前記フローティングディフュージョン部と、前記フローティングディフュージョン部が接続される前記リセットトランジスタの拡散層は前記第 1 シリサイドブロック膜で被覆されている

請求項 1 記載の固体撮像装置。

## 【請求項 4】

前記第 1 シリサイドブロック膜と前記第 2 シリサイドブロック膜の重なり部分が前記画素部内に形成されている

請求項 1 または請求項 2 記載の固体撮像装置。

## 【請求項 5】

前記半導体基板に形成された前記画素部内の第 1 素子分離領域と、前記周辺回路部内の第 2 素子分離領域を有し、

前記第 1 素子分離領域および前記第 2 素子分離領域はともに S T I 構造を有し、

前記第 1 素子分離領域は、前記第 2 素子分離領域よりも浅く、かつ前記半導体基板上への突き出し高さが前記第 1 素子分離領域と前記第 2 素子分離領域が同じとなる

請求項 1 または請求項 2 記載の固体撮像装置。

## 【請求項 6】

前記第 1 シリサイドブロック膜は酸化シリコン膜と窒化シリコン膜との積層構造を有し、

前記第 2 シリサイドブロック膜は酸化シリコン膜と窒化シリコン膜との積層構造を有する

請求項 1 または請求項 2 記載の固体撮像装置。

## 【請求項 7】

半導体基板に、入射光を光電変換して電気信号を得る光電変換部を備えた画素部と前記画素部の周辺に形成された周辺回路部を形成する際に、

前記画素部と前記周辺回路部上を被覆するサイドウォール形成膜を形成する工程と、

10

20

30

40

50

前記画素部のMOSトランジスタのゲート電極の側壁に前記サイドウォール形成膜で第1サイドウォールを形成し、前記周辺回路部のMOSトランジスタのゲート電極の側壁に前記サイドウォール形成膜で第2サイドウォールを形成し、前記光電変換部上および前記画素部のMOSトランジスタの一部上に前記サイドウォール形成膜で第1シリサイドブロック膜を形成する工程と、

前記画素部のMOSトランジスタ上に、前記第1シリサイドブロック膜の一部上に重なる第2シリサイドブロック膜を形成する工程を有し、

前記第1シリサイドブロック膜と前記第2シリサイドブロック膜とで前記画素部のMOSトランジスタ上を被覆する

固体撮像装置の製造方法。

10

【請求項8】

前記第1シリサイドブロック膜で前記光電変換部に隣接して形成されているフローティングディフュージョン部を覆う

請求項7記載の固体撮像装置の製造方法。

【請求項9】

前記第1シリサイドブロック膜で前記光電変換部に隣接して形成されているフローティングディフュージョン部を覆い、かつ前記第1シリサイドブロック膜で覆われる前記MOSトランジスタの一部はリセットトランジスタの拡散層である

請求項8記載の固体撮像装置の製造方法。

【請求項10】

前記第1シリサイドブロック膜と前記第2シリサイドブロック膜の重なり部分を前記画素部内に形成する

請求項8または請求項9記載の固体撮像装置の製造方法。

20

【請求項11】

前記半導体基板に形成された前記画素部内の第1素子分離領域と、前記周辺回路部内の第2素子分離領域を形成する際に、

前記第1素子分離領域および前記第2素子分離領域はともにSTI構造に形成し、

前記第1素子分離領域は、前記第2素子分離領域よりも浅く、かつ前記半導体基板上への突き出し高さが前記第1素子分離領域と前記第2素子分離領域が同じとなる

請求項7、請求項8または請求項9記載の固体撮像装置の製造方法。

30

【請求項12】

前記第1シリサイドブロック膜は酸化シリコン膜と窒化シリコン膜との積層構造に形成し、

前記第2シリサイドブロック膜は酸化シリコン膜と窒化シリコン膜との積層構造に形成する

請求項7、請求項8または請求項9記載の固体撮像装置の製造方法。

【請求項13】

入射光を集光する集光光学部と、

前記集光光学部で集光した光を受光して光電変換する固体撮像装置を有する撮像部と、

前記固体撮像装置で光電変換されて出力された電気信号を処理する信号処理部を有し、  
前記固体撮像装置は、

40

半導体基板に、入射光を光電変換して電気信号を得る光電変換部を備えた画素部と前記画素部の周辺に形成された周辺回路部を有し、

前記画素部のMOSトランジスタのゲート電極の側壁にサイドウォール形成膜で形成された第1サイドウォールと、

前記周辺回路部のMOSトランジスタのゲート電極の側壁に前記サイドウォール形成膜と同一層の膜で形成された第2サイドウォールと、

前記光電変換部上および前記画素部のMOSトランジスタの一部上に前記サイドウォール形成膜と同一層の膜で形成された第1シリサイドブロック膜と、

前記画素部のMOSトランジスタ上に、前記第1シリサイドブロック膜の一部上に重なる

50

る第2シリサイドブロック膜を有し、

前記第1シリサイドブロック膜と前記第2シリサイドブロック膜とで前記画素部のMOSトランジスタ上が被覆されている

撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置、その製造方法および撮像装置に関するものである。

【背景技術】

【0002】

固体撮像装置のMOSトランジスタのゲート電極に3層構造のサイドウォールを形成し、その3層構造のサイドウォールと同一層の膜（以下、サイドウォール形成膜という）を固体撮像装置のセンサー部に形成し、それをセンサー部にシリサイドが形成されないようにするシリサイドブロックに用いる製造方法が開示されている（例えば、特許文献1（特にFig 64およびその関連記載）参照。）。

【0003】

しかしながら、特許文献1に記載された製造方法では、MOSトランジスタのソース・ドレイン領域を形成するには、上記3層構造のサイドウォール形成膜越しに、ソース・ドレイン領域を形成するためのイオン注入を行う。そのため、寄生抵抗を抑制したまま短チャネル効果を改善するのが困難であった。

また、3層構造のサイドウォール形成膜で完全に被覆された状態でソース・ドレイン領域のアニールを実施するため、このサイドウォール形成膜によるストレス（Stress）が大きくなる（SMT：Stress Memorization Technique（例えば、非特許文献1参照））。

さらに、ロジック部のMOSトランジスタのソース・ドレイン領域を形成するイオン注入と、画素部のMOSトランジスタのソース・ドレイン領域を形成するイオン注入の条件を変える必要が生じると考えられる。その理由は、画素部のMOSトランジスタはサイドウォール膜越しにイオン注入となり、ロジック部のMOSトランジスタはスルー膜なしのイオン注入になるためである。そのため、ロジック部のMOSトランジスタの拡散層深さと画素部のMOSトランジスタの拡散層深さが異なる。したがって、ロジック部のMOSトランジスタは、画素部のMOSトランジスタと比較してゲート長が短いため、接合リークを抑制しながら短チャネル効果を改善し、また寄生抵抗の増加の抑制を同時に実現することが難しくなる。上記特許文献1には記載されていないものの、ロジック部のMOSトランジスタのソース・ドレイン領域を形成するイオン注入と、画素部のMOSトランジスタのソース・ドレイン領域を形成するイオン注入は、別々に行うのが自然である。

【0004】

また、ゲート電極上を完全に被覆する1層のカバー膜（被覆膜）が形成された状態で、ソース・ドレイン領域のアニールを行うと、カバー膜に引張応力（Tensile応力）がかかる（SMT）。この膜応力（Stress）によりセンサー部のシリコン層に結晶欠陥が入り、ランダムノイズ増加、白傷・暗電流の増加を引き起こすことが懸念される。

【0005】

上記説明したように、ソース・ドレイン領域を形成するイオン注入は、サイドウォール形成膜越しのイオン注入になるため、シリコン（Si）表面の濃度を濃くしたまま、所望の拡散層深さに設定するのが困難である。そのため、ソース・ドレイン領域の寄生抵抗が増加し、画素トランジスタの駆動力が落ちる。

【0006】

また、上記サイドウォール形成膜を、シリサイドブロック膜として使わず、別途、シリサイドブロック用の膜を新たに設ける製造方法が開示されている（例えば、特許文献2参照。）。

この製造方法では、ゲート電極の側壁にサイドウォールを形成する際に行うサイドウォ

10

20

30

40

50

ール膜のエッチバックで、シリコン基板にダメージが入りやすい。この結果、暗電流が増加するという問題が生じる。

また、この製造方法では、ソース・ドレイン領域を形成するイオン注入の前に、フォトダイオード上の酸化膜を除去するため、フォトダイオード上では、レジストマスクが直付け状態になる。このため、フォトダイオードがレジストにより汚染され、暗電流が増加する。

さらに、フォトダイオード上のウェットエッチングによる表面領域のP型不純物の不純物損失の結果、暗電流が悪化する。

上記フォトダイオード上の酸化膜を除去するウェットエッチングの際に、ロジック部の素子分離領域(STI)上部のエッチングによる削れ量が大きくなることから、ロジック部の素子分離領域のエッジにおいて、ソース・ドレイン領域上にシリサイドを形成した際に、シリサイド起因の接合リークが悪化する。

上記フォトダイオード上の酸化膜を除去した歳に、サイドウォール膜の一部がリフトオフされる問題が増加する。この結果、歩留まりの低下を引き起こす。

#### 【0007】

固体撮像装置のMOSトランジスタにおいて、ゲート電極の側壁に2層構造のサイドウォールを形成する場合、シリコン基板上にゲート絶縁膜を介してゲート電極を形成する。

次いで、シリコン基板上にゲート電極を被覆する酸化シリコン膜を形成する。さらに上記酸化シリコン膜上に窒化シリコン膜を形成する。

その後、上記窒化シリコン膜を全面エッチバックして、ゲート電極の側壁に酸化シリコン膜を介して窒化シリコン膜を残す。このエッチバックでは、上記酸化シリコン膜がエッチングストッパとなる。

次に、酸化シリコン膜をエッチングする。この結果、ゲート電極上が露出され、またシリコン基板が露出される。このとき、固体撮像装置のフォトダイオード上の酸化シリコン膜も除去される。

#### 【0008】

上記製造方法では、画素サイズおよびトランジスタサイズを微細化していくと、上記酸化シリコン膜の膜厚が薄くなっていく。そのため、窒化シリコン膜のエッチバック時において、下地のシリコン基板にダメージを与えない状態ではエッチングを停止させることが困難になる。一般的に窒化シリコン膜のエッチング時の酸化シリコン膜止めは、選択比をとるのが難しい。

#### 【0009】

また、酸化シリコン膜の除去時において、窒化シリコン膜で形成されたサイドウォール下まで、酸化シリコン膜の一部がウェットエッチングされる。このため、その後の熱処理等の応力(Stress)により、サイドウォールがいわゆるリフトオフされた状態になり、ごみの原因となる危険性がある。これは歩留まりを落とす原因の一つにもなる。

#### 【0010】

上記酸化シリコン膜をエッチングするとき、固体撮像装置のフォトダイオード上の酸化シリコン膜も除去される。その後、nFET、pFETのソース・ドレインを形成するためのイオン注入を行うが、そのイオン注入時に用いるレジストマスクが、フォトダイオード上で直付けになる。このため、フォトダイオード中へのレジスト中に含まれているナトリウム(Na)等の汚染が懸念され、白傷悪化の問題が生じる。

#### 【0011】

図95にCMOSセンサーのレイアウト図を示す。

図95に示すように、シリコン基板11に、フォトダイオードPDとこのフォトダイオードに接合するアクティブ領域15が形成されている。このアクティブ領域15に、転送ゲートTRG、リセットトランジスタRST、増幅トランジスタAmp、選択トランジスタSELが順に配置されている。また、転送ゲートTRGとリセットトランジスタRSTとの間にフローティングディフュージョン部FDが形成されている。

また、上記平面レイアウトの等価回路を図96に示す。図96に示すレイアウトでは、

10

20

30

40

50

画素は、1つのフォトダイオードPDと、転送ゲートTRG、フローティングディフュージョン部FD、リセットトランジスタRST、増幅トランジスタAmp、選択トランジスタSELの4つのトランジスタから構成されている。これは、フォトダイオードPDを共有しないタイプであるが、もちろん共有するタイプや、4トランジスタ構成の部分が3トランジスタ構成のものもある。

【先行技術文献】

【特許文献】

【0012】

【特許文献1】再公表特許WO2003/09642号公報

【特許文献2】特開2008-86104号公報

10

【非特許文献】

【0013】

【非特許文献1】K.Ota, et al., "Novel Locally Strained Channel Technique for High Performance 55nm CMOS" IEDM Tech. Dig., pp27-30, 2002年

【発明の概要】

【発明が解決しようとする課題】

【0014】

解決しようとする問題点は、ランダムノイズ、白傷・暗電流を低減することが困難な点である。

【0015】

20

本発明は、画素部のMOSトランジスタ上にて、異なる2層のシリサイドブロック膜の一部が重なるように形成して、ランダムノイズ、白傷・暗電流が低減することを可能にする。

【課題を解決するための手段】

【0016】

本発明の固体撮像装置は、半導体基板に、入射光を光電変換して電気信号を得る光電変換部を備えた画素部と前記画素部の周辺に形成された周辺回路部を有し、

前記画素部のMOSトランジスタのゲート電極の側壁にサイドウォール形成膜で形成された第1サイドウォールと、

前記周辺回路部のMOSトランジスタのゲート電極の側壁に前記サイドウォール形成膜と同一層の膜で形成された第2サイドウォールと、

30

前記光電変換部上および前記画素部のMOSトランジスタの一部上に前記サイドウォール形成膜と同一層の膜で形成された前記第1シリサイドブロック膜と、

前記画素部のMOSトランジスタ上に、前記第1シリサイドブロック膜の一部上に重なる第2シリサイドブロック膜を有し、

前記第1シリサイドブロック膜と前記第2シリサイドブロック膜とで前記画素部のMOSトランジスタ上が被覆されている。

【0017】

本発明の固体撮像装置では、サイドウォール形成膜と同一層の膜で形成された第1シリサイドブロック膜と、第1シリサイドブロック膜とは別の膜で形成された第2シリサイドブロック膜の2層で被覆されている。このため、画素部のMOSトランジスタ上が1層のシリサイドブロック膜で完全に被覆されるのではないので、ランダムノイズが低減され、白傷・暗電流が低減される。

40

【0018】

本発明の固体撮像装置の製造方法は、半導体基板に、入射光を光電変換して電気信号を得る光電変換部を備えた画素部と前記画素部の周辺に形成された周辺回路部を形成する際に、

前記画素部と前記周辺回路部上を被覆するサイドウォール形成膜を形成する工程と、

前記画素部のMOSトランジスタのゲート電極の側壁に前記サイドウォール形成膜で第1サイドウォールを形成し、前記周辺回路部のMOSトランジスタのゲート電極の側壁に

50

前記サイドウォール形成膜で第2サイドウォールを形成し、前記光電変換部上および前記画素部のMOSトランジスタの一部上に前記サイドウォール形成膜で第1シリサイドブロック膜を形成する工程と、

前記画素部のMOSトランジスタ上に、前記第1シリサイドブロック膜の一部上に重なる第2シリサイドブロック膜を形成する工程を有し、

前記第1シリサイドブロック膜と前記第2シリサイドブロック膜とで前記画素部のMOSトランジスタ上を被覆する。

【0019】

本発明の固体撮像装置の製造方法では、サイドウォール形成膜と同一層の膜で形成された第1シリサイドブロック膜と、第1シリサイドブロック膜とは別の膜で形成された第2シリサイドブロック膜の2層で被覆される。このため、画素部のMOSトランジスタ上が1層のシリサイドブロック膜で完全に被覆されるのではないので、ランダムノイズが低減され、白傷・暗電流が低減される。

10

【0020】

本発明の撮像装置では、入射光を集光する集光光学部と、

前記集光光学部で集光した光を受光して光電変換する固体撮像装置と、

光電変換された信号を処理する信号処理部を有し、

前記固体撮像装置は、

半導体基板に、入射光を光電変換して電気信号を得る光電変換部を備えた画素部と前記画素部の周辺に形成された周辺回路部を有し、

20

前記画素部のMOSトランジスタのゲート電極の側壁にサイドウォール形成膜で形成された第1サイドウォールと、

前記周辺回路部のMOSトランジスタのゲート電極の側壁に前記サイドウォール形成膜と同一層の膜で形成された第2サイドウォールと、

前記光電変換部上および前記画素部のMOSトランジスタの一部上に前記サイドウォール形成膜と同一層の膜で形成された第1シリサイドブロック膜と、

前記画素部のMOSトランジスタ上に、前記第1シリサイドブロック膜の一部上に重なる第2シリサイドブロック膜を有し、

前記第1シリサイドブロック膜と前記第2シリサイドブロック膜とで前記画素部のMOSトランジスタ上が被覆されている。

30

【0021】

本発明の撮像装置では、本願発明の固体撮像装置を用いることから、ランダムノイズが低減され、白傷・暗電流が低減される。

【発明の効果】

【0022】

本発明の固体撮像装置は、ランダムノイズが低減でき、白傷・暗電流が低減できるという利点がある。

【0023】

本発明の固体撮像装置の製造方法は、ランダムノイズが低減でき、白傷・暗電流が低減できるという利点がある。

40

【0024】

本発明の撮像装置は、本願発明の固体撮像装置を用いることから、各画素のランダムノイズが低減でき、白傷・暗電流が低減できる。よって、画質の向上が図れる。

【図面の簡単な説明】

【0025】

【図1】本発明の固体撮像装置に係る一実施の形態の構成の第1例を示した概略構成断面図である。

【図2】本発明の固体撮像装置に係る一実施の形態の構成の第1例を示した概略構成断面図である。

【図3】本発明の固体撮像装置に係る一実施の形態の構成の第2例を示した概略構成断面

50

図である。

【図 4】本発明の固体撮像装置に係る一実施の形態の構成の第 2 例を示した概略構成断面図である。

【図 5】本発明の固体撮像装置に係る一実施の形態の第 1 例と第 2 例を示した平面レイアウト図である。

【図 6】本発明の固体撮像装置の製造方法に係る一実施の形態の第 1 例を示した製造工程断面図 ( 1 ) である。

【図 7】本発明の固体撮像装置の製造方法に係る一実施の形態の第 1 例を示した製造工程断面図 ( 2 ) である。

【図 8】本発明の固体撮像装置の製造方法に係る一実施の形態の第 1 例を示した製造工程断面図 ( 3 ) である。

【図 9】本発明の固体撮像装置の製造方法に係る一実施の形態の第 1 例を示した製造工程断面図 ( 4 ) である。

【図 10】本発明の固体撮像装置の製造方法に係る一実施の形態の第 1 例を示した製造工程断面図 ( 5 ) である。

【図 11】本発明の固体撮像装置の製造方法に係る一実施の形態の第 1 例を示した製造工程断面図 ( 6 ) である。

【図 12】本発明の固体撮像装置の製造方法に係る一実施の形態の第 1 例を示した製造工程断面図 ( 7 ) である。

【図 13】本発明の固体撮像装置の製造方法に係る一実施の形態の第 1 例を示した製造工程断面図 ( 8 ) である。

【図 14】本発明の固体撮像装置の製造方法に係る一実施の形態の第 1 例を示した製造工程断面図 ( 9 ) である。

【図 15】本発明の固体撮像装置の製造方法に係る一実施の形態の第 1 例を示した製造工程断面図 ( 10 ) である。

【図 16】本発明の固体撮像装置の製造方法に係る一実施の形態の第 1 例を示した製造工程断面図 ( 11 ) である。

【図 17】本発明の固体撮像装置の製造方法に係る一実施の形態の第 1 例を示した製造工程断面図 ( 12 ) である。

【図 18】本発明の固体撮像装置の製造方法に係る一実施の形態の第 1 例を示した製造工程断面図 ( 13 ) である。

【図 19】本発明の固体撮像装置の製造方法に係る一実施の形態の第 1 例を示した製造工程断面図 ( 14 ) である。

【図 20】本発明の固体撮像装置の製造方法に係る一実施の形態の第 1 例を示した製造工程断面図 ( 15 ) である。

【図 21】本発明の固体撮像装置の製造方法に係る一実施の形態の第 1 例を示した製造工程断面図 ( 16 ) である。

【図 22】本発明の固体撮像装置の製造方法に係る一実施の形態の第 1 例を示した製造工程断面図 ( 17 ) である。

【図 23】本発明の固体撮像装置の製造方法に係る一実施の形態の第 1 例を示した製造工程断面図 ( 18 ) である。

【図 24】本発明の固体撮像装置の製造方法に係る一実施の形態の第 1 例を示した製造工程断面図 ( 19 ) である。

【図 25】本発明の固体撮像装置の製造方法に係る一実施の形態の第 1 例を示した製造工程断面図 ( 20 ) である。

【図 26】本発明の固体撮像装置の製造方法に係る一実施の形態の第 1 例を示した製造工程断面図 ( 21 ) である。

【図 27】本発明の固体撮像装置の製造方法に係る一実施の形態の第 1 例を示した製造工程断面図 ( 22 ) である。

【図 28】本発明の固体撮像装置の製造方法に係る一実施の形態の第 1 例を示した製造工

10

20

30

40

50

程断面図(23)である。

【図29】本発明の固体撮像装置の製造方法に係る一実施の形態の第1例を示した製造工程断面図(24)である。

【図30】本発明の固体撮像装置の製造方法に係る一実施の形態の第1例を示した製造工程断面図(25)である。

【図31】本発明の固体撮像装置の製造方法に係る一実施の形態の第1例を示した製造工程断面図(26)である。

【図32】本発明の固体撮像装置の製造方法に係る一実施の形態の第1例を示した製造工程断面図(27)である。

【図33】本発明の固体撮像装置の製造方法に係る一実施の形態の第1例を示した製造工程断面図(28)である。

【図34】本発明の固体撮像装置の製造方法に係る一実施の形態の第1例を示した製造工程断面図(29)である。

【図35】本発明の固体撮像装置の製造方法に係る一実施の形態の第1例を示した製造工程断面図(30)である。

【図36】本発明の固体撮像装置の製造方法に係る一実施の形態の第1例を示した製造工程断面図(31)である。

【図37】本発明の固体撮像装置の製造方法に係る一実施の形態の第1例を示した製造工程断面図(32)である。

【図38】本発明の固体撮像装置の製造方法に係る一実施の形態の第1例を示した製造工程断面図(33)である。

【図39】本発明の固体撮像装置の製造方法に係る一実施の形態の第1例を示した製造工程断面図(34)である。

【図40】一つの画素トランジスタが4画素を共有する構成の一例を示した平面レイアウト図である。

【図41】本発明の固体撮像装置の製造方法に係る一実施の形態の第2例を示した平面レイアウト図である。

【図42】本発明の固体撮像装置の製造方法に係る一実施の形態の第2例を示した部分断面図である。

【図43】本発明の固体撮像装置の製造方法に係る一実施の形態の第2例を示した部分断面図である。

【図44】本発明の固体撮像装置の製造方法に係る一実施の形態の第2例を示した平面レイアウト図である。

【図45】本発明の固体撮像装置の製造方法に係る一実施の形態の第2例を示した部分断面図である。

【図46】本発明の固体撮像装置の製造方法に係る一実施の形態の第2例を示した部分断面図である。

【図47】エッチングダメージの影響を示した該略構成断面図である。

【図48】本発明の固体撮像装置に係る一実施の形態の第3例を示した平面レイアウト図である。

【図49】本発明の固体撮像装置に係る一実施の形態の第3例を示した部分断面図である。

【図50】本発明の固体撮像装置に係る一実施の形態の第3例を示した部分断面図である。

【図51】本発明の固体撮像装置に係る一実施の形態の第4例を示した平面レイアウト図である。

【図52】本発明の固体撮像装置に係る一実施の形態の第4例を示した部分断面図である。

【図53】本発明の固体撮像装置に係る一実施の形態の第4例を示した部分断面図である。

。

10

20

30

40

50

【図 5 4】本発明の固体撮像装置の製造方法に係る一実施の形態の第 3 例を示した平面レイアウト図である。

【図 5 5】本発明の固体撮像装置の製造方法に係る一実施の形態の第 3 例を示した部分断面図である。

【図 5 6】本発明の固体撮像装置の製造方法に係る一実施の形態の第 3 例を示した部分断面図である。

【図 5 7】本発明の固体撮像装置の製造方法に係る一実施の形態の第 3 例を示した平面レイアウト図である。

【図 5 8】本発明の固体撮像装置の製造方法に係る一実施の形態の第 3 例を示した部分断面図である。

【図 5 9】本発明の固体撮像装置の製造方法に係る一実施の形態の第 3 例を示した部分断面図である。

【図 6 0】本発明の固体撮像装置の製造方法に係る一実施の形態の第 4 例を示した平面レイアウト図である。

【図 6 1】本発明の固体撮像装置の製造方法に係る一実施の形態の第 4 例を示した部分断面図である。

【図 6 2】本発明の固体撮像装置の製造方法に係る一実施の形態の第 4 例を示した部分断面図である。

【図 6 3】本発明の固体撮像装置の製造方法に係る一実施の形態の第 4 例を示した平面レイアウト図である。

【図 6 4】本発明の固体撮像装置の製造方法に係る一実施の形態の第 4 例を示した部分断面図である。

【図 6 5】本発明の固体撮像装置の製造方法に係る一実施の形態の第 4 例を示した部分断面図である。

【図 6 6】固体撮像装置およびその製造方法の第 3、第 4 例の変形例を示した平面レイアウト図である。

【図 6 7】固体撮像装置およびその製造方法の第 1 例の変形例を示した平面レイアウト図である。

【図 6 8】固体撮像装置およびその製造方法の第 1 例の変形例を示した部分断面図である。

【図 6 9】固体撮像装置およびその製造方法の第 1 例の変形例を示した部分断面図である。

【図 7 0】一つの画素トランジスタが 4 画素を共有する構成（4 画素共有構成）の固体撮像装置の製造方法の詳細例を示した製造工程断面図である。

【図 7 1】4 画素共有構成の固体撮像装置の製造方法の詳細例を示した製造工程断面図である。

【図 7 2】4 画素共有構成の固体撮像装置の製造方法の詳細例を示した製造工程断面図である。

【図 7 3】4 画素共有構成の固体撮像装置の製造方法の詳細例を示した製造工程断面図である。

【図 7 4】4 画素共有構成の固体撮像装置の製造方法の詳細例を示した製造工程断面図である。

【図 7 5】4 画素共有構成の固体撮像装置の製造方法の詳細例を示した製造工程断面図である。

【図 7 6】4 画素共有構成の固体撮像装置の製造方法の詳細例を示した製造工程断面図である。

【図 7 7】4 画素共有構成の固体撮像装置の製造方法の詳細例を示した製造工程断面図である。

【図 7 8】4 画素共有構成の固体撮像装置の製造方法の詳細例を示した製造工程断面図である。

10

20

30

40

50

【図 7 9】4画素共有構成の固体撮像装置の製造方法の詳細例を示した製造工程断面図である。

【図 8 0】4画素共有構成の固体撮像装置の製造方法の詳細例を示した製造工程断面図である。

【図 8 1】4画素共有構成の固体撮像装置の製造方法の詳細例を示した製造工程断面図である。

【図 8 2】4画素共有構成の固体撮像装置の製造方法の詳細例を示した製造工程断面図である。

【図 8 3】4画素共有構成の固体撮像装置の製造方法の詳細例を示した製造工程断面図である。

【図 8 4】4画素共有構成の固体撮像装置の製造方法の詳細例を示した製造工程断面図である。

【図 8 5】4画素共有構成の固体撮像装置の製造方法の詳細例を示した製造工程断面図である。

【図 8 6】4画素共有構成の固体撮像装置の製造方法の詳細例を示した製造工程断面図である。

【図 8 7】4画素共有構成の固体撮像装置の製造方法の詳細例を示した製造工程断面図である。

【図 8 8】4画素共有構成の固体撮像装置の製造方法の詳細例を示した製造工程断面図である。

【図 8 9】4画素共有構成の固体撮像装置の製造方法の詳細例を示した製造工程断面図である。

【図 9 0】4画素共有構成の固体撮像装置の製造方法の詳細例を示した製造工程断面図である。

【図 9 1】4画素共有構成の固体撮像装置の製造方法の詳細例を示した製造工程断面図である。

【図 9 2】画素共有構成の固体撮像装置の製造方法の詳細例を示した製造工程断面図である。

【図 9 3】4画素共有構成の固体撮像装置の製造方法の詳細例を示した製造工程断面図である。

【図 9 4】本発明の撮像装置に係る一実施の形態を示したブロック図である。

【図 9 5】従来のCMOSセンサーのレイアウト図である。

【図 9 6】従来のCMOSセンサーの平面レイアウトの等価回路図である。

【発明を実施するための形態】

【0026】

以下、発明を実施するための形態（以下、実施の形態とする）について説明する。

【0027】

< 1. 第1の実施の形態 >

本発明の第1の実施の形態に係る固体撮像装置の構成の第1例を、図1の画素部の概略構成断面図、図2の周辺回路部の概略構成断面図および図5(1)の画素部の平面レイアウト図によって説明する。この図5(1)は、転送ゲートTRG、リセットトランジスタRST、増幅トランジスタAmp、選択トランジスタSELの活性領域でつながっている場合である。なお、図1に示した画素部および図2に示した周辺回路部は同一の半導体基板に形成されているものである。また、図1は図5(1)中のA-A線断面を示す。

さらに、第1の実施の形態に係る固体撮像装置の構成の第2例を、図3の画素部の概略構成断面図、図4の周辺回路部の概略構成断面図および図5(2)の画素部の平面レイアウト図によって説明する。この図5(2)は、転送ゲートTRG、リセットトランジスタRST、増幅トランジスタAmp、選択トランジスタSELの活性領域がSTIによって分離されている場合である。なお、図3に示した画素部および図4に示した周辺回路部は同一の半導体基板に形成されているものである。また、図3は図5(2)中のB-B線断

10

20

30

40

50

面を示す。

同飽和電荷量 $Q_s$ で画素サイズを小さくするためには、図5(1)のレイアウトが望ましい。

【0028】

[ 固体撮像装置の構成の第1例 ]

図1、図2および図5(1)に示すように、半導体基板11に、入射光を光電変換して電気信号を得る光電変換部21を備えた画素部12と、この画素部12の周辺に形成された周辺回路部13を有する。

上記画素部12の半導体基板11には、光電変換部21が形成され、この光電変換部21に接続して転送ゲートTRG、リセットトランジスタRST、増幅トランジスタAmp、選択トランジスタSELが順に直列に形成されている。上記光電変換部21は例えばフォトダイオードで構成されている。

10

【0029】

上記画素部12のMOSトランジスタ30(転送ゲートTRG、リセットトランジスタRST、増幅トランジスタAmp、選択トランジスタSEL)の各ゲート電極32の側壁には、サイドウォール形成膜で第1サイドウォール33が形成されている。

また上記周辺回路部13の各MOSトランジスタ50のゲート電極52の側壁に配線上記サイドウォール形成膜と同一層の膜で第2サイドウォール53が形成されている。

さらに上記光電変換部21上には、上記サイドウォール形成膜と同一層の膜で第1シリサイドブロック膜71が形成されている。

20

また、上記画素部12の各MOSトランジスタ30上には、上記第1シリサイドブロック膜71の一部上に重なる第2シリサイドブロック膜72を有する。

上記第1シリサイドブロック膜71は、例えば酸化シリコン膜と窒化シリコン膜との積層構造を有している。

また、第2シリサイドブロック膜72は、例えば酸化シリコン膜と窒化シリコン膜との積層構造を有している。

そして、上記第1シリサイドブロック膜71を上記第2シリサイドブロック膜72とで上記画素部12上が被覆されている。この上記第1シリサイドブロック膜71と上記第2シリサイドブロック膜72の重なり部分は上記画素部12内に形成されている。

【0030】

上記周辺回路部13の各MOSトランジスタ50は、例えばゲート電極52上、ソース・ドレイン領域54、55上にシリサイド層56、57が形成されている。このように、上記周辺回路13の各MOSトランジスタ50は、寄生抵抗を減らし高速動作させるため、シリサイド化されている。

30

【0031】

また、上記半導体基板11には、上記画素部12を分離する第1素子分離領域14が形成され、上記周辺回路部13内の各MOSトランジスタの形成領域を分離する第2素子分離領域15が形成されている。

上記第1素子分離領域14および上記第2素子分離領域15はともにSTI構造を有し、上記第1素子分離領域14は、上記第2素子分離領域15よりも浅く、かつ上記半導体基板11上への突き出し高さが低く形成されている。

40

【0032】

このように、上記固体撮像装置1(1A)では、サイドウォール形成膜を使って第1シリサイドブロック膜71が形成された領域と、別途にシリサイドブロック用の絶縁膜を設けて形成した第2シリサイドブロック膜72が形成された領域と、周辺回路部13のMOSトランジスタ50のように、シリサイド層56、57が存在する領域が混在する。また光電変換部21上は、サイドウォール形成膜を利用して第1シリサイドブロック膜71が形成されている。

【0033】

[ 固体撮像装置の構成の第2例 ]

50

また、図3、図4および図5(2)に示すように、半導体基板11に、入射光を光電変換して電気信号を得る光電変換部21を備えた画素部12と、この画素部12の周辺に形成された周辺回路部13を有する。

上記画素部12の半導体基板11には、光電変換部21が形成され、この光電変換部21に接続して転送ゲートTRG、リセットトランジスタRST、増幅トランジスタAmp、選択トランジスタSELが順に直列に形成されている。上記光電変換部21は例えばフォトダイオードで構成されている。

#### 【0034】

上記画素部12のMOSトランジスタ30(転送ゲートTRG、リセットトランジスタRST、増幅トランジスタAmp、選択トランジスタSEL)の各ゲート電極32の側壁には、サイドウォール形成膜で第1サイドウォール33が形成されている。

また上記周辺回路部13の各MOSトランジスタ50のゲート電極52の側壁に配線上記サイドウォール形成膜と同一層の膜で第2サイドウォール53が形成されている。

さらに上記光電変換部21上には、上記サイドウォール形成膜と同一層の膜で第1シリサイドブロック膜71が形成されている。

また、上記画素部12の各MOSトランジスタ30上には、上記第1シリサイドブロック膜71の一部上に重なる第2シリサイドブロック膜72を有する。

上記第1シリサイドブロック膜71は、例えば酸化シリコン膜と窒化シリコン膜との積層構造を有している。

また、第2シリサイドブロック膜72は、例えば酸化シリコン膜と窒化シリコン膜との積層構造を有している。

そして、上記第1シリサイドブロック膜71を上記第2シリサイドブロック膜72とで上記画素部12上が被覆されている。この上記第1シリサイドブロック膜71と上記第2シリサイドブロック膜72の重なり部分は上記画素部12内に形成されている。

#### 【0035】

上記周辺回路部13の各MOSトランジスタ50は、例えばゲート電極52上、ソース・ドレイン領域54、55上にシリサイド層56、57が形成されている。このように、上記周辺回路13の各MOSトランジスタ50は、寄生抵抗を減らし高速動作させるため、シリサイド化されている。

#### 【0036】

また、上記半導体基板11には、上記画素部12内の各MOSトランジスタの形成領域を分離する第1素子分離領域14が形成され、上記周辺回路部13内の各MOSトランジスタの形成領域を分離する第2素子分離領域15が形成されている。

上記第1素子分離領域14および上記第2素子分離領域15はともにSTI構造を有し、上記第1素子分離領域14は、上記第2素子分離領域15よりも浅く、かつ上記半導体基板11上への突き出し高さが低く形成されている。

#### 【0037】

このように、上記固体撮像装置1(1B)では、サイドウォール形成膜を使って第1シリサイドブロック膜71が形成された領域と、別途にシリサイドブロック用の絶縁膜を設けて形成した第2シリサイドブロック膜72が形成された領域と、周辺回路部13のMOSトランジスタ50のように、シリサイド層56、57が存在する領域が混在する。また光電変換部21上は、サイドウォール形成膜を利用して第1シリサイドブロック膜71が形成されている。

#### 【0038】

上記固体撮像装置1(1A、1B)では、画素部12内は、シリサイド起因の不純物汚染、欠陥の発生を抑制するために、望ましくは、完全に第1シリサイドブロック膜71と第2シリサイドブロック膜72とで被覆されていることが望ましい。また、素子分離領域14、15上は、上記第1、第2シリサイドブロック膜71、72が形成されていなくてもよい。しかしながら、同画素サイズで光電変換部21の受光面積をできるだけ大きくして、飽和電荷量(Qs)を多くし、ノイズの影響を小さくする必要があり、したがって、

10

20

30

40

50

素子分離領域上での合わせ余裕を考慮する必要がないように、素子分離領域上も第1シリサイドブロック膜71と第2シリサイドブロック膜72とで被覆されていることが望ましい。このようにすることで、素子分離領域の面積が削減でき、光電変換部21の受光面積を大きくとることが可能になる。

#### 【0039】

そこで、上記固体撮像装置1のレイアウトでは、素子分離領域の分離幅を狭くしてフォトダイオードの占める割合を大きくするために、第1、第2シリサイドブロック膜71、72が重なった部分を設けている。そのため、画素部12の各ゲート電極32上の段差が大きくなり、層間絶縁膜の平坦性が厳しくなる。

例えば、特開2005-347325号公報に記載されている分離技術では、画素内の酸化膜分離のシリコン(Si)表面からの突き出し量が高くなり、平坦性の難易度が高くなる。

本発明では、STI(Shallow Trench Isolation)構造の第1素子分離領域14を用い、半導体基板11上に突き出す高さを低くしている。ただし、第1素子分離領域14は、STI深さが周辺回路部13の第2素子分離領域15のSTIと同等の深さであると、光電変換部21を構成するフォトダイオードに対するストレスやエッチングダメージが多くなり、白傷の増加を招く。そのため、第1素子分離領域14は、周辺回路部13の第2素子分離領域15よりも浅く形成している。高速動作を実現するために周辺回路部13の第2素子分離領域15はSTI深さを深くして、配線・基板間の寄生容量を低減させている。

#### 【0040】

本発明の固体撮像装置1(1A)では、サイドウォール形成膜と同一層の膜で形成された第1シリサイドブロック膜71と、第1シリサイドブロック膜71とは別の膜で形成された第2シリサイドブロック膜72の2層で画素部12が被覆されている。このため、画素部12のMOSトランジスタ30上が1層のシリサイドブロック膜で完全に被覆されるのではないので、ランダムノイズが低減され、白傷・暗電流が低減できるという利点がある。

#### 【0041】

<2. 第2の実施の形態>

[固体撮像装置の製造方法の第1例]

次に、本発明の固体撮像装置の製造方法に係る一実施の形態の第1例を、図6～図39の製造工程断面図によって説明する。

#### 【0042】

図6(1)に示すように、半導体基板11には例えばシリコン基板を用いる。

上記半導体基板11上にパッド酸化膜111、窒化シリコン膜112を形成する。

上記パッド酸化膜111は、例えば熱酸化法により、半導体基板11表面を酸化して形成する。このパッド酸化膜111は、例えば15nmの厚さに形成する。

次に、例えばLP-CVD(Low Pressure CVD)法により、上記パッド酸化膜111条に窒化シリコン膜112を形成する。この窒化シリコン膜112は、例えば160nmの厚さに形成される。

上記説明した構成では、窒化シリコン膜/パッド酸化膜の構成であるが、窒化シリコン膜/ポリシリコン膜またはアモルファスシリコン膜/パッド酸化膜の構成であっても良い。

#### 【0043】

次に、図7(2)に示すように、上記窒化シリコン膜112上に素子分離領域を形成する領域上に開口部を設けたレジスタマスク(図示せず)を形成した後、エッチングによって上記窒化シリコン膜112および上記パッド酸化膜111に開口部113を形成する。

上記エッチングでは、例えば反応性イオンエッチング(RIE: Reactive Ion Etching)装置または電子サイクロトロン共鳴(ECR: Electron Cyclotron Resonance)エッチング装置などを用いることができる。加工後、アッシング装置などにより上記レジスタマ

スクの除去を行う。

【0044】

次に、図8(3)に示すように、上記窒化シリコン膜112をエッチングマスクに用いて、上記半導体基板11に素子分離溝114を形成する。このエッチングには、例えばRIE装置またはECREッチング装置などを用いる。

まず、周辺回路部13(および画素部12)の第2素子分離溝115(および第1素子分離溝114)の第1エッチングを行う。このとき、周辺回路部13(および画素部12)の各第1、第2素子分離溝114、115の深さは50nm~160nmである。

図示はしないが画素部12上にレジストマスクを形成し、さらに周辺回路部13のみ素子分離溝115を延長形成する第2エッチングを行い、周辺回路部13のみ第2素子分離溝115の深さを、例えば0.3μmに形成する。その後、レジストマスクを除去する。

【0045】

このように、画素部12の素子分離溝114を浅くすることにより、エッチングダメージによる白傷を抑制する効果がある。素子分離溝114を浅くすることで、実効的な光電変換部の面積が増えるため、飽和電荷量(Qs)が大きくなる効果がある。

【0046】

次に、図示はしないが、ライナー膜を形成する。このライナー膜は、例えば約800~900の熱酸化で形成される。上記ライナー膜は、酸化シリコン膜、窒素を含んだ酸化シリコン膜またはCVD窒化シリコン膜でもよい。その膜厚は、約4nm~10nmとする。

また図示はしないが、レジストマスクを用いて画素部12に暗電流抑制するためのホウ素(B)をイオン注入する。そのイオン注入条件は、一例として、打ち込みエネルギーを10keV程度に設定し、ドーズ量を $1 \times 10^{12} / \text{cm}^2 \sim 1 \times 10^{14} / \text{cm}^2$ に設定して行う。画素部12内の素子分離領域が形成される第1素子分離溝114の周りは、ホウ素濃度が高いほど、暗電流が抑制され、寄生トランジスタ動作が抑制される。しかし、ホウ素の濃度を高くしすぎると、光電変換部を形成するフォトダイオードの面積が小さくなり、飽和電荷量(Qs)が小さくなるので、上記ドーズ量としている。

【0047】

次に、図9(4)に示すように、上記第2素子分離溝115(および第1素子分離溝114)の内部を埋め込むように、上記窒化シリコン膜112上に絶縁膜を形成する。この絶縁膜は、例えば高密度プラズマCVD法によって酸化シリコンを堆積して形成する。

次いで、上記窒化シリコン膜112上の余剰な上記絶縁膜を、例えば化学的機械研磨(CMP:Chemical Mechanical Polishing)によって除去し、第2素子分離溝115(第1素子分離溝114)の内部に残して上記絶縁膜で第2素子分離領域15(第1素子分離領域14)を形成する。上記CMPでは、窒化シリコン膜112がストッパとなって、CMPを停止させる。

第1素子分離領域14は、周辺回路部13の第2素子分離領域15よりも浅く形成しているが、窒化シリコン膜112のストッパが同じであるため、素子分離の突き出し量は、同じに設定される。ここで、第1素子分離領域14と第2素子分離領域15の突出高さが同じ突出高さとは、製造加工精度に基づく加工ばらつきの範囲内であれば、同じ突出高さであると定義する。すなわち、溝(トレンチ)加工でのマスクとして用いる窒化シリコン膜112の膜厚は、一般的に160nm程度の窒化シリコン膜でウエハの面内ばらつきが±10%程度ある。CMP(化学機械研磨)による研磨ばらつきについても、±20~30nm程度ある。したがって、画素部12と周辺回路部13が同じになるように工夫しても、20nm~30nm程度変動する可能性がある。厳密に観察してチップ面内のどこかで画素部12と周辺回路部13を比較した場合、完全に同じ突出高さでないとしても、画素部と周辺回路部において両突出高さとの差が30nm以内に入っていれば、本発明でいう「同じ高さ」の範疇に入ることは言うまでもない。

最終的には、第1素子分離領域14と第2素子分離領域15の突き出し量の高さは、一例としてシリコン表面から0~20nm程度にセンター条件が低く設定される。

10

20

30

40

50

## 【 0 0 4 8 】

次に、図 1 0 ( 5 ) に示すように、半導体基板 1 1 表面からの第 1 素子分離領域 1 4 の高さを調整するために、酸化膜のウエットエッチを行う。酸化膜のエッチング量は例えば 4 0 n m ~ 1 0 0 n m とする。

本発明では、S T I ( Shallow Trench Isolation ) 構造の第 1 素子分離領域 1 4 を用い、半導体基板 1 1 上に突き出す高さを低くしている。ただし、第 1 素子分離領域 1 4 は、S T I 深さが周辺回路部 1 3 の第 2 素子分離領域 1 5 の S T I と同等の同じ深さであると、光電変換部 2 1 を構成するフォトダイオードに対するストレスやエッチダメージが多くなり、白傷の増加を招く。そのため、第 1 素子分離領域 1 4 は、周辺回路部 1 3 の第 2 素子分離領域 1 5 よりも浅く形成している。高速動作を実現するために周辺回路部 1 3 の第 2 素子分離領域 1 5 は S T I 深さを深くして、配線・基板間の寄生容量を低減させている。

10

次いで上記窒化シリコン膜 1 1 2 ( 前記図 7 ( 4 ) 参照 ) を除去し、パッド酸化膜 1 1 1 を露出させる。上記窒化シリコン膜 1 1 2 は、例えば熱リン酸によるウエットエッチングにより除去される。

## 【 0 0 4 9 】

次に、図 1 1 ( 6 ) に示すように、p ウエルを形成する領域上に開口部を設けたレジストマスク ( 図示せず ) を用いて、パッド酸化膜 1 1 1 を形成した状態で、イオン注入により、半導体基板 1 1 に p ウエル 1 2 1 を形成する。さらに、チャンネルイオン注入を行う。その後、上記レジストマスクを除去する。

20

また、n ウエルを形成する領域上に開口部を設けたレジストマスク ( 図示せず ) を用いて、パッド酸化膜 1 1 1 を形成した状態で、イオン注入により、半導体基板 1 1 に n ウエル 1 2 3 を形成する。さらに、チャンネルイオン注入を行う。その後、上記レジストマスクを除去する。

上記 p ウエル 1 2 1 は、イオン注入種にホウ素 ( B ) を用い、打ち込みエネルギーを例えば 2 0 0 k e V 、ドーズ量を例えば  $1 \times 1 0^{13} \text{ cm}^{-2}$  に設定して行う。上記 p ウエル 1 2 1 のチャンネルイオン注入は、イオン注入種にホウ素 ( B ) を用い、打ち込みエネルギーを例えば 1 0 k e V ~ 2 0 k e V 、ドーズ量を例えば  $1 \times 1 0^{11} \text{ cm}^{-2} \sim 1 \times 1 0^{13} \text{ cm}^{-2}$  に設定して行う。

上記 n ウエル 1 2 3 は、イオン注入種に例えばリン ( P ) を用い、打ち込みエネルギーを例えば 2 0 0 k e V 、ドーズ量を例えば  $1 \times 1 0^{13} \text{ cm}^{-2}$  に設定して行う。上記 n ウエル 1 2 3 のチャンネルイオン注入は、イオン注入種に例えばヒ素 ( A s ) を用い、打ち込みエネルギーを例えば 1 0 0 k e V 、ドーズ量を例えば  $1 \times 1 0^{11} \text{ cm}^{-2} \sim 1 \times 1 0^{13} \text{ cm}^{-2}$  に設定して行う。

30

また、図示はしないが、次に、光電変換部にフォトダイオードを形成するイオン注入を行い、p 型領域を形成する。例えば、光電変換部が形成される半導体基板の表面には、ホウ素 ( B ) のイオン注入を行い、深い領域にヒ素 ( A s ) もしくはリン ( P ) を用いてイオン注入を行い、上記 p 型領域の下部に接合する n 型領域を形成する。このようにして、p n 接合の光電変換部を形成する。

## 【 0 0 5 0 】

40

次に、図 1 2 ( 7 ) に示すように、パッド酸化膜 1 1 1 ( 前記図 1 1 ( 6 ) 参照 ) を、例えばウエットエッチングにより除去する。

次に、半導体基板 1 1 上に、高電圧用の厚膜のゲート絶縁膜 5 1 H を形成する。膜厚は、電源電圧 3 . 3 V 用トランジスタで約 7 . 5 n m 、 2 . 5 V 用トランジスタで約 5 . 5 n m とする。次いで、高電圧用の厚膜のゲート絶縁膜 5 1 H 上にレジストマスク ( 図示せず ) を形成し、低電圧用トランジスタ領域に形成された厚膜のゲート絶縁膜 5 1 H を除去する。

上記レジストマスクを除去した後、半導体基板 1 1 上に、低電圧用トランジスタ領域に薄膜のゲート絶縁膜 5 1 L を形成する。膜厚は、電源電圧 1 . 0 V 用トランジスタで約 1 . 2 n m ~ 1 . 8 n m とする。同時に画素部のトランジスタ形成領域にも、薄膜のゲート

50

絶縁膜 3 1 ( 図示せず ) が形成される。

上記ゲート絶縁膜 5 1 H、5 1 L、3 1 は、例えば熱酸化シリコン膜で形成されている。もしくは、R T O ( Rapid Thermal Oxidation ) を用いた酸化シリコン膜でも良い。また、ゲートリークをさらに低減するために、ハフニウム ( H f ) やジルコニウム ( Z r ) などの酸化膜、酸化膜等の高誘電体膜を用いてもよい。

以後、図示では、便宜上、厚膜のゲート絶縁膜 5 1 H と薄膜のゲート絶縁膜 5 1 L とを同等の膜厚に描いている。

#### 【 0 0 5 1 】

次に、図 1 3 ( 8 ) の画素部の断面図および図 1 4 ( 9 ) の周辺回路部の断面図に示すように、ゲート絶縁膜 5 1 ( 5 1 H、5 1 L )、ゲート絶縁膜 3 1 上にゲート電極形成膜 1 3 1 を形成する。上記ゲート電極形成膜 1 3 1 は、例えば L P - C V D 法により、ポリシリコンを堆積して形成する。堆積膜厚は、技術ノードにもよるが、9 0 n m ノードでは、1 5 0 n m ~ 2 0 0 n m とする。

また、膜厚は、加工の制御性から一般にゲートアスペクト比を大きくしないため、ノード毎に薄くなる傾向にある。

そして、ゲート空乏化対策として、ポリシリコンの代わりにシリコンゲルマニウム ( S i G e ) を用いてよい。このゲート空乏化とは、ゲート酸化膜の膜厚が薄膜化するに伴い、物理的なゲート酸化膜の膜厚だけでなくゲートポリシリコン内の空乏層の膜厚の影響が無視できなくなると、実効的なゲート酸化膜の膜厚が薄くならず、トランジスタ性能が落ちてしまうという問題である。

#### 【 0 0 5 2 】

次に、図 1 5 ( 1 0 ) の画素部の断面図および図 1 6 ( 1 1 ) の周辺回路部の断面図に示すように、ゲート空乏化対策を行う。まず、p M O S トランジスタの形成領域上にレジストマスク 1 3 2 を形成し、n M O S トランジスタの形成領域の上記ゲート電極形成膜 1 3 1 に n 型不純物をドーピングする。このドーピングは、例えばリン ( P ) またはヒ素 ( A s ) をイオン注入して行う。イオン注入量は、約  $1 \times 10^{15} / \text{cm}^2 \sim 1 \times 10^{16} / \text{cm}^2$  である。その後、上記レジストマスク 1 3 2 を除去する。

次いで、図示はしていないが、n M O S トランジスタの形成領域上にレジストマスク ( 図示せず ) を形成し、p M O S トランジスタの形成領域の上記ゲート電極形成膜 1 3 1 に p 型不純物をドーピングする。このドーピングは、例えばホウ素 ( B ) または二フッ化ホウ素 ( B F <sub>2</sub> ) またはインジウム ( I n ) をイオン注入して行う。イオン注入量は、約  $1 \times 10^{15} / \text{cm}^2 \sim 1 \times 10^{16} / \text{cm}^2$  である。その後、上記レジストマスクを除去する。

上記イオン注入は、どちらを先に行ってもよい。

また、上記各イオン注入において、イオン注入した不純物がゲート絶縁膜の直下に突き抜けるのを防ぐために、窒素 ( N <sub>2</sub> ) のイオン注入を組み合わせても良い。

#### 【 0 0 5 3 】

次に、図 1 7 ( 1 2 ) の画素部の断面図および図 1 8 ( 1 3 ) の周辺回路部の断面図に示すように、上記ゲート電極形成膜 1 3 1 上に各ゲート電極を形成するためのレジストマスク ( 図示せず ) を形成する。このレジストマスクをエッチングマスクに用いた反応性イオンエッチングによって、上記ゲート電極形成膜 1 3 1 上をエッチング加工して画素部 1 2 の各 M O S トランジスタのゲート電極 3 2、周辺回路部 1 3 の各 M O S トランジスタのゲート電極 5 2 を形成する。

次いで、上記各ゲート電極 3 2、5 2 の表面を酸化して酸化膜 1 3 3 を形成する。

上記酸化膜 1 3 3 の膜厚は、例えば 1 n m ~ 1 0 n m とする。また、上記酸化膜 1 3 3 は、上記ゲート電極 3 2、5 2 の側壁とともに上面にも形成されている。

さらに、上記酸化工程によって、上記ゲート電極 3 2、5 2 のエッジ部分を丸めることによって、酸化膜耐圧を改善することができる効果がある。

また、上記熱処理が行われることによって、エッチダメージを低減することができる。

また、上記ゲート電極加工において、光電変換部 2 1 上に形成されていた上記ゲート絶縁膜が除去されたとしても、光電変換部 2 1 上にも上記酸化膜 1 3 3 が形成される。この

10

20

30

40

50

ため、次工程のリソグラフィ技術においてレジスト膜を形成した際に、シリコン表面に直付けではなくなるために、このレジストによる汚染を防止できる。よって、画素部 1 2 の光電変換部 2 1 にとっては、白傷防止対策になる。

【 0 0 5 4 】

次に、図 1 9 ( 1 4 ) の画素部の断面図および図 2 0 ( 1 5 ) の周辺回路部の断面図に示すように、画素部 1 2 の各 M O S トランジスタの L D D 領域 3 8、3 9 等を形成するとともに、周辺回路部 1 3 の各 M O S トランジスタの L D D 領域 6 1、6 2、6 3、6 4 等を形成する。

【 0 0 5 5 】

まず、周辺回路部 1 3 に形成される N M O S トランジスタに関しては、各ゲート電極 5 2 ( 5 2 N ) の両側における半導体基板 1 1 にポケット拡散層 6 5、6 6 を形成する。このポケット拡散層 6 5、6 6 は、イオン注入により形成され、イオン注入種に例えば二フッ化ホウ素 ( B F <sub>2</sub> ) またはホウ素 ( B ) またはインジウム ( I n ) を用い、ドーズ量を例えば  $1 \times 10^{12} / \text{cm}^2 \sim 1 \times 10^{14} / \text{cm}^2$  に設定する。

さらに各ゲート電極 5 2 ( 5 2 N ) の両側における半導体基板 1 1 に L D D 領域 6 1、6 2 を形成する。L D D 領域 6 1、6 2 は、イオン注入により形成され、イオン注入種に例えばヒ素 ( A s ) もしくはリン ( P ) を用い、ドーズ量を例えば  $1 \times 10^{13} / \text{cm}^2 \sim 1 \times 10^{15} / \text{cm}^2$  に設定する。

【 0 0 5 6 】

上記画素部 1 2 に形成される M O S トランジスタに関しては、各ゲート電極 3 2 の両側における半導体基板 1 1 に L D D 領域 3 8、3 9 を形成する。L D D 領域 3 8、3 9 は、イオン注入により形成され、イオン注入種に例えばヒ素 ( A s ) もしくはリン ( P ) を用い、ドーズ量を例えば  $1 \times 10^{13} / \text{cm}^2 \sim 1 \times 10^{15} / \text{cm}^2$  に設定する。また、ポケット拡散層を形成してもよい。

上記画素部 1 2 に形成される M O S トランジスタに関しては、工程削減の観点から、L D D 領域を形成しなくてもよい。もしくは、周辺回路部 1 3 に形成される M O S トランジスタの L D D イオン注入と兼ねてもよい。

【 0 0 5 7 】

周辺回路部 1 3 の P M O S トランジスタの形成領域に関しては、各ゲート電極 5 2 の両側における半導体基板 1 1 にポケット拡散層 6 7、6 8 を形成する。このポケット拡散層 6 7、6 8 は、イオン注入により形成され、イオン注入種に例えばヒ素 ( A s ) またはリン ( P ) を用い、ドーズ量を例えば  $1 \times 10^{12} / \text{cm}^2 \sim 1 \times 10^{14} / \text{cm}^2$  に設定する。

さらに各ゲート電極 5 2 ( 5 2 P ) の両側における半導体基板 1 1 に L D D 領域 6 3、6 4 を形成する。L D D 領域 6 3、6 4 は、イオン注入により形成され、イオン注入種に例えば二フッ化ホウ素 ( B F <sub>2</sub> ) またはホウ素 ( B ) またはインジウム ( I n ) を用い、ドーズ量を例えば  $1 \times 10^{13} / \text{cm}^2 \sim 1 \times 10^{15} / \text{cm}^2$  に設定する。

【 0 0 5 8 】

また、周辺回路部の N M O S トランジスタ、P M O S トランジスタのポケットイオン注入前に、注入のチャネリング抑制技術として、ゲルマニウム ( G e ) をイオン注入することなどでプリアモルファス化を行ってもよい。また、L D D 領域形成後、T E D ( T r a n s i e n t E n h a n c e d D i f f u s i o n ) などを引き起こす注入欠陥を小さくするために、8 0 0 ~ 9 0 0 程度の R T A ( R a p i d T h e r m a l A n n e a l i n g ) 処理を追加してもよい。

【 0 0 5 9 】

次に、図 2 1 ( 1 6 ) の画素部の断面図および図 2 2 ( 1 7 ) の周辺回路部の断面図に示すように、画素部 1 2 および周辺回路部 1 3 の全面に酸化シリコン ( S i O <sub>2</sub> ) 膜 1 3 4 を形成する。この酸化シリコン膜 1 3 4 は、ノンドープトシリケートガラス ( N S G ) または L P - T E O S ( T e t r a E t h y l O r t h o S i l i c a t e ) または高温酸化 ( H T O ) 膜等の堆積膜で形成される。上記酸化シリコン膜 1 3 4 は、例えば 5 n m ~ 2 0 n m の膜厚に形成される。

次に、上記酸化シリコン膜 1 3 4 上に窒化シリコン膜 1 3 5 を形成する。この窒化シリ

10

20

30

40

50

コン膜 135 は、例えば LPCVD にて形成された窒化シリコン膜を用いる。その膜厚は、例えば 10 nm ~ 100 nm とする。

上記窒化シリコン膜 135 は、低温で成膜できる原子層蒸着法により成膜された ALD 窒化シリコン膜でもよい。

上記窒化シリコン膜 135 の直下の上記酸化シリコン膜 134 は、画素部 12 の光電変換部 21 上では、その膜厚が薄いほど、光反射を防ぐので、光電変換部 21 の感度が良くなる。

次に、必要に応じて、上記窒化シリコン膜 135 上に 3 層目の酸化シリコン ( $\text{SiO}_2$ ) 膜 136 を堆積する。この酸化シリコン膜 136 は、NSG または LP-TEOS または HTO 等の堆積膜で形成される。この酸化シリコン膜 136 は、例えば 10 nm ~ 100 nm の膜厚に形成される。

#### 【0060】

したがって、サイドウォール形成膜 137 は、酸化シリコン膜 136 / 窒化シリコン膜 135 / 酸化シリコン膜 134 の 3 層構造膜となる。なお、このサイドウォール形成膜 137 は、窒化シリコン膜 / 酸化シリコン膜の 2 層構造膜であってもよい。以下、3 層構造膜のサイドウォール形成膜 137 で説明する。

#### 【0061】

次に、図 23 (18) の画素部の断面図および図 24 (19) の周辺回路部の断面図に示すように、最上層に形成されている上記酸化シリコン膜 136 をエッチバックして、各ゲート電極 32、52 等の側部側にのみ残す。上記エッチバックは、例えば反応性イオンエッチング (RIE) によって行う。このエッチバックでは、上記窒化シリコン膜 135 でエッチングを停止する。このように、窒化シリコン膜 135 でエッチングを停止するため、画素部 12 の光電変換部 21 へのエッチダメージを低減することができるので、白傷を低減することができる。

#### 【0062】

次に、図 25 (20) の画素部の断面図および図 26 (21) の周辺回路部の断面図に示すように、画素部 12 の光電変換部 21 上の全面および転送ゲート TRG 上の一部にかかるように、レジストマスク 138 を形成する。

その後、上記窒化シリコン膜 135、上記酸化シリコン膜 134 をエッチバックして、各ゲート電極 32、52 の側壁部に酸化シリコン膜 134、窒化シリコン膜 135、酸化シリコン膜 136 からなる第 1 サイドウォール 33、第 2 サイドウォール 53 を形成する。このとき、光電変換部 21 上の窒化シリコン膜 135、酸化シリコン膜 134 は、レジストマスク 138 で被覆されているので、エッチングされない。

#### 【0063】

次に、図 27 (22) の画素部の断面図および図 28 (23) の周辺回路部の断面図に示すように、周辺回路部 13 の NMOS トランジスタの形成領域上を開口したレジストマスク (図示せず) を形成し、これを用いてイオン注入により、周辺回路部 13 の NMOS トランジスタの形成領域に深いソース・ドレイン (Deep Source-Drain) 領域 54 (54N)、55 (55N) を形成する。すなわち、各ゲート電極 52 の両側に、上記 LDD 領域 58、59 等を介して、半導体基板 11 に上記ソース・ドレイン領域 54N、55N が形成される。上記ソース・ドレイン領域 54N、55N は、イオン注入により形成され、イオン注入種に例えばヒ素 (As) またはリン (P) を使い、ドーズ量を例えば  $1 \times 10^{15} / \text{cm}^2 \sim 1 \times 10^{16} / \text{cm}^2$  に設定する。その後、上記レジストマスクを除去する。

#### 【0064】

次に、画素部 12 の NMOS トランジスタの形成領域上を開口したレジストマスク (図示せず) を形成し、これを用いてイオン注入により、画素部 12 の NMOS トランジスタの形成領域に深いソース・ドレイン (Deep Source-Drain) 領域 34、35 を形成する。すなわち、各ゲート電極 32 の両側に、上記 LDD 領域 38、39 等を介して、半導体基板 11 に上記ソース・ドレイン領域 34、35 が形成される。ここで、転送ゲート TRG に隣接するソース・ドレイン領域 35 はフローティングディフュージョンとして機能する

10

20

30

40

50

。上記ソース・ドレイン領域 34、35 は、イオン注入により形成され、イオン注入種に例えばヒ素 (As) またはリン (P) を使い、ドーズ量を例えば  $1 \times 10^{15} / \text{cm}^2 \sim 1 \times 10^{16} / \text{cm}^2$  に設定する。その後、上記レジストマスクを除去する。

このイオン注入は、上記周辺回路部の NMOS トランジスタの上記ソース・ドレイン領域 54N、55N を形成するイオン注入と兼ねることができる。

従来技術で説明した国際公開 WO 2003/096421 号公報に記載されたソース・ドレイン領域の形成では、3層の膜越しのイオン注入と膜が形成されていない状態でのイオン注入となるため、兼ねることは困難である。

#### 【0065】

次に、周辺回路部 13 の PMOS トランジスタの形成領域上を開口したレジストマスク (図示せず) を形成し、これを用いてイオン注入により、周辺回路部 13 の PMOS トランジスタの形成領域に深いソース・ドレイン (Deep Source-Drain) 領域 54 (54P)、55 (55P) を形成する。すなわち、各ゲート電極 52 の両側に、上記 LDD 領域 60、61 等を介して、半導体基板 11 に上記ソース・ドレイン領域 54P、55P が形成される。上記ソース・ドレイン領域 54P、55P は、イオン注入により形成され、イオン注入種に例えばホウ素 (B) または二フッ化ホウ素 ( $\text{BF}_2$ ) を使い、ドーズ量を例えば  $1 \times 10^{15} / \text{cm}^2 \sim 1 \times 10^{16} / \text{cm}^2$  に設定する。その後、上記レジストマスクを除去する。

次に、各ソース・ドレイン領域の活性化アニールを行う。この活性化アニールは、例えば約 800 ~ 1100 で行う。この活性化アニールを行う装置は、例えば RTA (Rapid Thermal Annealing) 装置、スパイク - RTA 装置などを用いることができる。

#### 【0066】

上記ソース・ドレイン領域の活性化アニール前においては、光電変換部 21 上を被覆するサイドウォール形成膜 137 が画素部 12 の MOS トランジスタのゲート電極 32 上で、サイドウォール形成膜 137 にて形成されるサイドウォール 33 と分断されている。このため、上記従来技術で説明した SMT (Stress Memorization Technique) に起因した応力 (Stress) による悪化がない。

よって、白傷、ランダムノイズ等を改善できる。

また、光電変換部 21 上は、サイドウォール形成膜 137 で覆われており、ソース・ドレイン領域を形成するイオン注入時のレジストマスクは、サイドウォール形成膜 137 を介して光電変換部 21 上に形成されるため、光電変換部 21 表面に直付けにならない。このため、光電変換部 21 は、レジスト中の汚染物質により汚染されることがないので、白傷、暗電流等の増加を抑えることができる。

また、ソース・ドレイン領域を形成するイオン注入では、膜越しのイオン注入ではないため、表面の濃度を高くした状態で深さを設定できる。このため、ソース・ドレイン領域の直列抵抗の増加を抑制できる。

また、上記光電変換部 21 上を被覆している上記サイドウォール形成膜 137 は、その後の工程で、第 1 シリサイドブロック膜 71 として用いられる。

#### 【0067】

次に、図 29 (24) の画素部の断面図および図 30 (25) の周辺回路部の断面図に示すように、画素部 12 および周辺回路部 13 上の全面に第 2 シリサイドブロック膜 72 を形成する。第 2 シリサイドブロック膜 72 は、酸化シリコン ( $\text{SiO}_2$ ) 膜 138 と窒化シリコン ( $\text{Si}_3\text{N}_4$ ) 膜 139 の積層膜からなる。例えば、上記酸化シリコン膜 138 は、例えば 5 nm ~ 40 nm の膜厚に形成されていて、上記窒化シリコン膜 139 は、例えば 5 nm ~ 60 nm の膜厚に形成されている。

上記酸化シリコン膜 138 は、NSG、LP-TEOS、HTO 膜等を用いる。上記窒化シリコン膜 139 は、ALD-SiN、プラズマ窒化膜、LP-SiN 等を用いる。この 2 層の膜の成膜温度が高いと、PMOSFET のゲート電極において、ボロンの不活性化が起こり、ゲート空乏化により、PMOSFET の電流駆動能力が低下する。したがって、相対的にサイドウォール形成膜 137 より成膜温度が低いことが望ましい。成膜温度

10

20

30

40

50

は例えば700 以下が望ましい。

【0068】

次に、図31(26)の画素部の断面図および図32(27)の周辺回路部の断面図に示すように、画素部12のMOSトランジスタの形成領域上をほぼ被覆するように、レジストマスク141を形成する。このレジストマスク141をエッチングマスクに用いて、上記画素部12の光電変換部21上(転送ゲートTRG上の一部も含む)および周辺回路部13上の上記第2シリサイドブロック膜72をエッチングにより除去する。

この結果、光電変換部21上は、上層より窒化シリコン膜135、酸化シリコン膜134となり、分光のリップルを防ぐことができる。一方、上記エッチングを行わない場合には、光電変換部21上が、上層より窒化シリコン膜139、酸化シリコン膜138、窒化シリコン膜135、酸化シリコン膜134の構造になり、入射光は多重反射し、分光のリップル特性が悪化する。リップル特性が悪くなるので、Chip to Chipの分光のばらつきが大きくなる。そのため、本実施例では、光電変換部21上の第2シリサイドブロック膜72を故意に剥離している。

10

【0069】

次に、図33(28)の画素部の断面図および図34(29)の周辺回路部の断面図に示すように、周辺回路部13の各MOSトランジスタ50のソース・ドレイン領域54、55上およびゲート電極52上にシリサイド層56、57、58を形成する。

上記シリサイド層56、57、58には、コバルトシリサイド( $\text{CoSi}_2$ )、ニッケルシリサイド( $\text{NiSi}$ )、チタンシリサイド( $\text{TiSi}_2$ )、白金シリサイド( $\text{PtSi}$ )、タングステンシリサイド( $\text{WSi}_2$ )などを用いる。

20

シリサイド層56、57、58の形成例として、ニッケルシリサイドを形成する一例を以下に説明する。

まず全面にニッケル( $\text{Ni}$ )膜を形成する。このニッケル膜は、例えばスパッタ装置を用いて、例えば10nmの厚さに形成される。次いで、300 ~ 400 程度でアニール処理を行って、ニッケル膜と下地にシリコンとを反応させて、ニッケルシリサイド層を形成する。その後、未反応なニッケルをウェットエッチングにより除去する。このウェットエッチングによって、絶縁膜以外のシリコンまたはポリシリコン表面のみ、自己整合的にシリサイド層56、57、58が形成される。

その後、500 ~ 600 程度で再度、アニール処理を行い、ニッケルシリサイド層を安定化させる。

30

上記シリサイド化工程では、画素部12のMOSトランジスタのソース・ドレイン領域34、35、ゲート電極32上にはシリサイド層が形成されない。これは、シリサイドの金属が光電変換部21上まで拡散することによる白傷や暗電流の増加をなくすためである。

したがって、画素部12のMOSトランジスタのソース・ドレイン領域34、35表面の不純物濃度を濃くしないと、コンタクト抵抗が激増することになる。本実施例では、上記ソース・ドレイン領域34、35表面の不純物濃度を高くすることができるので、コンタクト抵抗増加を比較的抑制できるという利点がある。

【0070】

40

次に、図35(30)の画素部の断面図および図36(31)の周辺回路部の断面図に示すように、画素部12および周辺回路部13上の全面にエッチングストップ膜74を形成する。上記エッチバックストップ膜74は、例えば窒化シリコン膜で形成される。この窒化シリコン膜としては、例えば、減圧CVD法により成膜される窒化シリコン膜もしくはプラズマCVD法により成膜される窒化シリコン膜を用いる。窒化シリコン膜の膜厚は、例えば10nm~100nmとする。

上記窒化シリコン膜は、コンタクトホールを形成するエッチング時のオーバーエッチングを最小限にするという効果がある。またエッチングダメージによる接合リーク増加を抑制する効果を有する。

【0071】

50

次に、図37(32)の画素部の断面図および図38(33)の周辺回路部の断面図に示すように、上記エッチバックストップ膜74上に層間絶縁膜76を形成する。上記層間絶縁膜76は、例えば酸化シリコン膜で形成され、例えば100nm~1000nmの厚さに形成される。上記酸化シリコン膜は、例えばCVD法により形成される。この酸化シリコン膜としては、TEOS、PSG、BPSG等を用いる。また、窒化シリコン膜などを用いることもできる。

次に、上記層間絶縁膜76の表面を平坦化する。この平坦化は、例えば化学的機械研磨(CMP)により行う。

次いで、コンタクトホールを形成するためのレジストマスク(図示せず)を形成した後、例えば画素部12の上記層間絶縁膜76、エッチングストップ膜74、第2シリサイドブロック膜72等をエッチングして、コンタクトホール77、78、79を形成する。また同様に、周辺回路部13にもコンタクトホール81、82を形成する。

図面では一例として、画素部12では、転送ゲートTRG、選択トランジスタSELのゲート電極32、増幅トランジスタAmpのゲート電極32に達するコンタクトホール77、78、79を示した。また周辺回路部13では、Nチャネル(Nch)低耐圧トランジスタソース・ドレイン領域55、Pチャネル(Pch)低耐圧トランジスタのソース・ドレイン領域55に達するコンタクトホール81、82を示した。しかしながら、その他のトランジスタのゲート電極、ソース・ドレイン領域に達するコンタクトホールも図示はしていないが、同時に形成される。

上記コンタクトホール77~79、81、82を形成するときには、第1ステップとして層間絶縁膜76をエッチングする。そして、エッチングストップ膜74上でエッチングを一旦停止する。これによって、層間絶縁膜76の膜厚ばらつき、エッチングばらつき等が吸収される。第2ステップとして、窒化シリコンからなるエッチングストップ膜74をエッチングし、さらにエッチングを進めて、コンタクトホール77~79、81、82を完成させる。

上記コンタクトホールのエッチングには、例えば反応性イオンエッチング装置を用いる。

#### 【0072】

次に、各コンタクトホール77~79、81、82の内部に密着層(図示せず)とバリアメタル層84を介してプラグ85を形成する。

上記密着層には、例えばチタン(Ti)膜、タンタル(Ta)膜等を用い、上記バリアメタル層84には例えば窒化チタン膜、窒化タンタル膜等を用いる。これらの膜は、例えばスパッタリング法もしくはCVD法によって成膜される。

また、上記プラグ85は、タングステン(W)を用いる。例えば、タングステン膜を上記コンタクトホール77~79、81、82内に埋め込むように、上記層間絶縁膜76上に形成する。その後、層間絶縁膜76上のタングステン膜を除去して、各コンタクトホール77~79、81、82内にタングステン膜からなるプラグ85を形成する。このプラグ85は、タングステンのほかに、より低抵抗であるアルミニウム(Al)、銅(Cu)等で形成することもできる。例えば銅(Cu)を用いた場合には、例えば、密着層にタンタル膜を用い、バリアメタル層84に窒化タンタル膜を用いる。

その後、図示はしないが、多層配線を形成する。多層配線は必要に応じて、2層、3層、4層・・・と多層化してもよい。

#### 【0073】

次に、図39(34)の画素部の断面図に示すように、光電変換部21上に導波路23形成してもよい。また、光電変換部21に入射光を集光するために、集光レンズ25を形成しても良い。

また、上記導波路23と集光レンズとの間に、光を分光するためのカラーフィルタ27を形成しても良い。

#### 【0074】

上記固体撮像装置の製造方法(第1例)では、サイドウォール形成膜と同一層の膜で形

10

20

30

40

50

成された第1シリサイドブロック膜と、第1シリサイドブロック膜とは別の膜で形成された第2シリサイドブロック膜の2層で画素部12が被覆される。このため、画素部12のMOSトランジスタ上が1層のシリサイドブロック膜で完全に被覆されるのではないので、ランダムノイズが低減され、白傷・暗電流が低減される。

【0075】

上記製造方法では、前記図3、図4および図5(2)によって説明した固体撮像装置1(1B)が形成される。上記製造方法で、画素部12の転送ゲートTRG、リセットトランジスタRST、増幅トランジスタAmp、選択トランジスタSEL間の素子分離領域14を形成しない場合には、前記説明した固体撮像装置1(1A)が形成されることになる。この場合、フローティングディフュージョン部FDはリセットトランジスタRSTの一方の拡散層であるソース・ドレイン領域34と共通となる。

10

【0076】

また、上記固体撮像装置およびその製造方法の説明では、1画素当たり一つの画素トランジスタ(例えば、リセットトランジスタ、増幅トランジスタ、選択トランジスタ)が形成されている構成で説明した。本発明は、1画素・1画素トランジスタの構成のみならず、2画素を一つの画素トランジスタで共有している構成の固体撮像装置、4画素を一つの画素トランジスタで共有している構成の固体撮像装置およびその製造方法にも同様に適用することができる。

【0077】

[固体撮像装置の製造方法の第2例]

20

例えば、一つの画素トランジスタが4画素を共有する構成の場合の製造方法の要部を説明する。

まず、一つの画素トランジスタが4画素を共有する構成の一例を、図40の平面レイアウト図によって説明する。

【0078】

図40に示すように、4画素の各光電変換部21(21A、21B、21C、21D)が2行2列に配列されている。各光電変換部21の配列の中央には、各光電変換部21に連続するアクティブ領域にフローティングディフュージョン部FDが形成されている。また、各光電変換部21とフローティングディフュージョン部FDとの境界上にはゲート絶縁膜(図示せず)を介して転送ゲートTGG(TRG-A、TRG-B、TRG-C、TRG-D)がそれぞれに形成されている。上記各光電変換部21の周囲は、上記転送ゲートTRG下部の領域を除いて、拡散層からなる素子分離領域16によって電気的に分離されている。また、上記各光電変換部21に隣接した領域には、素子分離領域14を介して画素トランジスタ部17が形成されている。この画素トランジスタ部17は、例えば、リセットトランジスタRST、増幅トランジスタAmp、選択トランジスタSELが直列に配置されて構成されている。

30

【0079】

上記固体撮像装置の製造方法の第1例を、一つの画素トランジスタ部17を4画素で共有する固体撮像装置の製造方法に適用した場合の要部を以下に説明する。

画素トランジスタが4画素で共有される場合、前記第1例と異なるのは、光電変換部21の配列の中央にフローティングディフュージョン部FDが形成される点と、その各光電変換部21とフローティングディフュージョン部FDとの間上に転送ゲートTGGが形成される点である。

40

しかしながら、製造工程としては、光電変換部21、フローティングディフュージョン部FD、転送ゲートTGGの配置が異なるのみで、工程の作業内容は前記第1例と同一である。したがって、周辺回路部の製造方法は第1例と同じになる。以下、その一部を説明する。

【0080】

まず、サイドウォール形成工程について、図41の画素部の平面レイアウト図および図42(1)のB1-B1'線断面図、図42(2)のB2-B2'線断面図、図43(3

50

)のB3 - B3'線断面図、図43(4)のB4 - B4'線断面図等を参照して説明する。サイドウォール形成膜137(第1シリサイドブロック膜71)を形成した後、サイドウォール形成膜137をエッチバックして、画素トランジスタ部17の各ゲート電極32、周辺回路部のゲート電極(図示せず)の各側壁にサイドウォール(図示せず)を形成する。その際、光電変換部21上はサイドウォール形成膜137が残される。これは、サイドウォールを形成する際のエッチングダメージが光電変換部21に入らないように、光電変換部21上をレジストマスク(図示せず)により被覆しておくためである。また、フローティングディフュージョン部FDが形成される領域上のサイドウォール形成膜137には開口部137Hが形成されていて、フローティングディフュージョン部FDの形成領域が露出されている。この開口部137Hの一部は転送ゲートTGR上にある。

10

## 【0081】

その後、画素部や周辺回路部の各トランジスタのソース・ドレイン領域34、35が形成される。

## 【0082】

次に、次工程を、図44の画素部の平面レイアウト図および図45(1)のB1 - B1'線断面図、図45(2)のB2 - B2'線断面図、図46(3)のB3 - B3'線断面図、図46(4)のB4 - B4'線断面等を参照して説明する。画素部および周辺回路部の各トランジスタのソース・ドレイン領域が形成された後、周辺回路部のソース・ドレイン領域上等にシリサイド層を形成する。その際、画素トランジスタ、光電変換部21等にはシリサイド層を形成させないようにする必要がある。そこでシリサイド層を形成する前に、画素トランジスタ部17を被覆する第2シリサイドブロック膜72を形成する。その際、第2シリサイドブロック膜72は、素子分離領域14上で上記第1シリサイドブロック膜71にオーバーラップするように形成される。

20

このとき、フローティングディフュージョン部FD上も上記第1シリサイドブロック膜71の開口部137H周辺部にオーバーラップする状態に第2シリサイドブロック膜72が被覆される。

その後、前記第1例と同様に、周辺回路部のMOSトランジスタのソース・ドレイン領域上、ゲート電極上のシリサイド化工程以降の工程を行う。

## 【0083】

上記製造方法の第1例、第2例では、画素部12および周辺回路部13の各ゲート電極32、52の側壁にサイドウォール33、53を形成するとき、フローティングディフュージョン部FD上のサイドウォール形成膜137上はレジストマスクによって被覆されていない。この状態で、エッチングにより、各ゲート電極32、52の側壁にサイドウォール33、53を形成した場合、フローティングディフュージョン部FDにエッチングダメージを生じる懸念がある。

30

## 【0084】

上記エッチングダメージの懸念について、以下に説明する。

例えば、図47に示すように、エッチングにより、各ゲート電極(図示せず)の側壁にサイドウォール(図示せず)を形成した時、フローティングディフュージョン部FDにエッチングダメージを生じる可能性がある。

40

フローティングディフュージョン部FDにエッチングダメージが生じた場合、フローティングディフュージョン部FDの持つP/N接合にリークパスを発生させ、FD白傷を悪化させることになる。

## 【0085】

ここで、FD白傷について説明する。光電変換部で光電変換した電子は、フローティングディフュージョン部FDに転送され電圧に変換される。この時、フローティングディフュージョン部FDにリークパスがあると、フローティングディフュージョン部FDに光電変換した電子がなくても、リークしてきた電子が出力されて白く見える。これをFD白傷と呼ぶ。

## 【0086】

50

また、光電変換部（図示せず）およびフローティングディフュージョン部FDの分離にP型拡散層からなる素子分離領域16を用いている場合がある。このように、画素間分離にP型拡散層を用いた場合に、特にFD白傷を大きく悪化させることになる。これは、例えば、ソース・ドレイン領域の活性化のため1000以上の熱処理時に、不純物の外方拡散の影響が考えられる。例えば、上記熱処理の際に外方拡散で飛散した不純物が、フローティングディフュージョン部FDとP型の拡散層からなる素子分離領域16の間に付着し、大きなリークパスを形成しFD白傷の発生の不具合を起す。

つまり、フローティングディフュージョン部FDへリーク電流が流れると、暗時(ダーク状態)であっても信号があるように見えるので、白傷が発生してしまう。

また、信号があるように見えるのは、フローティングディフュージョン部FDの電位をリセットした状態から信号電位を検出するまでの間に上記リークが発生すると、リセット電位にリーク電流による電圧変動分が重畳されるためである。

【0087】

上記一例では、一つの画素トランジスタが4画素を共有する構成の場合を示したが、2画素を共有する場合、1画素のみの場合も同様に、フローティングディフュージョン部FDにエッチングダメージを生じる可能性がある。

【0088】

< 3. 第3の実施の形態 >

[ 固体撮像装置の構成の一例 ]

そこで、上記フローティングディフュージョン部FDにエッチングダメージを生じさせないようにする構成について、前記図1および図2、もしくは前記図3および図4によって説明した固体撮像装置1について説明する。

例えば、第1シリサイドブロック膜71は、光電変換部21上から、転送ゲートTGR上、フローティングディフュージョン部FD上、さらにリセットトランジスタRSTのゲート電極32の一部上を被覆するように形成される。この場合、第2シリサイドブロック膜72は、リセットトランジスタRSTのゲート電極32上で、第1シリサイドブロック膜71と重なるように形成される。

【0089】

上記第1、第2シリサイドブロック膜71、72を上記構成とすることで、サイドウォール33、周辺回路部のサイドウォール（図示せず）を形成するとき、フローティングディフュージョン部FD上もサイドウォール形成膜である第1シリサイドブロック膜71で被覆される。したがって、フローティングディフュージョン部FDにサイドウォール形成時のエッチングダメージが生じないようにすることができる。

【0090】

[ 固体撮像装置の構成の第3例 ]

次に、前記図40で説明した一つの画素トランジスタで4画素を共有する構成の固体撮像装置についての第3例を説明する。以下、図48の画素部の平面レイアウト図および図49(1)のB1-B1'線断面図、図49(2)のC2-C2'線断面図、図50(3)のC3-C3'線断面図、図50(4)のC4-C4'線断面等を参照して説明する。

【0091】

第1シリサイドブロック膜71は、光電変換部21上から、転送ゲートTGR上、フローティングディフュージョン部FD上を被覆して形成されている。この場合、第2シリサイドブロック膜72は、第1シリサイドブロック膜71と例えば素子分離領域14上で重なるように、第1シリサイドブロック膜71が形成されていない画素トランジスタ部17を被覆して形成されている。

【0092】

したがって、画素トランジスタ部17のサイドウォール33、周辺回路部のサイドウォール（図示せず）を形成するとき、フローティングディフュージョン部FD上もサイドウォール形成膜である第1シリサイドブロック膜71で被覆される。このため、フローティングディフュージョン部FDにサイドウォール形成時のエッチングダメージが生じないよ

10

20

30

40

50

うにすることができる。また、フローティングディフュージョン部FDが外方拡散の影響を受けないようにすることができる。これによりリークパスの発生を抑制し、FD白傷の発生を抑えることができるので、高画質は撮像が可能になる。

【0093】

[ 固体撮像装置の構成の第4例 ]

次に、前記図40で説明した一つの画素トランジスタで4画素を共有する構成の固体撮像装置についての第4例を説明する。以下、図51の画素部の平面レイアウト図および図52(1)のD1-D1'線断面図、図52(2)のD2-D2'線断面図、図53(3)のD3-D3'線断面図、図53(4)のD4-D4'線断面等を参照して説明する。

【0094】

第1シリサイドブロック膜71は、光電変換部21上から、転送ゲートTGR上、フローティングディフュージョン部FD上、さらにリセットトランジスタRSTのソース・ドレイン領域34上を被覆して形成されている。この場合、第2シリサイドブロック膜72は、第1シリサイドブロック膜71と例えば素子分離領域14とリセットトランジスタRSTのゲート電極32上で重なるように、第1シリサイドブロック膜71が形成されていない領域を被覆して形成されている。

【0095】

したがって、フローティングディフュージョン部FD上およびこのフローティングディフュージョン部FDに接続されるリセットトランジスタRSTのソース・ドレイン領域34上もサイドウォール形成膜である第1シリサイドブロック膜71で被覆される。したがって、画素トランジスタ部、周辺回路部(図示せず)にサイドウォールを形成する時、フローティングディフュージョン部FDおよびリセットトランジスタRSTのソース・ドレイン領域34にエッチングダメージが生じないようにすることができる。また、フローティングディフュージョン部FDおよびリセットトランジスタRSTのソース・ドレイン領域34が外方拡散の影響を受けないようにすることができる。これによりリークパスの発生を抑制し、FD白傷の発生を抑えることができるので、高画質は撮像が可能になる。

【0096】

なお、上記固体撮像装置の第3例、第4例ともに、周辺回路部の構成は前記図2、図4によって説明したのと同様になる。

【0097】

< 4. 第4の実施の形態 >

[ 固体撮像装置の製造方法の第3例 ]

次に、フローティングディフュージョン部FDのエッチングダメージを回避する製造方法(第3例)について、一つの画素トランジスタが4画素を共有する構成の場合の製造方法を一例にして、その要部を説明する。

【0098】

画素トランジスタが4画素で共有される場合、前記第1例と異なるのは、光電変換部の配列の中央にフローティングディフュージョン部が形成される点と、その各光電変換部とフローティングディフュージョン部との間上に転送ゲートが形成される点である。

しかしながら、製造工程としては、光電変換部、フローティングディフュージョン部、転送ゲートの配置と、サイドウォール形成膜と第2シリサイドブロック膜のパターン形状が異なるのみで、工程の作業内容は前記第1例と同一である。以下、その一部を説明する。

【0099】

まず、サイドウォール形成工程について、図54の画素部の平面レイアウト図および図55(1)のC1-C1'線断面図、図55(2)のC2-C2'線断面図、図56(3)のC3-C3'線断面図、図56(4)のC4-C4'線断面図等を参照して説明する。サイドウォール形成膜137(第1シリサイドブロック膜71)を形成した後、サイドウォール形成膜137をエッチバックして、画素トランジスタ部17の各ゲート電極32、周辺回路部のゲート電極(図示せず)の各側壁にサイドウォール(図示せず)を形成す

10

20

30

40

50

る。その際、光電変換部 2 1 上およびフローティングディフュージョン部 F D 上（転送ゲート T R G 上も含む）はサイドウォール形成膜 1 3 7 が残される。これは、サイドウォールを形成する際のエッチングダメージが光電変換部 2 1 およびフローティングディフュージョン部 F D に入らないように、光電変換部 2 1 上およびフローティングディフュージョン部 F D 上をレジストマスク（図示せず）により被覆しておくためである。

すなわち、前記説明した製造方法の第 1 例において、レジストマスク 1 3 8（前記図 2 5 参照）をフローティングディフュージョン部 F D まで延長して形成する点が異なるのみで、ここまでのその他の工程は第 1 例と同様な工程となる。

なお、上記フローティングディフュージョン部 F D、ソース・ドレイン領域 3 4 等は、この段階では、まだ形成されていない。図面上、位置関係をわかりやすくするために、フローティングディフュージョン部 F D、ソース・ドレイン領域 3 4 を記載したものである。

10

#### 【 0 1 0 0 】

その後、画素部や周辺回路部の各トランジスタのソース・ドレイン領域 3 4、3 5 が形成される。その際、フローティングディフュージョン F D 上はサイドウォール形成膜 1 3 7 に被覆されているため、画素部や周辺回路部の各トランジスタのソース・ドレイン領域を形成するイオン注入とは別途にイオン注入を行うことが望ましい。

#### 【 0 1 0 1 】

次に、次工程を、図 5 7 の画素部の平面レイアウト図および図 5 8（1）の C 1 - C 1 ' 線断面図、図 5 8（2）の C 2 - C 2 ' 線断面図、図 5 9（3）の C 3 - C 3 ' 線断面図、図 5 9（4）の C 4 - C 4 ' 線断面等を参照して説明する。

20

画素部 1 2 および周辺回路部（図示せず）の各トランジスタのソース・ドレイン領域が形成された後、周辺回路部のソース・ドレイン領域上にシリサイド層を形成する。その際、画素トランジスタ部 1 7、光電変換部 2 1 等にはシリサイド層を形成させないようにする必要がある。そこでシリサイド層を形成する前に、画素トランジスタ部 1 7 を被覆する第 2 シリサイドブロック膜 7 2 を形成する。その際、第 2 シリサイドブロック膜 7 2 は、上記第 1 シリサイドブロック膜 7 1 にオーバーラップするように形成される。また、その他の部分では、素子分離領域 1 4 上で第 1 シリサイドブロック膜 7 1 とオーバーラップさせればよい。

その後、前記第 1 例と同様に、周辺回路部の M O S トランジスタのソース・ドレイン領域上、ゲート電極上のシリサイド化工程以降の工程を行う。

30

#### 【 0 1 0 2 】

したがって、画素トランジスタ部 1 7 のサイドウォール 3 3、周辺回路部のサイドウォール（図示せず）を形成するとき、フローティングディフュージョン部 F D 上もサイドウォール形成膜である第 1 シリサイドブロック膜 7 1 で被覆される。このため、フローティングディフュージョン部 F D にサイドウォール形成時のエッチングダメージが生じないようにすることができる。また、フローティングディフュージョン部 F D が外方拡散の影響を受けないようにすることができる。これによりリークバスの発生を抑制し、F D 白傷の発生を抑えることができるので、高画質は撮像が可能な固体撮像装置を製造することが可能になる。さらにシリサイド層を形成する前に画素トランジスタ部 1 7 を第 2 シリサイドブロック膜 7 2 で被覆することができる。

40

#### 【 0 1 0 3 】

[ 固体撮像装置の製造方法の第 4 例 ]

次に、フローティングディフュージョン部 F D のエッチングダメージを回避する製造方法（第 4 例）について、一つの画素トランジスタが 4 画素を共有する構成の場合の製造方法を一例にして、その要部を説明する。

#### 【 0 1 0 4 】

画素トランジスタが 4 画素で共有される場合、前記第 1 例と異なるのは、光電変換部の配列の中央にフローティングディフュージョン部が形成される点と、その各光電変換部とフローティングディフュージョン部との間上に転送ゲートが形成される点である。

50

しかしながら、製造工程としては、光電変換部、フローティングディフュージョン部、転送ゲートの配置と、サイドウォール形成膜と第2シリサイドブロック膜のパターン形状が異なるのみで、工程の作業内容は前記第1例と同一である。以下、その一部を説明する。

#### 【0105】

まず、サイドウォール形成工程について、図60の画素部の平面レイアウト図および図61(1)のD1-D1'線断面図、図61(2)のD2-D2'線断面図、図62(3)のD3-D3'線断面図、図62(4)のD4-D4'線断面図等を参照して説明する。

サイドウォール形成膜137(第1シリサイドブロック膜71)を形成した後、サイドウォール形成膜137をエッチバックして、画素トランジスタ部17の各ゲート電極32、周辺回路部のゲート電極(図示せず)の各側壁にサイドウォール(図示せず)を形成する。その際、光電変換部21上、フローティングディフュージョン部FD上(転送ゲートTRG上も含む)およびリセットトランジスタRSTのソース・ドレイン領域34上はサイドウォール形成膜137が残される。これは、サイドウォールを形成する際のエッチングダメージが、光電変換部21、フローティングディフュージョン部FD(転送ゲートTRG上も含む)およびリセットトランジスタRSTのソース・ドレイン領域34に入らないように、光電変換部21上、フローティングディフュージョン部FD上、およびリセットトランジスタRSTのソース・ドレイン領域34上をレジストマスク(図示せず)により被覆しておくためである。

すなわち、前記説明した製造方法の第1例において、レジストマスク138(前記図25参照)をフローティングディフュージョン部FDおよびリセットトランジスタRSTのソース・ドレイン領域34、さらにリセットトランジスタRSTのゲート電極32の一部上まで延長して形成する点異なるのみで、ここまでのその他の工程は第1例と同様な工程となる。

なお、上記フローティングディフュージョン部FD、ソース・ドレイン領域34等は、この段階では、まだ形成されていない。図面上、位置関係をわかりやすくするために、フローティングディフュージョン部FD、ソース・ドレイン領域34を記載したものである。

#### 【0106】

その後、画素部や周辺回路部の各トランジスタのソース・ドレイン領域34、35が形成される。その際、フローティングディフュージョン部FDおよびリセットトランジスタRSTのソース・ドレイン領域34上はサイドウォール形成膜137に被覆されているため、画素部や周辺回路部の各トランジスタのソース・ドレイン領域を形成するイオン注入とは別途にイオン注入を行うことが望ましい。

#### 【0107】

次に、次工程を、図63の画素部の平面レイアウト図および図64(1)のD1-D1'線断面図、図64(2)のD2-D2'線断面図、図65(3)のD3-D3'線断面図、図65(4)のD4-D4'線断面等を参照して説明する。

画素部および周辺回路部の各トランジスタのソース・ドレイン領域が形成された後、周辺回路部のソース・ドレイン領域上等にシリサイド層を形成する。その際、画素トランジスタ部17、光電変換部21等にはシリサイド層を形成させないようにする必要がある。そこでシリサイド層を形成する前に、画素トランジスタ部17を被覆する第2シリサイドブロック膜72を形成する。その際、第2シリサイドブロック膜72は、上記第1シリサイドブロック膜71にオーバーラップするように形成される。このとき、リセットトランジスタRSTのゲート電極32の一部上まで第1シリサイドブロック膜71が形成されているので、第2シリサイドブロック膜72はリセットトランジスタRSTのゲート電極32上で第1シリサイドブロック膜71とオーバーラップさせればよい。また、その他の部分では、素子分離領域14上で第1シリサイドブロック膜71とオーバーラップさせればよい。

10

20

30

40

50

その後、前記第 1 例と同様に、周辺回路部の MOS トランジスタのソース・ドレイン領域上、ゲート電極上のシリサイド化工程以降の工程を行う。

【 0 1 0 8 】

したがって、画素トランジスタ部 1 7 のサイドウォール 3 3、周辺回路部のサイドウォール（図示せず）を形成するとき、フローティングディフュージョン部 F D 上もサイドウォール形成膜である第 1 シリサイドブロック膜 7 1 で被覆される。このため、フローティングディフュージョン部 F D にサイドウォール形成時のエッチングダメージが生じないようにすることができる。また、フローティングディフュージョン部 F D が外方拡散の影響を受けないようにすることができる。これによりリークパスの発生を抑制し、F D 白傷の発生を抑えることができるので、高画質は撮像が可能な固体撮像装置を製造することが可能になる。さらにシリサイド層を形成する前に画素トランジスタ部 1 7 を第 2 シリサイドブロック膜 7 2 で被覆することができる。

10

【 0 1 0 9 】

[ 固体撮像装置およびその製造方法の第 3、第 4 例の変形例 ]

上記第 3 例、第 4 例の 4 画素を一つの画素トランジスタ部 1 7 で共有する構成では、光電変換部 2 1 周囲の素子分離は拡散層（P<sup>+</sup>型拡散層）分離であり、画素トランジスタ部 1 7 周囲の素子分離は S T I（Shallow Trench Isolation）構造の素子分離を用いた。例えば、図 6 6 に示すように、光電変換部 2 1 周囲の素子分離および画素トランジスタ部 1 7 周囲の素子分離を拡散層（P<sup>+</sup>型拡散層）からなる素子分離領域 1 6 で形成することもできる。

20

この場合、前記第 1 シリサイドブロック膜 7 1 は、前記第 3 例、第 4 例等で説明したのと同様に形成することができる。また前記第 2 シリサイドブロック膜 7 2 は、前記第 3 例、第 4 例等で説明したのと同様に形成することができる。

【 0 1 1 0 】

[ 固体撮像装置およびその製造方法の第 1 例の変形例 ]

また、前記図 5（1）に示した構成では、光電変換部 2 1、画素トランジスタ部周囲の素子分離は S T I（Shallow Trench Isolation）構造の素子分離を用いた。例えば、図 6 7 ~ 図 6 9 に示すように、光電変換部 2 1 周囲の素子分離および画素トランジスタ部 1 7 周囲の素子分離を拡散層（P<sup>+</sup>型拡散層）からなる素子分離領域 1 6 で形成することもできる。

30

この場合、前記第 1 シリサイドブロック膜 7 1 は、光電変換部 2 1 上、転送ゲート T R G 上、フローティングディフュージョン部 F D 上、リセットトランジスタ R S T のソース・ドレイン領域 3 4 上を被覆し、さらにリセットトランジスタ R S T のゲート電極 3 2 の一部上を被覆するように形成される。また前記第 2 シリサイドブロック膜 7 2 は、上記第 1 シリサイドブロック膜 7 1 にオーバーラップするように形成される。このとき、リセットトランジスタ R S T のゲート電極 3 2 の一部上まで第 1 シリサイドブロック膜 7 1 が形成されているので、第 2 シリサイドブロック膜 7 2 はリセットトランジスタ R S T のゲート電極 3 2 上で第 1 シリサイドブロック膜 7 1 とオーバーラップさせればよい。また、その他の部分では、素子分離領域 1 6 上で第 1 シリサイドブロック膜 7 1 とオーバーラップさせればよい。

40

なお、図 6 8 は図 6 7 中の A - A' 線断面図であり、図 6 9 は図 6 7 中の E - E' 線断面図である。

【 0 1 1 1 】

なお、上記固体撮像装置の製造方法の第 3 例、第 4 例ともに、周辺回路部の構成は前記製造方法の第 1 例と同様になる。

【 0 1 1 2 】

[ 固体撮像装置の製造方法の詳細例 ]

次に、一つの画素トランジスタが 4 画素を共有する構成の場合の製造方法の一詳細例を図 7 0 ~ 図 9 3 の製造工程断面図によって説明する。この製造方法は、前記図 5 1 の画素部の平面レイアウト図によって説明した構成を形成する製造方法である。

50

また、それぞれの図面の(1)にD1-D1'線位置に相当する断面図、(2)のD2-D2'線位置に相当する断面図、(3)のD3-D3'線位置に相当する断面図、(4)のD4-D4'線位置に相当する断面図を示す。

#### 【0113】

まず、前記図6~図12によって説明した工程を行う。

半導体基板11には例えばシリコン基板を用いる。そして、画素トランジスタの周辺に素子分離領域14を形成し、周辺回路部13の第2素子分離領域15を形成する。

次に、前記図6~図12には図示していないが、半導体基板11にpウエル、nウエルを形成する。さらに、チャンネルイオン注入を行う。さらに、光電変換部にフォトダイオードを形成するイオン注入を行い、p型領域を形成する。例えば、光電変換部が形成される半導体基板の表面には、ホウ素(B)のイオン注入を行い、深い領域にヒ素(As)もしくはリン(P)を用いてイオン注入を行い、上記p型領域の下部に接合するn型領域を形成する。このようにして、pn接合の光電変換部を形成する。

10

#### 【0114】

次に、図70(1)のD1-D1'線位置に相当する断面図、図70(2)のD2-D2'線位置に相当する断面図、図71(3)のD3-D3'線位置に相当する断面図、図71(4)のD4-D4'線位置に相当する断面等を参照して説明する。

半導体基板11上に犠牲酸化膜151を形成する。次いで、上記犠牲酸化膜151上に、レジストマスク152を形成する。このレジストマスク152は、上記光電変換部21の周囲に形成される素子分離領域上に開口部153が設けられている。つまり、レジストマスク152によって、光電変換部21上、および転送ゲート、フローティングディフュージョン部、画素トランジスタの各形成領域上が被覆される。

20

次いで、上記レジストマスク152をイオン注入マスクに用いて、上記半導体基板11にイオン注入を行い、P<sup>+</sup>型の素子分離領域16を形成する。このイオン注入は、例えばイオン種にホウ素(B)を用い、ドーズ量を $1 \times 10^{12} / \text{cm}^2 \sim 1 \times 10^{13} / \text{cm}^2$ に設定する。また、注入エネルギーを10keV~30keVに設定する。また、深さに応じてイオン注入を多段階に行ってもよい。

これによって、各光電変換部21は、素子分離領域16で分離され、リセットトランジスタ、増幅トランジスタ、選択トランジスタ等が形成される画素トランジスタの形成領域とは素子分離領域14によって分離される。また、図示はしていないが、周辺回路部は、前記説明したように、素子分離領域(15)によって分離されている。

30

#### 【0115】

その後、上記レジストマスク152を除去し、さらに上記犠牲酸化膜151を除去する。図面は、レジストマスク152を除去する直前の状態を示した。

#### 【0116】

次に、図72(1)のD1-D1'線位置に相当する断面図、図72(2)のD2-D2'線位置に相当する断面図、図73(3)のD3-D3'線位置に相当する断面図、図73(4)のD4-D4'線位置に相当する断面等を参照して説明する。

図72および図73に示すように、半導体基板11上にゲート絶縁膜31を形成し、さらにゲート絶縁膜31上にゲート電極形成膜131を形成する。このとき、図示はしていないが、前記図14に示すように、周辺回路部13の半導体基板11上にもゲート絶縁膜51を形成し、ゲート絶縁膜51上に上記ゲート電極形成膜131を形成する。

40

上記ゲート電極形成膜131は、例えばLP-CVD法により、ポリシリコンを堆積して形成する。堆積膜厚は、技術ノードにもよるが、90nmノードでは、150nm~200nmとする。

また、膜厚は、加工の制御性から一般にゲートアスペクト比を大きくしないため、ノード毎に薄くなる傾向にある。

そして、ゲート空乏化対策として、ポリシリコンの代わりにシリコンゲルマニウム(SiGe)を用いてよい。このゲート空乏化とは、ゲート酸化膜の膜厚が薄膜化するに伴い、物理的なゲート酸化膜の膜厚だけでなくゲートポリシリコン内の空乏層の膜厚の影響が

50

無視できなくなつて、実効的なゲート酸化膜の膜厚が薄くならず、トランジスタ性能が落ちてしまうという問題である。

【0117】

次に、図74(1)のD1-D1'線位置に相当する断面図、図74(2)のD2-D2'線位置に相当する断面図、図75(3)のD3-D3'線位置に相当する断面図、図75(4)のD4-D4'線位置に相当する断面等を参照して説明する。

図74および図75に示すように、ゲート空乏化対策を行う。まず、周辺回路部13のpMOSトランジスタの形成領域上にレジストマスク132を形成(前記図16参照)し、nMOSトランジスタの形成領域の上記ゲート電極形成膜131にn型不純物をドーピングする。このドーピングは、例えばリン(P)またはヒ素(As)をイオン注入して行う。イオン注入量は、約 $1 \times 10^{15} / \text{cm}^2 \sim 1 \times 10^{16} / \text{cm}^2$ である。その後、上記レジストマスク132を除去する。

次いで、図示はしていないが、nMOSトランジスタの形成領域上にレジストマスク(図示せず)を形成し、周辺回路部13(前記図16参照)のpMOSトランジスタの形成領域の上記ゲート電極形成膜131にp型不純物をドーピングする。このドーピングは、例えばホウ素(B)または二フッ化ホウ素(BF<sub>2</sub>)またはインジウム(In)をイオン注入して行う。イオン注入量は、約 $1 \times 10^{15} / \text{cm}^2 \sim 1 \times 10^{16} / \text{cm}^2$ である。その後、上記レジストマスクを除去する。

上記イオン注入は、どちらを先に行ってもよい。

また、上記各イオン注入において、イオン注入した不純物がゲート絶縁膜の直下に突き抜けるのを防ぐために、窒素(N<sub>2</sub>)のイオン注入を組み合わせても良い。

【0118】

次に、図76(1)のD1-D1'線位置に相当する断面図、図76(2)のD2-D2'線位置に相当する断面図、図77(3)のD3-D3'線位置に相当する断面図、図77(4)のD4-D4'線位置に相当する断面等を参照して説明する。

図76および図77に示すように、上記ゲート電極形成膜131上に各ゲート電極を形成するためのレジストマスク(図示せず)を形成する。このレジストマスクをエッチングマスクに用いた反応性イオンエッチングによって、上記ゲート電極形成膜131上をエッチング加工して画素部12の各MOSトランジスタのゲート電極32、転送ゲートTRG、周辺回路部13の各MOSトランジスタのゲート電極52を形成(前記図18参照)する。

次いで、上記各ゲート電極32、ゲート電極52(前記図18参照)の表面を酸化して酸化膜133を形成する。

上記酸化膜133の膜厚は、例えば1nm~10nmとする。また、上記酸化膜133は、上記ゲート電極32、52の側壁とともに上面にも形成されている。

さらに、上記酸化工程によって、上記ゲート電極32、52のエッジ部分を丸めることによって、酸化膜耐圧を改善することができる効果がある。

また、上記熱処理が行われることによって、エッチダメージを低減することができる。

また、上記ゲート電極加工において、光電変換部21上に形成されていた上記ゲート絶縁膜が除去されたとしても、光電変換部21上にも上記酸化膜133が形成される。このため、次工程のリソグラフィ技術においてレジスト膜を形成した際に、シリコン表面に直付けではなくなるために、このレジストによる汚染を防止できる。よって、画素部12の光電変換部21にとっては、白傷防止対策になる。

【0119】

次に、図78(1)のD1-D1'線位置に相当する断面図、図78(2)のD2-D2'線位置に相当する断面図、図79(3)のD3-D3'線位置に相当する断面図、図79(4)のD4-D4'線位置に相当する断面等を参照して説明する。

図78および図79に示すように、画素部12の各MOSトランジスタのLDD領域38、39等を形成するとともに、周辺回路部13の各MOSトランジスタのLDD領域61、62、63、64等を形成(前記図20参照)する。

## 【 0 1 2 0 】

まず、周辺回路部 1 3 に形成される N M O S トランジスタに関しては、各ゲート電極 5 2 ( 5 2 N ) の両側における半導体基板 1 1 にポケット拡散層 6 5、6 6 を形成 ( 前記図 2 0 参照 ) する。このポケット拡散層 6 5、6 6 は、イオン注入により形成され、イオン注入種に例えば二フッ化ホウ素 (  $B F_2$  ) またはホウ素 ( B ) またはインジウム ( I n ) を用い、ドーズ量を例えば  $1 \times 10^{12} / c m^2 \sim 1 \times 10^{14} / c m^2$  に設定する。

さらに各ゲート電極 5 2 ( 5 2 N ) の両側における半導体基板 1 1 に L D D 領域 6 1、6 2 を形成する。L D D 領域 6 1、6 2 は、イオン注入により形成され、イオン注入種に例えばヒ素 ( A s ) もしくはリン ( P ) を用い、ドーズ量を例えば  $1 \times 10^{13} / c m^2 \sim 1 \times 10^{15} / c m^2$  に設定する。

10

## 【 0 1 2 1 】

上記画素部 1 2 に形成される M O S トランジスタに関しては、各ゲート電極 3 2 の両側における半導体基板 1 1 に L D D 領域 3 8、3 9 を形成する。L D D 領域 3 8、3 9 は、イオン注入により形成され、イオン注入種に例えばヒ素 ( A s ) もしくはリン ( P ) を用い、ドーズ量を例えば  $1 \times 10^{13} / c m^2 \sim 1 \times 10^{15} / c m^2$  に設定する。また、ポケット拡散層を形成してもよい。

上記画素部 1 2 に形成される M O S トランジスタに関しては、工程削減の観点から、L D D 領域を形成しなくてもよい。もしくは、周辺回路部 1 3 に形成される M O S トランジスタの L D D イオン注入と兼ねてもよい。

20

## 【 0 1 2 2 】

周辺回路部 1 3 の P M O S トランジスタの形成領域に関しては、各ゲート電極 5 2 の両側における半導体基板 1 1 にポケット拡散層 6 7、6 8 を形成 ( 前記図 2 0 参照 ) する。このポケット拡散層 6 7、6 8 は、イオン注入により形成され、イオン注入種に例えばヒ素 ( A s ) またはリン ( P ) を用い、ドーズ量を例えば  $1 \times 10^{12} / c m^2 \sim 1 \times 10^{14} / c m^2$  に設定する。

さらに各ゲート電極 5 2 ( 5 2 P ) の両側における半導体基板 1 1 に L D D 領域 6 3、6 4 を形成する。L D D 領域 6 3、6 4 は、イオン注入により形成され、イオン注入種に例えば二フッ化ホウ素 (  $B F_2$  ) またはホウ素 ( B ) またはインジウム ( I n ) を用い、ドーズ量を例えば  $1 \times 10^{13} / c m^2 \sim 1 \times 10^{15} / c m^2$  に設定する。

30

## 【 0 1 2 3 】

また、周辺回路部の N M O S トランジスタ、P M O S トランジスタのポケットイオン注入前に、注入のチャネリング抑制技術として、ゲルマニウム ( G e ) をイオン注入することなどでプリアモルファス化を行ってもよい。また、L D D 領域形成後、T E D ( T r a n s i e n t E n h a n c e d D i f f u s i o n ) などを引き起こす注入欠陥を小さくするために、8 0 0 ~ 9 0 0 程度の R T A ( R a p i d T h e r m a l A n n e a l i n g ) 処理を追加してもよい。

## 【 0 1 2 4 】

次に、図 8 0 ( 1 ) の D 1 - D 1 ' 線位置に相当する断面図、図 8 0 ( 2 ) の D 2 - D 2 ' 線位置に相当する断面図、図 8 1 ( 3 ) の D 3 - D 3 ' 線位置に相当する断面図、図 8 1 ( 4 ) の D 4 - D 4 ' 線位置に相当する断面等を参照して説明する。

図 8 0 および図 8 1 に示すように、画素部 1 2 および周辺回路部 1 3 ( 前記図 2 2 参照 ) の全面に酸化シリコン (  $S i O_2$  ) 膜 1 3 4 を形成する。この酸化シリコン膜 1 3 4 は、ノンドープトシリケートガラス ( N S G ) または L P - T E O S ( T e t r a E t h y l O r t h o S i l i c a t e ) または高温酸化 ( H T O ) 膜等の堆積膜で形成される。上記酸化シリコン膜 1 3 4 は、例えば 5 n m ~ 2 0 n m の膜厚に形成される。

40

次に、上記酸化シリコン膜 1 3 4 上に窒化シリコン膜 1 3 5 を形成する。この窒化シリコン膜 1 3 5 は、例えば L P C V D にて形成された窒化シリコン膜を用いる。その膜厚は、例えば 1 0 n m ~ 1 0 0 n m とする。

上記窒化シリコン膜 1 3 5 は、低温で成膜できる原子層蒸着法により成膜された A L D 窒化シリコン膜でもよい。

上記窒化シリコン膜 1 3 5 の直下の酸化シリコン膜 1 3 4 は、画素部 1 2 の光電変

50

換部 2 1 上では、その膜厚が薄いほど、光反射を防ぐので、光電変換部 2 1 の感度が良くなる。

次に、必要に応じて、上記窒化シリコン膜 1 3 5 上に 3 層目の酸化シリコン (  $\text{SiO}_2$  ) 膜 1 3 6 を堆積する。この酸化シリコン膜 1 3 6 は、NSG または LP - TEOS または HTO 等の堆積膜で形成される。この酸化シリコン膜 1 3 6 は、例えば 10 nm ~ 100 nm の膜厚に形成される。

#### 【 0 1 2 5 】

したがって、サイドウォール形成膜 1 3 7 は、酸化シリコン膜 1 3 6 / 窒化シリコン膜 1 3 5 / 酸化シリコン膜 1 3 4 の 3 層構造膜となる。なお、このサイドウォール形成膜 1 3 7 は、窒化シリコン膜 / 酸化シリコン膜の 2 層構造膜であってもよい。以下、3 層構造膜のサイドウォール形成膜 1 3 7 で説明する。

10

#### 【 0 1 2 6 】

次に、図 8 2 ( 1 ) の D 1 - D 1 ' 線位置に相当する断面図、図 8 2 ( 2 ) の D 2 - D 2 ' 線位置に相当する断面図、図 8 3 ( 3 ) の D 3 - D 3 ' 線位置に相当する断面図、図 8 3 ( 4 ) の D 4 - D 4 ' 線位置に相当する断面等を参照して説明する。

図 8 2 および図 8 3 に示すように、最上層に形成されている上記酸化シリコン膜 1 3 6 をエッチバックして、各ゲート電極 3 2、5 2 ( 前記図 2 4 参照 )、転送ゲート TRG 等の側部側にのみ残す。上記エッチバックは、例えば反応性イオンエッチング ( RIE ) によって行う。このエッチバックでは、上記窒化シリコン膜 1 3 5 でエッチングを停止する。このように、窒化シリコン膜 1 3 5 でエッチングを停止するため、画素部 1 2 の光電変換部 2 1 へのエッチダメージを低減することができるので、白傷を低減することができる。

20

#### 【 0 1 2 7 】

次に、図 8 4 ( 1 ) の D 1 - D 1 ' 線位置に相当する断面図、図 8 4 ( 2 ) の D 2 - D 2 ' 線位置に相当する断面図、図 8 5 ( 3 ) の D 3 - D 3 ' 線位置に相当する断面図、図 8 5 ( 4 ) の D 4 - D 4 ' 線位置に相当する断面等を参照して説明する。

図 8 4 および図 8 5 に示すように、画素部 1 2 の光電変換部 2 1 上の全面、転送ゲート TRG 上、フローティングディフュージョン部が形成される領域上、リセットトランジスタの LDD 領域 3 8 上およびリセットトランジスタのゲート電極 3 2 上の一部にかかるように、レジストマスク 1 3 8 を形成する。

30

その後、上記窒化シリコン膜 1 3 5、上記酸化シリコン膜 1 3 4 をエッチバックして、各ゲート電極 3 2、5 2 ( 前記図 2 6 参照 ) の側壁部に酸化シリコン膜 1 3 4、窒化シリコン膜 1 3 5、酸化シリコン膜 1 3 6 からなる第 1 サイドウォール 3 3、第 2 サイドウォール 5 3 ( 前記図 2 6 参照 ) を形成する。このとき、光電変換部 2 1 上、フローティングディフュージョン部を形成する領域上、リセットトランジスタのソース・ドレイン領域を形成する領域上の窒化シリコン膜 1 3 5、酸化シリコン膜 1 3 4 は、レジストマスク 1 3 8 で被覆されているので、エッチングされない。したがって、光電変換部 2 1、フローティングディフュージョン部を形成する領域、リセットトランジスタのソース・ドレイン領域を形成する領域にエッチングダメージが生じることはない。

#### 【 0 1 2 8 】

40

次に、図 8 6 ( 1 ) の D 1 - D 1 ' 線位置に相当する断面図、図 8 6 ( 2 ) の D 2 - D 2 ' 線位置に相当する断面図、図 8 7 ( 3 ) の D 3 - D 3 ' 線位置に相当する断面図、図 8 7 ( 4 ) の D 4 - D 4 ' 線位置に相当する断面等を参照して説明する。

まず、前記図 2 8 に示すように、周辺回路部 1 3 の NMOS トランジスタの形成領域上を開口したレジストマスク ( 図示せず ) を形成し、これを用いてイオン注入により、周辺回路部 1 3 の NMOS トランジスタの形成領域に深いソース・ドレイン ( Deep Source-Drain ) 領域 5 4 ( 5 4 N )、5 5 ( 5 5 N ) を形成する。すなわち、各ゲート電極 5 2 の両側に、上記 LDD 領域 5 8、5 9 等を介して、半導体基板 1 1 に上記ソース・ドレイン領域 5 4 N、5 5 N が形成される。上記ソース・ドレイン領域 5 4 N、5 5 N は、イオン注入により形成され、イオン注入種に例えばヒ素 ( As ) またはリン ( P ) を用い、ドー

50

ズ量を例えば  $1 \times 10^{15} / \text{cm}^2 \sim 1 \times 10^{16} / \text{cm}^2$  に設定する。その後、上記レジストマスクを除去する。

【0129】

次に、図86および図87に示すように、画素部12のNMOSトランジスタの形成領域上を開口したレジストマスク（図示せず）を形成し、これを用いてイオン注入により、画素部12のNMOSトランジスタの形成領域に深いソース・ドレイン（Deep Source-Drain）領域34、35およびフローティングディフュージョン部FDを形成する。すなわち、各ゲート電極32の両側に、上記LDD領域38、39等を介して、半導体基板11に上記ソース・ドレイン領域34、35が形成される。上記ソース・ドレイン領域34、35は、イオン注入により形成され、イオン注入種に例えばヒ素（As）またはリン（P）を用い、ドーズ量を例えば  $1 \times 10^{15} / \text{cm}^2 \sim 1 \times 10^{16} / \text{cm}^2$  に設定する。その後、上記レジストマスクを除去する。

10

このイオン注入は、上記周辺回路部のNMOSトランジスタの上記ソース・ドレイン領域54N、55Nを形成するイオン注入と兼ねることができる。

また、リセットトランジスタのソース・ドレイン領域34は、酸化シリコン膜134と窒化シリコン膜135を通過させるイオン注入となるので、この部分のイオン注入を別途行うこともできる。

【0130】

次に、前記図28に示すように、周辺回路部13のPMOSトランジスタの形成領域上を開口したレジストマスク（図示せず）を形成し、これを用いてイオン注入により、周辺回路部13のPMOSトランジスタの形成領域に深いソース・ドレイン（Deep Source-Drain）領域54（54P）、55（55P）を形成する。すなわち、各ゲート電極52の両側に、上記LDD領域60、61等を介して、半導体基板11に上記ソース・ドレイン領域54P、55Pが形成される。上記ソース・ドレイン領域54P、55Pは、イオン注入により形成され、イオン注入種に例えばホウ素（B）または二フッ化ホウ素（ $\text{BF}_2$ ）を用い、ドーズ量を例えば  $1 \times 10^{15} / \text{cm}^2 \sim 1 \times 10^{16} / \text{cm}^2$  に設定する。その後、上記レジストマスクを除去する。

20

【0131】

次に、各ソース・ドレイン領域の活性化アニールを行う。この活性化アニールは、例えば約800 ~ 1100で行う。この活性化アニールを行う装置は、例えばRTA（Rapid Thermal Annealing）装置、スパイク-RTA装置などを用いることができる。

30

【0132】

上記ソース・ドレイン領域の活性化アニール前においては、光電変換部21上を被覆するサイドウォール形成膜137が画素部12のMOSトランジスタのゲート電極32上で、サイドウォール形成膜137にて形成されるサイドウォール33と分断されている。このため、上記従来技術で説明したSMT（Stress Memorization Technique）に起因した応力（Stress）による悪化がない。

よって、白傷、ランダムノイズ等を改善できる。

また、光電変換部21上は、サイドウォール形成膜137で覆われており、ソース・ドレイン領域を形成するイオン注入時のレジストマスクは、サイドウォール形成膜137を介して光電変換部21上に形成されるため、光電変換部21表面に直付けにならない。このため、光電変換部21は、レジスト中の汚染物質により汚染されることがないので、白傷、暗電流等の増加を抑えることができる。

40

また、ソース・ドレイン領域を形成するイオン注入では、膜越しのイオン注入ではないため、表面の濃度を高くした状態で深さを設定できる。このため、ソース・ドレイン領域の直列抵抗の増加を抑制できる。

また、上記光電変換部21上、フローティングディフュージョン部FD上、このフローティングディフュージョン部FDに配線（図示せず）等で接続されるリセットトランジスタのソース・ドレイン領域34上を被覆している上記サイドウォール形成膜137は、その後の工程で、第1シリサイドブロック膜71として用いられる。

50

## 【0133】

次に、図88(1)のD1-D1'線位置に相当する断面図、図88(2)のD2-D2'線位置に相当する断面図、図89(3)のD3-D3'線位置に相当する断面図、図89(4)のD4-D4'線位置に相当する断面等を参照して説明する。

まず、図88および図89に示すように、画素部12および周辺回路部13(前記図30参照)上の全面に第2シリサイドブロック膜72を形成する。第2シリサイドブロック膜72は、酸化シリコン( $\text{SiO}_2$ )膜138と窒化シリコン( $\text{Si}_3\text{N}_4$ )膜139の積層膜からなる。例えば、上記酸化シリコン膜138は、例えば5nm~40nmの膜厚に形成されていて、上記窒化シリコン膜139は、例えば5nm~60nmの膜厚に形成されている。

上記酸化シリコン膜138は、NSG、LP-TEOS、HTO膜等を用いる。上記窒化シリコン膜139は、ALD-SiN、プラズマ窒化膜、LP-SiN等を用いる。この2層の膜の成膜温度が高いと、PMOSFETのゲート電極において、ボロンの不活性化が起こり、ゲート空乏化により、PMOSFETの電流駆動能力が低下する。したがって、相対的にサイドウォール形成膜137より成膜温度が低いことが望ましい。成膜温度は例えば700以下が望ましい。

## 【0134】

次に、図90(1)のD1-D1'線位置に相当する断面図、図90(2)のD2-D2'線位置に相当する断面図、図91(3)のD3-D3'線位置に相当する断面図、図91(4)のD4-D4'線位置に相当する断面等を参照して説明する。

まず、図90および図91に示すように、画素部12のMOSトランジスタの形成領域上をほぼ被覆するように、レジストマスク141を形成する。このレジストマスク141をエッチングマスクに用いて、上記画素部12の光電変換部21上、フローティングディフュージョン部FD上(転送ゲートTRG上も含む)、リセットトランジスタのソース・ドレイン領域34上、リセットトランジスタのゲート電極32上の一部、および周辺回路部13(前記図32参照)上の上記第2シリサイドブロック膜72をエッチングにより除去する。したがって、第2シリサイドブロック膜72は、上記第1シリサイドブロック膜71に対してリセットトランジスタのゲート電極32上および図示した素子分離領域14の図面奥側上でオーバーラップする状態に形成される。

この結果、光電変換部21上は、上層より窒化シリコン膜135、酸化シリコン膜134となり、分光のリップルを防ぐことができる。一方、上記エッチングを行わない場合には、光電変換部21上が、上層より窒化シリコン膜139、酸化シリコン膜138、窒化シリコン膜135、酸化シリコン膜134の構造になり、入射光は多重反射し、分光のリップル特性が悪化する。リップル特性が悪くなるので、Chip to Chipの分光のばらつきが大きくなる。そのため、本実施例では、光電変換部21上の第2シリサイドブロック膜72を故意に剥離している。

## 【0135】

次に、図92(1)のD1-D1'線位置に相当する断面図、図92(2)のD2-D2'線位置に相当する断面図、図93(3)のD3-D3'線位置に相当する断面図、図93(4)のD4-D4'線位置に相当する断面等を参照して説明する。

まず、前記図34に示すように、周辺回路部13の各MOSトランジスタ50のソース・ドレイン領域54、55上およびゲート電極52上にシリサイド層56、57、58を形成する。

上記シリサイド層56、57、58には、コバルトシリサイド( $\text{CoSi}_2$ )、ニッケルシリサイド( $\text{NiSi}$ )、チタンシリサイド( $\text{TiSi}_2$ )、白金シリサイド( $\text{PtSi}$ )、タングステンシリサイド( $\text{WSi}_2$ )などを用いる。

シリサイド層56、57、58の形成例として、ニッケルシリサイドを形成する一例を以下に説明する。

まず全面にニッケル(Ni)膜を形成する。このニッケル膜は、例えばスパッタ装置を用いて、例えば10nmの厚さに形成される。次いで、300~400程度でアニー

10

20

30

40

50

ル処理を行って、ニッケル膜と下地にシリコンとを反応させて、ニッケルシリサイド層を形成する。その後、未反応なニッケルをウェットエッチングにより除去する。このウェットエッチングによって、絶縁膜以外のシリコンまたはポリシリコン表面のみ、自己整合的にシリサイド層 56、57、58 が形成される。

その後、500 ~ 600 程度で再度、アニール処理を行い、ニッケルシリサイド層を安定化させる。

上記シリサイド化工程では、図 9 2 および図 9 3 に示すように、画素部 1 2 は、第 1 シリサイドブロック膜 7 1 および第 1 シリサイドブロック膜 7 2 に被覆されているので、シリサイドは形成されない。これは、シリサイドの金属が光電変換部 2 1 上まで拡散することによる白傷や暗電流の増加をなくするためである。

したがって、画素部 1 2 の MOS トランジスタのソース・ドレイン領域 3 4、3 5 表面の不純物濃度を濃くしないと、コンタクト抵抗が激増することになる。本実施例では、上記ソース・ドレイン領域 3 4、3 5 表面の不純物濃度を高くすることができるので、コンタクト抵抗増加を比較的抑制できるという利点がある。

#### 【0136】

その後、前記図 3 5 および図 3 6 によって説明したのと同様に、画素部 1 2 および周辺回路部 1 3 上の全面にエッチングストップ膜 7 4 を形成する。上記エッチバックストップ膜 7 4 は、例えば窒化シリコン膜で形成される。上記窒化シリコン膜は、コンタクトホールを形成するエッチング時のオーバーエッチングを最小限にするという効果がある。またエッチングダメージによる接合リーク増加を抑制する効果を有する。

#### 【0137】

次に、前記図 3 7 および図 3 8 によって説明したのと同様に、上記エッチバックストップ膜 7 4 上に層間絶縁膜 7 6 を形成する。上記層間絶縁膜 7 6 は、例えば酸化シリコン膜で形成され、例えば 100 nm ~ 1000 nm の厚さに形成される。

次に、上記層間絶縁膜 7 6 の表面を平坦化する。この平坦化は、例えば化学的機械研磨 (CMP) により行う。

次いで、コンタクトホールを形成するためのレジストマスク (図示せず) を形成した後、例えば画素部 1 2 の上記層間絶縁膜 7 6、エッチングストップ膜 7 4、第 2 シリサイドブロック膜 7 2 等をエッチングして、コンタクトホール 7 7、7 8、7 9 を形成する。また同様にして、周辺回路部 1 3 にもコンタクトホール 8 1、8 2 を形成する。

図面では一例として、画素部 1 2 では、転送ゲート TRG、選択トランジスタ SEL のゲート電極 3 2、増幅トランジスタ Amp のゲート電極 3 2 に達するコンタクトホール 7 7、7 8、7 9 を示した。また周辺回路部 1 3 では、N チャネル (Nch) 低耐圧トランジスタソース・ドレイン領域 5 5、P チャネル (Pch) 低耐圧トランジスタのソース・ドレイン領域 5 5 に達するコンタクトホール 8 1、8 2 を示した。しかしながら、その他のトランジスタのゲート電極、ソース・ドレイン領域に達するコンタクトホールも図示はしていないが、同時に形成される。

#### 【0138】

次に、各コンタクトホール 7 7 ~ 7 9、8 1、8 2 の内部に密着層 (図示せず) とバリアメタル層 8 4 を介してプラグ 8 5 を形成する。

上記密着層には、例えばチタン (Ti) 膜、タンタル (Ta) 膜等を用い、上記バリアメタル層 8 4 には例えば窒化チタン膜、窒化タンタル膜等を用いる。

また、上記プラグ 8 5 は、タングステン (W)、アルミニウム (Al)、銅 (Cu) 等で形成することができる。例えば銅 (Cu) を用いた場合には、例えば、密着層にタンタル膜を用い、バリアメタル層 8 4 に窒化タンタル膜を用いる。

その後、図示はしないが、多層配線を形成する。多層配線は必要に応じて、2 層、3 層、4 層・・・と多層化してもよい。

#### 【0139】

次に、前記図 3 9 の画素部の断面図に示すように、光電変換部 2 1 上に導波路 2 3 形成してもよい。また、光電変換部 2 1 に入射光を集光するために、集光レンズ 2 5 を形成し

10

20

30

40

50

ても良い。

また、上記導波路 2 3 と集光レンズとの間に、光を分光するためのカラーフィルタ 2 7 を形成しても良い。

【 0 1 4 0 】

上記固体撮像装置の製造方法（第 4 例）では、画素トランジスタ部 1 7 のサイドウォール 3 3、周辺回路部のサイドウォール 5 3 を形成するとき、フローティングディフュージョン部 F D 上もサイドウォール形成膜 1 3 7（第 1 シリサイドブロック膜 7 1）で被覆される。このため、フローティングディフュージョン部 F D にサイドウォール形成時のエッチングダメージが生じないようにすることができる。また、フローティングディフュージョン部 F D が外方拡散の影響を受けないようにすることができる。これにより、素子分離領域 1 6 とフローティングディフュージョン部 F D 間のリークパスの発生が抑制され、F D 白傷の発生を抑えることができるので、高画質は撮像が可能な固体撮像装置を製造することが可能になる。

10

また、サイドウォール形成膜 1 3 7 と同一層の膜で形成された第 1 シリサイドブロック膜 7 1 と、第 1 シリサイドブロック膜 7 1 とは別の膜で形成された第 2 シリサイドブロック膜 7 2 の 2 層で画素部 1 2 が被覆される。このため、画素部 1 2 の M O S トランジスタ上が 1 層のシリサイドブロック膜で完全に被覆されるのではないので、ランダムノイズが低減され、白傷・暗電流が低減される。

【 0 1 4 1 】

上記各実施例の説明では N 型基板に P ウエルを形成し、光電変換部 2 1 のフォトダイオードを上層より P<sup>+</sup>層と N<sup>+</sup>層とで形成したが、P 型基板に N ウエルを形成し、光電変換部 2 1 のフォトダイオードを上層より N<sup>+</sup>層と P<sup>+</sup>層とで形成することもできる。

20

【 0 1 4 2 】

ここで、上記固体撮像装置の画素トランジスタ部 1 7 のリセットトランジスタ R S T、増幅トランジスタ A m p、選択トランジスタ S E L について説明する。

【 0 1 4 3 】

リセットトランジスタ R S T は、リセット線（図示せず）にドレイン電極（ソース・ドレイン領域 3 5）が、フローティングディフュージョン部 F D にソース電極（ソース・ドレイン領域 3 4）がそれぞれ接続され、光電変換部 2 1 からフローティングディフュージョン部 F D への信号電荷の転送に先立って、ゲート電極にリセットパルスが与えられることによってフローティングディフュージョン部 F D の電位をリセット電圧にリセットする。

30

【 0 1 4 4 】

増幅トランジスタ A m p は、フローティングディフュージョン部 F D にゲート電極 3 2 が、画素電源 V d d にドレイン電極（ソース・ドレイン領域 3 4）がそれぞれ接続され、リセットトランジスタ R S T によってリセットされた後のフローティングディフュージョン部 F D の電位をリセットレベルとして出力し、さらに転送トランジスタ T R G によって信号電荷が転送された後のフローティングディフュージョン部 F D の電位を信号レベルとして出力する。

【 0 1 4 5 】

選択トランジスタ S E L は、例えば、ドレイン電極（ソース・ドレイン領域 3 4）が増幅トランジスタ A m p のソース電極（ソース・ドレイン領域 3 5）に接続され、ソース電極（ソース・ドレイン領域 3 5）が出力信号線（図示せず）に接続されている。そしてゲート電極 3 2 に選択パルスが与えられることによってオン状態となり、画素を選択状態として増幅トランジスタ A m p から出力される信号を出力信号線（図示せず）に出力する。なお、選択トランジスタ S E L については、画素電源 V d d と増幅トランジスタ 2 3 4 のドレイン電極との間に接続した構成を採ることも可能である。

40

【 0 1 4 6 】

< 5 . 第 5 の実施の形態 >

[ 撮像装置の構成の一例 ]

50

次に、本発明の撮像装置に係る一実施の形態を、図94のブロック図によって説明する。この撮像装置は、本発明の固体撮像装置を用いたものである。

【0147】

図94に示すように、撮像装置200は、撮像部201に固体撮像装置（図示せず）を備えている。この撮像部201の集光側には像を結像させる結像光学系202が備えられ、また、撮像部201には、それを駆動する駆動回路、固体撮像装置で光電変換された信号を画像に処理する信号処理回路等を有する信号処理部203が接続されている。また上記信号処理部203によって処理された画像信号は画像記憶部（図示せず）によって記憶させることができる。このような撮像装置200において、上記固体撮像素子には、前記実施の形態で説明した固体撮像装置1を用いることができる。

10

【0148】

本発明の撮像装置200では、本願発明の固体撮像装置1を用いることから、上記説明したのと同様に、各画素の光電変換部の感度が十分に確保される。よって、画素特性、例えばランダムノイズ、白傷、暗電流等の低減が可能になるという利点がある。

【0149】

なお、本発明の撮像装置200は、上記構成に限定されることはなく、固体撮像装置を用いる撮像装置であれば如何なる構成のものにも適用することができる。

【0150】

上記固体撮像装置200は、ワンチップとして形成された形態であってもよいし、撮像部と、信号処理部または光学系とがまとめてパッケージされた撮像機能を有するモジュール状の形態であってもよい。また、本発明の固体撮像装置は、このような撮像装置にも適用可能である。この場合、撮像装置として、高画質化の効果が得られる。ここで、撮像装置は、例えば、カメラや撮像機能を有する携帯機器のことをいう。また「撮像」は、通常のカメラ撮影時における像の撮りこみだけではなく、広義の意味として、指紋検出なども含むものである。

20

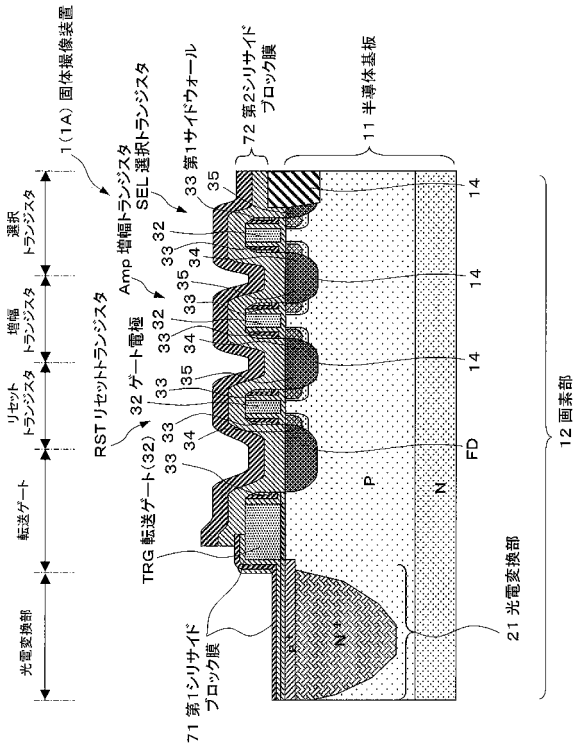
【符号の説明】

【0151】

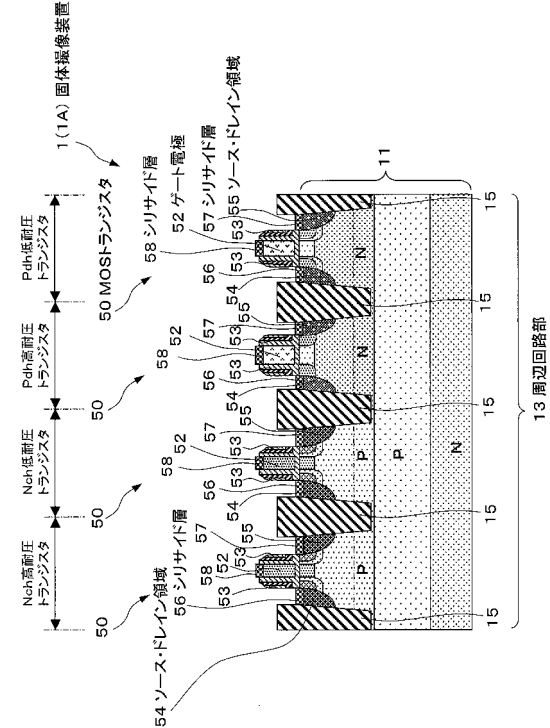
1...固体撮像装置、11...半導体基板、12...画素部、13...周辺回路部、21...光電変換部、30...MOSトランジスタ、32...ゲート電極、33...第1サイドウォール、50...MOSトランジスタ、52...ゲート電極、53...第2サイドウォール、71...第1シリサイドブロック膜、72...第2シリサイドブロック膜

30

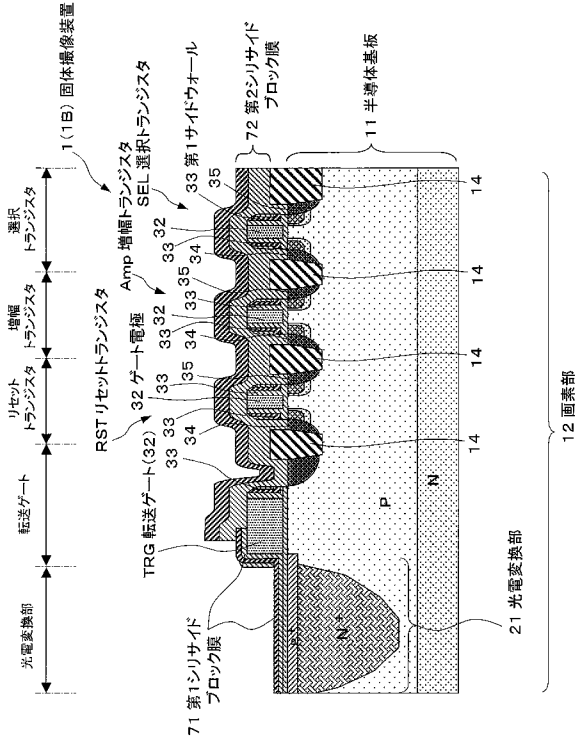
【図 1】



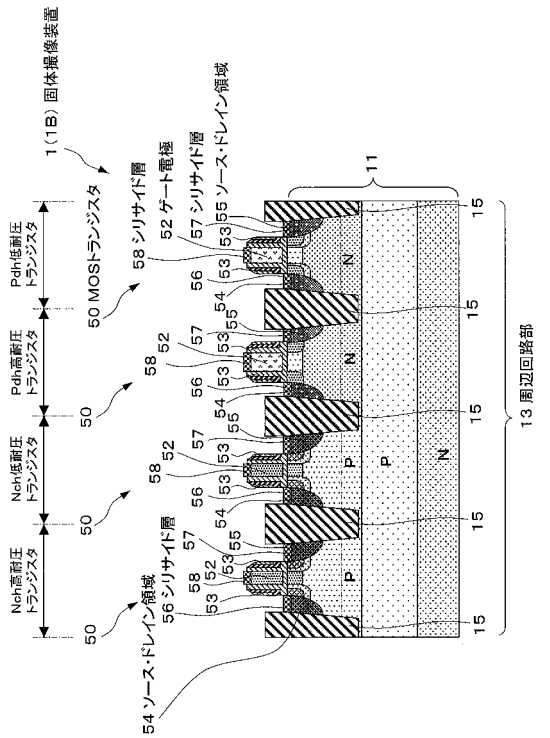
【図 2】



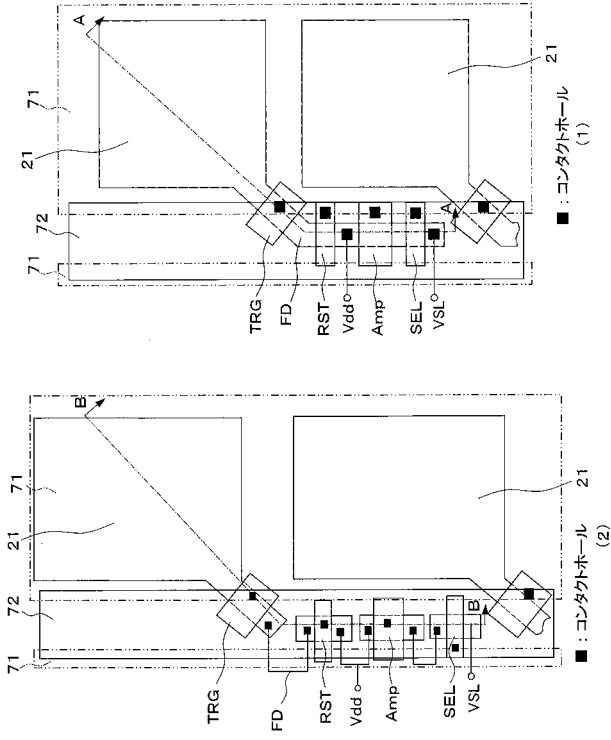
【図 3】



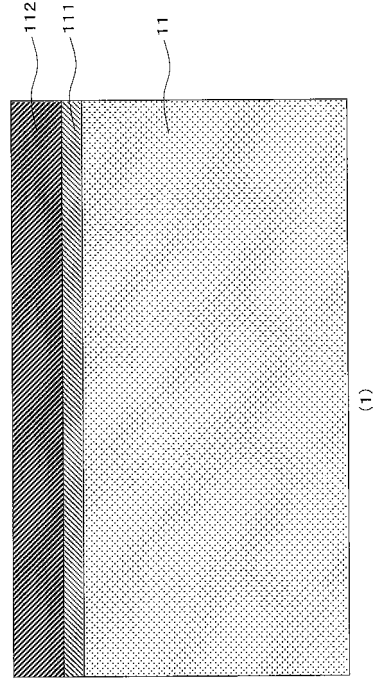
【図 4】



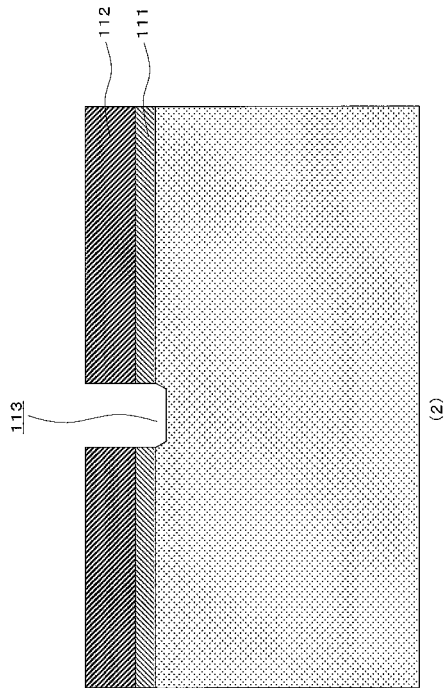
【図5】



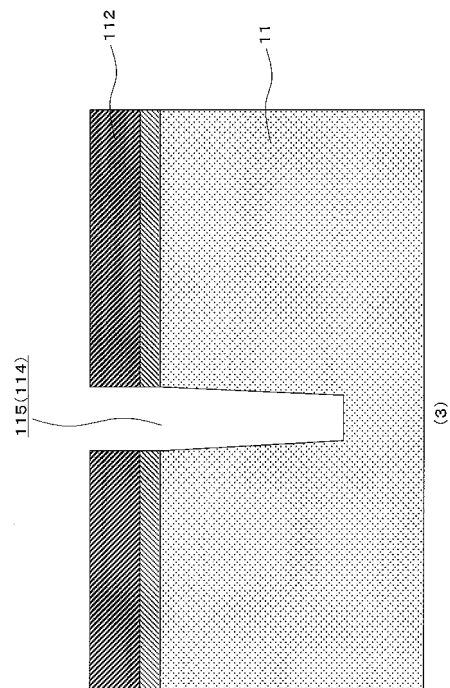
【図6】



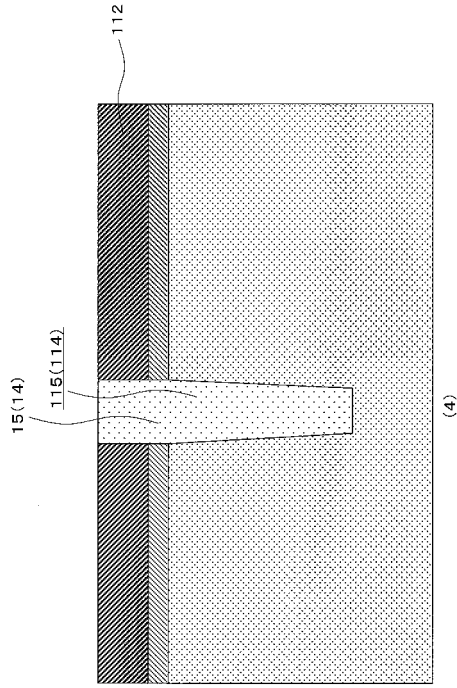
【図7】



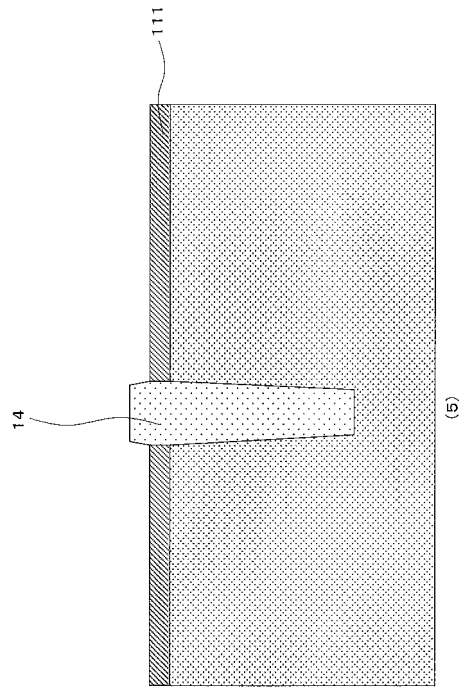
【図8】



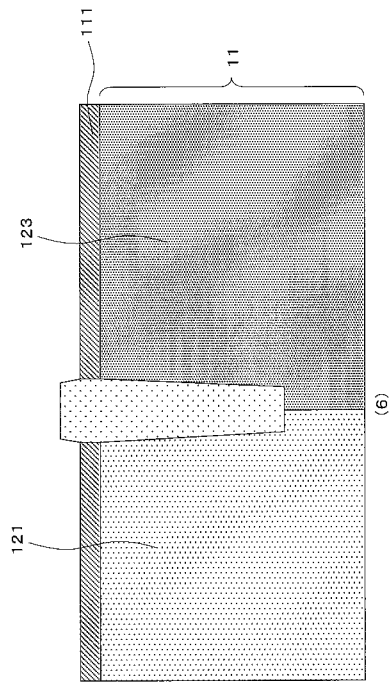
【図 9】



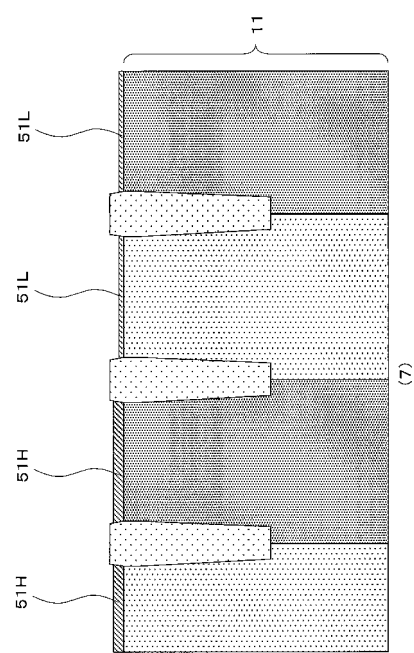
【図 10】



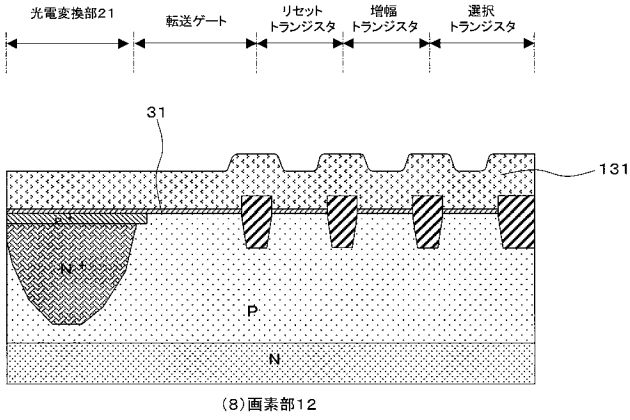
【図 11】



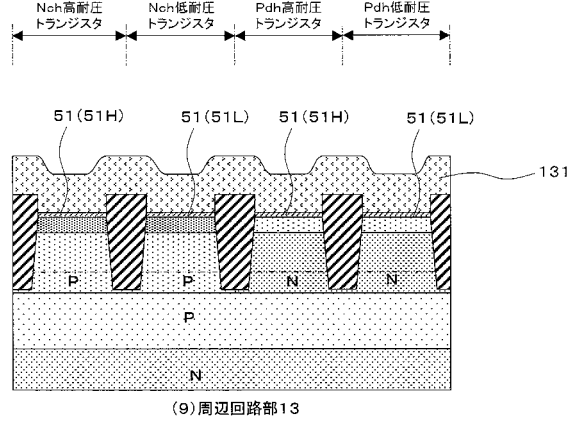
【図 12】



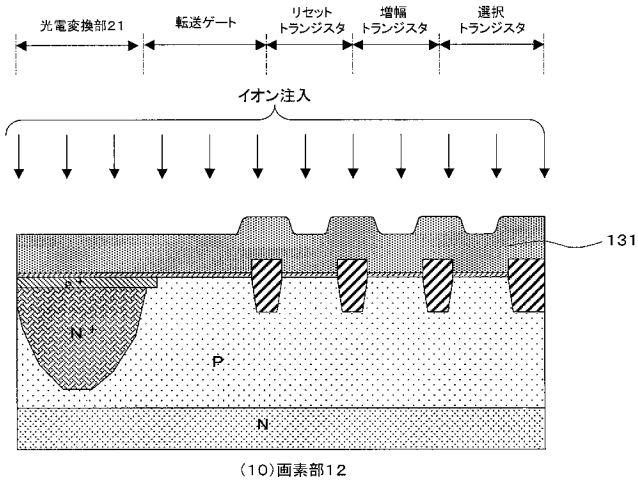
【図13】



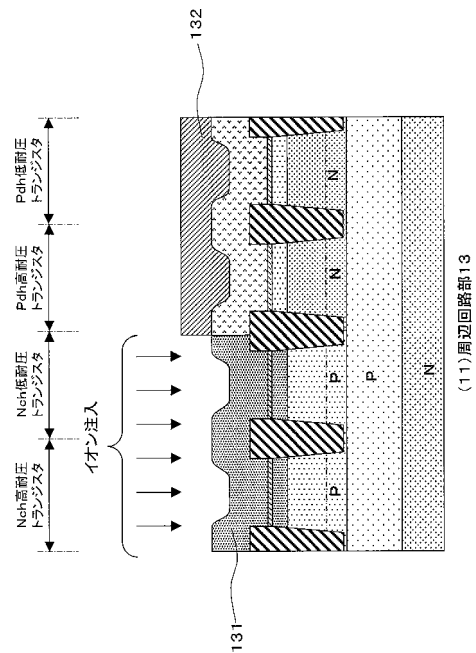
【図14】



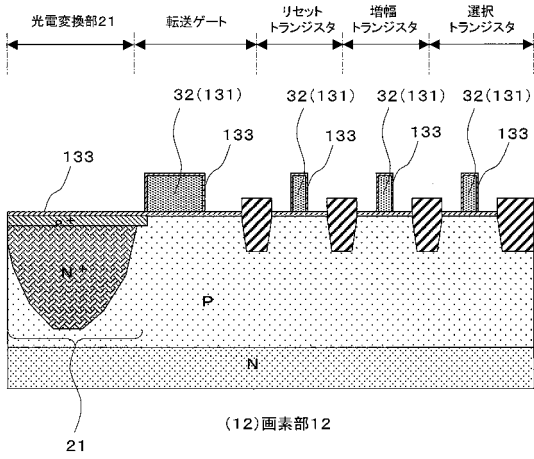
【図15】



【図16】

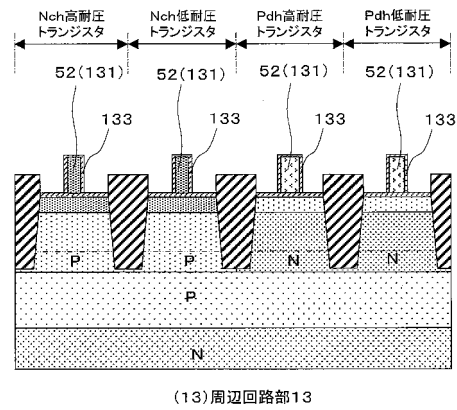


【 図 1 7 】



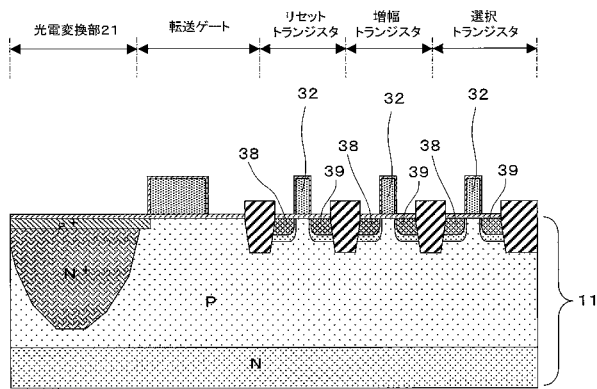
(12)画素部12

【 図 1 8 】



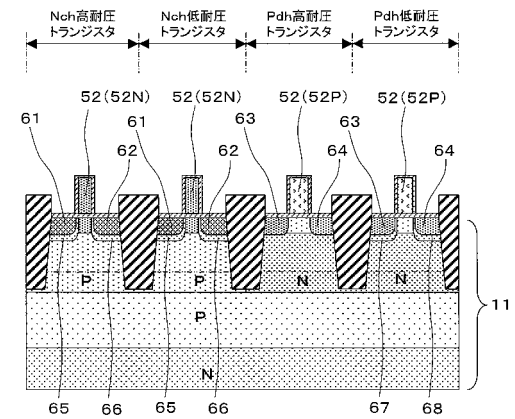
(13)周辺回路部13

【 図 1 9 】



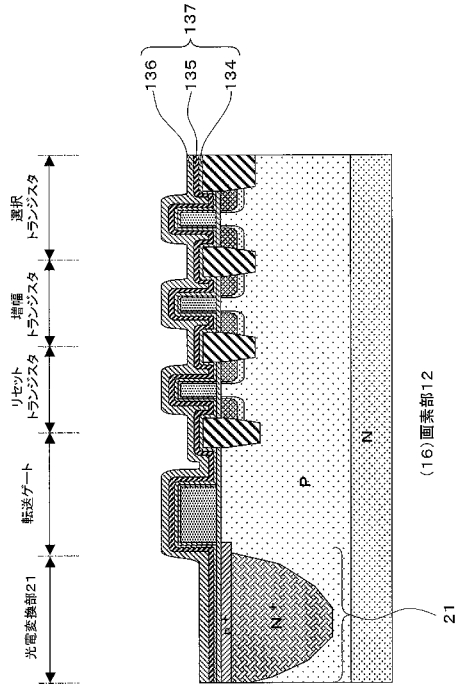
(14)画素部12

【 図 2 0 】

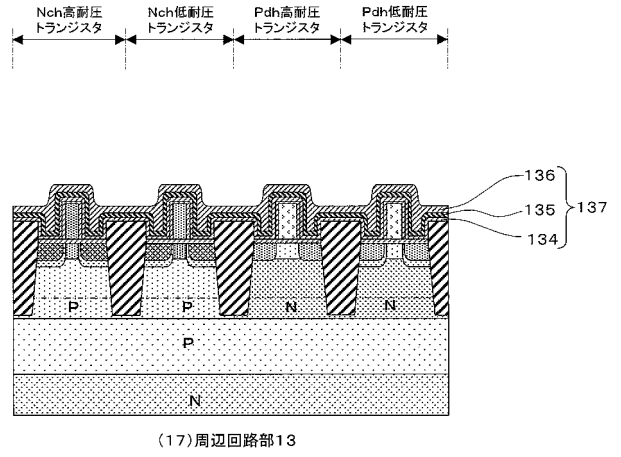


(15)周辺回路部13

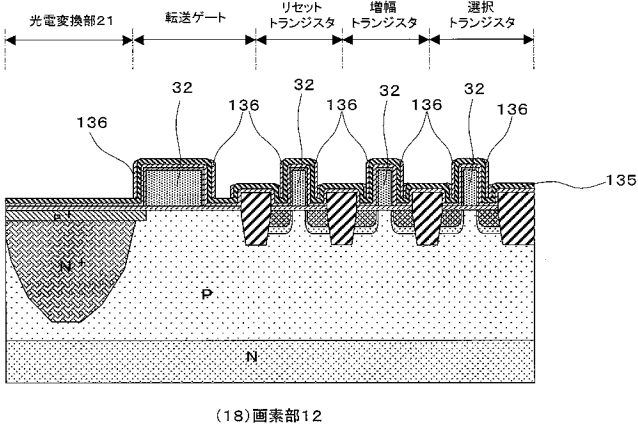
【図 2 1】



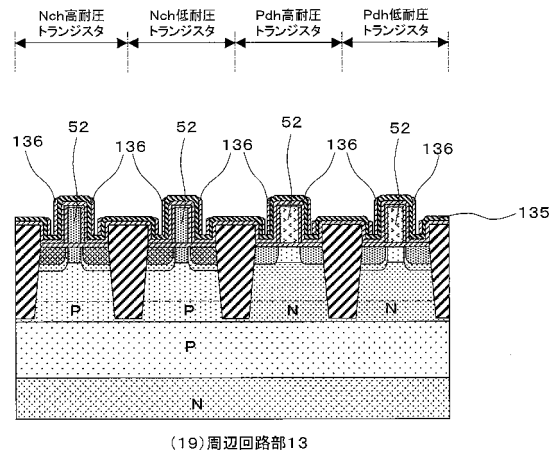
【図 2 2】



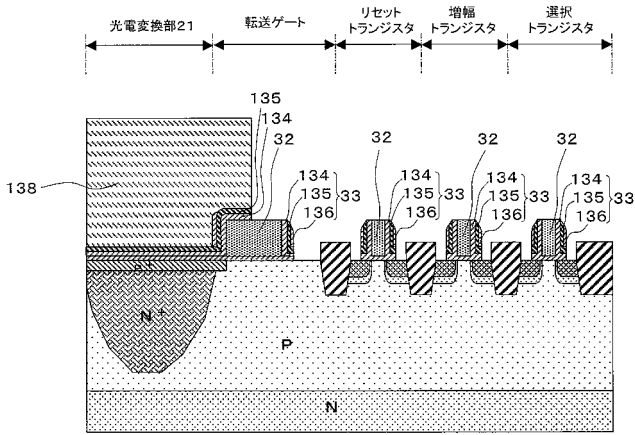
【図 2 3】



【図 2 4】

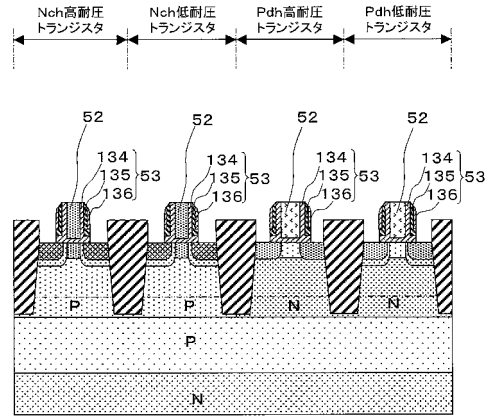


【図 25】



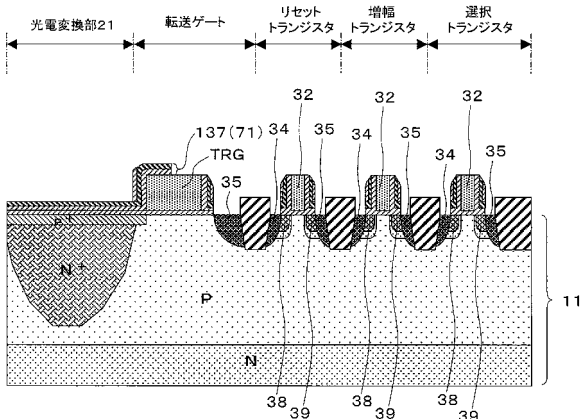
(20)画素部12

【図 26】



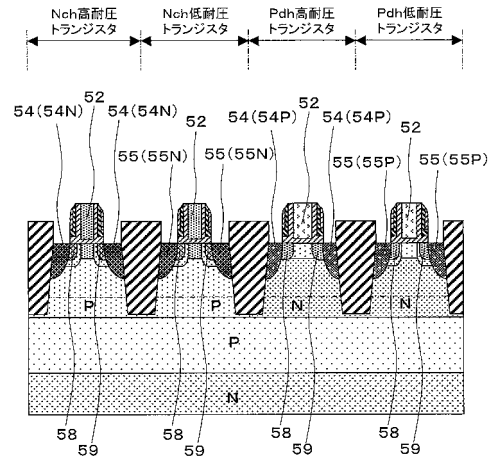
(21)周辺回路部13

【図 27】



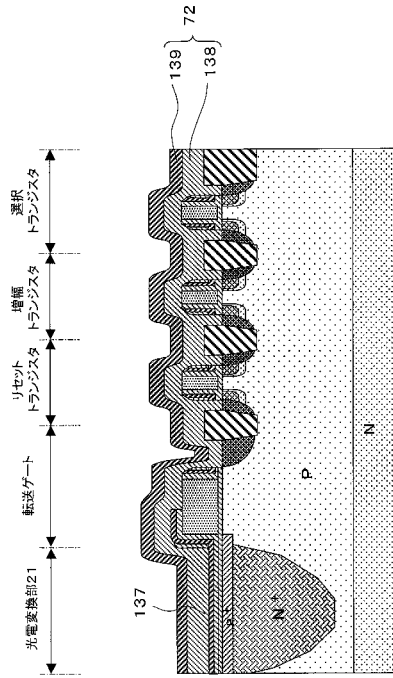
(22)画素部12

【図 28】



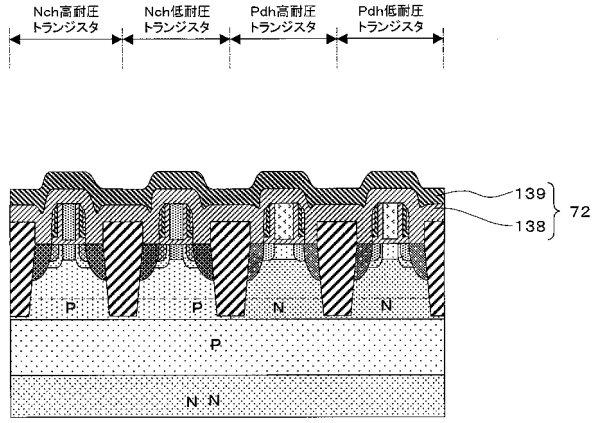
(23)周辺回路部13

【図 29】



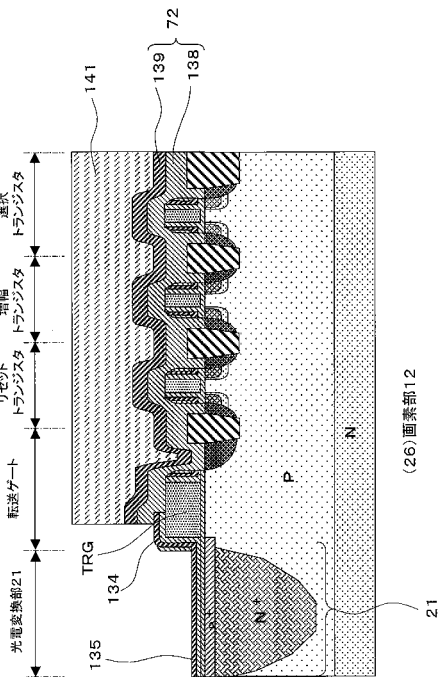
(24)画素部12

【図 30】



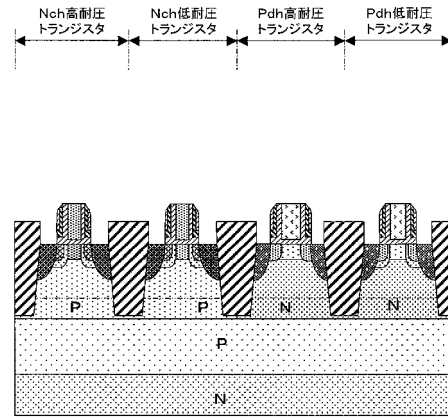
(25)周辺回路部13

【図 31】



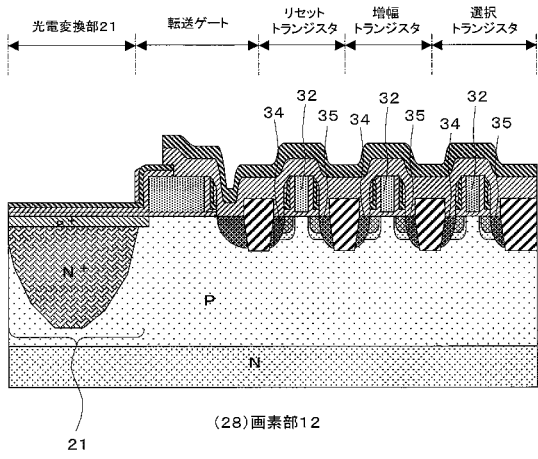
(26)画素部12

【図 32】

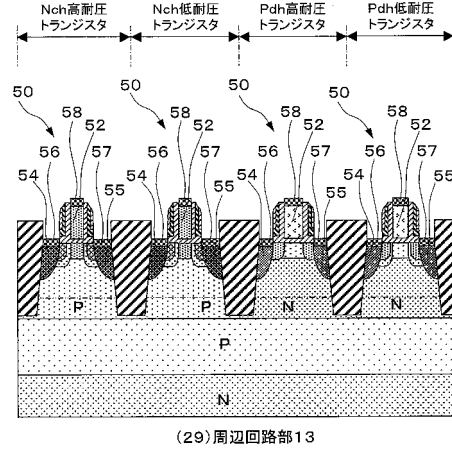


(27)周辺回路部13

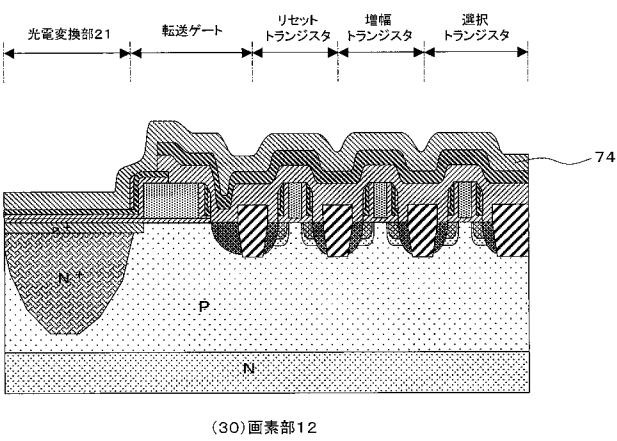
【図 3 3】



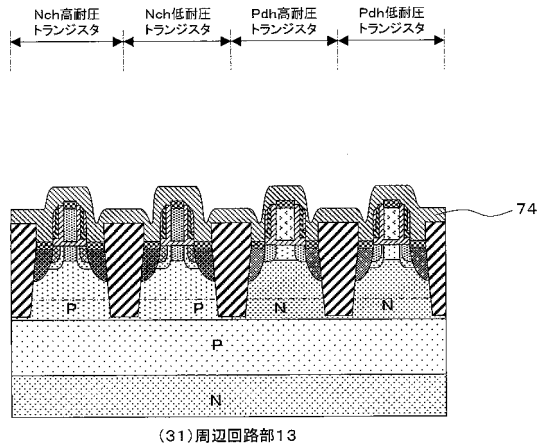
【図 3 4】



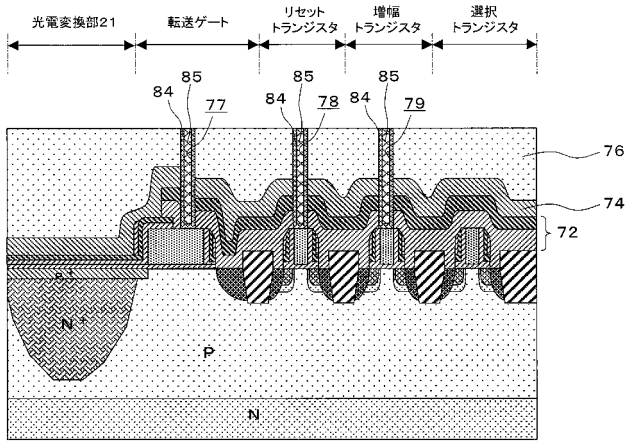
【図 3 5】



【図 3 6】

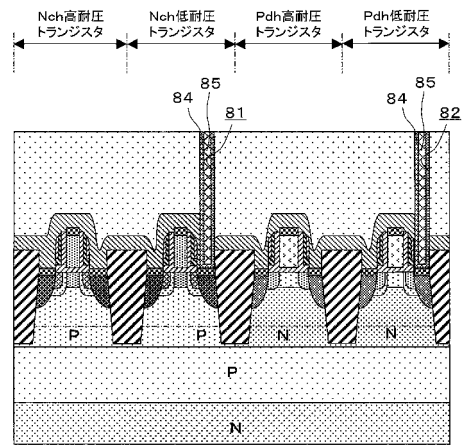


【図37】



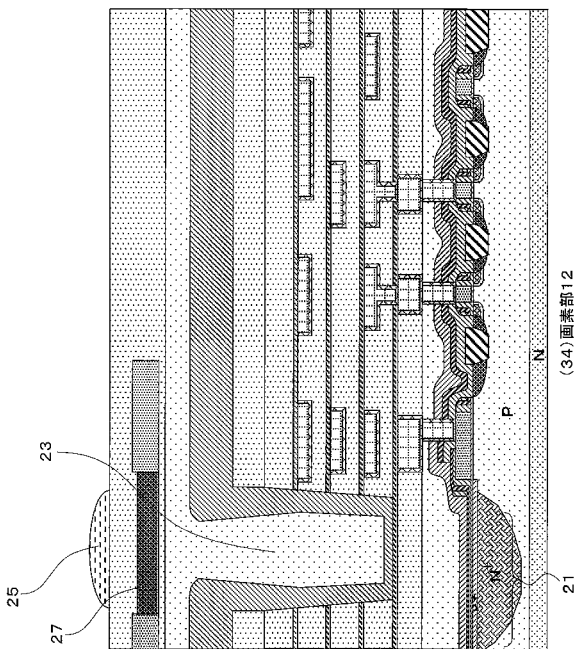
(32)画素部12

【図38】



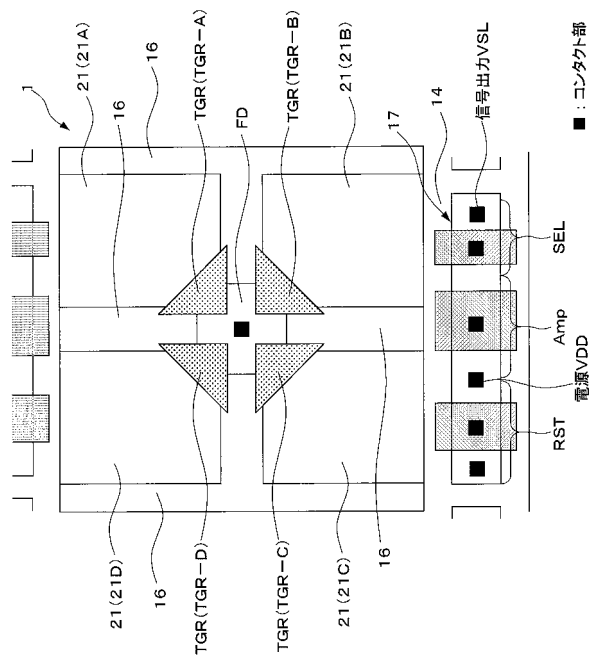
(33)周辺回路部13

【図39】

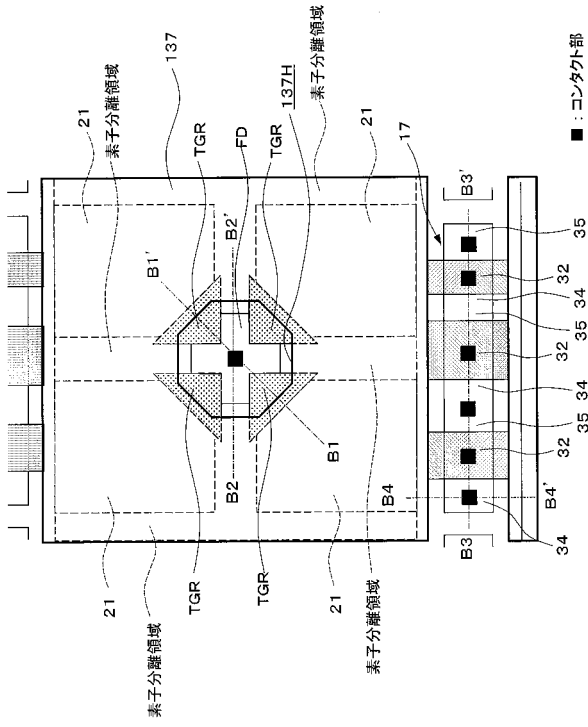


(34)画素部12

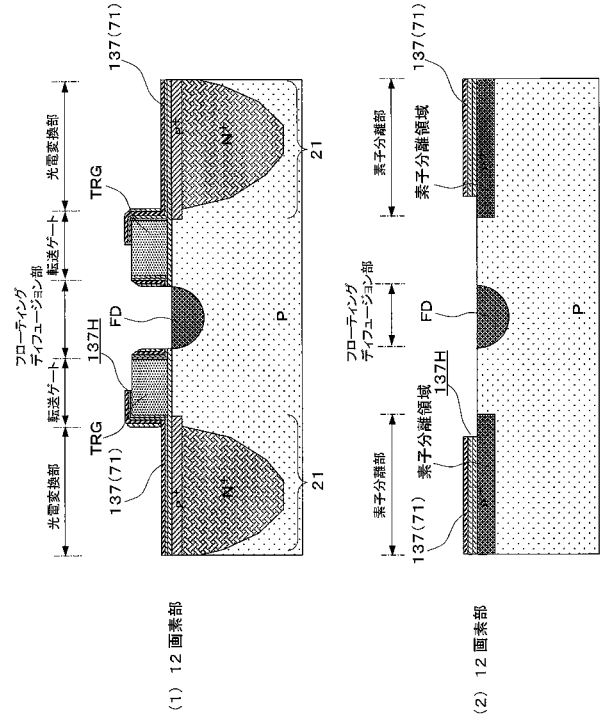
【図40】



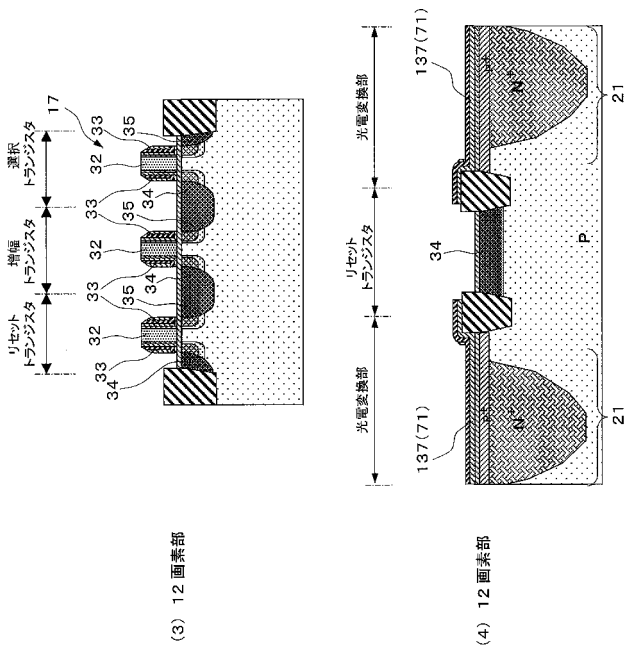
【図 4 1】



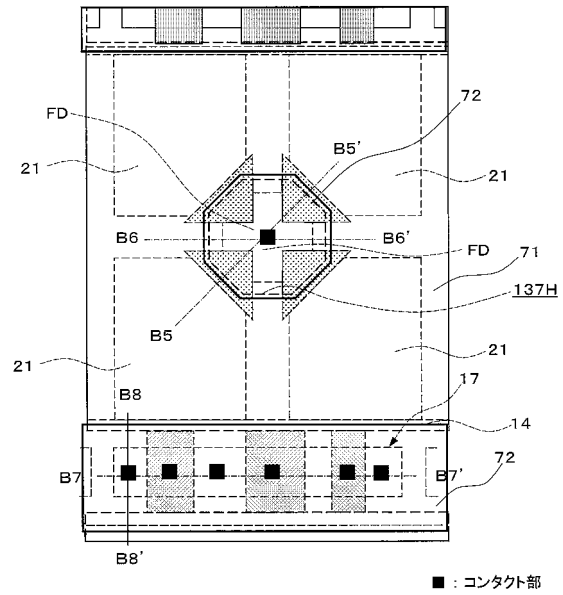
【図 4 2】



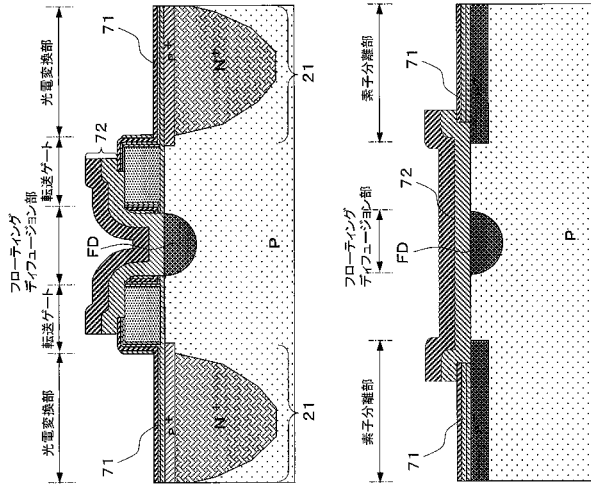
【図 4 3】



【図 4 4】



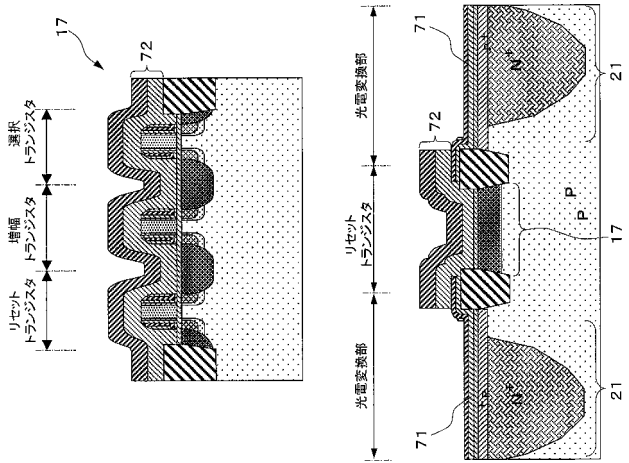
【図 4 5】



(1) 12 画素部

(2) 12 画素部

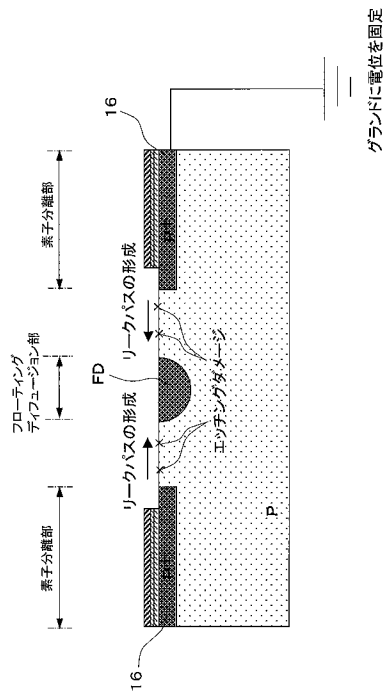
【図 4 6】



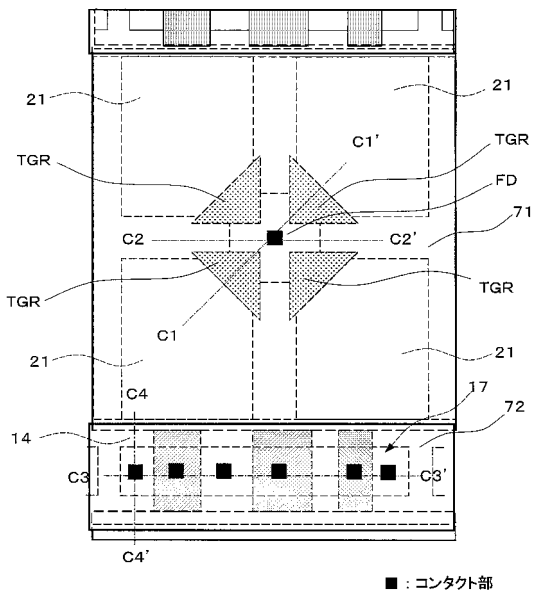
(3) 12 画素部

(4) 12 画素部

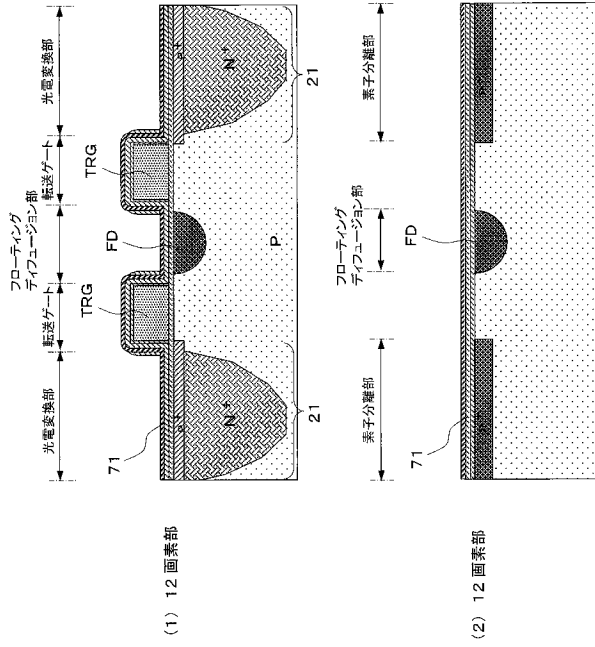
【図 4 7】



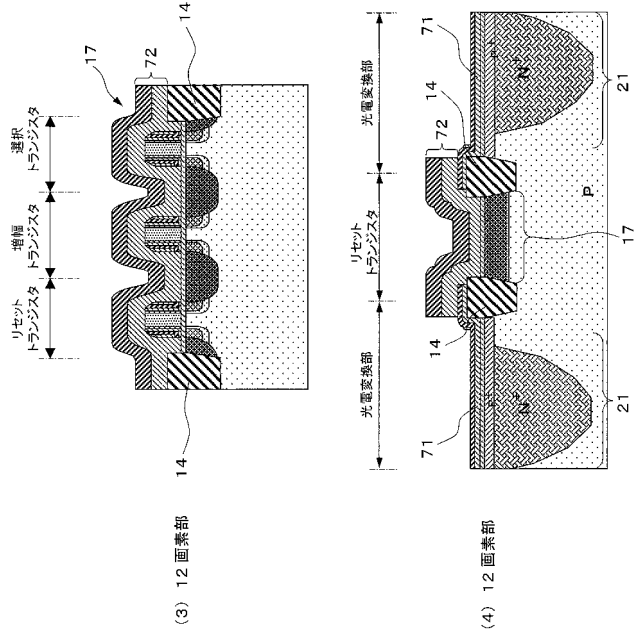
【図 4 8】



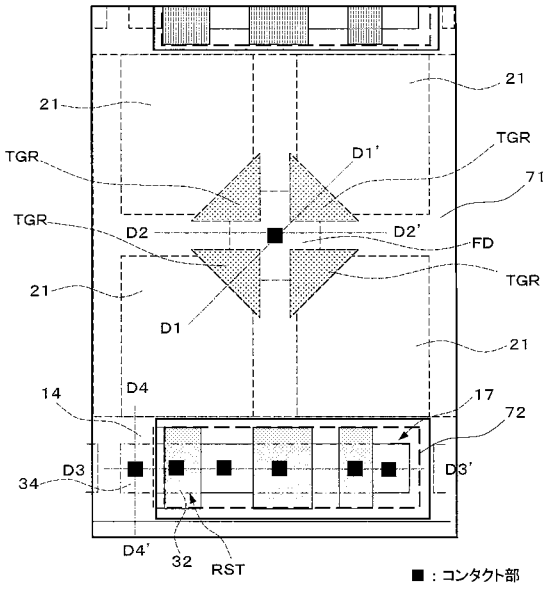
【図 49】



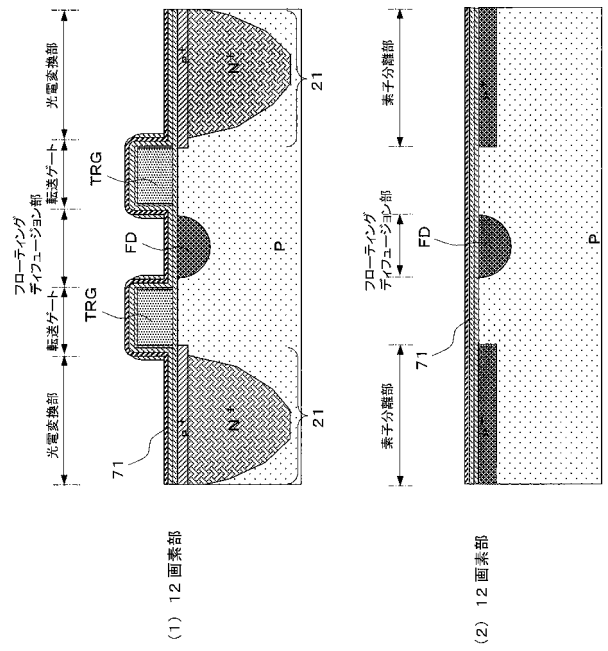
【図 50】



【図 51】

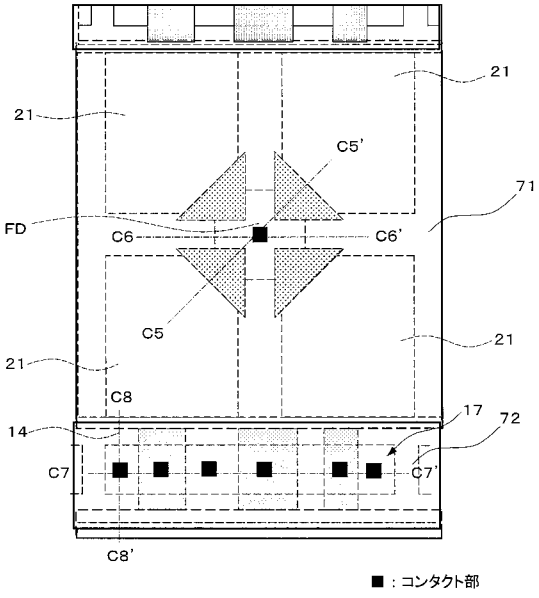


【図 52】

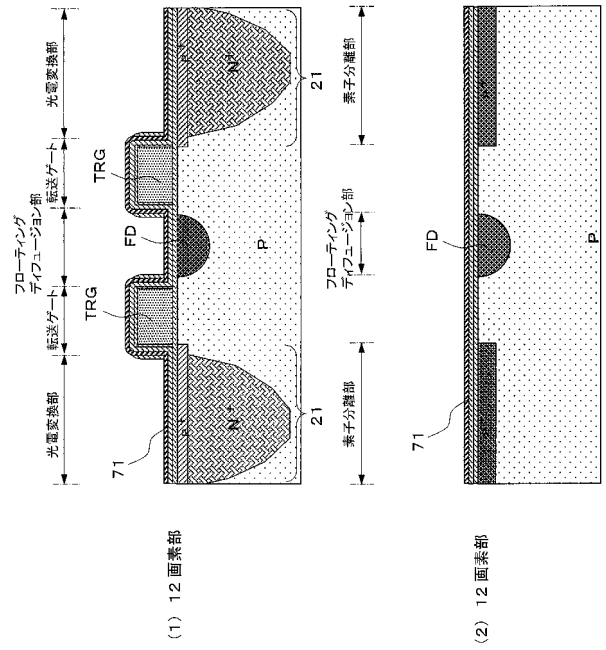




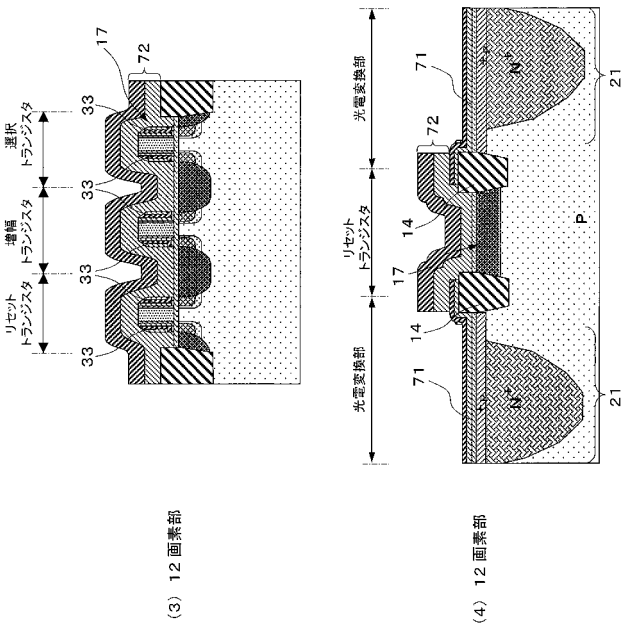
【図 57】



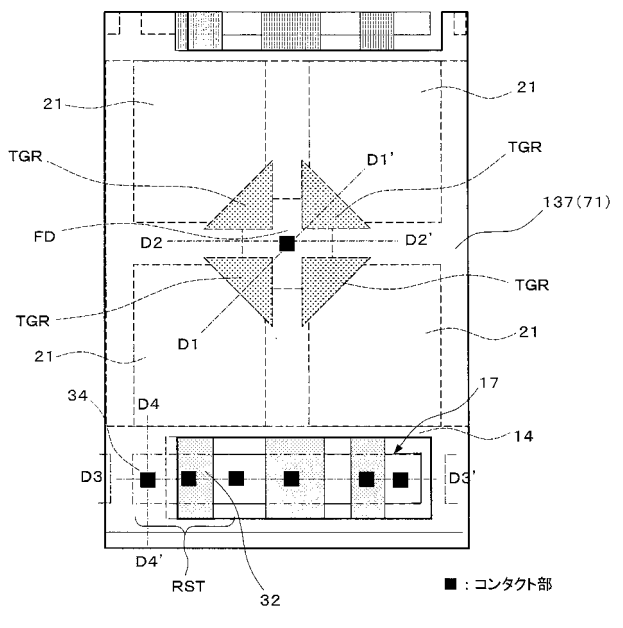
【図 58】



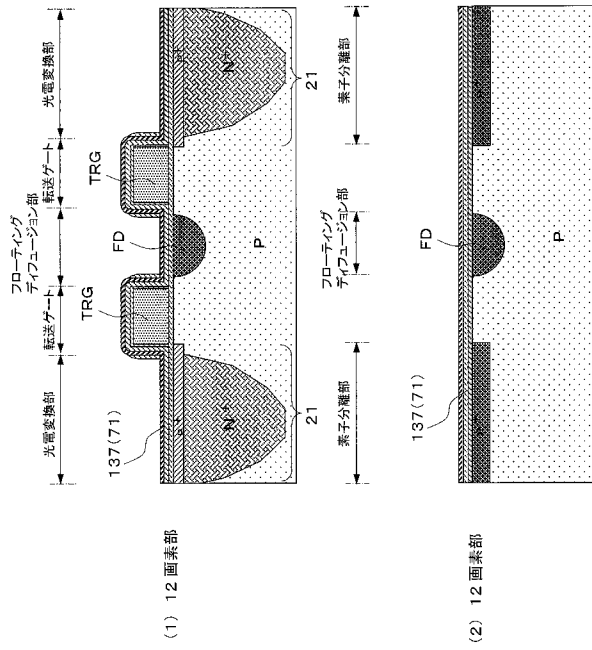
【図 59】



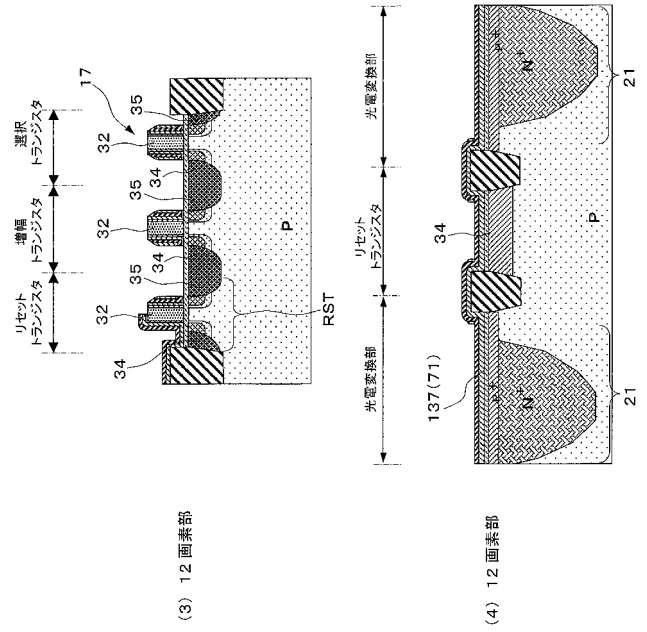
【図 60】



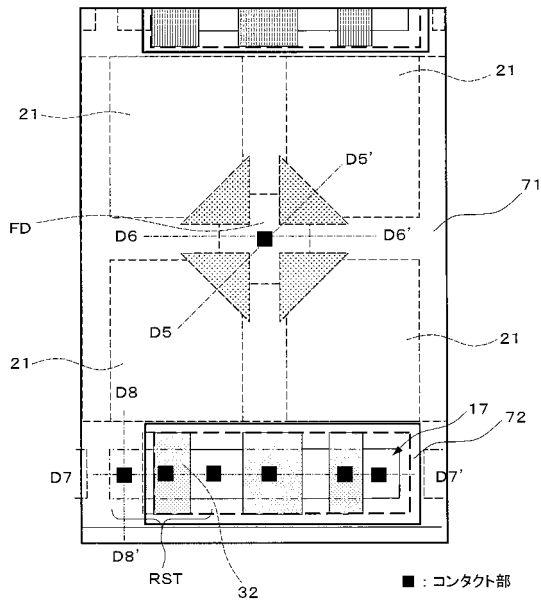
【図 6 1】



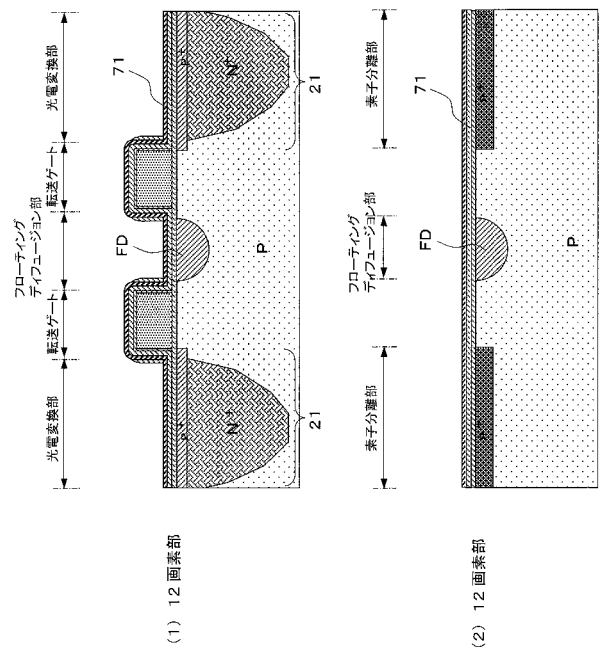
【図 6 2】



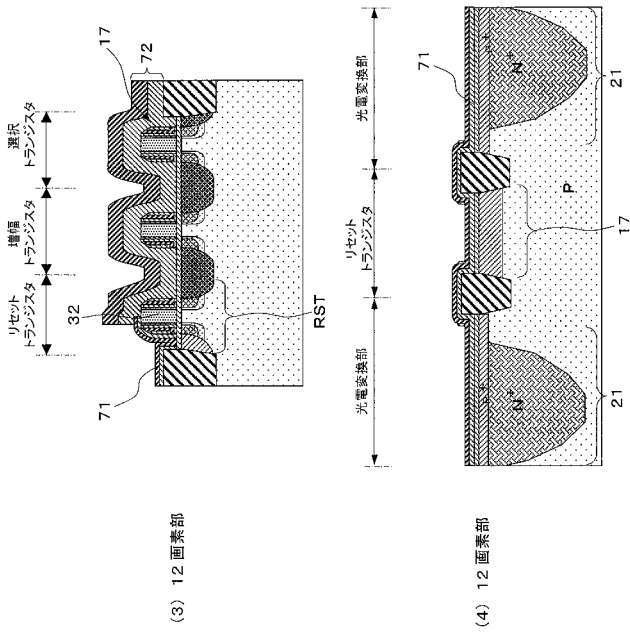
【図 6 3】



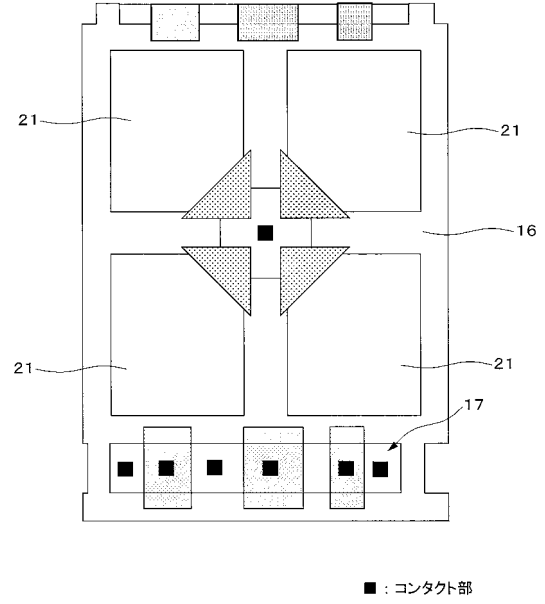
【図 6 4】



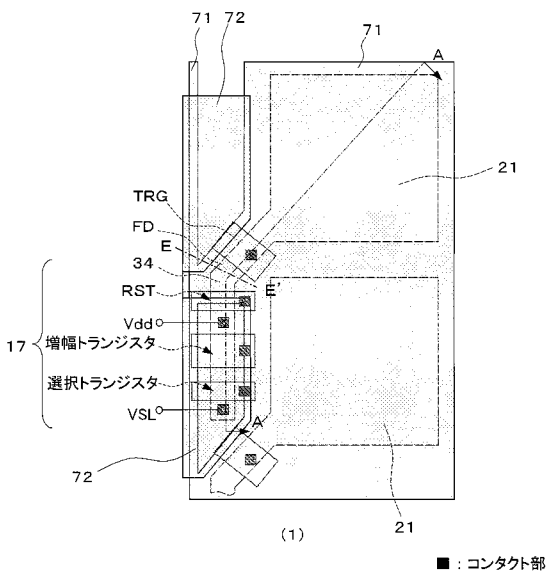
【図 65】



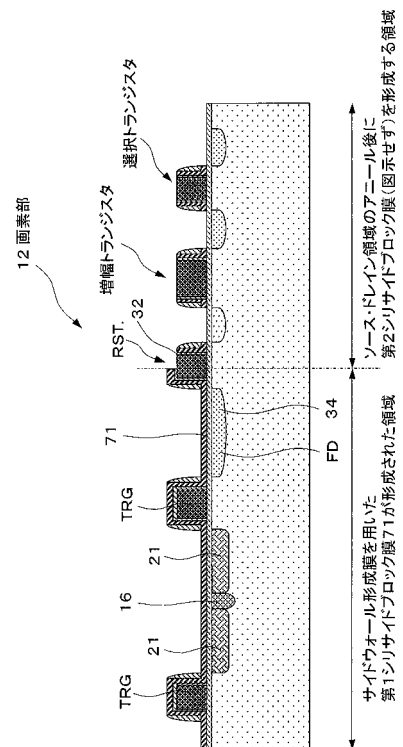
【図 66】



【図 67】

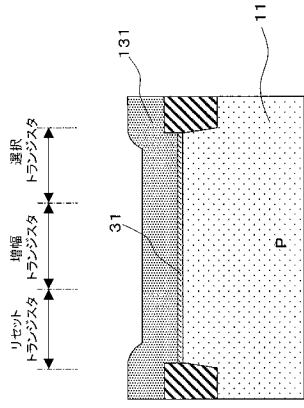


【図 68】

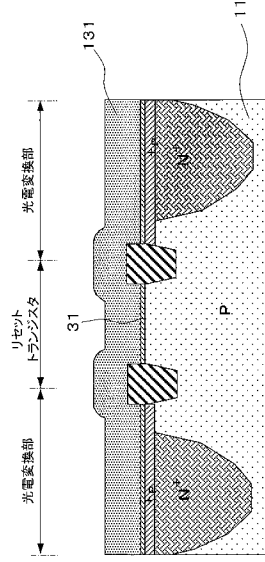




【 図 7 3 】

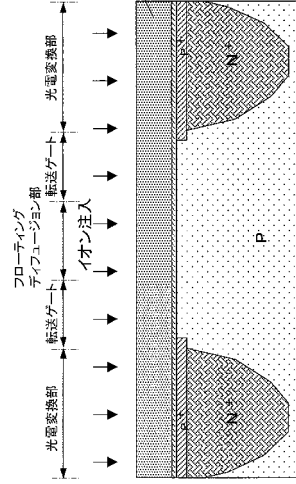


(3) 12 画素部

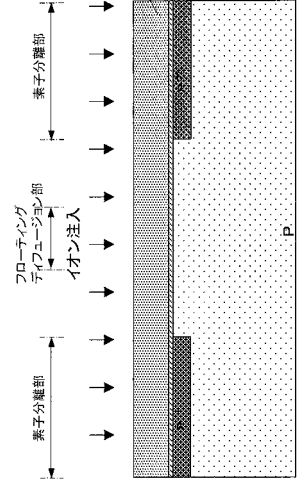


(4) 12 画素部

【 図 7 4 】

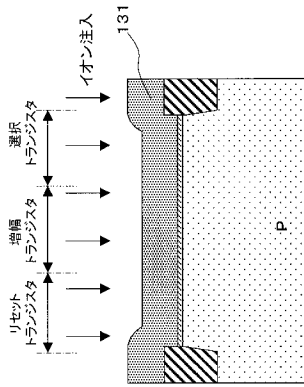


(1) 12 画素部

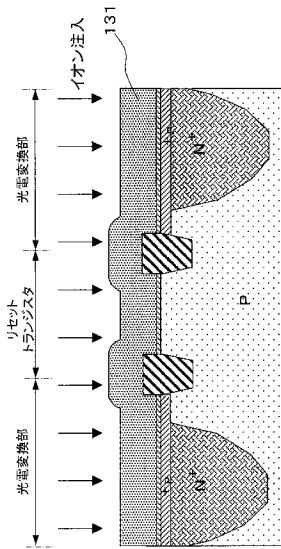


(2) 12 画素部

【 図 7 5 】

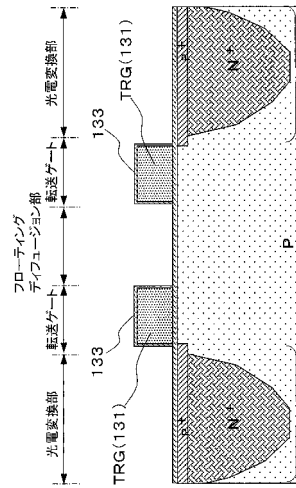


(3) 12 画素部

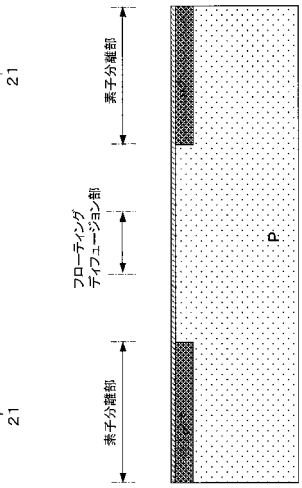


(4) 12 画素部

【 図 7 6 】

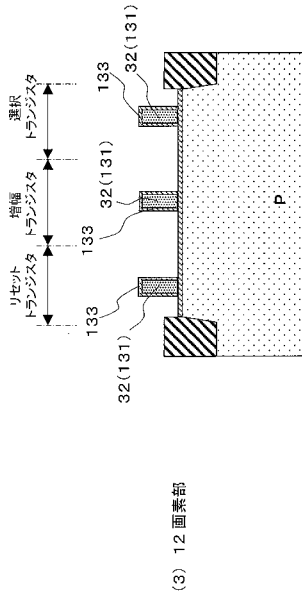


(1) 12 画素部

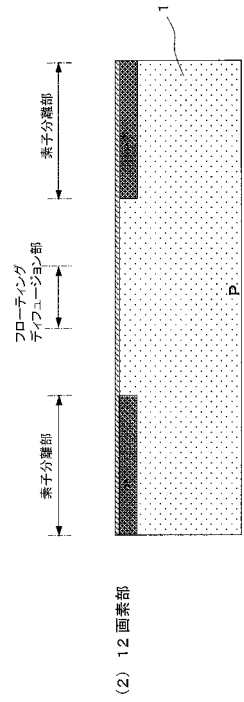
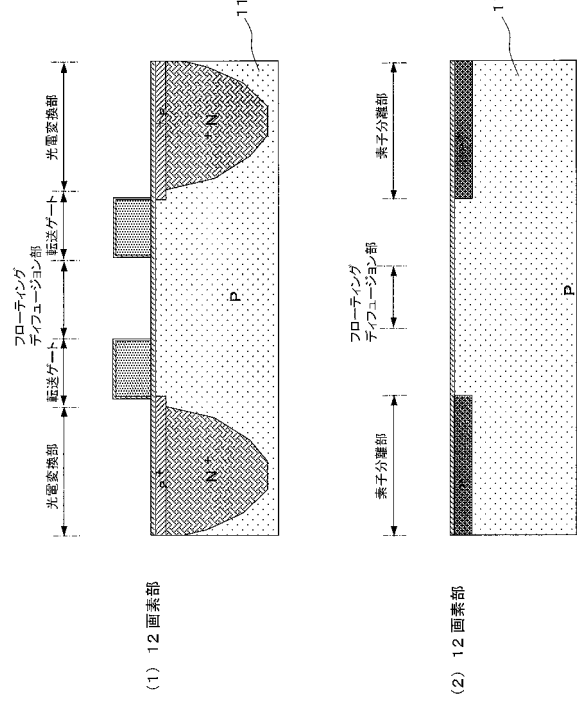
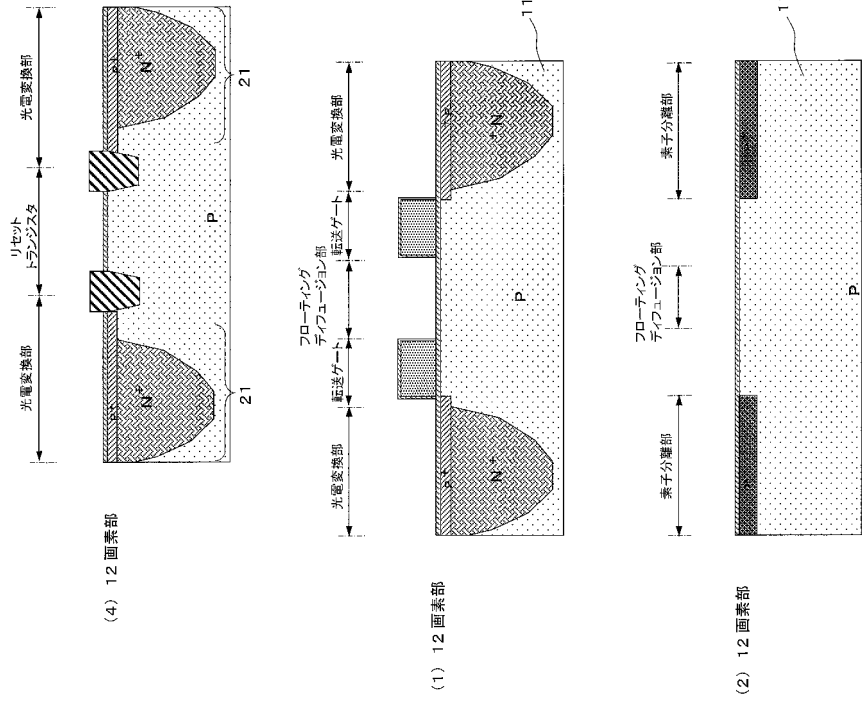


(2) 12 画素部

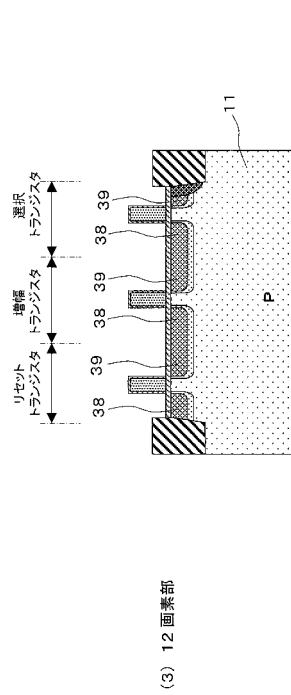
【 図 7 7 】



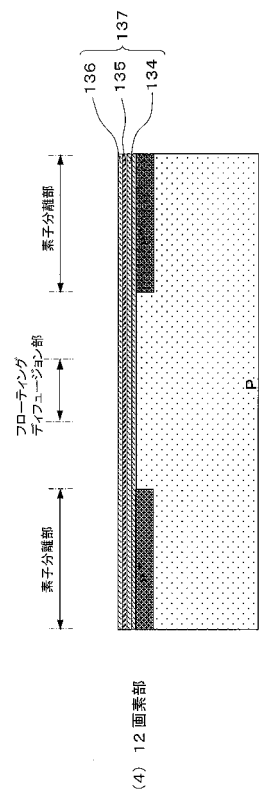
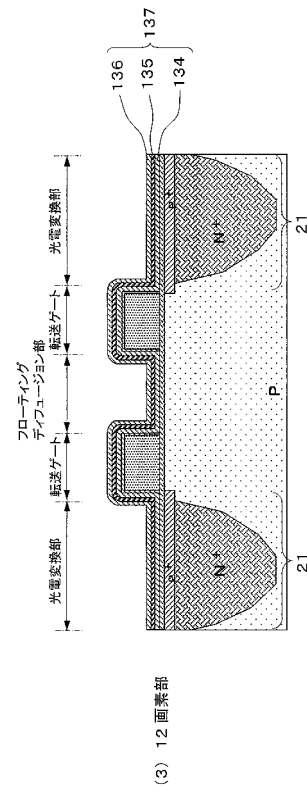
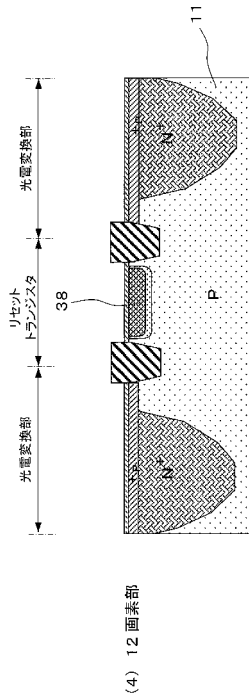
【 図 7 8 】



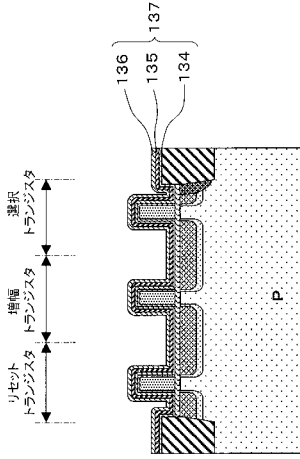
【 図 7 9 】



【 図 8 0 】

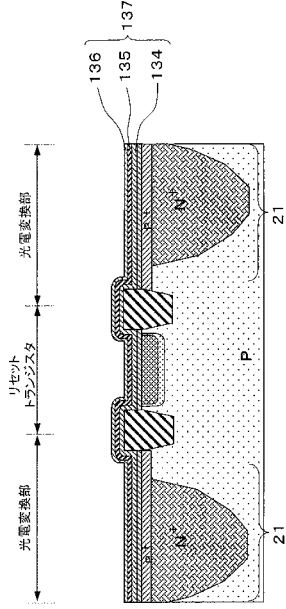


【 図 8 1 】

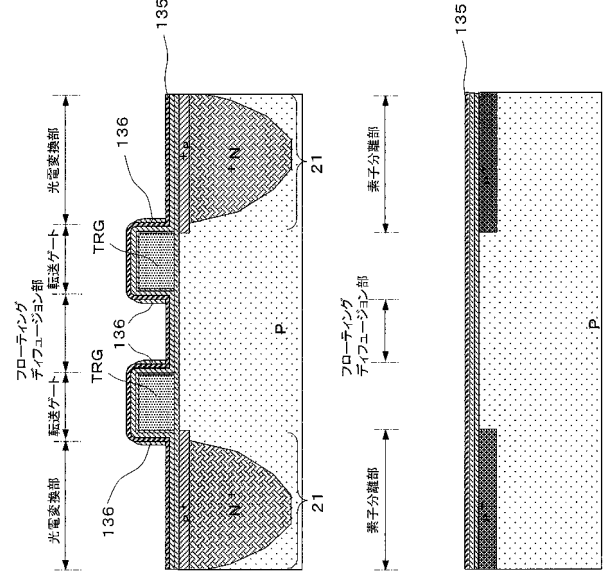


(3) 12 画素部

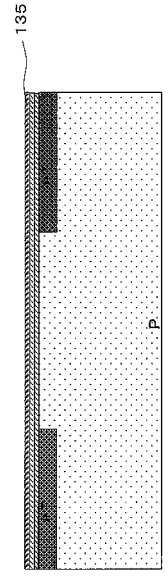
【 図 8 2 】



(4) 12 画素部

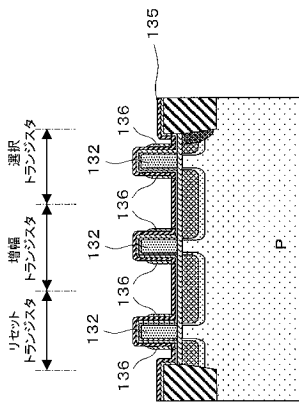


(1) 12 画素部



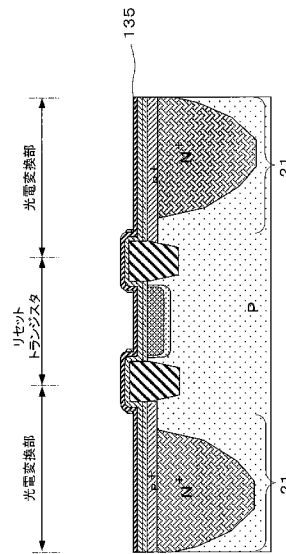
(2) 12 画素部

【 図 8 3 】

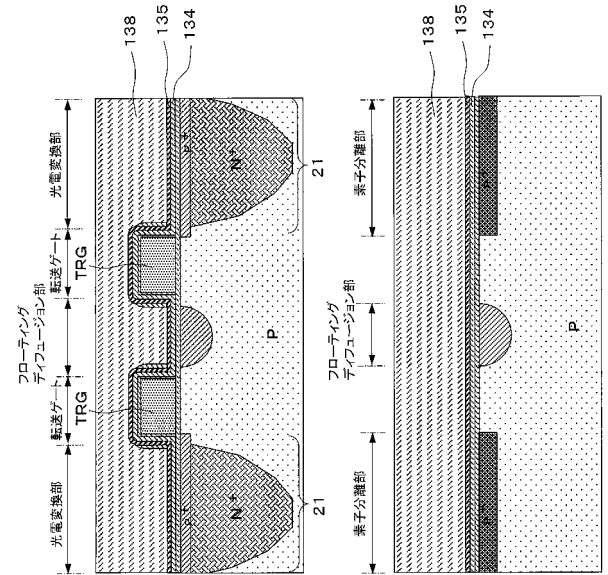


(3) 12 画素部

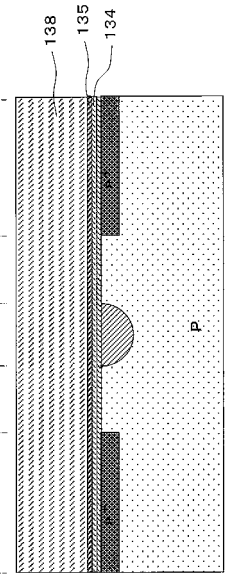
【 図 8 4 】



(4) 12 画素部

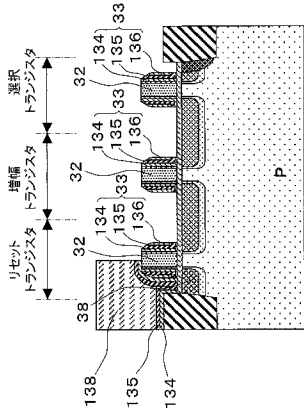


(1) 12 画素部



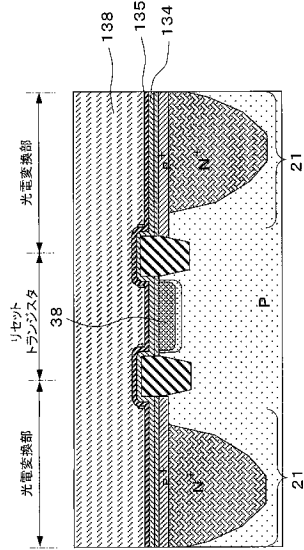
(2) 12 画素部

【 図 8 5 】

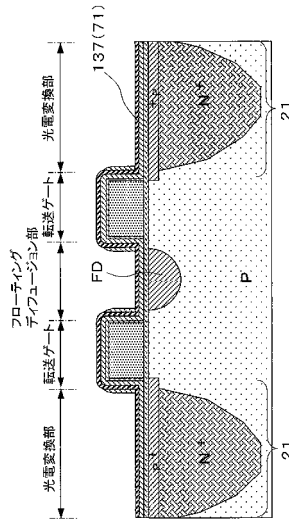


(3) 12 画素部

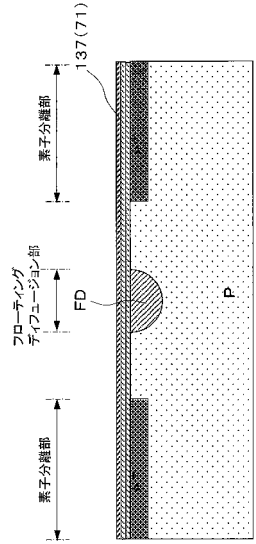
【 図 8 6 】



(4) 12 画素部

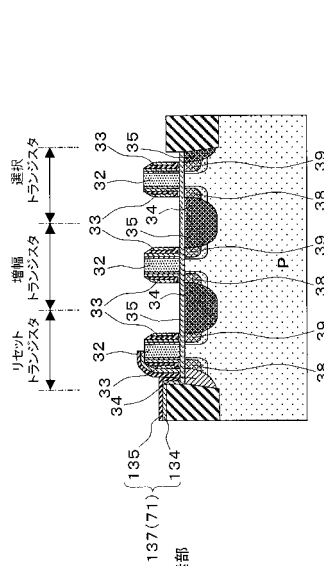


(1) 12 画素部

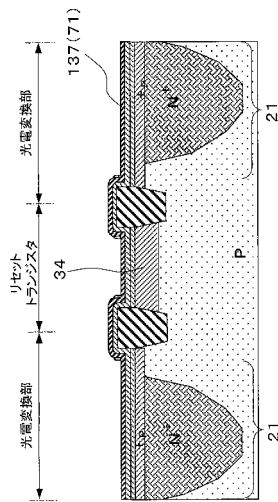


(2) 12 画素部

【 図 8 7 】

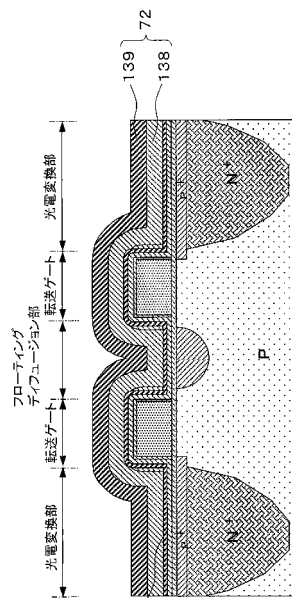


(3) 12 画素部

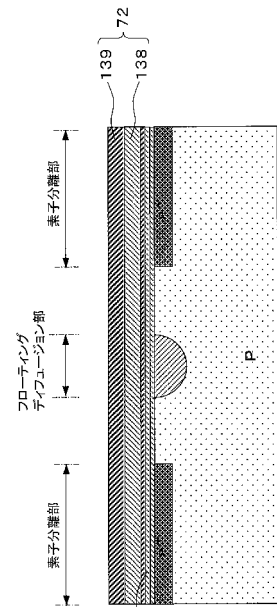


(4) 12 画素部

【 図 8 8 】

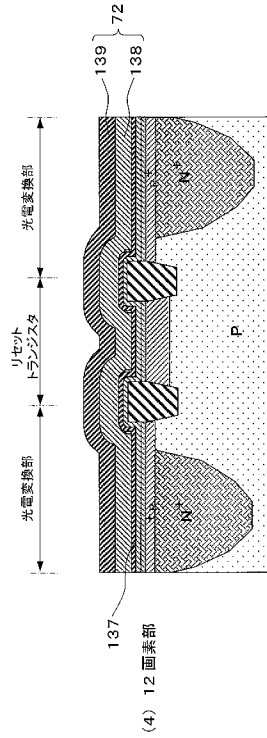
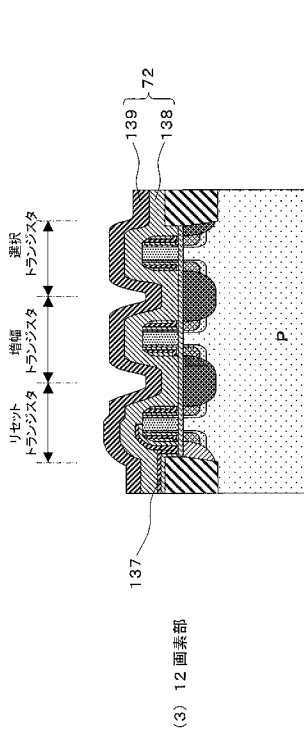


(1) 12 画素部

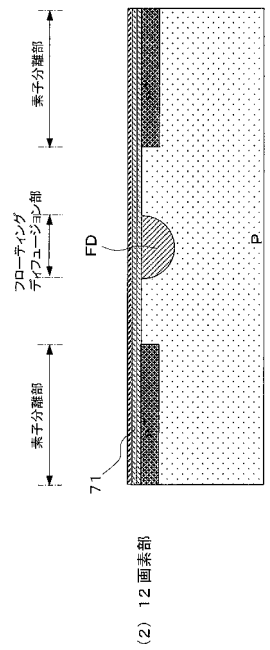
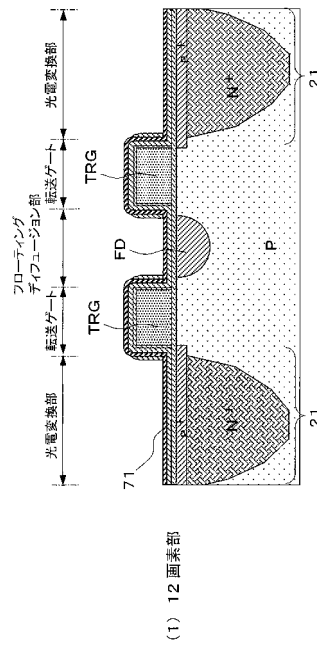


(2) 12 画素部

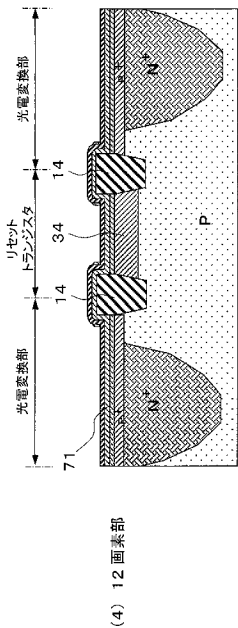
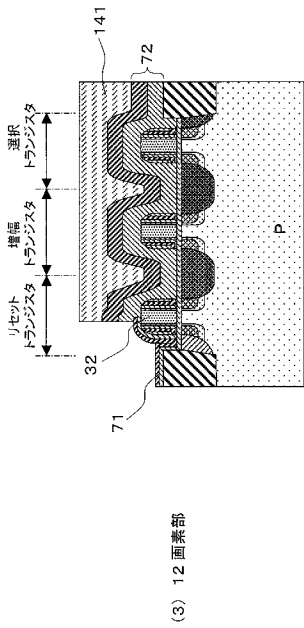
【 図 8 9 】



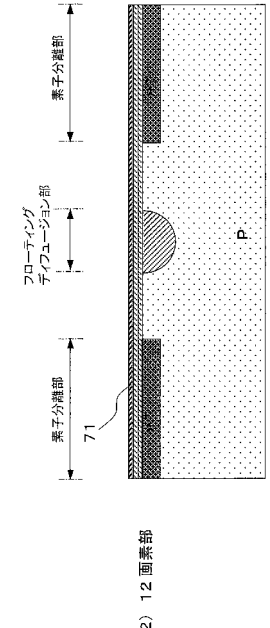
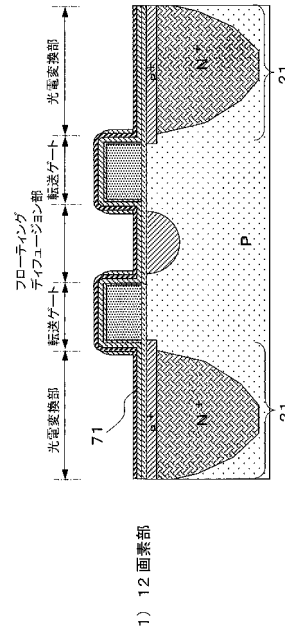
【 図 9 0 】



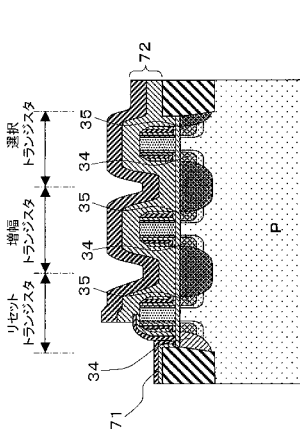
【 図 9 1 】



【 図 9 2 】

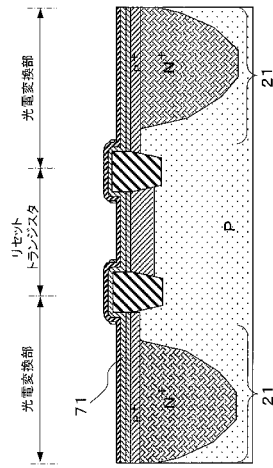


【図93】

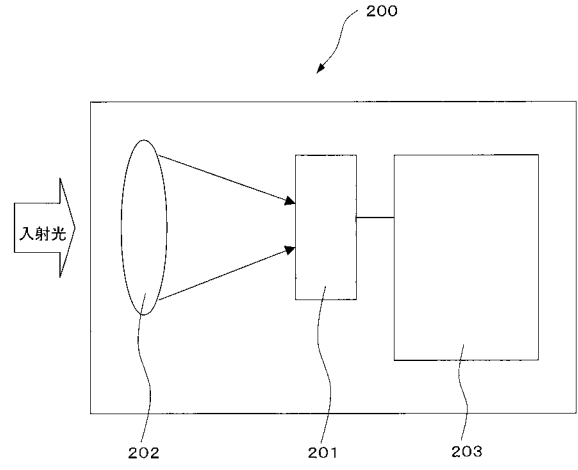


(3) 12画素部

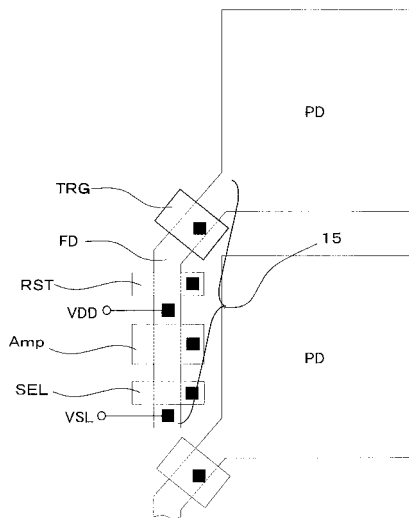
【図94】



(4) 12画素部

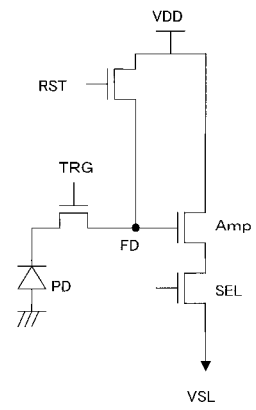


【図95】



■ : コンタクトホール

【図96】



## フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
**H O 1 L 29/49 (2006.01)**  
**H O 1 L 21/768 (2006.01)**

(72)発明者 田谷 圭司  
 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

(72)発明者 西村 豊  
 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

(72)発明者 系長 総一郎  
 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

(72)発明者 森 裕之  
 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

F ターム(参考) 4M104 BB01 BB20 BB21 BB22 BB25 BB28 BB36 CC01 CC05 DD04  
 DD08 DD16 DD17 DD19 DD26 DD55 DD64 DD65 DD79 DD80  
 DD84 DD91 EE09 EE12 EE15 EE17 FF08 FF14 GG05 GG09  
 GG10 GG14 HH04  
 4M118 AB01 BA14 CA04 CA18 CA20 CA22 CA32 CA34 DD04 DD12  
 EA01 EA14 EA15 FA06 FA27 FA28 FA33  
 5F033 HH07 JJ08 JJ11 JJ18 JJ19 JJ21 JJ32 JJ33 KK25 KK27  
 KK28 NN06 NN07 PP06 PP15 QQ08 QQ09 QQ13 QQ25 QQ31  
 QQ37 QQ48 QQ58 QQ65 QQ70 QQ73 QQ89 RR04 RR06 RR14  
 RR15 SS00 SS04 SS13 TT08 VV06 XX28  
 5F048 AA05 AC01 AC03 AC10 BB03 BB04 BB05 BB08 BB12 BC06  
 BC18 BD04 BD10 BE02 BE03 BE04 BF06 BF16 BG13 DA25  
 DA27 DA30