I469358

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I469358 B**

(45)公告日： 中華民國 104 (2015) 年 01 月 11 日

(21)申請案號：100138627 (22)申請日： 中華民國 98 (2009) 年 10 月 15 日

(51)Int. Cl.： *H01L29/786 (2006.01)* *H01L29/423 (2006.01)*

H01L27/32 (2006.01) *G09F9/00 (2006.01)*

(30)優先權：2008/10/24 日本 2008-274540

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)
日本

(72)發明人：宮入秀和 MIYAIRI, HIDEKAZU (JP) ；長多剛 OSADA, TAKESHI (JP) ；山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

CN	1941299A	JP	6-202156
JP	10-290012	US	6815772B2
US	2002/0014624A1	US	2005/0239238A1
US	2006/0166415A1	US	2007/0222380A1

審查人員：詹利澤

申請專利範圍項數：38 項 圖式數：26 共 115 頁

(54)名稱

半導體裝置和其製造方法

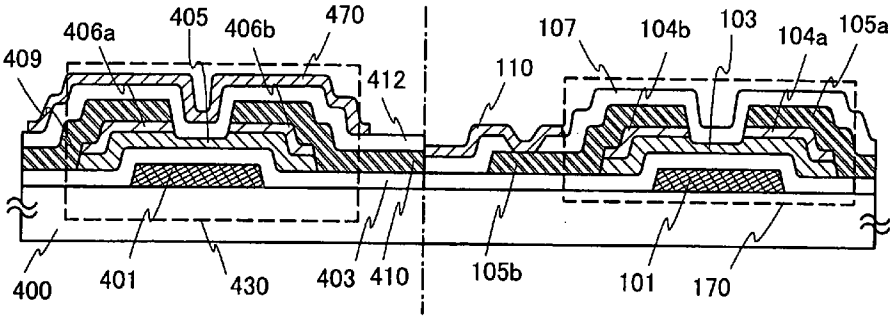
SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57)摘要

當顯示裝置具有更高的清晰度時，像素、閘極線、及信號線的數目會增加；當閘極線及信號線的數目增加時，更高製造成本的問題會產生，因為難以藉由接合法或其類似方法來安裝包含用以驅動閘極線及信號線之驅動器電路的 IC 晶片。像素部及用以驅動像素部的驅動器電路係設置於同一基板之上，且驅動器電路之至少一部分包含使用氧化物半導體的薄膜電晶體，該氧化物半導體係插置於設置在該氧化物半導體之上面及下面的閘極電極之間；因此，當像素部及驅動器部係設置於同一基板之上時，可降低製造成本。

As a display device has a higher definition, the number of pixels, gate lines, and signal lines are increased. When the number of the gate lines and the signal lines are increased, a problem of higher manufacturing cost, because it is difficult to mount an IC chip including a driver circuit for driving of the gate and signal lines by bonding or the like. A pixel portion and a driver circuit for driving the pixel portion are provided over the same substrate, and at least part of the driver circuit includes a thin film transistor using an oxide semiconductor interposed between gate electrodes provided above and below the oxide semiconductor. Therefore, when the pixel portion and the driver portion are provided over the same substrate, manufacturing cost can be reduced.

第1A圖



101・・・閘極電極

103、405・・・氧化物半導體層

104a、104b、406a、406b・・・n^+層

105a、105b・・・源極或汲極電極層

107・・・保護絕緣層

110・・・像素電極

170・・・第二薄膜電晶體

400・・・基板

401・・・第一閘極電極

403・・・第一閘極絕緣層

409・・・第一導線

410・・・第二導線

412・・・第二閘極絕緣層

430・・・第一薄膜電晶體

470・・・第二閘極電極

公告本

分割案

發明專利說明書

（本申請書格式、順序，請勿任意更動，※記號部分請勿填寫）

※申請案號：100138627

※申請日期：98.10.15　※IPC分類：H01L 29/786 (2006.01)
H01L 29/423 (2006.01)
H01L 27/32 (2006.01)
G09F 9/00 (2006.01)

原申請案號：98134963

一、發明名稱：（中文／英文）

半導體裝置和其製造方法

Semiconductor device and method for manufacturing the same

二、中文發明摘要：

當顯示裝置具有更高的清晰度時，像素、閘極線、及信號線的數目會增加；當閘極線及信號線的數目增加時，更高製造成本的問題會產生，因爲難以藉由接合法或其類似方法來安裝包含用以驅動閘極線及信號線之驅動器電路的IC晶片。像素部及用以驅動像素部的驅動器電路係設置於同一基板之上，且驅動器電路之至少一部分包含使用氧化物半導體的薄膜電晶體，該氧化物半導體係插置於設置在該氧化物半導體之上面及下面的閘極電極之間；因此，當像素部及驅動器部係設置於同一基板之上時，可降低製造成本。

三、英文發明摘要：

As a display device has a higher definition, the number of pixels, gate lines, and signal lines are increased. When the number of the gate lines and the signal lines are increased, a problem of higher manufacturing cost, because it is difficult to mount an IC chip including a driver circuit for driving of the gate and signal lines by bonding or the like. A pixel portion and a driver circuit for driving the pixel portion are provided over the same substrate, and at least part of the driver circuit includes a thin film transistor using an oxide semiconductor interposed between gate electrodes provided above and below the oxide semiconductor. Therefore, when the pixel portion and the driver portion are provided over the same substrate, manufacturing cost can be reduced.

四、指定代表圖：

（一）本案指定代表圖為：第（1A）圖。

（二）本代表圖之元件符號簡單說明：

101：閘極電極

103、405：氧化物半導體層

104a、104b、406a、406b：n^+層

105a、105b：源極或汲極電極層

107：保護絕緣層

110：像素電極

170：第二薄膜電晶體

400：基板

401：第一閘極電極

403：第一閘極絕緣層

409：第一導線

410：第二導線

412：第二閘極絕緣層

430：第一薄膜電晶體

470：第二閘極電極

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明有關使用氧化物半導體的半導體裝置和該半導體裝置的製造方法。

【先前技術】

典型地，如在液晶顯示裝置中所明瞭地，形成於諸如玻璃基板之平板上的薄膜電晶體係使用非晶矽或多晶矽以製造。使用非晶矽所形成的薄膜電晶體具有低的電場效應遷移率。但此一電晶體可以以較大的面積形成於玻璃基板之上；相反地，使用結晶矽所形成的薄膜電晶體具有高的電場效應遷移率，惟，諸如雷射退火之結晶過程係必要的，且此一電晶體並非一直適用於較大的玻璃基板。

鑑於上述，已引起注意於使用氧化物半導體以形成薄膜電晶體，且將此一電晶體應用至電子裝置或光學裝置之技術。例如，專利文獻 1 及專利文獻 2 揭示使用氧化鋅或 In-Ga-Zn-O 基之氧化物半導體做爲氧化物半導體膜以形成薄膜電晶體，且使用此一電晶體做爲影像顯示裝置之開關元件或其類似物的技術。

[參考文件]

[專利文獻 1]日本公開專利申請案第 2007-123861 號

[專利文獻 2]日本公開專利申請案第 2007-096055 號

【發明內容】

其中通道形成區係設置於氧化物半導體中之薄膜電晶體的電子場效應遷移率係比使用非晶矽之薄膜電晶體的電子場效應遷移率更高。氧化物半導體膜可藉由濺鍍法或其類似方法在 300℃或更低的溫度處形成，其之製造方法係比使用多晶矽之薄膜電晶體的製造方法更容易。

此一氧化物半導體係期待被使用以形成薄膜電晶體於玻璃基板、塑膠基板、或其類似物之上，且被施加至諸如液晶顯示裝置、電激發光顯示裝置、或電子紙的顯示裝置。

當顯示裝置的顯示區域之尺寸增加時，像素的數目會增加，且因此，閘極線及信號線的數目亦會增加。此外，當顯示裝置具有更高的清晰度時，像素的數目會增加，且因此，閘極線及信號線的數目亦會增加。當閘極線及信號線的數目增加時，將難以藉由接合法或其類似方法來安裝包含用以驅動閘極線及信號線之驅動器電路的 IC 晶片；因而，製造成本增加。

因此，目的在於藉由使用薄膜電晶體於用以驅動像素部之驅動器電路的至少一部分之中，而該薄膜電晶體使用氧化物半導體。

在使用薄膜電晶體於用以驅動像素部之驅動器電路的至少一部分之中而該薄膜電晶體使用氧化物半導體的情況中，薄膜電晶體需要高度動態特徵（導通（on）特徵或頻率特徵（稱爲 f 特徵））。另一目的在於提供具有高度動態特徵（導通（on）特徵）的薄膜電晶體，及提供可致能

高速操作的驅動器電路。

此外，本發明實施例之目的在於提供一種設置有高度可靠之薄膜電晶體的半導體裝置，其中該薄膜電晶體使用氧化物半導體層於通道。

閘極電極係設置於氧化物半導體層的上面及下面，以實現薄膜電晶體之導通（on）特徵及可靠度的改善。

進一步地，藉由控制所施加至上方及下方閘極電極的閘極電壓，可控制臨限電壓。上方及下方閘極電極可相互電性連接，以便具有相同的電位，或上方及下方閘極電極可連接至不同的導線，以便具有不同的電位；例如，當臨限電壓係設定於 0 或接近 0 以降低驅動電壓時，可達成功率消耗的降低。選擇性地，當臨限電壓係設定爲正值時，薄膜電晶體可作用成爲增強型電晶體；進一步選擇性地，當臨限電壓係設定爲負值時，薄膜電晶體可作用成爲空乏型電晶體。

例如，包含增強型電晶體及空乏型電晶體之組合的反相器電路（在下文中，此一電路係稱爲 EDMOS 電路）可使用於驅動器電路。驅動器電路至少包含邏輯電路部，及開關部或緩衝器部。邏輯電路部具有包含上述之 EDMOS 電路的電路結構。進一步地，可流過大的導通（on）電流之薄膜電晶體係較佳地使用於開關部或緩衝器部。可使用包含閘極電極在氧化物半導體層之上面及下面的空乏型電晶體或薄膜電晶體。

具有不同結構之薄膜電晶體可形成於同一基板上，而

無需大量增加步驟的數目；例如，使用包含閘極電極在氧化物半導體層的上面及下面之薄膜電晶體的 EDMOS 電路可形成以供高速驅動的驅動器電路之用，以及包含閘極電極僅在氧化物半導體層的下面之薄膜電晶體可使用於像素部。

注意的是，在此說明書中，其之臨限電壓爲正值之 n 通道 TFT 係稱爲增強型電晶體，以及其之臨限電壓爲負值之 n 通道 TFT 係稱爲空乏型電晶體。

用於設置在氧化物半導體層上面之閘極電極的材料包含選擇自鋁（Al）、銅（Cu）、鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）、及銃（Sc）之元素，及包含上述元素之任一者以做爲其成分的合金，且任何導電膜可予以使用而無特殊限制。進一步地，閘極電極並未受限於包含上述元素之任一者的單層結構，且可具有二或更多層的堆疊結構。

做爲用於設置在氧化物半導體層上面之閘極電極的材料，可使用與像素電極相同的材料（可使用透明導電膜或其類似物於透射型顯示裝置的情況中）；例如，設置在氧化物半導體層上面的閘極電極可以以與用以形成其係電性連接至像素部中之薄膜電晶體的像素電極之步驟相同的步驟而形成，因此，設置有閘極電極於氧化物半導體層的上面及下面之薄膜電晶體可無需大量增加步驟的數目以形成。此外，藉由設置閘極電極於氧化物半導體層的上面，在用以檢查薄膜電晶體之可靠度的偏動溫度應力測試（在下

文中，稱爲 BT 測試）中，可降低 BT 測試的前後之間之薄膜電晶體的臨限電壓中之改變量；也就是說，在氧化物半導體層上面之閘極電極的設置可改善可靠度。

揭示於此說明書中之本發明的一實施例係一種半導體裝置，其包含：第一閘極電極，在絕緣表面之上；第一絕緣層，在該第一閘極電極之上；氧化物半導體層，在該第一絕緣層之上；源極及汲極電極，在該氧化物半導體層之上；第二絕緣層，覆蓋該源極電極及該汲極電極；以及第二閘極電極，在該第二絕緣層之上，其中該氧化物半導體層具有一區域，該區域之厚度係比該源極電極或該汲極電極重疊之區域的厚度更小，且其中該第二絕緣層係與該氧化物半導體層中之厚度更小的該區域接觸。

上述結構可達成上述目的之其中至少之一者。

在上述結構中，第二閘極電極的寬度係製成比第一閘極電極的寬度更大，因而，閘極電壓可自第二閘極電極施加至整個氧化物半導體層。

選擇性地，在上述結構中，當第一閘極電極的寬度係製成比第二閘極電極的寬度更小時，第一閘極電極與源極電極及汲極電極重疊之區域會減少，使得寄生電容可降低。進一步選擇性地，第一閘極電極的寬度係製成比氧化物半導體層中之厚度更小的區域更大，而第二閘極電極的寬度係製成比氧化物半導體層中之厚度更小的區域更小，以致第二閘極電極不會與源極電極或汲極電極重疊，而使寄生電容降低更多。

本發明之另一實施例係一種半導體裝置，其包含像素部及驅動器電路，像素部包含至少第一薄膜電晶體，該第一薄膜電晶體具有第一氧化物半導體層，驅動器電路包含EDMOS電路，該EDMOS電路包含至少第二薄膜電晶體及第三薄膜電晶體，第二薄膜電晶體具有第二氧化物半導體層，及第三薄膜電晶體具有第三氧化物半導體層，且第三薄膜電晶體包含第一閘極電極及第二閘極電極，第一閘極電極係在第三氧化物半導體層的下面，及第二閘極電極係在第三氧化物半導體層的上面。

在上述結構中，當像素部分中之第一薄膜電晶體係電性連接至像素電極，且像素電極與驅動器電路中之第二閘極電極係相同材料時，則可無需增加步驟數目而製造出該半導體裝置。

在上述結構中，當像素部分中之第一薄膜電晶體係電性連接至像素電極，且像素電極係由與驅動器電路中之第二閘極電極不同的材料所形成，例如當像素電極係由透明導電膜所形成以及第二閘極電極係由鋁膜所形成時，可降低驅動器電路中之第二閘極電極的電阻。

進一步，設置所謂雙閘極結構，其中驅動器電路之第三氧化物半導體層與第一閘極電極重疊，而第一絕緣層在其間，且亦與第二閘極電極重疊，而第二絕緣層在其間。

做爲具有驅動器電路之半導體裝置，除了液晶顯示裝置之外，可給定使用發光元件之發光顯示裝置及使用電泳顯示元件之亦稱爲電子紙的顯示裝置。

注意的是，在此說明書中之“顯示裝置”的用語意指影像顯示裝置、發光裝置、或光源（包含照明裝置）。進一步地，“顯示裝置”在其種類中包含以下模組：包含諸如撓性印刷電路（FPC）、卷帶自動接合（TAB）帶、或卷帶承載構裝（TCP）所附著之連接器的模組；具有 TAB 帶或 TCP 且設置有印刷導線板於其末端處之模組；以及具有積體電路（IC）而該積體電路係藉由晶片在玻璃上（COG）法而直接安裝於顯示元件之上的模組。

在使用發光元件的發光顯示裝置中，複數個薄膜電晶體係包含於像素部之中，且其中薄膜電晶體的閘極電極係電性連接至另一電晶體之源極導線或汲極導線的部分亦包含於該像素部之中。

因爲薄膜電晶體容易由於靜電或其類似者而損壞，所以較佳地將用以保護驅動器電路的保護電路設置於閘極線或汲極線的同一基板之上。該保護電路係較佳地以包含氧化物半導體之非線性元件來形成。

使用於此說明書中之氧化物半導體係由 $InMO_3(ZnO)_m$（$m>0$）所表示的薄膜，且形成使用該薄膜做爲半導體層的薄膜電晶體。注意的是，M 表示選擇自 Ga、Fe、Ni、Mn、及 Co 之一金屬元素或複數個金屬元素；例如，在某些情況中，M 表示 Ga，而在其他的情況中，M 表示諸如 Ni 或 Fe 之除了 Ga 之外的上述金屬元素（Ga 及 Ni 或 Ga 及 Fe）。進一步地，上述氧化物半導體可包含 Fe 或 Ni，另外之過渡金屬元素，或除了包含成爲 M 之金屬元素

外之做爲雜質元素的過度金屬之氧化物。在此說明書中，此薄膜亦稱爲 In-Ga-Zn-O 基之非單晶膜。

In-Ga-Zn-O 基之非單晶膜係由濺鍍法所形成，且加熱於 200℃至 500℃，典型地，300℃至 400℃，10 至 100 分鐘。注意的是，非晶結構係藉由 XRD 分析而觀察成爲所分析之該 In-Ga-Zn-O 基之非單晶膜的晶體結構。

由 In-Ga-Zn-O 基之非單晶膜所代表的氧化物半導體係具有寬的能隙（Eg）之材料；因此，即使將二閘極電極設置於氧化物半導體層的上面及下面，亦可抑制截止電流的增加。

注意的是，在此說明書中之諸如“第一”及“第二”的順序數字僅係針對便利性而使用，且並非表示步驟的順序及層之堆疊順序。此外，在此說明書中之該等順序數字並非表示指明本發明之特定名稱。

藉由形成使用氧化物半導體的薄膜電晶體於諸如閘極線驅動器電路或源極線驅動器電路之週邊電路或像素部中，而該氧化物半導體插置於二閘極電極之間，且該二閘極電極係設置於該氧化物半導體的上面及下面，可降低製造成本。

具有使用氧化物半導體的薄膜電晶體，而該氧化物半導體插置於二閘極電極之間，且該二閘極電極係設置於該氧化物半導體的上面及上面，則在 BT 測試中，可降低 BT 測試的前後之間之薄膜電晶體的臨限電壓中之改變量；也就是說，薄膜電晶體包含氧化物半導體，而該氧化物半導

體插置於二閘極電極之間，且該二閘極電極係設置於該氧化物半導體的上面及下面，可藉以改善薄膜電晶體的可靠度。

【實施方式】

將敘述實施例於下文；惟，本發明並未受限於下文之說明，且由熟悉於本項技藝之該等人士所易於瞭解的是，可將模式及細節予以各式各樣地改變，而不會背離本發明之範圍及精神；因此，本發明不應被解讀成爲受限於下文實施例中之說明。

實施例 1

第 1A 圖描繪其中使用於驅動器電路之第一薄膜電晶體 430 及使用於像素部之第二薄膜電晶體 170 係設置於同一基板之上。注意的是，第 1A 圖亦係顯示裝置之橫剖面視圖的實例。

像素部及驅動器電路係形成於同一基板之上。在像素部之中，以矩陣形式所配置之其係增強型電晶體之該等第二薄膜電晶體 170 係各自地使用以開啓（on）/關閉（off）所施加至像素電極 110 之電壓，在像素中所配置之第二薄膜電晶體 170 係使用氧化物半導體層 103 以形成。關於第二薄膜電晶體之電性特徵，在閘極電壓成爲±20V（伏特）時，開/關（on/off）比係 10^9 或更大；因此，可改善顯示對比，且進一步地，可使漏電流變小，而可藉以實現低

功率消耗之驅動。開/關比係導通（on）電流對截止（off）電流的比例（I_{on}/I_{off}），且 I_{on}/I_{off} 之值愈高，則開關特徵愈佳；因此，高的開/關（on/off）比可促成顯示對比的改善。注意的是，導通（on）電流係在當電晶體係在導通（on）狀態之中時流動於源極電極與汲極電極之間的電流；另一方面，截止（off）電流係在當電晶體係在關閉（off）狀態之中時流動於源極電極與汲極電極之間的電流。例如，在 n 通道電晶體中，截止（off）電流係在當閘極電壓比電晶體的臨限電壓更低時流動於源極電極與汲極電極之間的電流；因此，較佳地，將增強型電晶體使用於像素部，以達成高的對比及低功率消耗之驅動。

在驅動器電路之中，係使用至少一種薄膜電晶體 430，該薄膜電晶體 430 包含第一閘極電極 401 及第二閘極電極 470，第一閘極電極 401 在氧化物半導體層 405 的下面以及第二閘極電極 470 在氧化物半導體層 405 的上面。該第二閘極電極 470 亦稱爲背面閘極電極，當形成背面閘極電極時，在用以檢查薄膜電晶體之可靠度的偏動溫度應力測試（在下文中，稱爲 BT 測試）中，可降低 BT 測試的前後之間之薄膜電晶體的臨限電壓中之改變量。

將參照第 1A 圖來敘述此薄膜電晶體 430 的結構。設置於具有絕緣表面之基板 400 上的第一閘極電極 401 係以第一閘極絕緣層 403 來覆蓋，且氧化物半導體層 405 係設置於與第一閘極電極 401 重疊的第一閘極絕緣層 403 之上。在該氧化物半導體層 405 之上，係設置第一導線 409 及

第二導線 410。氧化物半導體層 405 包含一區域，該區域的厚度係比用作源極電極或汲極電極且與第一導線 409 及第二導線 410 重疊之區域的厚度更小。第二閘極絕緣層 412 係設置以便在其之厚度係在氧化物半導體層 405 中較小的區域之上，且與該區域接觸；進一步地，第二閘極電極 470 係設置於第二閘極絕緣層 412 之上。

例如，氧化物半導體層 405 係藉由使用其中 In_2O_3：Ga_2O_3：ZnO=1：1：1（In：Ga：Zn=1：1：0.5）之靶材的濺鍍法，而在 10sccm 之氬氣流率及 5sccm 之氧氣流率下形成。此外，n^+層 406a 係設置於氧化物半導體層 405 與第一導線 409 之間，以及 n^+層 406b 係設置於氧化物半導體層 405 與第二導線 410 之間。

在此實施例中，用作源極及汲極區之 n^+層 406a 及 406b 係 In-Ga-Zn-O 基之非單晶膜，其係在與氧化物半導體層 405 的沈積條件不同的沈積條件之下形成，且係具有更低電阻之氧化物半導體層；例如，由獲得於 40sccm 之氬氣流率的氧化物半導體層所形成之 n^+層 406a 及 406b 具有 n 型導電性及 0.01eV 至 0.1eV 的活化能（ΔE）。注意的是，在此實施例中，n^+層 406a 及 406b 係 In-Ga-Zn-O 基之非單晶膜，其包含至少非晶成分；該等 n^+層 406a 及 406b 在一些情況中包含晶粒（奈米晶體）於非晶成分中，包含於 n^+層 406a 及 406b 中之晶粒（奈米晶體）的直徑係大約 1 奈米至 10 奈米，典型地大約 2 奈米至 4 奈米。

進一步地，第一閘極電極 401 及第二閘極電極 470 可

相互電性連接，以便具有相同的電位。當第一閘極電極401及第二閘極電極470具有相同的電位時，閘極電壓可自氧化物半導體層的上方及下方側施加，使得可增加導通（on）狀態中流動的電流量。

進一步地，藉由電性連接用以偏移臨限電壓至負值的控制信號線至第一閘極電極401或第二閘極電極470，可形成空乏型TFT。

選擇性地，藉由電性連接用以偏移臨限電壓至正值的控制信號線至第一閘極電極401或第二閘極電極470，可形成增強型TFT。

進一步地，在使用於驅動器電路之二薄膜電晶體的組合上並無特殊的限制，且包含一閘極電極以成爲空乏型TFT之薄膜電晶體與包含二閘極電極以成爲增強型TFT之薄膜電晶體的組合可加以使用。在該情況中，在像素部之中的薄膜電晶體具有其中閘極電極係設置於氧化物半導體層的上面及下面的結構。

選擇性地，在像素部之中的薄膜電晶體可具有其中閘極電極係設置於氧化物半導體層的上面及下面之結構，且在驅動器電路中之增強型TFT及空乏型TFT可各自地具有其中閘極電極係設置於氧化物半導體層的上面及下面之結構。在該情況中，係使用其中用以控制臨限電壓之控制信號線係連接至上方及下方閘極電極的任一者，且所連接之閘極電極控制臨限電壓的結構。

注意的是，在第1A圖之中，第二閘極電極470係藉

由與像素部中之像素電極 110 相同的材料，例如使用透射液晶顯示裝置中之透明導電膜而形成，以便減少步驟的數目；然而，在第二閘極電極 470 上並無特定的限制。此外，所描繪的是其中第二閘極電極 470 的寬度係比第一閘極電極 401 更大且亦比氧化物半導體層的寬度更大的實例；然而，在第二閘極電極 470 的寬度上並無特定的限制。注意的是，第一閘極電極 401 的寬度係比在氧化物半導體層中之其厚度較小的區域之厚度更大。

第 1B 圖描繪在第二閘極電極的材料及寬度中與第 1A 圖不同的實例；此外，第 1B 圖亦係其中連接至有機發光元件或無機發光元件的第二薄膜電晶體 170 係包含於像素部中之顯示裝置的實例。

在第 1B 圖之中，做爲作用成爲薄膜電晶體 432 之第二閘極電極的電極 471 之材料，係使用金屬材料（選擇自鋁（Al）、銅（Cu）、鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）、及銃（Sc）之元素，或包含上述材料的任一者做爲其主要成分的合金），在橫剖面中之電極 471 的寬度係比第 1A 圖中之第二閘極電極 470 的電極寬度更小；進一步地，電極 471 的寬度係比氧化物半導體層的寬度更小。藉由減少電極 471 的寬度，可減少電極 471 以第二閘極絕緣層 412 在其間而與第一導線 409 及第二導線 410 重疊的面積，以致可降低寄生電容。注意的是，在第 1B 圖之中，電極 471 之寬度係比在氧化物半導體層中之厚度較小的區域之寬度更大。

發光元件包含至少第一電極 472，發光層 475，及第二電極 474。在第 1B 圖之中，電極 471 係藉由與像素部中之第一電極 472 相同的材料，例如使用鋁或其類似物而形成，以便減少步驟的數目；然而，在電極 471 上並無特定的限制。進一步地，在第 1B 圖之中，絕緣層 473 作用成爲隔板，用以使鄰接像素的第一電極相互絕緣。

進一步地，第 1C 圖描繪在第二閘極電極的材料及寬度中與第 1A 圖不同的實例。在第 1C 圖之中，做爲作用成爲薄膜電晶體 433 之第二閘極電極的電極 476 之材料，係使用金屬材料（選擇自鋁（Al）、銅（Cu）、鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）、及鈧（Sc）之元素，或包含上述材料的任一者做爲其主要成分的合金），在橫剖面中之第二閘極電極的寬度係比第 1B 圖中之寬度更小。當該寬度仍比第 1B 圖中的寬度更小時，則可形成第二閘極電極以便不會以第二閘極絕緣層 412 在該處之間而與第一導線 409 及第二導線 410 重疊，且因此可進一步降低寄生電容。在第 1C 圖中所描繪之電極 476 的寬度係比在氧化物半導體中之其厚度較小的區域之寬度更小。在形成具有此一小的寬度之電極 476 中，較佳地執行使用濕蝕刻法或其類似方法的方法，使得電極 476 的二末端係定位於比阻體罩幕之末端部分更內部的部分；然而，在第 1C 圖之中，因爲使用與像素電極 110 之材料不同的金屬材料，所以會再增加一個光微影術過程以形成電極 476，且需要再一個的罩幕。

藉由使用包含氧化物半導體的薄膜電晶體於使用於液晶顯示裝置、發光顯示裝置、或電子紙之諸如閘極線驅動器電路或源極線驅動器電路的週邊電路或像素部，而該氧化物半導體插置於二閘極電極之間，且該二閘極電極係在該氧化物半導體的上面及下面，可達成高速度驅動或低功率消耗。進一步地，可將像素部及驅動器電路設置於同一基板之上，而無需大量地增加步驟的數目；藉由設置除了像素部之外的各式各樣之電路於同一基板之上，可降低顯示裝置的製造成本。

實施例 2

雖然在實施例 1 中已敘述一薄膜電晶體做爲驅動器電路中之薄膜電晶體，但在下文實施例 2 中將敘述使用兩個 n 通道薄膜電晶體以形成驅動器電路之反相器電路的實例。第 2A 圖中所描繪的薄膜電晶體係與實施例 1 之第 1A 圖中所描繪的薄膜電晶體 430 相同；因此，相同的部件係由相同的參考符號所表示。

用以驅動像素部之驅動器電路係使用反相器電路、電容器、電阻器、及其類似物以形成，當反相器電路係使用組合之二 n 通道 TFT 以形成時，則具有具備增強型電晶體及空乏型電晶體之組合的反相器電路（下文中稱爲 EDMOS 電路）以及具備二增強型電晶體之組合的反相器電路（下文中稱爲 EEMOS 電路）。

驅動器電路的反相器電路之橫剖面結構係描繪於第

2A 圖之中。注意的是，第 2A 至 2C 圖中所描繪之薄膜電晶體 430 及第二薄膜電晶體 431 係底部閘極薄膜電晶體，且係其中將導線設置於半導體層之上，而源極區及汲極區在其間之薄膜電晶體的實例。

在第 2A 圖之中，第一閘極電極 401 及閘極電極 402 係設置於基板 400 之上，第一閘極電極 401 及閘極電極 402 可使用諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、釹、或釩之金屬元素，或包含該等元素之任一者做爲其主要成分的合金，而形成爲具有單層之結構或堆疊之結構。

做爲第一閘極電極 401 及閘極電極 402 的二層之堆疊結構，例如其中鉬層係堆疊於鋁層之上的二層之堆疊結構、其中鉬層係堆疊於銅層之上的二層之結構、其中氮化鈦層或氮化鉭層係堆疊於銅層之上的二層之結構、或其中堆疊氮化鈦層及鉬層的二層之結構係較佳的。做爲三層之堆疊結構，鎢層或氮化鎢層、鋁及矽的合金或鋁及鈦的合金、以及氮化鈦層或鈦層之堆疊層係較佳的。

此外，在覆蓋第一閘極電極 401 及閘極電極 402 的第一閘極絕緣層 403 之上，係設置氧化物半導體層 405 及第二氧化物半導體層 407。

第一導線 409 及第二導線 410 係設置於氧化物半導體層 405 之上，且第二導線 410 係透過形成於第一閘極絕緣層 403 中之接觸孔 404 而直接連接至閘極電極 402。進一步地，第三導線 411 係設置於第二氧化物半導體層 407 之上。

薄膜電晶體 430 包含第一閘極電極 401 以及與第一閘極電極 401 重疊而第一閘極絕緣層 403 在其間之氧化物半導體層 405。第一導線 409 係施加負電壓 VDL 的電源供應線（負電源供應線），此電源供應線可係具有接地電位之電源供應線（接地電位電源供應線）。

進一步地，第二薄膜電晶體 431 包含閘極電極 402 以及與閘極電極 402 重疊而第一閘極絕緣層 403 插置其間之第二氧化物半導體層 407。第三導線 411 係施加正電壓 VDH 的電源供應線（正電源供應線）。

此外，n^+層 408a 係設置於第二氧化物半導體層 407 與第二導線 410 之間，以及 n^+層 408b 係設置於第二氧化物半導體層 407 與第三導線 411 之間。

進一步地，驅動器電路的反相器電路之頂視圖係描繪於第 2C 圖之中。在第 2C 圖中，沿著鏈線 Z1-Z2 所取得的橫剖面對應於第 2A 圖。

進一步地，EDMOS 電路的等效電路係描繪於第 2B 圖之中。在第 2A 圖中所描繪的電路連接對應於第 2B 圖中之電路連接，且係其中薄膜電晶體 430 係增強型 n 通道電晶體而第二薄膜電晶體 431 係空乏型 n 通道電晶體的實例。

在此實施例中，爲使薄膜電晶體 430 可用作增強型 n 通道電晶體，第二閘極絕緣層 412 係設置於氧化物半導體層 405 之上，以及第二閘極電極 470 係設置於第二閘極絕緣層 412 之上，使得薄膜電晶體 430 的臨限值係由施加至第二閘極電極 470 的電壓所控制。

進一步地，第二閘極絕緣層 412 亦作用成爲覆蓋第二氧化物半導體層 407 的保護層。

注意的是，其中第二導線 410 係透過形成於第一閘極絕緣層 403 中之接觸孔 404 而直接連接至閘極電極 402 的實例係描繪於第 2A 及 2C 圖之中；惟，並非特定限制地，可分別地設置連接電極，藉以電性連接第二導線 410 及閘極電極 402。

進一步地，此實施例模式可與實施例 1 自由地結合。

實施例 3

在實施例 3 之中，將參照方塊圖及其類似圖以敘述顯示裝置。

第 3A 圖描繪主動矩陣液晶顯示裝置之方塊圖的實例。第 3A 圖中所描繪的液晶顯示裝置包含像素部 301，其具有複數個像素，各個像素設置有顯示元件；掃描線驅動器電路 302，其控制連接至各個像素的閘極電極之掃描線；以及信號線驅動器電路 303，其控制輸入至所選擇之像素的視頻信號，於基板 300 之上。

第 3B 圖描繪主動矩陣發光顯示裝置之方塊圖的實例。第 3B 圖中所描繪的發光顯示裝置包含像素部 311，其具有複數個像素，各個像素設置有顯示元件；第一掃描線驅動器電路 312 及第二掃描線驅動器電路 313，其各自地控制連接至像素的閘極電極之掃描線；以及信號線驅動器電路 314，其控制輸入至所選擇之像素的視頻信號，於基

板 310 之上。在其中開關 TFT 及電流控制 TFT 之二 TFT（薄膜電晶體）係配置於一像素之中的情況中，在第 3B 圖中所描繪的發光顯示裝置中，輸入至連接到開關 TFT 之閘極電極的第一掃描線之信號係產生於第一掃描線驅動器電路 312 之中，且輸入至連接到電流控制 TFT 之閘極電極的第二掃描線之信號係產生於第二掃描線驅動器電路 313 之中。注意的是，亦可使用其中輸入至第一掃描線之信號及輸入至第二掃描線之信號係產生於一掃描線驅動器電路之中的結構。選擇性地，例如使用以控制開關元件之操作的複數個第一掃描線可根據包含於開關元件中之 TFT 的數目而設置於各個像素之中。在此情況中，輸入至複數個第一掃描線之所有信號可產生於一掃描線驅動器電路之中，或可藉由複數個掃描線驅動器電路而分別地產生。

注意的是，此處所敘述的是其中掃描線驅動器電路 302，第一掃描線驅動器電路 312，第二掃描線驅動器電路 313，以及信號線驅動器電路 303 及 314 係形成於顯示裝置之中的模式；然而，掃描線驅動器電路 302，第一掃描線驅動器電路 312，或第二掃描線驅動器電路 313 的一部分可藉由諸如 IC 之半導體裝置的使用而安裝。選擇性地，信號線驅動器電路 303 或 314 的一部分可以以諸如 IC 之半導體裝置來安裝。

第 4 圖係描繪建構顯示裝置的像素部與保護電路之間的位置關係之圖式，該保護電路包含信號輸入端子 321、掃描線 323、信號線 324、及非線性元件。像素部 327 包

含設置於具有絕緣表面之基板 320 上的掃描線 323 及信號線 324，以便相互交叉。注意的是，像素部 327 對應於第 3A 及 3B 圖中所描繪之像素部 301 及像素部 311。

像素部 301 係藉由複數個信號線 S1 至 Sm（未描繪）以連接至信號線驅動器電路 303，且藉由複數個掃描線 G1 至 Gn（未描繪）以連接至掃描線驅動器電路 302，該等信號線 S1 至 Sm 係以行而配置且延伸自信號線驅動器電路 303，以及該等掃描線 G1 至 Gn 係以列而配置且延伸自掃描線驅動器電路 302。像素部 301 包含複數個像素（未描繪），該等像素係藉由信號線 S1 至 Sm 及掃描線 G1 至 Gn 而以矩陣形式配置；然後，各個像素係連接至信號線 Sj（信號線 S1 至 Sm 的任一者）及掃描線 Gi（掃描線 G1 至 Gn 的任一者）。

像素部 327 包含複數個像素 328，該等像素 328 係以矩陣形式而配置。像素部 328 包含連接至掃描線 323 及信號線 324 之像素 TFT 329，儲存電容器 330，及像素電極 331。

在此，像素結構描繪其中儲存電容器 330 之一電極係連接至像素 TFT 329，及其另一電極係連接至電容器線 332 的情況。進一步地，像素電極 331 用作驅動顯示元件（液晶元件、發光元件、對比媒體（電子墨水）、或其類似物）之一電極，此一顯示元件的另一電極係連接至共用端子 333。

一些保護電路係設置於像素部 327 與信號線輸入端子

322 之間；此外，其他保護電路係設置於掃描線驅動器電路與像素部 327 之間。在此實施例中，複數個保護電路係設置使得當由於靜電或其類似者所導致之電湧電壓施加至掃描線 323、信號線 324、及電容器匯流排線 337 時，像素 TFT 329 及其類似物並不會損壞；因此，保護電路係形成使得當施加電湧電壓時，可使電荷釋放至共用導線之內。

在此實施例中，係描繪其中保護電路 334、保護電路 335、及保護電路 336 係分別配置於掃描線 323 側、信號線 324 側、及電容器匯流排線 337 側的實例。注意的是，該等保護電路的配置位置並未受限於該處。此外，在其中掃描線驅動器電路並未藉由諸如 IC 之半導體裝置的使用而安裝於該處的情況中，保護電路 334 無需一定要設置於掃描線 323 側。

藉由使用實施例 1 或實施例 2 中的 TFT 於該等電路，可獲得以下之優點。

驅動器電路係概略地畫分成爲邏輯電路部，及開關部或緩衝器部。設置於邏輯電路部中的 TFT 較佳地具有其中可控制臨限電壓的結構；另一方面，設置於開關部或緩衝器部中之 TFT 較佳地具有大的導通（on）電流。藉由設置包含實施例 1 或實施例 2 中所敘述之 TFT 的驅動器電路，可控制邏輯電路部中所設置之 TFT 的臨限電壓，且可增加開關部或緩衝器部中所設置之 TFT 的導通（on）電流；再者，實施例 1 或實施例 2 中所敘述之 TFT 可促成驅動器電

路所佔有之區域的縮減以及框架之變窄。

將敘述包含於掃描線驅動器電路中之移位暫存器電路如下。第 5 圖中所描繪之移位暫存器電路包含複數個正反器電路 351、控制信號線 352、控制信號線 353、控制信號線 354、控制信號線 355、控制信號線 356、及重設線 357。

如第 5 圖之移位暫存器電路中所描繪地，在正反器電路 351 中，起始脈波 SSP 係透過控制信號線 352 而輸入至第一級的輸入端子 IN，以及前一級之正反器電路 351 的輸出信號端子 S_{out} 係連接至下一級的輸入端子 IN。進一步地，第 N 級（N 係自然數）的重設端子 RES 係透過重設線 357 而連接至第（N+3）級之正反器電路的輸出信號端子 S_{out}。當假定的是，第一時脈信號 CLK1 係透過控制信號線 353 而輸入至第 N 級之正反器電路 351 的時脈端子 CLK 時，則第二時脈信號 CLK2 係透過控制信號線 354 而輸入至第（N+1）級之正反器電路 351 的時脈端子 CLK，第三時脈信號 CLK3 係透過控制信號線 355 而輸入至第（N+2）級之正反器電路 351 的時脈端子 CLK，第四時脈信號 CLK4 係透過控制信號線 356 而輸入至第（N+3）級之正反器電路 351 的時脈端子 CLK，然後，第一時脈信號 CLK1 係透過控制信號線 353 而輸入至第（N+4）級之正反器電路 351 的時脈端子 CLK；此外，第 N 級之正反器電路 351 自閘極輸出端子 G_{out} 輸出第 N 級之正反器電路的輸出 $SR_{out}N$。

注意的是，正反器電路 351 與電源及電源供應線之間的連接並未加以描繪；然而，各個正反器電路 351 係透過電源供應線而供應以電源供應電位 Vdd 及電源供應電位 GND。

注意的是，當參考電位係 0V（伏特）時，在此說明書中所敘述的電源供應電位對應於電位差；因此，在某些情況中，電源供應電位亦稱爲電源供應電壓，或電源供應電壓係稱爲電源供應電位。

注意的是，在此說明書中，“A 及 B 係相互連接”之說明包含除了其中 A 及 B 係相互直接連接於該處的情況之外，其中 A 及 B 係相互電性連接於該處的情況。在此，“A 及 B 係相互電性連接”之說明包含以下的情況：當具有任何電性功能之物體存在於 A 與 B 之間時，A 及 B 具有經由該物體之實質相同的電位。特定地，“A 及 B 係相互電性連接”包含：其中 A 及 B 係根據電路操作而被視爲具有實質相同之電位於該處的情況，例如，其中 A 及 B 係透過諸如 TFT 之開關元件而連接於該處，且透過該開關元件之電力傳輸使 A 及 B 具有實質相同之電位的情況；其中 A 及 B 係經由電阻器而連接於該處，且在該電阻器的兩端所產生的電位之間的電位差並不會影響到包含 A 及 B 之電路的操作之情況；及其類似情況。

其次，第 6 圖描繪包含於第 5 圖中所描繪的移位暫存器電路中之正反器電路 351 的一模式。第 6 圖中所描繪的正反器電路 351 包含邏輯電路部 361 及開關部 362。邏輯

電路部 361 包含 TFT 363 至 368；進一步地，開關部 362 包含 TFT 369 至 372。注意的是，邏輯電路部係用以切換輸出至其係下一級中的電路之開關部的信號，以回應於來自外部所輸入之信號的電路。此外，開關部係用以切換作用成爲開關之 TFT 的導通/斷開（on/off）以回應於來自外部及控制電路部所輸入之信號，且用以根據 TFT 的大小及結構而輸出電流的電路。

在正反器電路 351 之中，輸入端子 IN 係連接至 TFT 364 的閘極端子及 TFT 367 的閘極端子，重設端子 RES 係連接至 TFT 363 的閘極端子，時脈端子 CLK 係連接至 TFT 369 的第一端子及 TFT 371 的第一端子。透過其可供應電源供應電位 Vdd 之電源供應線係連接至 TFT 364 的第一端子以及 TFT 366 的閘極端子和第二端子；透過其可供應電源供應電位 GND 之電源供應線係連接至 TFT 363 的第二端子，TFT 365 的第二端子，TFT 367 的第二端子，TFT 368 的第二端子，TFT 370 的第二端子，及 TFT 372 的第二端子。進一步地，TFT 363 的第一端子，TFT 364 的第二端子，TFT 365 的第一端子，TFT 368 的閘極端子，TFT 369 的閘極端子，及 TFT 371 的閘極端子係相互連接。TFT 366 的第一端子係連接至 TFT 365 的閘極端子，TFT 367 的第一端子，TFT 368 的第一端子，TFT 370 的閘極端子，及 TFT 372 的閘極端子。此外，閘極輸出端子 G_{out} 係連接至 TFT 369 的第二端子及 TFT 370 的第一端子，輸出信號端子 S_{out} 係連接至 TFT 371 的第二端子及 TFT

372的第一端子。

注意的是，在此，將敘述其中TFT 363至372均係n通道TFT的情況。

注意的是，TFT係具有閘極、汲極、及源極之至少三端子的元件，且具有通道形成區於汲極區與源極區之間，電流可流過汲極區、通道形成區、及源極區。此處，在一些情況中，源極及汲極可根據TFT之結構、操作條件、或其類似者而相互交換；因此，很難以決定源極或汲極係何者。因而，在某些情況中，作用成爲源極及汲極的區域並不稱爲源極及汲極，而是分別稱爲例如第一端子及第二端子；在此一情況中，作用成爲閘極的端子係稱爲閘極端子。

接著，第7圖將描繪第6圖中所描繪之正反器電路351的佈局視圖之實例。

第7圖的正反器電路包含透過其可供應電源供應電位Vdd之電源供應線381、重設線382、控制信號線353、控制信號線354、控制信號線355、控制信號線356、控制信號線383，透過其可供應電源供應電位GND之電源供應線384、邏輯電路部361、及開關部362。邏輯電路部361包含TFT 363至368，開關部362包含TFT 369至372。在第7圖之中，亦描繪連接至閘極輸出端子G_{out}的導線以及連接至輸出信號端子S_{out}的導線。

第7圖描繪半導體層385，第一導線層386，第二導線層387，第三導線層388，及接觸孔389。注意的是，第

一導線層 386 可以以閘極電極之層而形成，第二導線層 387 可以以 TFT 的源極及汲極電極之層而形成，以及第三導線層 388 可以以像素部中的像素電極之層而形成。然而，無需受限於此實例地，例如，第三導線層 388 可形成爲與像素電極之層不同的層。

注意的是，第 7 圖中之電路元件間的連接係如第 6 圖中所描繪。注意的是，第 7 圖描繪輸入第一時脈信號的正反器電路；因此，對控制信號線 354 至 356 的連接將不予以描繪。

在第 7 圖之正反器電路的佈局視圖中，藉由控制邏輯電路部 361 中所包含之 TFT 366 或 TFT 367 的臨限電壓，可形成 EDMOS 電路 373。典型地，係形成其中 TFT 366 係空乏型及 TFT 367 係增強型之 EDMOS 電路 373，且在開關部 362 中所包含的 TFT 369 至 372 係雙閘極 TFT 或空乏型 TFT。注意的是，在第 6 圖中，在空乏型 TFT 的閘極電極之連接位置中，EDMOS 電路 373 中之 TFT 366 及 TFT 367 係與第 2A 至 2C 圖中所描繪的 EDMOS 電路中之 TFT 不同。

將 TFT 366 或 TFT 367 形成以便成爲雙閘極 TFT，且控制背面閘極電極的電位，使得可形成空乏型 TFT 或增強型 TFT。

在第 7 圖之中，且有與用以控制 TFT 366 的臨限電壓之背面閘極電極相同電位的控制信號線 390 係分別設置，以形成空乏型。TFT 366 係雙閘極 TFT，且背面閘極電極

的電位係與透過其可供應施加至閘極電極之電源供應電位Vdd的電源供應線381之電位不同。

第7圖描繪其中TFT 369至372係雙閘極TFT且背面閘極電極與閘極電極具有相同的電位，以及各個背面閘極電極的電位係與透過其可供應施加至閘極電極之電源供應電位Vdd的電源供應線之電位不同的實例。

在此方式中，配置於顯示裝置之像素部及驅動器電路中的TFT可僅使用其中使用氧化物半導體層之n通道TFT以形成。

進一步地，在邏輯電路部361中之TFT係用以供應電流以回應於電源供應電位Vdd的TFT。TFT 366係形成爲雙閘極TFT或空乏型TFT以增加流動電流，因而，可無需降低性能地達成TFT之小型化。

進一步地，在開關部362中所包含的TFT之中，流動於TFT中之電流量可增加且開啓/關閉（on/off）之切換可高速地執行；因此，可無需降低性能地縮小TFT所佔有的面積，因而，亦可縮減由包含該TFT之電路所佔有的區域。注意的是，在開關部362中之TFT 369至372可形成爲雙閘極TFT，使得半導體層385係如圖式中所描繪地插置於第一導線層386與第三導線層388之間。

雙閘極TFT各具有其中半導體層385係插置於第一導線層386與第三導線層388之間，且第一導線層386及第三導線層388係藉由透過接觸孔389以相互連接而具有相同之電位的實例係描繪於第7圖之中；惟，並無特定的限

制，例如可使用其中控制信號線係分別地設置用於第三導線層 388，以與第一導線層 386 無關地控制第三導線層 388 的電位之結構。

注意的是，在第 7 圖中所描繪之正反器電路的佈局視圖之中，TFT 363 至 372 之通道形成區的形狀可係 U 形（翻轉的 C 形或馬蹄形）。此外，雖然在第 7 圖中之所有的 TFT 具有相同的尺寸，但連接至輸出信號端子 S_{out} 或閘極輸出端子 G_{out} 之各個 TFT 的尺寸可根據下一級之負載的數量而適當地改變。

其次，將參照第 8 圖中所描繪的時序圖來敘述第 5 圖中所描繪之移位暫存器電路的操作。第 8 圖描繪其係個別地供應至第 5 圖中所描繪之控制信號線 352 至 356 的起始脈波 SSP 及第一至第四時脈信號 CLK1 至 CLK4，以及自第一至第五級之正反器電路的輸出信號端子 S_{out} 所輸出的 Sout 1 至 Sout 5。注意的是，在第 8 圖的說明中，係使用指示第 6 及 7 圖中之個別元件的參考符號。

注意的是，第 8 圖係其中包含於正反器電路中之各個 TFT 係 n 通道 TFT 的情況中之時序圖。進一步地，第一時脈信號 CLK1 係自第四時脈信號 CLK4 偏移如描繪之 1/4 波長（由點線所畫分的部分）。

首先，在週期 T1 中，起始脈波 SSP 係以 H 位準而輸入至第一級的正反器電路，且邏輯電路部 361 開啓開關部中之 TFT 369 及 371 以及關閉開關部中之 TFT 370 及 372。此時，因爲第一時脈信號 CLK1 係在 L 位準，所以 Sout

1 係在 L 位準。

注意的是，在週期 T1 中，信號並未輸入至第二及其後的級之正反器電路的 IN 端子，以致正反器電路輸出 L 位準而無操作。注意的是，說明係假定移位暫存器電路的各個正反器電路在初始狀態中輸出 L 位準。

其次，在週期 T2 中，邏輯電路部 361 以相似於週期 T1 的方式來控制第一級之正反器電路中的開關部 362。在週期 T2 中，第一時脈信號 CLK1 係在 H 位準，且因此，Sout 1 係在 H 位準。進一步地，在週期 T2 中，Sout 1 係以 H 位準而輸入至第二級之正反器電路的 IN 端子，且邏輯電路部 361 開啓開關部中之 TFT 369 及 371 以及關閉開關部中之 TFT 370 及 372。此時，因爲第二時脈信號 CLK2 係在 L 位準，所以 Sout 2 係在 L 位準。

注意的是，在週期 T2 中，信號並未輸入至第三及其後的級之正反器電路的 IN 端子，以致正反器電路輸出 L 位準而無操作。

接著，在週期 T3 中，邏輯電路部 361 控制開關部 362，使得週期 T2 的狀態保持於第一級的正反器電路中，因此，在週期 T3 中，第一時脈信號 CLK1 係在 H 位準且 Sout 1 係在 H 位準。進一步地，在週期 T3 中，邏輯電路部 361 以相似於週期 T2 的方式來控制第二級之正反器電路中的開關部 362。在週期 T3 中，因爲第二時脈信號 CLK2 係在 H 位準，所以 Sout 2 係在 H 位準。此外，Sout 2 係在週期 T3 中以 H 位準而輸入至第三級之正反器電路

的 IN 端子，且邏輯電路部 361 開啓開關部中之 TFT 369 及 371 以及關閉開關部中之 TFT 370 及 372。此時，第三時脈信號 CLK3 係在 L 位準，且因此，Sout 3 係在 L 位準。

注意的是，在週期 T3 中，信號並未輸入至第四及其後的級之正反器電路的 IN 端子，以致正反器電路輸出 L 位準而無操作。

接著，在週期 T4 中，邏輯電路部 361 控制開關部 362，使得週期 T3 的狀態保持於第一級的正反器電路中，因此，在週期 T4 中，第一時脈信號 CLK1 係在 L 位準且 Sout 1 係在 L 位準。進一步地，在週期 T4 中，邏輯電路部 361 控制開關部 362，使得週期 T3 的狀態保持於第二級的正反器電路中，因此，在週期 T4 中，第二時脈信號 CLK2 係在 H 位準且 Sout 2 係在 H 位準。此外，在週期 T4 中，邏輯電路部 361 係以相似於週期 T3 的方式來控制第三級之正反器電路中的開關部 362。在週期 T4 中，因爲第三時脈信號 CLK3 係在 H 位準，所以 Sout 3 係在 H 位準。Sout 3 係在週期 T4 中以 H 位準而輸入至第四級之正反器電路的 IN 端子，且邏輯電路部 361 開啓開關部 362 中之 TFT 369 及 371 以及關閉開關部 362 中之 TFT 370 及 372。此時，因爲第四時脈信號 CLK4 係在 L 位準，所以 Sout 4 係在 L 位準。

注意的是，在週期 T4 中，信號並未輸入至第五及其後的級之正反器電路的 IN 端子，以致正反器電路輸出 L

位準而無操作。

接著，在週期 T5 中，邏輯電路部 361 控制開關部 362，使得週期 T3 的狀態保持於第二級的正反器電路中，因此，在週期 T5 中，第二時脈信號 CLK2 係在 L 位準且 Sout 2 係在 L 位準。進一步地，在週期 T5 中，邏輯電路部 361 控制開關部 362，使得週期 T4 的狀態保持於第三級的正反器電路中，因此，在週期 T5 中，第三時脈信號 CLK3 係在 H 位準且 Sout 3 係在 H 位準。此外，在週期 T5 中，邏輯電路部 361 係以相似於週期 T4 的方式來控制第四級之正反器電路中的開關部 362。在週期 T5 中，因爲第四時脈信號 CLK4 係在 H 位準，所以 Sout 4 係在 H 位準。第五及其後的級之正反器電路具有相似於第一至第四級之正反器電路的導線連接及將被輸入之信號的時序；因此，將省略其之說明。

如第 5 圖之移位暫存器電路中所描繪地，Sout 4 亦作用成爲第一級之正反器電路的重設信號。在週期 T5 之中，Sout 4 係在 H 位準且此信號係輸入至第一級之正反器電路的重設端子 RES，當輸入重設信號時，在開關部 362 中之 TFT 369 及 371 係關閉且 TFT 370 及 372 係開啓；然後，第一級之正反器電路的 Sout 1 輸出 L 位準，直至下一個起始脈波 SSP 之輸入爲止。

藉由上述之操作，在第二及其後的級之正反器電路中，邏輯電路部亦根據來自該等其後的級之正反器電路的輸出而重設。如 Sout 1 至 Sout 5 所示地，可形成移位暫存

器電路，其中輸出具有偏移時脈信號之 1/4 波長之波形的信號。

當正反器電路具有其中將其係增強型 TFT 及空乏型 TFT 之組合的 EDMOS 電路設置於邏輯電路部之中，以及將雙閘極 TFT 設置於開關部之中時，可增加流動於邏輯電路部 361 中所包含之 TFT 中的電流量，且可無需降低性能地縮減由 TFT 所佔有的面積，進而縮減由包含該等 TFT 之電路所佔有的區域。進一步地，在開關部 362 中所包含的 TFT 之中，可增加流動於 TFT 中的電流量，且可高速地執行開啓/關閉的切換；因此，可無需降低性能地縮減由 TFT 所佔有的面積，進而縮減由包含該等 TFT 之電路所佔有的區域，因而，可獲得更窄框架、降低尺寸、及高性能的顯示裝置。

進一步地，閂鎖電路、位準移位器電路、或其類似電路可設置於第 3A 及 3B 圖中所描繪的信號線驅動器電路之中。緩衝器部係設置於最後級之中，透過其可將信號自信號線驅動器電路傳送至像素部，以及將放大的信號自信號線驅動器電路傳送至像素部。因此，當將典型地具有大的導通電流之雙閘極 TFT 或空乏型 TFT 之 TFT 設置於緩衝器部之中時，可縮小 TFT 的面積，且可縮減由信號線驅動器電路所佔有的區域；因而，可獲得窄框架、降低尺寸、及高性能的顯示裝置。注意的是，因爲其係信號線驅動器電路之一部分的移位暫存器需要高速度的操作，所以較佳地藉由 IC 或其類似物之使用以將移位暫存器安裝於顯示

裝置之上。

此外，此實施例可以與實施例 1 或實施例 2 自由地結合。

實施例 4

在實施例 4 之中，將參照第 9A 至 9C 圖、第 10A 至 10C 圖、第 11 圖、第 12 圖、第 13 圖、第 14 圖、第 15A、15B、15C、及 15D 圖，以及第 16 圖來敘述包含實施例 1 中所述之第二薄膜電晶體 170 的顯示裝置之製造方法。

在第 9A 圖之中，可使用鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、或其類似物之玻璃基板，以做具有透光性質之基板 100。

其次，在將導電層形成於基板 100 的整個表面之後，阻體罩幕係由第一光微影術步驟所形成；然後，不必要的部分係由蝕刻法所去除，藉以形成導線及電極（包含閘極電極 101 之閘極導線，電容器導線 108，及第一端子 121）。此時，蝕刻法係執行使得閘極電極 101 之至少一末端部分係成錐形。在此階段之橫剖面視圖係描繪於第 9A 圖之中；注意的是，第 11 圖係在此階段之頂視圖。

包含閘極電極 101 之閘極導線，電容器導線 108，及在端子部中之第一端子 121 係企望地由諸如鋁（Al）或銅（Cu）之低電阻導電材料所形成。然而，鋁本身具有低熱阻、易於銹蝕、及其類似情事之缺點；因此，其係與具有熱阻之導電材料結合而使用。做爲具有熱阻之導電材料，

可使用選擇自鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）、及鈧（Sc）之元素，包含該等元素之任一者以做爲其之成分的合金，包含任何該等元素的組合之合金膜，或包含該等元素之任一者以做爲成分的氮化物。

然後，將閘極絕緣層 102 整個地形成於閘極電極 101 之上，該閘極絕緣層 102 係藉由濺鍍法或其類似方法以形成爲 50 奈米至 400 奈米的厚度。當薄膜電晶體的產能係佔優先時，較佳地，使閘極絕緣層 102 的厚度變大。

例如，做爲閘極絕緣層 102，氧化矽膜係藉由濺鍍法而形成爲 100 奈米的厚度。不用多說地，閘極絕緣層 102 並未受限於此氧化矽膜，而是可使用諸如氮氧化矽膜、氮化矽膜、氧化鋁膜、氮化鋁膜、氮氧化鋁膜、或氧化鉭膜，以形成單層之結構或堆疊之結構。當使用氮氧化矽膜、氮化矽膜、或其類似物以做爲閘極絕緣層 102 時，可防止來自玻璃基板之例如鈉的雜質擴散至及進入至稍後將被形成的氧化物半導體之內。

注意的是，附著至閘極絕緣層之表面的灰塵係較佳地在形成氧化物半導體膜之前，藉由其中電漿係由引入氬氣而產生於該處的逆濺鍍法來加以去除。此外，可使用氮、氦、或其類似物以取代氬氛圍；選擇性地，可將逆濺鍍法執行於添加氧、氫、N_2O、及／或其類似物的氬氛圍之中；仍選擇性地，可將逆濺鍍法執行於添加 Cl_2、CF_4、及／或其類似物的氬氛圍之中。

接著，將第一氧化物半導體膜（在此實施例中，第一In-Ga-Zn-O基之非單晶膜）形成於閘極絕緣層102之上。在電漿處理之後無需曝露至空氣所形成的第一In-Ga-Zn-O基之非單晶膜可避免灰塵或水分附著至閘極絕緣層與半導體膜之間的介面之問題。在此，該In-Ga-Zn-O基之非單晶膜係在其中靶極係包含In（銦）、Ga（鎵）、及Zn（鋅）（In_2O_3：Ga_2O_3：ZnO=1：1：1）而具有8吋直徑之氧化物半導體靶材，在基板與靶極之間的距離係設定於170毫米，壓力係設定於0.4Pa，及直流（DC）電源供應係設定於0.5kW的條件下，形成於氬氛圍或氧氛圍之中。注意的是，脈波直流（DC）電源供應係較佳的，因爲可減少灰塵且可使膜厚度均勻。第一In-Ga-Zn-O基之非單晶膜的厚度係設定爲自5奈米至200奈米；在此實施例中之第一In-Ga-Zn-O基之非單晶膜的厚度係100奈米。

接著，第二氧化物半導體膜（在此實施例中，第二In-Ga-Zn-O基之非單晶膜）係由濺鍍法所形成，而無需曝露至空氣。在此，濺鍍沈積係在其中靶極包含1：1：1（=In_2O_3：Ga_2O_3：ZnO）之比例的氧化銦（In_2O_3）、氧化鎵（Ga_2O_3）、及氧化鋅（ZnO），在沈積室中之壓力係設定於0.4Pa，電功率係設定於500W，沈積溫度係設定爲室溫，以及氬氣流率係設定於40sccm的條件下執行。雖然係有意地使用In_2O_3：Ga_2O_3：ZnO=1：1：1之靶極，但在某些情況中，可正好在膜形成之後獲得包含晶粒之In-Ga-Zn-O基之非單晶膜，而晶粒具有1奈米至10奈米的尺寸

。例如，晶粒之存在或缺席及晶粒之密度的控制以及晶粒之直徑在 1 奈米至 10 奈米之內的調整，可藉由適當地調整諸如靶極組成比例、沈積壓力（0.1Pa 至 2.0Pa）、電功率（250W 至 3000W：8 吋直徑）、溫度（室溫至 100℃）、或其類似者之反應濺鍍法的沈積條件以完成。第二 In-Ga-Zn-O 基之非單晶膜的厚度係設定爲 5 奈米至 20 奈米；不用多說地，包含於膜中之晶粒的尺寸並不會超過膜厚度。在此實施例中，第二 In-Ga-Zn-O 基之非單晶膜具有 5 奈米的厚度。

第一 In-Ga-Zn-O 基之非單晶膜係在與第二 In-Ga-Zn-O 基之非單晶膜不同的條件之下形成；例如，當與第二 In-Ga-Zn-O 基之非單晶膜的沈積條件中之氧氣流率及氬氣流率相比較時，在第一 In-Ga-Zn-O 基之非單晶膜的沈積條件中的氧氣流率被增加；特定地，第二 In-Ga-Zn-O 基之非單晶膜係形成於稀有氣體（諸如氬或氦）氛圍（或包含 10%或更少之氧及 90%或更多的氬之氣體）中，而第一 In-Ga-Zn-O 基之非單晶膜係形成於氧氛圍（或氧氣流率等於或大於氬氣流率）中。

第二 In-Ga-Zn-O 基之非單晶膜可形成於與其中在前地執行逆濺鍍法於該處之室相同的室之中，或可形成於與其中在前地執行逆濺鍍法於該處之室不同的室之中。

濺鍍法的實例包含：RF 濺鍍法，其中使用高頻電源於濺鍍電源；DC 濺鍍法；以及脈波 DC 濺鍍法，其中偏壓係以脈波方式而施加。

此外，亦存在有其中可設定複數個不同材料之靶極的多源之濺鍍設備。以該多源之濺鍍設備，可沈積不同材料的膜而堆疊於同一室之中，或可同時藉由放電而沈積複數種之材料於同一室之中。

此外，存在有設置以磁系統於室內且使用於磁控管濺鍍法之濺鍍設備，以及使用於其中使用藉微波所產生之電漿而無需使用輝光放電之 ECR 濺鍍法的濺鍍設備。

再者，做爲藉由濺鍍法之沈積方法，亦存在有反應性濺鍍法，其中靶極物質及濺鍍氣體成分係在沈積之期間相互化學反應以形成其之薄的化合物膜，以及偏壓濺鍍法，其中在沈積之期間亦施加電壓至基板。

其次，執行第二光微影術步驟以形成阻體罩幕，且蝕刻第一 In-Ga-Zn-O 基之非單晶膜及第二 In-Ga-Zn-O 基之非單晶膜。此處，不需要的部分係藉由使用 ITO07N（由 KANTO CHEMICAL CO., INC.所製造）之濕蝕刻來加以去除，藉以形成其係第一 In-Ga-Zn-O 基之非單晶膜的氧化物半導體膜 109，及其係第二 In-Ga-Zn-O 基之非單晶膜的氧化物半導體膜 111。注意的是，此蝕刻步驟可係乾蝕刻，而無需受限於濕蝕刻。此階段之橫剖面視圖係描繪於第 9B 圖之中；注意的是，第 12 圖係此階段之頂視圖。

接著，執行第三光微影術步驟以形成阻體罩幕，且藉由蝕刻法以去除不需要的部分，而形成到達電極層或導線之接觸孔，導線係由與閘極電極層相同的材料所製成。接觸孔係設置用於與稍後將被形成的導電膜直接接觸；例如

，在驅動電路部之中，接觸孔係形成於當形成閘極電極層係與源極或汲極電極層直接接觸的電晶體，或電性連接至端子部之閘極導線的端子時。在此實施例中，將敘述藉由第三光微影術步驟以形成用於與稍後將被形成的導電膜直接接觸之接觸孔的實例；惟，並無特殊之限制，且到達閘極電極層之接觸孔可稍後在與用於和像素電極連接之接觸孔的相同處理時形成，而電性連接可利用與像素電極相同的材料以執行。在其中電性連接係利用與像素電極相同的材料而執行於該處的情況中，可減少一個罩幕。

然後，由金屬材料所形成之導電膜 132 係藉由濺鍍法或真空蒸鍍法而形成於氧化物半導體膜 109 及氧化物半導體膜 111 之上。此階段之橫剖面視圖係描繪於第 9C 圖之中。

做爲導電膜 132 之材料，具有選擇自 Al、Cr、Ta、Ti、Mo、及 W 之元素，包含該等元素之任一者以做爲其之成分的合金，包含任何該等元素之組合的合金，及其類似物。若執行 200℃ 至 600℃ 之熱處理時，導電膜較佳地具有足以耐受該熱處理的熱阻。因爲鋁本身具有低熱阻、易於銹蝕、及其類似情事之缺點，其係與具有熱阻之導電材料結合而使用。做爲與鋁結合之具有熱阻之導電材料，可使用選擇自鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）、及銃（Sc）之元素，包含該等元素之任一者以做爲其之成分的合金，包含任何該等元素的組合之合金，或包含該等元素之任一者以做爲成分的氮化物

。

此處，導電膜 132 具有鈦膜之單層結構，導電膜 132 亦可具有其中鈦膜係堆疊於鋁膜之上的二層結構；選擇性地，導電膜 132 可具有三層之結構，其鈦（Ti）膜、包含釹（Nd）之鋁膜（Al-Nd 膜）、及鈦（Ti）膜係順序地堆疊；進一步選擇性地，導電膜 132 可具有包含矽之鋁膜的單層結構。

接著，執行第四光微影術步驟以形成阻體罩幕，且藉由蝕刻法以去除不需要的部分，而形成源極及汲極電極層 105a 及 105b、用作源極及汲極之 n^+層 104a 及 104b、及連接電極 120。此蝕刻步驟係由濕蝕刻或乾蝕刻法所執行，例如，當使用鋁膜或鋁合金膜以做爲導電膜 132 時，濕蝕刻法可使用其中混合磷酸、醋酸、及硝酸之溶液以執行。在此，藉由使用氨－過氧化氫混合物（過氧化氫：氨：水=5：2：2），可濕蝕刻由鈦（Ti）所製成之導電膜 132 以形成源極及汲極電極層 105a 及 105b，以及可濕蝕刻氧化物半導體膜 111 以形成 n^+層 104a 及 104b。在此蝕刻步驟中，將氧化物半導體膜 109 部分地蝕刻以成爲氧化物半導體層 103；在此方式中，在 n^+層 104a 及 104b 之間的氧化物半導體層 103 之通道區係厚度更小的區域。在第 10A 圖中，藉由蝕刻法之源極及汲極電極層 105a 及 105b 以及 n^+層 104a 及 104b 的形成係使用氨－過氧化氫混合物而同時執行；因此，源極及汲極電極層 105a 及 105b 的末端部分係與 n^+層 104a 及 104b 的末端部分對齊，以致使該等末

端部分連續。此外，濕蝕刻法使該等層被各向同性地蝕刻，以致源極及汲極電極層 105a 及 105b 的末端部分自阻體罩幕 131 凹入。透過上述步驟，可形成包含氧化物半導體層 103 做爲其之通道形成區的第二薄膜電晶體 170。此階段之橫剖面視圖係描繪於第 10A 圖之中；注意的是，第 13 圖係此階段之頂視圖。

然後，熱處理係較佳地執行於 200℃至 600℃，且典型地，300℃至 500℃；此處，在 350℃之 1 小時的熱處理係執行於氮氛圍中的爐之中。此熱處理包含在 In-Ga-Zn-O 基之非單晶膜中之原子層次的重配置。在此步驟中之熱處理（包含光退火）係重要的，因爲可釋放阻止載子移動的應變。注意的是，在熱處理的時序上並無特殊之限制，且熱處理可在第二 In-Ga-Zn-O 基之非單晶膜的沈積後之任何時間執行，例如在像素電極的形成之後。

再者，可使氧化物半導體層 103 之暴露的通道形成區接受氧游離基處理，使得可獲得常態斷開之薄膜電晶體；此外，游離基處理可檢修由於氧化物半導體層 103 之蝕刻的損壞，該游離基處理係較佳地執行於 O_2 或 N_2O 的氛圍中，且更佳地，在各包含氧之 N_2、He、或 Ar 的氛圍中，該游離基處理亦可執行於其中添加 Cl_2 及／或 CF_4 至上述氛圍的氛圍中。注意的是，該游離基處理係較佳地以不施加偏壓而執行。

在第四光微影術步驟中，將藉由與源極及汲極電極層 105a 及 105b 相同之材料所製成的第二端子 122 留在端子

部之中。注意的是，第二端子 122 係電性連接至源極導線（包含源極及汲極電極層 105a 及 105b 之源極導線）。

此外，在端子部之中，連接電極 120 係透過形成於閘極絕緣膜中之接觸孔而直接連接至端子部的第一端子 121。注意的是，雖然並未描繪於此，但驅動器電路之薄膜電晶體的源極或汲極導線係透過與上述步驟相同的步驟而直接連接至閘極電極。

進一步地，利用具有具備使用多色調罩幕所形成之複數個厚度（典型地，二者不同厚度）的區域之阻體罩幕，可減少阻體罩幕的數目，而產生簡化的方法及更低的成本。

接著，去除阻體罩幕 131，以及形成保護絕緣層 107 以覆蓋第二薄膜電晶體 170。針對保護絕緣層 107，可使用由濺鍍法或其類似方法所獲得之氮化矽膜、氧化矽膜、氮氧化矽膜、氧化鋁膜、氮化鋁膜、氮氧化鋁膜、氧化鉭膜、及／或其類似物。在部分驅動器電路中之薄膜電晶體中，保護絕緣層 107 作用成爲第二閘極絕緣層，且第二閘極電極形成於其上。保護絕緣層 107 具有 50 奈米至 400 奈米的厚度，當薄膜電晶體之產能係佔優先時，較佳地，使保護絕緣層 107 的厚度大。進一步地，當使用氮氧化矽膜、氮化矽膜、或其類似物以做爲保護絕緣層 107 時，可防止在形成保護絕緣層 107 之後，針對某些原因所附著之例如鈉的雜質擴散至及進入至氧化物半導體之內。

然後，執行第五光微影術步驟以形成阻體罩幕，且蝕

刻保護絕緣層 107，以形成到達汲極電極層 105b 之接觸孔 125；此外，到達連接電極 120 之接觸孔 126 及到達第二端子 122 之接觸孔 127 亦係由此蝕刻所形成。此階段之橫剖面視圖係描繪於第 10B 圖之中。

接著，將阻體罩幕去除，且然後，形成透明導電膜。該透明導電膜係藉濺鍍法、真空蒸鍍法、或其類似方法，而由氧化銦（In_2O_3）、氧化銦－氧化錫合金（In_2O_3-SnO_2，縮寫爲 ITO）、或其類似物所形成。此一材料係以氫氯酸基之溶液而蝕刻；然而，因爲殘留物特別容易在蝕刻 ITO 之中產生，所以可使用氧化銦－氧化鋅合金（In_2O_3-ZnO）以改善蝕刻處理能力。

接著，執行第六光微影術步驟以形成阻體罩幕，且藉由蝕刻法以去除不需要的部分，藉以形成像素電極 110 於像素部之中。在第六光微影術步驟中，在驅動器電路中，使用與像素電極 110 相同的材料於部分之電路，以形成用以控制臨限值的電極層（背面閘極電極）於氧化物半導體層之上。注意的是，具有背面閘極電極之薄膜電晶體已參照第 1A 圖而描述於實施例 1 之中；因此，將省略其說明於此。

在第六光微影術步驟中，儲存電容器係藉由使用閘極絕緣層 102 及保護絕緣層 107 於電容器部之中做爲電介質，而由電容器導線 108 及像素電極 110 所形成。注意的是，此處所敘述的是其中儲存電容器係藉由使用閘極絕緣層 102 及保護絕緣層 107 做爲電介質，而由電容器導線 108

及像素電極 110 以形成之實例；然而，並無特定的限制，而是亦可使用其中藉由與源極電極或汲極電極相同之材料所形成的電極係設置於電容器導線的上面，且儲存電容器係藉由使用閘極絕緣層 102 於該處之間以做爲電介質，而由該電極及電容器導線所形成，藉以電性連接該電極與像素電極的結構。

再者，在第六光微影術步驟中，第一端子及第二端子係以該阻體罩來覆蓋，使得透明導電膜 128 及 129 留在端子部之中。該等透明導電膜 128 及 129 作用成爲連接至 FPC 的電極或導線，形成於直接連接至第一端子 121 之連接電極 120 上的透明導電膜 128 係作用成爲閘極導線之輸入端子的連接端子電極，形成於第二端子 122 之上的透明導電膜 129 係作用成爲源極導線之輸入端子的連接端子電極。

然後，去除阻體罩幕。此階段之橫剖面視圖係描繪於第 10C 圖中；注意的是，第 14 圖係此階段之頂視圖。

第 15A 及 15B 圖分別描繪此階段之閘極導線端子部的橫剖面視圖及頂視圖，第 15A 圖係沿著第 15B 圖之線 C1-C2 所取得的橫剖面視圖。在第 15A 圖之中，形成於保護絕緣膜 154 之上的透明導電膜 155 係作用成爲輸入端子之連接端子電極。進一步地，在第 15A 圖的端子部之中，藉由與閘極導線相同的材料所製成的第一端子 151 及藉由與源極導線相同的材料所製成的連接電極 153 相互重疊，而閘極絕緣層 152 在其間，且亦相互直接接觸，以便電性連

接；此外，連接電極 153 及透明導電膜 155 係透過設置於保護絕緣膜 154 中之接觸而相互直接接觸，以便電性連接。

第 15C 及 15D 圖分別描繪源極導線端子部的橫剖面視圖及頂視圖，第 15C 圖係沿著第 15D 圖之線 D1-D2 所取得的橫剖面視圖。在第 15C 圖之中，形成於保護絕緣膜 154 之上的透明導電膜 155 係作用成爲輸入端子之連接端子電極。進一步地，在第 15C 圖的端子部之中，藉由與閘極導線相同的材料所製成的電極 156 係形成於電性連接至源極導線之第二端子 150 的下面，且與該第二端子 150 重疊而閘極絕緣層 152 插置其間；該電極 156 並未電性連接至第二端子 150，且若將電極 156 的電位設定爲諸如浮動、GND、或 0V 之與第二端子 150 之電位不同的電位時，則可形成電容器以防止雜訊或靜電。第二端子 150 係電性連接至透明導電膜 155，而保護絕緣膜 154 在其間。

複數個閘極導線、源極導線、及電容器導線係根據像素密度而設置；而且，在端子部之中，與閘極導線相同電位的第一端子，與源極導線相同電位的第二端子，與電容器導線相同電位的第三端子係各自地以複數個而配置。該等端子的數目可各爲任何數目，且該等端子的數目可由業者適當地決定。

透過該等六個光微影術步驟，其係底部閘極之 n 通道薄膜電晶體的第二薄膜電晶體 170 及儲存電容器可使用六個光罩而完成。藉由設置薄膜電晶體及儲存電容器於其中

像素係以矩陣方式配置之像素部的各個像素之中，可獲得用以製造主動矩陣顯示裝置的基板之一。在此說明書中，爲便利起見，將此基板稱爲主動矩陣基板。

當針對閘極導線之電性連接係藉由使用與像素電極相同的材料而執行時，可省略第三光微影術步驟；因此，透過五個光微影術步驟，其係底部閘極之 n 通道薄膜電晶體的第二薄膜電晶體及儲存電容器可使用五個光罩而完成。

進一步地，當第二閘極電極的材料係如第 1C 圖中所描繪地與像素電極的材料不同時，則增加一個光微影術步驟，以致增加一個光罩。

在製造主動矩陣液晶顯示裝置的情況中，主動矩陣基板與設置有相對電極之相對基板係相互接合，而液晶層插置其間。注意的是，電性連接至相對基板上之相對電極的共用電極係設置於主動矩陣基板之上，且電性連接至共用電極的第四端子係設置於端子部之中；該第四端子係設置使得共用電極被設定成爲諸如 GND 或 0V 之固定電位。

進一步地，像素結構並未受限於第 14 圖之像素結構，且與第 14 圖不同的頂視圖係描繪於第 16 圖之中。第 16 圖描繪其中並未設置電容器導線，但像素電極與鄰接像素之閘極導線重疊，而保護絕緣膜及閘極絕緣層在其間，以形成儲存電容器；在該情況中，可省略電容器導線及連接至電容器導線的第三端子。注意的是，在第 16 圖之中，與第 14 圖中之該等部件相同的部件係由相同的參考符號所表示。

在主動矩陣液晶顯示裝置中，係驅動以矩陣形式所配置的像素電極，而形成顯示圖案於螢幕之上。特定地，電壓係施加於所選擇的像素電極與對應於該像素電極的相對電極之間，以致使設置於該像素電極與該相對電極之間的液晶層光學地調變，且此光學調變係由觀察者辨識成爲顯示圖案。

在顯示活動影像中，液晶顯示裝置具有液晶分子本身之長的回應時間會造成活動影像的餘留成像或模糊。爲了要改善液晶顯示裝置之活動影像的特徵，使用所謂黑色插入之驅動方法，其中黑色係每隔一像框週期地顯示於整個螢幕之上。

選擇性地，可使用其中垂直週期係平常之 1.5 或 2 倍長之所謂雙像框速率驅動法的驅動方法，以改善活動影像的特徵。

進一步選擇性地，爲了要改善液晶顯示裝置之活動影像的特徵，可使用其中使用複數個 LED（發光二極體）或複數個 EL 光源以形成面光源做爲背光，且該面光源的各個光源係以脈波方式而獨立驅動於一像框週期中的驅動方法。做爲面光源，可使用三或更多種之 LED 且可使用發射出白光的 LED。因爲可獨立地控制複數個 LED，所以 LED 之光發射時序可以與光學調變液晶層的時序同步。依據此驅動方法，可將 LED 部分地關閉；因此，可獲得降低功率消耗的功效，尤其是在顯示具有大部分顯示黑色之影像的情況中。

藉由結合該等驅動方法，當與習知液晶顯示裝置的顯示特徵相比較時，可改善諸如活動影像特徵之液晶顯示裝置的顯示特徵。

在此實施例中所獲得的 n 通道電晶體使用 In-Ga-Zn-O 基之非單晶膜於其通道形成區，且具有有利的動態特徵；因此，可將該等驅動方法與此實施例之 n 通道電晶體結合而施加。

在製造發光顯示裝置中，有機發光元件之一電極（亦稱爲陰極）係設定爲諸如 GND 或 0V 之低電源供應電位；因此，端子部係設置有第四端子，用以設定陰極成爲諸如 GND 或 0V 之低電源供應電位。而且，在製造發光顯示裝置中，除了源極導線及閘極導線之外，亦提供電源供應線；因而，端子部係設置有電性連接至電源供應線之發光顯示裝置。

藉由使用利用氧化物半導體之薄膜電晶體於閘極線驅動器電路或源極線驅動器電路中，可降低製造成本；然後，藉由直接連接使用於驅動器電路中之薄膜電晶體的閘極電極與源極導線或汲極導線，可降低接觸孔的數目，使得可提供其中由驅動器電路所佔有的面積被減少的顯示裝置。

因此，藉由應用此實施例，可低成本地提供具有優異電性特徵之顯示裝置。

此實施例可以與實施例 1、實施例 2、及實施例 3 之任一者自由地結合。

實施例 5

在實施例 5 之中，將敘述電子紙的實例做爲半導體裝置。

第 17 圖描繪與液晶顯示裝置不同之主動矩陣電子紙的實例。使用於該半導體裝置的像素部中之薄膜電晶體 581 可以以與實施例 4 中所敘述的像素部中之薄膜電晶體相似的方式而形成，且係包含 In-Ga-Zn-O 基之非單晶膜以做爲半導體層的薄膜電晶體。此外，如實施例 1 中所敘述地，可將像素部及驅動器電路部形成於同一基板之上，且因此，可實現具有低的製造成本之電子紙。

第 17 圖中之電子紙係使用扭轉球顯示系統之顯示裝置的實例。扭轉球顯示系統意指其中各以黑色或白色所著色的球形粒子係配置在使用於顯示元件之電極層的第一電極層與第二電極層之間，且電位差係產生於第一電極層與第二電極層之間以控制該等球形粒子的取向，以致可執行顯示的方法。

薄膜電晶體 581 係設置以底部閘極結構的薄膜電晶體，且其源極或汲極電極層係在形成於絕緣層 583、584、585 中的開口中與第一電極層 587 接觸，薄膜電晶體 581 可藉以電性連接至第一電極層 587。在第一電極層 587 與第二電極層 588 之間，各具有黑色區 590a、白色區 590b、及圍繞該等區而充填有液體之空腔 594 的球形粒子 589 係設置於一對基板 580 及 596 之間，而圍繞該等球形粒子

589的空間則充填以諸如樹脂之充填物（請參閱第17圖）。

進一步地，亦可使用電泳元件以取代扭轉球，其係使用具有大約10微米至200微米的微胞，其中包囊透明液體、正充電之白色微粒子、及負充電之黑色微粒子。在設置於第一電極層與第二電極層之間的微胞之中，當電場係由第一電極層及第二電極層所施加時，白色微粒子及黑色微粒子會移動至相反側，以致可形成白色或黑色。使用此原理之顯示元件係電泳顯示元件且稱爲電子紙，該電泳顯示元件具有比液晶顯示元件更高的反射比，且因此，並不需要輔助光，電力消耗會變低，以及可在暗淡處辨識顯示部。此外，即使電力並未供應至顯示部時，亦可維持一旦已被顯示的影像；因而，可儲存所顯示之影像，即使具有顯示功能之半導體裝置（可簡稱爲顯示裝置或設置有顯示裝置之半導體裝置）遠離電波源時，亦然。

透過此方法，可製造出做爲半導體裝置之電子紙，其可以以更低的成本而製造。

此實施例可以與實施例1或實施例2之任一內容適當地結合。

實施例6

在實施例6之中，將敘述發光顯示裝置的實例做爲半導體裝置；在此，將敘述使用電激發光之發光元件以做爲包含於顯示裝置之中的顯示元件。使用電激發光的發光元

件係依據發光材料是否係有機化合物或無機化合物而分類；一般而言，前者係稱爲有機 EL 元件，以及後者係稱爲無機 EL 元件。

在有機 EL 元件中，藉由施加電壓至發光元件，電子及電洞會分別自一對電極注入至包含發光有機化合物的層之內，且電流流動。該等載子（電子及電洞）會復合，且因此，激勵發光有機化合物；發光有機化合物自激勵狀態返回至接地狀態，藉以發射出光。由於此一機制，此發光元件稱爲電流激勵發光元件。

無機 EL 元件係依據其元件結構而分類成爲色散型無機 EL 元件及薄膜無機 EL 元件。色散型無機 EL 元件具有發光層，其中發光材料之粒子係在該處色散於結合劑之中，且其之光發射機制係使用施體位準及受體位準之施體－受體復合型光發射。薄膜無機 EL 元件具有其中發光層係插入於電介質層之間，而電介質層係進一步插入於電極之間的結構，且其之光發射機制係使用金屬離子的內殼電子躍遷之局部型光發射。注意的是，在此將敘述有機 EL 元件的實例做爲發光元件。

第 18 圖描繪可施加數位時間灰度驅動法之像素結構的實例做爲半導體裝置的實例。

將敘述可施加數位時間灰度驅動法之像素的結構及操作。在此實施例中，一像素包含二 n 通道電晶體，該等電晶體各包含氧化物半導體層（In-Ga-Zn-O 基之非單晶膜）以做爲其之通道形成區。

像素 6400 包含開關電晶體 6401，驅動器電晶體 6402，發光元件 6404，及電容器 6403。開關電晶體 6401 的閘極係連接至掃描線 6406，開關電晶體 6401 的第一電極（源極電極及汲極電極的其中之一者）係連接至信號線 6405，以及開關電晶體 6401 的第二電極（源極電極及汲極電極的另一者）係連接至驅動器電晶體 6402 的閘極。驅動器電晶體 6402 的閘極係經由電容器 6403 而連接至電源供應線 6407，驅動器電晶體 6402 的第一電極係連接至電源供應線 6407，以及驅動器電晶體 6402 的第二電極係連接至發光元件 6404 的第一電極（像素電極）。發光元件 6404 的第二電極對應於共用電極 6408。

發光元件 6404 的第二電極（共用電極 6408）係設定爲低電源供應電位。注意的是，該低電源供應電位係參考設定至電源供應線 6407 之高電源供應電位而滿足低電源供應電位＜高電源供應電位的電位，例如，可使用 GND、0V、或其類似者做爲低電源供應電位。在高電源供應電位與低電源供應電位之間的電位差係施加至發光元件 6404，且電流亦供應至發光元件 6404，使得發光元件 6404 發射出光。此處，爲了要使發光元件 6404 發射出光，各個電位係設定使得高電源供應電位與低電源供應電位之間的電位差係發光元件 6404 的順向臨限電壓或更高。

注意的是，可使用驅動器電晶體 6402 的閘極電容器做爲電容器 6403 的替代物，使得可省略電容器 6403。驅動器電晶體 6402 的閘極電容器可形成於通道區與閘極電

極之間。

在電壓輸入之電壓驅動法的情況中，視頻信號係輸入至驅動器電晶體 6402 的閘極，使得驅動器電晶體 6402 係在充分導通及斷開的二狀態之任一者中；也就是說，驅動器電晶體 6402 操作於線性區之中。因爲驅動器電晶體 6402 操作於線性區之中，所以施加比電源供應線 6407 之電壓更高的電壓至驅動器電晶體 6402 的閘極。注意的是，高於或相等於（驅動電晶體 6402 之電源供應線的電壓 +Vth）之電壓係施加至信號線 6405。

在執行類比灰度驅動法以取代數位時間灰度驅動法的情況中，可藉由改變信號輸入而使用與第 18 圖中之像素結構相同的像素結構。

在執行類比灰度驅動法的情況中，高於或等於（驅動器電晶體 6402 之發光元件 6404 的順向電壓 +Vth）係施加至驅動器電晶體 6402 的閘極。發光元件 6404 的順向電壓表示獲得所欲光亮度的電壓，且包含至少順向臨限電壓。將驅動器電晶體 6402 操作於飽和區之中的視頻信號輸入，使得電流可供應至發光元件 6404；爲了要使驅動器電晶體 6402 操作於飽和區之中，電源供應線 6407 的電位係設定比驅動器電晶體 6402 的閘極電位更高。當使用類比視頻信號時，可依據視頻信號以供給電流至發光元件 6404，且執行類比灰度驅動法。

注意的是，第 18 圖中所描繪的像素結構並未受限於該處；例如，可將開關、電阻器、電晶體、邏輯電路、或

其類似物添加至第 18 圖中所描繪的像素。

其次，將參照第 19A 至 19C 圖來敘述發光元件的結構，將藉由取用其中驅動 TFT 係第 1B 圖中所描繪的薄膜電晶體 170 之情況來做爲實例以敘述像素的橫剖面結構。使用於第 19A 至 19C 圖中所描繪之半導體裝置的驅動 TFT 7001、7011、及 7021 可以以與實施例 1 中所描述之薄膜電晶體 170 相似的方式而形成，且係包含 In-Ga-Zn-O 基之非單晶膜做爲半導體層以及具有優異電性特徵的薄膜電晶體。

爲了要提取來自發光元件所發射出的光，需要陽極及陰極的至少之一者來透射光，薄膜電晶體及發光元件係形成於基板上。發光元件可具有頂部發射結構，其中光發射係透過相對於基板的表面而提取；底部發射結構，其中光發射係透過基板側之表面而提取；或雙重發射結構，其中光發射係透過相對於基板的表面及基板側之表面而提取。第 18 圖中所描繪的像素結構可施加至具有該等發射結構之任一者的發光元件。

將參照第 19A 圖來敘述具有頂部發射結構的發光元件。

第 19A 圖係其中驅動 TFT 7001 係第 1B 圖中所描繪之薄膜電晶體 170，且光係自發光元件 7002 發射出至陽極 7005 側的情況中之像素的橫剖面視圖。在第 19A 圖之中，發光元件 7002 的陰極 7003 係電性連接至驅動 TFT 7001，且發光層 7004 及陽極 7005 係以此順序而堆疊於陰極

7003 之上。陰極 7003 可使用各式各樣的導電材料以形成，只要其具有低功函數且反射光即可；例如，較佳地使用 Ca、Al、MgAg、AlLi、或其類似物。發光層 7004 可使用單層或堆疊之複數個層以形成，當發光層 7004 係使用複數個層以形成時，則發光層 7004 係藉由以此順序來堆疊電子注入層、電子傳輸層、發光層、電洞傳輸層、及電洞注入層於陰極 7003 之上而形成；惟，無需一定要形成所有該等層。陽極 7005 係使用諸如包含氧化鎢之氧化銦，包含氧化鎢之氧化銦鋅，包含氧化鈦之氧化銦，包含氧化鈦之氧化銦錫，氧化銦錫（下文中稱爲 ITO），氧化銦鋅，或添加氧化矽之氧化銦錫之膜的透光導電膜而形成。

發光元件 7002 對應於其中發光層 7004 係插入於陰極 7003 與陽極 7005 之間的區域。在第 19A 圖中所描繪之像素的情況中，光係如箭頭所示地自發光元件 7002 發射出至陽極 7005 側。

設置於驅動器電路中之氧化物半導體層上的第二閘極電極較佳地係由與陰極 7003 之材料相同的材料所形成，以使處理簡單化。

接著，將參照第 19B 圖來敘述具有底部發射結構的發光元件，第 19B 圖係其中驅動 TFT 7011 係第 1A 圖中所描繪之薄膜電晶體 170，且光係自發光元件 7012 發射出至陰極 7013 側的情況中之像素的橫剖面視圖。在第 19B 圖之中，發光元件 7012 的陰極 7013 係形成於電性連接至驅動 TFT 7011 的透光導電膜 7017 之上，且發光層 7014 及

陽極 7015 係以此順序而堆疊於陰極 7013 之上。當陽極 7015 具有透光性質時，可形成用以反射或阻擋光之光阻擋膜 7016 以覆蓋陽極 7015。針對陰極 7013，可如第 19A 圖之情況中似地使用各式各樣的材料，只要它們係具有低功函數之導電材料即可；該陰極 7013 係形成具有可透射光的厚度（較佳地，約略 5 奈米至 30 奈米），例如可使用具有 20 奈米之厚度的鋁膜做爲陰極 7013。與第 19A 圖的情況相似地，發光層 7014 可使用單層或堆層之複數個層以形成。陽極 7015 無需透射光，但可如第 19A 圖之情況中似地使用透光導電材料以形成。做爲光阻擋膜 7016，例如可使用反射光之金屬或其類似物；然而，並未受限於金屬膜，例如可使用添加黑色顏料之樹脂或其類似物。

發光元件 7012 對應於其中發光層 7014 係插入於陰極 7013 與陽極 7015 之間的區域。在第 19B 圖中所描繪之像素的情況中，光係如箭頭所示地自發光元件 7012 發射出至陰極 7013 側。

設置於驅動器電路中之氧化物半導體層上的第二閘極電極較佳地係由與陰極 7013 之材料相同的材料所形成，以使處理簡單化。

接著，將參照第 19C 圖來敘述具有雙重發射結構的發光元件。在第 19C 圖之中，發光元件 7022 的陰極 7023 係形成於電性連接至驅動 TFT 7021 的透光導電膜 7027 之上，且發光層 7024 及陽極 7025 係以此順序而堆疊於陰極 7023 之上。如第 19A 圖之情況中似地，陰極 7023 可使用

各式各樣的導電材料以形成，只要其具有低功函數即可。該陰極 7023 係形成具有可透射光的厚度，例如可使用具有 20 奈米之厚度的鋁膜做爲陰極 7023。如第 19A 圖中似地，發光層 7024 可使用單層或堆疊之複數個層以形成。陽極 7025 可如第 19A 圖之情況中似地使用透光導電材料以形成。

發光元件 7022 對應於其中陰極 7023，發光層 7024，及陽極 7025 相互重疊的區域。在第 19C 圖中所描繪之像素的情況中，光係如箭頭所示地自發光元件 7022 發射出至陽極 7025 側及陰極側 7023 側二側。

設置於驅動器電路中之氧化物半導體層上的第二閘極電極較佳地係由與導電膜 7027 之材料相同的材料所形成，以使處理簡單化。進一步地，設置於驅動器電路中之氧化物半導體層上的第二閘極電極較佳地係由與導電膜 7027 及陰極 7023 相同之材料的堆疊所形成，藉以降低線阻以及使處理簡單化。

注意的是，雖然此處係描述有機 EL 元件以做爲發光元件，但亦可提供無機 EL 元件以做爲發光元件。

在此實施例中，係描述其中控制發光元件之驅動的薄膜電晶體（驅動 TFT）係電性連接至發光元件的實例；然而，可使用其中用於電流控制之 TFT 係連接於驅動 TFT 與發光元件之間的結構。

在此實施例中所描述的半導體裝置並未受限於第 19A 至 19C 圖中所描繪的結構，而是可根據所揭示之技術的精

神以各式各樣的方式來加以修正。

其次，將參照第 20A 及 20B 圖來敘述半導體裝置之一實施例的發光顯示面板（亦稱爲發光面板）之頂視圖及橫剖面圖。第 20A 圖係其中形成於第一基板上的薄膜電晶體及發光元件係以密封劑而密封於第一基板與第二基板之間的面板之頂視圖，第 20B 圖係沿著第 20A 圖之線 H-I 所取得的橫剖面視圖。

密封劑 4505 係設置以便包圍設置在第一基板 4501 之上的像素部 4502、信號線驅動器電路 4503a 及 4503b、以及掃描線驅動器電路 4504a 及 4504b。此外，第二基板 4506 係設置於像素部 4502、信號線驅動器電路 4503a 及 4503b、以及掃描線驅動器電路 4504a 及 4504b 之上；因而，像素部 4502、信號線驅動器電路 4503a 及 4503b、以及掃描線驅動器電路 4504a 及 4504b 係藉由第一基板 4501、密封劑 4505、及第二基板 4506 而與充填物 4507 密封在一起。在此方式中，較佳的是，面板係以保護膜（諸如疊層膜或紫外線硬化樹脂膜）或具有氣密性及少許除氣性之覆蓋材料來加以封裝（密封），使得面板不致暴露至外部的空氣。

形成於第一基板 4501 之上的像素部 4502，信號線驅動器電路 4503a 及 4503b，以及掃描線驅動器電路 4504a 及 4504b 各包含複數個薄膜電晶體。在第 20B 圖之中，係描繪包含於像素部 4502 中的薄膜電晶體 4510 及包含於信號線驅動器電路 4503a 中的薄膜電晶體 4509 以做爲實例

。

針對薄膜電晶體 4509 及 4510 的各者，可施加如實施例 1 中所述之包含 In-Ga-Zn-O 基的非單晶膜以做爲半導體層之高度可靠的薄膜電晶體。此外，如參照第 1B 圖之實施例 1 中所述地，薄膜電晶體 4509 包含閘極電極於半導體層的上面及下面。

此外，參考符號 4511 表示發光元件，其係包含於發光元件 4511 中之像素電極的第一電極層 4517 係電性連接至薄膜電晶體 4510 的源極電極層或汲極電極層。注意的是，發光元件 4511 係第一電極層 4517、電激發光層 4512、及第二電極層 4513 之堆疊層結構，但並無特定的限制於該結構之上，發光元件 4511 的結構可根據其中自發光元件 4511 提取光的方向或其類似者而加以適當地改變。

隔板 4520 係使用有機樹脂膜，無機絕緣膜，或有機聚矽氧烷以形成；尤其，較佳的是，隔板 4520 係使用光敏材料以形成，且開口係形成於第一電極層 4517 之上，使得開口係形成爲具有連續曲率的傾斜表面。

電激發光層 4512 可以以單層或堆疊的複數個層而形成。

保護膜可形成於第二電極層 4513 及隔板 4520 之上，以防止氧、氫、水分、二氧化碳、或其類似物進入至發光元件 4511 之內。做爲保護膜，可形成氮化矽膜、氧化氮化矽膜、DLC 膜、或其類似物。

此外，各式各樣的信號及電位係自 FPC 4518a 及

4518b 供應至信號線驅動器電路 4503a 及 4503b、掃描線驅動器電路 4504a 及 4504b、或像素部 4502。

在此實施例中，連接端子電極 4515 係由與發光元件 4511 中所包含之第一電極層 4517 相同的導電膜所形成，且端子電極 4516 係由與薄膜電晶體 4509 及 4510 中所包含之源極及汲極電極層相同的導電膜所形成。

連接端子電極 4515 係經由各向異性導電膜 4519 而電性連接至包含於 FPC 4518a 中的端子。

位於其中自發光元件 4511 提取光之方向中的第二基板 4506 應具有透光性質；在該情況中，可使用諸如玻璃板、塑膠板、聚酯膜、或丙烯酸膜於該第二基板 4506。

做爲充填物 4507，除了諸如氮或氬之惰性氣體外，可使用紫外線硬化樹脂或熱硬化樹脂；例如，可使用 PVC（聚氯乙烯）、丙烯酸、聚乙醯胺、環氧樹脂、矽氧樹脂、PVB（聚乙烯醇縮丁醛）、或 EVA（乙烯乙酸乙烯酯）。

此外，視需要地，可將諸如偏光板、圓形偏光板（包含橢圓偏光板）、延遲板（四分之一波板或半波板）、或濾色片之光學膜適當地設置於發光元件的發光表面之上。進一步地，偏光板或圓形偏光板可設置有抗反射膜，例如可執行抗眩光處理，反射光可藉該處理而由表面上之凸出物及凹處所漫射，以便降低眩光。

信號線驅動器電路 4503a 及 4503b 以及掃描線驅動器電路 4504a 及 4504b 可藉由將使用單晶半導體膜或多晶半導體膜所形成之驅動器電路安裝於分別所製備的單晶基板

或絕緣基板之上而設置；此外，可分別地僅形成及安裝信號線驅動器電路或其部件，或掃描線驅動器電路或其部件。此實施例並未受限於第 20A 及 20B 圖中所描繪的結構。

透過此處理，可以以更低的製造成本來製造出顯示裝置（顯示面板）。

此實施例可以與實施例 1 或實施例 2 的任一內容適當地結合。

實施例 7

在此實施例中，將參照第 21A、21B、及 21C 圖以敘述半導體裝置之一實施例的液晶顯示面板之頂視圖及橫剖面圖。第 21A 及 21B 圖係面板的頂視圖，其中形成於第一基板 4001 上之如實施例 1 中所述的各包含 In-Ga-Zn-O 基之非單晶膜以做爲半導體層的高可靠之薄膜電晶體 4010 及 4011、以及液晶元件 4013 係以密封劑 4005 而密封於第一基板 4001 與第二基板 4006 之間。第 21C 圖係沿著第 21A 及 21B 圖之線 M-N 所取得的橫剖面視圖。

密封劑 4005 係設置以便包圍設置在第一基板 4001 上的像素部 4002 及掃描線驅動器電路 4004，第二基板 4006 係設置於像素部 4002 及掃描線驅動器電路 4004 之上；因此，像素部 4002 及掃描線驅動器電路 4004 係藉由第一基板 4001、密封劑 4005、及第二基板 4006 而與液晶層 4008 密封在一起。使用單晶半導體膜或多晶半導體膜而形成於分別所製備之基板上的信號線驅動器電路 4003 係安裝於

第一基板 4001 上之與由密封劑 4005 所包圍之區域不同的區域中。

注意的是，分別所形成之驅動器電路的連接方法並未特別地受到限制，而是可使用 COG 法、導線接合法、TAB 法、或其類似方法。第 21A 圖描繪藉由 COG 法以安裝信號線驅動器電路 4003 的實例，以及第 21B 圖描繪藉由 TAB 法以安裝信號線驅動器電路 4003 的實例。

設置在第一基板 4001 之上的像素部 4002 及掃描線驅動器電路 4004 包含複數個薄膜電晶體。第 21C 圖描繪包含於像素部 4002 中之薄膜電晶體 4010 以及包含於掃描線驅動器電路 4004 中之薄膜電晶體 4011。在薄膜電晶體 4010 及 4011 之上，係設置絕緣層 4020 及 4021。

薄膜電晶體 4010 及 4011 各可係實施例 1 中所述之包含 In-Ga-Zn-O 基之非單晶膜以做爲半導體層的薄膜電晶體。薄膜電晶體 4011 對應於實施例 2 中參照第 2A 圖所述之具有背面閘極電極的薄膜電晶體。

包含於液晶元件 4013 中之像素電極層 4030 係電性連接至薄膜電晶體 4010，液晶元件 4013 的相對電極層 4031 係設置用於第二基板 4006，其中像素電極層 4030、相對電極層 4031、及液晶層 4008 相互重疊於該處的部分對應於液晶元件 4013。注意的是，像素電極層 4030 及相對電極層 4031 係分別設置有各自地作用成爲配向膜之絕緣層 4032 及絕緣層 4033，且液晶層 4008 係插入於像素電極層 4030 與相對電極層 4031 之間，而絕緣層 4032 及 4033 在

其間。

注意的是，第一基板 4001 及第二基板 4006 可由玻璃、金屬（典型地，不銹鋼）、陶質物、或塑膠。做爲塑膠，可使用纖維玻璃強化塑膠（FRP）板、聚氟乙烯（PVF）膜、聚酯膜、或丙烯酸樹脂膜；此外，可使用具有其中鋁箔插入於 PVF 膜或聚酯膜間之結構的薄板。

參考符號 4035 表示藉由選擇性地蝕刻絕緣膜所獲得的柱狀間隔物，且係設置以控制像素電極層 4030 與相對電極層 4031 之距離（胞格間隙）；進一步地，亦可使用球狀間隔物。此外，相對電極層 4031 係電性連接至形成於與薄膜電晶體 4010 相同之基板上的共用電位線；藉由使用共用連接部，相對電極層 4031 及共用電位線可藉由配置於基板對之間的導電粒子而相互電性連接。注意的是，導電粒子係包含於密封劑 4005 之中。

選擇性地，可使用顯示藍色相而無需配向膜之液晶，藍色相係液晶相之一，其係正好在當增加膽石醇液晶之溫度時膽石醇相改變爲各向同性相之前所產生的。因爲藍色相僅在狹窄的溫度範圍內產生，所以使用包含 5 重量百分比或更多之爲改善溫度範圍的對掌性分子之液晶組成物於液晶層 4008。包含顯示藍色相之液晶及對掌性分子的液晶組成物具有回應時間短（10 微秒至 100 微秒）、無需配向處理（因爲該液晶組成物具有光學之各向同性）、及視角相依性小的特徵。

雖然透射式液晶顯示裝置的實例係描述於此實施例中

，但本發明之一實施例亦可施加至反射式液晶顯示裝置及透射反射式液晶顯示裝置。

雖然其中偏光板係設置於基板的外側（觀視者側）且使用於顯示元件之彩色層及電極層係以此順序而設置於基板的內側之液晶顯示裝置的實例係描述於此實施例之中，但偏光板可設置於基板的內側；偏光板及彩色層的堆疊結構並未受限於此實施例，而是可根據偏光板及彩色層的材料或製造過程的條件來加以適當地設定。進一步地，可設置用作黑色矩陣之光阻擋膜。

在此實施例中，爲了要降低薄膜電晶體之表面不平坦度及改善薄膜電晶體的可靠度，在實施例 1 中所獲得的薄膜電晶體係覆蓋有作用成爲保護膜或平坦化絕緣膜的絕緣層（絕緣層 4020 及絕緣層 4021）。注意的是，保護膜係設置以防止諸如有機物質、金屬、或存在於空氣中的水分之污染物雜質的進入，且較佳地係密質膜；該保護膜係藉由濺鍍法而以氧化矽膜、氮化矽膜、氮氧化矽膜、氧化氮化矽膜、氧化鋁膜、氮化鋁膜、氮氧化鋁膜、及／或氧化氮化鋁膜之單層或堆疊層所形成。雖然其中保護膜係由濺鍍法所形成的實例係描述於此實施例中，但並無特殊的限制，且該保護膜可由諸如 PCVD 之各式各樣的方法所形成。在驅動器電路的一部分中，保護膜用作第二閘極絕緣層，且設置具有背面閘極於第二閘極絕緣層之上的薄膜電晶體。

在此實施例中，具有堆疊層結構之絕緣層 4020 係形

成爲保護膜；在此，氧化矽膜係由濺鍍法所形成，而成爲絕緣層 4020 的第一層。做爲保護膜之氧化矽膜的使用具有防止鋁膜之小丘的功效。

做爲保護膜的第二層，係形成絕緣層。在此實施例中，氮化矽膜係由濺鍍法所形成，以做爲絕緣層 4020 的第二層。做爲保護膜之氮化矽膜的使用可防止鈉或其類似物之移動離子進入半導體區且改變 TFT 的電性特徵。

在形成保護膜之後，可使半導體層接受退火（300℃至 400℃）；此外，背面閘極係在形成保護膜之後形成。

絕緣層 4021 係形成爲平坦化絕緣膜。做爲絕緣層 4021，可使用諸如聚乙醯胺、丙烯酸、苯并環丁烯、聚醯胺、或環氧之具有熱阻的有機材料；除了該等有機材料之外，亦可使用低電介質常數之材料（低 k 之材料）、矽氧烷基樹脂、PSG（磷矽酸鹽玻璃）、BPSG（硼磷矽酸鹽玻璃）、或其類似物。注意的是，絕緣層 4021 可藉由堆疊由該等材料所形成的複數個絕緣膜而形成。

注意的是，矽氧烷基樹脂係由當作起始材料且具有 Si-O-Si 之鍵的矽氧烷材料所形成之樹脂。矽氧烷基樹脂可包含有機基（例如，烷基或芳基）或氟基以做爲替代基；此外，該有機基可包含氟基。

絕緣層 4021 的形成方法並未特別地受限，且可根據材料而使用以下之方法：濺鍍法、SOG 法、旋塗法、浸漬法、噴塗法、液滴排放法（例如，噴墨法、網印法、平板印刷法、或其類似方法）、手術刀法、輥塗器法、簾塗器

法、刀塗器法、或其類似方法。在使用材料溶液以形成絕緣層 4021 的情況中，半導體層之退火（300℃至 400℃）可與烘烤步驟同時地執行。絕緣層 4021 的烘烤步驟亦用作半導體層的退火，藉以可更有效率地製造出半導體裝置。

像素電極層 4030 及相對電極層 4031 可使用諸如包含氧化鎢之氧化銦、包含氧化鎢之氧化銦鋅、包含氧化鈦之氧化銦、包含氧化鈦之氧化銦錫、氧化銦錫（下文中稱爲 ITO）、氧化銦鋅、添加氧化矽之氧化銦錫、或其類似物之透光導電材料以形成。

可將包含導電高分子（亦稱爲導電聚合物）之導電組成物使用於像素電極層 4030 及相對電極層 4031。使用導電組成物所形成之像素電極較佳地具有小於或等於每平方 10000 歐姆之片電阻以及在 550 奈米的波長時之大於或等於 70%的透射比。進一步地，包含於導電組成物中之導電高分子的電阻率較佳地係小於或等於 0.1 歐姆・公分。

做爲導電高分子，可使用所謂 π 電子共軛之導電聚合物；例如，可給定聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、該等者之二或更多種的共聚物、及其類似物。

進一步地，各式各樣的信號及電位係自 FPC 4018 供應至分別所形成之信號線驅動器電路 4003，掃描線驅動器電路 4004，或像素部 4002。

在此實施例中，連接端子電極 4015 係由與包含在液

晶元件 4013 中之像素電極層 4030 相同的導電膜所形成，且端子電極 4016 係由與薄膜電晶體 4010 及 4011 之源極及汲極電極層相同的導電膜所形成。

連接端子電極 4015 係經由各向異性導電膜 4019 而電性連接至包含於 FPC 4018 中的端子。

第 21A 及 21B 圖描繪其中信號線驅動器電路 4003 係分別地形成且安裝於第一基板 4001 之上的實例；然而，此實施例並未受限於此結構，掃描線驅動器電路可分別地形成且然後安裝，或僅一部分之信號線驅動器電路或一部分之掃描線驅動器電路可分別地形成且然後安裝。

第 22 圖描繪其中液晶顯示模組係藉由使用 TFT 基板 2600 而形成爲半導體裝置的實例。

第 22 圖描繪液晶顯示模組的實例，其中 TFT 基板 2600 及相對基板 2601 係以密封劑 2602 而相互固定，且包含 TFT 或其類似物之像素部 2603、包含液晶層之顯示元件 2604、及彩色層 2605 係設置於該等基板之間以形成顯示區。彩色層 2605 係執行彩色顯示所必要的；在 RGB 系統中，對應於紅、綠、及藍的彩色之個別的彩色層係設置用於個別的像素。偏光板 2606 及 2607 以及漫射板 2613 係設置於 TFT 基板 2600 及相對基板 2601 的外側。光源包含冷陰極管 2610 及反射板 2611，以及電路基板 2612 係藉由撓性導線板 2609 而連接至 TFT 基板 2600 的導線電路部 2608，且包含諸如控制電路或電源電路之外部電路，偏光板及液晶層可以以延遲板在其間而堆疊。

針對液晶顯示模組，可使用扭轉向列（TN）模式、平面開關（IPS）模式、邊緣電場開關（FFS）模式、多域垂直配向（MVA）模式、圖案垂直配向（PVA）模式、軸向對稱配向微胞格（ASM）模式、光學補償雙折射（OCB）模式、鐵電液晶（FLC）模式、反鐵電液晶（AFLC）模式、或其類似模式。

透過此處理，可以以更低的成本來製造出成爲半導體裝置的液晶顯示裝置。

此實施例可以與實施例 1、2、或 3 之任一內容適當地結合。

實施例 8

根據本發明之一實施例的半導體裝置可施加至各式各樣的電子裝置（包含娛樂機）；該等電子裝置的實例係電視機（亦稱爲電視或電視接收機）、電腦及其類似物之監測器，諸如數位相機或數位攝影機之相機、數位相框、行動電話手機（亦稱爲行動電話或行動電話裝置）、可攜帶式遊戲控制台、可攜帶式資訊終端機、聲頻再生裝置，諸如柏青哥機器之大型遊戲機，及其類似物。

第 23A 圖描繪可攜帶式資訊終端機裝置 9200 的實例。該可攜帶式資訊終端機裝置 9200 結合電腦，且因此，可處理各式各樣類型的資料。可攜帶式資訊終端機裝置 9200 的實例係個人數位助理。

可攜帶式資訊終端機裝置 9200 具有外殼 9201 及外殼

9203 之二外殼；外殼 9201 及外殼 9203 係以聯結部 9207 而聯結，以致使可攜帶式資訊終端機裝置 9200 可折疊。顯示部 9202 係結合於外殼 9201 中，以及外殼 9203 包含鍵盤 9205。不用多說地，可攜帶式資訊終端機 9200 的結構並未受限於上述之結構，以及該結構可包含至少具有背面閘極電極的薄膜電晶體，且額外的附件可適當地加以設置。驅動器電路及像素部係形成於同一基板上，而產生製造成本的降低；因此，可實現具有具備高度電性特徵之薄膜電晶體的可攜帶式資訊終端機裝置。

第 23B 圖描繪數位攝影機 9500 之實例。該數位攝影機 9500 包含結合於外殼 9501 中之顯示部 9503 以及各式各樣的操作部。不用多說地，數位攝影機 9500 的結構並未受限於上述之結構，以及該結構可包含至少具有背面閘極電極的薄膜電晶體，且額外的附件可適當地加以設置。驅動器電路及像素部係形成於同一基板上，而產生製造成本的降低；因此，可實現具有具備高度電性特徵之薄膜電晶體的數位攝影機 9500。

第 23C 圖描繪行動電話 9100 之實例。該行動電話 9100 具有外殼 9102 及外殼 9101 之二外殼；外殼 9102 及外殼 9101 係以聯結部而聯結，以致使行動電話可折疊。顯示部 9104 係結合於外殼 9102 中，以及外殼 9101 包含操作鍵 9106。不用多說地，行動電話 9100 的結構並未受限於上述之結構，以及該結構可包含至少具有背面閘極電極的薄膜電晶體，且額外的附件可適當地加以設置。驅動

器電路及像素部係形成於同一基板上，而產生製造成本的降低；因此，可實現具有具備高度電性特徵之薄膜電晶體的行動電話。

第 23D 圖描繪可攜帶式電腦 9400 之實例。該電腦 9400 具有外殼 9401 及外殼 9404 之二外殼；外殼 9401 及外殼 9404 係聯結著，使得該電腦可打開及閉合。顯示部 9402 係結合於外殼 9401 中，以及外殼 9404 包含鍵盤 9403 或其類似物。不用多說地，電腦 9400 的結構並未特定地受限於上述之結構，以及該結構可包含至少具有背面閘極電極的薄膜電晶體，且額外的附件可適當地加以設置。驅動器電路及像素部係形成於同一基板上，而產生製造成本的降低；因此，可實現具有具備高度電性特徵之薄膜電晶體的電腦。

第 24A 圖描繪電視機 9600 的實例。在電視機 9600 之中，顯示部 9603 係結合於外殼 9601 中，顯示部 9603 可顯示影像。進一步地，外殼 9601 係由機架 9605 支撐於第 24A 圖之中。

電視機 9600 可以以外殼 9601 之操作開關或分離的遙控器 9610 來操作。頻道及音量可以以遙控器 9610 之操作鍵 9609 來控制，使得可控制顯示部 9603 上所顯示的影像。進一步地，遙控器 9610 可設置有顯示部 9607，用以顯示由該遙控器 9610 所輸出之資料。

注意的是，電視機 9600 係設置有接收器、調變解調器、及其類似物。具有接收器，可接收一般的電視廣播。

進一步地，當電視機 9600 係藉有線或無線連接而經由調變解調器以連接至通訊網路時，可執行單向（自發射器至接收器）或雙向（在發射器與接收器之間、或在接收器之間）的資料通訊。

第 24B 圖描繪數位相框 9700 的實例。例如，在數位相框 9700 中，顯示部 9703 係結合於外殼 9701 中，顯示部 9703 可顯示各式各樣的影像，例如該顯示部 9703 可顯示以數位相機或其類似物所取得之影像的資料且作用成爲一般相框。

注意的是，數位相框 9700 係設置有操作部、外面連接部（USB 端子，可連接至諸如 USB 電纜或其類似物的端子）、記錄媒體插入部、及其類似物。雖然該等組件可設置於設置顯示部的表面上，但針對數位相框 9700 的設計，較佳的是，將它們設置於側面或背面。例如，可將儲存以數位相機所取得之影像資料的記憶體插入於數位相框的記憶媒體插入部之中，可藉以轉移且然後顯示該影像資料於顯示部 9703 之中。

數位相框 9700 可組構以無線地傳送及接收資料，可使用其中所欲之影像資料係無線地轉移而被顯示的結構。

第 25A 圖描繪行動電話 1000 的實例，其係與第 23C 圖中所描繪的行動電話不同。行動電話 1000 包含結合於外殼 1001 中之顯示部 1002、操作鈕 1003、外部連接埠 1004、揚聲器 1005、微音器 1006、及其類似物。

在第 25A 圖中所描繪的行動電話 1000 中，當使用人

以其手指或類似物碰觸顯示部 1002 時，可將資料輸入；此外，當使用人以其手指或類似物碰觸顯示部 1002 時，可執行諸如打電話或傳送信件之操作。

顯示部 1002 主要具有三個螢幕模式：第一模式係顯示模式，主要用於影像之顯示；第二模式係輸入模式，主要用於諸如文字之資料的輸入；以及第三模式係顯示及輸入模式，其中結合顯示模式及輸入模式之二模式。

例如，在打電話或傳送信件的情況中，選擇主要用於文字輸入之文字輸入模式以供顯示部 1002 用，使得可輸入顯示在螢幕上之文字。在該情況中，較佳地顯示鍵盤或數字鈕於顯示部 1002 的螢幕之幾乎全部的區域上。

當設置包含諸如陀螺儀之用以偵測傾斜的感測器或加速感測器之偵測裝置於行動電話 1000 的內部時，在顯示部 1002 的螢幕中之顯示可藉由決定行動電話 1000 的安置方向（行動電話 1000 是否針對景觀模式或肖像模式而水平或垂直放置）而自動切換。

螢幕模式係藉由碰觸顯示部 1002 或操作外殼 1001 之操作鈕 1003 而切換；選擇性地，螢幕模式可根據顯示部 1002 上所顯示之影像的種類而切換。例如，當顯示部上所顯示的影像之信號係移動影像資料之信號時，螢幕模式會切換至顯示模式；以及當信號係文字資料之信號時，螢幕模式會切換至輸入模式。

進一步地，在輸入模式中，當針對某一週期，並未藉碰觸顯示部 1002 以執行輸入，且同時偵測出由顯示部

1002 中之光學感測器所偵測出的信號時，則可控制螢幕模式以便自輸入模式切換至顯示模式。

顯示部 1002 可作用成爲影像感測器，例如，掌紋、指紋、或其類似者的影像可在當以手掌或手指來碰觸顯示部 1002 時取得，可藉以執行個人識別；進一步地，藉由設置背光或發射出近紅外光之感測光源於顯示部之中，可取得指靜脈、掌靜脈、或其類似者之影像。

第 25B 圖描繪行動電話之另一實例。在第 25B 圖中之行動電話包含顯示裝置 9410 於外殼 9411 中，該顯示裝置 9410 包含顯示部 9412 及操作鈕 9413；以及通訊裝置 9400 於外殼 9401 中，該通訊裝置 9400 包含操作鈕 9402、外部輸入端子 9403、微音器 9404、揚聲器 9405、及當收到來電時發射出光的發光部 9406。具有顯示功能之顯示裝置 9410 可以以箭頭所示的二方向而拆卸自或附著至具有電話功能之通訊裝置 9400；因此，顯示裝置 9410 及通訊裝置 9400 可沿著它們的短邊或長邊而相互附著；此外，當僅需顯示功能時，可將顯示裝置 9410 自通訊裝置 9400 拆卸且單獨使用。影像或輸入資訊可藉由無線或有線通訊而傳送或接收於各具有充電電池的通訊裝置 9400 與顯示裝置 9410 之間。

實施例 9

在此實施例中，將參照第 26 圖來敘述包含其中導線及氧化物半導體層係相互接觸之薄膜電晶體的顯示裝置之

實例。應注意的是，在第 26 圖中，與第 1A 圖中相同的部分將利用相同的參考符號來敘述。

在第 26 圖中之第一薄膜電晶體 480 係使用於驅動器電路之中的薄膜電晶體，其中第一導線 409 及第二導線 410 係設置以與氧化物半導體層 405 接觸。第一薄膜電晶體 480 包含第一閘極電極 401，在氧化物半導體層 405 的下面；以及第二閘極電極 470，在氧化物半導體層 405 的上面。

此外，第二薄膜電晶體 481 係使用於像素部之中的薄膜電晶體，其中源極或汲極電極層 105a 及 105b 係設置以與氧化物半導體層 103 接觸。

此實施例之半導體裝置具有其中導線及氧化物半導體層係相互接觸的結構，且因此，當與實施例 1 相比較時，可減少步驟的數目。

此實施例可與其他實施例之任一結構相結合。

此申請案係根據 2008 年 10 月 24 日在日本專利局所申請之日本專利申請案序號 2008-274540，該申請案的全部內容係結合於本文中，以供參考。

【圖式簡單說明】

在附圖中：

第 1A，1B，及 1C 圖係橫剖面視圖，分別描繪實施例 1 之顯示裝置的實例，實施例 1 之顯示裝置的另一實例，及實施例 1 之顯示裝置的又一實例；

第 2A，2B，及 2C 圖分別係實施例 2 之半導體裝置的橫剖面視圖，等效電路圖，及頂視圖；

第 3A 及 3B 圖係完全描繪實施例 3 之顯示裝置的方塊圖；

第 4 圖係描繪實施例 3 的顯示裝置之導線，輸入端子，及其類似物的配置之圖式；

第 5 圖係描繪移位暫存器電路之結構的方塊圖；

第 6 圖係描繪正反器電路之實例的圖式；

第 7 圖係描繪正反器電路之佈局視圖（頂視圖）的視圖；

第 8 圖係描繪時序圖之圖式，用以顯示移位暫存器電路的操作；

第 9A 至 9C 圖係描繪實施例 4 之半導體裝置的製造方法之視圖；

第 10A 至 10C 圖係描繪實施例 4 之半導體裝置的製造方法之視圖；

第 11 圖係描繪實施例 4 之半導體裝置的製造方法之視圖；

第 12 圖係描繪實施例 4 之半導體裝置的製造方法之視圖；

第 13 圖係描繪實施例 4 之半導體裝置的製造方法之視圖；

第 14 圖係描繪實施例 4 之半導體裝置的視圖；

第 15A，15B，15C，及 15D 圖係描繪實施例 4 之半導

體裝置的視圖；

第16圖係描繪實施例4之半導體裝置的視圖；

第17圖係橫剖面視圖，描繪實施例5之半導體裝置；

第18圖係描繪實施例6之半導體裝置的像素等效電路之圖式；

第19A至19C圖係橫剖面視圖，描繪實施例6之半導體裝置；

第20A至20B圖係頂視圖及橫剖面視圖，分別描繪實施例6之半導體裝置；

第21A至21B圖係頂視圖以及第21C圖係橫剖面視圖，描繪實施例7之半導體裝置；

第22圖係橫剖面視圖，描繪實施例7之半導體裝置；

第23A至23D圖係外部視圖，描繪電子裝置的實例；

第24A及24B圖係外部視圖，分別描繪電視裝置及數位相框的實例；

第25A及25B圖係外部視圖，描繪行動電路的實例；

第26圖係橫剖面視圖，描繪實施例9之半導體裝置。

【主要元件符號說明】

100、400：基板

101、402：閘極電極

102、152：閘極絕緣層

103、405、407：氧化物半導體層

104a、104b、406a、406b：n^+層

105a、105b：源極或汲極電極層

107：保護絕緣層

108：電容器導線

109、111：氧化物半導體膜

110：像素電極

120、153：連接電極

121、151：第一端子

122、150：第二端子

125、126、127、404：接觸孔

128、129、155：透明導電膜

131：阻體罩幕

132：導電膜

154：保護絕緣膜

156、471、476：電極

170、431：第二薄膜電晶體

409：第一導線

410：第二導線

411：第三導線

412：第二閘極絕緣層

430：第一薄膜電晶體

432、433、581：薄膜電晶體

470：第二閘極電極

472：第一電極

473、583、584、585：絕緣層

474：第二電極

475：發光層

587：第一電極層

588：第二電極層

589：球形粒子

594：空腔

595：充填物

401：第一閘極電極

403：第一閘極絕緣層

七、申請專利範圍：

1.一種半導體裝置，包含：

第一薄膜電晶體，其包括第一氧化物半導體層；以及

第二薄膜電晶體，其包括第二氧化物半導體層，

其中該第一薄膜電晶體包括第一閘極電極，該第一閘極電極和該第一氧化物半導體層互相重疊，

其中該第二薄膜電晶體包括第二閘極電極和第三閘極電極，該第二閘極電極和該第三閘極電極互相重疊，而該第二氧化物半導體層插入其間，

其中該第一薄膜電晶體的源極電極和汲極電極之一電連接至該第二薄膜電晶體的源極電極和汲極電極之一，

其中該第二閘極電極和該第二閘極電極之一電連接至該第一薄膜電晶體的該源極電極和該汲極電極之該一，以及

其中該第一薄膜電晶體是增強型電晶體和空乏型電晶體之一和該第二薄膜電晶體是增強型電晶體和空乏型電晶體之另一個。

2.如申請專利範圍第1項的半導體裝置，

其中該第一閘極電極和該第二閘極電極之該一是該第一閘極電極。

3.如申請專利範圍第1項的半導體裝置，

其中該第二氧化物半導體層具有第一區和第二區，

其中該第二區與該第二薄膜電晶體的該源極電極或該汲極電極重疊，以及

其中該第一區的厚度小於該第二區的厚度。

4.如申請專利範圍第1項的半導體裝置，

其中該半導體裝置是顯示裝置。

5.如申請專利範圍第3項的半導體裝置，其中該第二氧化物半導體層和該第二閘極電極重疊，而其間夾著第一絕緣層，該第二氧化物半導體層和該第三閘極電極重疊，而其間夾著第二絕緣層，以及該第二絕緣層與該第二氧化物半導體層的該第一區接觸。

6.如申請專利範圍第1項的半導體裝置，其中該第一氧化物半導體層和該第二氧化物半導體層包括選自由銦、鎵、和鋅所組成之群之至少一個。

7.如申請專利範圍第1項的半導體裝置，其中該第二閘極電極和該第三閘極電極具有相同電位。

8.如申請專利範圍第1項的半導體裝置，其中該第二閘極電極和該第三閘極電極具有不同電位。

9.如申請專利範圍第1項的半導體裝置，其中該第一薄膜電晶體和該第二薄膜電晶體爲n通道薄膜電晶體。

10.一種半導體裝置，包含：

第一薄膜電晶體，其包括第一氧化物半導體層；以及

第二薄膜電晶體，其包括第二氧化物半導體層，

其中該第一薄膜電晶體包括第一閘極電極在該第一氧化物半導體層下方，

其中該第二薄膜電晶體包括第二閘極電極在該第二氧化物半導體層下方和第三閘極電極在該第二氧化物半導體

層上方，

其中該第一薄膜電晶體的源極電極和汲極電極之一電連接至該第二薄膜電晶體的源極電極和汲極電極之一，

其中該第一閘極電極和該第二閘極電極之一電連接至該第一薄膜電晶體的該源極電極和該汲極電極之該一，以及

其中該第一薄膜電晶體是增強型電晶體和空乏型電晶體之一和該第二薄膜電晶體是增強型電晶體和空乏型電晶體之另一個。

11.如申請專利範圍第10項的半導體裝置，

其中該第一閘極電極和該第二閘極電極之該一是該第一閘極電極。

12.如申請專利範圍第10項的半導體裝置，

其中該第二氧化物半導體層具有第一區和第二區，

其中該第二區與該第二薄膜電晶體的該源極電極或該汲極電極重疊，以及

其中該第一區的厚度小於該第二區的厚度。

13.如申請專利範圍第10項的半導體裝置，

其中該半導體裝置是顯示裝置。

14.如申請專利範圍第12項的半導體裝置，其中該第二氧化物半導體層和該第二閘極電極重疊，而其間夾著第一絕緣層，該第二氧化物半導體層和該第三閘極電極重疊，而其間夾著第二絕緣層，以及該第二絕緣層與該第二氧化物半導體層的該第一區接觸。

15.如申請專利範圍第10項的半導體裝置，其中該第一氧化物半導體層和該第二氧化物半導體層包括選自由銦、鎵、和鋅所組成之群之至少一個。

16.如申請專利範圍第10項的半導體裝置，其中該第二閘極電極和該第三閘極電極具有相同電位。

17.如申請專利範圍第10項的半導體裝置，其中該第二閘極電極和該第三閘極電極具有不同電位。

18.如申請專利範圍第10項的半導體裝置，其中該第一薄膜電晶體和該第二薄膜電晶體爲n通道薄膜電晶體。

19.一種半導體裝置，包含：

反相器電路，包含：

第一薄膜電晶體；以及

第二薄膜電晶體，

其中該第一薄膜電晶體和該第二薄膜電晶體各包括氧化物半導體層和第一閘極電極，該氧化物半導體層和該第一閘極電極互相重疊，

其中該第一薄膜電晶體和該第二薄膜電晶體中只有一個更包括第二閘極電極，

其中該第一薄膜電晶體和該第二薄膜電晶體中該只有一個的該氧化物半導體層插入該第一薄膜電晶體和該第二薄膜電晶體中該只有一個的該第一閘極電極和該第二閘極電極間，

其中該第一薄膜電晶體的源極電極和汲極電極中之一電連接至該第二薄膜電晶體的源極電極和汲極電極之一，

以及

其中該第一薄膜電晶體的該第一閘極電極電連接至該第一薄膜電晶體的該源極電極和該汲極電極之該一。

20.如申請專利範圍第19項的半導體裝置，

其中該第一薄膜電晶體和該第二薄膜電晶體中該只有一個是該第二薄膜電晶體。

21.如申請專利範圍第19項的半導體裝置，

其中該第一薄膜電晶體和該第二薄膜電晶體中該只有一個的該源極電極和該汲極電極之另一個電連接至Vss，和該第一薄膜電晶體和該第二薄膜電晶體中另一個的該源極電極和該汲極電極之另一個電連接至Vdd。

22.如申請專利範圍第19項的半導體裝置，

其中該第二薄膜電晶體的該氧化物半導體層具有第一區和第二區，

其中該第二區與該第二薄膜電晶體的該源極電極或該汲極電極重疊，以及

其中該第一區的厚度小於該第二區的厚度。

23.如申請專利範圍第19項的半導體裝置，

其中該半導體裝置是顯示裝置。

24.如申請專利範圍第22項的半導體裝置，

其中該第一薄膜電晶體和該第二薄膜電晶體中該只有一個是該第二薄膜電晶體，以及

其中該第二薄膜電晶體的該氧化物半導體層和該第二薄膜電晶體的該第一閘極電極重疊，而其間夾著第一絕緣

層，該第二薄膜電晶體的該氧化物半導體層和該第二閘極電極重疊，而其間夾著第二絕緣層，以及該第二絕緣層與該第二薄膜電晶體的該氧化物半導體層的該第一區接觸。

25.如申請專利範圍第19項的半導體裝置，其中該第一薄膜電晶體和該第二薄膜電晶體的該氧化物半導體層包括選自由銦、鎵、和鋅所組成之群之至少一個。

26.如申請專利範圍第19項的半導體裝置，其中該第一薄膜電晶體和該第二薄膜電晶體中該只有一個的該第一閘極電極和該第二閘極電極具有相同電位。

27.如申請專利範圍第19項的半導體裝置，其中該第一薄膜電晶體和該第二薄膜電晶體中該只有一個的該第一閘極電極和該第二閘極電極具有不同電位。

28.如申請專利範圍第19項的半導體裝置，其中該第一薄膜電晶體和該第二薄膜電晶體爲n通道薄膜電晶體。

29.一種半導體裝置，包含：

反相器電路，包含：

第一薄膜電晶體；以及

第二薄膜電晶體，

其中該第一薄膜電晶體和該第二薄膜電晶體各包括氧化物半導體層和第一閘極電極，該第一閘極電極設置在該氧化物半導體層下方，

其中該第一薄膜電晶體和該第二薄膜電晶體中只有一個更包括第二閘極電極在該第一薄膜電晶體和該第二薄膜電晶體中該只有一個的該氧化物半導體層上方，

其中該第一薄膜電晶體的源極電極和汲極電極中之一電連接至該第二薄膜電晶體的源極電極和汲極電極之一，以及

其中該第一薄膜電晶體的該第一閘極電極電連接至該第一薄膜電晶體的該源極電極和該汲極電極之該一。

30.如申請專利範圍第29項的半導體裝置，

其中該第一薄膜電晶體和該第二薄膜電晶體中該只有一個是該第二薄膜電晶體。

31.如申請專利範圍第29項的半導體裝置，

其中該第一薄膜電晶體和該第二薄膜電晶體中該只有一個的該源極電極和該汲極電極之另一個電連接至Vss，和該第一薄膜電晶體和該第二薄膜電晶體中另一個的該源極電極和該汲極電極之另一個電連接至Vdd。

32.如申請專利範圍第29項的半導體裝置，

其中該第二薄膜電晶體的該氧化物半導體層具有第一區和第二區，

其中該第二區與該第二薄膜電晶體的該源極電極或該汲極電極重疊，以及

其中該第一區的厚度小於該第二區的厚度。

33.如申請專利範圍第29項的半導體裝置，

其中該半導體裝置是顯示裝置。

34.如申請專利範圍第32項的半導體裝置，

其中該第一薄膜電晶體和該第二薄膜電晶體中該只有一個是該第二薄膜電晶體，以及

其中該第二薄膜電晶體的該氧化物半導體層和該第一閘極電極重疊，而其間夾著第一絕緣層，該第二薄膜電晶體的該氧化物半導體層和該第二閘極電極重疊，而其間夾著第二絕緣層，以及該第二絕緣層與該第二薄膜電晶體的該氧化物半導體層的該第一區接觸。

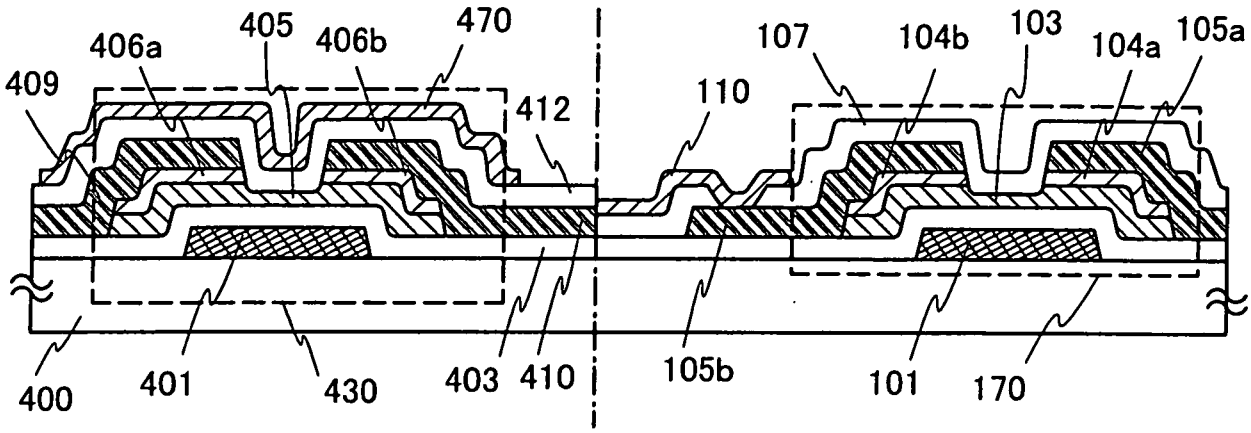
35.如申請專利範圍第29項的半導體裝置，其中該第一薄膜電晶體和該第二薄膜電晶體的該氧化物半導體層包括選自由銦、鎵、和鋅所組成之群之至少一個。

36.如申請專利範圍第29項的半導體裝置，其中該第一薄膜電晶體和該第二薄膜電晶體中該只有一個的該第一閘極電極和該第二閘極電極具有相同電位。

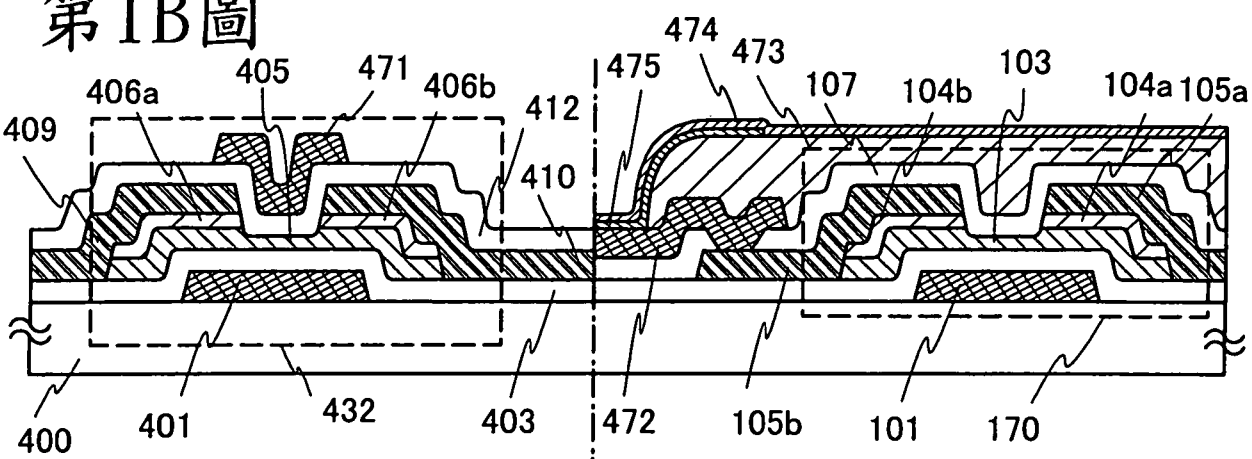
37.如申請專利範圍第29項的半導體裝置，其中該第一薄膜電晶體和該第二薄膜電晶體中該只有一個的該第一閘極電極和該第二閘極電極具有不同電位。

38.如申請專利範圍第29項的半導體裝置，其中該第一薄膜電晶體和該第二薄膜電晶體爲n通道薄膜電晶體。

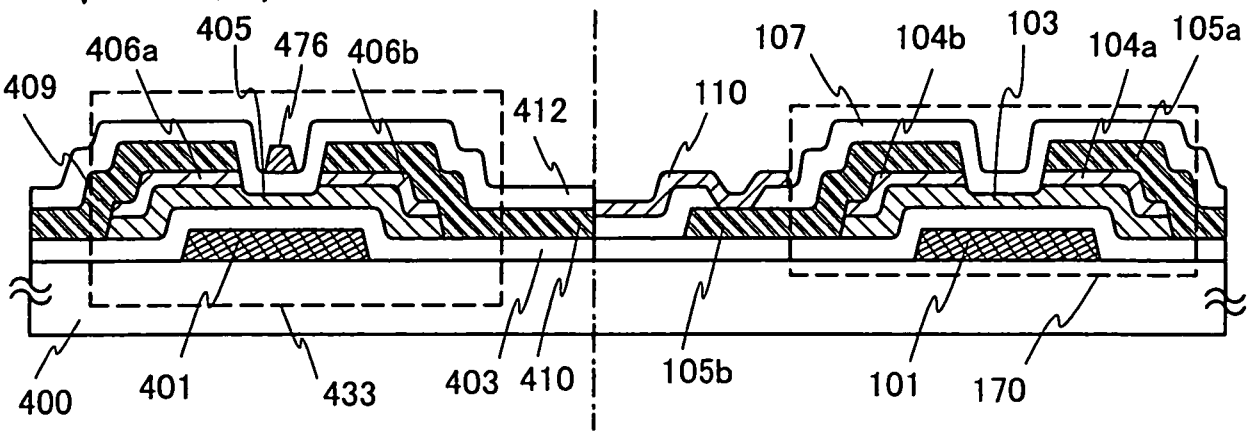
第1A圖



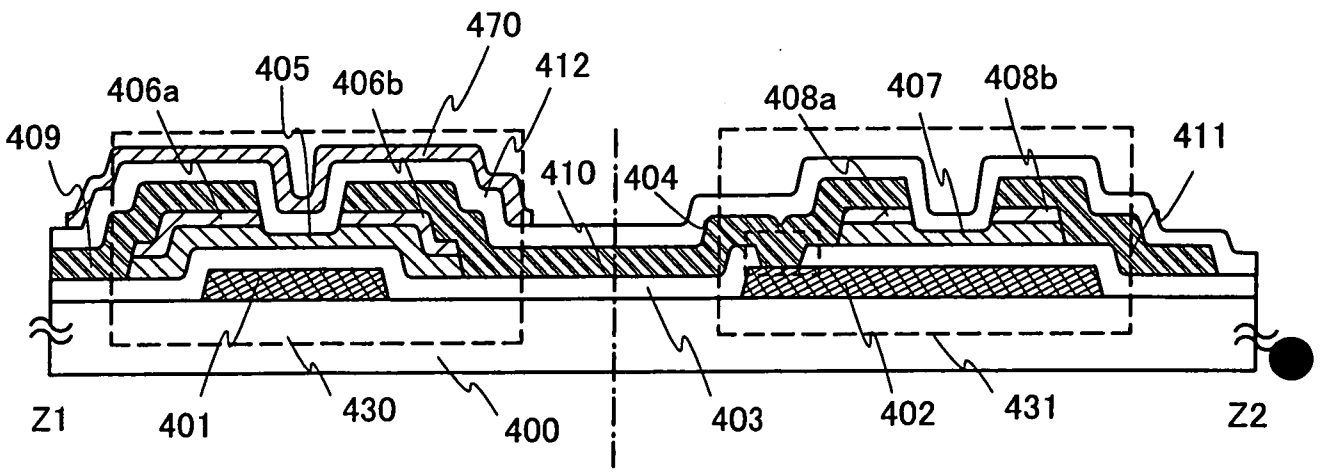
第1B圖



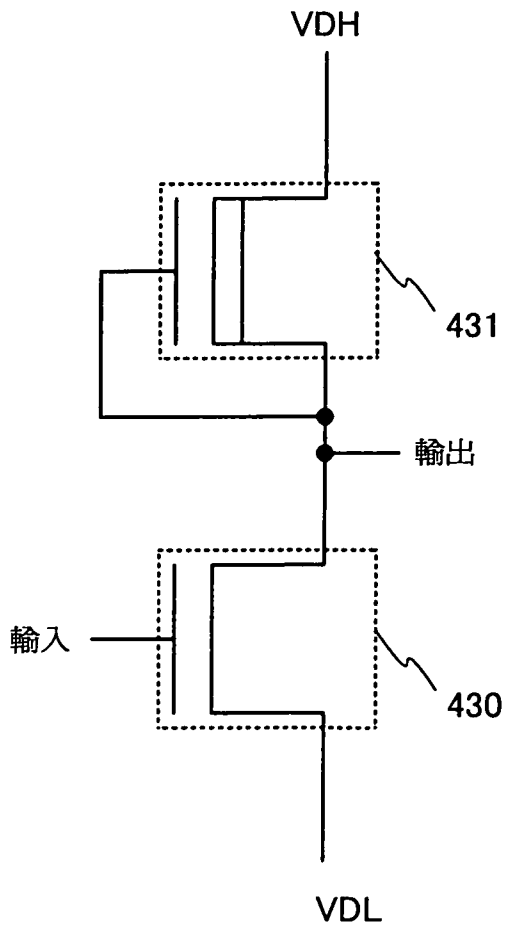
第1C圖



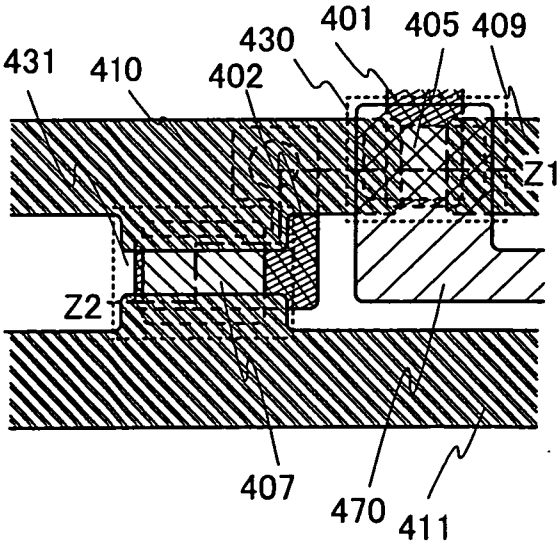
第2A圖



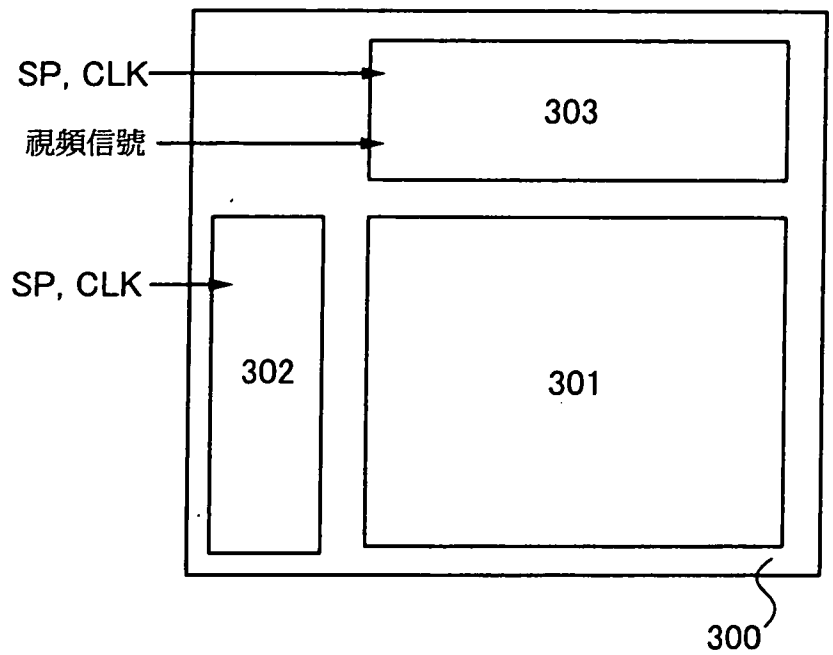
第2B圖



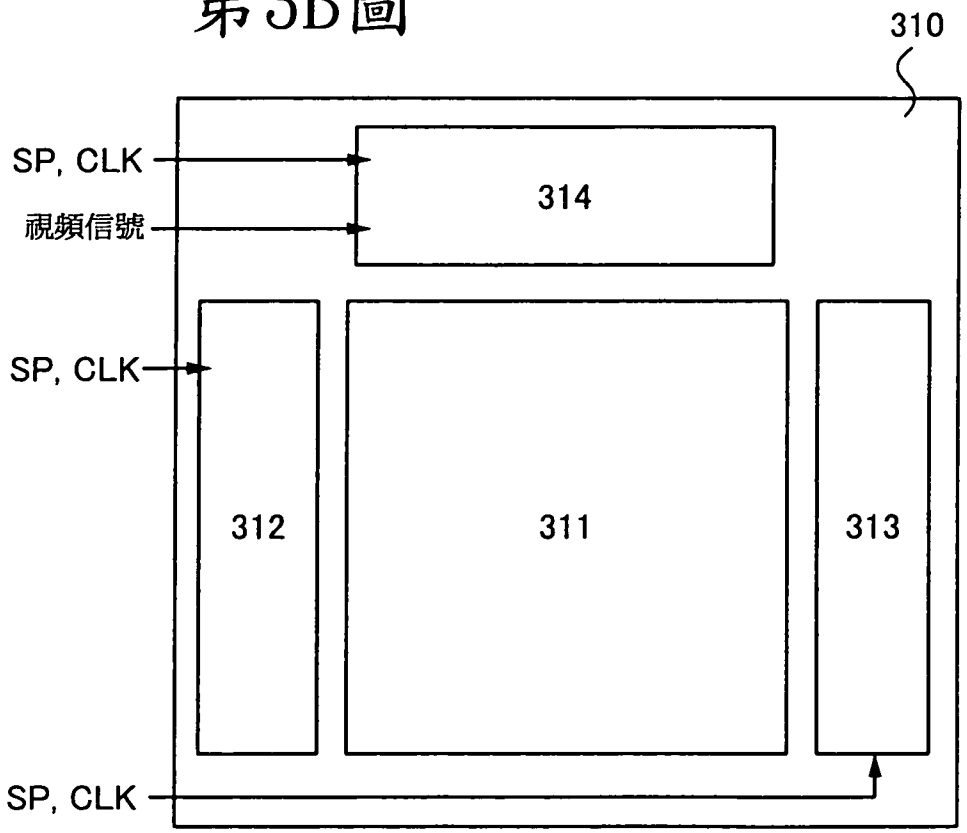
第2C圖



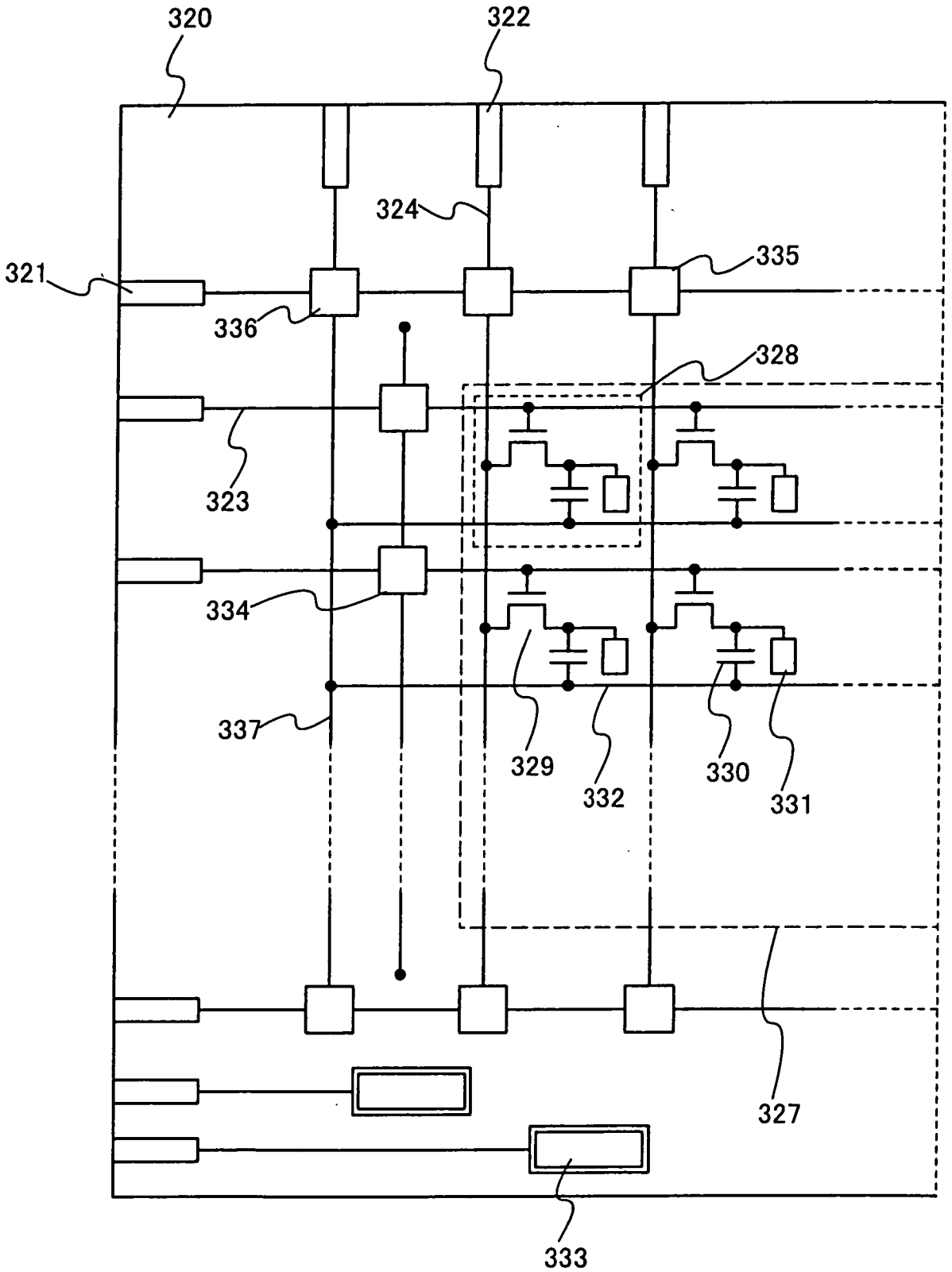
第3A圖


SP, CLK
視頻信號
303
SP, CLK
302
301
300

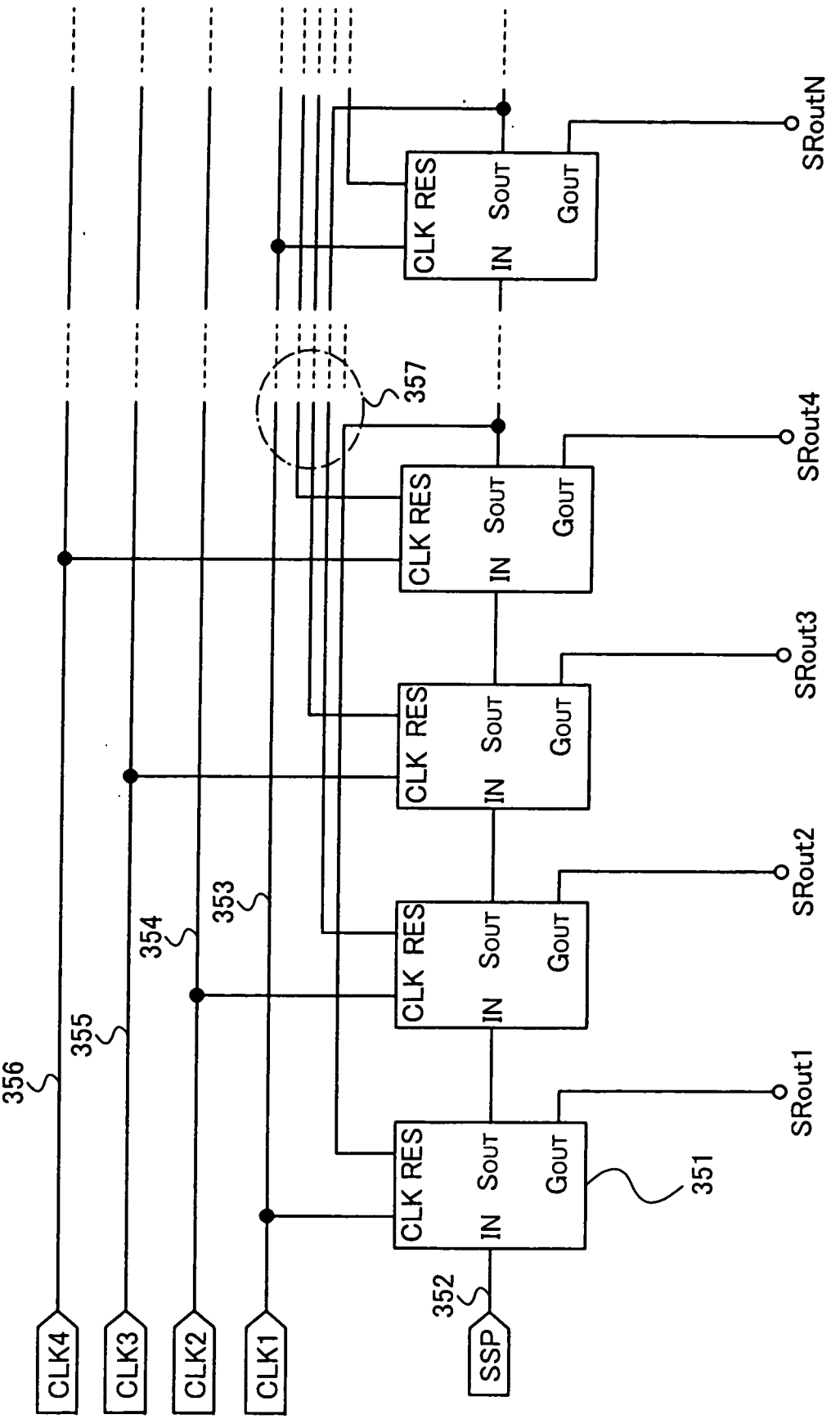
第3B圖


310
SP, CLK
視頻信號
314
SP, CLK
312
311
313
SP, CLK

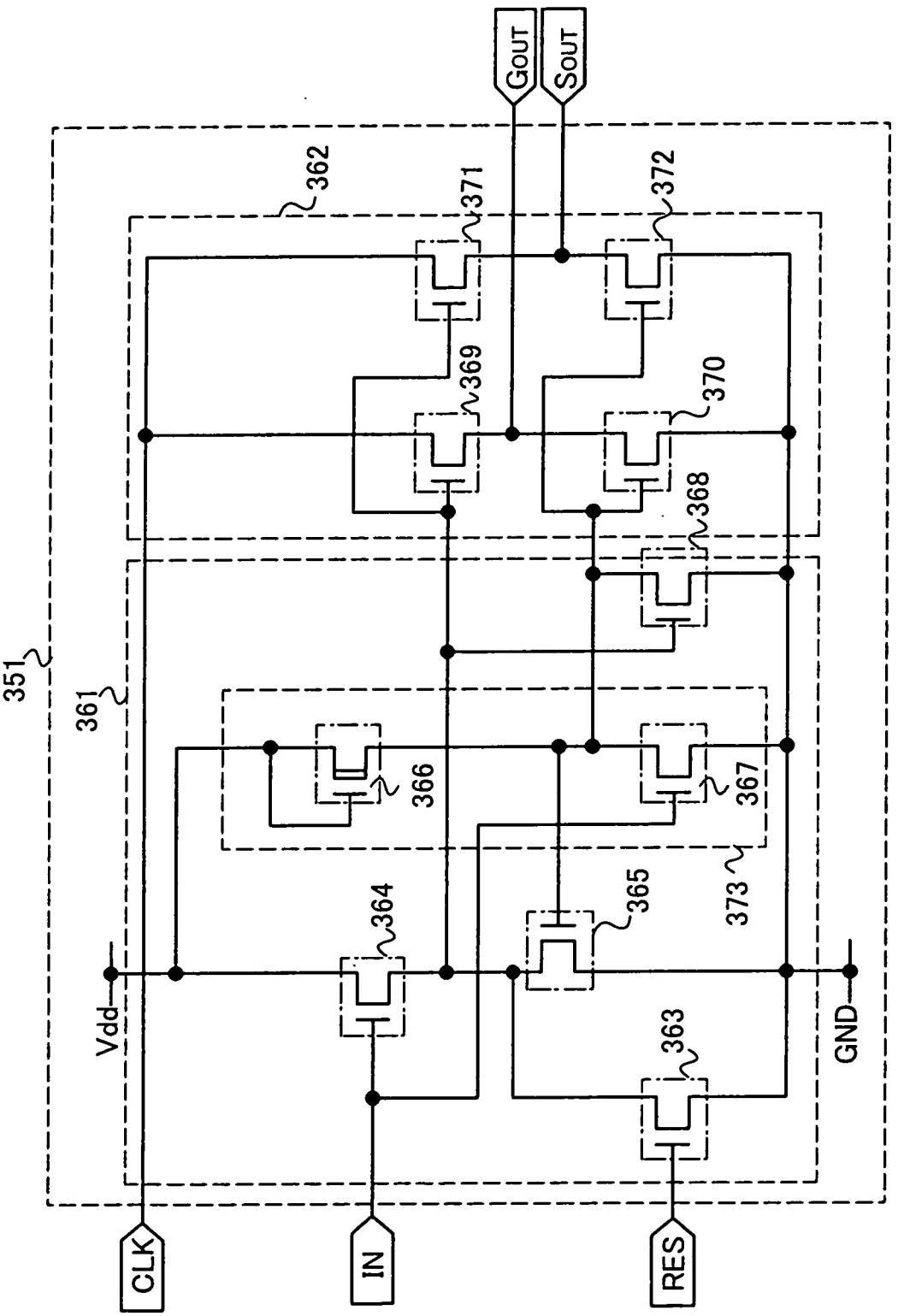
第4圖



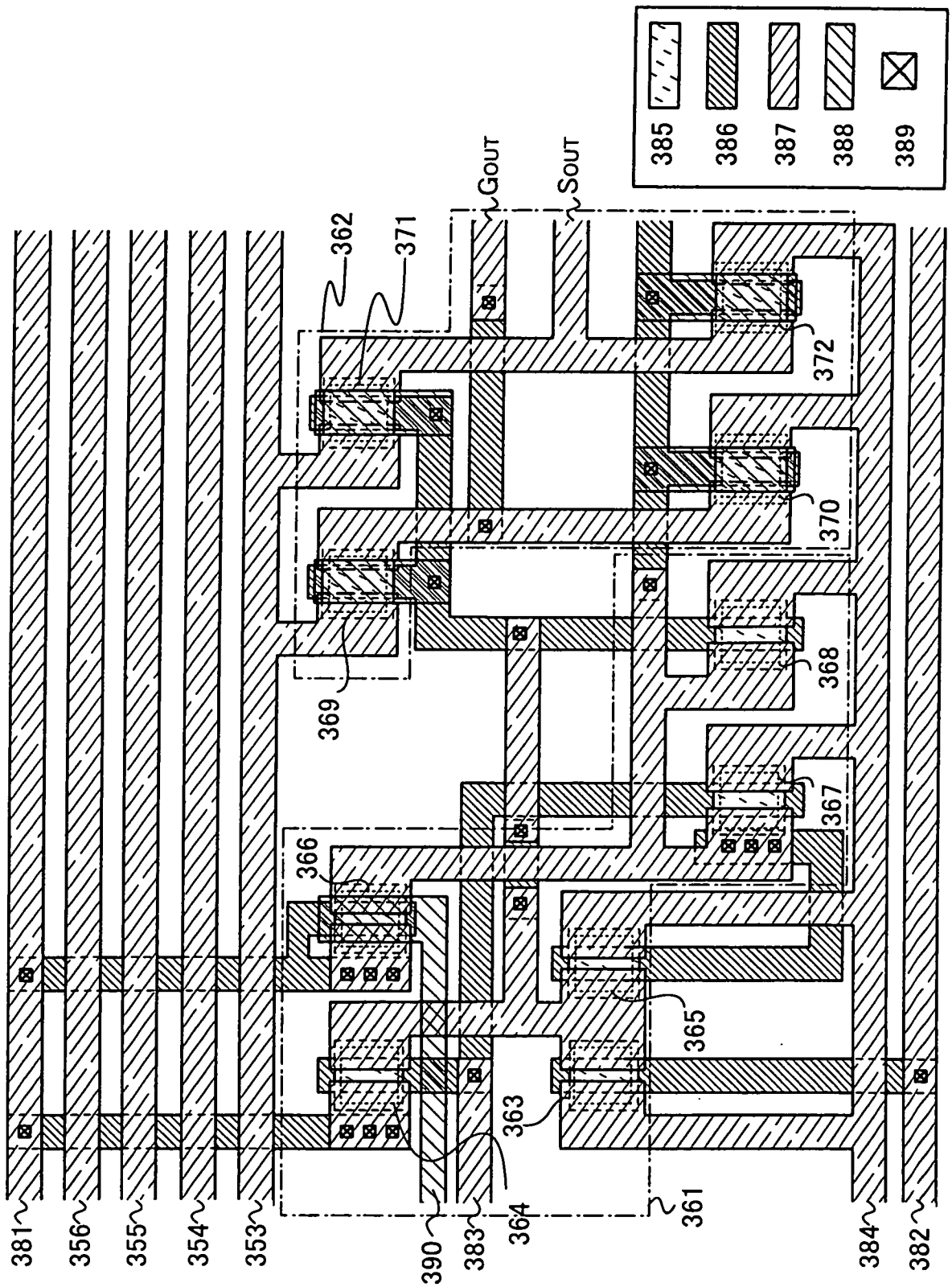
第5圖


CLK4
CLK3
CLK2
CLK1
SSP
CLK RES
IN
SOUT
GOUT
SRout1
SRout2
SRout3
SRout4
SRoutN
351
352
353
354
355
356
357

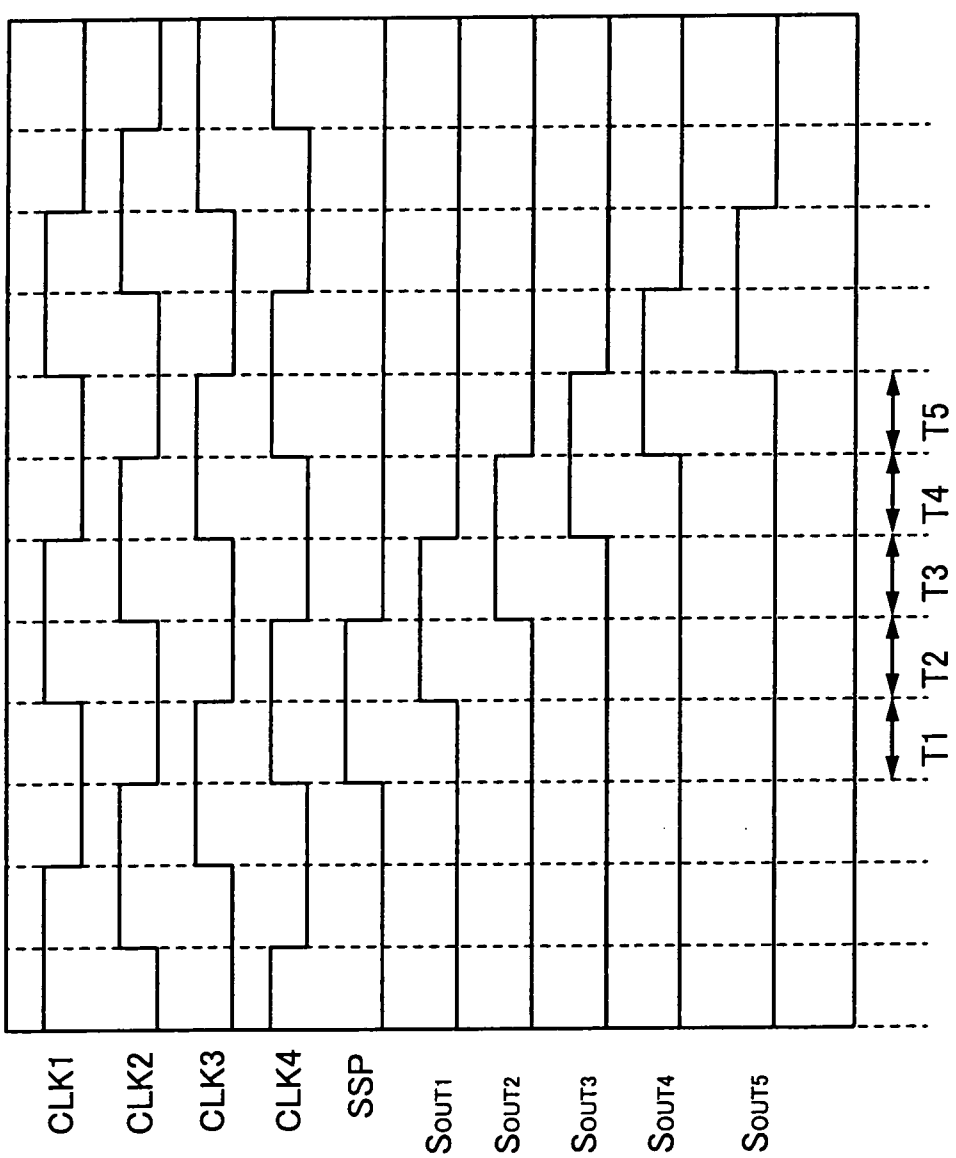
第6圖

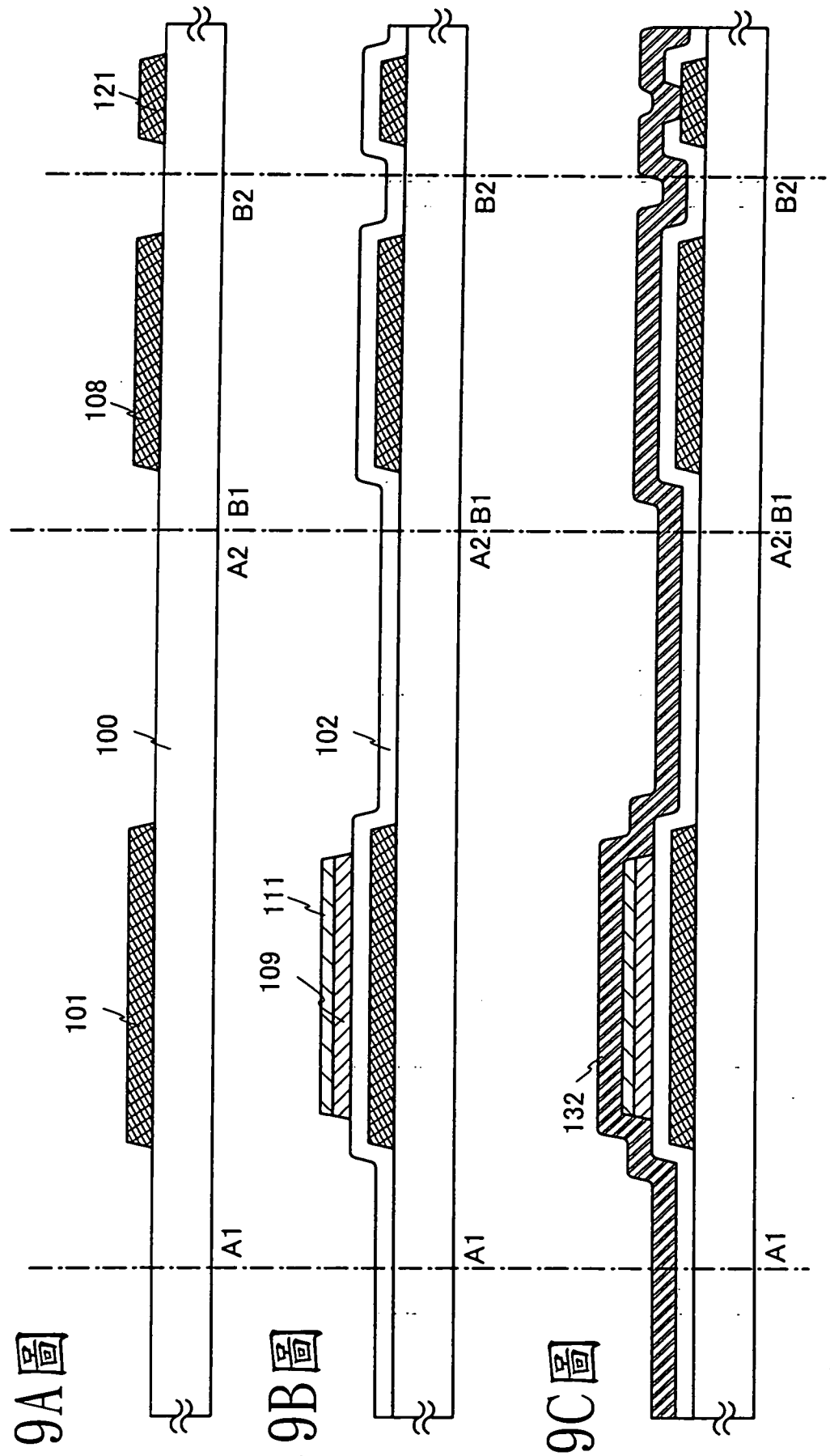

GOUT
SOUT
362
371
372
369
370
368
351
361
366
367
373
365
364
Vdd
363
GND
CLK
IN
RES

第7圖

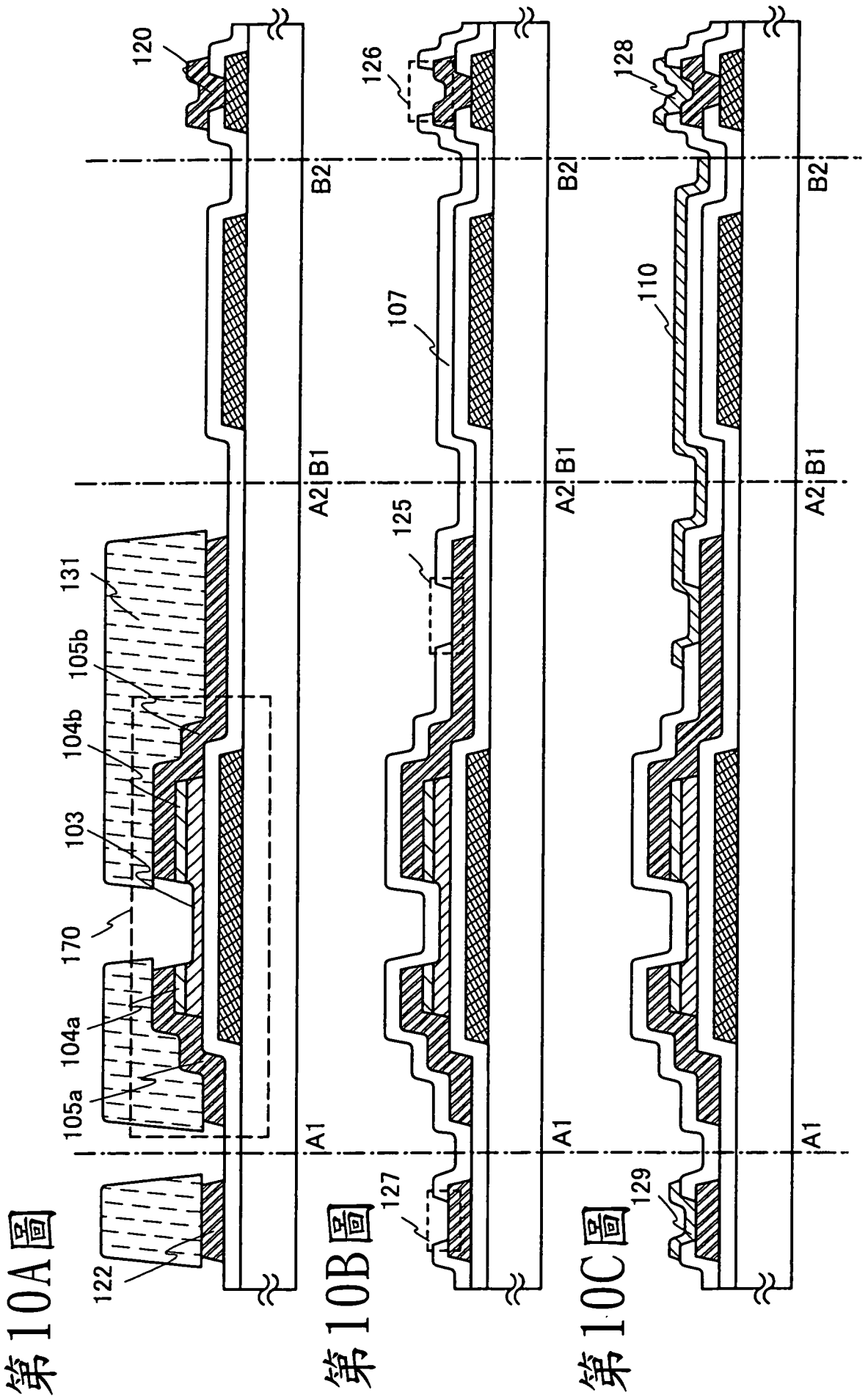

385
386
387
388
389
GOUT
SOUT
362
371
372
370
368
369
367
366
365
363
364
361
381
356
355
354
353
390
383
384
382

第8圖

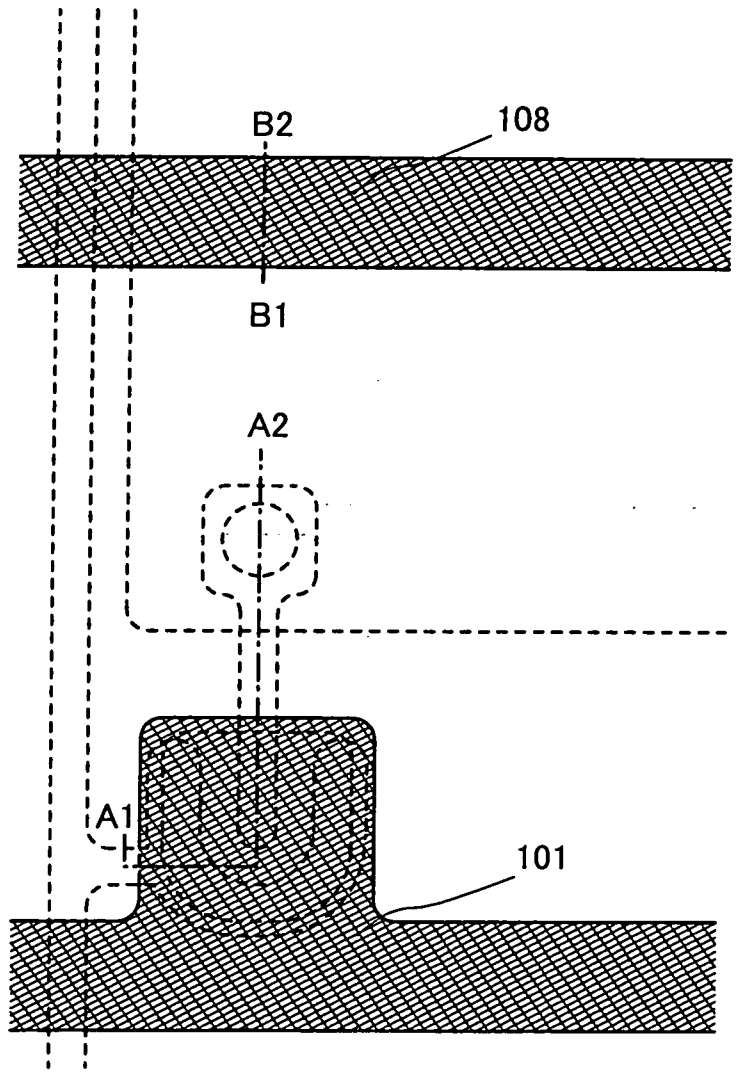

CLK1
CLK2
CLK3
CLK4
SSP
SOUT1
SOUT2
SOUT3
SOUT4
SOUT5
T1
T2
T3
T4
T5



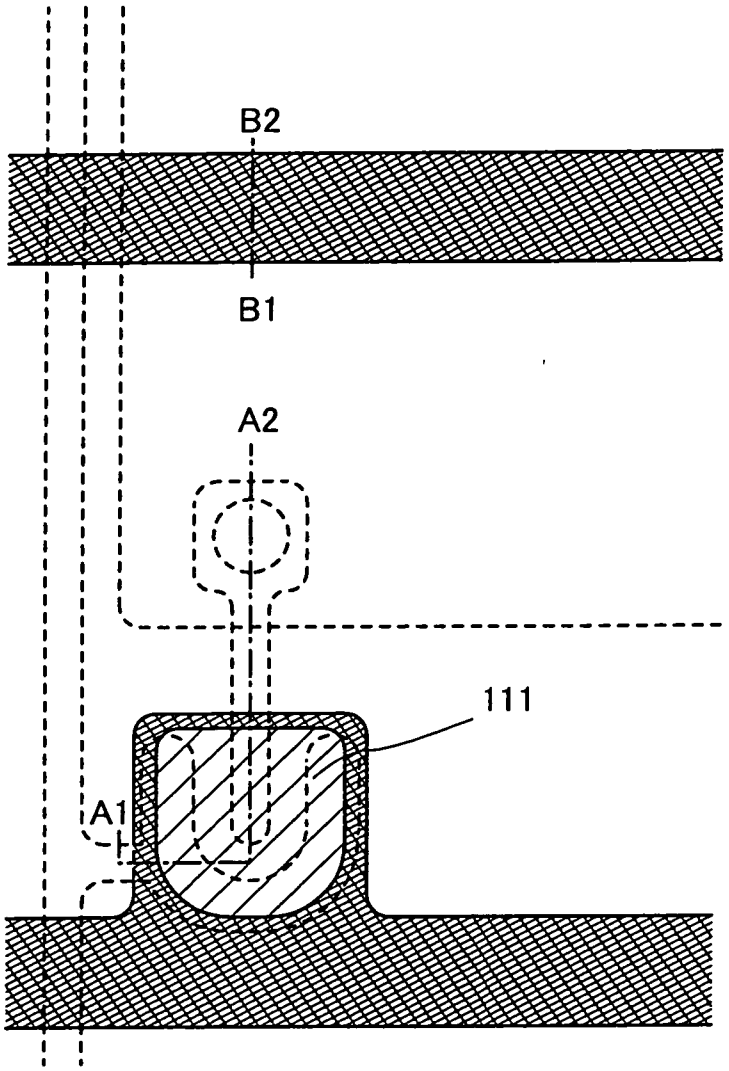
第9A圖 第9B圖 第9C圖


120
131
105b
104b
103
170
104a
105a
122
A1
A2
B1
B2
第10A圖
126
107
125
127
第10B圖
128
110
129
第10C圖

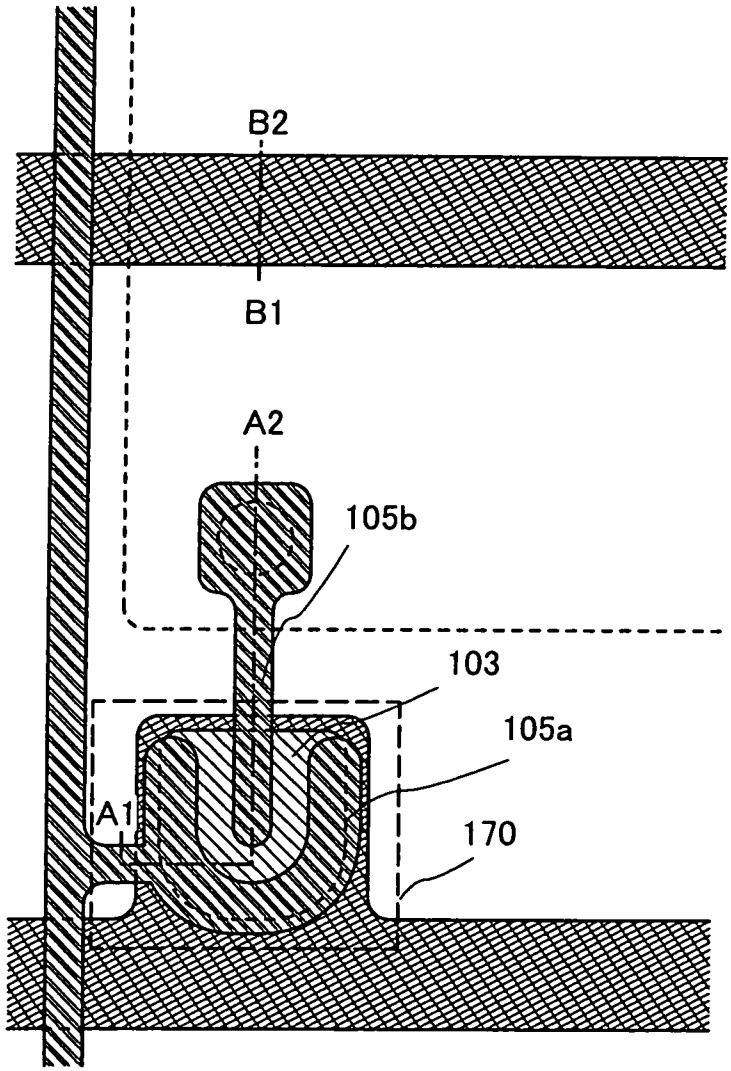
第11圖



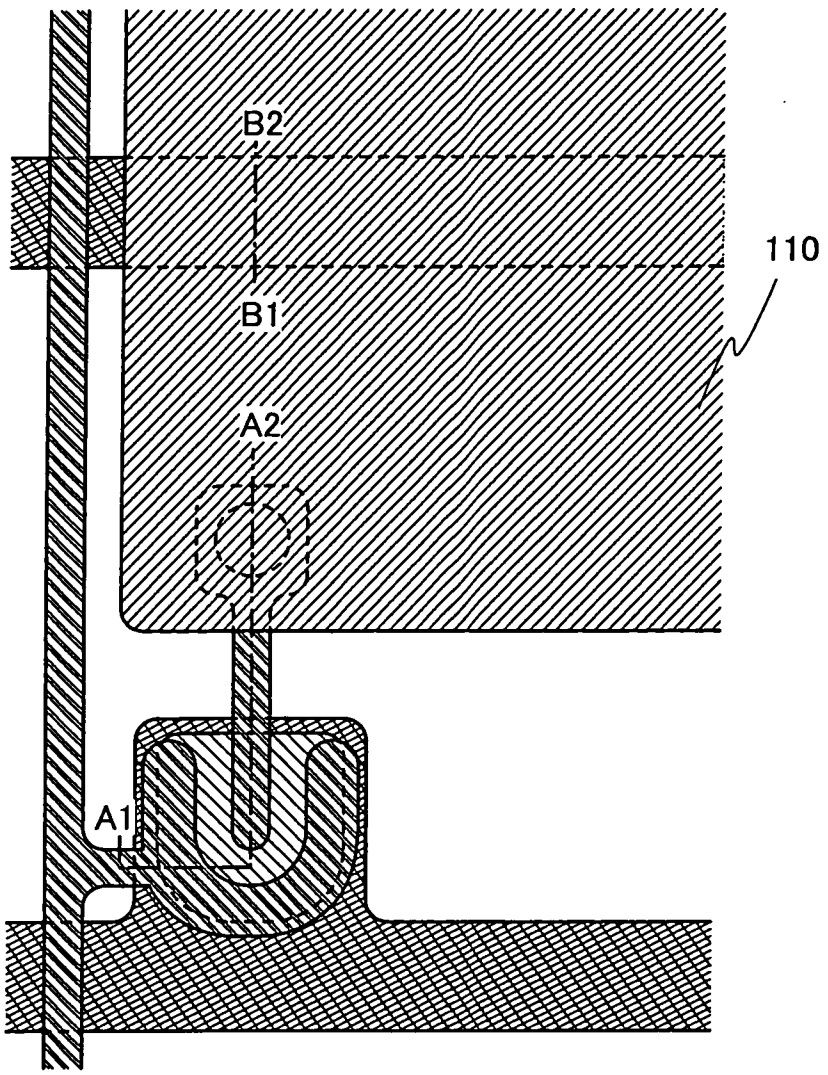
第12圖



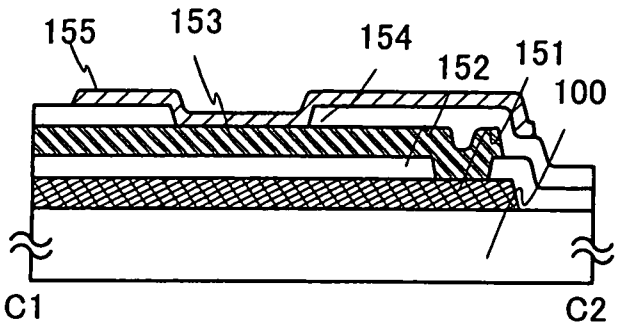
第13圖



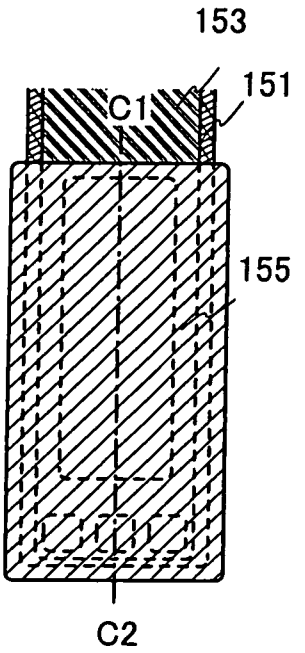
第14圖



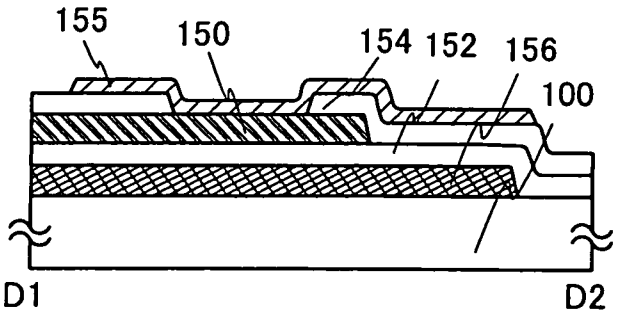
第15A圖



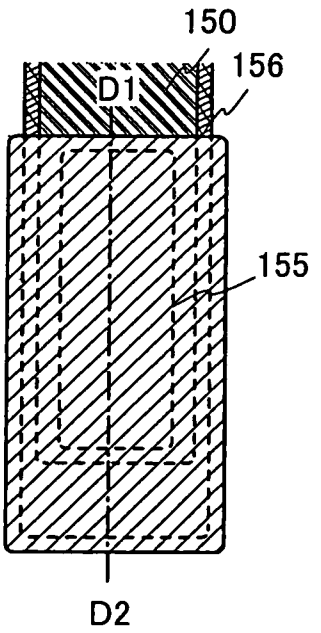
第15B圖



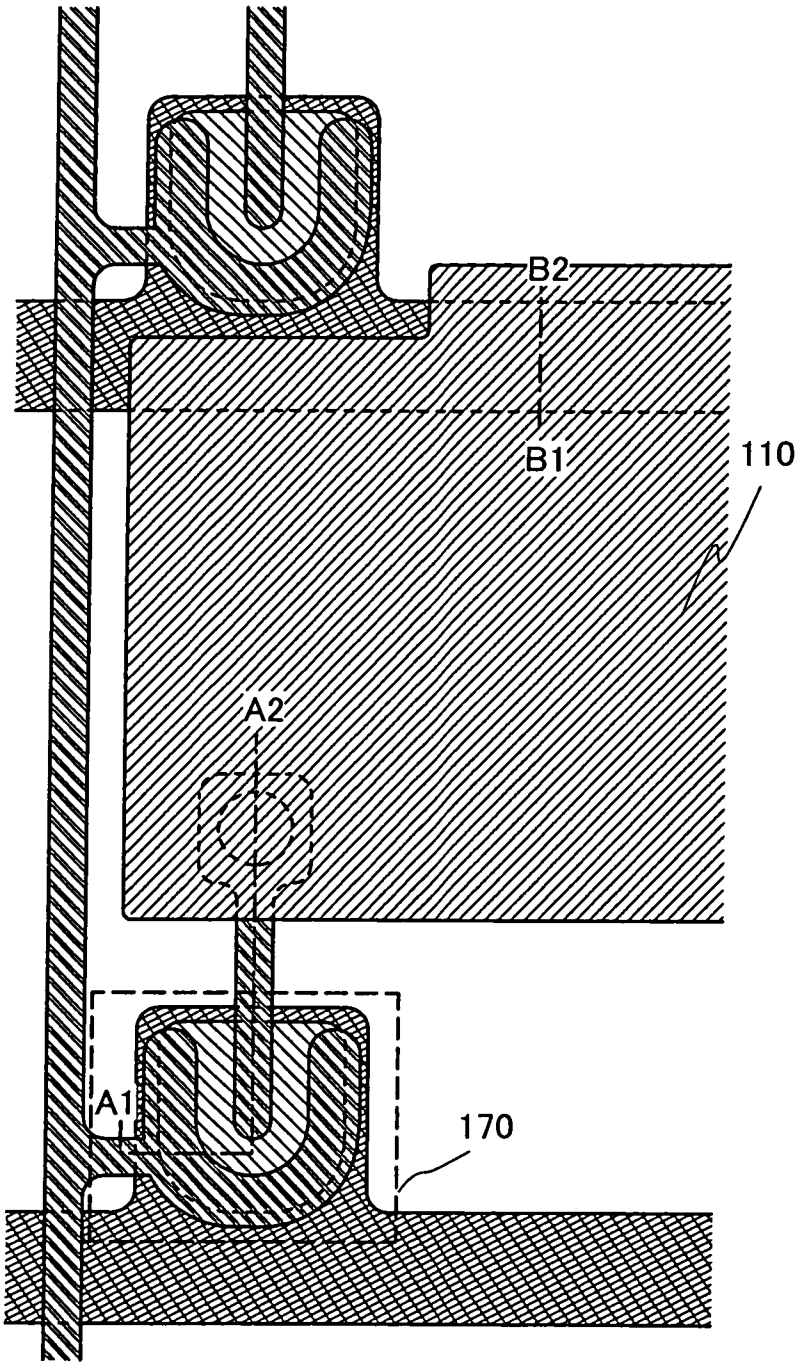
第15C圖



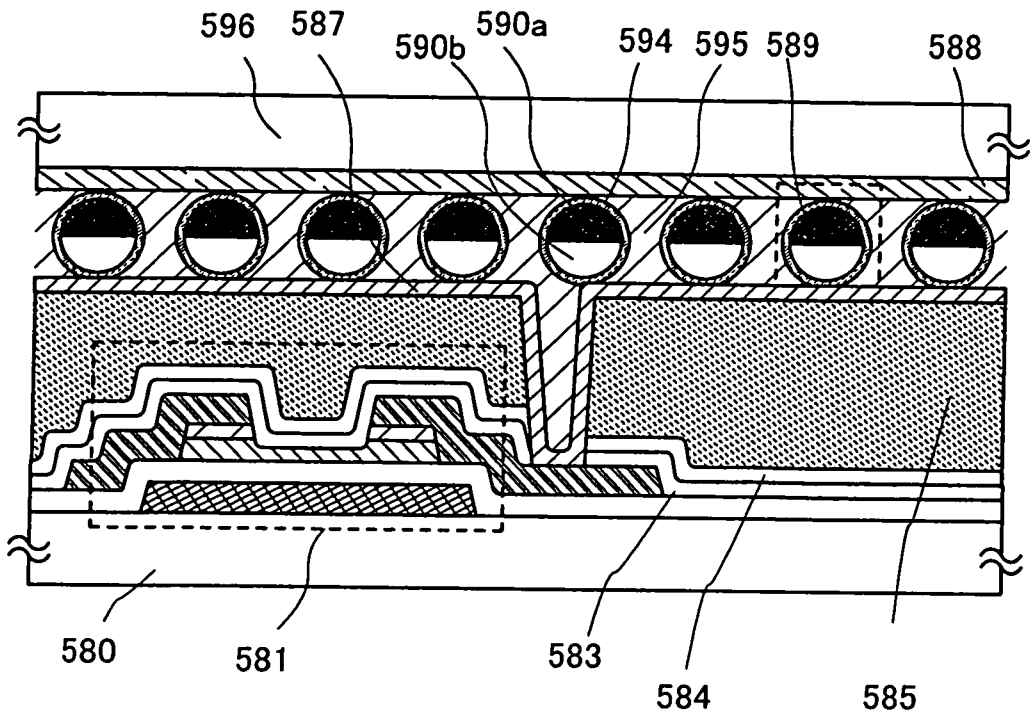
第15D圖



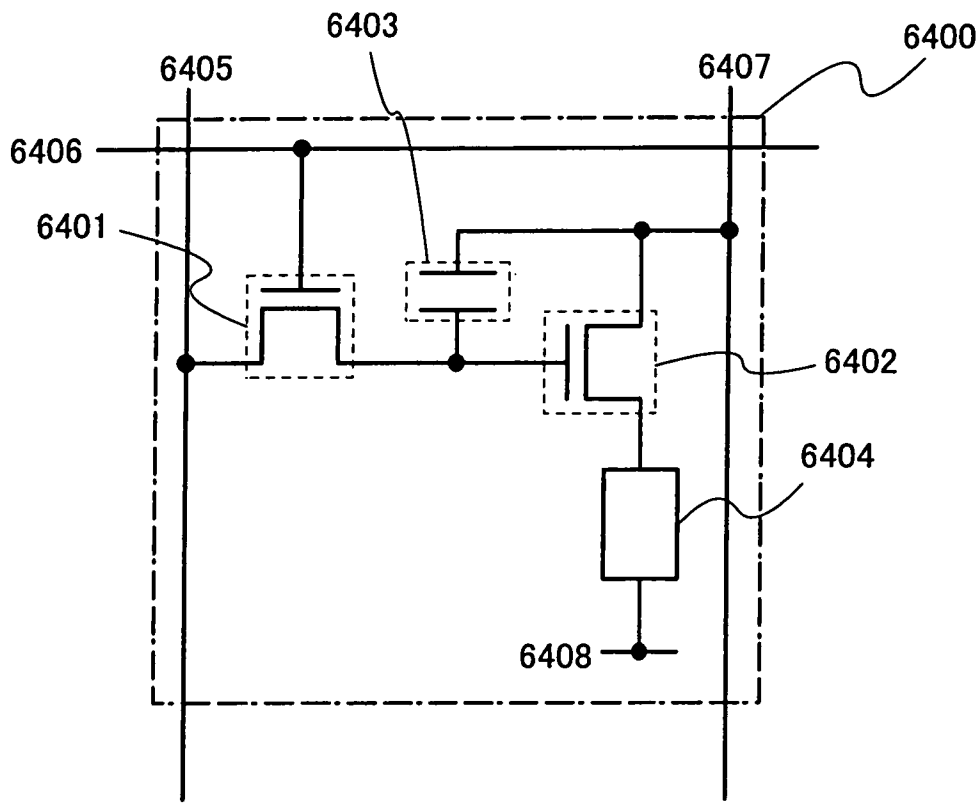
第16圖



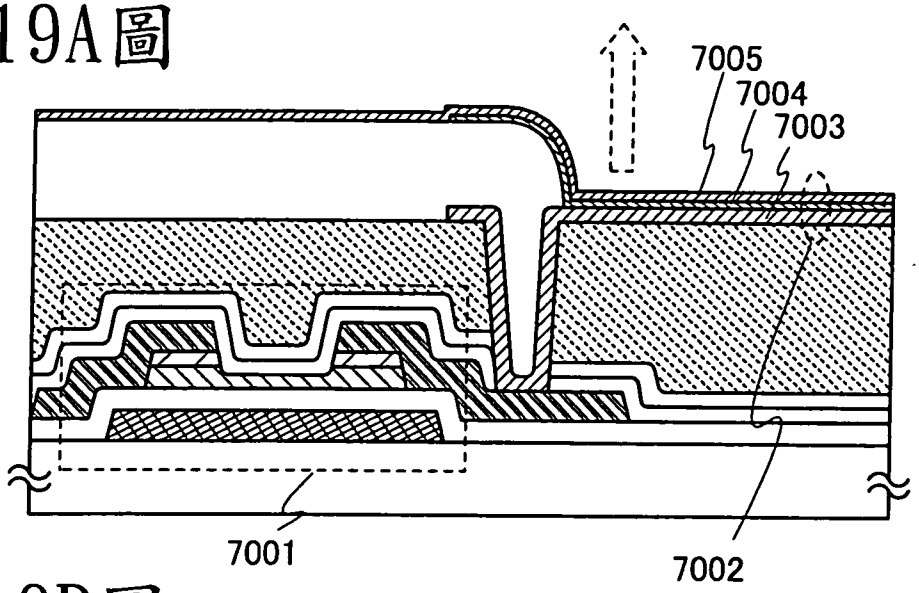
第17圖



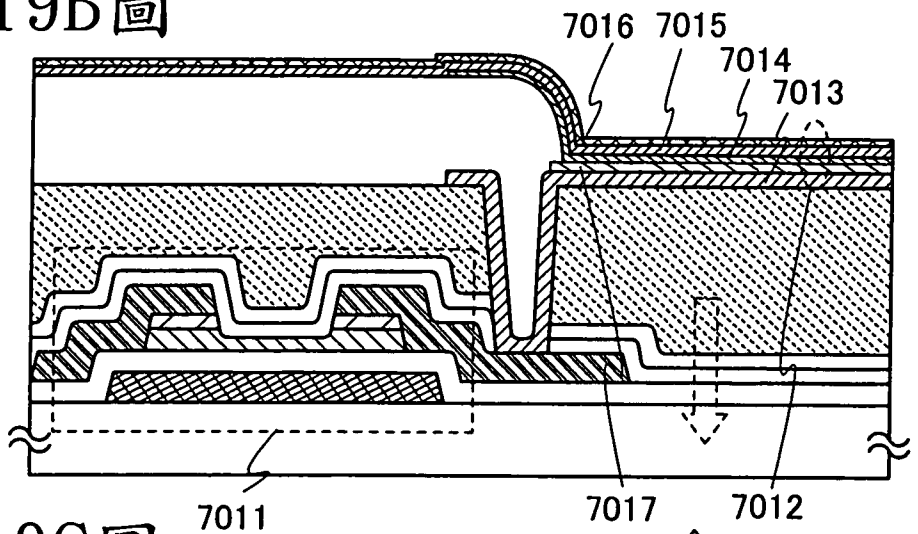
第18圖



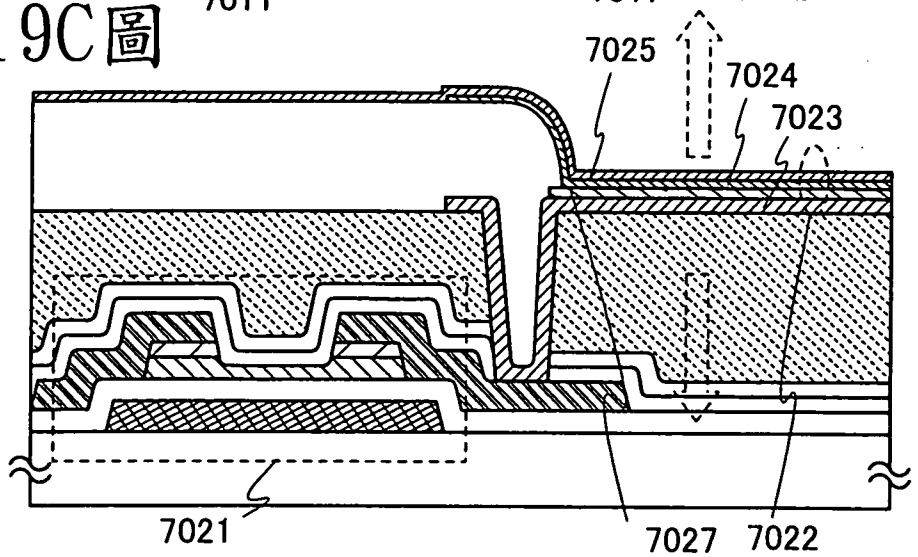
第19A圖



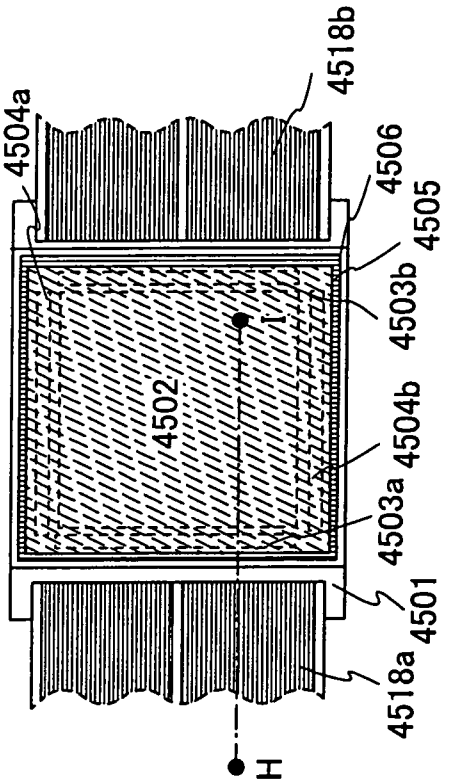
第19B圖



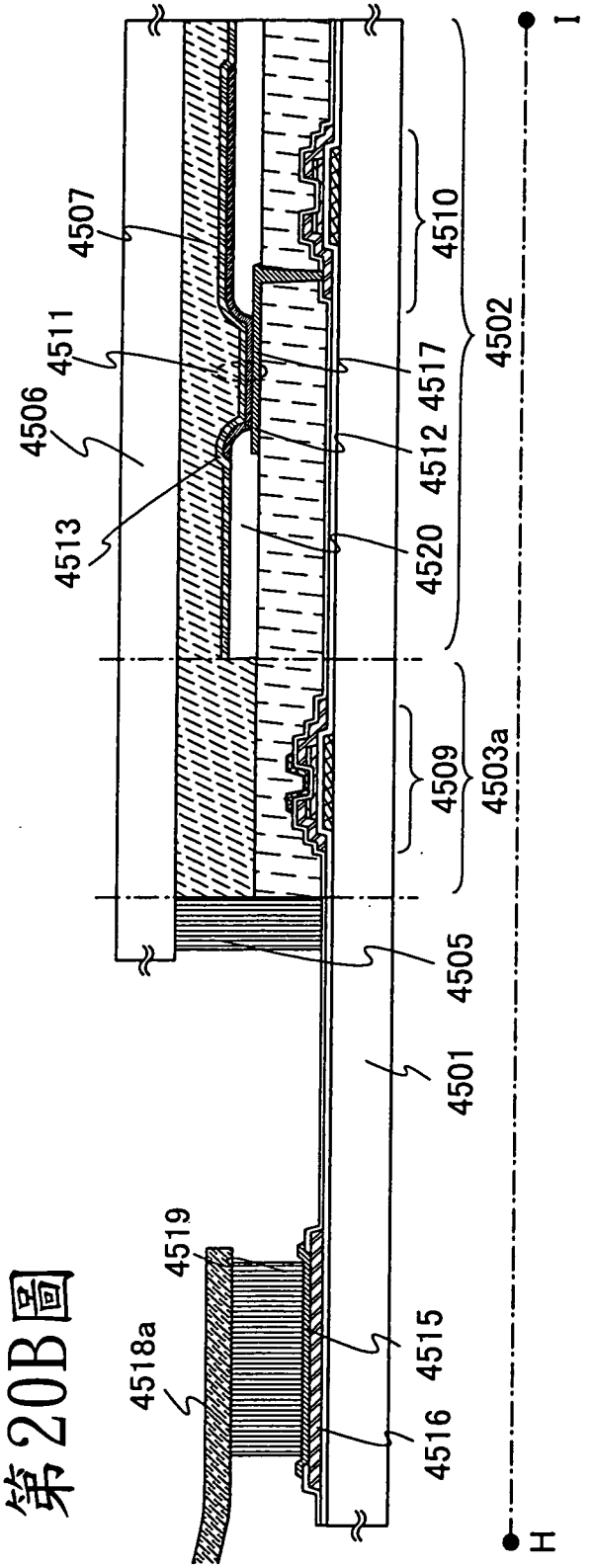
第19C圖



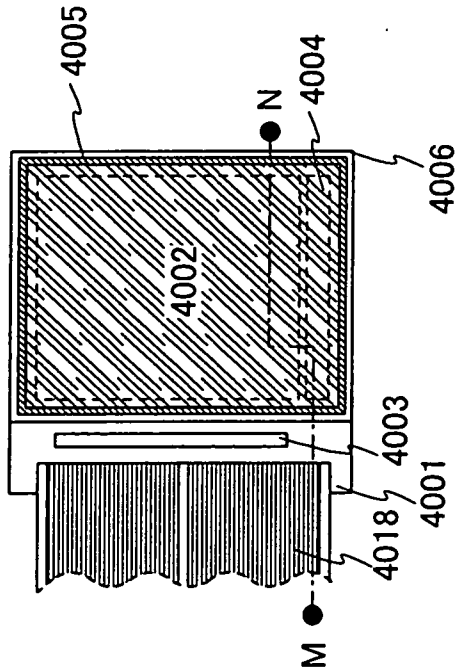
第20A圖


4504a
4518b
4506
4505
4503b
4502
4504b
4503a
4501
4518a
H
I

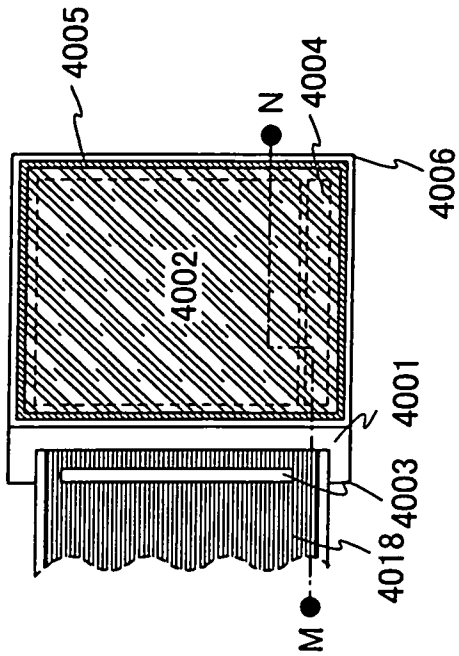
第20B圖


4507
4510
4511
4506
4517
4512
4513
4520
4502
4509
4503a
4505
4501
4519
4518a
4515
4516
H
I

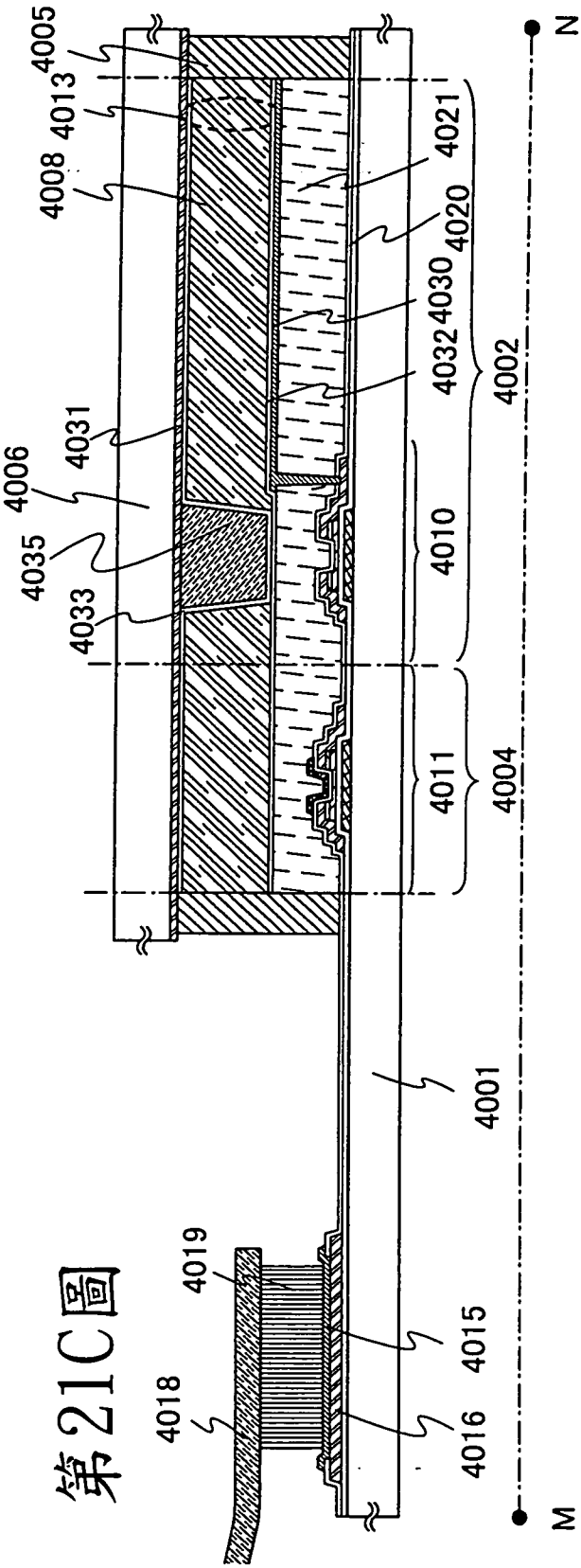
第21A圖



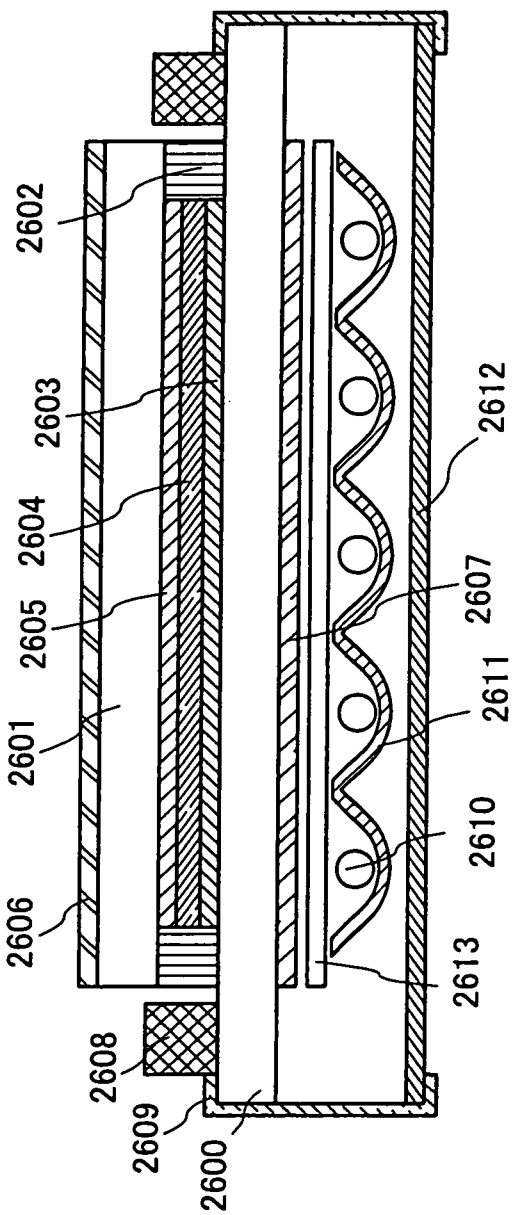
第21B圖



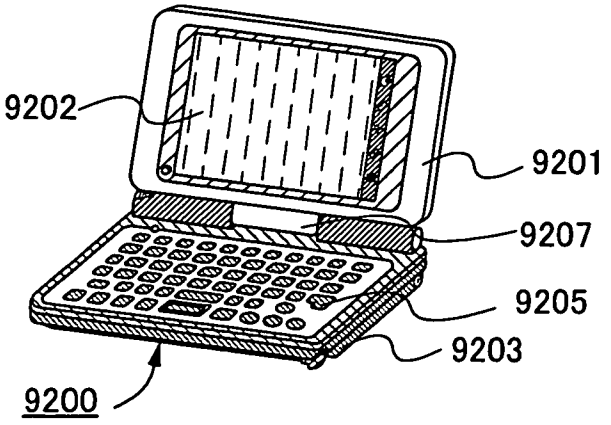
第21C圖



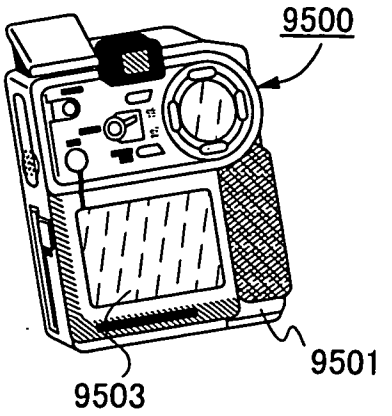
第22圖


2602
2603
2604
2605
2601
2606
2608
2609
2600
2612
2607
2611
2610
2613

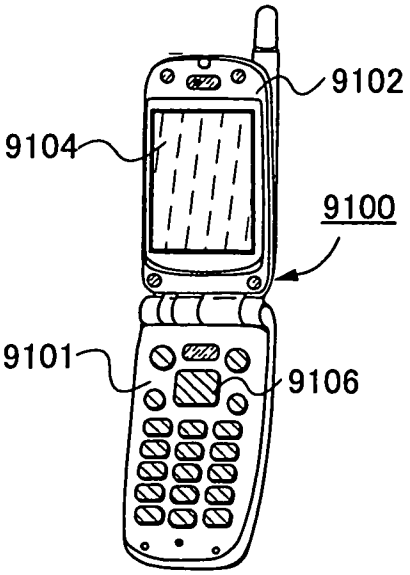
第23A圖



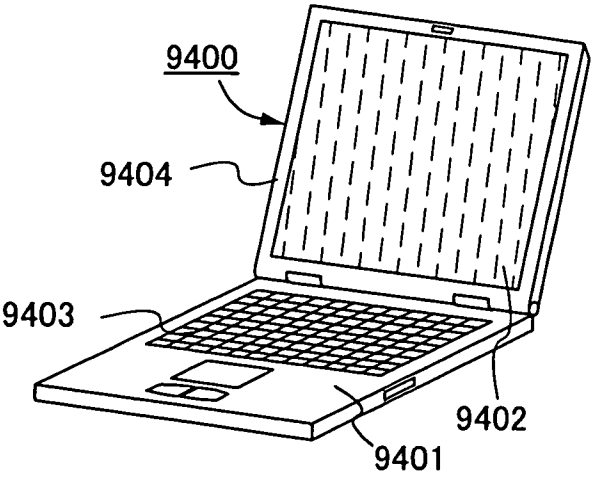
第23B圖



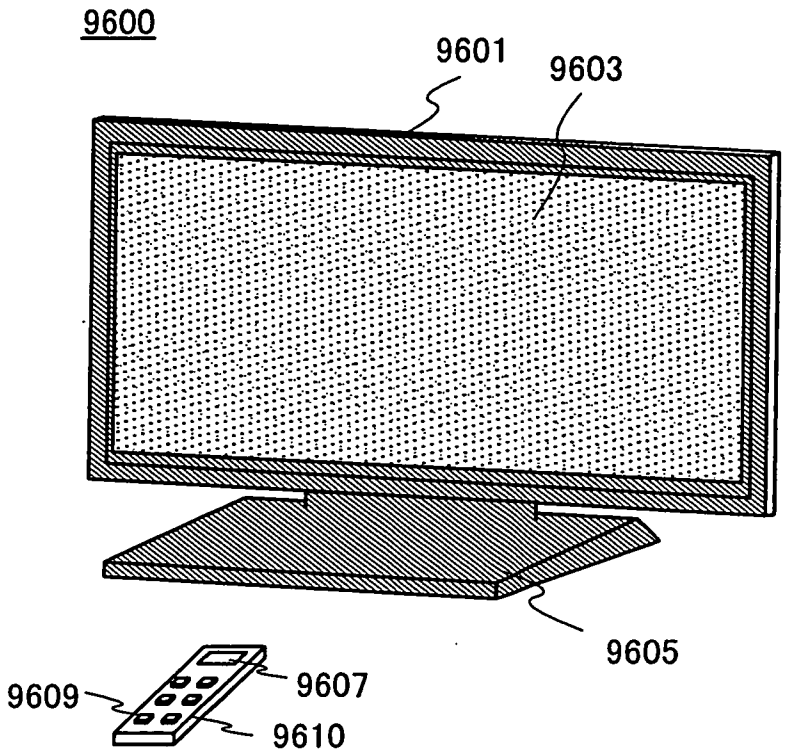
第23C圖



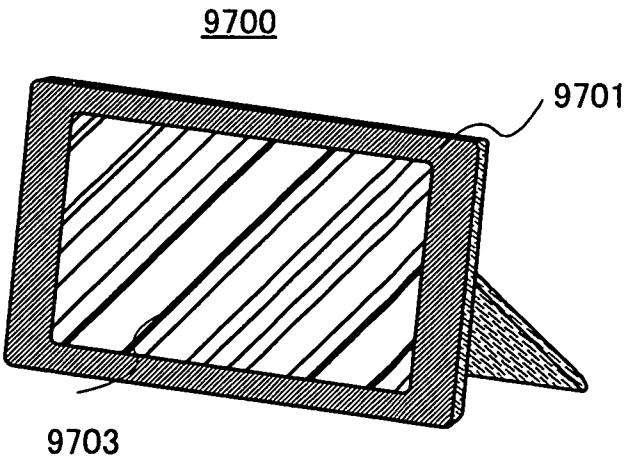
第23D圖



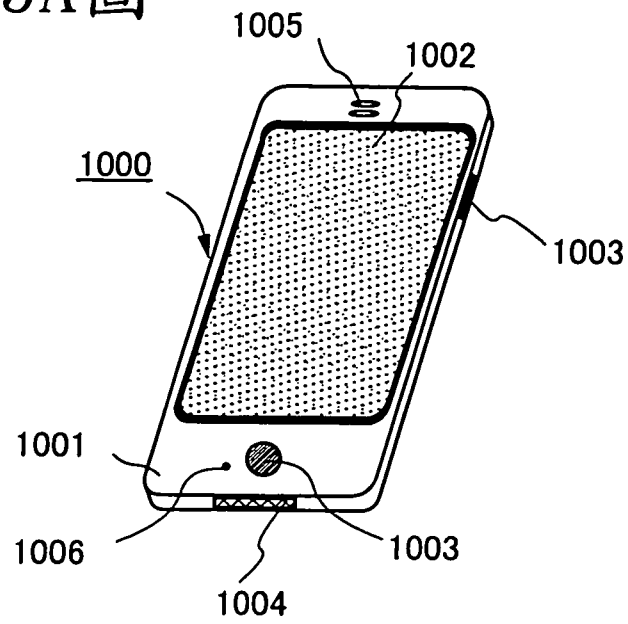
第24A圖



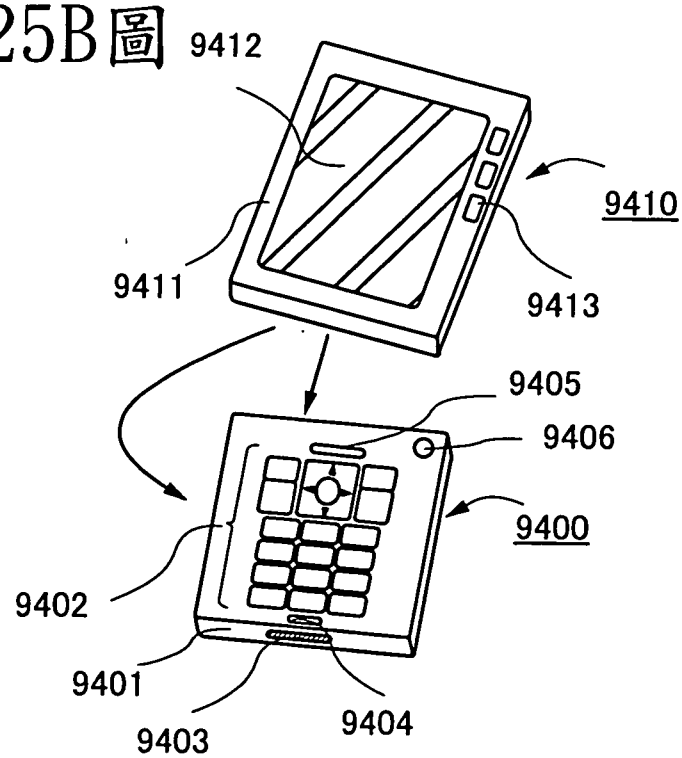
第24B圖



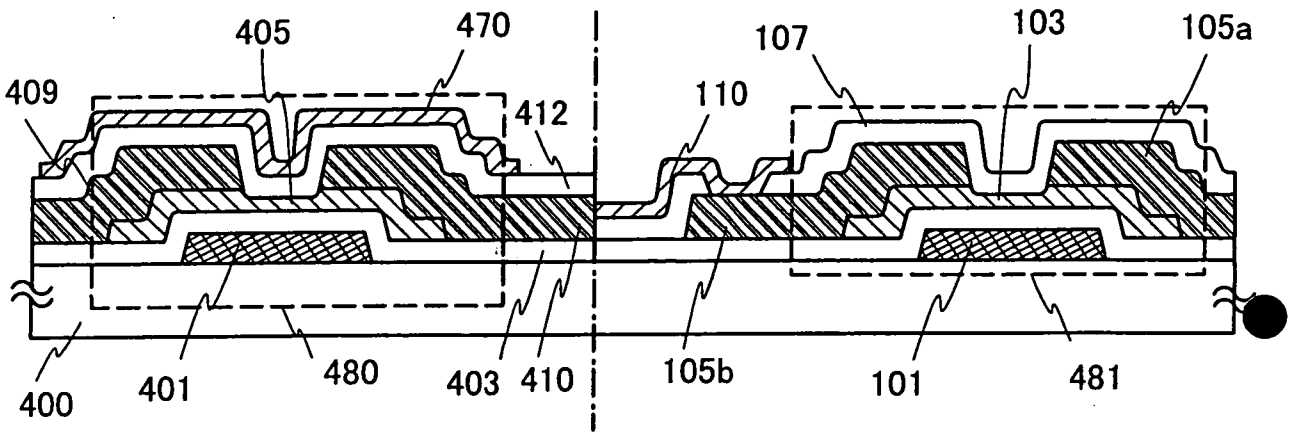
第25A圖


1005
1002
1000
1003
1001
1006
1003
1004

第25B圖


9412
9410
9411
9413
9405
9406
9400
9402
9401
9403
9404

第26圖


405
470
107
103
105a
409
110
412
400
401
480
403
410
105b
101
481