

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

A63F 13/00

[12] 发 明 专 利 说 明 书

[21] ZL 专利号 91111063.1

[45]授权公告日 2000 年 5 月 24 日

[11]授权公告号 CN 1052662C

[22]申请日 1991.11.17 [24]颁证日 2000.4.14

[21]申请号 91111063.1

[30]优先权

[32]1990.11.17 [33]JP [31]312409/90

[73]专利权人 任天堂株式会社

地址 日本京都府京都市

共同专利权人 理光株式会社

[72]发明人 大竹雅博 高桥丰文 西海聪

北川久美子

审查员 李金万

[74]专利代理机构 上海专利商标事务所

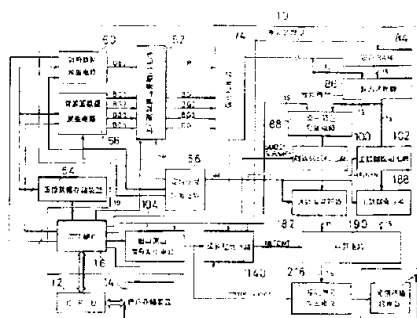
代理人 颜承根

权利要求书 3 页 说明书 23 页 附图页数 16 页

[54]发明名称 图像处理装置

[57]摘要

一种图像处理装置包括一执行从外部存储单元读出的程序的 CPU 和一视频处理器。在视频处理器中,动画字符的彩色数据与静止画字符的彩色数据被分别由动画数据发生电路和静止画数据发生电路输出。这两种彩色数据被供给主/副数据选择电路,它将该彩色数据作为主图像数据和副图像数据输出。运算电路执行运算操作以得到这两种彩色数据的平均值。视频信号发生电路将来自运算电路的该彩色数据的平均值变换为视频信号然后提供给显示装置。



ISSN 1008-4274

权 利 要 求 书

1. 一种图像处理装置，根据各像素点的彩色数据在显示装置上显示图像，其特征在于包括：

对组成第一图像的多个像素点中的各像素点产生第一彩色数据的第一图像数据发生装置；

对组成第二图像的多个像素点中的各像素点产生第二彩色数据的第二图像数据发生装置；

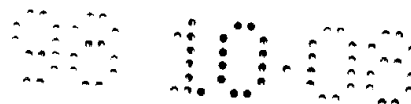
根据所述各像素点的第一彩色数据和所述各像素点的第二彩色数据执行规定运算的运算装置；以及

将所述运算装置输出的彩色数据变换为图像信号，提供给所述显示装置的图像信号供给装置。

2. 如权利要求 1 所述的图像处理装置，所述运算装置包括多个功能，其特征在于，它进一步包括产生指定所述运算装置运算功能的数据的运算功能指定数据发生装置，藉此所述运算装置按照由所述运算功能指定数据发生装置输出的指定数据所指定的运算功能来执行所述第一彩色数据和所述第二彩色数据的运算。

3. 如权利要求 1 所述的图像处理装置，其特征在于所述运算装置包括平均值运算装置。

4. 如权利要求 1 所述的图像处理装置，其特征在于进一步包括产生指定所述显示装置画面上范围的范围数据的数据发生装置，所述运算装置在由所述范围数据所指定的范围进行第一彩色



数据和第二彩色数据的运算。

5. 如权利要求 1 所述的图像处理装置, 其特征在于, 所述第一图像数据发生装置对各像素点产生所述第一彩色数据以显示垂直方向和水平方向分别由多个像素点组成的所述第一图像, 所述第二图像数据发生装置对各像素点产生所述第二彩色数据以显示垂直方向和水平方向分别由多个像素点组成的所述第二图像, 所述运算装置对所述各像素点的第一彩色数据和所述各像素点的第二彩色数据执行算术运算。

6. 如权利要求 5 所述的图像处理装置, 其特征在于, 从所述第一图像数据发生装置和所述第二图像数据发生装置输出的所述第一彩色数据和所述第二彩色数据分别包含表示红、蓝和绿各自的灰度的灰度数据, 所述运算装置对所述红、蓝和绿各色对所述第一彩色数据的所述灰度数据和所述第二彩色数据的所述灰度数据运算。

7. 如权利要求 1 所述的图像处理装置, 其特征在于进一步包括指定所述显示装置的画面的全体彩色作为单一彩色的单一彩色数据发生装置, 所述运算装置对所述第一彩色数据和所述第二彩色数据至少一种与从所述单一彩色数据发生装置输出的单一彩色数据运算。

8. 如权利要求 1 所述的图像处理装置, 其特征在于, 所述第一图像数据发生装置和第二图像数据发生装置分别产生表示优先

级的优先级数据，图像处理装置还包括基于所述优先级数据来对所述第一彩色数据和所述第二彩色数据之一进行选择的选择装置。

说明书

图像处理装置

本发明涉及图像处理装置。更具体地，本发明涉及用于电视游戏装置等、根据每个像素点的彩色数据在显示装置的画面上显示彩色图像的图像处理装置。

这种图像处理装置的例子在昭和 59 年(1984 年)7 月 7 日公开的特开昭 59 - 118184 公报(与 1989 年 4 月 25 日发行的美利坚合众国专利 4,824,106 相对应)中被揭示。该已有技术中，是使动画(目标)以及背景画(静止画)组合起来在光栅扫描监视器的画面上显示彩色图像的，因而通过决定动画以及背景画各自的优先级，在动画与背景画相重合的位置处仅显示具有较高优先级的动画或背景画。这时，因为不显示具有较低优先级的动画或背景画，就不能显示 2 幅图像重合来看的状态以及玻璃之类的透明物体。

前面引用的已有技术中，如果用光栅扫描监视器的每一间隔的帧来显示动画，则表面上能显示动画与背景画相重的画面。然而，藉该方法也还不能另外显示上述的透明物体。

另外，为显示透明的物体，只有设置把表示动画与背景画重合状态的变更后的彩色数据与原来的彩色数据分别存储的存储器，才有可能显示透明的物体。在计算机图形技术中，由于没有对存储器容量制约，因而也可采用对别的彩色数据预先进行存储的这种方法，然而电视游戏必须是便宜的，因而其存储器受自身限制，而无法使计算机图形技术直接用于这类电视游戏装置。

因此，本发明主要的目的在于提供能显示多幅图像相重状态的

图像处理装置。

本发明其他的目的在于提供能显示透明物体的图像处理装置。

本发明，简单地说，是依据各像素点的彩色数据在显示装置中显示彩色图像的图像处理装置，该图像处理装置包括对第一幅图像产生各像素点的第一彩色数据的第一图像数据发生装置，对第二幅图像产生各像素点的第二彩色数据的第二图像数据发生装置，以第一彩色数据与第二彩色数据执行规定运算的运算装置，以及将从运算装置输出的数据变换为图像信号并提供给显示装置的图像信号发生装置。

从第一图像数据发生装置以及第二图像数据发生装置分别输出的第一彩色数据以及第二彩色数据被送给运算装置，由运算装置通过运算出例如第一彩色数据以及第二彩色数据的平均值来输出显示第一幅图像以及第二幅图像重合状态的彩色数据。该彩色数据被送给图像信号发生装置，图像信号发生装置基于它产生 RGB 信号或合成视频信号，并将它送给显示装置例如光栅扫描监视器。因而，在光栅扫描监视器的画面上第一图像以及第二图像以它们重合的色彩而被显示。

按照本发明，能以简单的构成来显示多幅图像相重的状态。因而也就有可能显示象玻璃这类透明的物体。还有，根据本发明，由于没必要预先在存储器存储相重状态的彩色数据，因此无需增大存储器容量就能显示透明的物体。因而本发明的图像处理装置特别适合电视游戏装置。

在一实施例中，一用于图像处理装置的外部存储单元包括用于存储动画字符与静止画字符的字符数据的字符数据存储装置，用于

存储据此彩色运算操作能执行的彩色运算程序程序的彩色运算程序存储装置。该第一彩色数据发生装置和第二彩色数据发生装置分别根据从外部存储单元读取的字符数据产生第一图像的第一彩色数据和第二图像的第二彩色数据。该运算装置用第一彩色数据和第二彩色数据执行由从外部存储单元读取的运算程序所指定的运算操作。

另外，该运算装置包括多项运算功能，而该彩色运算程序包括用于指定多项运算功能之一的数据，因而，运算装置根据由运算功能指定数据所指定的运算功能执行运算操作。

另外，彩色运算程序包括用于产生指定所述显示装置画面范围的数据的范围数据程度，而运算装置在由所述范围数据所指定的范围内执行运算操作。

进一步，彩色运算程序包括用于产生指定显示装置的整个画面上的彩色为单一彩色的单一彩色数据的单一彩色数据程序，且运算装置用第一彩色数据与第二彩色数据中至少一种同根据该单一彩色数据发生装置产生的单一彩色数据执行运算操作。

本发明的上述目的、其他目的、特征以及优点通过参照附图而进行的以下实施例的详细说明会进一步明确。

图 1 为示出本发明一实施例的方框图。

图 2 为示意预先设定于图 1 实施例的程序存储装置中的程序数据的例子的图解图。

图 3 为示出在图 1 实施例中形成彩色窗口的图解图。

图 4 为示出图 1 实施例的 CPU 接口的方框图。

图 5 为示意图 1 实施例的定时信号发生电路的图解图。

图 6 为示意图 1 实施例的背景图像数据例子的图解图。

图 7 为示意图 1 实施例的动画数据例子的图解图。

图 8 为示出图 1 实施例的主/副数据选择输出电路的方框图。

图 9 为示出图 1 实施例的优先级电路的方框图。

图 10 为示出图 1 实施例的单一彩色附加电路的方框图。

图 11 为示出图 1 实施例的画面范围信号发生电路的方框图。

图 12A 以及图 12B 分别为示出只启动第一窗口时的图解图，
图 12A 示出内侧，图 12B 示出外侧。

图 13A 以及图 13B 分别为示出只启动第二窗口时的图解图，
图 13A 示出内侧，图 13B 示出外侧。

图 14 为示出在 AND 状态启动第一窗口以及第二窗口时的图解图。

图 15 为示出在异 OR 状态启动第一窗口以及第二窗口时的图解图。

图 16 为示出在异 NOR 状态启动第一窗口以及第二窗口时的图解图。

图 17 为示出图 1 实施例的运算控制电路的方框图。

图 18 为示出图 1 实施例的副数据控制电路的方框图。

图 19 为示出图 1 实施例的主数据控制电路的方框图。

图 20 为示出图 1 实施例的运算电路的方框图。

图中，10 为视频处理器，12 为 CPU，14 为程序存储装置，
16 为 CPU 接口，18 为光栅扫描监视器，54 为图像数据存储装置，
56 为定时信号发生电路，58 为背景画数据发生电路，60 为动画数
据发生电路，62 为主/副数据选择输出电路，74 为优先级电路，
86 为数据选择器，88 为单一彩色附加电路，100 为副数据控制电
路，102 为主数据控制电路，104 为画面范围信号发生电路，140

为运算控制电路， 182 为副数据寄存器， 188 为主数据寄存器， 190 为运算电路， 216 为图像信号形成电路。

参照图 1，本实施例的视频处理器与 CPU12 连接，CPU12 依据来自自由脱卸式的存储器卡盘构成的程序存储装置 14 的程序数据，通过包含在视频处理器 10 中的 CPU 接口，提供给后面所述的视频处理装置的各器件必要的信号或数据，使得按其程序在光栅扫描监视器 18 的画面上显示图像，作为这样的 CPU12 可利用例如 16 位的微处理器。

如上所述，由脱卸式卡盘构成的程序存储装置 14 包括预先存储例如游戏实行所必要的程序数据以及用于该游戏的动画字符与背景画字符的字符数据的存储器。如图 2 所示，程序数据被存储在典型地由 ROM 构成的程序存储器 14a 中，而字符数据被存储在典型地由 RAM 构成的字符存储器 14b 中。程序存储器 14a 除游戏实行所必要的其他程序外还包括彩色运算程序，该彩色运算程序则包括单一彩色数据 R、G、B；运算指定数据 ADDSUB；平均值指定数据 HLFEN；运算画指定数据 ADNOBJ—ADNBAC；单一彩色附加启动信号 SCADD；主画设定数据 ASW0,1；副画设定数据 BSW0,1；主画指定数据 OBJM—BG4M；副画指定数据 OBJS—BG4S；第一窗口设定数据 WAP1,2；第二窗口设定数据 WBP1,2；第一窗口内外指定数据 WAIO；第二窗口内外指定数据 WBIO；第一窗口启动信号 WAEN；第二窗口启动信号 WBEN；以及选择数据 WLS1,2 等。

单一彩色数据 R、G、B 是在无法显示动画 OBJ 以及第一至第四背景画 BG1—BG4 的任一幅时能附加红、绿、蓝任一颜色，表示该附加的背景彩色灰度的 5 位数据。运算指定数据 ADDSUB

是表示在后面述及的运算电路中加法或减法的 1 位数据。平均值指定数据 HLFEN 是指定在后面述及的运算电路中如何求得平均值的 1 位数据。运算画指定数据 ANOOBJ — ANOBAC 是表示应该加上副画数据的被加数据，分别包括 1 位的指定数据 ADBOBJ、ADNBG1、ADNBG2、ADNBG3、ADNBG4 以及 ADNABAC。另外，运算画指定数据 ADNABAC 表示是上述的背景彩色。单一彩色附加启动信号 SCADD 是表示是否要附加上述的背景彩色的 1 位数据。主画设定数据 ASW0 以及 ASW1 是提供给后面述及的主数据控制电路的各自 1 位的数据，而副画设定数据 BSW0 以及 ASW1 是提供给后面述及的副数据控制电路的各自 1 位的数据。主画指定数据 OBJM — BG4M 是表示指定哪一幅画为主画的数据，分别包括为 1 位的指定数据 OBJM、BG1M、BG2M、BG3M 以及 BG4M。而且，副画指定数据 OBJS — BG4S 是表示指定哪一幅画为副画的数据，分别包括 1 位的指定数据 OBJS、BG1S、BG2S、BG3S 以及 BG4S。

进一步，在本实施例中，在与视频处理器 10 相连接的光栅扫描监视器 18 上如图 3 所示设定 2 个窗口 WA 以及 WB，并能对这窗口 WA 和/或 WB 的内侧或外侧进行彩色运算。而且第一窗口设定数据 WAP1,2 是按每行设定并表示第一窗口 WA 的左端位置以及右端位置的数据。同样，第二窗口设定数据 WBP1,2 是表示第二窗口 WB 的左端位置以及右端位置的数据。而且，第一窗口内外指定数据 WAPIO 以及第二窗口内外指定数据 WBPIO 分别是表示第一窗口 WA 以及第二窗口 WB 的内侧或外侧的 1 位数据。启动第一窗口 WA 时的第一窗口启动信号 WAEN、启动第二窗口 WB 时的第二窗口启动信号 WBEN 分别被设定成 1 位数据。而且，选择数据

WLS1 以及 WLS2 是被用作多路转换器 132(图 11)的选择信号。

这类程序数据可由 CPU12 从程序存储器 14 读出, 通过 CPU 接口 16 输出。CPU 接口 16 包括从 CPU12 的地址总线接受地址数据的地址译码器 20 以及从 CPU12 的数据总线接受数据的数据锁存器 24。地址译码器通过对来自 CPU12 的地址译码并如图 4 所示输出各锁存器的锁存启动信号。这些锁存启动信号被提供给构成门电路 26 的 AND 门 26a — 26i 各自的一端输入, 而 AND 门 26a — 26i 各自的另一端输入则由来自 CPU12 的写入信号 $\overline{\text{WRITE}}$ 经倒相器反转后提供。该写入信号 $\overline{\text{WRITE}}$ 的反转信号还被供给数据锁存器 24, 起锁存信号的作用。

在从 CPU12 向数据总线输出第一窗口左端位置数据 WAP1 时, 向地址总线输出对数据锁存器 28 寻址的地址, 并从地址译码器 20 向门电路 26 的 AND 门 26f 输出 “1”。因而, 被锁存在锁存器 24 中第一窗口左端位置数据 WAP1, 被锁存到锁器 28 中。同样, 第一窗口右端位置数据 WAP2、第二窗口左端位置数据 WBP1 以及第二窗口右端位置数据 WBP2 响应地址译码器 20 的输出即 AND 门 26g, 26h 以及 26i 输出的信号而被锁存到数据锁存器 30、32 以及 34 中。

而且, 在数据锁存器 36、38 以及 40 中分别锁存由 CPU12 输出的单一彩色数据 R、G、B, 而该单一彩色数据为 5 位, 另一方面由于数据锁存器 24 为 8 位, 因而从 CPU12 向高位 3 位输出表示数据锁存器 36、38 和 40 中的任意一个的数据。与此同时, 由于从地址译码器 20 输出对译码器 42 寻址的信号, 该高位 3 位由译码器 42 译码而从译码器 42 输出使数据锁存器 36、38 以及 40 的一个启动的信号。但是, 当对数据锁存器 36 — 40 写入相同数据时,

可得到对全部的数据锁存器 36 — 40 进行寻址的输出，因而会将相同的灰度数据锁存到全部数据锁存器 36 — 40 中。

而且，在数据锁存器 44、46、48、50 以及 52 上，锁存如图 4 所示和先前说明的那种由 CPU12 从程序数据存储装置 14 读出的各自的数据或信号。这里就不重复了。

由例如 64K 字节的 SRAM(静态随机存取存储器 StaticRandomAccessMemory)构成的图像数据存储装置 54 包括屏幕 RAM 以及字符 RAM，从程序存储装置 14 的字符存储器 14b 输出的字符数据(像素点数据)通过 CPU12 以及 CPU 接口 16 被转送到字符 RAM。

视频处理器 10 包括定时信号发生电路 56，该信号发生电路 56 是通过接受例如 21.47727Mhz 的基本时钟信号并用计数器、译码器、逻辑电路等对该基本时钟信号处理，形成必要的定时信号，并提供给包容在该视频处理器 10 中的各个器件。例如当对基本时钟信号 1/2 分频就能得到定时信号 $\overline{10M}$ (本说明书中“ $\overline{}$ ”表示反转)，该定时信号 $\overline{10M}$ 再进行 1/2 分频后所得的信号，就是相当于显示光栅扫描监视器 18 画面上的 1 个像素点(像素)的定时信号 $\overline{5M}$ 。因而，通过对该定时信号 $\overline{5M}$ 进行计数，就可获得表示在监视器 18 画面上的垂直方向位置(V 位置)以及水平方向位置(H 位置)的 V 位置数据 V_p 以及 H 位置数据 H_p 。定时信号发生电路 56 再根据该 V 位置数据 V_p 以及 H 位置数据 H_p ，产生光栅扫描监视器所必要的同步信号 V_{sync} 以及 H_{sync} ，并将它送给后述的图像信号发生电路。而且，定时信号发生电路 56 在光栅扫描监视器 18 扫描(显示期间)输出为“1”的信号 $HVFIELD$ 的同时还在各水平扫描开始时输出为“1”的定时信号 $WCLD$ 。信号 $HVFIELD$ 被送给后述的主数据控制电

路以及副数据控制电路，而信号W C L D 送给后述的范围信号发生电路。

背景画数据发生电路 58，是依据从 CPU12 通过 CPU 接口 16 被供给的程序数据，从程序存储装置 14 的程序存储器 14a 读出背景画(静止画)的图案数据(字符码)，基于该图案数据从图像数据存储装置 54 读出背景画的图形数据，而将它作为背景画数据 BG1、BG2、BG3 以及 BG4 输出。即，在图像数据存储装置 54 的背景画图案数据区域中图 6 示出的背景画图案数据被存储在每个字符码中。一个示作字符的背景字符数据包括 10 位的名称数据(字符码)；3 位的属性数据；1 位的优先级数据以及 2 位的标志数据。背景画数据发生电路 58 是基于由定时信号发生电路 56 输出的 H 位置数据 Hp 以及 V 位置数据 Vp 来计算出与光栅扫描监视器 18 的画面上各行位置相对应的图像数据存储装置 54 的背景图案区域地址，并根据该地址值被寻址的图像数据存储装置 54 输出构成由前面的名称数据表示的字符的图像数据(像素点数据)。在显示多个背景画单元の場合，对应于单元数重复进行上述名称数据以及优先级数据的读出，输出优先级数据的同时还输出与各自的背景画单元对应的像素点数据。本实施例中，由于能同时输出 4 个单元的背景画，所以可从该背景画数据发生电路 58 输出第 1、第 2、第 3 以及第 4 幅背景画数据 BG1、BG2、BG3 及 BG4。

动画数据发生电路 60 虽未图示但包含 OAM(动画属性存储器 ObjectAttributeMemory)，该 OAM 存储合计 128 个动画数据(属性数据)。该动画数据如图 7 所示，由 34 位组成，包括 9 位动画指定数据(名称数据)、8 位 V 位置数据、9 位 H 位置数据、3 位彩色数据、2 位优先级数据、2 位标志数据以及 1 位容量选择数据。基于

包含在从 OAM 读出而被输出的动画数据内的名称数据以及位置数据同来自定时信号发生电路 56 的 V 位置数据, 对图像数据存储装置 54 内的字符数据区域寻址, 因而, 从图像数据存储装置 54 可输出该字符的图形数据(像素点数据)以及优先级数据。这样可从动画发生电路 60 输出动画数据 OBJ。

定时信号发生电路 56 输出的定时信号 $\overline{5M}$, 与上述动画数据 OBJ 以及背景画数据 BG1 — BG4 一起被送给主/副数据选择输出回路 62。通过 CPU 接口 16 从 CPU 输出提供的主画指定数据 OBJM — BG4M 以及副画指定数据 OBJS — BG4S 被送给该主/副数据选择输出电路 62。因而, 主/副数据选择输出电路 62 是通过响应这主画指定数据以及副画指定数据, 来决定动画数据 OBJ 以及背景画 BG1 — BG4 的哪一幅作为主画、哪一幅作为副画, 每个定时信号 $\overline{5M}$ 都时分交替地作为主数据以及副数据输出。

详细地讲, 该主/副数据选择输出电路 62 如图 8 所示, 包括选择门电路 64a — 64e。各选择门电路 64a — 64e 各自具有相同电路, 图 8 中 1 个选择门电路 64a 代表其他电路详细地表示出来, 因此这里通过对选择门电路 64a 的说明就可省略对其他选择门电路 64b — 64e 的说明。

选择门电路 64a 包括在各自的一端输入接受从动画数据发生电路 60 输出的动画数据 OBJ 的各个位的 AND 门 66, 而该 AND 门各自的另一端输入由 OR 门 68 的输出供给。AND 门 70 以及 72 各自的输出作为 OR 门 68 的 2 个输入被送出。向 AND 门 70 的一端输入通过 CPU 接口 16 输出的主画指定数据 OBJM, 向另一端输入由定时信号发生电路 56 输出的定时信号 $\overline{5M}$, 而且向 AND 门 72 的一端输入从 CPU 接口 16 输出的副画指定数据 OBJS, 向另一端

输入从定时信号发生电路 56 输出的定时信号 $\overline{5M}$ 。

因而，在动画被设定为主画时，主画指定数据 OBJM 为 “1”，副画指定数据 OBJS 为 “0”。因而从 AND 门 66 与定时信号 5M 同步地输出动画数据 OBJ。而在动画被设定为副画时，由于副画指定数据 OBJS 为 “1” 因而从 AND 门 66 与定时信号 $\overline{5M}$ 同步地输出动画数据。

同样，在第一背景画、第二背景画、第三背景画或第四背景画被设定为主画时，由于主画指定数据 BG1M、BG2M、BG3M 或 BG4M 被设定为 “1”，从选择门电路 64b、64c、64d 或 64e 与定时信号 5M 同步地输出背景画数据 BG1、BG2、BG3 或 BG4。而在第一背景画、第二背景画、第三背景画或第四背景画被设定为副画时，由于副画指定数据 BG1S、BG2S、BG3S 或 BG4S 被设定为 “1”，因而与定时信号 $\overline{5M}$ 同步地从选择门电路 64b、64c、64d 或 64e 输出背景画数据 BG1、BG2、BG3 或 BG4。

这样，从主/副数据选择输出电路在定时信号 5M 为 “1” 时输出主画数据而在定时信号 $\overline{5M}$ 为 “1” 时输出副画数据。

从主/副数据输出选择输出电路 62 输出的主画数据以及副画数据被送给优先级电路 74。

另外，从主/副数据选择输出电路 62 输出送给优先级电路的各自数据，基本上包括图形数据(像素点数据)以及优先级数据。但是也有输出彩色码(图 6 以及图 7)以及调色数据，来替代这些图形数据。

优先级电路 74 是用于在动画或背景画相重时输出由优先级数据表示的优先级较高的数据的电路，具体地如图 9 所示而构成。即，优先级电路 74 包括透明检出电路 76a、76b、76c、76d 以及

76e，这些分别与动画数据 OBJ、背景画数据 BG1、BG2、BG3 以及 BG4 相对应。另外，由于这些透明检出电路 76a — 76e 具有相同的电路构成并且在图 9 中仅详细示出了可代表其他的透明检出电路 76a，因而这里通过说明透明检出电路 76a 而省略了对其他的透明检出电路 76b — 76e 的详细说明。

透明检出电路 76a 包括 OR 门，该 OR 门 78 的各输入由动画数据 OBJ 的各位供给，该 OR 门 78 的输出作为透明检出信号送给优先级电路 80。该透明检出电路进一步包括各自可接受动画数据 OBJ 的各位的三位门 82。当动画数据 OBJ 的各位全为“0”时，则定义为不显示动画的状态即动画为透明，因而优先级电路 80 仅对属于透明检出电路 76a — 76e 中的 OR 门 78 的输出为“1”的数据决定优先级。三态门 82 是用于将分别输入到优先级电路 74 的动画数据 OBJ 以及背景画数据 BG1、BG2、BG3 以及 BG4 作为复合图像数据输出。即，在优先级电路 80 中，通过在透明检出电路 76a — 76e 的输出“1”的数据中检出最优先的数据，并对其复合图像数据识别信号置“0”，以输出最优先的图像数据。例如，动画数据 OBJ 的优先级数据被设定为其动画数据应是最优先被显示的，在透明检出电路 76a 的 OR 门 78 的输出为“1”的场合，则从优先级电路 80 输出的 $\overline{\text{OBJSEL}}$ 为“0”，而其他的复合图像数据识别信号 $\overline{\text{BG1SEL}}$ 、 $\overline{\text{BG2SEL}}$ 、 $\overline{\text{BG3SEL}}$ 、 $\overline{\text{BG4SEL}}$ 以及 $\overline{\text{BAC}}$ 全都被作为“1”输出。从而，打开包含在透明检出电路 76a 中的三态门 82，从该优先级电路 74 仅输出动画数据 OBJ。

另外，复合图像数据识别信号 $\overline{\text{BACK}}$ 是表示动画数据 OBJ 和背景画数据 BG1 — BG4 都不输出的信号，在这种场合显示背景彩色。

然而，如前说明的那样，由于这些数据是由主/副数据选择

输出电路 62 时分输出成为主数据或副数据的，因而在该优先级电路 74 中对主数据以及副数据是分别决定优先级。

假如从优先级电路 74 输出的复合数据中包括彩色码以及调色数据而不是图形数据时，则该数据被送给彩色 RAM84。

彩色 RAM84 是接受通过 CPU 接口 16 从 CPU12 输出的 8 位的调色选择数据，并将从优先级电路 74 输出的彩色码以及调色数据变换为各彩色 5 位共计 15 位的彩色数据(灰度数据)。即，彩色数据为具有对红、绿以及蓝分别由 5 位指定的灰度，因而彩色数据共由 15 位构成。

从主/副选择输出电路 62 即优先级电路 74 输出的复合数据为图形数据时，该图形数据被直接送给数据选择器。从 CPU12 以“1”或“0”区别直接方式或间接方式的方式信号输入给数据选择器 86。数据选择器可响应该方式信号“0”而输出来自彩色 RAM84 的 15 位的彩色数据，响应方式信号“1”而输出从优先级电路 74 输出的 15 位彩色数据。

然而，主数据以及副数据经各自的通路输出，副数据是被送给单一彩色附加电路 88 的。

单一彩色附加电路 88 还接受从属于图 4 的 CPU 接口 16 中的数据锁存器 36、38 以及 40 输出的背景彩色数据。而且在无副画数据的部分上附加背景彩色数据成为彩色数据或完全地将副数据置换为彩色数据。

单一彩色附加电路 88，具体地被示于图 10 中。即，从 CPU 接口 16 输出红、绿以及蓝的各 5 位 K 字节彩色数据被送给数据选择器 90，从数据选择器 86(图 1)输出的红、绿以及蓝的各 5 位彩色数据通过锁存电路 92 送给数据选择器 90。锁存电路 92 是由 D 触

发器构成, 响应定时信号 $\overline{10M}$ 对数据选择器 86 输出的彩色数据进行锁存. 还将从优先级电路 74 输出的复合图像数据识别信号 $\overline{BACK}$ 以及定时信号 $\overline{10M}$ 供给 D 触发器 94, 该 D 触发器 94 是被用来定时调整的. 即 D 触发器 94 响应定时信号 $\overline{10M}$, 锁存从优先级电路 74 输出的识别信号. 该 D 触发器 94 的输出 Q 通过 NOR 门被供给数据选择器 90 的选择信号输入, D 触发器 94 的输出 $\overline{Q}$ 被供给 OR 门 98 的一端输入. 与 NOR 门 96 相同, 通过 CPU 接口 16 从 CPU12 输出而提供的前述的信号 SCADD 经倒相器反转而被供给 OR 门 98 的另一端输入. 信号 SCADD 设定为 “0” 时, NOR 门 96 的输出成为 “0”, 从而数据选择器 90 选择背景彩色数据来输出. 而信号 SCADD 设定为 “1” 时, 则 NOR 门 96 的输出依赖于信号 $\overline{BACK}$. 而且, 如前面说明的那样, 信号 $\overline{BACK}$ 是表示无任何图像数据的信号, 该信号经 D 触发器 94 定时调整为副数据后, 被送给 NOR 门 96. 因而, 在副数据中无图像数据的状态下, 数据选择器 90 选择背景彩色数据, 而在有作为副数据任一图像数据场合下, 数据选择器 90 输出其彩色数据.

这样, 单一彩色附加电路 88 在无任何图像数据时, 将背景彩色数据提供作为副数据. 这时从 OR 门 98 输出表示选择背景彩色数据作为副数据的信号 SBCK.

从单一彩色附加电路 88 输出的副数据被送给副数据控制电路 100, 而从数据选择器 86 输出的主数据被送给主数据控制电路 102.

这里, 对画面范围信号发生电路 104 进行说明. 画面范围信号发生电路 104 是用来输出用于设定光栅扫描监视器 18 的画面上的彩色窗口范围的信号 CW. 具体地如图 11 所示构成, 该画面范围

信号发生电路 104 包括计数器 106，从定时信号发生电路 56 输出的定时信号 5M 被作为计数器 106 的时钟输入。因而计数器 106 对光栅扫描监视器 18 的画面上的每一个像素点更新其计数值。计数器 106 的复位输入由从定时信号发生电路 56 输出的信号 WCLD 供给，因而计数器 106 每当开始行扫描时就复位，藉时钟信号 5M 顺序递增。

计数器 106 的输出被送给第一窗口电路 108a 以及第二窗口 108b。然而，由于图 11 仅详细示出第一窗口电路 108a 且两者是相同的构成，因而这里对窗口电路 108a 说明。

第一窗口电路 108a 包括 2 个一致检出电路 110 以及 112，计数器 106 的计数值被供给该一致检出电路 110 以及 112 各自的一端输入。一致检出电路 110 以及 112 各自的其他输入由从 CPU 接口 16 的数据锁存器 28 以及 30 输出的第一窗口左端第一数据 WAP1 以及 WAP2 供给。一致检出电路 110 通过对左端位置数据 WAP1 与计数器 106 的计数值比较，并在两者一致时将置位输入送给 RS 触发器 114。同样，一致检出电路 112 通过对计数器 106 的计数值与右端位置数据 WAP2 比较，并在两者一致时使 RS 触发器 116 置位。由于 RS 触发器 114 以及 116 与计数器 106 同样地由信号 WCLD 复位，因此在各自供给置位输入时输出 Q 为“1”。然而 RS 触发器 116 由于输出输出 $\bar{Q}$ ，因而在供给置位输入时输出为“0”。

RS 触发器 114 输出 Q 以及 RS 触发器 116 的输出 Q 的反转信号被送给 AND 门 118。因而 AND 门每次行扫描时都从与第一窗口左端位置数据相当的定时到与右端位置数据相当的定时输出“1”。AND 门 118 输出与从 CPU 接口 16 输出供给的第一窗口内外指定信号 WAIO 一起送给异 OR 门 120。异 OR 门 120 在信号

WAIO 为 “1” 时使 AND 门 118 输出反转，并将它供给 OR 门 122 的一端输入。OR 门 122 的另一端输入由从 CPU 接口 16 输出供给的第一窗口启动信号 WAEN 经倒相器反转来送给。从而在信号 WAEN 为 “1” 时并且 AND 门 118 的输出为 “1” 期间从 OR 门 122 输出 “1”。

同样地也可从第二窗口电路 108 获得 OR 门输出。这些 OR 门的输出分别作为 OR 门 124、AND 门 126、异 OR 门 128 以及异 NOR 门 130 的 2 个输入被提供。这些各个门 124 — 130 的输出被送给多路转换器 132。

而且从 CPU 接口 16 输出的信号 WAEN 以及 WBEN 被送给 AND 门 134，该 AND 门 134 的输出被送给 AND 门 136 以及 138 各自的一端输入。AND 门 136 的另一端输入由从 CPU 接口 16 输出的控制信号 WLS1 供给，而 AND 门 138 的另一端输入由控制信号 WLS2 供给。而且 AND 门 136 以及 138 的输出分别供给作为多路转换器 132 的选择信号 A 以及 B。

多路转换器 132 依据选择输入 A 以及 B 来自门 124 — 130 的 4 个输入中选择 1 个，并作为彩色窗口范围信号 CW 输出。

即，在仅使用第一窗口或第二窗口的场合，从 CPU 接口 16 输出的信号 WAEN 或 WBEN 被设定为 “1”。这时，AND 门 134 的输出成为 “0”。从而 AND 门 136 以及 138 的输出均为 “0”，多路转换器 132 选择 OR 门 124 的输出作为范围信号 CW。在仅启动第一窗口 WA 时，在图 12A 或图 12B 中用阴影表示的部分的范围信号 CW 成为 “1”。图 12A 表示内外指定信号 WAIO 为 “1” 的时候，而图 12B 表示内外指定信号 WAIO 为 “0” 的时候。在仅启动第二窗口 WB 时，对在图 13A 或图 13B 中用阴影表示部分范

围信号 CW 成为“1”。图 13A 表示内外指定信号 WBIO 为“1”的时候，而图 13B 表示内外指定信号 WBIO 为“0”的时候。

假如 2 个信号 WAEN 以及 WBEN 都被设定为“1”时，多路转换器 132 依据控制信号 WLS1 以及 WLS2 来选择 AND 门 126 的输出、异 OR 门 128 的输出或异 NOR 门 130 的输出并输出范围信号 CW。在该场合下，内外指定信号 WAIO 以及 WBIO 任一信号都被设定为“1”。

控制信号 WLS1 以及 WLS2 都设定为“0”时，虽然多路转换器 132 选择 AND 门 126 的输出，然而这种场合下，对于图 14 中用阴影表示的范围输出“1”的范围信号 CW。当控制信号 WLS1 设定为“0”而控制信号 WLS2 设定为“1”时，多路转换器 132 选择异 OR 门 128 的输出，然而这种场合，对于图 15 中用阴影表示的范围输出“1”的范围信号 CW。控制信号 WLS1 以及 WLS2 都设定为“1”时，多路转换器 132 选择异 NOR 的输出，然而这种场合，图 16 中用阴影表示的范围输出“1”的范围信号 CW。

另外请注意在后述的运算电路中，是通过运算控制电路的控制，仅在彩色窗口范围信号 CW 为“1”的期间进行规定运算的。

运算控制电路 140 具体地在图 17 中示出。

即，前面说明过的数据 ASW1、ASW0、BSW1 以及 BSW0 是通过 CPU 接口 16 从 CPU 即程序存储装置 14 输出的。这些信号 ASW0,1 以 BSW0,1 是用于决定在后面述及的运算电路中执行运算时怎样利用从上述的画面范围信号发生电路 104 输出的画面范围信号 CW 的信号。而且当 2 个信号 ASW0 以及 ASW1 都为“0”时，从 NOR 门输出“1”，它被输入到 OR 门 144。因此这时信号 MAINAREA 成为“1”，在被送给上述主数据控制电路 102 的同

时并被供给 AND 门 146 的一端输入。

当信号 ASW1 以及 ASW0 都为 “1” 时，NOR 门 142 输出 “0”。另一方面，由于信号 ASW1 被反转且输入给 AND 门 148，因此该 AND 门 148 的输出也为 “0”。进而，由于信号 ASW1 被反转且输入给 AND 门 150，因此该 AND 门 150 的输出也为 “0”，因而 OR 门 144 的输出为 “0”。在该场合下 OR 门 144 的输出与画面范围信号 CW 无关。

接下来当信号 ASW0 为 “1” 而信号 ASW1 为 “0” 的时候，NOR 门 142 的输出为 “0” 而 AND 门 150 的输出为 “0”，并且从 AND 门 148 直接输出画面范围信号 CW。在该场合下，画面范围信号 CW 通过 OR 门 144，直接成为信号 MAINAREA。

进而，在信号 ASW0 为 “0” 而且信号 ASW1 为 “1” 的场合，从 OR 门 144 输出通过 AND 门 150 反转的画面范围信号 CW。

另外，对于信号 BSW0 以及 BSW1 是通过门 152 — 158 进行与前述相同的处理。因此，从 OR 门 114 以及 154 输出的信号 MAINAREA 以及 SUBAREA 如下表。

表

ASW0(或 BSW0)	0	1	0	1
ASW1(或 BSW1)	0	0	1	1
MAINAREA(或 SUBAREA)	1	CW	$\overline{CW}$	0

运算控制电路 140 还包括 6 个 AND 门 160、162、164、166、168 以及 170。AND 门 160 的两输入由从优先级电路 74 输出的信号 $\overline{OBJSEL}$ 与从 CPU 接口 14 输出的数据 ADNORG 供给。同

样, AND 门 162 的两输入由信号 $\overline{\text{BG1SEL}}$ 与数据 ADNBG1 供给。AND 门 164 的两输入由信号 $\overline{\text{BG2SEL}}$ 以及数据 ADNBG2 供给。AND 门 166 由信号 $\overline{\text{BG3SEL}}$ 以及数据 ADNBG3 供给, AND 门 168 由信号 $\overline{\text{BG4SEL}}$ 以及数据 ADNBG4 供给, 而且 AND 门 170 由信号 $\overline{\text{BACK}}$ 以及数据 ADNBAC 供给。因而, 在各个的两输入都为“1”时从 AND 门 160 — 170 输出加法命令信号, 这些加法命令信号经 OR 门 172 被送给上述的副数据控制电路 100 并供给 AND 门 146 的输入。

进一步, 从单一彩色附加电路 88 输出的信号 $\overline{\text{SBCK}}$ 被供给 AND 门 146, AND 门 146 的输出与从 CPU 接口 16 输出的数据 HLFEN 一起被供给 AND 门 174。因而仅在有加法命令信号并且 2 个信号 MAINAREA 以及 SUBAREA 都为“1”时该 AND 门 174 输出“1”, 它被送给 D 触发器 176。该 D 触发器 176 的时钟由从定时信号发生电路 56 输出的定时信号 $\overline{5M}$ 供给, 从 D 触发器 176 的输出作为信号 HLFCNT 送给后述的运算电路。

如图 18 所示, 前述副数据控制电路 100 包括 3 输入 AND 门 178, 该 AND 门 178 的各个输入由信号 SUBEN、HVFIELD 以及 SUBAREA 供给。信号 SUBEN 以及 SUBAREA 由上述的运算控制电路 140 供给, 信号 HVFIELD 由定时信号发生电路供给并在光栅扫描监视器 18 的显示期间中为“1”, 而且 AND 门 178 的输出被供给各个 AND 门 180 的一端输入, 该 AND 门 180 各个的另一端输入由从单一彩色附加电路 88 输出的彩色数据各位供给。而且仅在信号 SUBEN、SUBAREA 以及 HVFIELD 全为“1”的时候, 从单一彩色附加电路 52 输出的彩色数据被送给副数据寄存器 182(图 1)。

要对主数据所决定的图像数据进行副数据运算时候,例如在指定动画数据 OBJ 以及背景画数据 BG1 作为主数据并且仅设定背景画数据 BG1 作为运算成副数据的数据的场合,在主数据为背景数据 BG1 时信号 SUBEN 为“1”,且副数据被送给副数据寄存器 182。

而且,藉前面说明的窗口屏蔽机能,仅在光栅扫描监视器 18 画面上的特定范围设定了主数据与副数据应被运算的状态时,仅在该范围中信号 SUBAREA 为“1”。

在图 19 中示出的主数据控制电路 102 包括两输入 AND 门 184,该 AND 门 84 的输入由前述信号 HVFIELD 以及 MAINAREA 供给。信号 MAINAREA 在光栅扫描监视器 18 画面上的特定范围内为“1”,信号 HVFIELD 在显示期间为“1”。而且该 AND 门 184 的输出被供给各个 AND 门 186 的一端输入,各个 AND 门 186 的另一端输入由从数据选择器 86 输出的主数据的各位供给,而且仅在显示期间且在画面上特定范围内,主数据才被送给主数据寄存器 180(图 1)。

运算电路 190 如图 20 所示,各色 R、G 以及 B 都具有运算电路 192a、192b 以及 192c,但在该图 20 中仅详细图示红运算电路 192a,而其他运算电路 192b 以及 192 是相同的构成,因而这里仅对红色运算电路 192a 详细说明,而省略对其他运算电路 192b 以及 192c 详细的说明。

运算电路 192a 包括加法器,加法器 194 的一端输入 A 由从主数据寄存器 188 输出的对应于色 R 的 5 位灰度数据供给,其他输入 B 由从补数电路 196 的输出供给。补数电路 196 接受从副数据寄存器 182 输出的对应于色 R 的副数据。该补数电路 196 包括与副数据

的 5 位对应的 5 个异 OR 门 198，各异 OR 门各自的一端输入由副数据的各位供给，另一端输入则由从 CPU 接口 16 输出的数据 ADDSUB 供给。因而补数电路 196 在数据 ADDSUB 为“0”时由副数据寄存器 182 输出的数据直接送给加法器 194，而在数据 ADDSUB 为“1”时将副数据的“2 的补数”供给加法器 194。因此加法器 194 结果上是在数据 ADDSUB 为“0”时对主数据与副数据进行加法而在数据 ADDSUB 为“1”时从主数据减去副数据。

加法器 194 的输出被送给门电路 200。该门电路 200 包括与加法器 194 的 5 位输出的各位对应的 5 个 AND 门 202，这些 AND 门 202 的一端输入由加法器 194 输出的各位供给。AND 门 202 的另一端输入共同地由 OR 门 204 的输出供给。OR 门 204 接受通过倒相器供给的数据 ADDSUB 与从加法器 194 输出的进位信号 CO。从而在数据 ADDSUB 为“0”时即在作减法加法器 194 的运算结果为负的时候，从 AND 门 202 全部输出“0”。

而且，该门电路 200 的输出被送给别的门电路 206，该门电路 200 包括 5 个 OR 门 208 与 AND 门 210。各个 OR 门 208 的一端输入由门电路 200 输出的各位供给，其他输入则由 AND 门 210 的输出供给。AND 门 210 接受从加法器 194 输出的进位信号 CO，以及通过倒相器供给的数据 ADDSUB 和通过倒相器供给的从前面的运算控制电路 140 输出的信号 HLFCNT。从而在加法动作中加法器 194 的加法结果溢出时，则响应 AND 门 210 的输出并由门电路 206 强制地使各位全部置“1”。

该门电路 206 的输出被送给 1 位移位电路 212，该 1 位移位电路 212 若在从运算控制电路 140 输出的信号 HLFCNT 被输出时，响应 AND 门 214 的输出，并将从门电路 206 接受的数据进行 1 位

移位。AND 门 214 接受从加法器 194 输出的进位信号 CO 与经过倒相器的数据 ADDSUB，并在加法器 194 中产生溢出时输出“1”。从而 1 位移位电路 212 若在响应从运算控制电路 140 输出的信号 HLCNT 来求平均值时，且在加法器 194 中产生溢出时，如果为求其平均值而进行 1 位移位则不会成为最大值 $R_{\max}$ ，因而通过在最高位附加 AND 门 214 输出的“1”，来输出最大值 $R_{\max}$ 。

这样，在求平均值时，从 1 位移位电路 212 输出高位 5 位，反之则输出低位 5 位。

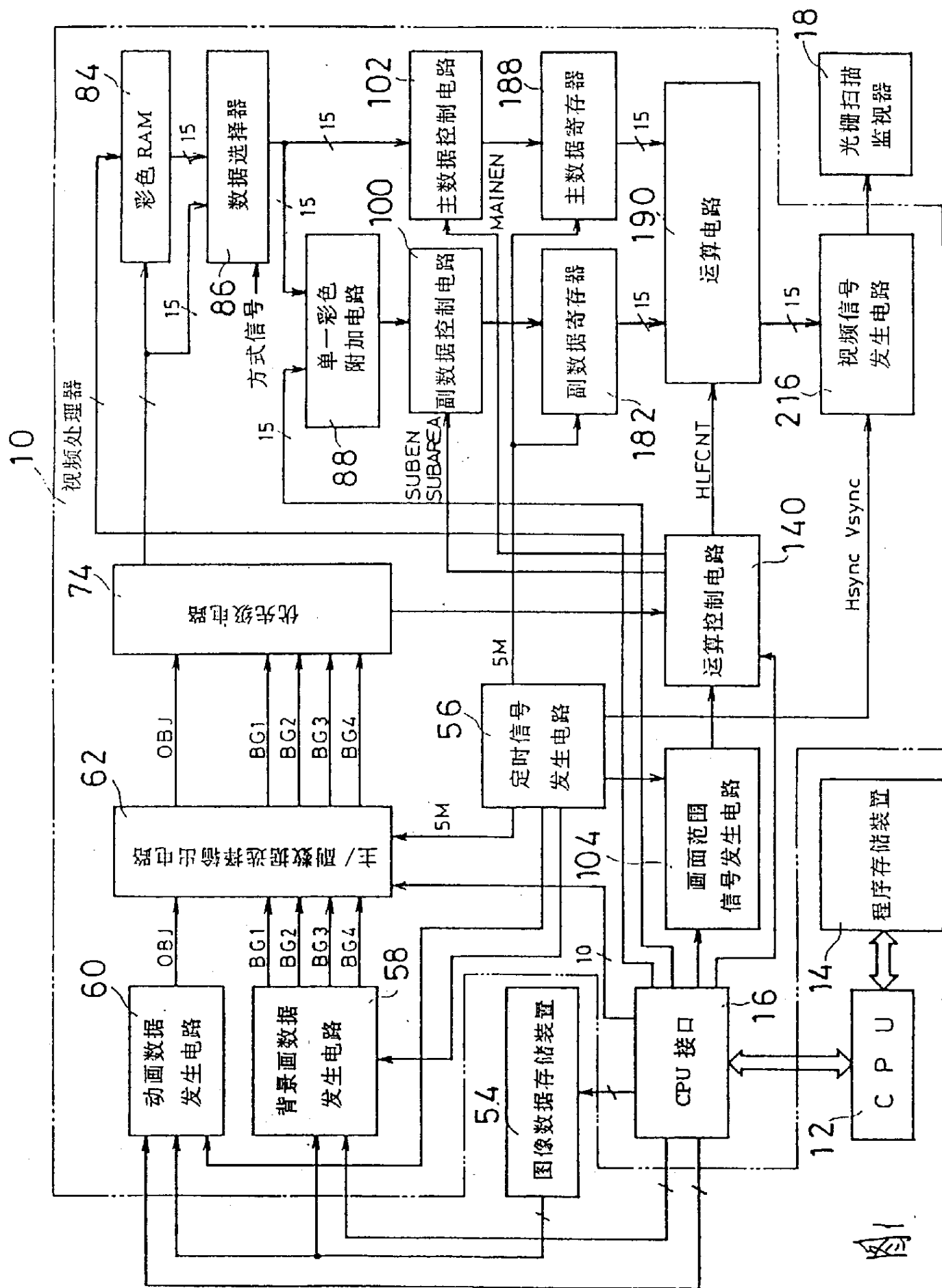
1 位移位电路 212 的输出被送给图像信号发生电路 216。从定时信号发生电路 56 输出的同步信号 Hsync 以及 Vsync 被送给该图像信号发生电路。因此在图像信号产生电路 216 中，如已经所知的那样，将从运算电路 190 输出的色 R、G 以及 B 的各灰度数据变换为包含 RGB 信号和同步信号的电视复合视频信号，并将其送给光栅扫描监视器 18。

另外，在上述实施例中，一包括一半导体存储器的存储器卡盘可用作外部存储单元；当然在本发明中使用诸如 CD-ROM 这种外部存储单元也是可以的。在使用存储器卡盘的情况中，包含动画字符和静止画字符的字符数据的程序数据以及前述彩色运算程序数据被存储在半导体存储器中，而 CPU12 基于从半导体存储器读取的程序数据对动画字符和静止画(背景画)字符产生控制数据并将它输出给视频处理器 10 中的各个器件。

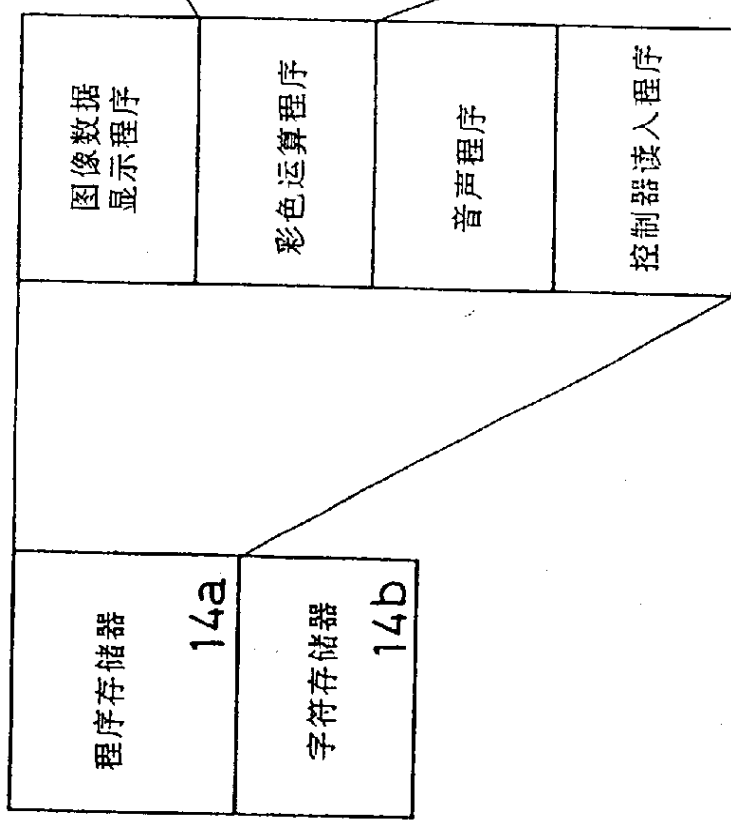
与此相对，在一个使用 CD-ROM 例中，上述程序数据和彩色运算程序数据被作为数字数据光记录在 CD-ROM(未图示)中。此外，用于光读出记录于 CD-ROM 上的数据的光读机被连接至诸如扩展接插件这种合适的接插件上。即使 CD-ROM 被用作外

部存储单元，也还使用了存储器卡盘。在这种情况下，该存储器卡盘包括一存储用于控制光读机操作的起动程序的 ROM，一用来暂时存放从 CD - ROM 读出的数据的缓冲 RAM(未图示)等。因而，在显示操作开始之前，CPU12 依据 ROM 中的起动程序将控制数据加给光读机使光读机读出 CD - ROM 中所存储的数据。从 CD - ROM 读出的字符数据部分被转送到字符 RAM，而程序数据被转送到包含在存储器卡盘中的缓冲 RAM。CPU12 根据存贮在缓冲 RAM 中的程序数据，控制视频处理器 10 的各部件。即在由光读机从 CD - ROM 读出的数据被转送到各自的存储器之后，如前面的实施例那样，CPU12 和视频处理器 10 通过访问各自的存储器执行显示操作。

说 明 书 附 图



14



单一彩色数据	(R, G, B)
运算指定数据	(ADDSUB)
平均值指定数据	(HLFEN)
运算画指定数据	(ADNOBJ-ADNBAC)
单一彩色附加启动信号	(SCADD)
主画设定数据	(ASW0,1)
副画设定数据	(BSW0,1)
主画指定数据	(OBJM-BG4M)
副画指定数据	(OBJS-BG4S)
第一窗口指定数据	(WAP1, 2)
第二窗口指定数据	(WBP1, 2)
第一窗口内外指定数据	(WAI0)
第二窗口内外指定数据	(WBI0)
第一窗口启动信号	(WAE0)
第二窗口启动信号	(WBE0)
选择数据	(WLS1, 2)

图2

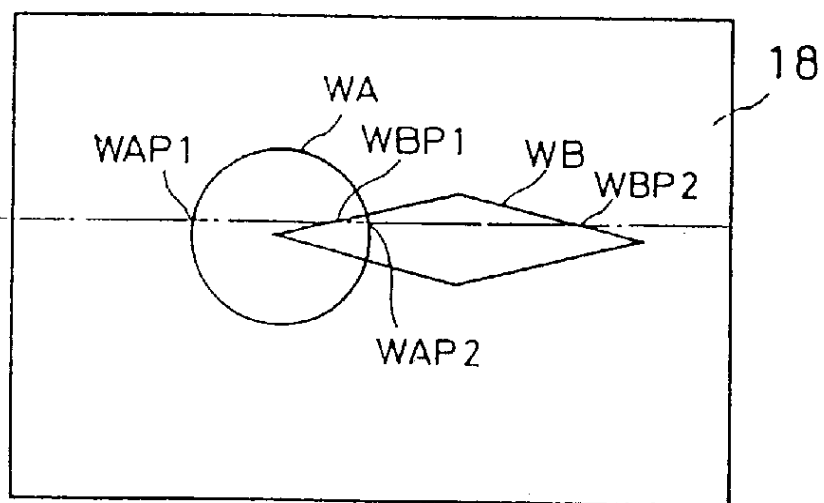
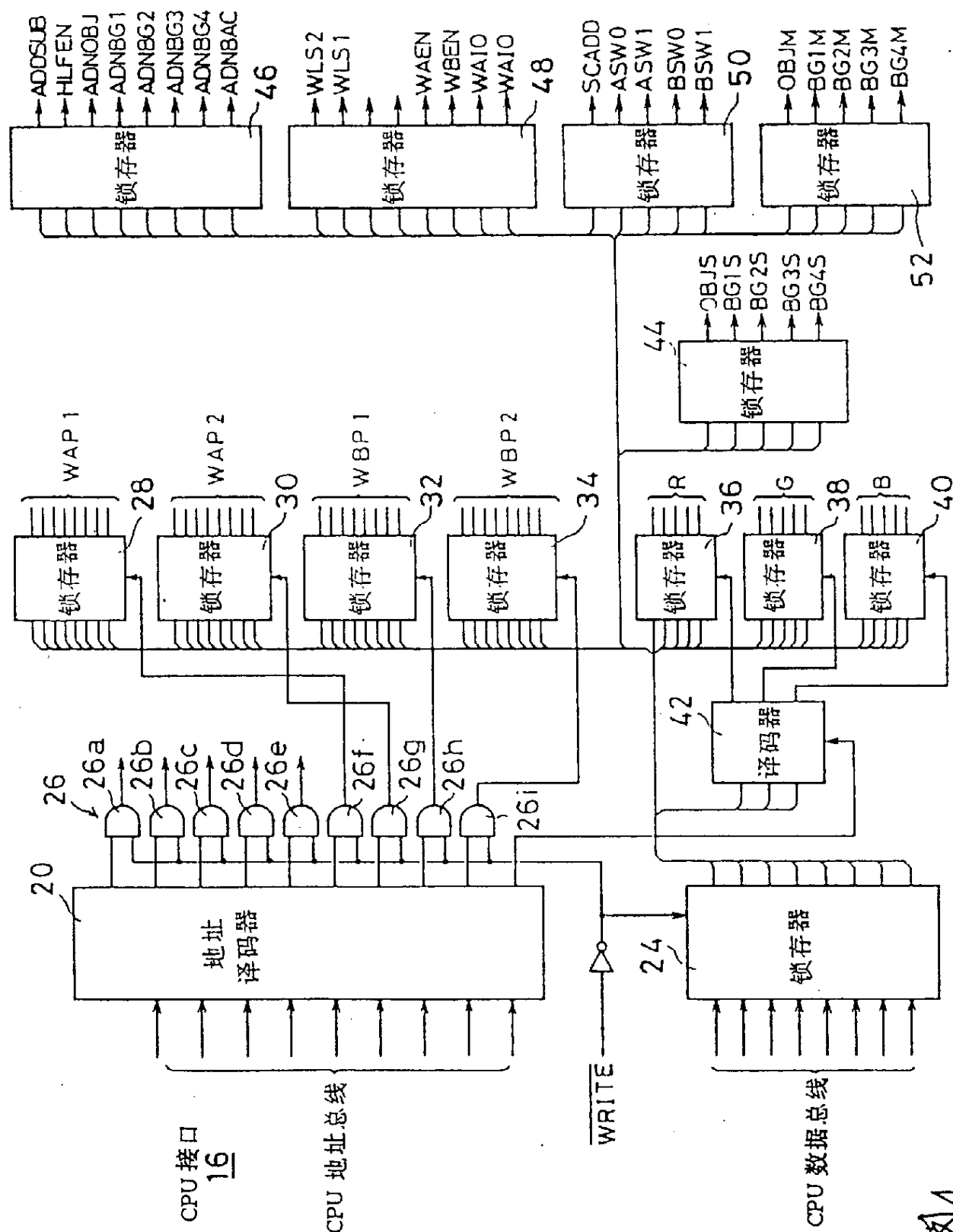


图3



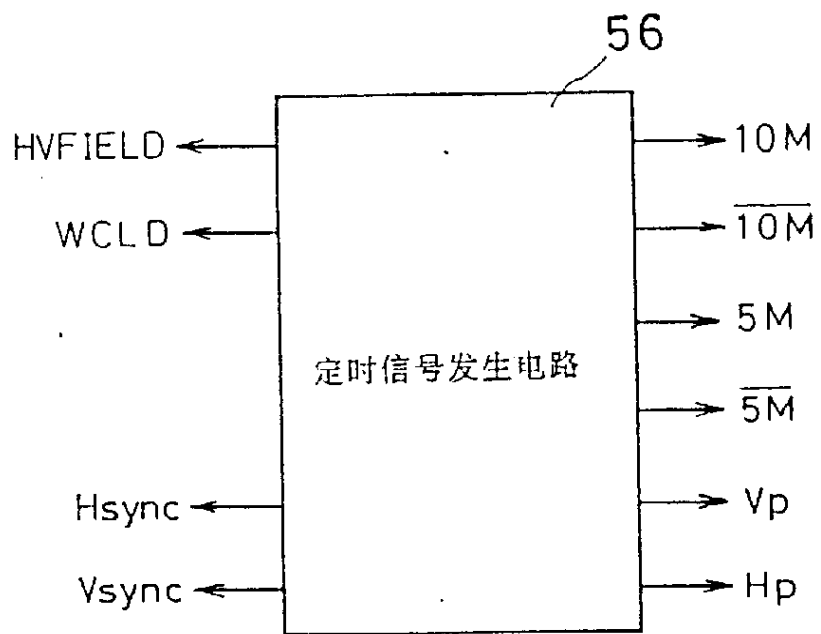


图 5

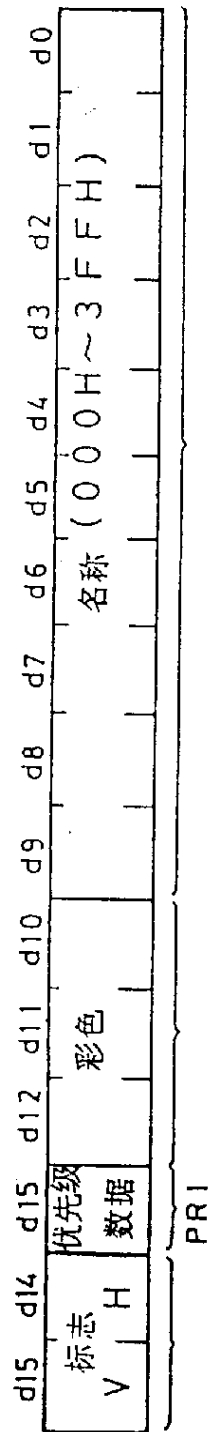


图 6

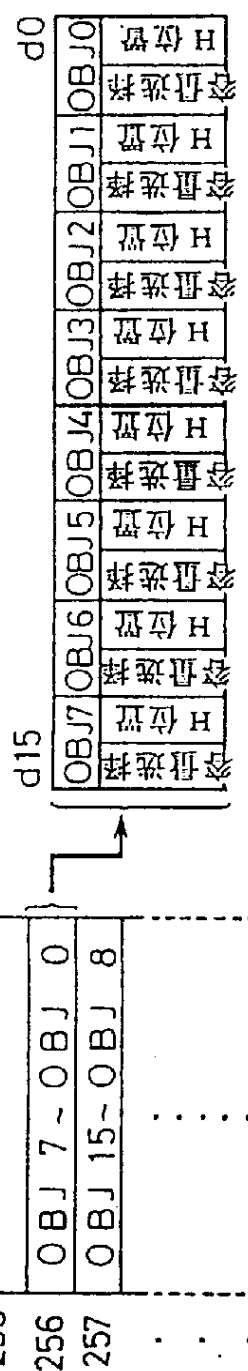
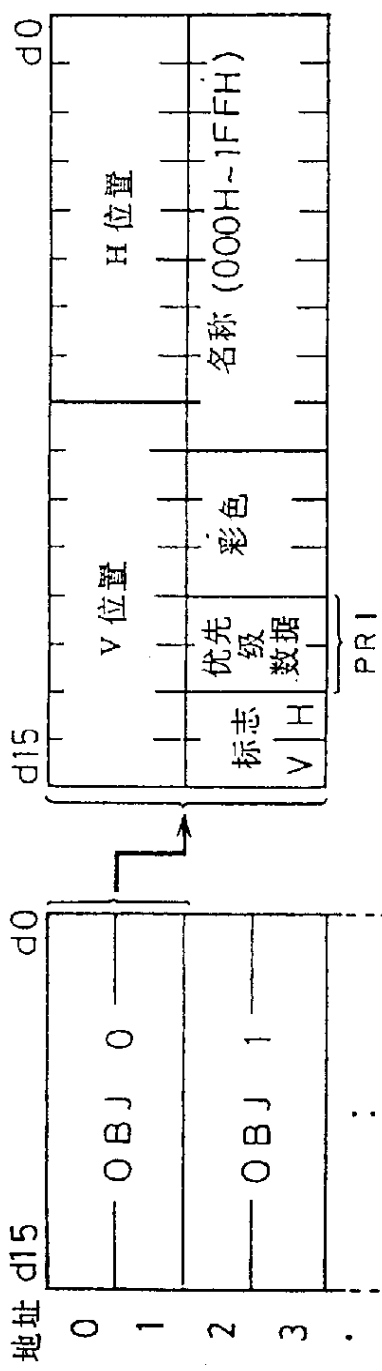


图7

主/副数据选择输出电路 62

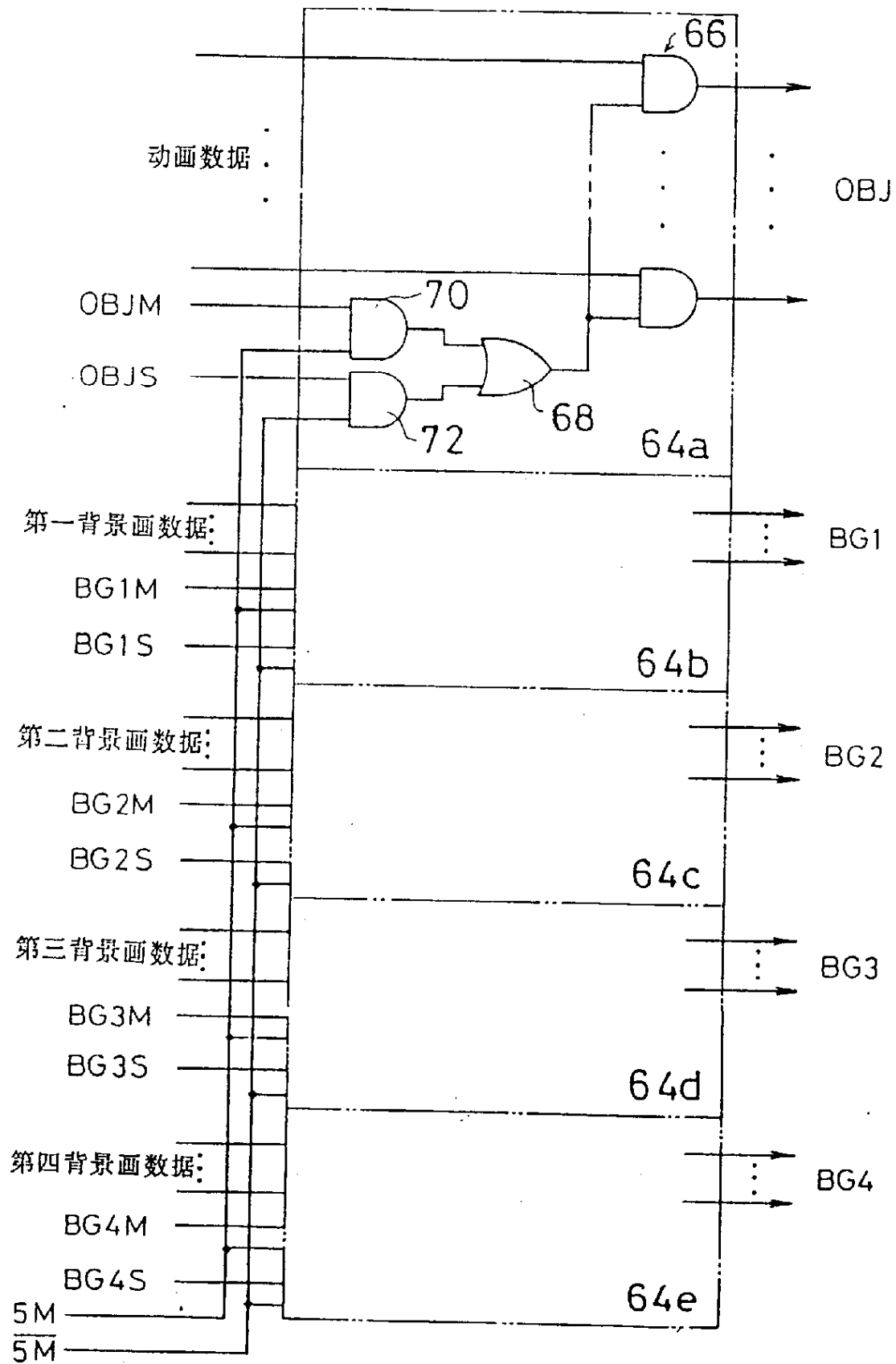


图8

优先级电路 74

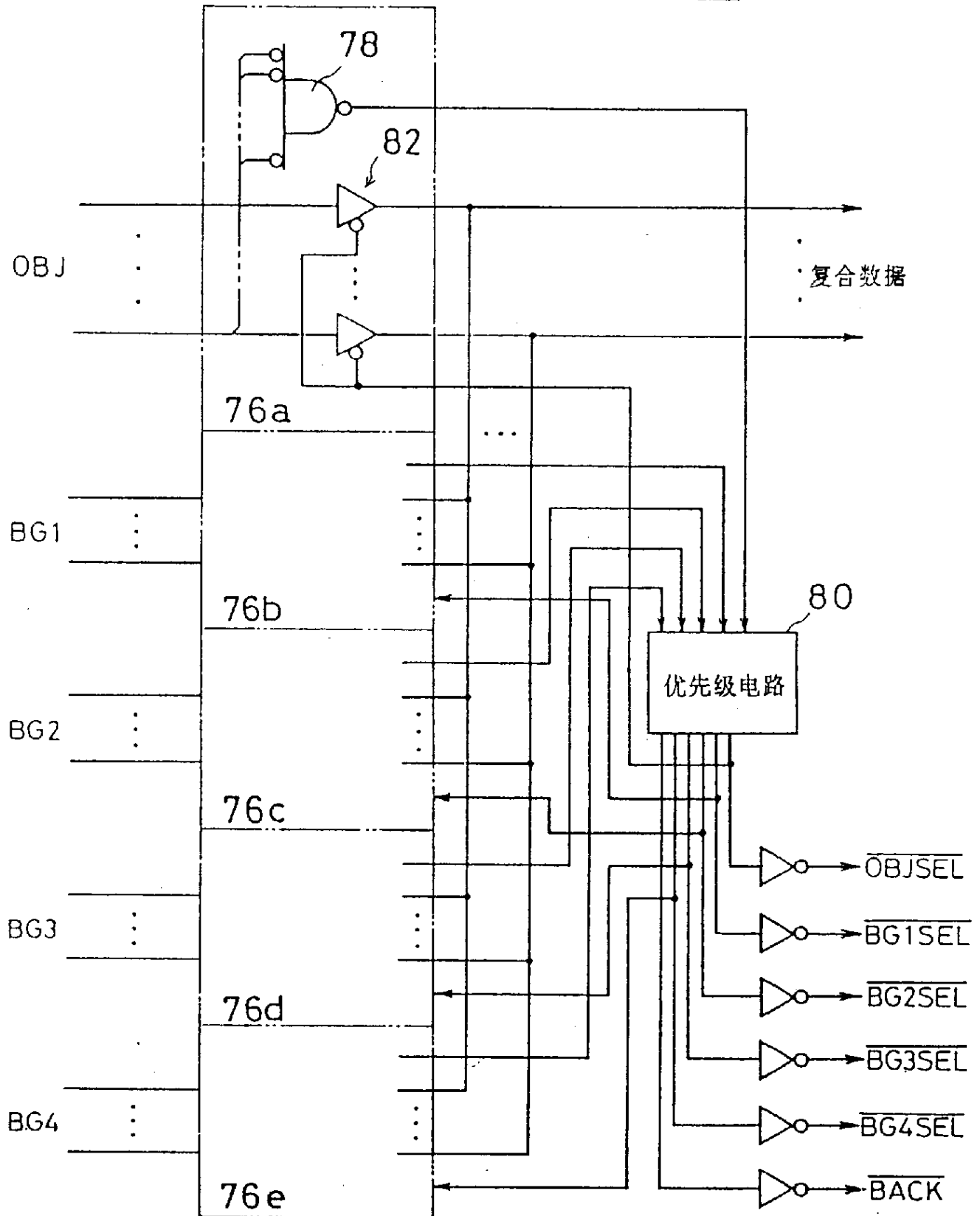


图 9

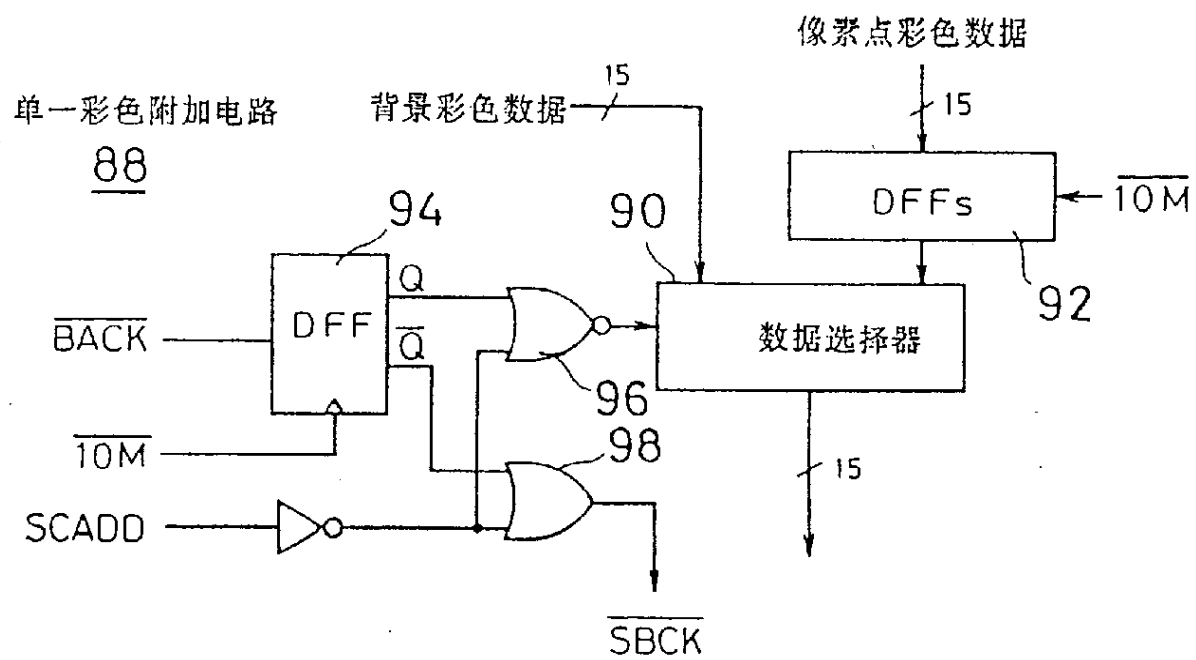
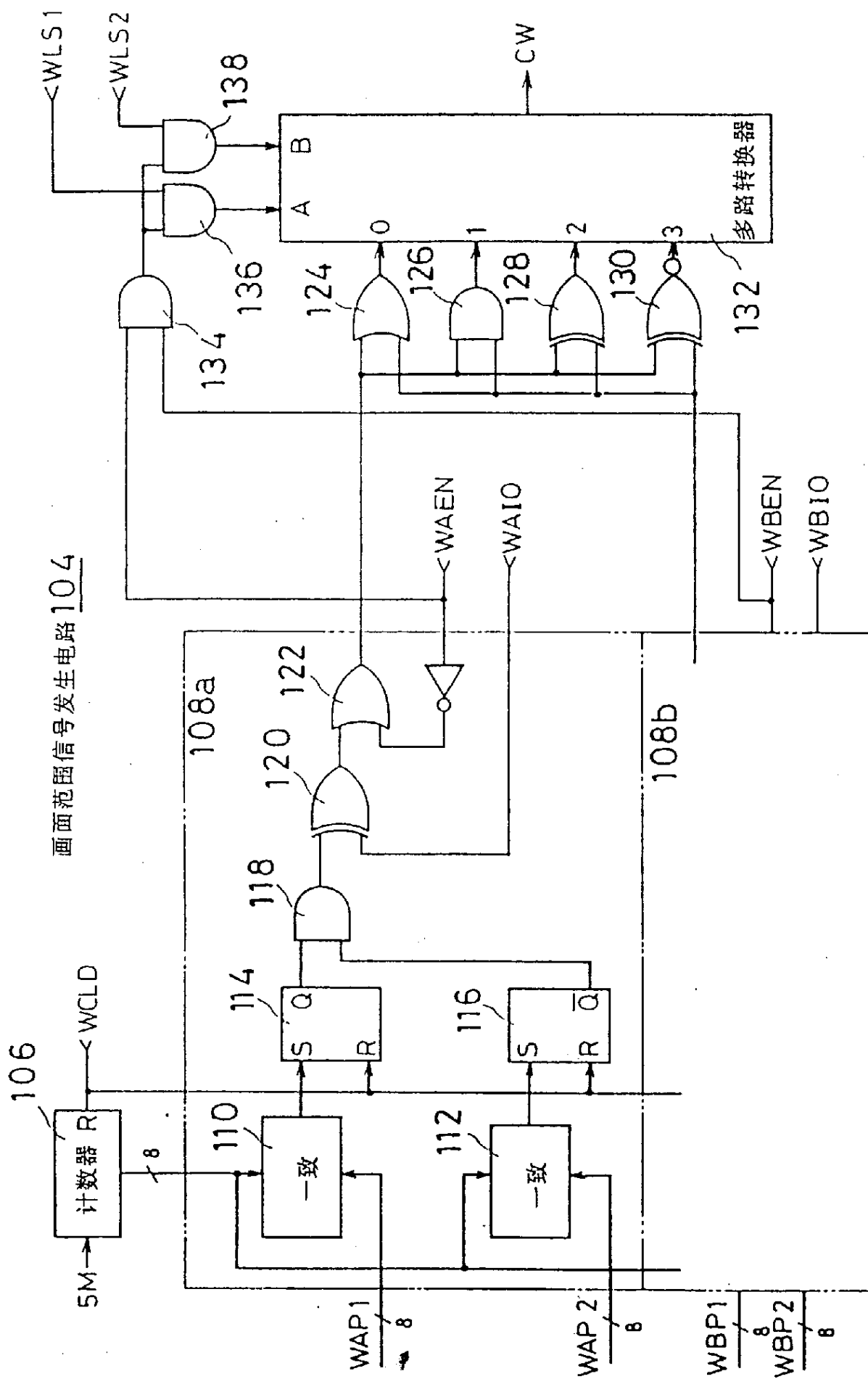
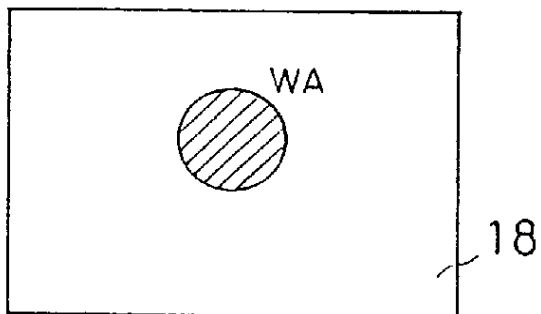


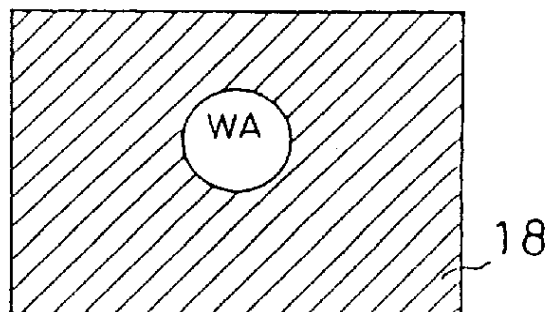
图 10





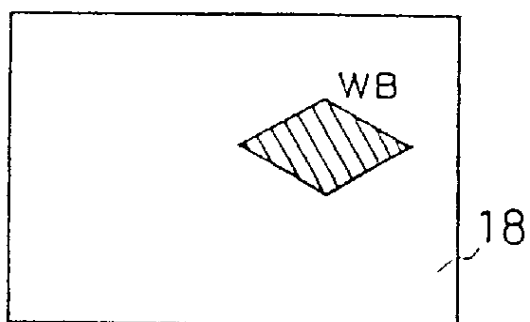
WAEN = 1
WAIO = 1
WBEN = 0

图 12A



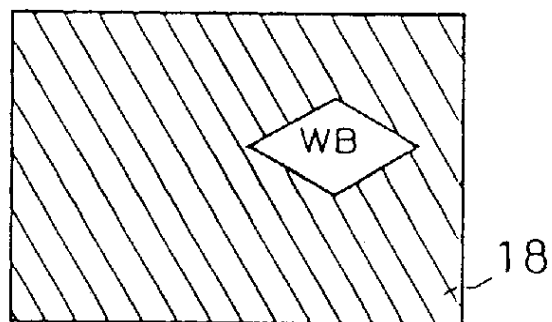
WAEN = 1
WAIO = 1
WBEN = 0

图 12B



WBEN = 1
WBIO = 1
WAEN = 0

图 13A



WBEN = 1
WBIO = 0
WAEN = 0

图 13B

WAEN = WBEN = 1
WLS1 = WLS2 = 0

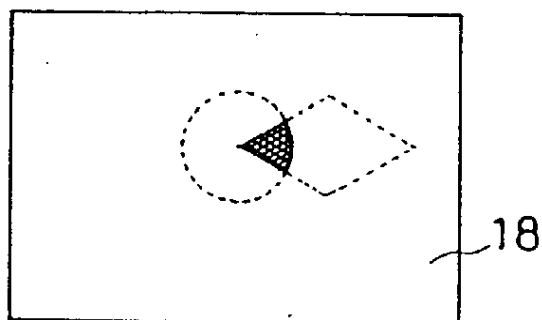
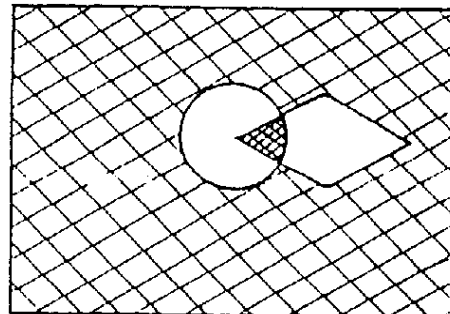


图 14

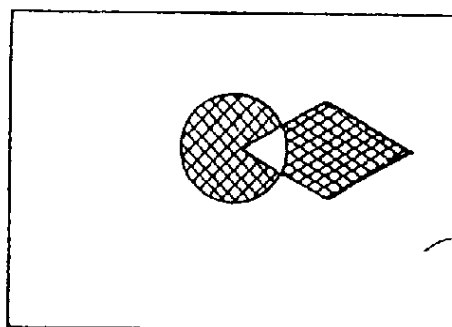
WAEN = WBEN = 1
WLS1 = 0 WLS2 = 1



18

15

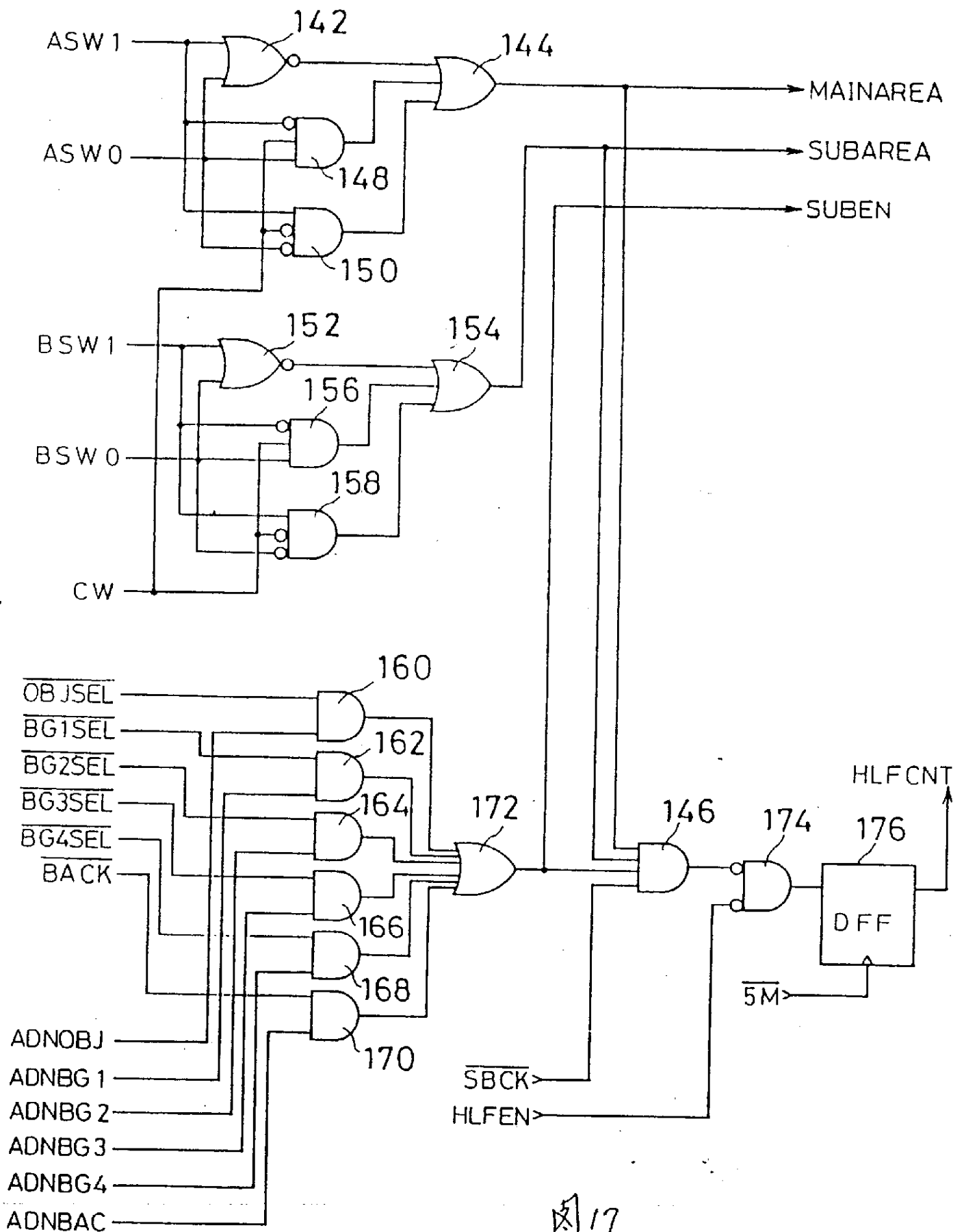
WAEN = WBEN = 1
WLS1 = WLS2 = 1



18

16

运算控制电路 140



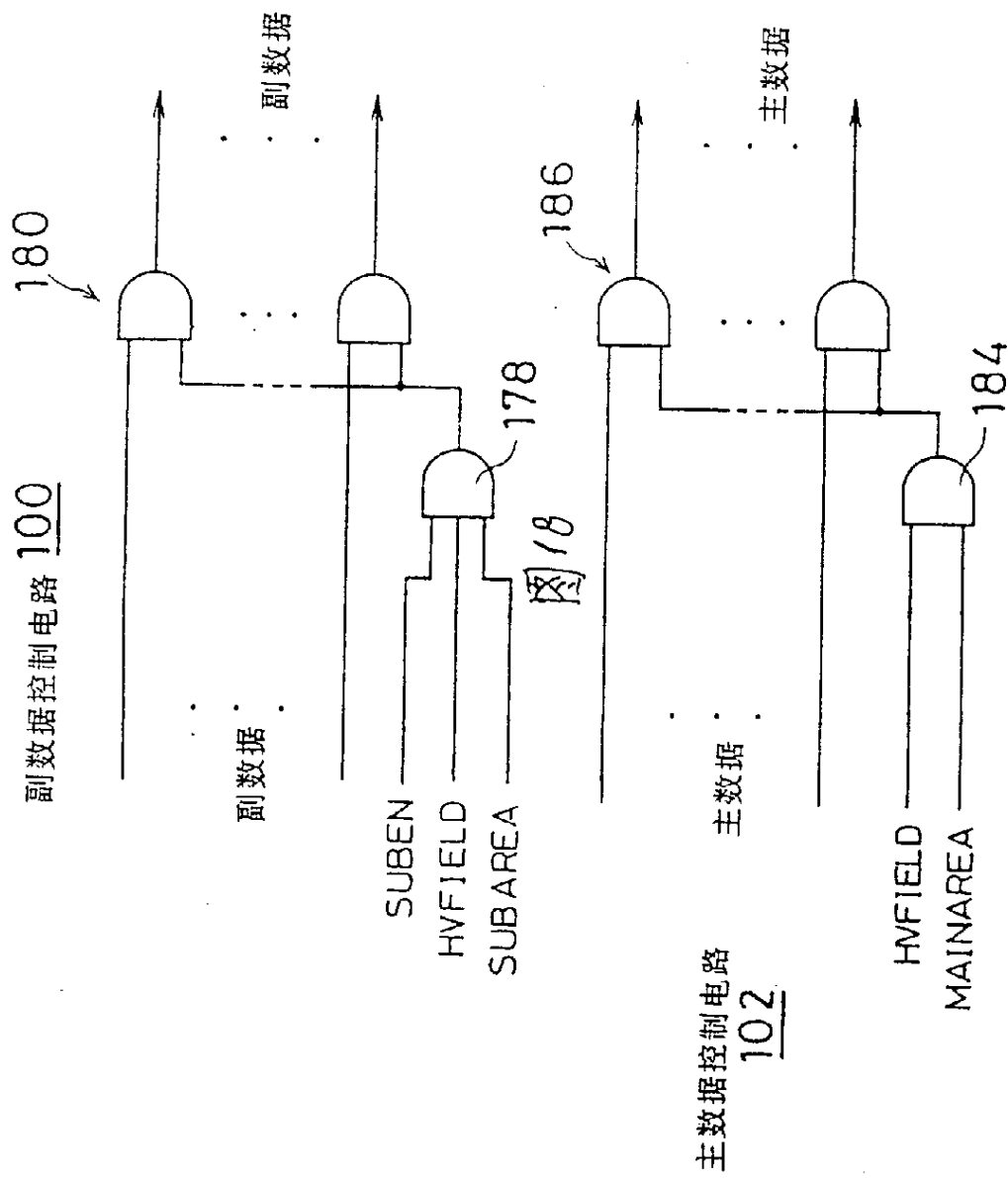


图19

运算电路190

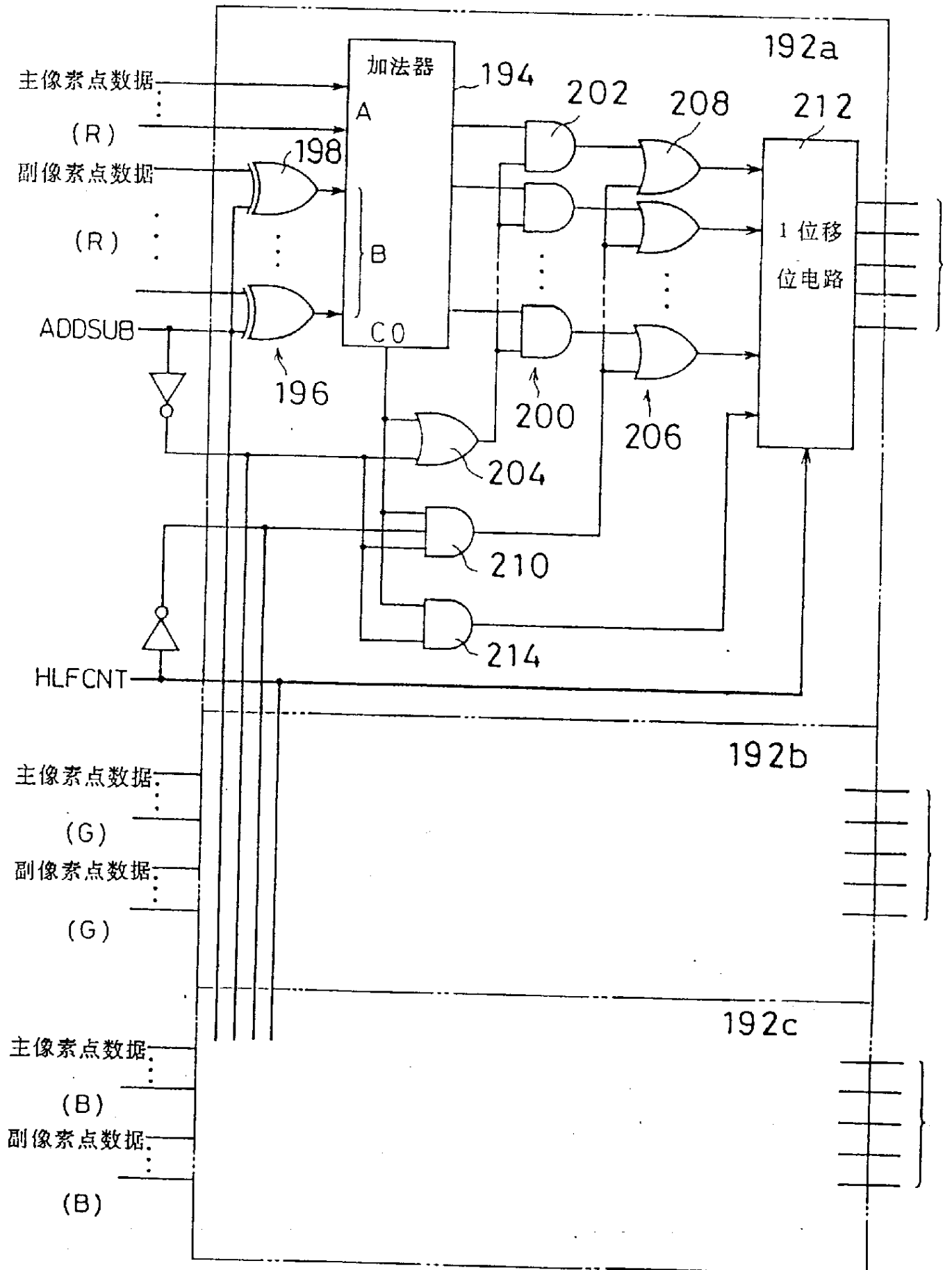


图20