

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93/19385

※申請日期：95.6.30

※IPC 分類：G06F7/00 (2006.01)

一、發明名稱：(中文/英文)

平均維持內插演算電路、像素內插電路、平均維持內插演算方法及像
素內插方法

AVERAGE MAINTAINING INTERPOLATION COMPUTING CIRCUIT, PIXEL
INTERPOLATION CIRCUIT, METHOD FOR COMPUTING AVERAGE MAINTAINING
INTERPOLATION, AND METHOD FOR PIXEL INTERPOLATION

二、申請人：(共1人)

姓名或名稱：(中文/英文)

三菱電機股份有限公司

MITSUBISHI DENKI KABUSHIKI KAISHA

代表人：(中文/英文) 野間口有/NOMAKUCHI, TAMOTSU

住居所或營業所地址：(中文/英文)

日本國東京都千代田區丸之內二丁目2番3號

2-3, Marunouchi 2-Chome, Chiyoda-ku, Tokyo, Japan

國籍：(中文/英文) 日本國/JAPAN

三、發明人：(共3人)

姓名：(中文/英文)

1. 山中聰(山中聡)/ YAMANAKA, SATOSHI

2. 奥野好章/OKUNO, YOSHIAKI

3. 染谷潤/SOMEYA, JUN

國籍：(中文/英文) 1. 至 3. 日本國/JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本國 2003 年 11 月 10 日 特願 2003-379414

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

[發明所屬之技術領域]

本發明係關於用以內插法補正數位(digital)像素中之缺落像素的內插演算電路、像素內插電路、內插演算方法及像素內插方法。

[先前技術]

以往之像素內插電路(pixel interpolation circuit)，係利用：將鄰接缺落像素之像素的數值的平均值做為內插資料(data)的方法；或使用最小自乘法求出鄰接缺落像素之像素的回歸直線，再由該回歸直線計算內插資料的方法；或由鄰接缺落像素的4像素求出4次式的曲線，再由該4次式求出內插資料之方法等來計算缺落像素的內插資料(例如：參照日本專利申請文獻1)。

(專利申請文獻1)

特開2003-101724號公報(段落0040至0066、第3圖至第5圖)

[發明內容]

(發明所欲解決之課題)

以往之內插演算電路因使用線形內插或高階函數進行內插補正，故在內插有一部份像素缺落之週期性高的像素時，誤差會增大。

本發明係為了解決上述問題而創作，目的在獲得一種可適切內插補正包含於週期性高的像素內的內插演算電路、像素內插電路、內插演算方法及像素內插方法。

(解決課題之手段)

本發明之目的在提供一種平均維持內插演算電路，其特徵為：係求出缺落像素的內插資料，使構成包含缺落像素之像素組的複數像素的平均值與構成不含缺落像素之像素組的複數像素的平均值成為相等。

(發明之效果)

在本發明之內插演算電路中，係藉由求出缺落像素的內插資料，使包含缺落像素之像素列的平均值與不含缺落像素之像素列的平均值成為相等，因此可適度地內插補正資料、例如內插具有週期性的資料等，使包含缺落像素之像素列與不含缺落像素之像素列的像素值的平均值成為相等。

[實施方式]

以下、參照圖面說明本發明之實施例。

以下、本實施例之處理對象，係以已預先掌握缺落像素之位置的一連串的像素為對象。上述一連串的像素，如上述專利申請文獻 1 所示，係指利用複數晶片(chip)直線配列之攝像元件讀取像素資訊時所獲得之像素，此時，當中間隔有鄰接晶片間的邊界而鄰接之攝像元件彼此間之間隔，大於同一晶片內之攝像元件間の間隔(1 節距(pitch))時，例如彼此的間隔約有 2 節距時，則視為具有缺落像素而必須進行內插處理。

無法預先得知缺落像素的位置時，可加裝用以檢測缺落像素之位置的電路。

將本發明之其中幾個實施例，若使用於一連串的像素具有週期性的情況則可發揮效果。

此外，其中幾個實施例，係假設已事先掌握週期，並配合該週期設定參數(parameter)而藉此發揮最佳效果。

無法預先掌握週期性時，可加裝用以檢測週期的電路。

第 1 實施例

第 1 圖係顯示本發明之內插演算電路的構成。

本發明之內插演算電路，係具備：缺落部加算電路 1、非缺落演算電路 2 以及內插電路 3。如下文所詳述，缺落部加算電路 1，係求出一連串之像素中、構成包含缺落像素之像素組的 k 個像素中，缺落像素以外的像素值的和 (SL)。而非缺落像素演算電路 2，則求出構成不含缺落像素之像素組的 k 個像素值的合計。內插電路 3 係藉由從非缺落部加算電路 2 的輸出 (SA) 中減去缺落部加算電路 1 的輸出 (SL) 而求出缺落像素的內插資料 (L)。

第 2 圖為顯示部份輸入像素 DI 的圖，第 2 圖係顯示在本發明之內插演算電路中計算 2 個平均值的 2 個像素列的位置關係。在以下的說明中，係假設已預先掌握輸入像素 DI 中之缺落像素的位置。○係顯示實在的像素(非缺落像素)，× 則顯示缺落像素。符號 LC 以及 NA 分別構成一連串的像素的一部份、顯示彼此連接、並排列成 1 次元形式之 k 個像素所構成之像素列。像素列 LC 與像素列 NA 不重覆。像素列 LC 含有缺落像素，而像素列 NA 則不含缺落像素。

茲使用第 1 圖以及第 2 圖，說明本發明之內插演算電路的動作。

本實施例之內插演算電路，係藉由內插缺落像素 L 使包含缺落像素 L 之像素列 LC 的平均值與不含缺落像素 L 之像素列 NA 的平均值相等。輸入像素 DI 被輸入於缺落部加算電路 1 以及非缺落部加算電路 2。k 為本發明之內插演算電路中之用以顯示計算平均值的像素數的參數，k 表示構成像素列 LC、像素列 NA 的像素數。係被輸入於缺落部加算電路 1 以及非缺落部加算電路 2。首先，缺落部加算電路 1 在包含於像素列 LC 的 k 個像素(LC〔1〕、LC〔2〕至 LC〔k-1〕、L)中將缺落像素 L 以外的和做為部份和資料 S 輸出。部份和資料 SL 係變為

$$SL = LC〔1〕 + LC〔2〕 + \dots + LC〔k-1〕$$

部份和資料 S 係被輸入內插電路 3。

非缺落部加算電路 2 將包含於像素列 NA 之 k 個像素(NA〔1〕至 NA〔k〕)的和做為部分和資料 SA 再加以輸入。部份和資料 SA 變為

$$SA = NA〔1〕 + NA〔2〕 + \dots + NA〔k〕$$

部份和資料係被輸入差分電路 3。

差分電路 3 係根據部份和資料 SL 以及 SA 製作方程式使像素列 LC 與 NA 的平均值相等，藉此求出缺落像素 L 的內插資料。方程式為

$$(SL + L)/k = SA/k$$

而缺落像素 L 為

$$L = SA - SL$$

藉由本實施例之內插演算電路，可適度地將缺落像素內插於具有一種可使包含缺落像素 L 之像素列 LC 與不含缺落像素 L 之像素列 NA 的平均值相等的特性的圖像資料中。

此外，本實施例之內插演算電路，係藉由計算缺落像素的內插資料使包含缺落像素的像素列與不含缺落像素的像素列的像素值的平均值相等，因此，以下之說明書，係將上述之本實施例的內插演算電路做為平均維持內插演算電路。此外，在以下的說明中，為求簡化，有時會將「像素列的像素值的平均值」簡化為「像素列的平均值」。同樣地，「像素值的合計」、「像素值的和」可簡化為「像素的和」、「像素的合計」。

接著，關於具有週期性的圖像資料，在此顯示內插缺落像素的例子。

第 3 圖為顯示具有週期性的圖像資料的其中一例之圖，橫軸 X 顯示像素位置，縱軸 D 則顯示濃度值。

說明具有週期性的圖像資料。

第 3 圖之圖像資料係將以一定週期 P_d 反覆一定變化之資料 D_{org} 依照每一取樣週期 P_s 使其離散化之資料。在第 3 圖中因 $P_d = 5P_s$ ，故將 $P_p = P_d/P_s = 5$ 做為圖像資料的像素週期。像素週期 P_p 顯示一週期的取樣數。亦即，像素週期係以像素數表示之像素變化的週期。此外，在第 3 圖中，資料的值係依照每一資料週期 P_d 重覆數值 100、

143、126、74、57。

首先，顯示對於像素週期 $P_p=5$ 的圖像資料，利用 $k=5$ 的平均維持內插演算電路(第 1 圖)進行缺落像素之內插的例子。

第 4 圖顯示缺落第 3 圖之圖像資料的像素 L 時的圖像資料的圖，係顯示在 $k=5$ 的平均維持內插演算電路中，與計算平均值之像素列 LC 以及 NA 之位置關係(第 2 圖)的對應。

關於 $k=5$ 之平均維持內插演算電路的構造成，由於係將第 1 圖的 k 設定為 5 故省略其說明。

使用第 1 圖以及第 4 圖說明 $k=5$ 的平均維持內插演算電路的作動。

缺落部加算電路 1 將包含於像素列 LC 的 5 個像素(LC [1] 至 LC [4]、L)中，缺落像素 L 以外的和做為部份和資料 SL 輸出。部份和資料 SL 係由

$C [1] = 143$ 、 $LC [2] = 74$ 、 $LC [3] = 57$ 、 $LC [4] = 100$ ，變為

$$\begin{aligned} SL &= LC [1] + LC [2] + LC [3] + LC [4] \\ &= 143 + 74 + 57 + 100 \\ &= 374 \end{aligned}$$

非缺落部加算電路 2 係將包含於像素列 NA 的 5 個像素(NA [1] 至 NA [5])的和做為部份和 SA 資料輸出。部份和資料 SA 由 $NA [1] = 57$ 、 $NA [2] = 100$ 、 $NA [3] = 143$ 、 $NA [4] = 126$ 、 $NA [5] = 74$ ，變為

$$\begin{aligned}
 SA &= NA [1] + NA [2] + NA [3] + NA [4] + NA [5] \\
 &= 57 + 100 + 143 + 126 + 74 \\
 &= 500
 \end{aligned}$$

差分電路 3 係根據部份和資料 SL 以及 SA 製作方程式使像素列 LC 與 NA 的平均值相等，藉此求出缺落像素 L 的內插資料。方程式為

$$(SL + L)/5 = SA/5$$

而缺落像素 L 為

$$\begin{aligned}
 L &= SA - SL \\
 &= 500 - 374 \\
 &= 126
 \end{aligned}$$

如第 3 圖所示，缺落像素 L 的原資料為 126， $k=5$ 的平均維持內插演算電路的內插資料對原資料之誤差 $= 0$ 。 $k=5$ 的平均維持內插演算電路則對 5 像素週期的圖像資料適度地內插缺落像素。

接著，說明對於像素週期 $P_p=5$ 的圖像資料，以 $k=5$ 的平均維持內插演算電路(第 1 圖)內插缺落像素的例子。

第 5 圖係顯示第 3 圖之圖像資料的像素 L 缺落時之圖像資料的圖，係顯示在 $k=5$ 的平均維持內插演算電路中，與計算平均值之像素列 LC 以及 NA 的位置關係(第 2 圖)的對應。

$k=3$ 之平均維持內插演算電路的構成，由於係將第 1 圖的 k 設定為 3 故省略其說明。

使用第 1 圖以及第 5 圖說明 $k=3$ 的平均維持內插演算

電路的動作。

缺落部加算電路 1，將包含於像素列 LC 的 3 個像素(LC [1]、LC [2]、L)中，缺落像素 L 以外的和做為部份和資料 SL 輸出。部份和資料 SL 由

LC [1] = 143、LC [2] = 74 變為

$$SL = LC [1] + LC [2]$$

$$= 143 + 74$$

$$= 217$$

非缺落部加算電路 2 係將包含於像素列 NA 的 3 個像素(NA [1] 至 NA [3])的和做為部份和 SA 資料輸出。部份和資料 SA 由 NA [1] = 100、NA [2] = 143、NA [3] = 126 變為

$$SA = NA [1] + NA [2] + NA [3]$$

$$= 100 + 143 + 126$$

$$= 369$$

差分電路 3 係根據部份和資料 SL 以及 SA 製作方程式使像素列 LC 與 NA 的平均值相等，並求出缺落像素 L 的內插資料。方程式為

$$(SL + L)/3 = SA/3$$

而缺落像素 L 為

$$L = SA - SL$$

$$= 369 - 217$$

$$= 152$$

如第 3 圖所示，缺落像素 L 的原資料為 126，k=3 的

平均維持內插演算電路的內插資料對原資料之誤差為 $|152 - 126| = 26$ 。

由於第 5 圖的圖像資料係在像素週期 $P_p = 5$ 中重覆數值 100、143、126、74、57，故圖像資料內之連續的任意 5 像素的數值的平均值會由

$(100 + 143 + 126 + 74 + 57)/5 = 100$ 變為一定。此外有關像素週期 P_p 的整倍數，亦即， $N * P_p$ 像素分的平均值同樣變為

$N * (100 + 143 + 126 + 74 + 57) / N * 5 = 100$ ，並變為一定 ($N =$ 正的整數)。

在第 4 圖之 $k = 5$ 的平均維持內插演算電路的實例中因參數 k 係與像素週期 P_p 相等，故包含缺落像素之像素列 LC 的平均值與不含缺落像素的像素列 NA 的平均值均變為 100，藉由差分電路 3 的方程式即可適切求出缺落像素的內插資料。

在第 5 圖之 $k = 3$ 的平均維持內插演算電路的實例中因參數 k 不是像素週期 P_p 的整數倍，故缺落像素的內插資料會產生誤差。

平均維持內插演算電路，如上所述，參數 k 略等於像素週期 P_p 或其整倍數時內插資料的誤差變小，因此，如第 6 圖所示，可藉由加裝接收圖像資料 DI 而檢測像素週期 P_p 之週期檢測電路 15，再根據檢出之像素週期 P_p 來決定參數 k 。

此外，在上述說明中，係假設已預先得知缺落像素的

位置，但在無法預先得知缺落像素的位置時，可加裝用以檢測缺落像素的位置之電路。做為檢測缺落像素的位置之電路，可使用例如一般的錯誤訂正電路。

藉由上述方式，當平均維持內插演算電路的參數 k 與像素週期 P_p 同等時，即可適切內插缺落像素。此外，平均維持內插演算電路的參數 k 形成像素週期 P_p 的整倍數 ($k = N * P_p$) 時，同樣地，包含缺落像素的像素列與不含缺落像素的像素列的平均值會形成相等數值，利用差分電路 3 的方程式可適度地求出缺落像素的內插資料。

此外，如上述實施例，包含缺落像素 L 的像素列 LC 、與不含缺落像素 L 的像素列 NA 係分別由 k 個像素所組成，利用缺落部加算電路 1 求出包含缺落像素 L 的像素列 LC 中，缺落像素 L 以外的像素的值的合計，並利用非缺落部加算電路 2，求出構成不含缺落像素 L 之像素列 NA 的像素的值的合計，如此即可藉由求出上述合計的差，求出缺落像素的內插資料使 2 個像素列的像素的值的平均值相等。亦即，即使不計算各像素列的平均值，亦可決定像素的內插資料使平均值成為相等。

第 2 實施例

與第 2 圖相同第 7 圖為顯示輸入像素 DI 的部份圖，第 2 圖係顯示在平均維持內插演算電路中計算 2 個平均值的 2 個像素列的位置關係。符號 LC 以及 NA 係顯示分別形成一連串的像素的一部份、相互連接、並以 1 次元方式排列之 k 個像素所構成的像素列。像素 LC 與像素 NA 重

覆 i 像素。像素列 LC 包含缺落像素，而像素列 NA 則不含缺落像素。此外，符號 $NA^{\sim}$ 係顯示像素列 NA 中與像素列 LC 不重覆的領域，符號 $NC^{\sim}$ 顯示像素列 LC 中與 NA 不重覆的部份，而符號 AD 則顯示像素列 NA 與像素列 LC 中重覆的部份。

如圖所示，係以缺落像素 L 不含於重覆部份 AD 內的方式構成像素列。

包含缺落像素之像素列與不含缺落像素之像素列重覆時之平均維持內插演算電路的構成、動作，係與第 1 圖以及第 2 圖之構成、動作相同，故省略其說明。

包含缺落像素之像素列與不含缺落像素之像素列重覆時之平均維持內插演算電路，與第 1 實施例所示之包含缺落像素之像素列與不含缺落像素之像素列不重覆時之平均維持內插演算電路相同，當平均維持內插演算電路的參數 k 為像素週期 P_p 的整倍數 ($k = N * P_p$) 時，會使得包含缺落像素之像素列 LC 的平均值與不含缺落像素之像素列 NA 的平均值相等，故得以適度地內插缺落像素。

此外，如以下所詳述一般，即使從平均維持內插演算電路的參數 k 減去重覆部份之像素數 i 後所得到的數值為像素週期 P_p 的整數倍 $(k - i) = N * P_p$ ，包含缺落像素之像素列 LC 的平均值與不含缺落像素之像素列 NA 的平均值也會相等，故可適度地內插缺落像素。

如第 7 圖所示，像素列 LC 的部份和資料 SL 係由像素列 $LC^{\sim}$ 的部份和資料 $SL^{\sim}$ 以及像素列 AD 的部分和資料

SAD，變為

$$SL = SL' + SAD。$$

此外，像素列 NA 的部份和資料 SA 係由像素列 NA' 的部份和資料 SA' 以及像素列 AD 的部分和資料 SAD，變為

$$SA = SA' + SAD。$$

製作方程式使像素列 LC 與 NA 相等，即變為

$$(SL + L)/k = SA/k$$

分別代入部份和資料 SL 以及 SA，即變為

$$(SL' + SAD + L)/k = (SA' + SAD)/k$$

藉由包含缺落像素之像素列與不含缺落像素之像素列的重覆，像素 NA 的部份和資料 SAD 會被抵銷，而使方程式變為

$(SL' + L)/k = SA' /k$ 。兩邊乘以 $k/(k-i)$ 時，方程式變為 $(SL' + L)/(k-i)k = SA' / (k-i)$ ，由方程式得知，分別包含於不重覆像素列 NA 的部份的像素列 NA' 與不重覆像素列 LC 的部份的像素列 LC' 的 $(k-i)$ 個像素列的平均值係呈相等。

藉此，包含缺落像素之像素列與不含缺落像素之像素列重覆時的平均維持內插演算電路，可對具有像素列 NA' 與 LC' 之平均值相等的特性的圖像資料進行適切的內插。

首先，說明對像素週期 $P_p = 5$ 之圖像資料，利用包含缺落像素之像素列與不含缺落像素之像素列重覆 4 像素之 $k = 9$ 的平均維持內插演算電路進行缺落像素之內插的例

子。

第 8 圖顯示第 3 圖之圖像資料的像素 L 缺落時之圖像資料的圖，係顯示在包含缺落像素之像素列與不含缺落像素之像素列重覆 4 像素之 $k=9$ 的平均維持內插演算電路中，與計算平均值之像素列 LC 以及 NA 之位置關係(第 7 圖)的對應。

$K=9$ 的平均維持內插演算電路的構成，因與第 1 圖之 $k=9$ 的情況相同，故省略其說明。

使用第 1 圖以及第 8 圖，說明包含缺落像素之像素列與不含缺落像素之像素列重覆 4 像素之 $k=9$ 之平均維持內插演算電路的動作。

缺落部加算電路 1 將包含於像素列 LC 的 9 個像素(AD [1] 至 AD [4]、L、LC [1] 至 LC [4])中，缺落像素 L 以外的和做為部份和資料 SL 輸出。部份和資料 SL 由 $AD [1] = 74$ 、 $AD [2] = 57$ 、 $AD [3] = 100$ 、 $AD [4] = 143$ 、 $LC [1] = 74$ 、 $LC [2] = 57$ 、 $LC [3] = 100$ 、 $LC [4] = 143$ ，變為

$$\begin{aligned} SL &= AD [1] + AD [2] + AD [3] + AD [4] + LC [1] \\ &\quad + LC [2] + LC [3] + LC [4] \\ &= 74 + 57 + 100 + 143 + 74 + 57 + 100 + 143 \\ &= 748 \end{aligned}$$

非缺落部加算電路 2 將包含於像素列 NA 的 9 個像素(NA [1] 至 NA [5]、AD [1] 至 AD [4])的和做為部份資料 SA 輸出。部份和資料 SA 由

$$\begin{aligned}
& \text{NA} [1] = 74 、 \text{NA} [2] = 57 、 \text{NA} [3] = 100 、 \text{NA} [4] \\
& = 143 、 \text{NA} [5] = 126 、 \text{AD} [1] = 74 、 \text{AD} [2] = 57 、 \\
& \text{AD} [3] = 100 、 \text{AD} [4] = 143 , \text{變為} \\
& \text{SA} = \text{NA} [1] + \text{NA} [2] + \text{NA} [3] + \text{NA} [4] + \text{NA} [5] \\
& + \text{AD} [1] + \text{AD} [2] + \text{AD} [3] + \text{AD} [4] \\
& = 74 + 57 + 100 + 143 + 126 + 74 + 57 + 100 + 143 \\
& = 874
\end{aligned}$$

差分電路 3 係根據部份和資料 SL 以及 SA 製作方程式使像素列 LC 與 NA 的平均值相等，藉此求出缺落像素 L 的內插資料。方程式為

$$(\text{SL} + \text{L})/9 = \text{SA}/9$$

而缺落像素 L 為

$$\begin{aligned}
\text{L} &= \text{SA} - \text{SL} \\
&= 874 - 748 \\
&= 126
\end{aligned}$$

如第 3 圖所示，缺落像素 L 的原資料為 126，對該原資料，包含缺落像素之像素列與不含缺落像素之像素列重覆 4 像素之 $k=9$ 的平均維持內插演算電路的內插資料的誤差 $= 0$ 。包含缺落像素之像素列與不含缺落像素之像素列重覆 4 像素之 $k=9$ 之平均維持內插演算電路可適度地對 5 像素週期的圖像資料進行缺落像素的內插。

接著，說明利用包含缺落像素之像素列與不含缺落像素之像素列重覆 5 像素之 $k=9$ 的平均維持內插演算電路對像素週期 $P_p=5$ 的圖像資料進行缺落像素之內插的例子。

第 9 圖顯示第 3 圖之圖像資料的像素 L 缺落時之圖像資料的圖，係顯示在 $k=9$ 的平均維持內插演算電路中，與計算平均值之像素列 LC 以及 NA 的位置關係(第 7 圖)的對應。

關於 $k=9$ 之平均維持內插演算電路的構成，由於係將第 1 圖的 k 設定為 3，故省略其說明。

使用第 1 圖以及第 9 圖說明 $k=9$ 的平均維持內插演算電路的動作。

缺落部加算電路 1 將包含於像素列 LC 的 9 個像素(AD [1] 至 AD [5]、L、LC [1] 至 LC [3])中，缺落像素 L 以外的和做為部份和資料 SL 輸出。部份和資料 SL 係由 $AD [1] = 126$ 、 $AD [2] = 74$ 、 $AD [3] = 57$ 、 $AD [4] = 100$ 、 $AD [5] = 143$ 、 $LC [1] = 74$ 、 $LC [2] = 57$ 、 $LC [3] = 100$ ，變為

$$SL = AD [1] + AD [2] + AD [3] + AD [4] + AD [5] + LC [1] + LC [2] + LC [3]$$

$$= 126 + 74 + 57 + 100 + 143 + 74 + 57 + 100$$

$$= 731$$

非缺落部加算電路 2 將包含於像素列 NA 的 9 個像素(NA [1] 至 NA [4]、AD [1] 至 AD [5])的和做為部份和資料 SA 輸出。部份和資料 SA 由

$$NA [1] = 74$$

$$NA [2] = 57$$

$$NA [3] = 100$$

$$NA [4] = 143$$

$$AD [1] = 126$$

$$AD [2] = 74$$

$$AD [3] = 57$$

$$AD [4] = 100$$

$$AD [5] = 143$$

，變為

$$\begin{aligned}
SA &= NA[1] + NA[2] + NA[3] + NA[4] + AD[1] \\
&+ AD[2] + AD[3] + AD[4] + AD[5] \\
&= 74 + 57 + 100 + 143 + 126 + 74 + 57 + 100 + 143 \\
&= 874
\end{aligned}$$

差分電路 3 係根據部份和資料 SL 以及 SA 製作方程式使像素列 LC 與 NA 的平均值相等，藉此求出缺落像素 L 的內插資料。方程式為

$$(SL + L)/9 = SA/9$$

而缺落像素 L 為

$$\begin{aligned}
L &= SA - SL \\
&= 874 - 731 \\
&= 143
\end{aligned}$$

如第 3 圖所示，缺落像素 L 的原資料為 126，包含缺落像素之像素列與不含缺落像素之像素列重覆 5 像素之 $k=9$ 的平均維持內插演算電路的內插資料對原資料具有 $|143 - 126| = 17$ 之誤差。

包含缺落像素之像素列與不含缺落像素之像素列重覆時之平均維持內插演算電路，與第 1 實施例所示之包含缺落像素之像素列與不含缺落像素之像素列不重覆時之平均維持內插演算電路相同，當參數 k 為像素週期 P_p 的整倍數 ($k = N * P_p$) 時，可適度地內插缺落像素。

此外，在包含第 8 圖之缺落像素的像素列與不含缺落像素的像素列重覆 4 像素之 $k=9$ 的平均維持內插演算電路中，由於不重覆像素列 LC 與 NA 的部份的像素數係與像

素週期相等，因此像素列 LC 與 NA 未重複的部份 LC⁻ 以及 NA⁻ 的平均值同為 100，可藉由差分電路 3 適度地求出缺落像素的內差資料。

在包含第 9 圖之缺落像素的像素列與不含缺落像素的像素列重覆 5 像素之 $k=9$ 的平均維持內插演算電路的實例中，因包含缺落像素的像素列與不含缺落像素的像素列不重覆部份的像素數非像素週期的整倍數，因此缺落像素的內插資料會有誤差。

藉由上述方式，包含缺落像素的像素列與不含缺落像素的像素列的不重覆部份的像素數與像素週期 P_p 相等時，可適度地內插缺落像素。此外，與包含缺落像素的像素列與不含缺落像素的像素列的未重覆部份的像素數為像素週期 P_p 的整倍數 ($k-i=N \times P_p$) 時的情況相同，因包含缺落像素的像素列與不含缺落像素的像素列的不重覆部份的平均值會形成同等數值，故得以適度地內插缺落像素。

平均維持內插演算電路，如上所述，不重覆部份的像素數 ($k-i$) 略等於像素週期 P_p 或其整倍數時，因內插資料的誤差變小，因此例如與第 6 圖所示相同，可加裝接收圖像資料 DI 檢測像素週期 P_p 之週期檢測電路 15，再根據所測出之像素週期 P_p 決定參數 k 以及 i 。

第 3 實施例

第 10 圖係顯示進行缺落像素之內插使包含缺落像素之像素列的平均值與不含缺落像素的 2 個像素列的平均值相等之平均維持內插演算電路的構成圖。

使包含缺落像素之像素列的平均值與不含缺落像素的 2 個像素列的平均值相等之平均維持內插演算電路，係具備：缺落部加算電路 1；第 1 非缺落部加算電路 2(1)；第 2 非缺落部加算電路 2(2)；差分電路 3 以及平均電路 4。

與第 2 圖相同第 11 圖係顯示部分之輸入像素 DI，顯示在平均維持內插演算電路中計算平均值的 3 個像素列的位置關係。像素列 LC、NA 以及 NB 係以 1 次元方式排列 k 個像素之像素列，像素列 LC、像素列 NA 以及像素列 LC 分別重覆 i 像素。像素列 LC 包含缺落像素，像素列 NA 以及 NB 則不含缺落像素。此外，符號 NA[˘] 顯示在 NA 中未重覆 LC 的部份，符號 NB[˘] 則顯示在 NB 中未重覆像素列 LC 的部份，符號 LCA[˘] 顯示在像素列 LC 中未重覆像素列 NA 的部份，而符號 LCB[˘] 係顯示在像素列 LC 中未重覆 NB 的部份。此外，符號 AD 係顯示重覆像素列 NA 與像素列 LC 的部份，而符號 BD 則顯示重覆像素列 NB 與像素列 LC 的部份。

此外，如第 12 圖所示，可以 2 次元方式設定包含缺落像素之像素列 LC、以及不含缺落像素的像素列 NA 以及 NB。

亦即，如第 12 圖所示，亦可將一連串的像素，分割為複數的列並配列為矩陣狀，分別形成複數列的一部份，並在各列中藉由彼此連接之像素所形成的多數像素列構成像素組。此時，設成為取代上述之像素列，而在像素組之間平均值會變為相等。第 2 圖或第 11 圖所示者，可視為構成

像素組之像素列為 1 的例子。

此外，例如第 13 圖所示可複數設定不含缺落像素的像素列。此外，可將不含缺落像素的像素列設定成與包含缺落像素的像素列偏移的形式。亦即，複數的非缺落像素列 (NA、NB、NC) 可由不同列的像素所構成。

在第 13 圖所示之實例中，係顯示 3 個不含缺落像素的像素列，但在該情況下，可在第 10 圖的構成中，設置 3 個非缺落部加算電路(類似第 10 圖的非缺落部加算電路 2(1)、2(2))，再求出其平均的輸出。

使用第 10 圖以及第 11 圖，說明使包含缺落像素的像素列與不含缺落像素的 2 個像素列的平均值同等之平均維持內插演算電路。

使包含缺落像素的像素列與不含缺落像素的 2 個像素列的平均值同等之平均維持內插演算電路，係內插缺落像素 L，使包含缺落像素 L 的像素列 LC 的平均值與不含缺落像素 L 的像素列 NA 以及 NB 的平均值相等。將輸入像素 DI 輸入缺落部加算電路 1、第 1 非缺落部加算電路 2(1) 以及第 2 非缺落部加算電路 2(2)。與第 1 圖相同 k 係在平均維持內插演算電路中顯示計算平均值之像素數的參數，係被輸入缺落部加算電路 1、第 1 非缺落部加算電路 2(1) 以及第 2 非缺落部加算電路 2(2)。首先，非缺落部加算電路 1 係將包含於像素列 LC 的 k 個像素 ($AD[1]$ 至 $AD[i]$ 、 $LC[1]$ 至 $LC[k-2i-1]$ 、 $BD[1]$ 至 $BD[i]$) 中，缺落像素 L 以外的和做為部份和資料 SL 輸出。部份和資料

SL 為

$$SL = AD[1] + \dots + AD[i] + LC[1] + \dots + LC[k-2i-1] + BD[1] + \dots + BD[i]$$

部份和資料 SL 被輸入差分電路 3。

第 1 非缺落部加算電路 2(1)將包含於像素列 NA 的 k 個像素(NA[1] 至 NA[k-i]、AD[1] 至 AD[i])的和，做為部份和資料 SA 輸出。部份和資料 SA 為

$$SA = NA[1] + \dots + NA[k-i] + AD[1] + \dots + AD[i]$$

部份和資料 SA 被輸入平均電路 4。

第 2 非缺落部加算電路 2(2)將包含於像素列 NB 的 k 個像素(BD[1] 至 BD[i]、NB[1] 至 NB[k-i])的和，做為部份和資料 SB 輸出。部份和資料 SB 為

$$SB = BD[1] + \dots + BD[i] + NB[1] + \dots + NB[k-i]$$

部份和資料 SB 被輸入平均電路 4。

平均電路 4 將不含缺落像素的 2 個像素列的部份和資料 SA 以及 SB 的平均值做為平均資料 AN 輸出。平均資料 NA 為

$$AN = (SA + SB)/2$$

差分電路 3 根據部份和資料 SL 以及平均資料 AN 製作方程式使像素列 LC、NA 以及 NB 的平均值相等，藉此求出缺落像素 L 的內插資料。其方程式變為

$$(SL + L)/k = (SA/k + SB/k)/2$$

亦即

$$(SL + L)/k = AN/k$$

形成缺落像素 L 為

$$L = AN - SL$$

使包含缺落像素之像素列與不含缺落像素之像素列同等之平均維持內插演算電路，可對具有可使包含缺落像素之像素列 LC 與不含缺落像素的 2 個像素列 NA 以及 NB 的平均值相等的特性的圖像資料進行適度地內插。此外，與第 2 實施例所示之包含缺落像素之像素列與不含缺落像素之像素列重覆時之平均維持內插演算電路相同，對於可使包含缺落像素的像素列與不含缺落像素的像素列未重覆部份 NA' 與 LCA' 的平均值以及 NB' 與 LCB' 的平均值相等的圖像資料亦可進行適切的內插。此外，藉由求出未含缺落像素的 2 個像素列的平均值，可減少雜訊(noise)等所造成的內插誤差，並提升內插精度。

顯示相對於像素週期 $Pp=5$ 的圖像資料，藉由包含缺落像素的像素列與不含缺落像素的 2 個像素列分別重覆 4 像素之 $k=9$ 的平均維持內插演算電路內插缺落像素的例子。

第 14 圖係顯示第 3 圖之圖像資料的像素 L 缺落時之圖像資料圖，係顯示在 $k=9$ 之平均維持內插演算電路中與計算平均值之像素列 LC 、 NA 以及 NB 的位置關係(第 11 圖)的對應。 LC 、 NA 以及 NB 係分別重覆 4 像素。

包含缺落像素的像素列與不含缺落像素的 2 個像素列分別重覆 4 像素之 $k=9$ 的平均維持內插演算電路之構成，因已將第 10 圖的 k 設定為 9 故省略其說明。

使用第 10 圖以及第 14 圖說明包含缺落像素的像素列與不含缺落像素的 2 個像素列分別重覆 4 像素之 $k=9$ 的平均維持內插演算電路的動作。

缺落部加算電路 1，將包含於像素列 LC 的 9 個像素 (AD [1] 至 AD [4]、L、BD [1] 至 BD [4]) 中，缺落像素 L 以外的和做為部份和資料 SL 輸出。部份和資料 SL 係由

$$\begin{aligned} &AD [1] = 74、AD [2] = 57、AD [3] = 100、AD [4] \\ &= 143、BD [1] = 74、BD [2] = 57、BD [3] = 100、 \\ &BD [4] = 143，變為 \end{aligned}$$

$$\begin{aligned} SL &= AD [1] + AD [2] + AD [3] + AD [4] + BD [1] \\ &+ BD [2] + BD [3] + BD [4] \\ &= 74 + 57 + 100 + 143 + 74 + 57 + 100 + 143 \\ &= 748 \end{aligned}$$

非缺落部加算電路 2(1)將包含於像素列 NA 的 9 個像素 (NA [1] 至 NA [5]、AD [1] 至 AD [4]) 的和做為部份和資料 SA 輸出。部份和資料 SA 係由

$$\begin{aligned} &NA [1] = 74、NA [2] = 57、NA [3] = 100、NA [4] \\ &= 143、NA [5] = 126、AD [1] = 74、AD [2] = 57、 \\ &AD [3] = 100、AD [4] = 143、 \end{aligned}$$

變為

$$\begin{aligned} SA &= NA [1] + NA [2] + NA [3] + NA [4] + NA [5] \\ &+ AD [1] + AD [2] + AD [3] + AD [4] \\ &= 74 + 57 + 100 + 143 + 126 + 74 + 57 + 100 + 143 \end{aligned}$$

$$= 874$$

第 2 非缺落部加算電路 2(2)將包含於像素列 NB 的 9 個像素(BD [1] 至 BD [4]、NB [1] 至 NB [5])的和做為部份和資料 SB 輸出。部份和資料 SB 係由

$$\begin{aligned} BD [1] &= 74、BD [2] = 57、BD [3] = 100、BD [4] \\ &= 143、NB [1] = 126、NB [2] = 74、NB [3] = 57、 \\ NB [4] &= 100、NB [5] = 143、 \end{aligned}$$

變為

$$\begin{aligned} SB &= BD [1] + BD [2] + BD [3] + BD [4] + NB [1] \\ &+ NB [2] + NB [3] + NB [4] + NB [5] \\ &= 74 + 57 + 100 + 143 + 126 + 74 + 57 + 100 + 143 \\ &= 874 \end{aligned}$$

平均電路 4 係將部份和資料 SA 以及 SB 的平均值做為平均資料 AN 輸出。

平均資料 AN 變為

$$\begin{aligned} AN &= (SA + SB)/2 \\ &= (874 + 874)/2 \\ &= 874 \end{aligned}$$

差分電路 3 根據部份和資料 SL 以及平均資料 AN 製作方程式使像素列 LC、NA 以及 NB 的平均值相等，以藉此求出缺落像素 L 的內插資料。其方程式變為

$$(SL + L)/9 = (SA/9 + SB/9)/2$$

亦即

$$(SL + L)/9 = AN/9$$

形成缺落像素 L 為

$$\begin{aligned} L &= AN - SL \\ &= 874 - 748 \\ &= 126 \end{aligned}$$

如第 3 圖所示，缺落像素 L 的原資料為 126，包含缺落像素之像素列與不含缺落像素之像素列重覆 4 像素之 $k=9$ 的平均維持內插演算電路的內插資料與原資料之誤差為 0。包含缺落像素之像素列與不含缺落像素的 2 個像素列重覆 4 像素之 $k=9$ 的平均維持內插演算電路，可對像素週期 $P_p=5$ 的圖像資料適度地進行缺落像素的內插。

藉由上述方式，與第 2 實施例相同，包含缺落像素之像素列與不含缺落像素的 2 個像素列之不重覆部份的像素數，可對形成像素週期 P_p 之整倍數 ($k-i=N*P_p$) 的圖像資料進行適切的缺落像素內插。

此外，與第 1 實施例相同，包含缺落像素之像素列與不含缺落像素的 2 個像素列重覆時之平均維持內插演算電路，在參數 k 為像素週期 P_p 的整倍數 ($k=N*P_p$) 時，可適度地進行缺落像素的內插。

此外，藉由求出未含缺落像素的部份的平均值，不論不含缺落像素之像素列 NA 以及 NB 的哪一方含有雜訊，均可藉由平均電路 4 平均化雜訊成分，減少因雜訊所造成之內插誤差，並提升內插精度。

此外，在第 10 圖的構成中，係顯示藉由第 1 以及第 2 的非缺落部加算電路 2(1)、2(2) 以及平均電路 4，構成非缺

落部加算電路 17，該電路係用以求出構成不含缺落像素之像素列的 k 個像素值的合計。

在第 10 圖的構成中，係取代缺落部加算電路 1，如第 15 圖所示，可設置多數之缺落部加算電路 1(1)、1(2)；以及平均其輸出之平均電路 18，並藉由該等裝置，構成用以求出包含缺落像素之像素列的 k 個像素中，缺落像素以外之像素值的合計 SL 的缺落部合計演算電路 19。

在第 1 圖或第 10 圖的構成中，僅利用缺落部加算電路 1，即可構成上述缺落部合計演算電路 19。

因此，將第 1 圖、第 10 圖之構成依照一般描繪出來，即如第 16 圖所示之構成。

第 4 實施例

第 17 圖顯示第 4 實施例之像素內插電路的構成圖。該像素內插電路，係具備：複數的平均維持內插演算電路 6(1) 乃至 6($n-1$)，亦即第 1 平均維持內插演算電路 6(1)、第 1 平均維持內插演算電路 6(2)...、第 $n-1$ 平均維持內插演算電路 6($n-1$)。上述第 1 平均維持內插演算電路 6(1) 乃至 6($n-1$)，係設定成參數 k 或參數 k 減去 $i(k-i)$ 的數值為彼此相異之值。例如係在第 1 平均維持內插演算電路 6(1) 中輸入參數 $k=2$ ，而同樣地，在第 2 平均維持內插演算電路 6(2)、...、第 $n-1$ 平均維持內插演算電路 6($n-1$) 中，分別輸入參數 $k=3...$ 、 kn 。

輸出電路 5，例如係根據選擇訊號 C，選擇多數之平均維持內插演算電路 6(1) 乃至 6($n-1$) 所分別輸出的內插

資料的其中一個，做為缺落圖像資料並將其輸出。

第 18 圖係顯示在第 1 實施例所示之包含缺落像素的像素列與不含缺落像素之像素列不重覆時之 $k=kj$ 的平均維持內插演算電路中，像素週期與內插誤差之關係的圖表 (graph)。橫軸 Pp 表示具有週期性之圖像資料的像素週期，而縱軸則表示內插誤差。

說明 $k=kj$ 之平均維持內插演算電路之像素週期與內插誤差的關係。

如第 1 實施例所示，包含缺落像素的像素列與不含缺落像素之像素列不重覆時之平均維持內插演算電路，在參數 k 為像素週期 Pp 的整數倍 ($k=N*Pp$) 時可適度地內插缺落像素。

如第 18 圖所示，包含缺落像素的像素列與不含缺落像素的像素列不重覆時之 $k=kj$ 的平均維持內插演算電路，在內插像素週期 Pp 為 $Pp=kj/Na1、kl/Na2、...、kj(Na1>Na2>...>0、Na1、Na2、...、為kj的倍數)$ 之圖像資料時，其內插誤差 E 為 0 或最小。此外，內插之圖像資料的像素週期 Pp 愈離開 $Pp=kj/Na1、kl/Na2、...、kj$ 之像素週期 Pp ，其內插誤差愈大。

第 19 圖顯示在包含缺落像素的像素列與不含缺落像素的像素列不重覆時之 $k=2、3、4、kn-1、kn$ 的平均維持內插演算電路中之像素週期與內插誤差的關係圖表。第 19 圖(a)係顯示 $k=2$ 之平均維持內插演算電路之像素週期與內插誤差的關係，第 19 圖(b)係顯示 $k=3$ 之平均維持內

插演算電路之像素週期與內插誤差的關係，第 19 圖(c)係顯示 $k=4$ 之平均維持內插演算電路之像素週期與內插誤差的關係，第 19 圖(d)係顯示 $k=kn-1$ 之平均維持內插演算電路之像素週期與內插誤差的關係，而第 19 圖(e)則顯示 $k=kn$ 之平均維持內插演算電路之像素週期與內插誤差的關係。

說明有關 $k=2、3、4、kn-1、kn$ 之平均維持內插演算電路之像素週期與內插誤差的關係。

$k=2$ 的平均維持內插演算電路，因參數 k 為質數，因此只有在 $P_p=2$ 的圖像資料中內插資料會變為 0 或最小。 $k=3$ 的平均維持內插演算電路亦同，只有在 $P_p=3$ 的圖像資料中內插資料為 0 或最小。關於 $k=4$ 之平均維持內插演算電路，如第 18 圖所示，在參數 $k=4$ 的倍數之 $P_p=2$ 的圖像資料與 $P_p=4$ 的圖像資料中其內插誤差 E 為 0 或最小，為求圖表之簡化，圖中僅顯示 $P_p=4$ 近邊的特性。 $k=kn-1$ 的平均維持內插演算電路與 $k=4$ 的平均維持內插演算電路相同，只在圖表中顯示 $P_p=kn-1$ 近邊的特性。 $k=kn$ 的平均維持內插演算電路亦同，只在圖表中顯示 $P_p=kn$ 近邊的特性。

第 20 圖顯示在包含缺落像素的像素列與不含缺落像素的像素列不重覆 $k=2$ 至 $k=kn$ 的平均維持內插演算電路中之像素週期與內插誤差的關係圖，以及各平均維持內插演算電路最突顯之(以較小誤差進行內插)像素週期的範圍顯示圖。第 20 圖(a)係將第 19 圖(a)至第 19 圖(e)的 5 個圖

表重疊於 1 個座標軸上的圖表。第 20 圖(b)係顯示各平均維持內插演算電路之內插誤差之最小範圍之顯示圖。R2 顯示 $k=2$ 之平均維持內插演算電路的內插誤差的最小範圍。而 R3 至 Rn 則顯示 $k=3$ 至 $k=kn$ 之平均維持內插演算電路的內插誤差的各個最小範圍。第 20 圖(c)係顯示 $k=2$ 至 $k=kn$ 之各平均維持內插演算電路最突顯之像素週期 P_p 的範圍。

說明有關 $k=2$ 至 $k=kn$ 之各平均維持內插演算電路最突顯的像素週期。

$k=2$ 之平均維持內插演算電路的內插誤差的最小範圍係指，由 P_p 之最小值到 $k=2$ 之平均維持內插演算電路之圖表與 $k=3$ 之平均維持內插演算電路之圖表的交叉點為止的範圍(相當於第 20 圖(b)的 R2)。而 $k=3$ 之平均維持內插演算電路的內插誤差的最小範圍係指，由 $k=3$ 之平均維持內插演算電路之圖表與 $k=2$ 之平均維持內插演算電路之圖表的交叉點到與 $k=4$ 之平均維持內插演算電路之圖表的交叉點為止的範圍(相當於第 20 圖(b)的 R3)。 $k=4$ 、 $kn-1$ 、 kn 的平均維持內插演算電路的內插誤差亦同，以 R4、 $Rn-1$ 、 Rn 所標示之範圍分別為平均維持內插演算電路的內插誤差的最小範圍。

因此，如第 20 圖(c)所示，各平均維持內插演算電路的內插誤差的最小範圍，即各平均維持內插演算電路最突顯之像素週期 P_p 的範圍。

以下，說明第 17 圖所示之像素內插電路的動作。

輸入像素 DI 係被輸入第 1 平均維持內插演算電路 6(1) 至第 $n-1$ 平均維持內插演算電路 6($n-1$)。如上所述，例如參數 $k=2$ 係被輸入第 1 平均維持內插演算電路 6(2)。同樣地參數 3、...、 kn 亦分別被輸入第 2 平均維持內插演算電路 6(2)...、第 $n-1$ 平均維持內插演算電路 6($n-1$)。

第 1 平均維持內插演算電路 6(1)，係根據輸入像素 DI 以及參數 $k=2$ ，輸出缺落像素的內插資料 D1。第 2 平均維持內插演算電路 6(2)、...、第 $n-1$ 的平均維持內插演算電路 6($n-1$)，同樣地亦根據輸入像素 DI 以及參數 $k=3$ 、...、 kn 分別輸出缺落像素的內插資料 D2 至 D_{n-1} 。內插資料 D1 至 D_{n-1} 被輸入輸出電路 5。例如依照後述方式產生之選擇訊號 C 係被輸入輸出電路 5。輸出電路 5 根據選擇訊號 C 由內插資料 D1 至 D_{n-1} 中選擇其中一個，再將其做為缺落像素的內插資料 DO 輸出。

第 17 圖所示之像素內插電路係藉由具備多數之參數互異的平均維持內插演算電路，實現第 20 圖(b)之內插誤差的特性，如第 20 圖(c)所示其可廣泛地適用於小週期的圖像資料乃至大週期的圖像資料。

第 5 實施例

第 21 圖係顯示第 5 實施例之像素內插電路的構成。

該像素內插電路，除第 17 圖之構成外，尚具備有左右平均內插演算電路 6(0)。平均維持內插演算電路 6(1)乃至 6($m-1$)，係與第 17 圖之平均維持內插演算電路 6(1)乃至 6($n-1$)相同，配設 $m-1$ 個。M 可與第 17 圖之構成的 n

為相同數值，或小於後述之 n 之數值。亦即在設置左右平均內插演算電路 6(0)時，可減少平均維持內插演算電路的數量。

左右平均內插演算電路 6(0)，係產生位於缺落像素左右之鄰接像素的值的平均值以做為內插資料。此外，此處所言之「左右」係指將一連串的像素朝水平方向排列描繪時，位於缺落像素左右的意思，將一連串的電路設成時系列資料時，則位於「前後」者為相當於上述「左右」的意思。

輸出電路 5，例如係根據選擇訊號(c)，選擇前述複數的平均維持內插演算電路 6(1)乃至 6($m-1$)以及左右平均內插演算電路 6(0)所輸出之內插資料的其中一個，並將其做為缺落圖像資料輸出。

第 22 圖係說明在像素週期 $P_p=2、3、4、kn$ 的圖像資料中，使用左右平均內插演算電路內插像素之方法。在第 22 圖中係顯示內插依照週期變化之像素的極大值(各週期內的峰值)的狀況。利用左右平均內插演算電路進行內插時，在進行圖示之極大值的內插時其誤差最大。因此，對極大值進行誤差檢討，即等於檢討最大誤差。

第 22 圖(a)係顯示像素週期 $P_p=2$ 之圖像資料的波形圖，第 22 圖(b)係顯示像素週期 $P_p=3$ 之圖像資料的波形圖，第 22 圖(c)係顯示像素週期 $P_p=4$ 之圖像資料的波形圖，第 22 圖(d)係顯示像素週期 $P_p=kn$ 之圖像資料的波形圖。在各個波形圖中 L 表示應進行內插之缺落像素， LL

表示鄰接缺落像素 L 左方之像素，LR 表示鄰接缺落像素 L 右方之像素，LA 表示左右平均內插演算電路所產生之內插資料，E2 至 En 則分別表示內插資料與原資料的誤差。

說明有關像素週期 $P_p = 2, 3, 4, kn$ 之圖像資料的左右平均內插演算電路的內插誤差。

如第 22 圖(a)至第 22 圖(d)所示，左右平均內插演算電路係將鄰接缺落像素 L 左方之像素 LL 與鄰接缺落像素 LR 的平均值做為缺落像素 L 的內插資料 LA。內插資料 LA 形成

$$LA = (LL + LR)/2$$

此外，在各個波形圖中內插資料 LA 與缺落像素 L 的原資料的差係形成內插誤差 E2 至 En。

在各個像素中進行極大值的內插時，像素週期 P_p 愈大其內插誤差愈小。有關左右平均內插演算電路中之像素週期與內插誤差的關係顯示於第 23 圖。

第 24 圖係顯示平均維持內插演算電路中之像素週期與內插誤差之關係的圖表以及 $k=2$ 至 kn 之平均維持內插演算電路與左右平均內插演算電路最突顯之像素週期 P_p 的範圍圖。

說明左右平均內插演算電路最突顯之像素週期 P_p 的範圍。

第 24 圖(a)係顯示第 23 圖所示之左右平均維持內插演算電路中之像素週期與內插誤差的關係圖。

E_p 為視覺上可容許之誤差的上限值。

如第 24 圖(a)所示，左右平均維持內插演算電路，因像素週期 P_p 愈大其內插誤差 E 愈小，故在 $P_p = km + 1$ 至 k 的圖像資料中，內插誤差 E 會變成小於視覺上可容許之誤差的上限值。因此，Rave 所示之範圍，亦即在 $P_p = km + 1$ 至 k 的圖像資料中可將左右平均演算電路使用於缺落像素的內插。

第 24 圖(b)係顯示第 20 圖(c)所示之 $k = 2$ 至 $k = kn$ 之平均維持內插演算電路最突顯之像素週期 P_p 的範圍。如第 24 圖(a)所示，在 $P_p = km + 1$ 至 kn 的圖像資料中，可將左右平均內插演算電路使用於缺落像素的內插，因此，可取代第 17 圖之參數 $km + 1$ 至 kn (假設 $m < n$) 的平均維持內插演算電路的輸出，而使用左右平均內插演算電路的輸出。藉此，即可省略參數 $km + 1$ 至 kn (假設 $m < n$) 的平均維持內插演算電路。

藉由將第 17 圖的構成中的 $k = km + 1$ 至 kn 的平均維持內插演算電路置換為左右平均內插演算電路，即可削減平均維持內插演算電路的種類。並藉此縮小適用於廣範圍之像素週期的像素內插電路的電路規模。

此外，左右平均內插演算電路與複數的內插演算電路之像素內插電路具有第 25 所示之內插誤差的特性。第 25 圖與第 20 圖(b)所示之圖表相同，在 R_2 中， $k = 2$ 的平均維持內插演算電路的內插誤差變得最小，同樣地在 R_3 至 R_m 中， $k = 3$ 至 km 的平均維持內插演算電路的內插誤差亦分別變為最小。此外在 Rave 中，平均維持內插演算電

路的內插誤差變得最小。

第 26 圖係顯示第 2 實施例以及第 3 實施例所示之包含缺落像素之像素列與不含缺落像素之像素列重覆 i 像素時之 $k = k_j$ 的平均維持內插演算電路中的像素週期 P_p 與內插誤差的關係圖。

說明像素週期與內插誤差的關係。

如第 2 實施例與第 3 實施例所示，包含缺落像素的像素列與不含缺落像素之像素列重覆 i 像素時之平均維持內插演算電路，在參數 k 為像素週期 P_p 的整數倍 ($k = N * P_p$)、或包含缺落像素與不含缺落像素的像素列未重覆部份的像素數 $k - i$ 為像素週期 P_p 的整數倍 ($k - i = N * P_p$) 時，可適度地內插缺落像素。

如第 26 圖(a)所示，包含缺落像素的像素列與不含缺落像素的像素列重覆 i 像素時之 $k = k_j$ 的平均維持內插演算電路，像素週期 P_p 在內插 $P_p = k_j / Na_1, \dots, k_j (Na_1 > \dots > 0, Na_1, \dots$ 為 k_j 的倍數) 的圖像資料時其內插誤差 E 為 0 或最小，內插之圖像資料的像素週期 P_p 愈離開 $P_p = k_j / Na_1, k_l / Na_2, \dots, k_j$ 之像素週期 P_p ，其內插誤差 E 愈大。

此外，如第 26 圖(b)所示，即使在像素週期 P_p 內插 $P_p = (k_j - i) / Nb_1, \dots, k_j - i (Nb_1 > \dots > 0, Nb_1, \dots$ 為 $k_j - i$ 的倍數) 的圖像資料時內插誤差 E 亦為 0 或最小，像素週期其 $P_p = (k_j - i) / Nb_1, \dots, k_j - i$ 的像素週期 P_p 相隔愈大，其內插誤差愈大。

因此，包含缺落像素的像素列與未包含缺落像素的像素列重覆 i 像素時之平均維持內插演算電路的像素週期 P_p 與內插像素的關係，乃形成結合第 26 圖(a)之圖表與第 26 圖(b)之圖表的第 26 圖(c)的圖表型態。

第 27 圖係顯示在第 3 實施例所示之包含缺落像素之像素列與不含缺落像素之 2 個像素列之平均維持內插演算電路中，包含缺落像素之像素列 LC 與未包含缺落像素之像素列 NA 以及 NB 的位置關係的 1 例。第 27 圖(a)顯示 $k=3$ 、 $i=1$ 時之包含缺落像素的像素列 LC 與未包含缺落像素的像素列 NA 以及 NB 的位置關係。第 27 圖(b)顯示 $k=5$ 、 $i=2$ 時之包含缺落像素的像素列 LC 與未包含缺落像素的像素列 NA 以及 NB 的位置關係。第 27 圖(c)顯示 $k=kn$ 、 $i=(kn-1)/2$ 時之包含缺落像素的像素列 LC 與未包含缺落像素的像素列 NA 以及 NB 的位置關係。

以下說明有關在第 27 圖所示之包含缺落像素之像素列與不含缺落像素之 2 個像素列之平均維持內插演算電路中，參數 k 以及 i 與可適度內插圖像資料的像素週期 P_p 的關係。

如第 26 圖所示，包含缺落像素的像素列與不含缺落像素的像素列重覆 i 像素之 $k=kj$ 的平均維持內插演算電路可對，像素週期 P_p 為 $P_p = kj/Na1$ 、...、 kj 之圖像資料，或 P_p 為 $P_p = (kj-i)/Nb1$ 、...、 $kj-i$ 之像素進行適切的內插，因此，第 27 圖(a)所示之包含缺落像素之像素列與不含缺落像素之 2 個像素列重覆 1 像素的平均維持內插演算

電路，可對 $P_p = k = 3$ ， $P_p = k - i = 2$ 之圖像資料進行適度的內插。

第 27 圖(b)所示之包含缺落像素之像素列與不含缺落像素之 2 個像素列重覆 2 像素之 $k = 5$ 的平均維持內插演算電路，同樣地可對 $P_p = k = 5$ ， $P_p = k - i = 3$ 之圖像資料進行適度的內插。

第 27 圖(c)所示之包含缺落像素的像素列與不含缺落像素的像素列 $(kn - 1)/2$ 個像素重覆 2 像素之 $k = kn$ 的平均維持內插演算電路，同樣地可對 $P_p = kn - i = 5$ 之圖像資料進行適度的內插。

第 28 圖係顯示第 27 圖所示之包含缺落像素之像素列與不含缺落像素之 2 個像素列重覆時之平均維持內插演算電路中，各平均維持內插演算電路最突顯之像素週期的 P_p 的範圍圖。

$k = 3$ 的平均維持內插演算電路係將 $P_p = 3$ 近邊的像素週期 P_p 視為最突顯之像素週期的範圍。 $k = 5$ 的平均維持內插演算電路，亦將 $P_p = 5$ 近邊的像素週期 P_p 視為最突顯之像素週期的範圍。 $k = (kn + 1)/2$ 、 kn 的平均維持內插演算電路亦同，係分別將 $P_p = (kn + 1)/2$ 、 kn 近邊的像素週期 P_p 視為最突顯之像素週期的範圍。因此， $k = 3$ 、 $5(kn + 1)/2$ 、 kn 之平均維持內插演算電路的像素週期範圍係形成如第 28 圖(a)所示一般。

此外， $k = 3$ 的平均維持內插演算電路亦將 $P_p = k - i = 2$ 近邊的像素週期 P_p 視為最突顯之像素週期的範圍。 $k = 5$

之平均維持內插演算電路亦同，係將 $P_p = k - i = 3$ 近邊的像素週期 P_p 視為最突顯之像素週期的範圍。 $k = 7、9、kn$ 的平均維持內插演算電路亦同樣分別將 $P_p = 4、5、(kn + 1)/2、2k$ 近邊的像素週期 P_p 視為最突顯之像素週期的範圍。因此， $k = 3、5、7、9(kn + 1)/2$ 之平均維持內插演算電路的最突顯像素週期範圍將形成如第 28 圖(b)所示一般。

因此，包含缺落像素之像素列與不含缺落像素之 2 個像素列重覆時之 $k = 3、5、(kn + 1)/2、kn$ 的平均維持內插演算電路，可適用於合併第 28 圖(a)與第 28 圖(b)之範圍，亦即第 28 圖(c)所示之範圍的圖像資料。

如上所述在多數的平均維持內插演算電路中加裝左右平均內插演算電路，並由其所產生之內插資料中，選擇內插誤差最小的資料，藉此，不論像素週期為何，均可輸出內插誤差較小的內插資料。

第 6 實施例

第 29 圖係顯示第 6 實施例之像素內插電路的構成圖。

第 6 實施例之像素內插電路，除第 4 實施例所示之第 21 圖的構造外，尚具備：用以產生輸入輸出電路之選擇訊號的選擇訊號產生部 9；控制電路 20；影像資料記憶體(data memory)21。

影像資料記憶體 21，儲存輸入影像資料 DI，並根據控制電路 20 的指示反覆輸出相同的影像資料。

選擇訊號產生部 9，係根據缺落像素附近的像素的原資料；以及藉由針對缺落像素附近之像素求出缺落像素之

內插資料相同的方法而取得的內插資料，產生可由多數之內插演算電路的內插資料中選擇其中之一的選擇訊號 C。

圖示之選擇訊號產生部 9 係由：管理電路 7 以及計分電路 8 所構成。

多數之平均維持內插演算電路 6(1)乃至於 6(n)的各個電路，其構成方式係如第 16 圖所示，更具體而言，係形成第 1 圖所示之構成。

控制電路 20，在多數之平均維持內插演算電路 6(1)乃至 6(n)的各個電路例如在缺落部合計算出電路 19(第 16 圖)中，輸入構成包含缺落像素附近之測試(test)用非缺落像素的像素組的 k 個像素中，測試用非缺落像素以外的像素而求出該數值的合計 SL，在多數之內插演算電路的各個非缺落部合計算出電路 17 中，輸入構成不含測試用缺落像素之像素組的 k 個像素，求出該數值的合計，在多數之內插演算電路的各個差分電路 3 中，由非缺落部合計算出電路 17 之輸出減去缺落部合計算出電路 19 之輸出，而藉此求出測試用非缺落像素的內插資料。

此外，控制電路 20，使位於缺落像素附近之測試用非缺落像素左右的像素，輸入左右平均內插演算電路 6(0)中，求出該數值的平均值，再將該平均值做為測試用非缺落像素的內插資料輸出。

控制電路 20，係針對複數之互異的測試用非缺落像素進行上述處理。

選擇訊號產生部 9，根據各個多數之內插演算電路所

求出的測試用非缺落像素的內插資料以及測試用分缺落像素的原資料，評估內插演算電路，並決定選擇訊號的內容以選擇獲得最佳評價的內插演算電路。

控制電路 20，將構成包含缺落像素之像素組的像素輸入多數之平均維持內插演算電路 6(1)乃至 6(n)的缺落部合計算出電路 19 中，而將構成不包含缺落像素之像素組的像素輸入非缺落部合計算出電路，並分別對缺落像素進行平均維持內插演算，使鄰接缺落像素之像素輸入左右平均內插演算電路 6(0)並對缺落像素進行左右平均內插演算，在輸出電路 9 中，係如上述一般，根據內容既定之選擇訊號 C，選擇多數之內插演算電路 6(0)乃至 6(n)之其中一個內插資料，再將其輸出。

此外，為方便說明，在第 29 圖中，不同於第 17 圖以及第 21 圖的情況，係以 n 個表示平均維持內插演算電路的數量。

第 29 圖的像素內插電路，係在每次進行影像資料輸入時進行下述 2 種處理。

首先，第 1 處理，亦稱為評估處理，係使用供給之輸入圖像資料中的缺落像素以外的像素進行多數之內插演算電路的評估，根據哪一內插演算電路受到最佳評估，來決定選擇訊號 C 的內容。

第 2 處理，亦稱為內插實行處理，係根據選擇訊號 C 的內容，產生用以內插所供給之輸入圖像資料中的缺落像素的內插資料並進行內插。

由於係在評估處理以及內插實行處理中反覆使用相同之輸入圖像資料 DI，因此輸入圖像資料 DI 會先被儲存在圖像資料記憶體 21，之後才在控制電路 20 中依照指示被反覆讀出。

評估處理中的內插演算與內插實行處理中的內插演算可同時並行進行，或在結束評估處理中的內插演算後再進行內插實行處理中的內插演算。以下先概略說明同時並行進行評估處理中的內插演算與內插實行處理中的內插演算的情形，之後，再針對先結束評估處理中的內插演算後再進行內插實行處理中的內插演算的情形。

輸入圖像 DI 被輸入左右平均內插演算電路 6(0)以及 n 個平均維持內插演算電路(第 1 平均維持內插演算電路 6(1)、第 2 平均維持內插演算電路 6(2)、... 第 n 平均維持內插演算電路 6(n))以及評分電路 8。平均維持內插演算電路之參數 $k=k_1$ 至 k_n 係被分別輸入第 1 平均維持內插演算電路至第 n 平均維持內插演算電路。左右平均內插演算電路 6(0)根據輸入圖像 DI 對多數之測試用非缺落圖像(測試像素)輸出其內插資料(測試內插資料)TD0[T1]至[Tm]與缺落像素之內插資料 D0。左右平均內插演算電路 6(0)所輸出之測試內插資料 TD0[T1]至[Tm]被輸入於評分電路 8，內插資料 D1D0 則被輸入輸出電路 5。

第 1 平均維持內插演算電路 6(1)根據輸入圖像 DI 以及參數 $k=k_1$ 對多數之測試像素輸出其內插資料 TD1[T1]至[Tm]與缺落像素之內插資料 D1。由第 1 平均維持內插演

算電路 6(1)輸出之內插資料 TD1[T1]至[Tm]被輸入評分電路 8，內插資料 D1 則被輸入輸出電路 5。

對於第 2 平均維持內插演算電路 6(2)至第 n 平均維持內插演算電路 6(n)同樣是根據輸入圖像 DI 以及參數 $k=k_2$ 至 $k=k_n$ 對多數之測試像素分別輸出其內插資料 TD2[T1]至[Tm]至 TDn[T1]至[Tm]與缺落像素之內插資料 D2 至 Dn。第 2 平均維持內插演算電路 6(2)至第 n 平均維持內插演算電路 6(n)所輸出之測試內插資料 TD2[T1]至[Tm]至 TDn[T1]至[Tm]被輸入評分電路 8，內插資料 D2 至 Dn 則被輸入輸出電路 5。

評分電路 8 根據輸入圖像 DI 計算由左右平均內插演算電路 6(0)所輸出之測試內插資料 TD0，並將該結果作為評分資料 MO 輸出。評分電路 8 所輸出之評分資料 MO 被輸入管理電路 7。

此外，評分電路 8 對於第 1 平均維持內插演算電路 6(1)至第 n 平均維持內插演算電路 6(n)所輸出之測試內插資料 TD1[T1]至[Tm]至 TDn[T1]至[Tm]也同樣根據輸入圖像 DI 進行評分，並將個別之結果作為評分資料 M1 至 Mn 輸出。評分電路 8 所輸出之評分資料 M1 至 Mn 係被輸入管理電路 7。

管理電路 7 將評分電路 8 所輸出之評分資料 M0 至 Mn 以例如後述之方法進行評估，並根據該結果輸出選擇訊號 C。管理電路 7 所輸出之選擇訊號 C 被輸入輸入電路 5。

輸出電路 5 根據管理電路 7 所輸出之選擇訊號 C，選

擇由左右平均內插演算電路 6(0)以及第 1 平均維持內插演算電路 6(1)至第 n 平均維持內插演算電路 6(n)所輸出之內插資料 D_0 至 D_n 中的 1 個並作為輸出資料 D_0 輸出。

以下詳細說明先結束評估處理中的內插演算後再進行內插實行處理中的內插演算的情形。

先說明評估處理之動作。此時第 29 圖之輸出電路 5 並不產生動作。亦即內插資料 D_0 未被輸出。

第 30 圖(a)係顯示輸入圖像 DI 之圖，顯示缺落像素與測試用非缺落像素(測試像素)之位置關係。在第 30 圖中， O 表示實際存在之像素， X 表示缺落之像素。

相對於缺落像素 L ，以 T_1 至 T_m 表示之位於缺落像素 L 附近之實際存在之像素(非缺落像素)係被設定為測試像素($m=2k$)。在此，測試像素係指在缺落像素附近被假設為缺落像素而生成內插資料之像素。第 30 圖(a)係以缺落像素 L 為中心而以一次元方式在左右兩側分別設置 k 個測試像素的例子。

測試像素可設定成與缺落像素呈左右不對稱之形式，或只設定在左右單向。此外，亦可如第 30 圖(b)所示一般，設定成 2 次元。

使用第 29 圖以及第 30 圖(a)，詳細說明測試像素 T_1 至 T_m 之左右平均內插演算電路 6(0)、第 1 平均維持內插演算電路 6(1)至第 n 平均維持內插演算電路 6(n)以及評分電路 8 的動作。

首先，在測試像素 T_1 之位置中，左右平均內插演算

電路 6(0)輸出假設缺落測試像素 T 時之測試內插資料 TD0[T1]。亦即，求出位於測試像素 T1 之左右的像素的平均，並將該平均做為測試像素 T1 之內插資料輸出。

評分電路 8 求出測試像素 T1 之位置中的輸入圖像 DI 的資料[T1]與前述測試內插資料 TD0[T1]之差分的絕對值，而作為評分資料 M0[T1]輸出。評分資料 M0[T1]係變為

$$M0[T1] = |TD0[T1] - DI[T1]|$$

當評分資料 M0[T1]較小時，表示測試內插資料接近輸入圖像，亦即在測試像素[T1]中係以左右平均插捕演算電路 6(0)之演算方法較為適當。相反地，當評分資料 M0[T1]較大時，則表示在測試像素 T1 中左右平均插捕演算電路 6(0)之演算方法並不適當。亦即，評分資料 M0[T1]可顯示測試像素 T1 中之左右平均插捕演算電路 6(0)的適性。

接著，左右平均插捕演算電路 6(0)對於測試像素 T2 亦同樣地輸出假設缺落測試像素 T2 時之測試內插資料 TD0[T2]。評分電路 8 求出測試像素 T2 之位置中的輸入圖像 DI[T2]與前述測試內插資料 TD0[T2]之差分的絕對值，並作為評分資料 M0[T2]輸出。評分資料 M0[T2]變為

$$M0[T2] = |TD0[T2] - DI[T2]|$$

評分資料 M0[T2]係顯示測試像素 T2 中之左右平均插捕演算電路 6(0)的適性。

左右平均插捕演算電路 6(0)對其他測試像素 T3 至 Tm 同樣輸出測試內插資料 TD0 [T3] 至 TD0 [Tm]。評分電

路 8 求出前述測試內插資料 TD0[T3]至 TD0[Tm]與對應各測試內插資料之輸入圖像 DI 之資料 DI[T3]至 DI[Tm]之差分的絕對值，並作為評分資料 M0[T3]至 M0[Tm]輸出。評分資料 M0[T3]至 M0[Tm]變為

$$M0[T3] = |TD0[T3] - DI[T3]|$$

至

$$M0[Tm] = |TD0[Tm] - DI[Tm]|$$

評分資料 M0[T3]至 M0[Tm]顯示測試像素 T3 至 Tm 中之左右平均內插演算電路 6(0)之適性。

如此，即可獲得對應測試像素 T1 至 Tm 中之左右平均內插演算電路 6(0)所輸出之測試內插資料的評分資料。

對於第 1 平均維持內插演算電路 6(1)同樣輸出在測試像素 T1 之位置中假設缺落測試像素 T1 時之測試內插資料 TD1[T1]。評分電路 8 求出測試像素 T1 之位置中的輸入圖像 DI 的資料 DI[T1]與前述測試內插資料 TDI[T1]之差分的絕對值，並作為評分資料 M1[T1]輸出。評分資料 M1[T1]變為

$$M1[T1] = |TD1[T1] - DI[T1]|$$

評分資料 M1[T1]係顯示測試像素 T1 中之第 1 平均維持內插演算電路 6(1)的適性。

第 1 平均維持內插演算電路 6(1) 對其他測試像素 T2 至 Tm 同樣輸出測試內插資料 TD1[T2]至 TD0[Tm]。評分電路 8 求出前述測試內插資料 TD1[T2]至 TD1[Tm]與對應各測試內插資料之輸入圖像 DI 之資料 DI[T2]至 DI[Tm]之

差分的絕對值，並作為評分資料 $M1[T2]$ 至 $M1[Tm]$ 輸出。

評分資料 $M1[T2]$ 至 $M1[Tm]$ 變為

$$M1[T2] = |TD1[T2] - DI[T2]|$$

至

$$M1[Tm] = |TD1[Tm] - DI[Tm]|$$

評分資料 $M1[T2]$ 至 $M1[Tm]$ 係顯示測試像素 $T2$ 至 Tm 中之第 1 平均維持內插演算電路 6(1) 的適性。

對於第 2 平均維持內插演算電路 6(2) 至第 n 內插演算電路 6(n) 同樣輸出測試像素 $T1$ 至 Tm 中的測試內插資料 $TD2[T1] \cdots TD2[Tm]$ 至 $TDn[T1] \cdots TDn[Tm]$ ，評分電路 8 根據前述測試內插資料 $TD2[T1] \cdots TD2[Tm]$ 至 $TDn[T1] \cdots TDn[Tm]$ 分別輸出評分資料 $M2[T1] \cdots M2[Tm]$ 至 $Mn[T1] \cdots Mn[Tm]$ 。

如此，在所有的測試像素 $T1$ 至 Tm 中求得平均維持內插演算電路 6(0) 以及第 1 平均維持內插演算電路 6(1) 至第 n 平均維持內插演算電路 6(n) 之各個內插演算電路的適性。

第 31 圖係歸納測試像素 $T1$ 至 Tm 中之各內插演算電路之評分資料的表單。

藉由使用測試像素之測試內插資料與測試像素之位置中的輸入圖像資料的差分的絕對值，可依照每一測試像素求出內插方法的適性。

說明管理電路 7 之動作。

位評估缺落像素附近之左右平均內插演算電路 6(0) 的適性，管理電路 7 係加算評分資料 $M0[T1]$ 至 $M0[Tm]$ 以生

成左右平均內插演算電路 6(1)之評估資料 S_0 。評估資料 S_0 變為

$$S_0 = M_0[T_1] + M_0[T_2] + \cdots + M_0[T_m]。$$

當評估資料 S_0 較小時，表示缺落像素附近的左右平均內插演算電路 6(0)的演算方法適當。反之，當評估資料 S_0 較大時，表示缺落像素附近的左右平均內插演算電路 6(0)的演算方法不適當。

為了對第 1 平均維持內插演算電路 6(1)至第 n 內插演算電路 6(n)同樣評估缺落像素附近的適性，乃分別加算評分資料 $M_1[T_1] \cdots M_1[T_m]$ 至 $M_n[T_1] \cdots M_n[T_m]$ 而分別生成第 1 平均維持內插演算電路 6(1)至第 n 內插演算電路 6(n)之評估資料 S_1 至 S_n 。評估資料 S_1 至 S_n 變為

$$S_1 = M_1[T_1] + M_1[T_2] + \cdots + M_1[T_m]$$

至

$$S_n = M_n[T_1] + M_n[T_2] + \cdots + M_n[T_m]。$$

第 32 圖係歸納評估資料 S_0 至 S_n 之表單。

藉由加算各測試像素之評分資料，即可求得缺落像素附近之內插方法的適性。

評估資料小的內插演算電路更能夠對缺落像素附近的相素進行適切的內插，因此，可由此類推在缺落像素中亦可進行適切的插捕。管理電路 7 決定選擇訊號 C 的內容，使之得以選擇評估資料 S_0 至 S_n 中具有最小評估資料之內插演算電路所輸出之內插資料。如此一來內容既定之選擇訊號 C ，即可在接下來的內插實行處理中被輸出電路 5 所

利用。

接著說明內插實行處理之動作。在內插實行處理中，朋分電路 8 並不進行動作。另外管理電路 7，除持續輸出在評估處理中決定內容之選擇訊號 C 以外並不進行其他動作。內插實行處理中的內插演算電路 6(0)乃至 6(n)的動作，與參照第 21 圖所說明之動作相同。亦即，控制電路 20，係將構成含有缺落像素之像素組的像素輸入於平均維持內插演算電路 6(1)乃至 6(n)之缺落部合計算出電路，將構成不含缺落像素之像素組的像素非缺落部合計算出電路中而分別進行內插演算，在分別由各電路輸出內插資料 D1 至 Dn。另外控制電路 20，又使鄰接缺落像素之像素輸入左右平均內插演算電路 6(0)而進行對缺落像素的左右平均內插演算，並輸出內插資料 D0。輸出電路 5，係根據選擇訊號 C，由多數之內插演算電路(6(0)乃至 6(n))之內插資料中選擇其中一個並使之輸出。因此，輸出電路 5 係根據管理電路 7 所輸出之選擇訊號 C，由左右平均內插演算電路 6(0)以及第 1 平均維持內插演算電路 6(1)至第 n 平均維持內插演算電路 6(n)所輸出之內插資料 D0 至 Dn 中選擇一項，並作為輸出資料 DO 輸出。

如此，在結束對一個缺落像素的內插後，即開始對下一缺落像素的內插。

第 29 圖所示之像素內插電路，係在缺落像素附近之像素中，進行左右平均內插演算電路 6(0)以及第 1 平均維持內插演算電路 6(1)至第 n 平均維持內插演算電路 6(n)所輸

出之測試內插資料的評分，為了能夠評估該結果類推缺落像素之適切的內插演算，可藉由適合缺落像素附近之圖像的內插演算進行缺落像素之內插。

接著利用具體例進行說明。

第 33 圖，係第 29 圖中之多數平均維持內插演算電路，顯示具備參數 $k=5$ 之第 1 平均維持內插演算電路與參數 $k=7$ 之第 2 平均維持內插演算電路的構造圖。

說明第 33 圖之具體例之像素內插電路的構造。

第 33 圖之具體例之像素內插電路，具備有：輸出電路 5、左右平均內插演算電路 6(0)、第 1 平均維持內插演算電路 6(1)以及第 2 平均維持內插演算電路 6(2)、管理電路 7、評分電路 8。此外，在該具體例中亦設置有與第 29 圖所示之控制電路 20 以及圖像資料記憶體 21 相同的裝置，在此省略該等裝置之圖示。

輸入圖像 DI 被輸入左右平均內插演算電路 6(0)、第 1 平均維持內插演算電路 6(1)、第 2 平均維持內插演算電路 6(2)以及評分電路 8。左右平均內插演算電路 6(0)根據輸入圖像 DI 輸入測試內插資料 TD0 以及內插資料 D0。由左右平均內插演算電路 6(0)輸出之測試內插資料 TD0 被輸入評分電路 8、內插資料 D0 被輸入輸出電路 5。

參數 $k=5$ 被輸入第 1 平均內插演算電路 6(1)。第 1 平均內插演算電路 6(1)根據輸入圖像 DI 以及參數 $k=5$ 輸出測試內插資料 TD1 以及內插資料 D1。由第 1 平均內插演算電路 6(1)輸出之測試內插資料 TD1 被輸入評分電路 8、

內插資料 D1 被輸入輸出電路 5。

參數 $k=7$ 被輸入第 2 平均內插演算電路 6(2)。第 2 平均內插演算電路 6(2)根據輸入圖像 DI 以及參數 $k=7$ 輸出測試內插資料 TD2 以及內插資料 D2。由第 2 平均內插演算電路 6(2)輸出之測試內插資料 TD2 被輸入評分電路 8、內插資料 D2 被輸入輸出電路 5。

評分電路 8，根據輸入圖像 DI 評估由左右平均內插演算電路 6(0)輸出之測試內插資料 TD0，並將該結果作為評分資料 M0 輸出。

評分電路 8，根據輸入圖像 DI 評估由第 1 平均內插演算電路 6(1)輸出之測試內插資料 TD1，並將該結果作為評分資料 M1 輸出。

評分電路 8，根據輸入圖像 DI 評估由第 2 平均內插演算電路 6(2)輸出之測試內插資料 TD2，並將該結果作為評分資料 M2 輸出。由評分電路 8 所輸出之評分資料 M0 至 M2 被輸入管理電路 7。

管理電路 7 根據由評分電路 8 所輸出之評分資料 M0 至 M2 輸出選擇訊號 C。而由管理電路 7 所輸出之選擇訊號 C 則被輸入輸出電路。

輸出電路 5 根據管理電路 7 所輸出之選擇訊號 C 選擇由左右平均內插演算電路 6(0)、第 1 平均維持內插演算電路 6(1)以及第 2 平均維持內插演算電路 6(2)輸出之內插資料 D0 至 D2 中的一個，作為輸出資料 DO 輸出。

第 34 圖係顯示具有週期性之圖像資料的一例。第 34

圖(a)與第 3 圖相同，係顯示像素週期 5 之像素資料的位置與濃度值之關係的波形圖，反覆濃度值 $a=74$ 、 $b=57$ 、 $c=100$ 、 $d=143$ 、 $e=126$ 。第 34 圖(b)係顯示缺落像素及測試像素之位置關係。此外，作為對應缺落像素 L 之測試像素 T1 至 T4，係以 1 次元之方式設定成以缺落像素為中心在左右各有 2 個的形式。

第 35 圖係用以說明平均維持內插演算之測試內插方法的圖。

第 35 圖(a)係顯示第 3 實施例所示之包含缺落像素與不含缺落像素之 2 個像素列重覆時之平均維持內插演算電路中之含缺落像素之像素列 LC 與不含缺落像素之像素列 NA 以及 NB 之位置關係。第 35 圖(b)顯示在將測試像素 T 假設為缺落像素而進行測試內插的情況下，包含測試像素之像素列 TC 中含有缺落像素時之不含測試像素之像素列 TB 的位置。第 35 圖(c)係顯示在包含測試像素之像素列 TC 中不含缺落像素時之不含測試像素之像素列 TA 的位置。

說明平均維持內插演算電路之測試內插方法。

平均維持內插演算電路測試內插缺落像素附近之像素時，必須依照缺落像素之位置變更內插方法。而且，在進行測試內插時係使用不含測試像素之 2 個像素列中的其中一方。

如第 35 圖(b)所示一般，包含測試像素 T 之像素列 TC 中含有缺落像素 L 時，平均維持內插演算電路必須考慮缺落像素製作方程式。因此，藉由以含有缺落像素之方式設

定不含測試像素 T 之像素列 TB，並使包含測試像素 T 之像素列 TC 與不含測試像素之像素列 TB 兩方中含有缺落像素，可使缺落像素在方程式上相互抵銷，而求得適當之測試像素 T 的測試內插資料。方程式係如下記

$$(TC[1] + \dots + TC[k-i-1] + T + L + TD[1] + \dots + TD[i-1])/k \\ = (L + TD[1] + \dots + TD[i-1] + TB[1] + \dots + TB[k-i])/k。$$

測試像素 T 為

$$T = (TB[1] + \dots + TB[k-i]) - (TC[1] + \dots + TC[k-i-1])$$

如第 35 圖(c)所示一般，包含測試像素之像素列 TC 中不含缺落像素時，係設定在不含測試像素之像素列 TA 中亦不含缺落像素。平均維持內插演算電路之方程式為

$$(TA[1] + \dots + TA[k-i] + TD[1] + \dots + TD[i])/k \\ = (TD[1] + \dots + TD[i] + T + TC[1] + \dots + TC[k-i-1])$$

測試像素為

$$T = (TA[1] + \dots + TA[k-i] - TC[1] + \dots + TC[k-i-1])$$

如此，藉由考量缺落像素之位置的測試內插方法，即可適當地評估各個平均維持內插演算電路。

第 36 圖係說明測試像素 T1 至 T4 以及缺落像素 L 中之左右平均內插演算電路 6(0)以及評分電路 8 之動作。第 36 圖(a)係顯示算出 T1 中之左右平均內插演算電路 6(0)之測試內插資料時的圖，第 36 圖(b)係顯示算出 T2 中之左右平均內插演算電路 6(0)之測試內插資料時的圖，第 36 圖(c)係顯示算出 T3 中之左右平均內插演算電路 6(0)之測試內插資料時的圖，第 36 圖(d)係顯示算出 T4 中之左右平均內

插演算電路 6(0)之測試內插資料時的圖，第 36 圖(e)係顯示算出缺落像素 L 中之左右平均內插演算電路 6(0)之內插資料時的圖。

說明測試像素 T1 至 T4 以及缺落像素 L 中之左右平均內插演算電路 6(0)以及評分電路 8 之動作。

如第 36 圖(a)所示一般，左右平均內插演算電路 6(0)係將像素 T1L 以及 T1R 之平均值做為測試像素 T1 之測試內插資料 TD0[T1]輸出。由 $T1L=b=57$ 、 $T1R=d=143$ ，測試內插資料 TD0[T1]係變為

$$TD0[T1] = (T1L + T1R) / 2 = (57 + 143) / 2 = 100。$$

評分電路 8 將測試像素 T1 之位置中的輸入像素 DI 的資料 DI[T1]與測試內插資料 TD0[T1]之差分之絕對值作為評分資料 M0[T1]輸出。由 $TD0[T1]=100$ 、 $DI[T1]=c=100$ ，評分資料 M0[T1]係變為

$$M0[T1] = | TD0[T1] - DI[T1] | = | 100 - 100 | = 0$$

如第 36 圖(b)所示一般，左右平均內插演算電路 6(0)係將像素 T2L 以及 T2R 之平均值做為測試像素 T2 之測試內插資料 TD0[T2]輸出。由 $T2L=c=100$ 、 $T2R=a=74$ ，測試內插資料 TD0 [T2]係變為

$$TD1 = (T2L + T2R) / 2 = (100 + 74) / 2 = 87。$$

評分電路 8 將測試像素 T2 之位置中的輸入圖像 DI 的資料 DI[T2]與測試內插資料 TD0[T2]之差分之絕對值作為評分資料 M0[T2]輸出。由 $TD0[T2]=87$ ， $DI[T2]=d=143$ ，評分資料 M0[T2]係變為

$$M0[T2] = | TD0[T2] - DI[T2] | = | 87 - 143 | = 56。$$

如第 36 圖(c)所示一般，左右平均內插演算電路 6(0)係將像素 T3L 以及 T3R 之平均值做為測試像素 T3 之測試內插資料 TD0[T3]輸出。由 T3L=d=143、T3R=b=57，測試內插資料 TD0 [T3]係變為

$$TD0 = (T3L + T3R) / 2 = (143 + 57) / 2 = 100。$$

評分電路 8 將測試像素 T3 之位置中的輸入圖像 DI 的資料 DI[T3]與測試內插資料 TD0[T3]之差分的絕對值作為評分資料 M0[T3]輸出。由 TD0[T3]=100，DI[T3]=a=74，評分資料 M0[T3]係變為

$$M0[T3] = | TD0[T3] - DI[T3] | = | 100 - 74 | = 26$$

如第 36 圖(d)所示一般，左右平均內插演算電路 6(0)係將像素 T4L 以及 T4R 之平均值做為測試像素 T4 之測試內插資料 TD0[T4]輸出。由 T4L=a=74、T4R=c=100，測試內插資料 TD0 [T4]係變為

$$TD0 [T4] = (T4L + T4R) / 2 = (74 + 100) / 2 = 87。$$

評分電路 8 將測試像素 T4 之位置中的輸入圖像 DI 的資料 DI[T4]與測試內插資料 TD0[T4]之差分的絕對值作為評分資料 M0[T4]輸出。由 TD0[T4]=89、DI[T4]=b=57，評分資料 M1[T4]係變為

$$M0[T4] = | TD0[T4] - DI[T4] | = | 87 - 57 | = 30。$$

如第 36 圖(e)所示一般，左右平均內插演算電路 6(0)係將缺落像素之左右的像素 LL 以及 LR 之平均值做為缺落像素 L 之內插資料 D0 輸出。由 LL=d=143、LR=a=74，內

插資料 TD0 係變為

$$D0=(LL+LR)/2=(143+74)/2=108.5$$

第 37 圖係說明測試像素 T1 至 T4 以及缺落像素 L 中之第 1 平均內插演算電路 6(1)以及評分電路 8 之動作。第 37 圖(a)係顯示算出 T1 中之第 1 平均內插演算電路 6(1)之測試內插資料時的圖，第 37 圖(b)係顯示算出 T2 中之第 1 平均內插演算電路 6(1)之測試內插資料時的圖，第 37 圖(c)係顯示算出 T3 中之第 1 平均內插演算電路 6(1)之測試內插資料時的圖，第 37 圖(d)係顯示算出 T4 中之第 1 平均內插演算電路 6(1)之測試內插資料時的圖，第 37 圖(e)係顯示算出缺落像素 L 中之第 1 平均內插演算電路 6(1)之內插資料時的圖。

說明測試像素 T1 至 T4 以及缺落像素 L 中之第 1 平均內插演算電路 6(1)以及評分電路 8 之動作。

如第 37 圖(a)所示，第 1 平均內插演算電路 6(1)係求出測試像素 T1 之測試內插資料 TD1[T1]，使包含測試像素 T1 之像素列 T1C 之平均值與不含測試像素 T1 之像素列 T1B 之平均值相等。藉此，由

$$\begin{aligned} & (T1C[1]+T1C[2]+TD1[T1]+T1D[1]+L)/5 \\ & = (T1D[1]+L+T1B[1]+T1B[2]+T1B[3])/5 \end{aligned}$$

測試內插資料 TD1[T1]係變為

$$TD1[T1]=(T1B[1]+T1B[2]+T1B[3]-(T1C[1]+T1C[2]))。$$

而由 T1C[1]=a=74、T1C[2]=b=57、T1B[1]=a=74、

$$TD1[T1]=(74+57+100)-(74+57)=100 \text{ 變為}$$

$TD1[T1]=100$ 、 $DI[T1]=c=100$ 。

評分電路 8 將前述測試像素 T1 之位置中的輸入圖像 DI 的資料 $DI[T1]$ 與測試內插資料 $TD1[T1]$ 之差分的絕對值作為評分資料 $M1[T1]$ 輸出。由 $TD1[T1]=100$ 、 $DI[T1]=c=100$ ，評分資料 $M1[T1]$ 係變為

$$M1[T1] = | TD1[T1] - DI[T1] | = | 100 - 100 | = 0。$$

如第 37 圖(b)所示，第 1 平均內插演算電路 6(1)係求出測試像素 T2 之測試內插資料 $TD1[T2]$ ，使包含測試像素 T2 之像素列 T2C 之平均值與不含測試像素 T2 之像素列 T2B 之平均值相等。藉此，由

$$\begin{aligned} & (T2C[1]+T2C[2]+TD1[T2]+T1D[1]+L+T2D[1])/5 \\ & = (L+T2D[1]+L+T2B[1]+T2B[2]+T2B[3])/5 \end{aligned}$$

測試內插資料 $TD1[T2]$ 係變為

$$TD1[T2] = (T2B[1]+T2B[2]+T2B[3] - (T2C[1]+T2C[2]))。$$

而由 $T2C[1]=b=57$ 、 $T2C[2]=c=100$ 、 $T2B[1]=b=57$ 、 $T2B[2]=c=100$ ， $T2B[3]=d=143$ 變為

$$TD1[T2] = (57+100+143) - (57+100) = 143。$$

評分電路 8 將前述測試像素 T2 之位置中的輸入圖像 DI 的資料 $DI[T2]$ 與測試內插資料 $TD1[T2]$ 之差分的絕對值作為評分資料 $M1[T2]$ 輸出。由 $TD1[T2]=143$ 、 $DI[T2]=d=143$ ，評分資料 $M1[T2]$ 係變為

$$M1[T2] = | TD1[T2] - DI[T2] | = | 143 - 143 | = 0。$$

如第 37 圖(c)所示，第 1 平均內插演算電路 6(1)係求出測試像素 T3 之測試內插資料 $TD1[T3]$ ，使包含測試像素

T3 之像素列 T3C 之平均值與不含測試像素 T3 之像素列 T3B 之平均值相等。藉此，由方程式

$$(T3A[1]+T3A[2]+T3A[3]+T3D[1]+L)/5 \\ = (T3D[1] + L + TD1[T3] + T3C[1] + T3C[2])/5$$

測試內插資料 TD1[T3]係變為

$$TD1[T3] = (T3A[1] + T3A[2] + T3A[3] - (T3C[1] + T3C[2]))。$$

而由 T3C[1]=b=57、T3C[2]=c=100、T3A[1]=a=74、

T3A[2]=b=57，T3A[3]=c=100 變為

$$TD1[T3] = (74 + 57 + 100) - (57 + 100) = 74。$$

評分電路 8 將前述測試像素 T3 之位置中的輸入圖像 DI 的資料 DI[T3]與測試內插資料 TD1[T3]之差分的絕對值作為評分資料 M1[T3]輸出。TD1[T3]=74、DI[T3]=a=74，由評分資料 M1[T3]係變為

$$M1[T3] = | TD1[T3] - DI[T3] | = | 74 - 74 | = 0。$$

如第 37 圖(d)所示，第 1 平均內插演算電路 6(1)係求出測試像素 T4 之測試內插資料 TD1[T4]，使包含測試像素 T4 之像素列 T4C 之平均值與不含測試像素 T4 之像素列 T4A 之平均值相等。藉此，由方程式

$$(T4A[1]+T4A[2]+T4A[3]+L+T4D[1])/5 \\ = (L+T4D[1]+TD1[4]+T4C[1]+T4C[2])/5，$$

測試內插資料 TD1[T4]係變為

$$TD1[T4] = (T4A[1] + T4A[2] + T4A[3]) - (T4C[1] + T4C[2])。$$

而由 T4C[1]=c=100、T4C[2]=d=143、T4A[1]=57、

T4A[2]=c=100、T4A[3]=d=143 變為

$$TD1[T1]=(57+100+143)-(100+143)=57$$

評分電路 8 將前述測試像素 T4 之位置中的輸入圖像 DI 的資料 DI[T4]與測試內插資料 TD1[T4]之差分的絕對值作為評分資料 M1[T4]輸出。由 $TD1[T4]=57$ 、 $DI[T4]=b=57$ ，評分資料 M1[T4]變為

$$M1[T4]=|TD1[T4]-DI[T4]|=|57-57|=0$$

如第 37 圖(e)所示，第 1 平均內插演算電路 6(1)係求出缺落像素 L 之內插資料 TD1，使包含缺落像素 L 之像素列 LC 之平均值與不含缺落像素 L 之像素列 NA 以及 NB 之平均值相等。藉此，由方程式

$$\begin{aligned} & (AD[1]+AD[2]+D1+BD[1]+BD[2])/5 \\ & =((NA[1]+NA[2]+NA[3]+AD[1]+D[2])/5 \\ & +BD[1]+BD[2]+NB[1]+NB[2]+NB[3])/5)/2, \text{ 內插資料 } D1 \\ & \text{變為} \end{aligned}$$

$$\begin{aligned} D1 & =((NA[1]+NA[2]+NA[3]+AD[1]+AD[2]) \\ & +(BD[1]+BD[2]+NB[1]+NB[2]+NB[3]))/2 \\ & - (AD[1]+AD[2]+BD[1]+BD[2]) \end{aligned}$$

並由 $NA[1]=e=126$ 、 $NA[2]=a=74$ 、 $NA[3]=b=57$ 、 $AD[1]=c=100$ 、 $AD[2]=d=143$ 、 $BD[2]=b=57$ 、 $NB[1]=c=100$ 、 $NB[2]=d=143$ 、 $NB[3]=e=126$ 變為

$$\begin{aligned} D1 & =((126+74+57+100+143)+(74+57+100+143+126))/2 \\ & - (100+143+74+57)=126。 \end{aligned}$$

第 38 圖係說明測試像素 T1 至 T4 以及缺落像素 L 中之第 2 平均內插演算電路 6(1)以及評分電路 8 之動作。第

38 圖(a)係顯示算出 T1 中之第 2 平均內插演算電路 6(2)之測試內插資料時的圖，第 38 圖(b)係顯示算出 T2 中之第 2 平均內插演算電路 6(2)之測試內插資料時的圖，第 38 圖(c)係顯示算出 T3 中之第 2 平均內插演算電路 6(2)之測試內插資料時的圖，第 38 圖(d)係顯示算出 T4 中之第 2 平均內插演算電路 6(2)之測試內插資料時的圖，第 38 圖(e)係顯示算出缺落像素 L 中之第 1 平均內插演算電路 6(2)之內插資料時的圖。

說明測試像素 T1 至 T4 以及缺落像素 L 中之第 2 平均內插演算電路 6(2)以及評分電路 8 之動作。

如第 38 圖(a)所示，第 2 平均內插演算電路 6(2)係求出測試像素 T1 之測試內插資料 TD2[T1]，使包含測試像素 T1 之像素列 T1C 之平均值與不含測試像素 T1 之像素列 T1B 之平均值相等。藉此，由方程式

$$(T1C[1]+T1C[2]+T1C[3]+TD2[T1]+T1D[1]+L+T1D[2])/7 \\ = (T1D[1]+L+T1D[2]+T1B[1]+T1B[2]+T1B[3]+T1B[4])/7,$$

測試內插資料 TD1[T1]變為

$$TD2[T1] = (T1B[1]+T1B[2]+T1B[3]+T1B[4])$$

— (T1C[1]+T1C[2]+T1C[3])。而由

$$T1C[1]=e=126、T1C[2]=a=74、T1C[3]=b=57、T1B[1]=b=57、 \\ T1B[2]=c=100、T1B[3]=d=143、T1B[4]=e=126 變為$$

$$TD2=[T1] = (57+100+143+126) - (126+74+57) = 169。評分電路 8 將前述測試像素 T1 之位置中的輸入圖像 DI 的資料 DI[T1]與測試內插資料 TD1[T1]之差分的絕對值作為評分$$

資料 $M2[T1]$ 輸出。而由 $TD2[T1]=169$ 、 $DI[T1]=c=100$ 、
評分資料 $M2[T1]$ 變為

$$M2[T1] = | TD2[T1] - DI[T1] | = | 169 - 100 | = 69。$$

如第 38 圖(b)所示，第 2 平均內插演算電路 6(2)係求出測試像素 $T2$ 之內插資料 $TD2[T2]$ ，使包含測試像素 $T2$ 之像素列 $T2C$ 之平均值與不含測試像素 $T1$ 之像素列 $T2B$ 的平均值相等。藉此，由方程式

$$(T2C[1]+T2C[2]+T2C[3]+T2D[T2]+L+T2D[1]+T2D[2])/7 \\ = (L+T2D[1]+T2D[2]+T2B[1]+T2B[2]+T2B[3]+T2B[4])/7$$

測試像素 $TD2[T2]$ 變為

$$TD2[T2] = (T2B[1]+T2B[2]+T2B[3]+T2B[4]) - (T2C[1]+T2C[2]+T2C[3])。並由$$

$$T2C[1]=a=74、T2C[2]=b=57、T2C[3]=c=100、T2B[1]=c=100、 \\ T2B[2]=d=143、T2B[3]=e=126、T2B[4]=a=74 變為$$

$$TD2[T2] = (100+143+126+74) - (74+57+100) = 212。$$

評分電路 8 將前述測試像素 $T2$ 之位置中的輸入圖像 DI 的
資料 $DI[T2]$ 與測試內插資料 $TD2[T2]$ 之差分的絕對值作為
評分資料 $M2[T2]$ 輸出。由 $TD2[T2]=212$ 、 $DI[T2]=d=143$ ，
評分資料 $M2[T2]$ 係變為

$$M2[T2] = | TD2[T2] - DI[T2] | = | 212 - 143 | = 69。$$

如第 38 圖(c)所示，第 2 平均內插演算電路 6(2)係求出測試像素 $T3$ 之內插資料 $TD3[T3]$ ，使包含測試像素 $T3$ 之像素列 $T3C$ 之平均值與不含測試像素 $T3$ 之像素列 $T3A$ 的平均值相等。藉此，由方程式

$$(T3A[1]+T3A[2]+T3A[3]+T3A[4]+T3D[1]+T3D[2]+L)/7 \\ = (T3D[1]+T3D[2]+L+TD2[T3]+T3C[1]+T3C[2]+T3C[3])/7,$$

測試內插資料 $TD2[T3]$ 變為

$$TD2[T3] = (T3A[1]+T3A[2]+T3A[3]+T3A[4]) \\ - (T3C[1]+T3C[2]+T3C[3])。並由$$

$$T3C[1]=b=57、T3C[2]=c=100、T3C[3]=d=143、$$

$$T3A[1]=d=143、T3A[2]=e=126、T3A[3]=a=74、T3A[4]=b=57 \\ 變為 $TD1[T3] = (143+136+74+57) - (57+100+143) = 100。$$$

評分電路 8 將前述測試像素 $T3$ 之位置中的輸入圖像 DI 的資料 $DI[T3]$ 與測試內插資料 $TD3[T3]$ 之差分的絕對值作為評分資料 $M2[T3]$ 輸出。而由 $TD2[T3]=100$ 、 $DI[T3]=a=74$ 評分資料 $M2[T3]$ 變為

$$M2[T3] = |TD2[T3] - DI[T3]| = |100 - 74| = 26。$$

如第 38 圖(d)所示，第 2 平均內插演算電路 6(2)係求出測試像素 $T4$ 之內插資料 $TD2[T4]$ ，使包含測試像素 $T4$ 之像素列 $T4C$ 之平均值與不含測試像素 $T3$ 之像素列 $T4A$ 的平均值相等。藉此，由方程式

$$(T4A[1]+T4A[2]+T4A[3]+T4A[4]+T4D[1]+L+T4D[2])/7 \\ = (T4D[1]+L+T4D[2]+TD2[T4]+T4C[1]+T4C[2]+T4C[3])/7，$$

測試內插資料 $TD2[T4]$ 變為

$$TD2[T4] = (T4A[1]+T4A[2]+T4A[3]+T4A[4]) - (T4C[1]+T4C[2]+T4C[3])。而由$$

$$T4C[1]=c=100、T4C[2]=d=143、T4C[3]=e=126、T4A[1]$$

$$=e=126、T4A[2]=a=74、T4A[3]=b=57、T4A[4]=c=100 變為$$

$$TD1[T1]=(126+74+57+100)-(100+143+126)=-12。$$

評分電路 8 將前述測試像素 T4 之位置中的輸入圖像 DI 的資料 DI[T4]與測試內插資料 TD2[T4]之差分的絕對值作為評分資料 M2[T4]輸出。由 TD2[T4]=-12、DI[T4]=b=57，評分資料 M2[T4]係變為

$$M2[T4] = |TD2[T4] - DI[T4]| = |-12 - 57| = 69。$$

如第 38 圖(e)所示，第 1 平均內插演算電路 6(1)係求出缺落像素 L 之內插資料 TD1，使包含缺落像素 L 之像素列 LC 之平均值與不含缺落像素 L 之像素列 NA 以及 NB 之平均值相等。藉此，由方程式

$$\begin{aligned} & (AD[1]+AD[2]+AD[3]+D1+BD[1]+BD[2]+BD[3])/7 \\ & = ((NA[1]+NA[2]+NA[3]+NA[4]+AD[1]+AD[2]+AD[3])/7 \\ & + (BD[1]+BD[2]+BD[3]+NB[1]+NB[2]+NB[3]+NB[4])/7)/2, \\ & \text{內插資料 DI, 變為} \end{aligned}$$

$$\begin{aligned} D1 = & ((NA[1]+NA[2]+NA[3]+NA[4]+AD[1]+AD[2]+AD[3]) \\ & + (BD[1]+BD[2]+BD[3]+NB[1]+NB[2]+NB[3]+NB[4]))/2 \\ & - (AD[1]+AD[2]+AD[3]+BD[1]+BD[2]+BD[3]), \text{並由} \\ & NA[1]=c=100、NA[2]=d=143、NA[3]=e=126、NA[4]=a=74、 \\ & AD[1]=b=57、AD[2]=c=100、AD[3]=d=143、BD[1]=a=74、 \\ & BD[2]=b=57、BD[3]=c=100、NB[1]=d=143、NB[2]=e=126、 \\ & NB[3]=a=74、NB[4]=b=57 \text{ 變為} \end{aligned}$$

$$\begin{aligned} D1 = & ((100+143+126+74+57+100+143)+(74+57+100+143+126+74+57))/2 \\ & - (57+100+143+74+57+100) \end{aligned}$$

=156。

第 39 圖係集結測試像素 T1 至 T4 中之評分資料 M0 至 M2 的表。

說明管理電路 7 之動作。

管理電路 7 將加算左右平均內插演算電路 6(0)之評分資料 M0[T1]至 M0[T4]的值生成為評估資料 S0。而由
 $M0[T1]=0$ 、 $M0[T2]=56$ 、 $M0[T3]=26$ 、 $M0[T4]=30$ ，評估資料 S0 變為

$$S0 = M0[T1] + M0[T2] + M0[T3] + M0[T4] \\ = 0 + 56 + 26 + 30 = 112$$

管理電路 7 對於第 1 平均維持內插演算電路 6(1)同樣係將加算評分資料 M1[T1]至 M1[T4]的值生成為評估資料 S0。而由

$$M1[T1]=0、M1[T2]=0、M1[T3]=0、M1[T4]=0$$

評估資料 S1，變為

$$S1 = M1[T1] + M1[T2] + M1[T3] + M1[T4] \\ = 0 + 0 + 0 + 0 = 0$$

管理電路 7 對於第 2 平均維持內插演算電路 6(2)同樣係將加算評分資料 M2[T1]至 M2[T4]之值生成為評估資料 S2。而由

$M2[T1]=69$ 、 $M2[T2]=69$ 、 $M2[T3]=26$ 、 $M2[T4]=69$ ，評估資料 S2 變為

$$S2 = M2[T1] + M2[T2] + M2[T3] + M2[T4] \\ = 69 + 69 + 26 + 69 = 233。$$

第 40 圖係綜合左右平均內插演算電路 6(0)、第 1 平均維持內插演算電路 6(1)以及第 2 平均內插演算電路 6(2)之評估資料 S0 至 S2 的表。

評估資料愈小之內插演算電路愈能夠在缺落像素附近進行適切之內插，因此可類推在缺落像素中亦可進行適當之內插。管理電路 7 輸出選擇訊號 C，該選擇訊號 C 係用以選擇具有評估資料 S0 至 S2 中之最小評估資料($S1=0$)的第 1 平均維持內插演算電路 6(1)所輸出的內插資料。

輸出電路 5 係輸出對應管理電路 7 所輸出之選擇訊號 C 的內插資料 $D1=126$ 。由第 31 圖(a)所示情形得知，缺落像素 L 之原資料為 126，可以最小之誤差進行內插。

第 33 圖所示之構造例所形成之像素內插電路，係生成缺落像素 L 附近之測試像素 T1 至 T4 中的 3 個內插演算電路的測試內插資料，並進行該等資料之評分及評估，而藉此選擇 3 個內插演算電路中適合像素內容之內插演算電路，因此，可適切地內插缺落像素。

利用第 33 圖所示之構造說明插補其他圖像資料之例。

第 41 圖顯示具有週期性之圖像資料的一例。第 41 圖(a)係反覆像素週期 $Pp=7$ 濃度值 $a=80$ 、 $b=56$ 、 $c=65$ 、 $d=100$ 、 $e=135$ 、 $f=144$ 、 $g=120$ 。第 38 圖(b)顯示缺落像素與測試像素之位置關係。此外，對應缺落像素 L 之測試像素 T1 至 T4 係以 1 次元之方式設定成以缺落像素 L 為中心左右各 2 個的形式。

使用左右平均維持內插演算電路 6(0)、第 1 平均維持

內插演算電路 6(1)以及第 2 平均維持內插演算電路 6(2)進行第 41 圖(b)之測試像素 T1 至 T4 之測試內插的方法，由於係與第 36 圖至第 38 圖所示方法相同故省略其說明。

第 42 圖係綜合測試像素 T1 至 T4 之評分資料 M0 至 M2 的表。

說明管理電路 7 之動作。

管理電路 7 將加算左右平均內插演算電路 6(0)之評分資料 M0[T1]至 M0[T4]的值生成為評估資料 S0。而由
 $M0[T1] = 13$ 、 $M0[T2] = 4.5$ 、 $M0[T3] = 71$ 、 $M0[T4] = 8$ ，評估資料 S0 變為

$$\begin{aligned} S0 &= M0[T1] + M0[T2] + M0[T3] + M0[T4] \\ &= 13 + 4.5 + 71 + 8 = 96.5 \end{aligned}$$

管理電路 7 對於第 1 平均維持內插演算電路 6(1)同樣係將加算評分資料 M1[T1]至 M1[T4]之值生成為評估資料 S1。而由

$M1[T1] = 143$ 、 $M1[T2] = 35$ 、 $M1[T3] = 143$ 、 $M1[T4] = 35$ ，評估資料 S1 變為

$$\begin{aligned} S1 &= M1[T1] + M1[T2] + M1[T3] + M1[T4] \\ &= 143 + 35 + 143 + 35 = 356。 \end{aligned}$$

管理電路 7 對於第 2 平均維持內插演算電路 6(2)同樣係將加算評分資料 M2[T1]至 M2[T4]之值生成為評估資料 S2。而由 $M2[T1] = 0$ 、 $M2[T2] = 0$ 、 $M2[T3] = 0$ 、 $M2[T4] = 0$ ，評估資料 S2 變為

$$S2=M2[T1]+M2[T2]+M2[T3]+M2[T4]$$

$$=0+0+0+0=0。$$

第 43 圖係綜合左右平均內插演算電路 6(0)、第 1 平均維持內插演算電路 6(1)以及第 2 平均內插演算電路 6(2)之評估資料 S0 至 S2 的表。

評估資料愈小之內插演算電路愈能夠在缺落像素附近進行適切之內插，因此可類推在缺落像素中亦可進行適當之內插。管理電路 7 輸出選擇訊號 C，該選擇訊號 C 係用以選擇具有評估資料 S0 至 S2 中之最小評估資料(S2=0)的第 1 平均維持內插演算電路 6(2)所輸出的內插資料。

輸出電路 5 係輸出對應管理電路 7 所輸出之選擇訊號 C 的內插資料 D1=126。由第 31 圖(a)所示情形得知，缺落像素 L 之原資料為 126，可以最小之誤差進行內插。

第 33 圖所示之構造例所形成之像素內插電路，係生成缺落像素 L 附近之測試像素 T1 至 T4 中的 3 個內插演算電路的測試內插資料，並進行該等資料之評分及評估，而藉此選擇 3 個內插演算電路中適合像素內容之內插演算電路，因此，對於第 41 圖之資料同樣可適切地內插缺落像素。

利用第 33 圖所示之構造說明插捕其他圖像資料之例。

第 44 圖顯示具有週期性之圖像資料的一例。第 44 圖(a)係反覆像素週期 Pp=17 濃度值 a=100、b=116、c=130、d=140、e=145、f=143、g=136、h=124、i=108、j=92、k=76、l=64、m=57、n=55、o=60、p=70、q=84。第 44 圖(b)顯示缺落像素與測試像素之位置關係。此外，對應缺落像素 L

之測試像素 T1 至 T4 係以 1 次元之方式設定成以缺落像素 L 為中心左右各 2 個的形式。

使用左右平均維持內插演算電路 6(0)、第 1 平均維持內插演算電路 6(1)以及第 2 平均維持內插演算電路 6(2)進行第 44 圖(b)之測試像素 T1 至 T4 之測試內插的方法，由於係與第 36 圖至第 38 圖所示方法相同故省略其說明。

第 45 圖係綜合測試像素 T1 至 T4 之評分資料 M0 至 M2 的表。

說明管理電路 7 之動作。

管理電路 7 將加算左右平均內插演算電路 6(0)之評分資料 M0[T1]至 M0[T4]的值生成為評估資料 S0。而由
 $M0[T1] = 3.5$ 、 $M0[T2] = 8.5$ 、 $M0[T3] = 1.5$ 、 $M0[T4] = 0$ ，評估資料 S0 變為

$$S0 = M0[T1] + M0[T2] + M0[T3] + M0[T4]$$

$$= 3.5 + 8.5 + 1.5 + 0 = 13.5$$

管理電路 7 對於第 1 平均維持內插演算電路 6(1)同樣係將加算評分資料 M1[T1]至 M1[T4]之值生成為評估資料 S1。而由
 $M1[T1] = 91$ 、 $M1[T2] = 152$ 、 $M1[T3] = 91$ 、 $M2[T4] = 152$ ，評估資料 S1 變為

$$S1 = M1[T1] + M1[T2] + M1[T3] + M1[T4]$$

$$= 91 + 152 + 91 + 152 = 486。$$

管理電路 7 對於第 2 平均維持內插演算電路 6(2)同樣係將加算評分資料 M2[T1]至 M2[T4]之值生成為評估資料

S2。而由

$M2[T1]=191$ 、 $M2[T2]=269$ 、 $M2[T3]=86$ 、 $M2[T4]=191$ ，評估資料 S2 變為

$$S2=M2[T1]+M2[T2]+M2[T3]+M2[T4]$$

$$=191+269+86+191=737。$$

第 46 圖係綜合左右平均內插演算電路 6(0)、第 1 平均維持內插演算電路 6(1)以及第 2 平均內插演算電路 6(2)之評估資料 S0 至 S2 的表。

評估資料愈小之內插演算電路愈能夠在缺落像素附近進行適切之內插，因此可類推在缺落像素中亦可進行適當之內插。管理電路 7 輸出選擇訊號 C，該選擇訊號 C 係用以選擇具有評估資料 S0 至 S2 中之最小評估資料($S2=13.5$)的左右平均維持內插演算電路 6(0)所輸出的內插資料。

輸出電路 5 係輸出對應管理電路 7 所輸出之選擇訊號 C 的內插資料 $D0=133.5$ 。由第 31 圖(a)所示情形得知，缺落像素 L 之原資料為 136，可以最小之誤差進行內插。

第 33 圖所示之構造例所形成之像素內插電路，係生成缺落像素 L 附近之測試像素 T1 至 T4 中的 3 個內插演算電路的測試內插資料，並進行該等資料之評分及評估，而藉此選擇 3 個內插演算電路中適合像素內容之內插演算電路，因此，對於第 44 圖之資料同樣可適切地內插缺落像素。

如此，由管理電路 7、電路 8 所構成之選擇訊號產生部 9，可對應圖像資料形成用以選擇適切之內插演算電路的內插資料的選擇訊號，且不論圖像資料之週期性如何，

將內插誤差減至最低。

此外，由於係運用使用於缺落像素之內插資料的內插演算電路(例如包含缺落部合計算出電路 19 以及非缺落部合計算出電路 17)求出測試像素之內插資料，因此可在不會大幅增加電路規模之其況下，藉由測試像素進行評估。

此外，在第 29 圖之像素內插電路中，亦可省略左右平均內插演算電路 6(0)。此時，係對平均維持內插演算電路 6(1)乃至 6(n)進行評估，並由其中選擇一個電路之輸出。

第 7 實施例

第 47 圖係顯示第 7 實施例之內插演算電路之構造圖。第 6 實施例之內插演算電路係形成在第 1 至 3 實施例所示之平均維持內插演算電路中，追加用以限制平均維持內插演算電路之輸出的輸出限制部的構造。

第 48 圖顯示部分之輸入圖像 DI，以及缺落像素與參照資料範圍之位置關係。

說明第 7 實施例之內插演算電路之構造與動作。

第 7 實施例之內插演算電路係具備：輸出範圍生成電路 10；限制電路 11；以及平均維持內插演算電路 12。輸入圖像 DI 被輸入範圍生成電路 10 與平均維持內插演算電路 12。參數 k 欸輸入平均維持內插演算電路 12。平均維持內插演算電路根據輸入圖像 DI 與參數 k 輸出限制前資料 Da。限制前資料 Da 係被輸入限制電路 11。

指定外部所供給之參照資料範圍 r 的資料係被輸入輸出範圍生成電路 10。輸出範圍生成電路 10 根據輸入圖像

DI 中的缺落像素的右側 r 個像素與左側 r 個像素，生成輸出最大值 $L_{\max}$ 與輸出最小值 $L_{\min}$ 。輸出最大值 $L_{\max}$ 變為

$$L_{\max} = L_{\max}(M[1], \dots, M[r], M[r+1], \dots, M[2r])。$$

在此 $\max(M[1], \dots, M[r], M[r+1], \dots, M[2r])$ 係求得像素 $M[1], \dots, M[r], M[r+1], \dots, M[2r]$ 之最大值的函數，輸出最大值 $L_{\max}$ 被輸入限制電路 11。

另外，輸出最小值 $L_{\min}$ 變為

$$L_{\min} = L_{\min}(M[1], \dots, M[r], M[r+1], \dots, M[2r])。$$

在此， $\min(M[1], \dots, M[r], M[r+1], \dots, M[2r])$ 係求得 $M[1], \dots, M[r], M[r+1], \dots, M[2r]$ 之最小值的函數。輸出最小值 $L_{\min}$ 係被輸入限制電路。

限制電路 11 根據輸出最大值 $L_{\max}$ 與輸出最小值 $L_{\min}$ 限制前資料 D_a ，並作為限制後資料 D_b 輸出。限制後資料 D_b 為

$D_a < L_{\min}$ 時， $D_b = L_{\min}$

為 $L_{\min} \leq D_a \leq L_{\max}$ 時 $D_b = D_a$

為 $L_{\max} < D_b$ 時 $D_b = L_{\max}$ 。

第 7 實施例之內插演算電路可將平均維持內插演算電路之輸出限制在缺落像素附近之 $2r$ 個濃度值的範圍。

使用具體例進行說明。

第 49 圖係根據具體例之內插演算電路的構造。

第 50 圖顯示像素週期 $P_p=5$ 之圖像資料。在第 50 圖中，像素 $NB[3]$ 之濃度值係根據雜訊由 74 變為 94。

說明構造與動作。

輸入圖像 DI 被輸入平均維持內插演算電路與輸出範圍生成電路。參數 $k=9$ 被輸入平均維持內插演算電路 12。平均維持內插演算電路 12 係求出缺落像素 L 之內插資料使含有缺落像素之像素列 LC 與不含缺落像素之 2 個像素列 NA 以及 NB 之平均值相等。方程式係變為

$$\begin{aligned} & (AD[1]+AD[2]+AD[3]+AD[4]+L \\ & +BD[1]+BD[2]+BD[3]+BD[4])/9 \\ & =((NA[1]+NA[2]+NA[3]+NA[4]+NA[5] \\ & +AD[1]+AD[2]+AD[3]+AD[4])/9 \\ & +BD[1]+BD[2]+BD[3]+BD[4] \\ & +NB[1]+NB[2]+NB[3]+NB[4]+NB[5])/9)/2 \text{、缺落像素係變} \\ & \text{為} \end{aligned}$$

$$\begin{aligned} L = & ((NA[1]+NA[2]+NA[3]+NA[4]+NA[5] \\ & +AD[1]+AD[2]+AD[3]+AD[4]) \\ & +BD[1]+BD[2]+BD[3]+BD[4] \\ & +NB[1]+NB[2]+NB[3]+NB[4]+NB[5]))/2 \\ & - AD[1]+AD[2]+AD[3]+AD[4]+L \\ & + BD[1]+BD[2]+BD[3]+BD[4]) \text{。而由} \end{aligned}$$

$NA[1]=126$ 、 $NA[2]=74$ 、 $NA[3]=57$ 、 $NA[4]=100$ 、 $NA[5]=143$ 、
 $AD[1]=126$ 、 $AD[2]=74$ 、 $AD[3]=57$ 、 $AD[4]=100$ 、 $BD[1]=126$ 、
 $BD[2]=74$ 、 $BD[3]=57$ 、 $BD[4]=100$ 、 $NB[1]=143$ 、 $NB[2]=126$ 、
 $NB[3]=94$ 、 $NB[4]=57$ 、 $NB[5]=100$ 變為

$$L = ((126+74+57+100+143+126+74+57+100)$$

$$+(126+74+57+100+143+126+94+57+100))/2 \\ - (126+74+57+100+126+74+57+100)=153。$$

將缺落像素之內插資料 L 設定成限制前資料 Da。限制前資料 Da 被輸入限制電路 11。

參照資料範圍 $r=9$ 被輸入輸出範圍生成電路。輸出範圍生成電路 10 將輸入圖像 DI 中的缺落像素 L 的右側 9 個像素與左側 9 個的最大值作為輸出最大值 L_{max} 輸出。

輸出最大值 L_{max} 變為

$$L_{max}=143。$$

輸出最大值 L_{max} 被輸入限制電路。

另外，輸出範圍生成電路 10 將輸入圖像 DI 中的缺落像素 L 的右側 9 個像素與左側 9 個的最小值作為輸出最小值 L_{min} 輸出。

輸出最小值 L_{min} 變為

$$L_{min}=57。$$

輸出最小值 L_{min} 被輸入限制電路 11。

限制電路 11 根據輸出最大值 L_{max} 與輸出最小值 L_{min} 校正限制前資料 Da 並作為限制後資料 Db 輸出。限制後資料 Db 係根據 $Da=153$ 、 $L_{max}=143$ 、 $L_{min}=57$ 而使 $L_{max} < Da$ 得以成立，故變為 $Db=L_{max}=143$ 。

根據第 50 圖，缺落像素 L 之原資料為 143，限制後資料 $Db=143$ 的誤差係變為 $|143-143|=0$ 。限制前資料的誤差為 $|153-143|=10$ ，藉由限制可縮小誤差。

第 8 實施例

在第 1 至 3 實施例中，係說明藉由硬體(hardware)，而利用平均維持內插演算內插缺落像素之內插演算電路的構造，但亦可藉由軟體(software)進行缺落像素之內插。或是併用軟體與硬體。

第 51 圖係說明藉由軟體處理進行缺落像素之插的動作(內插演算方法)的流程圖(flowchart)。

亦參照第 2 圖說明流程圖之動作。

於步驟(step)s1 中生成含缺落像素之像素列 LC 的部份和資料(相當於第 1 實施例之 SL)。

於步驟 s2 中生成不含缺落像素之像素列 NA 的部份和資料(相當於第 1 實施例之 SA)。

如第 13 圖所示當不含缺落像素之像素列為多數時，返回步驟 s2 生成各像素列之部份和資料。(步驟 s3)

在步驟 s4 中根據步驟 s1 所生成之部份和資料(相當於 SA 之資料)與步驟 s2 所生成之部份和資料(相當於 SL 之資料)，製作方程式，使包含缺落像素之像素列的平均值與不含缺落像素之像素列的平均值相等。

於步驟 s5 中解開步驟 s4 所製作之方程式(例如由相當於 SA 之資料減去相當於 SL 之資料)而求出缺落像素之內插資料。

有關各步驟中的處理內容係已在第 1 至 3 實施例中詳細敘述過，故在此省略說明。

第 9 實施例

在第 6 實施例中，係說明藉由硬體，而以併用平均維

持內插演算與左右平均內插演算之方式，內插缺落像素之像素內插電路的構造，但亦可藉由軟體內插缺落像素。或是併用軟體與硬體。

第 52 圖係說明藉由軟體處理進行缺落像素之插捕的動作(像素內插方法)的流程圖(flowchart)。

亦參照第 30 圖(a)說明流程圖之動作。

於步驟 s1 中生成測試像素 T1 之左右平均內插演算方法之測試內插資料(相當於第 6 實施例之 TD0[T])。

於步驟 s2 中生成測試像素 T1 之位置中的輸入圖像 DI 之資料(相當於第 6 實施例之 DI[T1])與步驟 s1 所生成之測試內插資料的差分的絕對值以作為評分資料(相當於第 6 實施例之 M0[T1])。

接著，返回步驟 s1，生成測試像素 T2 之左右平均內插演算方法之測試內插資料(相當於第 6 實施例之 TD0[T2])。

於步驟 s2 中生成測試像素 T2 之位置中的輸入圖像 DI 之資料(相當於第 6 實施例之 DI[T2])與步驟 s1 所生成之測試內插資料的差分的絕對值以作為評分資料(相當於第 6 實施例之 M0[T2])。

對於測試像素 T3 至 Tm 係同樣地反覆執行步驟 1 與步驟 2 的順序(步驟 3)。如此即可獲得所有測試像素 T1 至 Tm 中的左右平均內插演算方法的評分資料。

在步驟 s4 中生成缺落像素 L 中之左右平均內插演算方法的內插資料。

接著，返回步驟 s1，生成測試像素 T1 之第 1 平均內插演算方法之測試內插資料(相當於第 6 實施例之 TD1[T1])。

於步驟 s2 中生成測試像素 T1 之位置中的輸入圖像 DI 的資料(相當於第 6 實施例之 DI[T1])與步驟 s1 所生成之測試內插資料的差分的絕對值以作為評分資料(相當於第 6 實施例之 M1[T2])。

接著，返回步驟 s1，生成測試像素 T2 之第 1 平均內插演算方法之測試內插資料(相當於第 1 實施例之 TD1[T2])。

於步驟 s2 中生成測試像素 T2 之位置中的輸入圖像 DI 的資料(相當於第 6 實施例之 DI[T2])與步驟 s1 所生成之測試內插資料的差分的絕對值以作為評分資料(相當於第 6 實施例之 M1[T2])。

對於測試像素 T3 至 Tm 係同樣地反覆執行步驟 1 與步驟 2 的順序(步驟 3)。如此即可獲得所有測試像素 T1 至 Tm 中的第 1 平均內插演算方法的評分資料。

在步驟 s4 中生成缺落像素 L 中之第 1 平均內插演算方法的內插資料。

對於第 2 平均內插演算方法至第 n 平均內插演算方法亦同樣反覆步驟 s1 至步驟 s4 之順序(步驟 5)。係就左右平均內插演算方法以及第 1 平均內插演算方法至第 n 平均內插演算方法之各方法，分別獲得所有測試像素 T1 至 Tm 之評分資料與缺落像素 L 中的內插資料。

在步驟 s6 中，係依照每一內插演算方法加算評分資料而分別生成左右平均內插演算方法以及第 1 平均內插演算方法至第 n 平均內插演算方法的評估資料(相當於第 6 實施例之 S0 至 Sn)。

在步驟 s7 中係根據在步驟 s6 中所生成之評估資料選則內插缺落像素之內插資料。

不斷反覆進行上述步驟 s1 至步驟 s7 之順序直到達到最後的缺落像素為止(步驟 s8)。

關於各步驟中的處理內容已在第 6 實施例中詳細說明過，故在此省略其說明。

此外，在上述各實施例中，像素係並列在左右方向，並在左右平均內插演算中，藉由求出鄰接在缺落像素或測試用非缺落像素之左右的像素的平均而生成內插資料，但在像素並列於上下方向的情況下，則是藉由求出鄰接在缺落像素或測試用非缺落像素之上下的像素的平均而生成內插資料。該種左右平均內插演算與上下平均內插演算，係統稱為鄰接像素平均內插演算。

[圖式簡單說明]

第 1 圖係顯示第 1 實施例之內插演算電路之構造的方塊(block)圖。

第 2 圖係顯示在第 1 實施例之內插演算電路中所處理之像素列的圖。

第 3 圖係顯示在第 1 實施例之內插演算電路中所處理之像素資料之一例的波形圖。

第 4 圖係顯示在第 1 實施例之內插演算電路中所處理之像素資料之一例的波形圖。

第 5 圖係顯示在第 1 實施例之內插演算電路中所處理之像素資料之一例的波形圖。

第 6 圖係顯示具備週期檢測電路之像素內插電路之構造例的方塊圖。

第 7 圖係顯示在第 2 實施例之內插演算電路中所處理之像素資料之一例的波形圖。

第 8 圖係顯示在第 2 實施例之內插演算電路中所處理之像素資料之一例的波形圖。

第 9 圖係顯示在第 2 實施例之內插演算電路中所處理之像素資料之一例的波形圖。

第 10 圖係顯示第 3 實施例之內插演算電路之構造之方塊圖。

第 11 圖係顯示在第 3 實施例之內插演算電路中所處理之像素列的圖。

第 12 圖係顯示在第 3 實施例之內插演算電路中處理、分割為多數列之像素組的圖。

第 13 圖係顯示在本發明之內插演算電路中處理、位於多數之列之像素列的圖。

第 14 圖係顯示在第 3 實施例之內插演算電路中所處理之像素資料之一例的波形圖。

第 15 圖係具備多數之缺落加算電路之缺落部合計算出電路之構造例的方塊圖。

第 16 圖係顯示平均維持內插演算電路之構造例的方塊圖。

第 17 圖係顯示第 4 實施例之像素內插電路之構造之方塊圖。

第 18 圖係顯示第 4 實施例之像素內插電路之像素週期與內插誤差之關係圖。

第 19 圖之(a)乃至(e)，係關於第 4 實施例之像素內插電路之各參數 k 之像素週期與內插誤差之間的關係圖。

第 20 圖之(a)乃至(c)，係關於第 4 實施例之像素內插電路之各參數 k 之像素週期與內插誤差之間的關係圖。

第 21 圖係顯示第 4 實施例之像素內插電路之構造之方塊圖。

第 22 圖之(a)乃至(d)，係關於第 4 實施例之像素內插電路之左右平均內插電路之動作之波形圖。

第 23 圖係關於第 4 實施例之像素內插電路之左右平均內插電路之像素週期與內插誤差之關係圖。

第 24 圖之(a)乃至(c)，係關於第 4 實施例之像素內插電路之各內插演算電路之像素週期與內插誤差之間的關係圖。

第 25 圖係第 4 實施例之像素內插演算電路之參數 k 與內插誤差之關係圖。

第 26 圖之(a)乃至(c)，係關於第 4 實施例之像素內插電路之參數 k 與內插誤差之間的關係圖。

第 27 圖之(a)乃至(c)，係顯示在第 4 實施例之內插電

路中所處理之像素列的圖。

第 28 圖之(a)乃至(c)，係顯示在第 4 實施例之內插電路之多數之平均維持內插演算電路獲得良好結果之範圍圖。

第 29 圖係顯示第 6 實施例之像素內插電路構造的方塊圖。

第 30 圖之(a)以及(b)，係顯示在第 6 實施例所處理之像素列以及像素組的圖。

第 31 圖係顯示在第 6 實施例之像素內插電路中針對多數之測試像素進行內插時之各內插演算電路的評價結果圖。

第 32 圖係顯示第 6 實施例之像素內插電路之各內插演算電路的綜合評價結果圖。

第 33 圖係顯示第 6 實施例之像素內插電路之具體例的方塊圖。

第 34 圖(a)係顯示在第 6 實施例之像素內插電路中所處理之像素資料之一例的波形圖，(b)係顯示缺落像素及位於其附近之測試像素圖。

第 35 圖之(a)乃至(c)，係顯示在第 6 實施例之像素內插電路中所處理之像素列的圖。

第 36 圖之(a)乃至(e)，係顯示在第 6 實施例之像素內插電路所處理之一連串的像素中的缺落像素以及位於其附近之測試像素圖。

第 37 圖之(a)乃至(e)，係顯示在第 6 實施例之像素內

插電路所處理之一連串的像素中的缺落像素以及位於其附近之測試像素圖。

第 38 圖之(a)乃至(e)，係顯示在第 6 實施例之像素內插電路所處理之一連串的像素中的缺落像素以及位於其附近之測試像素圖。

第 39 圖係顯示在第 6 實施例之像素內插電路中針對多數之測試像素進行內插時之各內插演算電路的評價結果圖。

第 40 圖係顯示第 6 實施例之像素內插電路之各內插演算電路的綜合評價結果圖。

第 41 圖(a)係顯示在第 6 實施例之像素內插電路中所處理之像素資料之一例的波形圖，(b)係顯示缺落像素及位於其附近之測試像素圖。

第 42 圖係顯示在第 6 實施例之像素內插電路中針對多數之測試像素進行內插時之各內插演算電路的評價結果圖。

第 43 圖係顯示第 6 實施例之像素內插電路之各內插演算電路的綜合評價結果圖。

第 44 圖(a)係顯示在第 6 實施例之像素內插電路中所處理之像素資料之一例的波形圖，(b)係顯示缺落像素及位於其附近之測試像素圖。

第 45 圖係顯示在第 6 實施例之像素內插電路中針對多數之測試像素進行內插時之各內插演算電路的評價結果圖。

第 46 圖係顯示第 6 實施例之像素內插電路之各內插演算電路的綜合評價結果圖。

第 47 圖係顯示第 7 實施例之內插演算電路之構造之方塊圖。

第 48 圖係顯示在第 7 實施例之內插演算電路中所處理之像素列的圖。

第 49 圖係顯示第 7 實施例之內插演算電路之構造之方塊圖。

第 50 圖係顯示在第 7 實施例之內插演算電路中所處理之像素資料之一例的波形圖。

第 51 圖係顯示第 8 實施例之圖像內插方法之處理順序的流程圖。

第 52 圖係顯示第 9 實施例之圖像內插方法之處理順序的流程圖。

[主要元件符號說明]

- 1 缺落部加算電路
 - 1(1) 第 1 缺落部加算電路
 - 1(2) 第 2 缺落部加算電路
- 2 非缺落部加算電路
 - 2(1) 第 1 非缺落部加算電路
 - 2(2) 第 2 非缺落部加算電路
- 3 差分電路
- 4 平均電路
- 5 輸出電路

- 6(0) 左右平均內插演算電路
- 6(1) 第 1 平均內插演算電路
- 6(2) 第 2 平均內插演算電路
- 6(n-1) 第 n-1 平均內插演算電路
- 6(n) 第 n 平均內插演算電路
- 6(m-1) 第 m-1 平均內插演算電路
- 7 管理電路
- 8 評分電路
- 9 選擇訊號產生部
- 10 輸出範圍生成電路
- 11 限制電路
- 12 平均維持內插演算電路
- 13 輸出限制部
- 15 週期檢測電路
- 17 非缺落部合計算出電路
- 18 平均電路
- 19 缺落部合計算出電路
- 20 控制電路
- 21 圖像資料記憶體

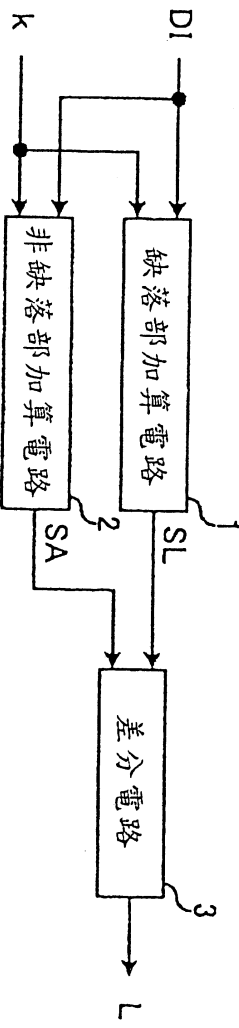
五、中文發明摘要：

本發明係求出缺落像素之內插資料，使構成包含缺落像素之像素組的多數像素值的平均值與構成不含缺落像素之像素組的多數像素值的平均值成為相等。例如，求出在構成包含缺落像素(L)之像素組(LC)的k個像素中，缺落像素以外的像素的值的合計(SL)(1)，並求出構成不含缺落像素之像素組(NA)的k個像素的值的合計(SA)(2)，藉由求算兩者的差(3)使缺落求出其內插資料。藉此，可縮小在內插有一部份像素缺落之週期性高的圖像時所產生的內插誤差。

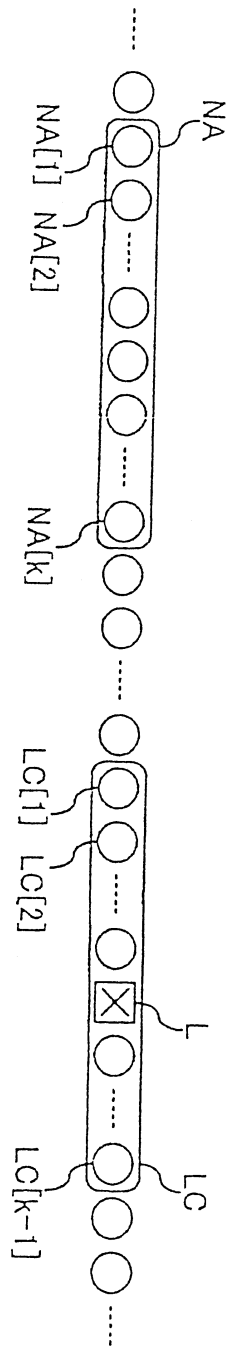
六、英文發明摘要：

An average value of values of a plurality of pixels constituting a group of pixels containing missing pixels, and an average value of values of a plurality of pixels constituting a group of pixels not containing missing pixels are calculated, and an interpolation data for equalizing the two average values is obtained.

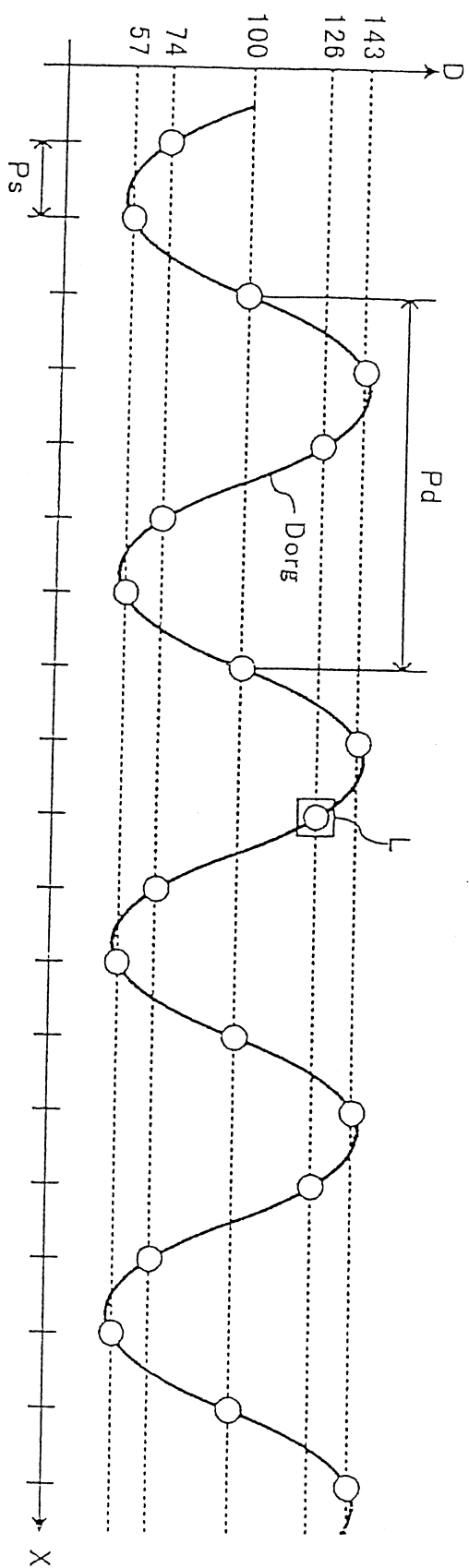
For example, (1) a sum (SL) of the values of pixels other than the missing pixels from the number K pixels which constitute the group (LC) of pixels containing missing pixels (L) is calculated, (2) a sum (SA) of the values of number K of pixels which constitute the group (NA) of pixels not containing missing pixels is calculated, (3) by calculating the difference between these two sums, an interpolation data is obtained. As a result, in the case of interpolating the pixels having a high occurrence period of missing a part of pixels, an interpolation error can be minimized.



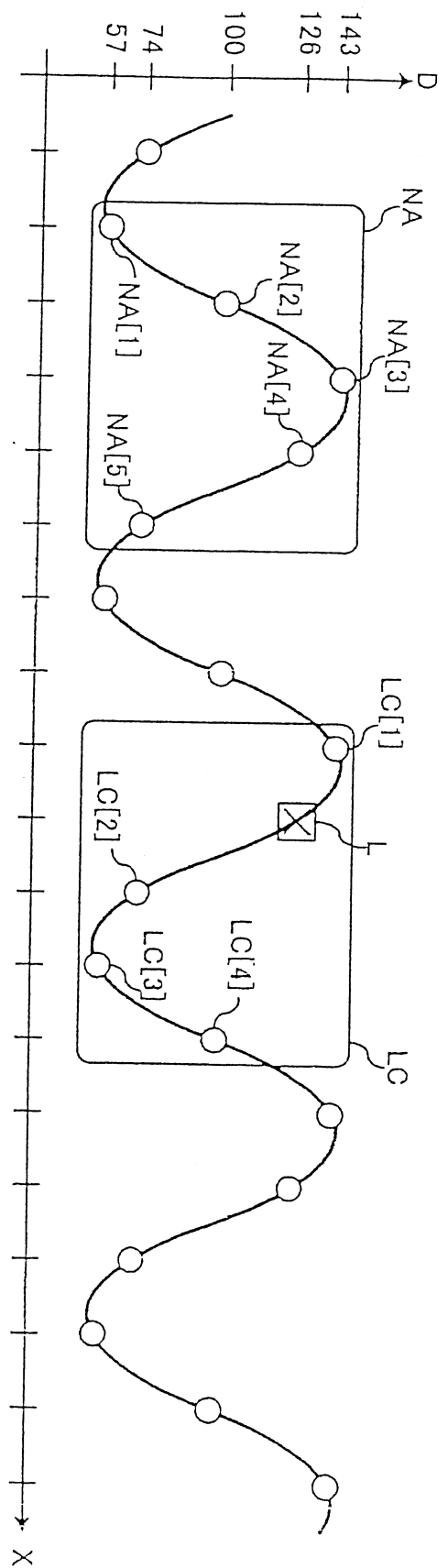
第1圖



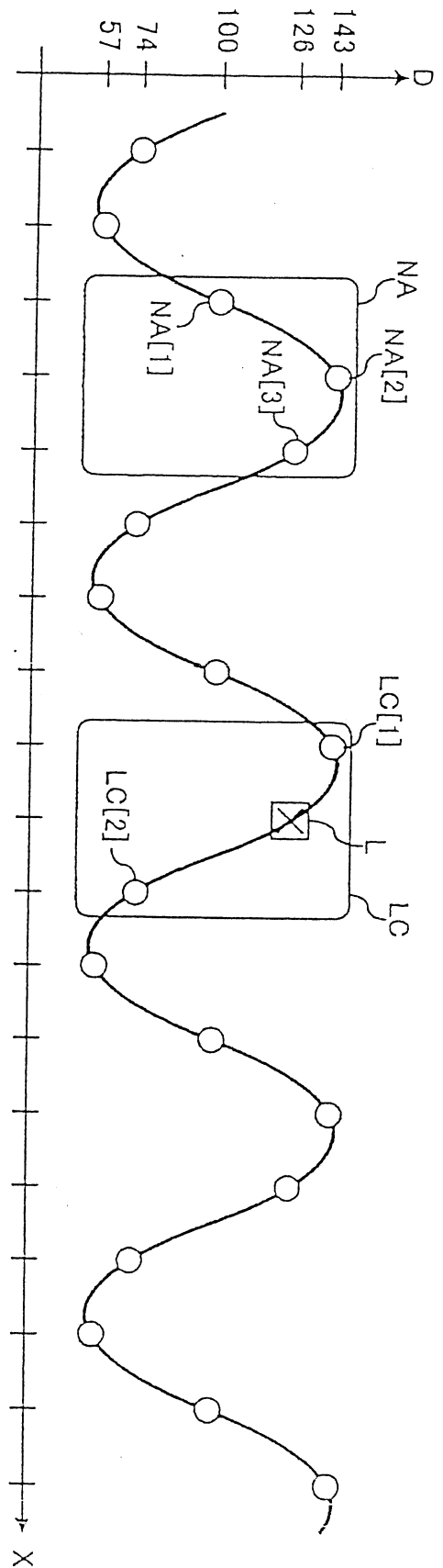
第2圖



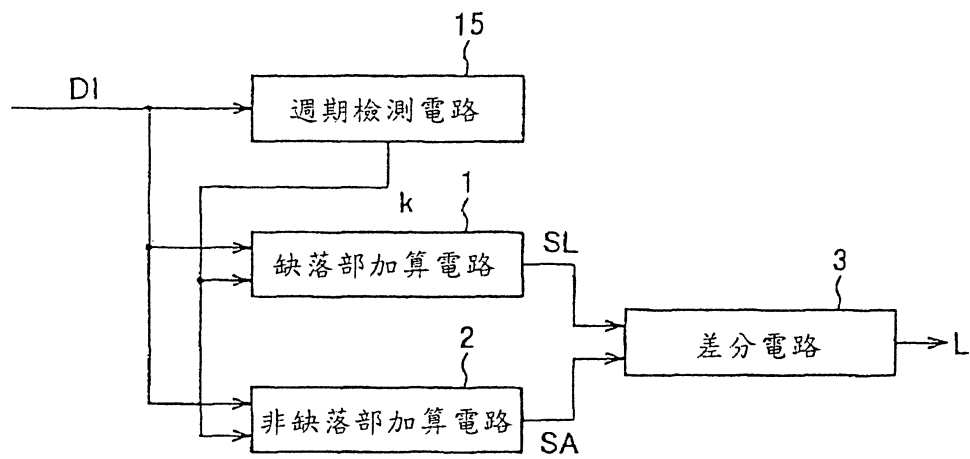
第3圖



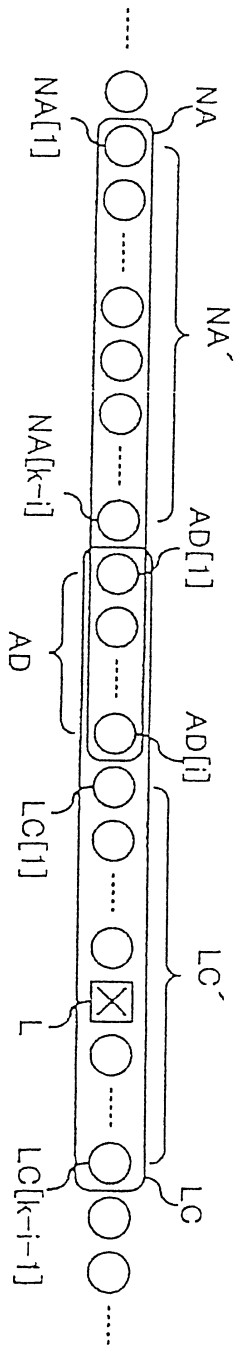
第4圖



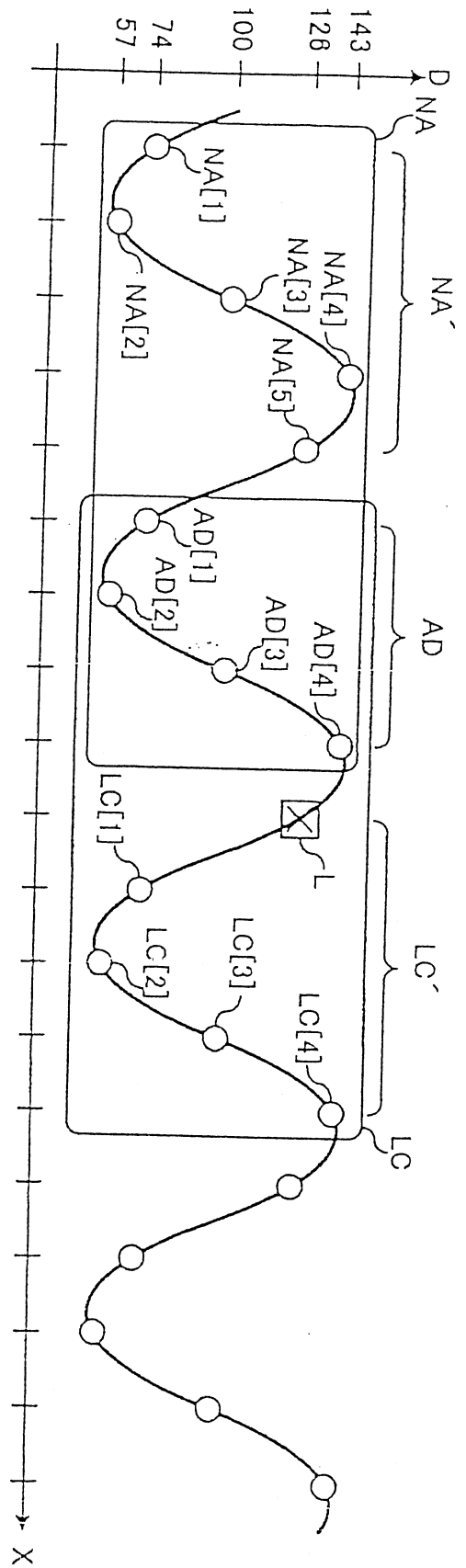
第5圖



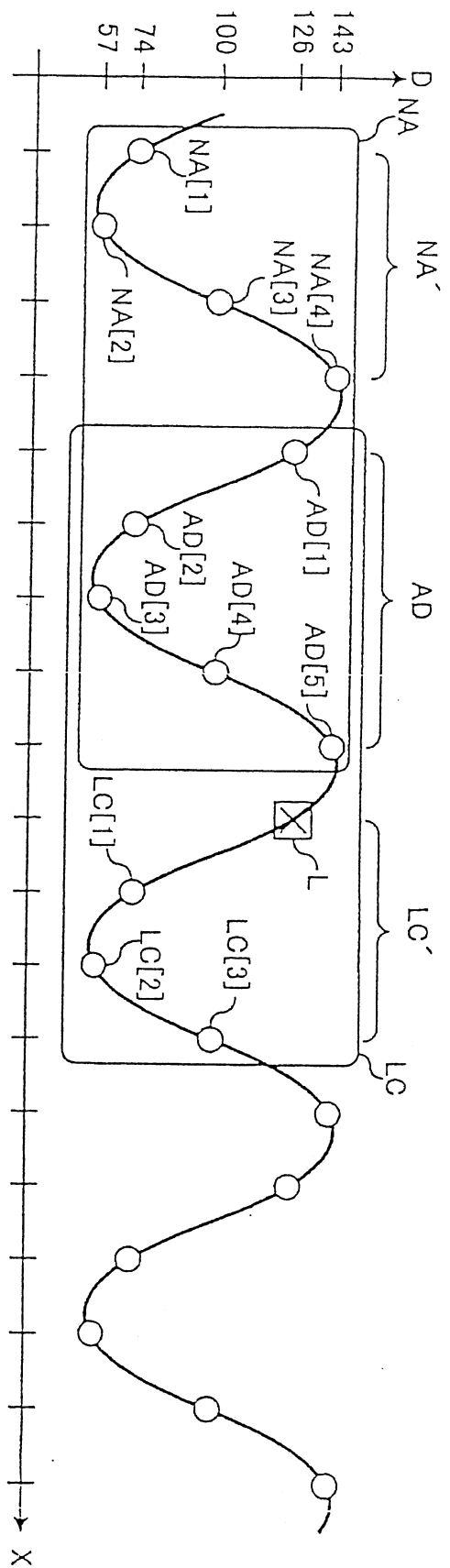
第6圖



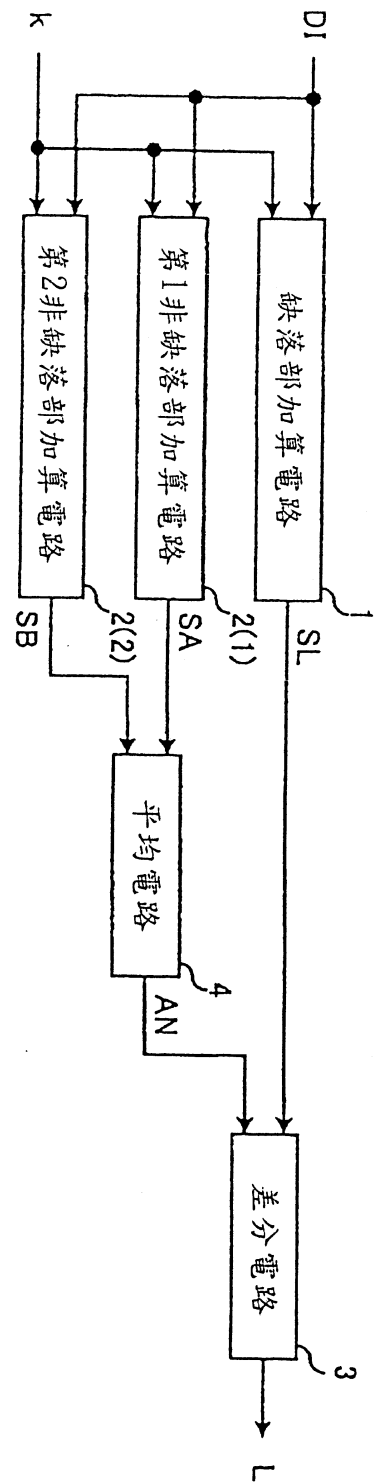
第7圖



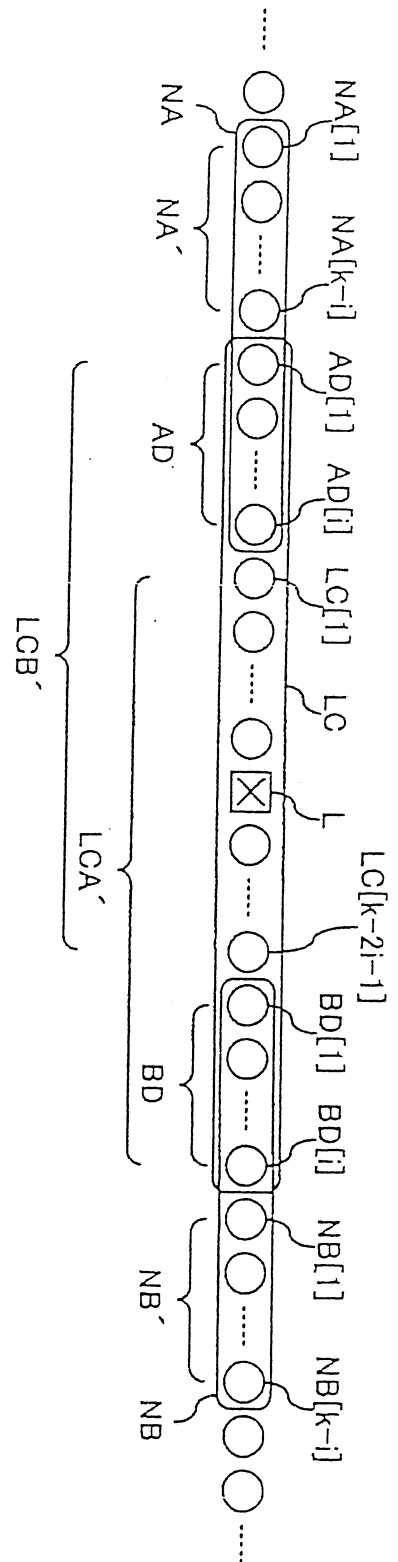
第8圖



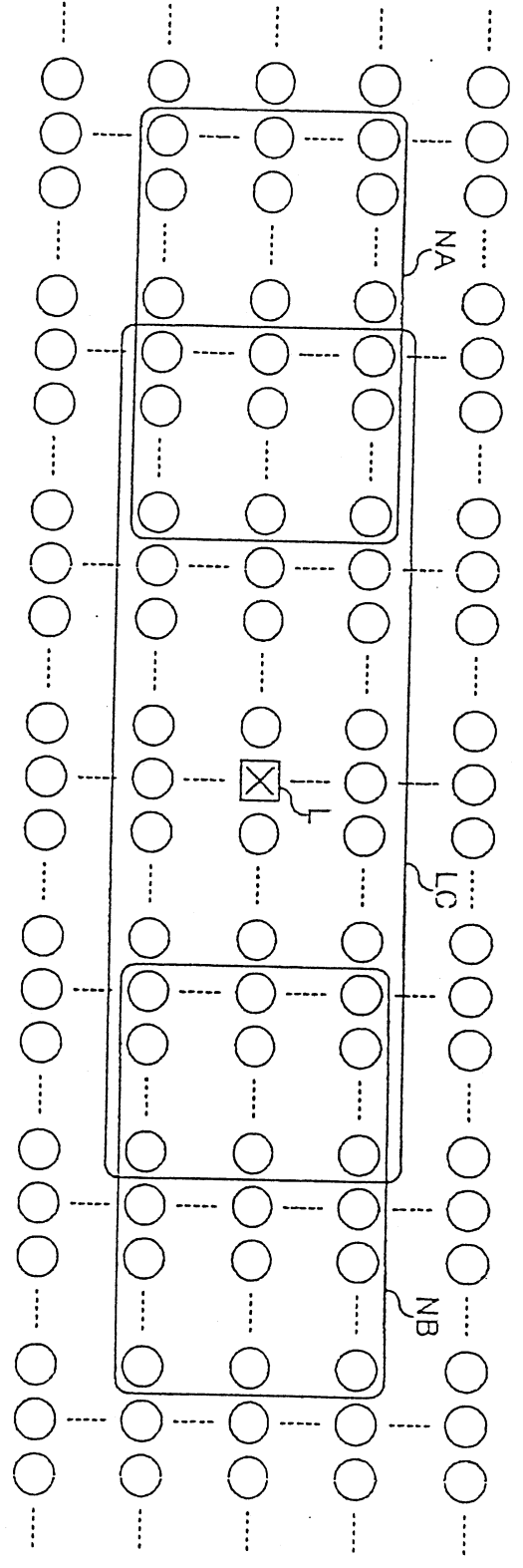
第9圖



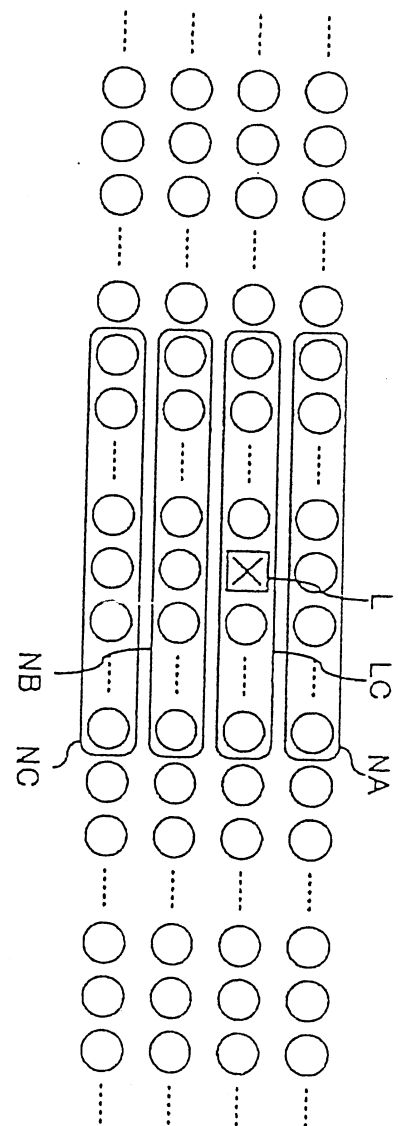
第10圖



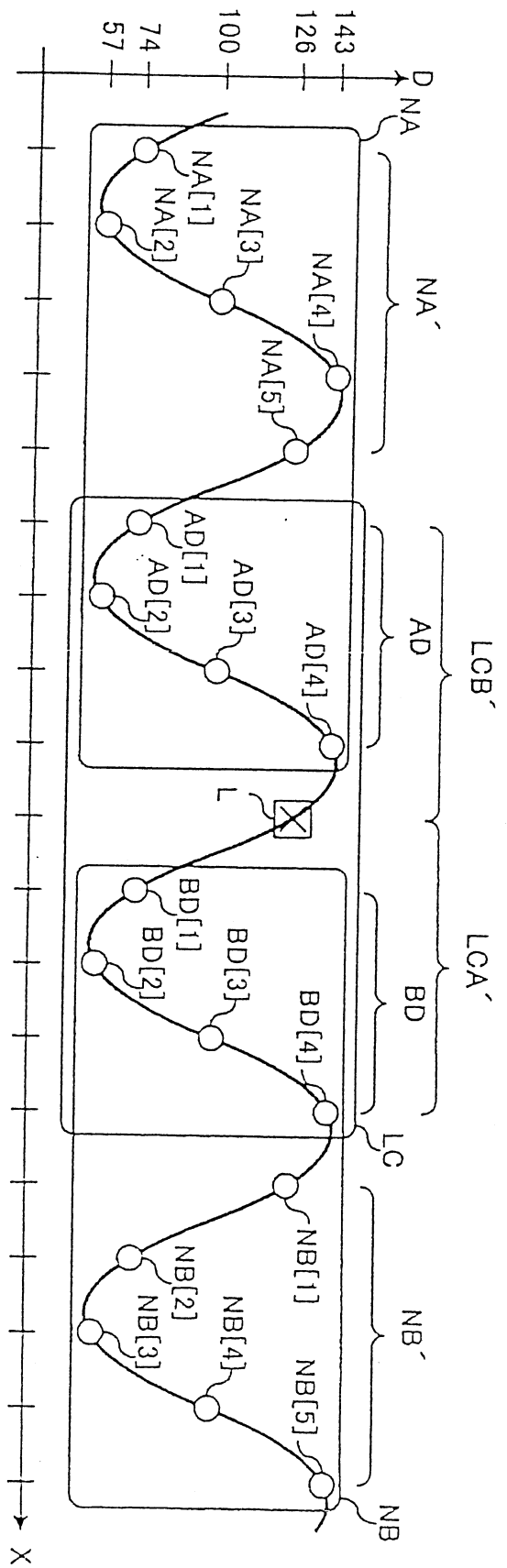
第11圖



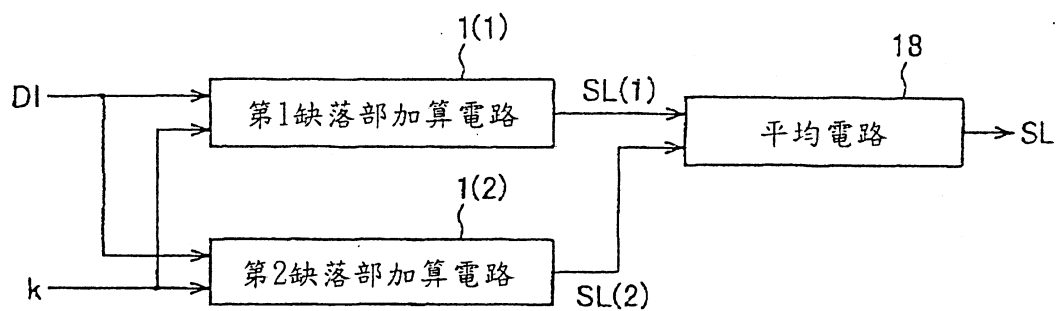
第12圖



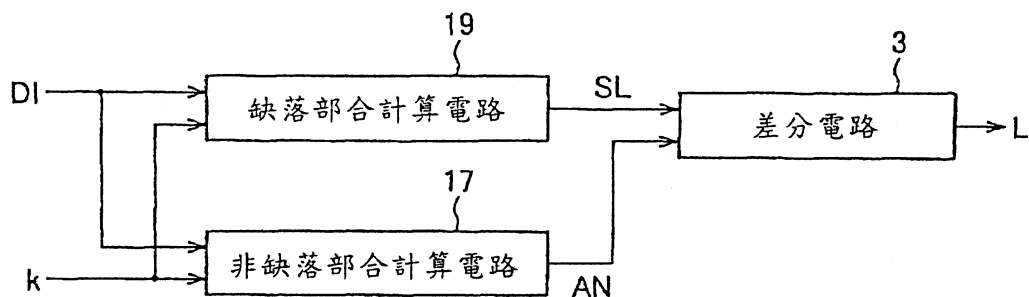
第13圖



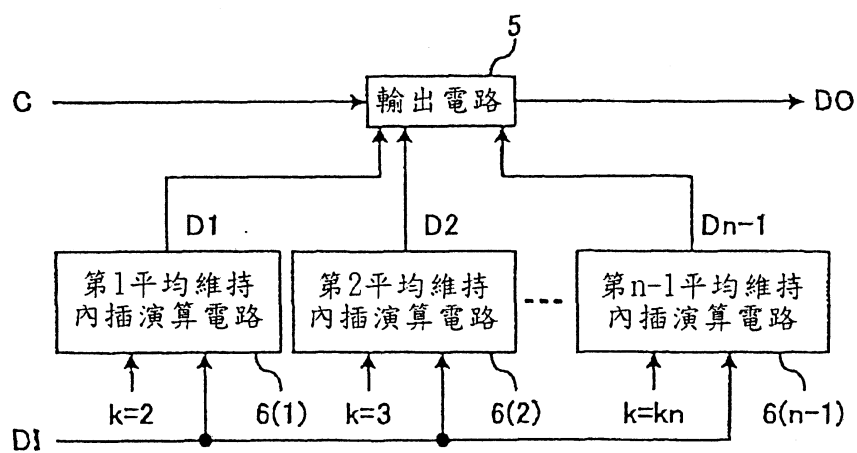
第14圖



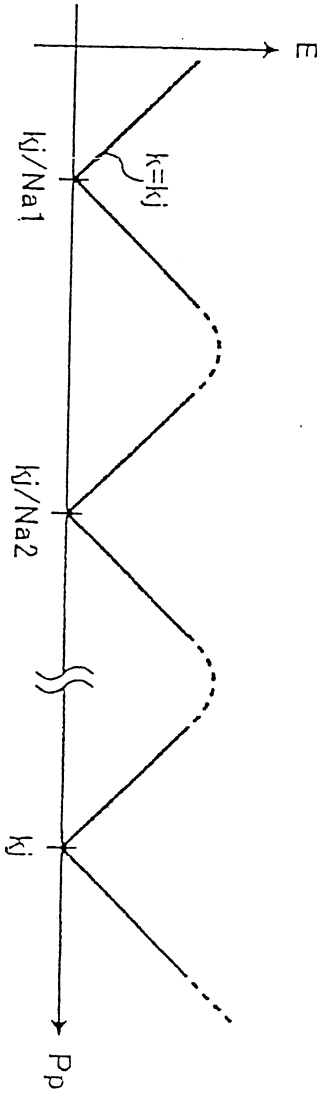
第15圖



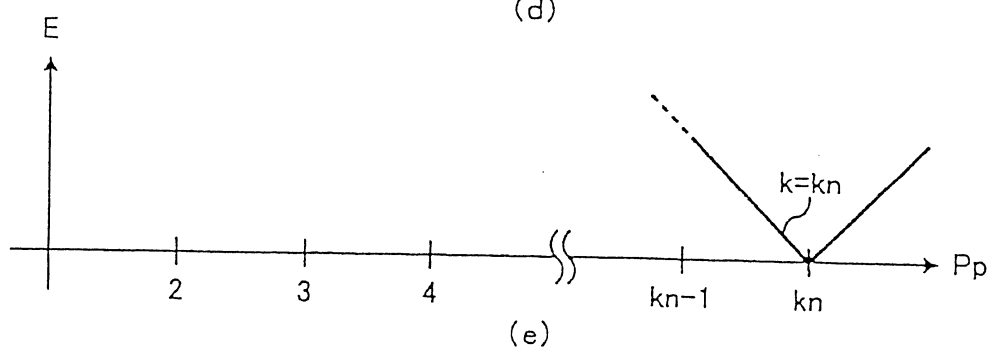
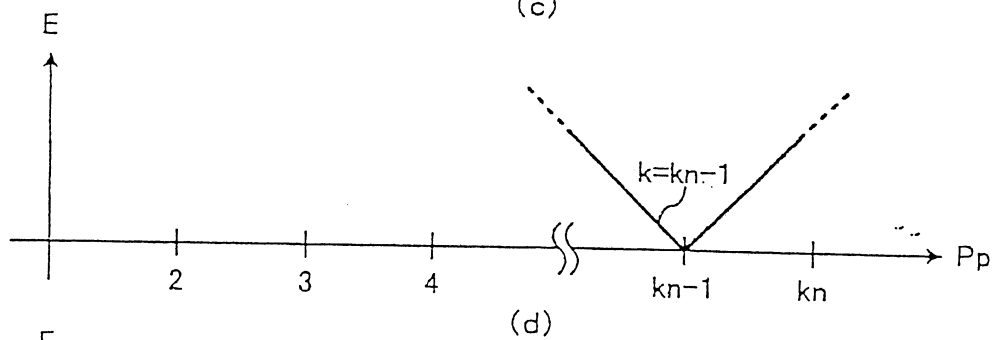
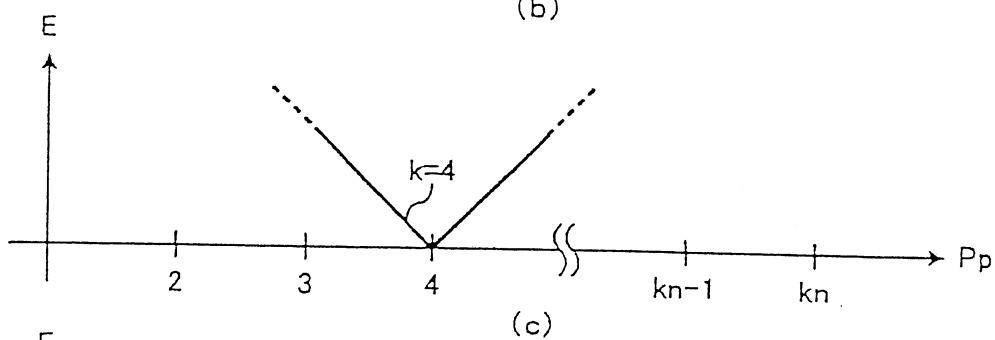
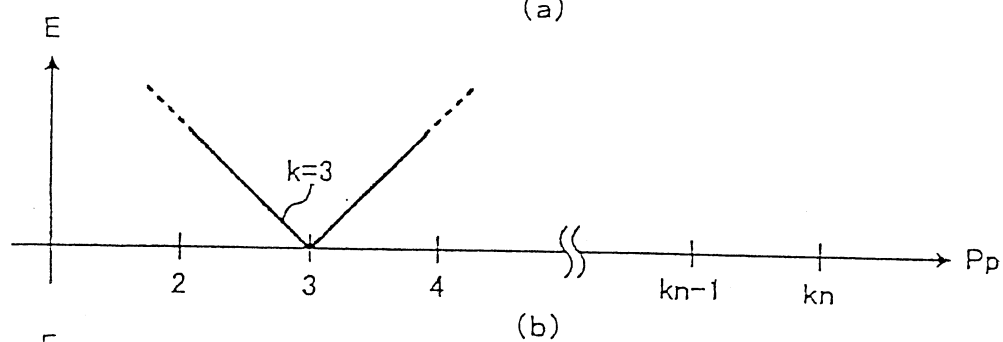
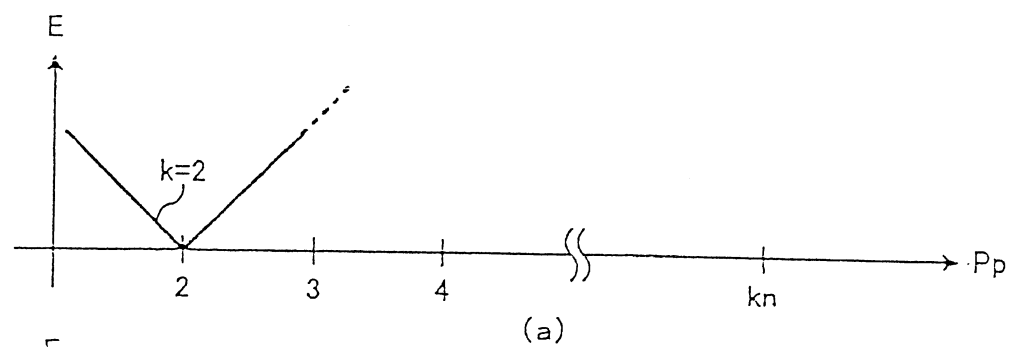
第16圖



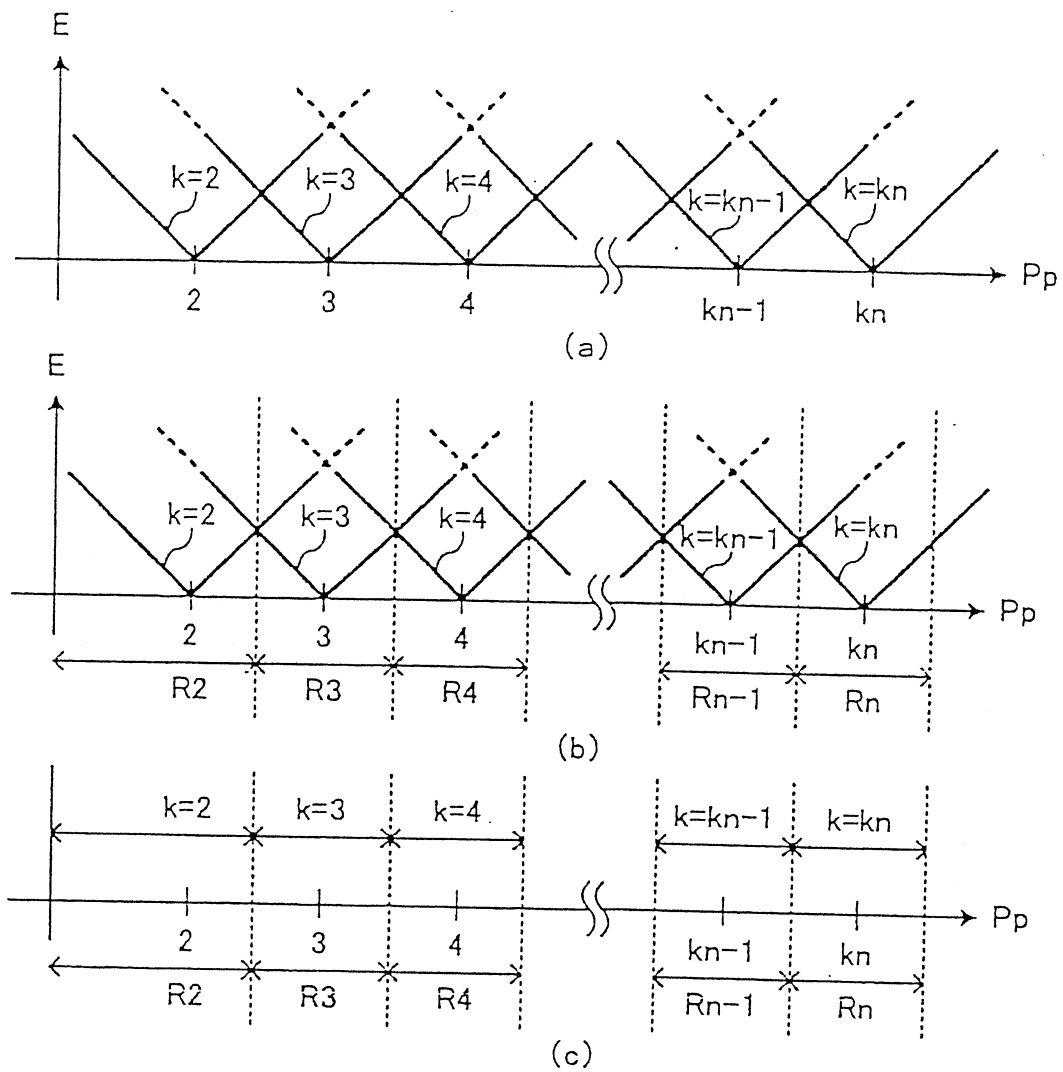
第17圖



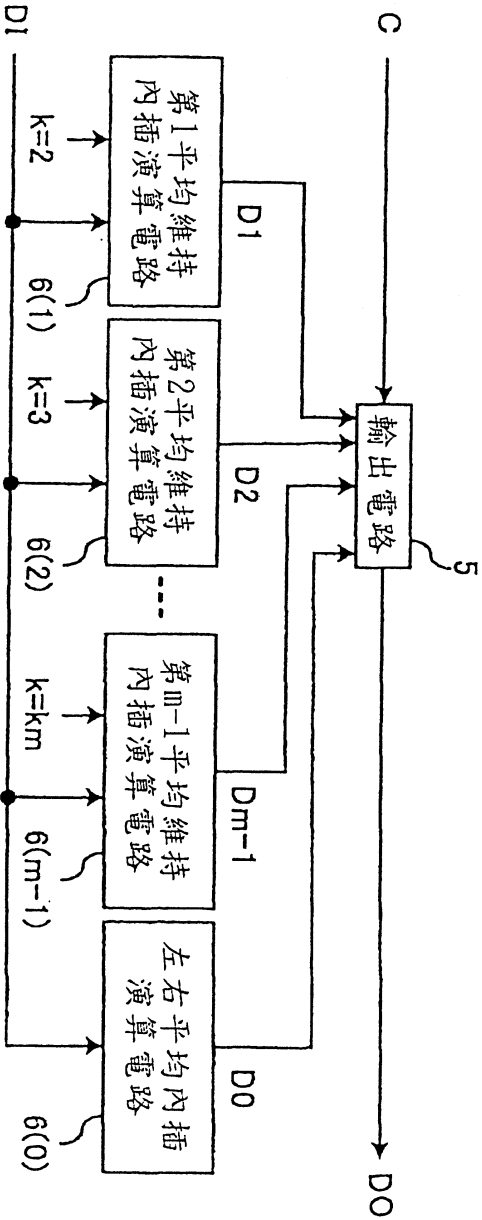
第18圖



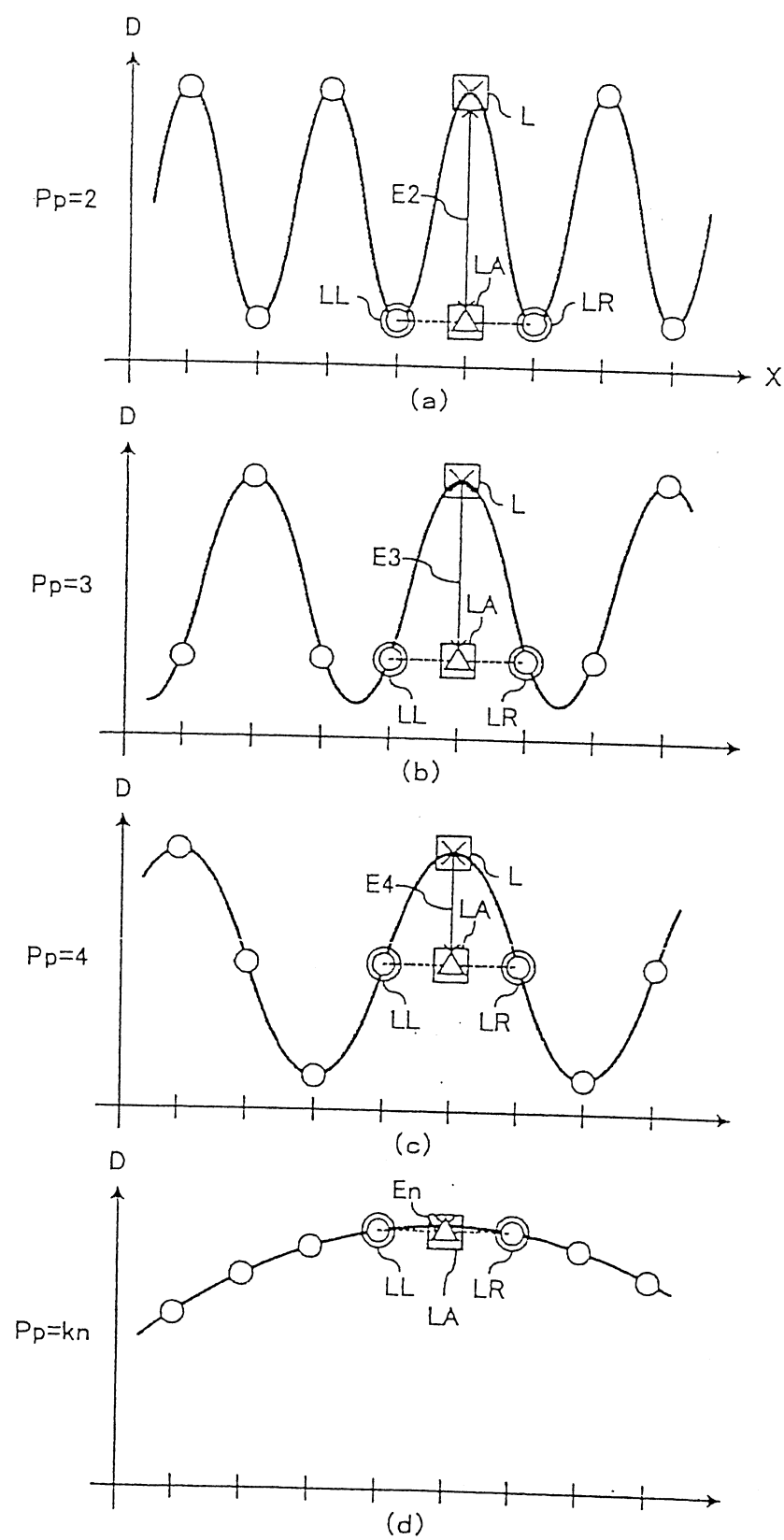
第19圖



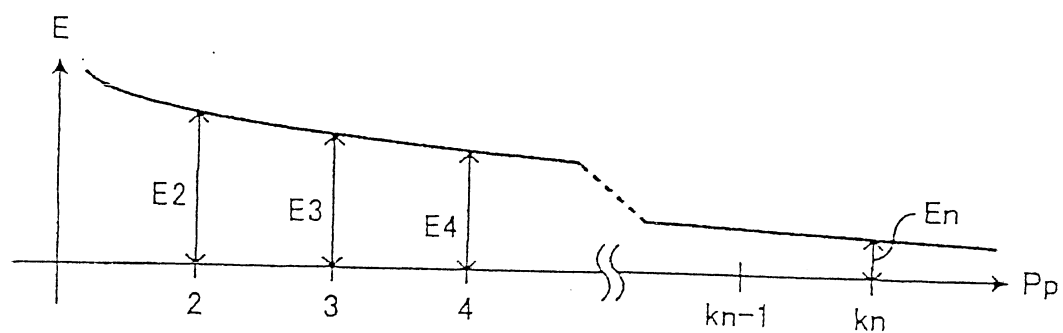
第20圖



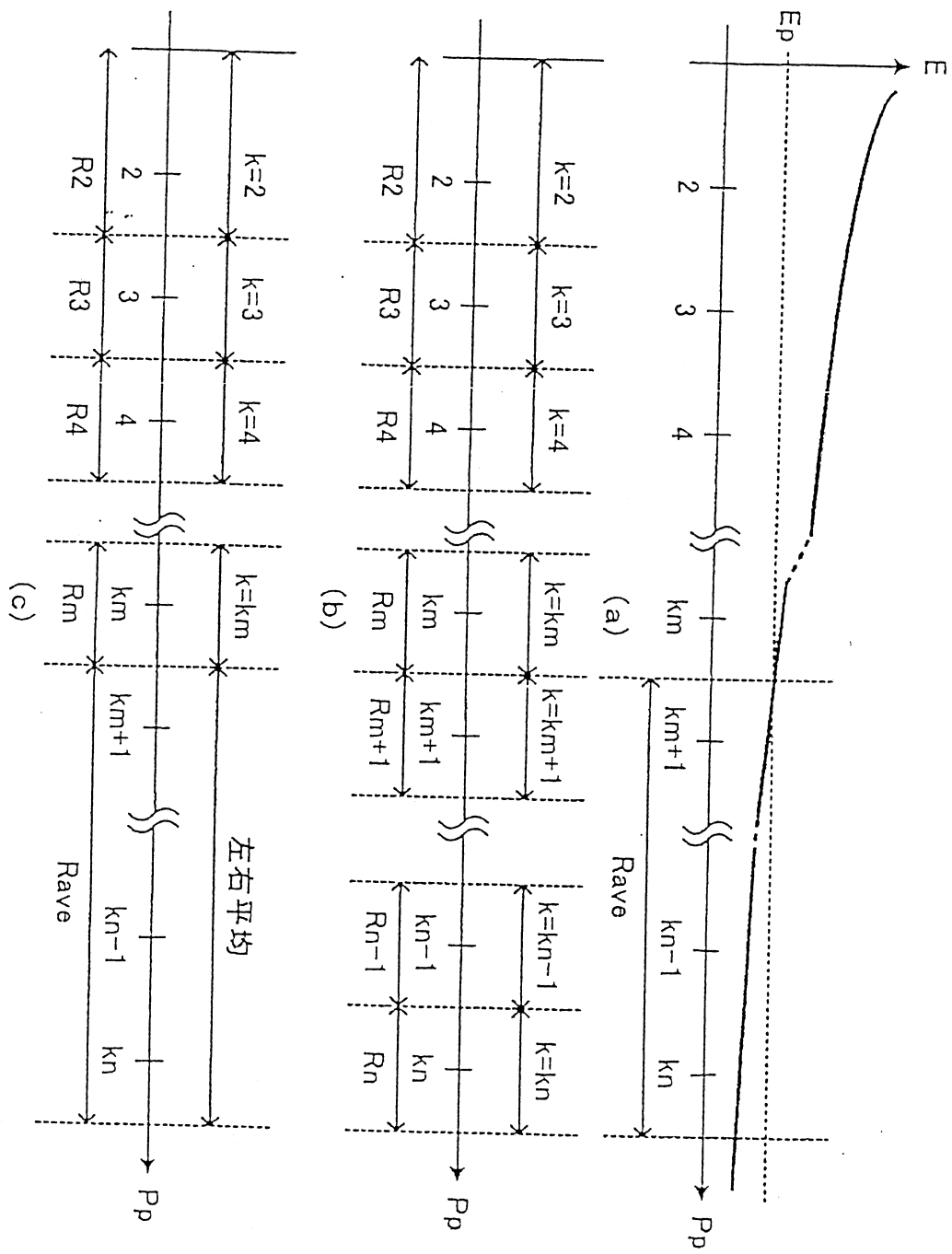
第21圖



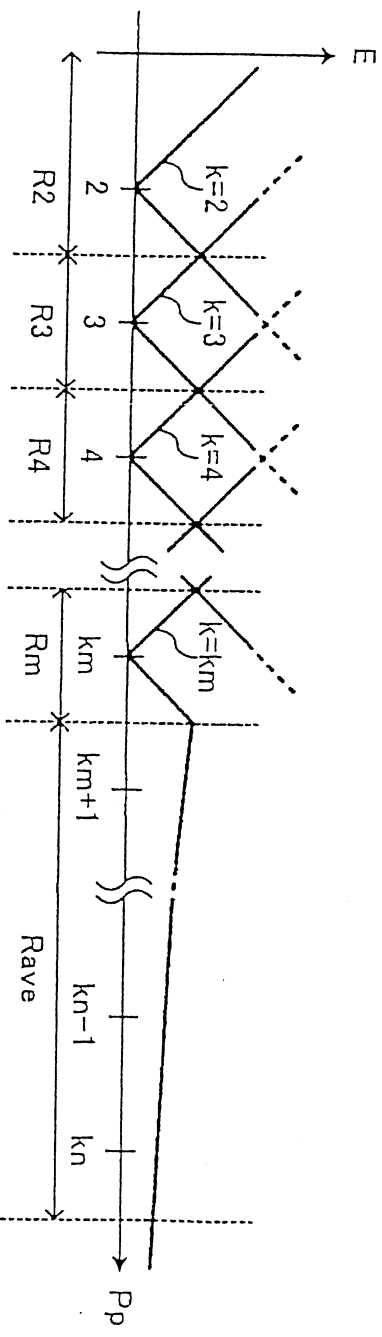
第22圖



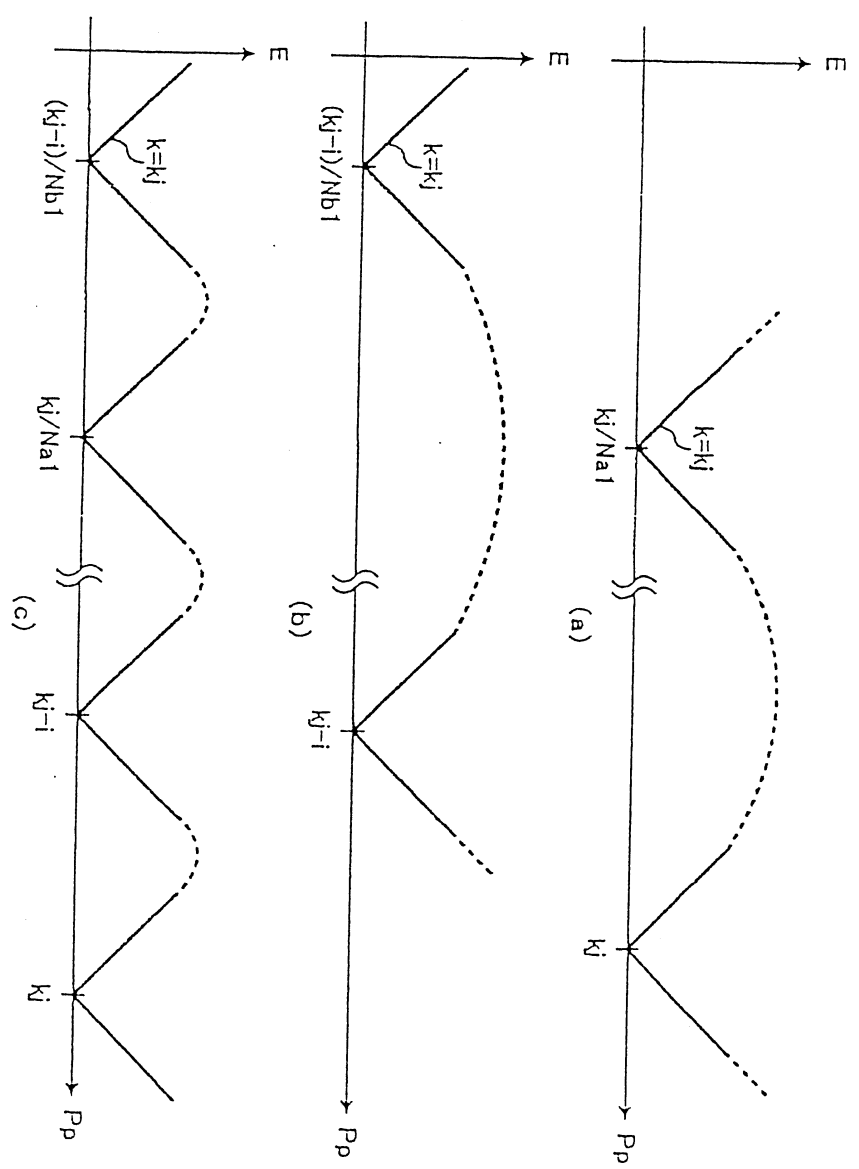
第23圖



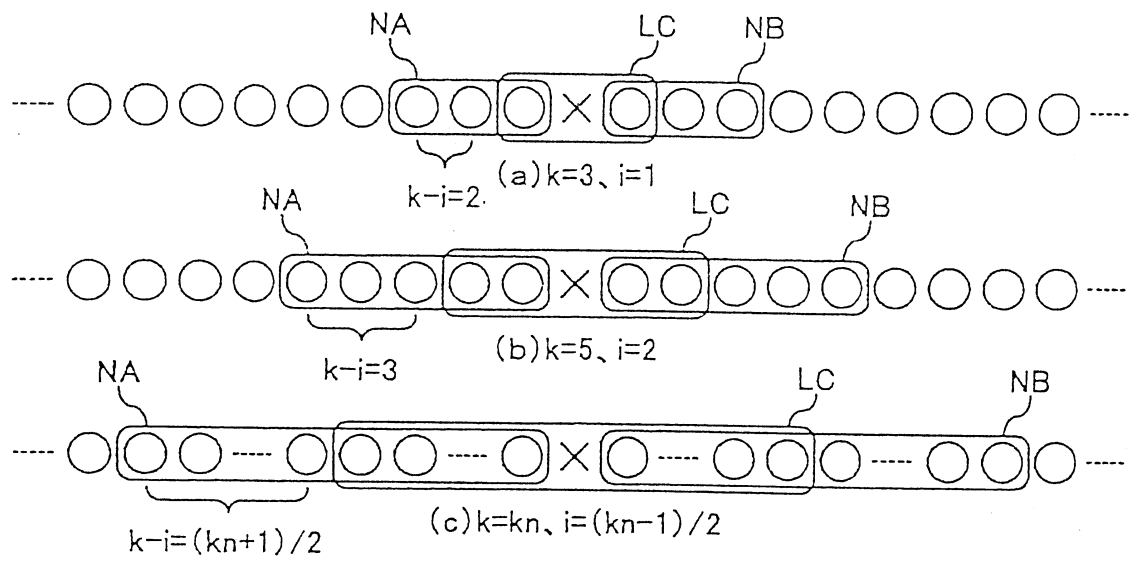
第24圖



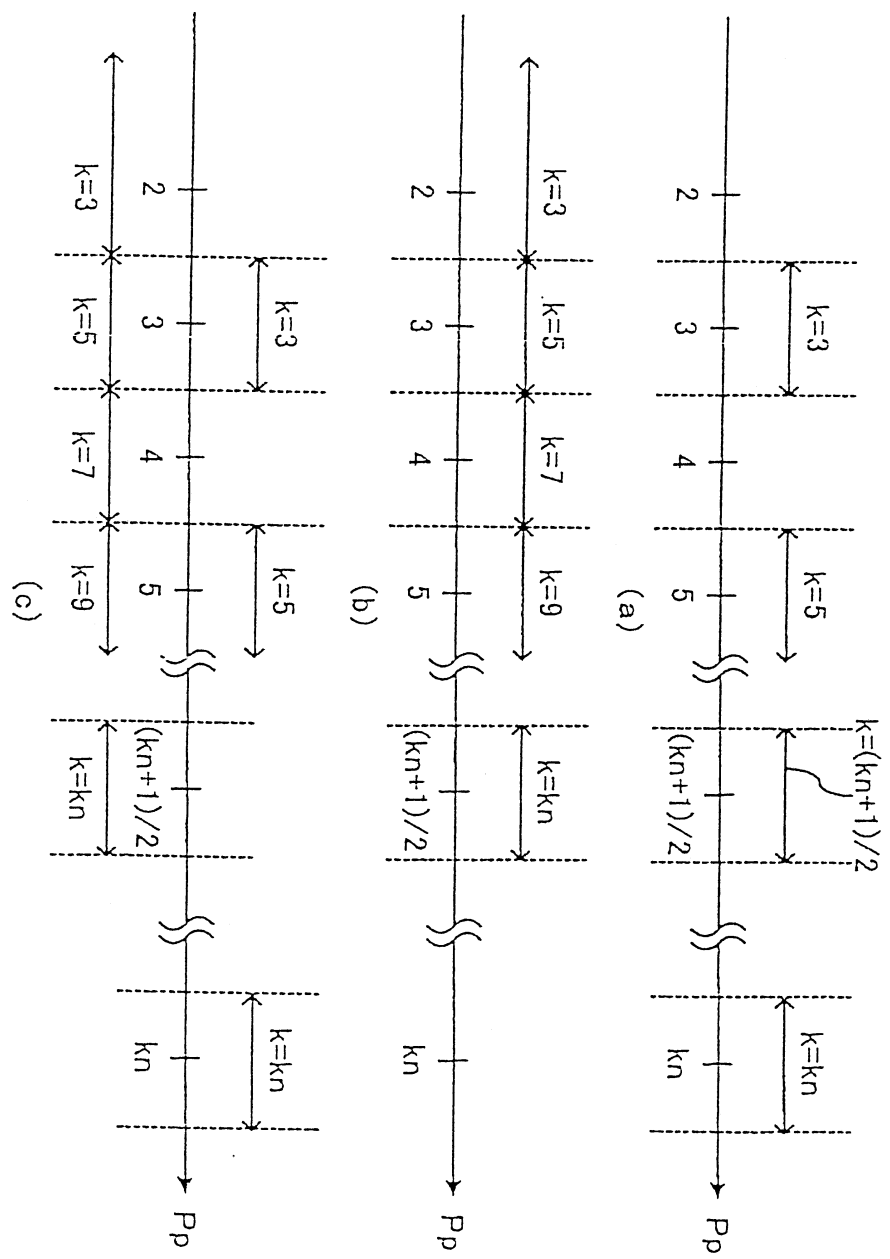
第25圖



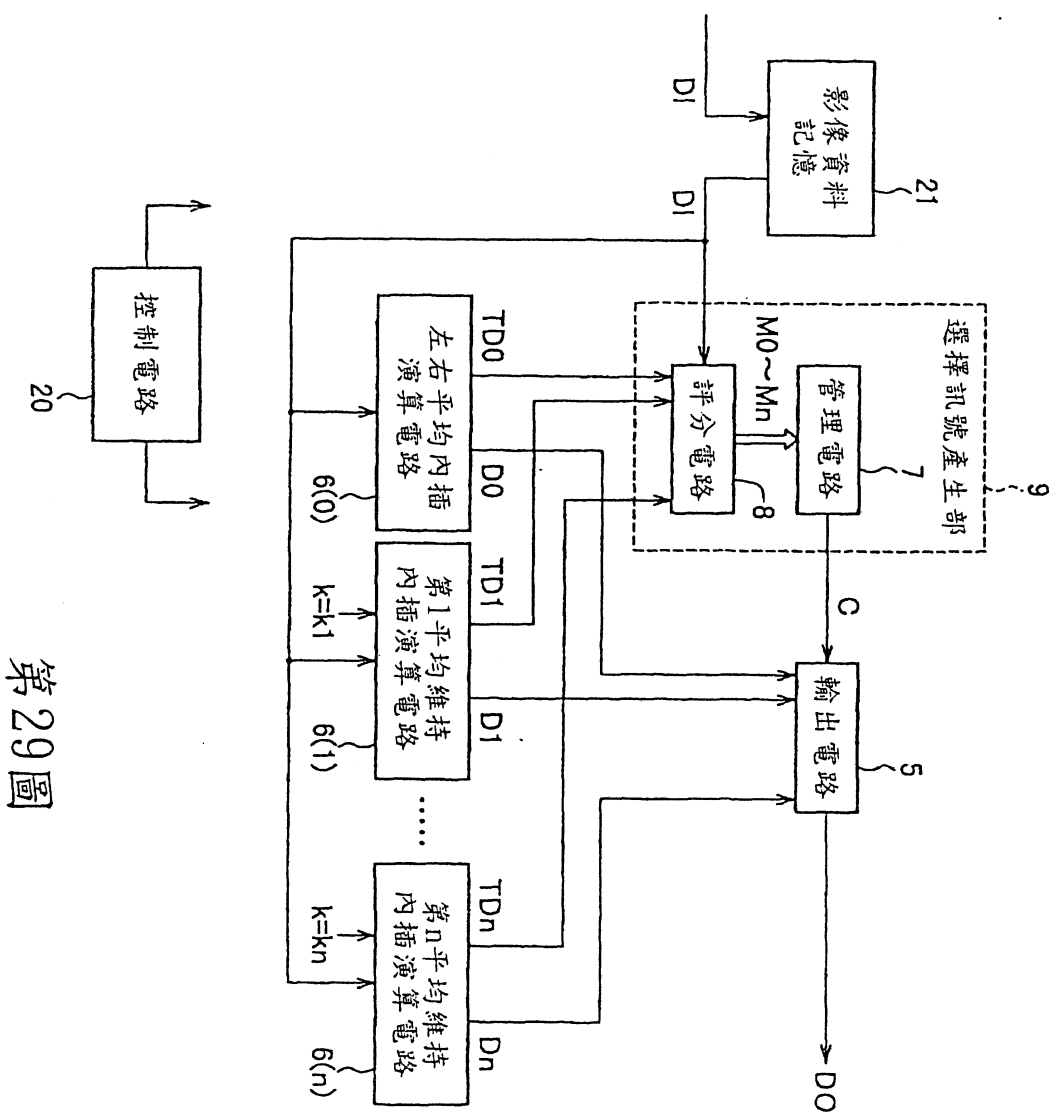
第26圖



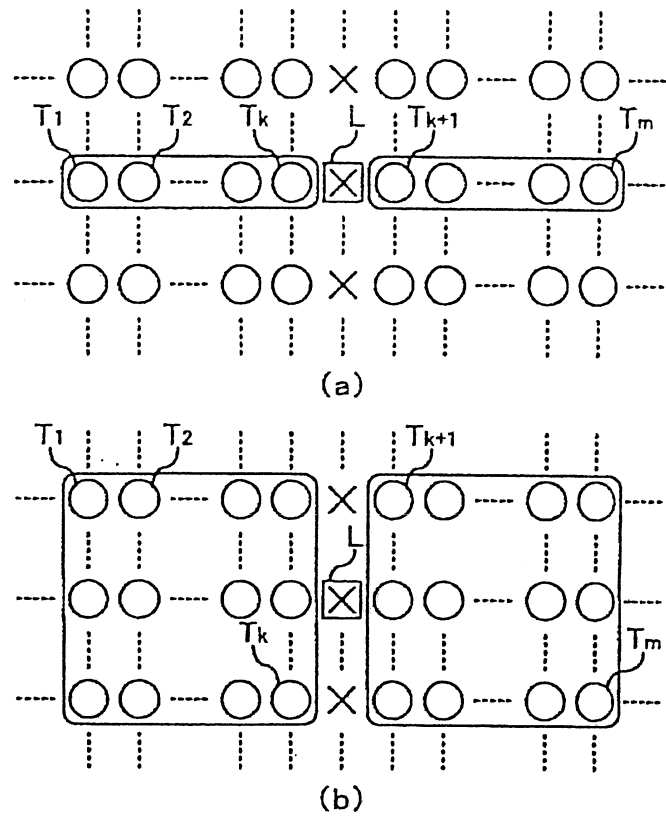
第27圖



第28圖



第29圖



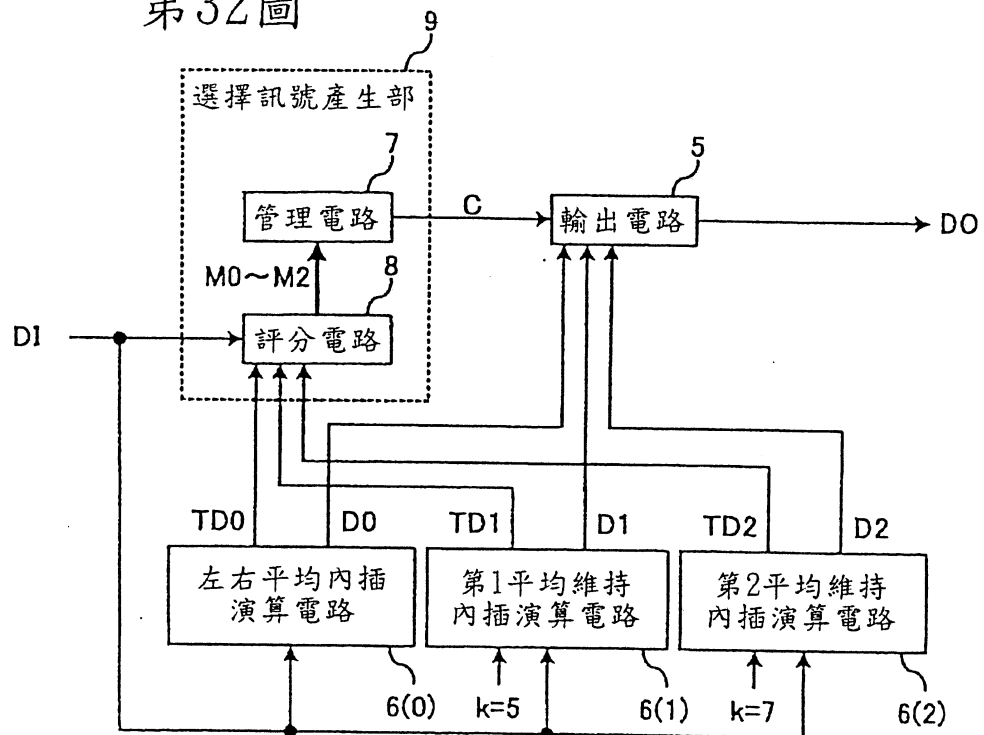
第30圖

	T_1	T_2	-----	T_m
左右平均內插演算電路	$M0[T_1]$	$M0[T_2]$	-----	$M0[T_m]$
第1平均維持內插演算電路	$M1[T_1]$	$M1[T_2]$	-----	$M1[T_m]$
⋮	⋮	⋮		⋮
第n平均維持內插演算電路	$Mn[T_1]$	$Mn[T_2]$	-----	$Mn[T_m]$

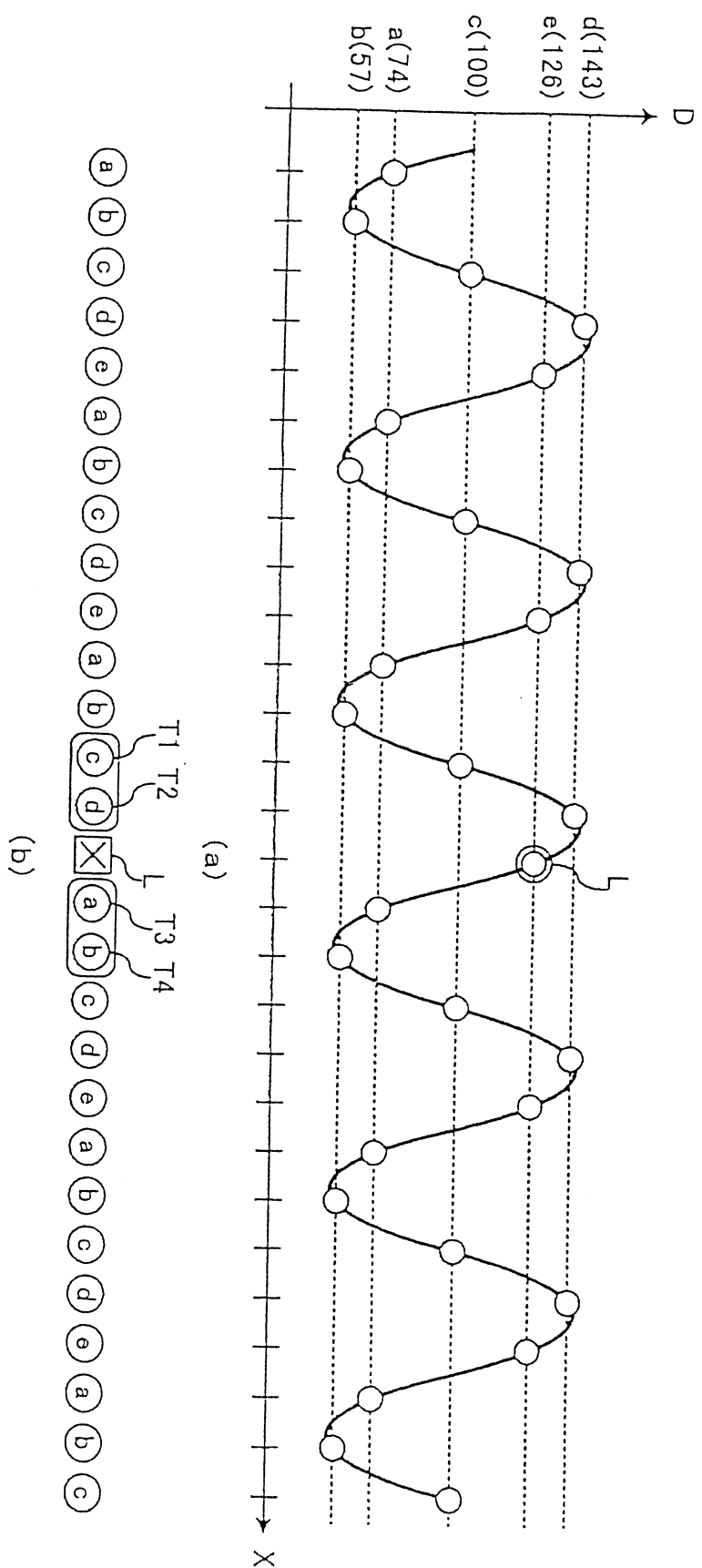
第31圖

左右平均內插演算電路	S0
第1平均維持內插演算電路	S1
⋮	⋮
第n平均維持內插演算電路	Sn

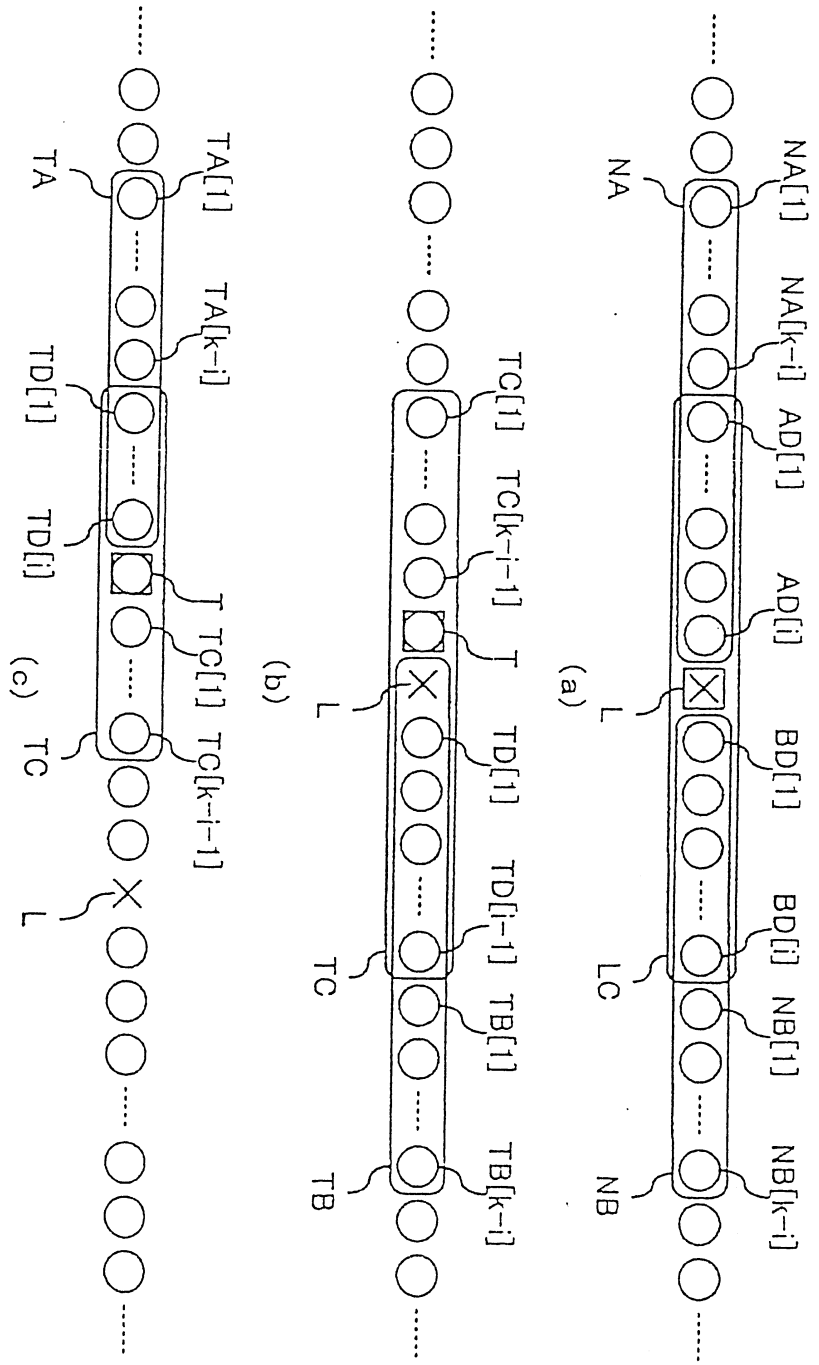
第32圖



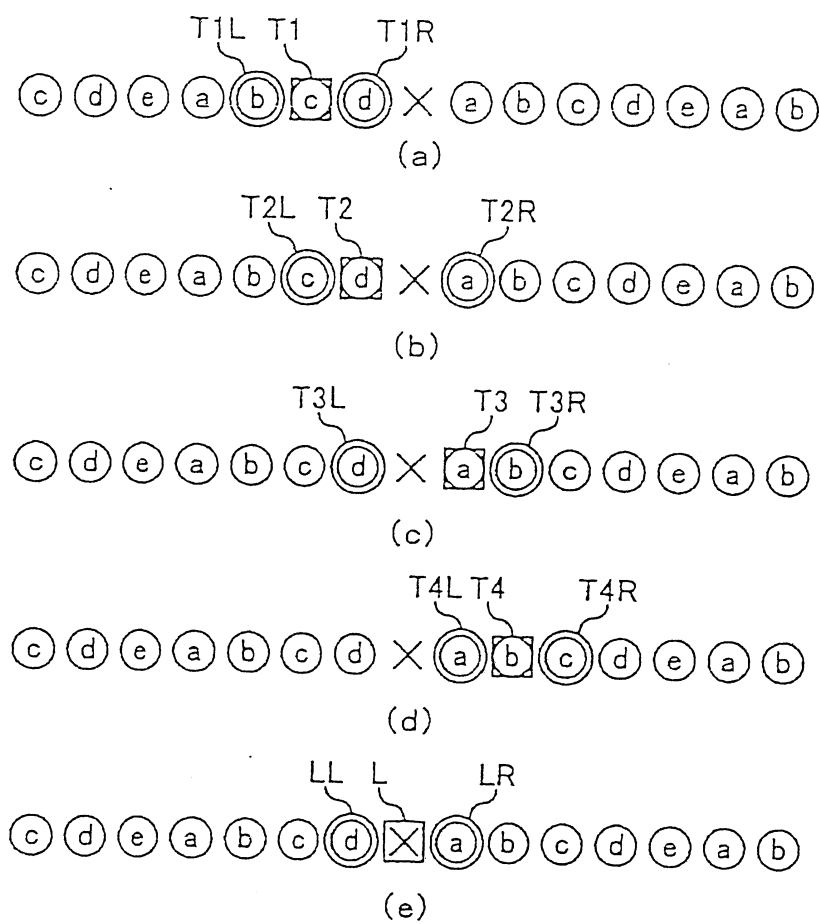
第33圖



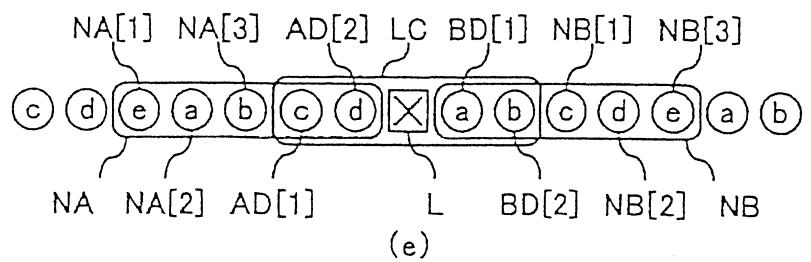
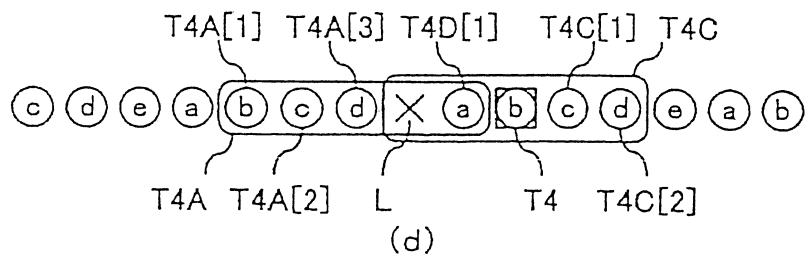
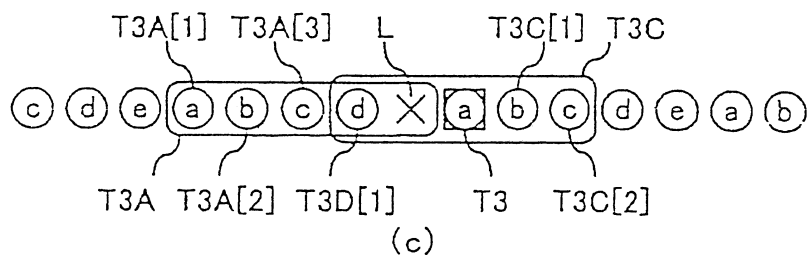
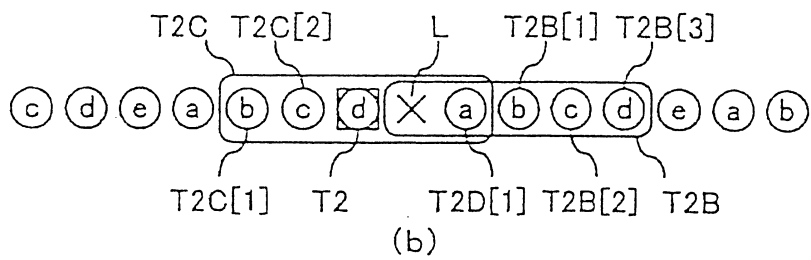
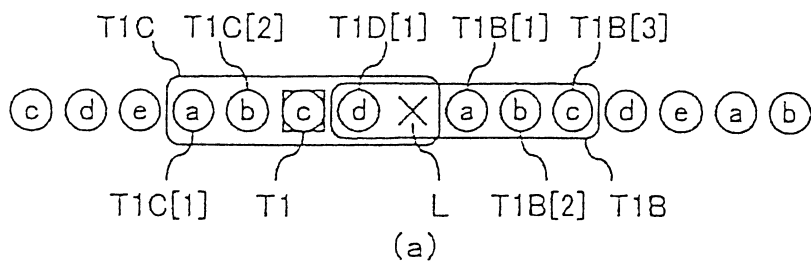
第 34 回



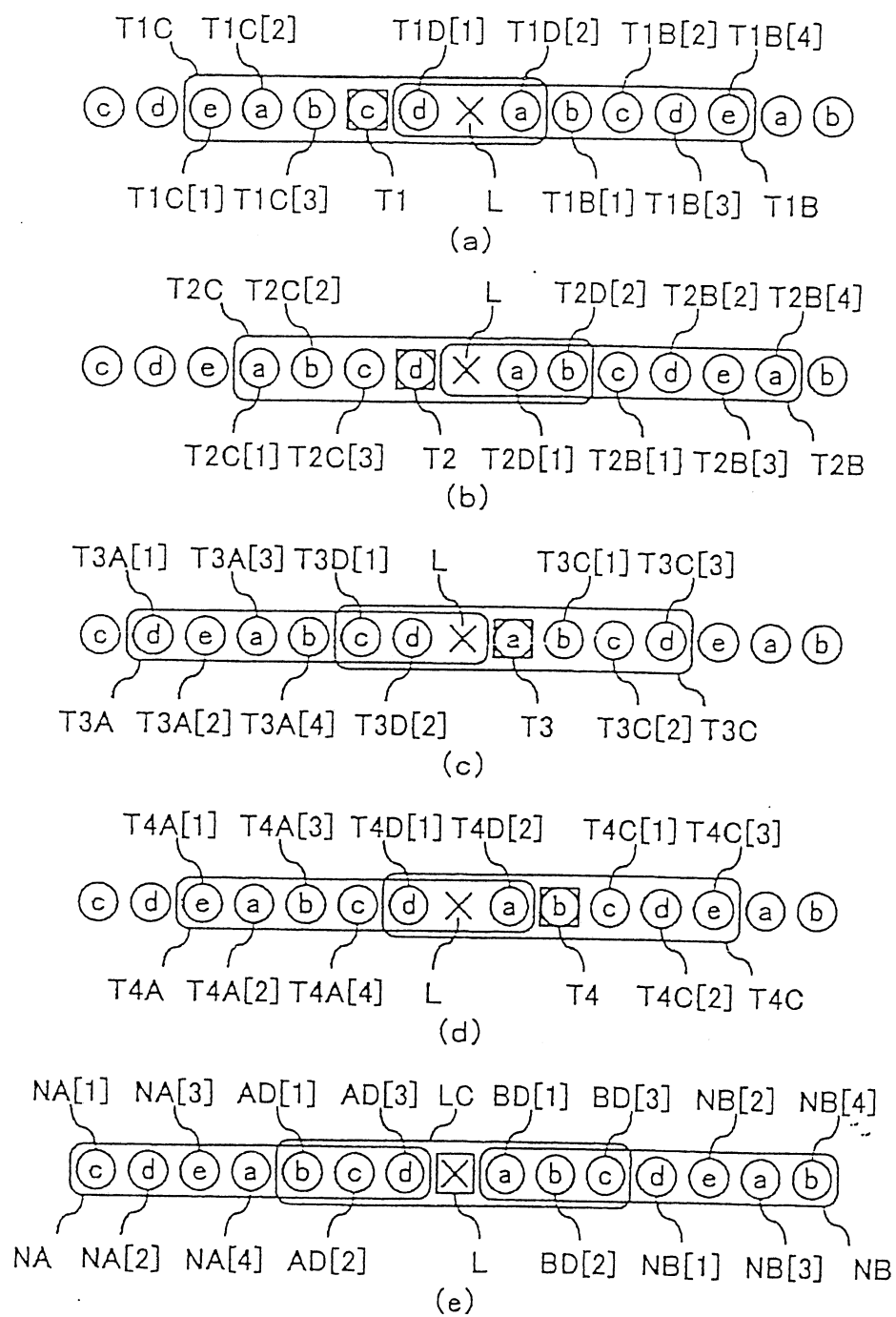
第35圖



第36圖



第37圖



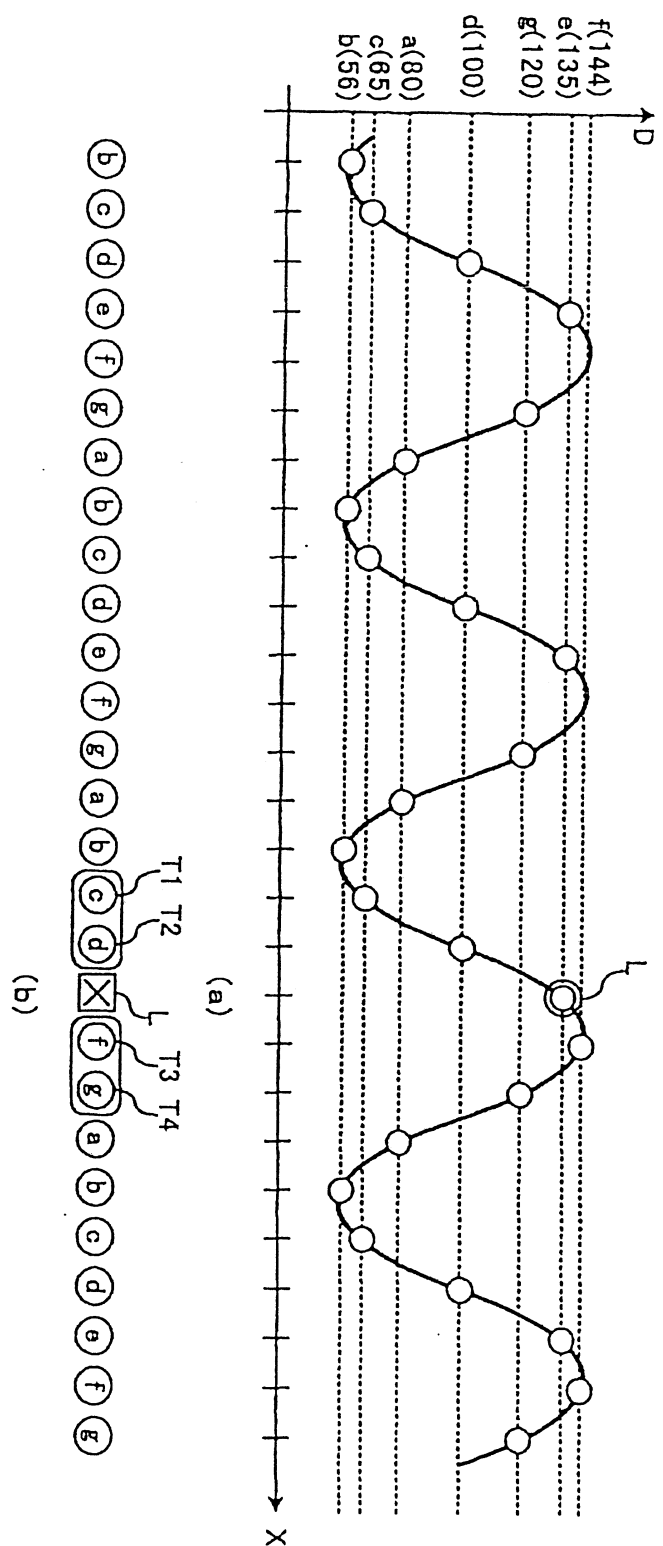
第38圖

	T1	T2	T3	T4
M0	0	56	26	30
M1	0	0	0	0
M2	69	69	26	69

第39圖

S0	112
S1	0
S2	233

第40圖



第41圖

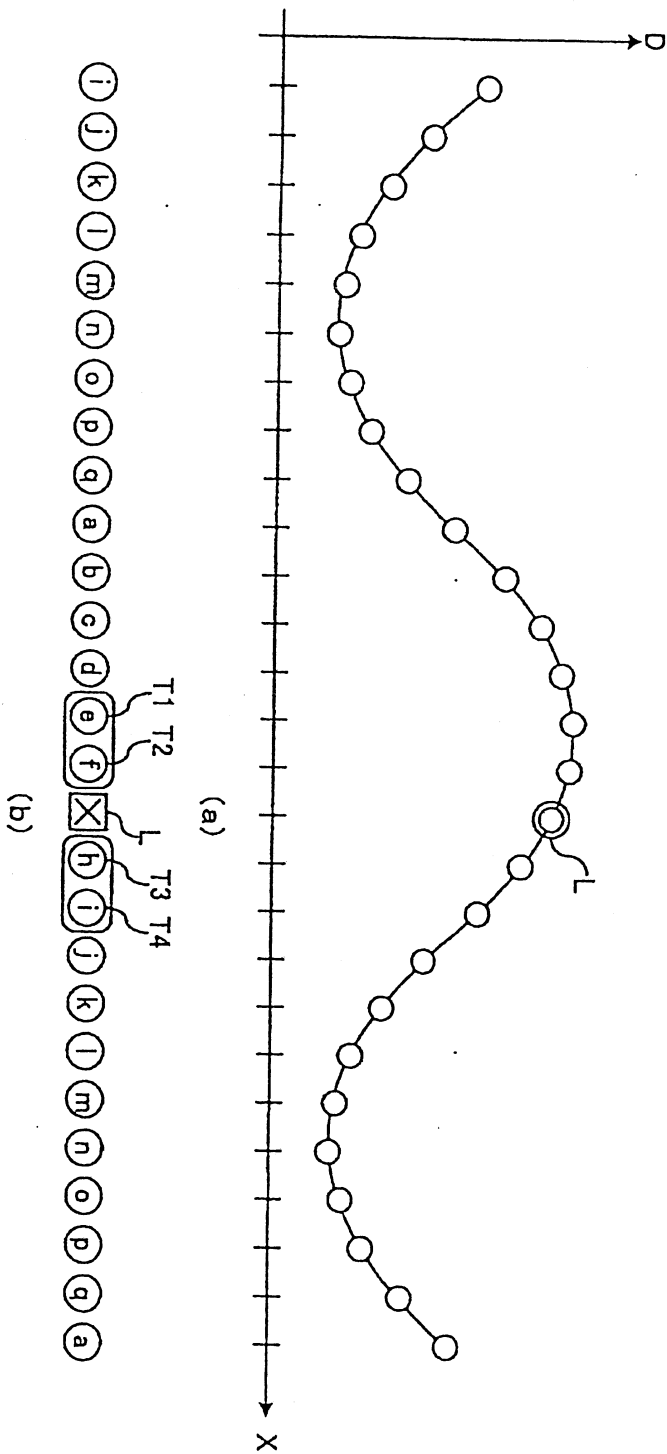
	T1	T2	T3	T4
M0	13	4.5	71	8
M1	143	35	143	35
M2	0	0	0	0

第42圖

S0	96.5
S1	356
S2	0

第43圖

第44圖

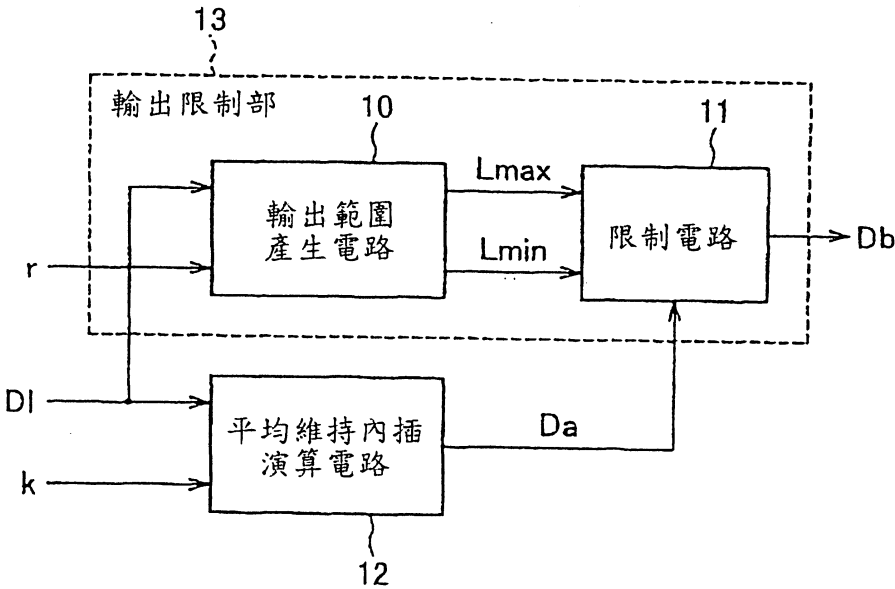


	T1	T2	T3	T4
M0	3.5	8.5	1.5	0
M1	91	152	91	152
M2	191	269	86	191

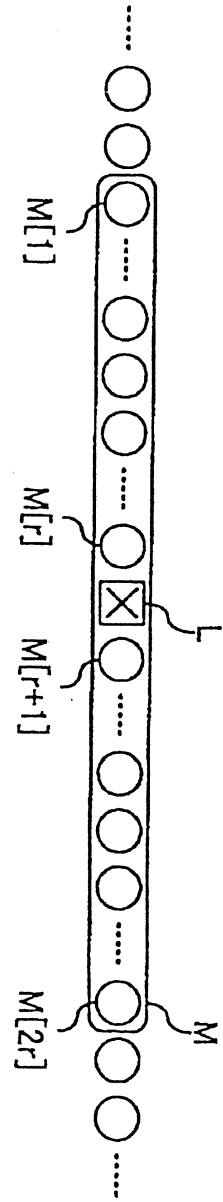
第45圖

S0	13.5
S1	486
S2	737

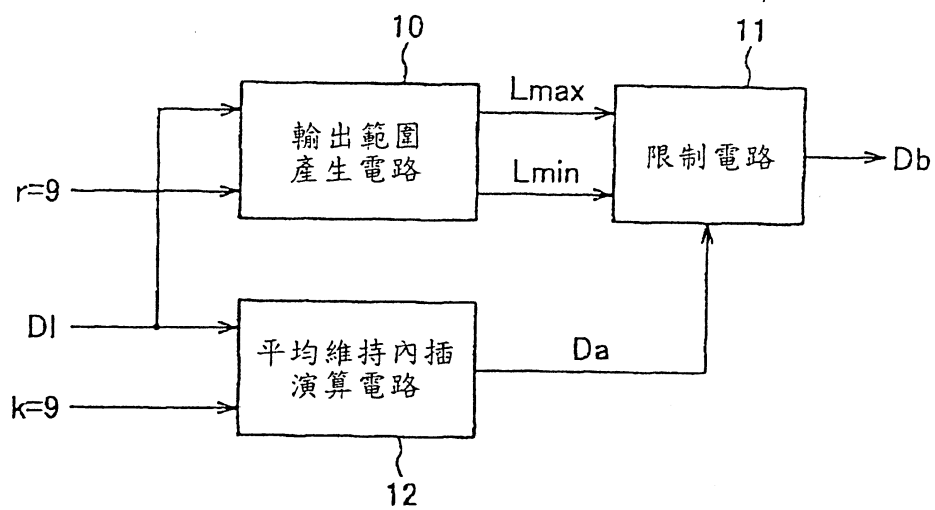
第46圖



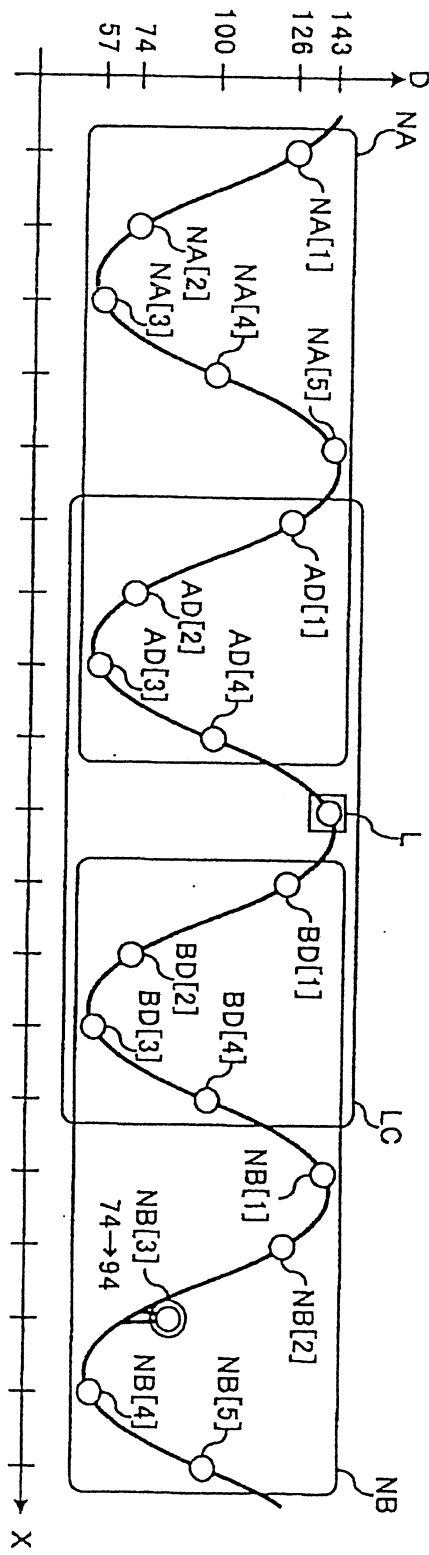
第47圖



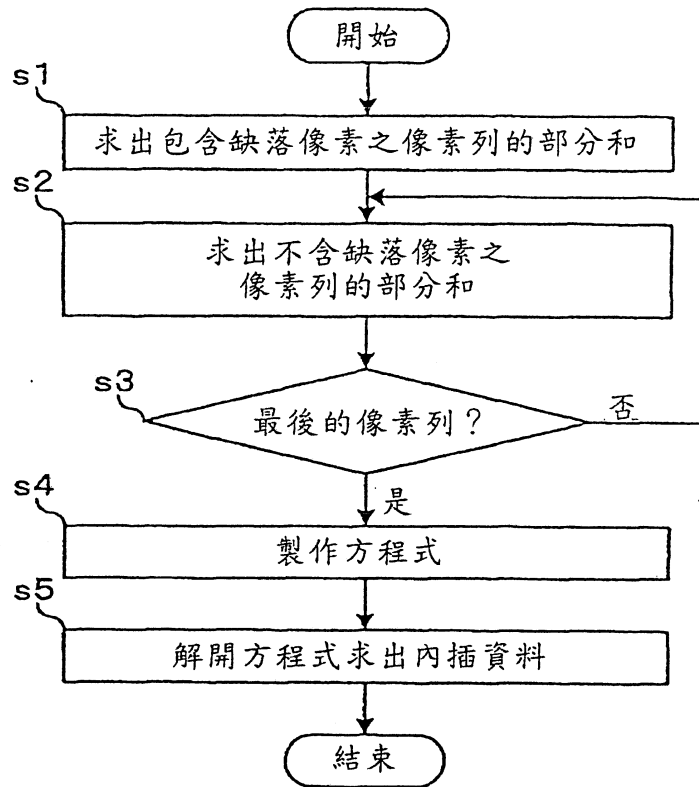
第48圖



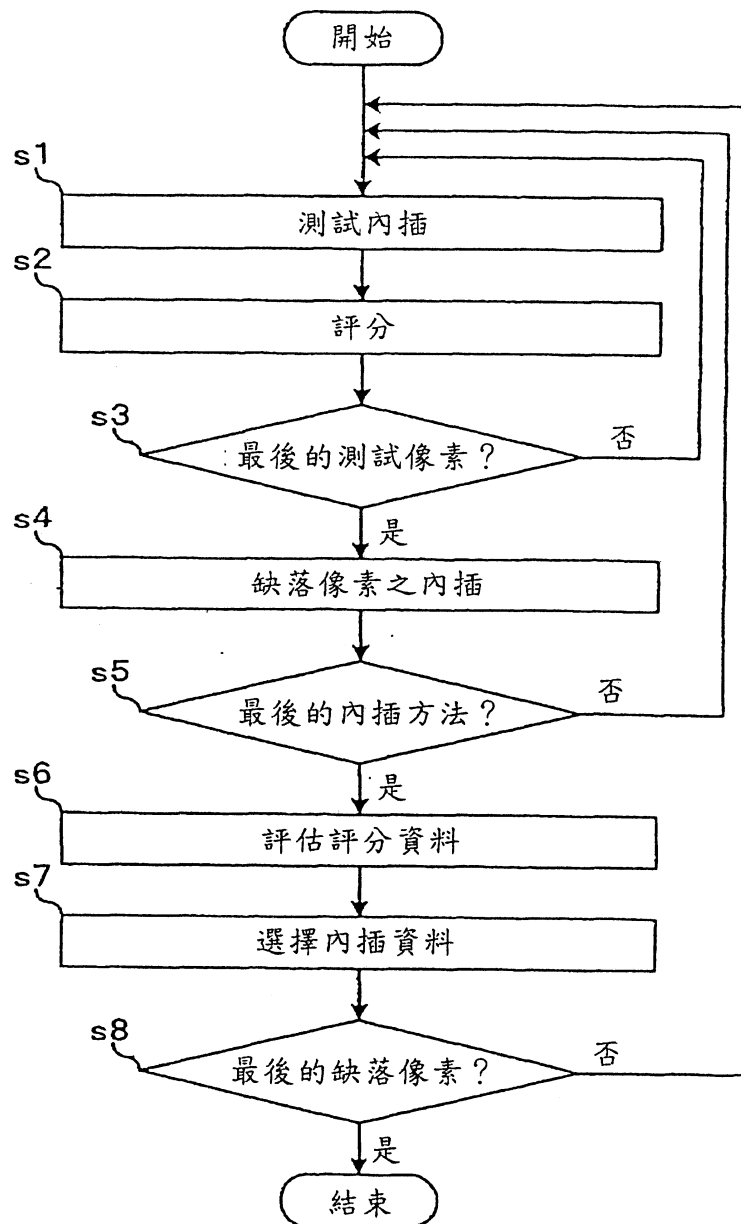
第49圖



第50圖



第51圖



第52圖

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

- 1 缺落部加算電路
- 2 非缺落部加算電路
- 3 差分電路

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無代表化學式

第 93119385 號專利申請案

申請專利範圍修正本

(95 年 9 月 15 日)

1. 一種平均維持內插演算電路，係用以求算缺落像素之內插資料，使構成包含缺落像素之像素組的多數像素的值的平均值與構成不含缺落像素之像素組的多數像素的值的平均值成為相等者；

其中，構成包含缺落像素之像素組的像素的數量與構成不含前述缺落像素之像素組的像素的數量係同為 k (k 為正的整數)，

而該電路具有：

求算構成包含前述缺落像素之像素組的 k 個像素中，前述缺落像素以外之像素的值的合計的缺落部合計算出電路；

求算構成不含前述缺落像素之像素組的 k 個像素值的合計的非缺落部合計算出電路；

由前述非缺落部合計算出電路減去前述缺落合計算出電路之輸出而求出前述缺落像素之內插資料的差分電路。

2. 如申請專利範圍第 1 項之平均維持內插演算電路，其中，前述非缺落部合計算出電路，係具備有：

求算構成不含前述缺落像素之第 1 像素組的 k 個像素的值的和的第 1 非缺落部加算電路；

求算構成不含前述缺落像素之第 2 像素組的 k 個像

素的值的和的第 2 非缺落部加算電路；

求出前述第 1 非缺落部加算電路之輸出，與前述第 2 非缺落部加算電路之輸出的平均，並將該平均做為前述合計輸出之平均電路。

3. 如申請專利範圍第 1 項或第 2 項之平均維持內插演算電路，其中，前述像素之各組係形成週期性變化的一連串的像素之一部分，

構成不含前述缺落像素之像素組的像素與構成包含前述缺落像素之像素組的像素彼此並不重複，且前述 k 係被設定成與以像素之數所表示之像素的變化的周期或其整數倍略呈相等的值。

4. 如申請專利範圍第 1 項或第 2 項之平均維持內插演算電路，其中，前述像素之各組係形成週期性變化的一連串的像素之一部分，

構成不含前述缺落像素之像素組的像素中的 i 像素 (i 為正的整數)，與構成包含前述缺落像素之像素組的像素中的 i 像素係彼此重複，且前述 k 或、由前述 k 減去前述 i 的值，係被設定成與以像素之數所表示之像素的變化的周期或其整數倍略呈相等的值。

5. 一種像素內插電路，其特徵係具備有：申請專利範圍第 1 項之平均維持內插演算電路；以缺落像素之附近的像素值的最大值與最小值限制輸出範圍的電路。
6. 一種像素內插電路，其特徵係：具備有多數個如申請專利範圍第 1 項或第 2 項之平均維持內插演算電路，

該等平均維持內插演算電路之前述 k 或 $(k-i)$ 係相異，

並具備有輸出電路，

前述多數之平均維持內插演算電路分別產生缺落像素之內插資料，

前述輸出電路，選擇前述多數之平均維持內插演算電路所輸出之內插資料的一個，並作為缺落像素之內插資料而輸出。

7. 如申請專利範圍第 6 項之像素內插電路，其中，尚具備有：將鄰接缺落像素之像素的值的平均值做為內插資料而產生之鄰接像素平均內插演算電路，

前述輸出電路，選擇前述多數之平均維持內插演算電路以及前述鄰接像素平均內插演算電路所輸出之一個內插資料並作為缺落像素之內插資料而輸出。

8. 如申請專利範圍第 7 項之像素內插電路，其中，尚具備有：選擇訊號產生部，該選擇訊號產生部係根據由與求算前述缺落像素附近之像素的原資料，以及就該缺落像素附近之像素以與求算前述缺落像素之內插資料相同的方法而求得的內插資料，產生用以由前述多數之內插演算電路所提供之內插資料選擇其中一個內插資料之選擇訊號。

9. 如申請專利範圍第 8 項之像素內插電路，其中，尚具備有控制電路，

係對前述多數之平均維持內插演算電路之各個電

路的前述缺落部合計算出電路，輸入構成包含前述缺落像素附近之測試用非缺落像素之像素組的 k 個像素中，前述測試用非缺落像素以外的像素而求出該值之合計，

對前述多數之平均維持內插演算電路之各個電路的前述非缺落部合計算出電路，輸入構成不含前述測試用非缺落像素之像素組的 k 個像素，而求出該值之合計，

使前述多數之平均維持內插演算電路的各個電路之前述差分電路，以由前述非缺落部合計算出電路之輸出減去前述缺落部合計算出電路之輸出之方式，求出前述測試用非缺落像素之內插資料，

使前述鄰接像素平均內插演算電路，輸入位於前述缺落像素附近而鄰接未鄰接前述缺落像素之測試用非缺落像素之像素，並求出其平均值以作為前述測試用非缺落像素之內插資料，

前述選擇訊號產生部，係根據分別在前述多數之內插演算電路之各個電路中所求得之前述測試用非缺落像素之內插資料，以及前述測試用非缺落像素之原資料，評估前述內插演算電路，並決定選擇訊號之內容以選擇受到最佳評價之內插演算電路，

前述控制電路，係用以對前述多數之平均維持內插演算電路之各個電路之前述缺落部合計算出電路輸入構成包含前述缺落像素之像素組的像素，對前述非缺落部合計算出電路輸入前述構成不含前述缺落像素之像

素組之像素，並對前述鄰接像素平均內插演算電路輸入鄰接缺落像素之像素，使前述輸出電路，如上述一般，根據內容既定之選擇訊號，由前述內插演算電路所提供之內插資料選擇其中一個內插資料而輸出。

- 10.如申請專利範圍第 6 項之像素內插電路，其中，尚具備有：選擇訊號產生部，該選擇訊號產生部係根據由與求算前述缺落像素附近之像素的原資料，以及就該缺落像素附近之像素以與求算前述缺落像素之內插資料相同的方法而求得的內插資料，產生用以由前述多數之平均維持內插演算電路所提供之內插資料選擇其中一個內插資料之選擇訊號。

- 11.如申請專利範圍第 10 項之像素內插電路，其中，尚具備有控制電路，

係對前述多數之平均維持內插演算電路之各個電路的前述缺落部合計算出電路，輸入構成含前述缺落像素附近之測試用非缺落像素之像素組的 k 個像素中，前述測試用非缺落像素以外的像素而求出該值之合計，

對前述多數之平均維持內插演算電路之各個電路的前述非缺落部合計算出電路，輸入構成不含前述測試用非缺落像素之像素組的 k 個像素，而求出該值之合計，

使前述多數之平均維持內插演算電路之各個電路的前述差分電路，以由前述非缺落部合計算出電路之輸出減去前述缺落部合計算出電路之輸出之方式，求出前述測試用非缺落像素之內插資料，

前述選擇訊號產生部，係根據分別在前述多數之內插演算電路之各個電路所求得之前述測試用非缺落像素之內插資料，以及前述測試用非缺落像素之原資料，評估前述平均維持內插演算電路，並決定選擇訊號之內容以選擇受到最佳評價之平均維持內插演算電路，

前述控制電路，係用以對前述多數之平均維持內插演算電路之各個電路之前述缺落部合計算出電路輸入構成包含前述缺落像素之像素組的像素，並對前述非缺落部合計算出電路輸入前述構成不含前述缺落像素之像素組之像素，使前述輸出電路，根據內容既定之選擇訊號，由前述多數之內插演算電路所提供之內插資料中選擇其中一個內插資料而輸出。

12. 一種平均維持內插演算方法，係用以求算缺落像素之內插資料，使構成包含缺落像素之像素組的多數之像素的值的平均值與構成不含缺落像素之像素組的多數之像素的值的平均值成為相等之方法；

其中，前述構成包含缺落像素之像素組的像素的數量與前述構成不含前述缺落像素之像素組的像素的數量係同為 k (k 為正的整數)，而該方法包括下列步驟：

由構成包含前述缺落像素之像素組的 k 個像素中，求出前述缺落像素以外之像素的值的合計的缺落部合計算出步驟；

求算構成不含前述缺落像素之像素組的 k 個像素值的合計的非缺落部合計算出步驟；

由前述非缺落部合計算出步驟之算出結果減去前述缺落合計算出步驟之算出結果求出前述缺落像素之內插資料的差分步驟。

13.如申請專利範圍第 12 項之平均維持內插演算方法，其中，前述非缺落部合計算出步驟具備有：

求算前述構成不含前述缺落像素之第 1 像素組的 k 個像素值的和的第 1 非缺落部加算步驟；

求算前述構成不含前述缺落像素之第 2 像素組的 k 個像素值的和的第 2 非缺落部加算步驟；

求出前述第 1 非缺落部加算步驟之加算結果，與前述第 2 非缺落部加算步驟之加算結果的平均，並將該平均做為前述合計輸出之平均步驟。