



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년11월18일
(11) 등록번호 10-1330084
(24) 등록일자 2013년11월11일

(51) 국제특허분류(Int. Cl.)
H01L 21/66 (2006.01)

(21) 출원번호 10-2007-0071708

(22) 출원일자 2007년07월18일
 심사청구일자 2012년07월11일

(65) 공개번호 10-2009-0008626

(43) 공개일자 2009년01월22일

(56) 선행기술조사문항

JP2002217258 A*

KR1020050023719 A*

IR2000171173 A

KR100498176 B1

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

정세영

경기도 용인시 기흥구 금화로82번길 13, 304호 (상갈동)

김지혜

경기도 성남시 분당구 새마을로 83번길 9, 203동
304호 (서현동, 서현포스파크)

(74) 대리인

박영우

*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 10 항

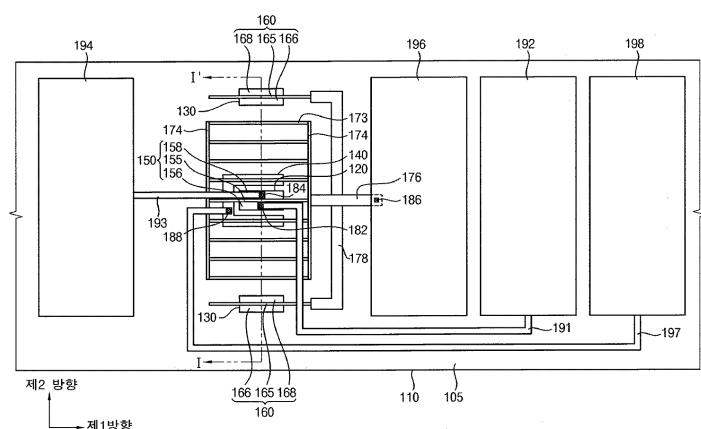
심사관 : 구본재

(54) 발명의 명칭 반도체 장치의 테스트 구조물: 그 혼성 반법, 반도체 장치 및 이의 제조 방법

(57) 요약

반도체 장치의 테스트 구조물은 트랜지스터, 더미 트랜지스터 및 패드 유닛을 구비한다. 트랜지스터는 기판의 제1 액티브 영역 상에 형성된다. 더미 트랜지스터는 기판의 제2 액티브 영역 상에 형성되고, 트랜지스터에 연결된다. 패드 유닛은 트랜지스터에 연결된다. 더미 트랜지스터에 의해 트랜지스터가 받는 플라즈마 데미지가 감소한다.

대표도



특허청구의 범위

청구항 1

기판의 제1 액티브 영역 상에 형성되며, 제1 방향으로 연장되는 제1 게이트 라인을 포함하는 트랜지스터;

상기 기판의 제2 액티브 영역 상에 형성되며, 상기 제1 방향으로 연장되는 더미 게이트 라인을 포함하는 더미 (dummy) 트랜지스터;

상기 제1 방향에 수직한 제2 방향으로 연장되어 상기 제1 게이트 라인 및 상기 더미 게이트 라인을 전기적으로 연결시키는 제1 도전 라인; 및

상기 트랜지스터에 전기적으로 연결된 패드 유닛을 구비하는 반도체 장치의 테스트 구조물.

청구항 2

제1항에 있어서, 상기 더미 트랜지스터는 복수 개로 형성된 것을 특징으로 하는 반도체 장치의 테스트 구조물.

청구항 3

삭제

청구항 4

삭제

청구항 5

제1항에 있어서, 상기 제1 방향으로 연장되고, 상기 제2 방향으로 상기 제1 게이트 라인과 일정 간격 이격되어 형성된 하나 이상의 제2 게이트 라인을 더 포함하는 것을 특징으로 하는 반도체 장치의 테스트 구조물.

청구항 6

제5항에 있어서, 상기 제2 게이트 라인은 상기 제1 게이트 라인과 연결된 것을 특징으로 하는 반도체 장치의 테스트 구조물.

청구항 7

삭제

청구항 8

제1항에 있어서, 상기 트랜지스터는 상기 제1 게이트 라인에 인접한 상기 제1 액티브 영역 상부에 형성된 소스 영역 및 드레인 영역을 더 구비하고,

상기 기판은 웰 영역이 형성된 제3 액티브 영역을 더 포함하며,

상기 패드 유닛은 상기 제1 게이트 라인, 상기 소스 영역, 상기 드레인 영역 및 상기 웰 영역에 각각 연결된 게이트 패드, 소스 패드, 드레인 패드 및 벌크 패드를 포함하는 것을 특징으로 하는 반도체 장치의 테스트 구조물.

청구항 9

제8항에 있어서, 상기 게이트 패드, 상기 소스 패드, 상기 드레인 패드 및 상기 벌크 패드에 전기적 신호를 인가하여 상기 트랜지스터의 문턱 전압을 측정하는 것을 특징으로 하는 반도체 장치의 테스트 구조물.

청구항 10

제1항에 있어서, 상기 더미 트랜지스터는 상기 트랜지스터가 받는 플라즈마 데미지(plasma induced damage)를 분산시키는 기능을 하는 것을 특징으로 하는 반도체 장치의 테스트 구조물.

청구항 11

제1항에 있어서, 상기 제1 방향으로 연장되는 제2 도전 라인; 및

상기 제2 방향으로 연장되는 제3 도전 라인을 더 포함하며,

상기 제1 게이트 라인과 상기 더미 게이트 라인은 상기 제1 내지 제3 도전 라인들에 의해 서로 전기적으로 연결되는 것을 특징으로 하는 반도체 장치의 테스트 구조물.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

기판의 제1 액티브 영역 상에 형성되며, 제1 방향으로 연장되는 제1 게이트 라인을 포함하는 트랜지스터;

상기 기판의 제2 액티브 영역 상에 형성되며, 상기 제1 방향으로 연장되는 더미 게이트 라인을 포함하는 더미 (dummy) 트랜지스터; 및

상기 제1 방향에 수직한 제2 방향으로 연장되어 상기 제1 게이트 라인 및 상기 더미 게이트 라인을 전기적으로 연결시키는 제1 도전 라인을 포함하는 반도체 장치.

청구항 21

제20항에 있어서, 상기 제1 방향으로 연장되는 제2 도전 라인; 및

상기 제2 방향으로 연장되는 제3 도전 라인을 더 포함하며,

상기 제1 게이트 라인과 상기 더미 게이트 라인은 상기 제1 내지 제3 도전 라인들에 의해 서로 전기적으로 연결되는 것을 특징으로 하는 반도체 장치.

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 장치의 테스트 구조물, 그 형성 방법, 반도체 장치 및 이의 제조 방법에 관한 것이다. 보다 상세하게는, 본 발명은 더미 트랜지스터를 갖는 반도체 장치의 테스트 구조물, 그 형성 방법, 반도체 장치 및 이의 제조 방법에 관한 것이다.

배경기술

[0002] 반도체 장치를 제조함에 있어서, 포토 리소그래피(photolithography) 기술은 필수적이다. 상기 포토 리소그래피 기술은 플라즈마 식각 공정, 반응성 이온 식각 공정 등의 식각 공정을 포함한다. 반도체 장치가 고집적화 됨에 따라, 좁은 선폭을 갖는 각종 구조물을 형성하기 위해, 고밀도 플라즈마 식각 공정과 같은 플라즈마 식각 공정이 널리 사용되고 있다. 하지만, 고밀도 플라즈마의 사용으로 인해, 기판과 게이트 사이에 강한 전기장이 형성되고, 이는 게이트 절연막에 심각한 데미지를 발생시킨다. 이에 따라, 상기 게이트 절연막을 포함하는 반도체 장치의 신뢰성이 저하된다.

[0003] 한편, 반도체 장치의 문턱 전압, 트랜스 컨덕턴스, 누설 전류 등의 각종 특성을 평가하기 위하여, 상기 반도체 장치가 형성되는 기판의 스크라이브 레인(scribe lane) 영역에 테스트 소자 그룹(Test Element Group: TEG) 패턴과 같은 테스트 구조물을 형성하고 있다. 상기 TEG 패턴 역시 플라즈마 식각 공정을 통해 형성되며, 이에 따라 상기 TEG 패턴에 포함된 게이트 절연막도 플라즈마 데미지를 받게 된다.

[0004] 특히, 반도체 장치의 문턱 전압을 측정하기 위한 TEG 패턴의 경우, 복수 개의 게이트 라인들 중에서 하나의 게이트 라인에 트랜지스터가 형성되며, 이에 따라 상기 게이트 라인들 형성 이후에 수행되는 플라즈마를 사용하는 각종 식각 공정에 의해, 플라즈마 데미지가 상기 트랜지스터에 집중된다. 이는 상기 반도체 장치의 문턱 전압 측정의 정확도를 떨어뜨리게 된다.

발명의 내용

해결 하고자하는 과제

[0005] 이에 따라, 본 발명의 일 목적은 트랜지스터가 감소된 플라즈마 데미지를 받도록 설계된 반도체 장치의 테스트 구조물을 제공하는 것이다.

- [0006] 본 발명의 다른 목적은 트랜지스터가 감소된 플라즈마 데미지를 받도록 설계된 반도체 장치 테스트 구조물의 형성 방법을 제공하는 것이다.
- [0007] 본 발명의 또 다른 목적은 트랜지스터가 감소된 플라즈마 데미지를 받도록 설계된 반도체 장치를 제공하는 것이다.
- [0008] 본 발명의 또 다른 목적은 트랜지스터가 감소된 플라즈마 데미지를 받도록 설계된 반도체 장치의 제조 방법을 제공하는 것이다.

과제 해결수단

- [0009] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 반도체 장치의 테스트 구조물은 트랜지스터, 더미 트랜지스터 및 패드 유닛을 구비한다. 상기 트랜지스터는 기판의 제1 액티브 영역 상에 형성된다. 상기 더미 트랜지스터는 상기 기판의 제2 액티브 영역 상에 형성되고, 상기 트랜지스터에 연결된다. 상기 패드 유닛은 상기 트랜지스터에 연결된다.
- [0010] 본 발명의 일 실시예에 따르면, 상기 더미 트랜지스터는 복수 개로 형성될 수 있다.
- [0011] 본 발명의 일 실시예에 따르면, 상기 더미 트랜지스터는 상기 제2 액티브 영역 상에 형성된 더미 게이트 라인을 포함할 수 있다. 이때, 상기 트랜지스터는 제1 게이트 라인을 구비하고, 상기 더미 게이트 라인은 상기 제1 게이트 라인과 연결될 수 있다.
- [0012] 본 발명의 일 실시예에 따르면, 상기 제1 게이트 라인은 제1 방향으로 연장되어, 상기 반도체 장치의 테스트 구조물은, 상기 제1 방향으로 연장되고 상기 제1 방향과 실질적으로 수직한 제2 방향으로 상기 제1 게이트 라인과 일정 간격 이격되어 형성된 하나 이상의 제2 게이트 라인을 더 포함할 수 있다. 이때, 상기 제2 게이트 라인은 상기 제1 게이트 라인과 연결될 수 있다.
- [0013] 본 발명의 일 실시예에 따르면, 상기 트랜지스터는 복수 개로 형성될 수 있다.
- [0014] 본 발명의 일 실시예에 따르면, 상기 트랜지스터는 상기 제1 액티브 영역 상에 형성된 게이트 라인, 상기 게이트 라인에 인접한 상기 제1 액티브 영역 상부에 형성된 소스 영역 및 드레인 영역을 구비하고, 상기 기판은 웰 영역이 형성된 제3 액티브 영역을 더 포함하며, 상기 패드 유닛은 상기 게이트 라인, 상기 소스 영역, 상기 드레인 영역 및 상기 웰 영역에 각각 연결된 게이트 패드, 소스 패드, 드레인 패드 및 벌크 패드를 포함할 수 있다. 이때, 상기 반도체 장치의 테스트 구조물은 상기 게이트 패드, 상기 소스 패드, 상기 드레인 패드 및 상기 벌크 패드에 전기적 신호를 인가하여 상기 트랜지스터의 문턱 전압을 측정할 수 있다.
- [0015] 본 발명의 일 실시예에 따르면, 상기 더미 트랜지스터는 상기 트랜지스터가 받는 플라즈마 데미지(plasma induced damage)를 분산시키는 기능을 할 수 있다.
- [0016] 상술한 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 반도체 장치 테스트 구조물의 형성 방법에서는, 기판에 제1 및 제2 액티브 영역들이 형성된다. 상기 제1 액티브 영역 상에 트랜지스터가 형성되고, 상기 제2 액티브 영역 상에 상기 트랜지스터와 연결되는 더미 트랜지스터가 형성된다. 상기 트랜지스터에 연결되는 패드 유닛이 형성된다.
- [0017] 본 발명의 일 실시예에 따르면, 상기 더미 트랜지스터는 복수 개로 형성될 수 있다.
- [0018] 본 발명의 일 실시예에 따르면, 상기 더미 트랜지스터를 형성할 때, 상기 제2 액티브 영역 상에 더미 게이트 라인이 형성될 수 있다. 이때, 상기 트랜지스터를 형성할 때, 상기 제1 액티브 영역 상에 제1 게이트 라인이 형성될 수 있고, 상기 더미 게이트 라인은 상기 제1 게이트 라인에 연결되도록 형성될 수 있다.
- [0019] 본 발명의 일 실시예에 따르면, 상기 제1 게이트 라인은 제1 방향으로 연장되어 형성되며, 상기 제1 방향으로 연장되고 상기 제1 방향과 실질적으로 수직한 제2 방향으로 상기 제1 게이트 라인과 일정 간격 이격되도록 하나 이상의 제2 게이트 라인이 더 형성될 수 있다. 이때, 상기 제2 게이트 라인은 상기 제1 게이트 라인과 연결되도록 형성될 수 있다.
- [0020] 본 발명의 일 실시예에 따르면, 상기 트랜지스터는 복수 개로 형성될 수 있다.
- [0021] 본 발명의 일 실시예에 따르면, 상기 제1 및 제2 액티브 영역들을 형성할 때, 상기 기판에 제3 액티브 영역이 형성될 수 있고, 상기 제3 액티브 영역을 형성한 이후에 상기 제3 액티브 영역에 웰 영역이 형성될 수 있으며, 상기 트랜지스터를 형성할 때, 상기 제1 액티브 영역 상에 게이트 라인이 형성되고, 상기 게이트 라인에 인접한

상기 액티브 영역 상부에 소스 영역 및 드레인 영역이 형성될 수 있다.

[0022] 본 발명의 일 실시예에 따르면, 상기 페드 유닛을 형성할 때, 상기 게이트 라인, 상기 소스 영역, 상기 드레인 영역 및 상기 웰 영역에 각각 연결된 게이트 패드, 소스 패드, 드레인 패드 및 벌크 패드가 형성될 수 있다.

[0023] 상술한 본 발명의 또 다른 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 반도체 장치는, 트랜지스터 및 더미 트랜지스터를 구비한다. 상기 트랜지스터는 기판의 제1 액티브 영역 상에 형성된다. 상기 더미 트랜지스터는 상기 기판의 제2 액티브 영역 상에 형성되고, 상기 트랜지스터에 연결된다.

[0024] 본 발명의 일 실시예에 따르면, 상기 더미 트랜지스터는 복수 개로 형성될 수 있다.

[0025] 본 발명의 일 실시예에 따르면, 상기 더미 트랜지스터는 상기 제2 액티브 영역 상에 형성된 더미 게이트 라인을 포함할 수 있다. 이때, 상기 트랜지스터는 게이트 라인을 구비하고, 상기 더미 게이트 라인은 상기 게이트 라인과 연결될 수 있다.

[0026] 본 발명의 일 실시예에 따르면, 상기 더미 트랜지스터는 상기 트랜지스터가 받는 플라즈마 데미지를 분산시키는 기능을 할 수 있다.

[0027] 상술한 본 발명의 또 다른 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 반도체 장치의 제조 방법에서는, 기판에 제1 및 제2 액티브 영역들이 형성된다. 상기 제1 액티브 영역 상에 트랜지스터를 형성하고, 상기 제2 액티브 영역 상에 상기 트랜지스터와 연결되는 더미 트랜지스터가 형성된다.

[0028] 본 발명의 일 실시예에 따르면, 상기 더미 트랜지스터는 복수 개로 형성될 수 있다.

[0029] 본 발명의 일 실시예에 따르면, 상기 더미 트랜지스터를 형성할 때, 상기 제2 액티브 영역 상에 더미 게이트 라인이 형성될 수 있다.

[0030] 본 발명의 일 실시예에 따르면, 상기 트랜지스터를 형성할 때, 상기 제1 액티브 영역 상에 게이트 라인이 형성되고, 상기 더미 게이트 라인은 상기 게이트 라인에 연결되도록 형성될 수 있다.

효과

[0031] 본 발명에 따르면, 반도체 장치의 테스트 구조물은 문턱 전압과 같은 소자 특성을 측정하는 트랜지스터뿐만 아니라, 더미 트랜지스터를 함께 구비하고 있다. 이에 따라, 플라즈마를 사용하는 식각 공정에 의해 상기 트랜지스터의 게이트 라인이 받는 플라즈마 데미지가 상기 더미 트랜지스터의 더미 게이트 라인으로 분산된다. 따라서 상기 반도체 장치의 테스트 구조물은 상기 트랜지스터의 문턱 전압 등의 소자 특성을 보다 정확하게 측정할 수 있다.

[0032] 또한, 반도체 장치는 스위칭 소자로서 사용되는 트랜지스터뿐만 아니라, 더미 트랜지스터를 함께 구비하고 있다. 이에 따라, 플라즈마를 사용하는 식각 공정에 의해 상기 트랜지스터의 게이트 라인이 받는 플라즈마 데미지가 상기 더미 트랜지스터의 더미 게이트 라인으로 분산된다. 결과적으로, 상기 트랜지스터를 포함하는 상기 반도체 장치는 높은 신뢰성 및 우수한 전기적 특성을 가질 수 있다.

발명의 실시를 위한 구체적인 내용

[0033] 이하, 첨부된 도면들을 참조하여 본 발명의 실시예들에 따른 반도체 장치의 테스트 구조물, 그 형성 방법, 반도체 장치 및 이의 제조 방법에 대하여 상세하게 설명하지만, 본 발명이 하기의 실시예들에 제한되는 것은 아니며, 해당 분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 본 발명을 다양한 다른 형태로 구현할 수 있을 것이다. 첨부된 도면에 있어서, 기판, 층(막), 영역, 패턴들 또는 구조물들의 치수는 본 발명의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다. 본 발명에 있어서, 각 층(막), 영역, 전극, 패턴들 또는 구조물들이 기판, 각 층(막), 영역, 전극, 구조물들 또는 패턴들 "상에", "상부에" 또는 "하부"에 형성되는 것으로 언급되는 경우에는 각 층(막), 영역, 전극, 패턴들 또는 구조물들이 직접 기판, 각 층(막), 영역, 구조물 또는 패턴들 위에 형성되거나 아래에 위치하는 것을 의미하거나, 다른 층(막), 다른 영역, 다른 전극, 다른 패턴들 또는 다른 구조물이 기판 상에 추가적으로 형성될 수 있다. 또한, 물질, 층(막), 영역, 전극, 패턴들 또는 구조물들이 "제1", "제2", "제3", "제4" 및/또는 "예비"로 언급되는 경우, 이러한 부재들을 한정하기 위한 것이 아니라 단지 각 물질, 층(막), 영역, 전극, 패턴들 또는 구조물들을 구분하기 위한 것이다. 따라서 "제1", "제2", "제3", "제4" 및/또는 "예비"는 각 층(막), 영역, 전극, 패턴들 또는 구조물들에 대하여 각기 선택적으로 또는 교환적으로 사용될 수 있다.

실시예

- [0034] 도 1은 본 발명의 실시예들에 따른 반도체 장치의 테스트 구조물을 설명하기 위한 평면도이고, 도 2는 도 1에서 I-I' 선을 따라 절단한 단면도이다.
- [0035] 도 1 및 도 2를 참조하면, 반도체 장치의 테스트 구조물은 기판(100)의 스크라이브 레인(scribe lane) 영역(110) 상에 형성된 트랜지스터(150), 더미 트랜지스터(160) 및 패드 유닛을 구비한다. 또한, 상기 반도체 장치의 테스트 구조물은 복수 개의 제2 게이트 라인들(173)을 더 포함할 수 있다.
- [0036] 기판(100)은 반도체 장치를 제조하기 위한 반도체 기판 혹은 평판 표시 장치용 접적 회로를 제조하기 위한 유리 기판을 포함한다. 상기 반도체 기판은 실리콘 기판, 게르마늄 기판, 실리콘-게르마늄 기판, SOI(silicon-on-insulator) 기판, GOI(germanium-on-insulator) 기판 등을 포함할 수 있다. 기판(100)은 각종 회로 패턴들을 구비하는 넷 다이(net die) 영역(도시하지 않음) 및 상기 테스트 구조물을 구비하고 상기 넷 다이 영역 사이에 형성된 스크라이브 레인 영역(110)으로 구분된다. 스크라이브 레인 영역(110)에는 얼라인(align) 패턴 및 오버레이(overlay) 패턴이 더 형성될 수 있다.
- [0037] 기판(100)은 또한 소자 분리막(105)이 형성된 필드 영역과 액티브 영역으로 구분될 수 있다. 소자 분리막(105)은 실리콘 산화물을 포함한다. 상기 액티브 영역은 제1 액티브 영역(120), 제2 액티브 영역(130) 및 제3 액티브 영역(140)을 포함한다.
- [0038] 트랜지스터(150)는 제1 액티브 영역(120) 상에 형성된 제1 게이트 라인(155)과, 제1 게이트 라인(155)에 인접하는 제1 액티브 영역(120)의 상부에 형성된 제1 소스 영역(156) 및 제1 드레인 영역(158)을 포함한다.
- [0039] 제1 게이트 라인(155)은 제1 게이트 절연막(151) 및 제1 게이트 전극(153)을 구비한다. 제1 게이트 절연막(151)은 실리콘 산화물 혹은 금속 산화물을 포함할 수 있으며, 제1 게이트 전극(153)은 불순물이 도핑된 폴리실리콘, 금속 및/또는 금속 실리사이드를 포함할 수 있다. 한편, 제1 게이트 라인(155)의 측벽에는 실리콘 질화물 혹은 실리콘 산질화물을 포함하는 게이트 스페이서(도시하지 않음)가 더 형성될 수도 있다. 본 발명의 일 실시예에 따르면, 제1 게이트 라인(155)은 제1 방향으로 연장되며, 제1 액티브 영역(120) 바깥에도 일부 형성될 수 있다.
- [0040] 제1 소스 및 드레인 영역들(156, 158)은 붕소, 갈륨, 인듐 등의 P형 불순물 혹은 인, 비소, 안티몬 등의 N형 불순물을 포함할 수 있다.
- [0041] 트랜지스터(150)는 상기 넷 다이 영역에 형성된 셀 트랜지스터와 실질적으로 동일하거나 유사한 구성을 가질 수 있으며, 트랜지스터(150)의 문턱 전압 등의 특성을 측정함으로써, 상기 셀 트랜지스터의 특성을 추정할 수 있다.
- [0042] 한편, 도 1 및 도 2에는 트랜지스터(150)가 하나만 형성되어 있으나, 경우에 따라 복수 개로 형성될 수 있다. 또한, 트랜지스터(150)는 각 제2 게이트 라인들(173) 사이 어디에나 형성될 수 있으며, 경우에 따라 제2 게이트 라인들(173) 바깥쪽에도 형성될 수 있다.
- [0043] 제2 게이트 라인들(173)은 제2 게이트 절연막(171) 및 제2 게이트 전극(172)을 구비한다. 제2 게이트 절연막(171) 및 제2 게이트 전극(172)은 각각 제1 게이트 절연막(151) 및 제1 게이트 전극(153)과 실질적으로 동일한 물질을 포함할 수 있다. 또한, 제2 게이트 라인들(173)의 각 측벽에는 게이트 스페이서(도시하지 않음)들이 더 형성될 수 있다. 제2 게이트 라인들(173)은 상기 넷 다이 영역에 형성된 게이트 라인 어레이와 실질적으로 동일하거나 유사한 구성을 갖도록 형성될 수 있다. 본 발명의 일 실시예에 따르면, 제2 게이트 라인들(173) 각각은 상기 제1 방향으로 연장되며, 상기 제1 방향과 실질적으로 수직한 제2 방향으로 일정 간격 이격되어 형성된다.
- [0044] 한편, 제2 게이트 라인들(173)은 상기 제2 방향으로 연장된 제1 도전성 라인(174)에 의해 서로 연결될 수 있다. 이때, 제1 게이트 라인(165)도 제1 도전성 라인(174)에 의해 제2 게이트 라인들(173)에 연결될 수 있다. 제1 도전성 라인(174)은 제1 및 제2 게이트 라인들(155, 173)과 실질적으로 동일한 물질을 포함할 수 있다. 도 1에서는 상기 제1 방향으로 연장된 제2 게이트 라인들(173)의 각 양단에 제1 도전성 라인(174)이 형성되어 있으나, 제1 도전성 라인(174)은 어느 한쪽 끝단에만 형성될 수도 있으며, 아예 형성되지 않을 수도 있다.
- [0045] 더미 트랜지스터(160)는 제2 액티브 영역(130) 상에 형성된 더미 게이트 라인(165)과, 더미 게이트 라인(165)에 인접하는 제2 액티브 영역(130)의 상부에 형성된 제2 소스 영역(166) 및 제2 드레인 영역(168)을 포함한다.
- [0046] 더미 게이트 라인(165)은 더미 게이트 절연막(161) 및 더미 게이트 전극(163)을 구비한다. 더미 게이트 절연막

(161) 및 더미 게이트 전극(163)은 각각 제1 게이트 절연막(151) 및 제1 게이트 전극(153)과 실질적으로 동일한 물질을 포함할 수 있다. 또한, 더미 게이트 라인들(165)의 각 측벽에는 게이트 스페이서(도시하지 않음)들이 더 형성될 수 있다. 본 발명의 일 실시예에 따르면, 더미 게이트 라인(165)은 상기 제1 방향으로 연장되며, 제2 액티브 영역(130) 바깥에도 일부 형성될 수 있다.

[0047] 제2 소스 및 드레인 영역들(166, 168)은 제1 소스 및 드레인 영역들(156, 158)과 실질적으로 동일한 불순물을 포함할 수 있다.

[0048] 더미 트랜지스터(160)는 트랜지스터(150)와 실질적으로 동일하거나 유사한 구성을 가질 수 있으나, 후술할 소스 패드(192), 드레인 패드(194) 및 벌크 패드(198)에는 연결되지 않는다. 즉, 소스 패드(192), 드레인 패드(194), 게이트 패드(196) 및 벌크 패드(198)에 연결됨으로써 일정한 전기적 신호가 인가되는 트랜지스터(150)와는 달리, 문턱 전압 등의 트랜지스터의 특성이 측정되지 않는다.

[0049] 한편, 도 1 및 도 2에는 더미 트랜지스터(160)가 두 개로 형성되어 있으나, 경우에 따라서는 하나만 형성되거나 혹은 세 개 이상의 복수 개로 형성될 수 있다. 또한, 하나의 제2 액티브 영역(130)에 두 개 이상의 더미 게이트 라인(165)을 형성하여, 각 더미 게이트 라인(165)을 포함하는 더미 트랜지스터(160)를 복수 개 형성할 수도 있다. 뿐만 아니라, 더미 트랜지스터(160)는 제2 게이트 라인들(173) 바깥쪽에 형성될 수 있을 뿐만 아니라, 각 제2 게이트 라인들(173) 사이에도 형성될 수 있다.

[0050] 더미 트랜지스터(160)는 트랜지스터(150)와 연결되며, 본 발명의 일 실시예에 따르면, 더미 게이트 라인(165)이 제1 게이트 라인(155)과 연결된다. 도 1에서는 더미 게이트 라인(165)과 제1 게이트 라인(155)은 제1 도전성 라인(174), 제2 도전성 라인(176) 및 제3 도전성 라인(178)에 의해 서로 연결되어 있다. 이때, 제2 도전성 라인(176) 및 제3 도전성 라인(178)은 제1 도전성 라인(174)과 실질적으로 동일한 물질을 포함할 수 있다.

[0051] 이에 따라, 후속 공정에서 발생하는 플라즈마 테미지가 트랜지스터(150)뿐만 아니라 더미 트랜지스터(160)에도 영향을 미치며, 이는 결국 트랜지스터(150)가 받는 플라즈마 테미지를 분산시키는 효과를 갖는다.

[0052] 상기 패드 유닛은 소스 패드(192), 드레인 패드(194), 게이트 패드(196) 및 벌크 패드(198)를 포함한다. 각 패드들(192, 194, 196, 198)은 금속 및/또는 금속 질화물과 같은 도전성 물질을 포함할 수 있다. 각 패드들(192, 194, 196, 198)은 충간 절연막(180) 상에 형성된다.

[0053] 충간 절연막(180)은 트랜지스터(150), 더미 트랜지스터(160), 제2 게이트 라인들(173) 및 제1 내지 제3 도전성 라인들(174, 176, 178)을 덮으면서 기판(100) 상에 형성된다. 충간 절연막(180)은 산화물, 질화물 및/또는 산질화물을 포함할 수 있다.

[0054] 소스 패드(192)는 충간 절연막(180) 상에 형성된 소스 패드 연결 라인(191) 및 충간 절연막(180)을 관통하는 제1 플러그(182)를 통해 제1 소스 영역(156)과 연결된다. 드레인 패드(194)는 충간 절연막(180) 상에 형성된 드레인 패드 연결 라인(193) 및 충간 절연막(180)을 관통하는 제2 플러그(184)를 통해 제1 드레인 영역(158)과 연결된다. 게이트 패드(196)는 충간 절연막(180)을 관통하는 제3 플러그(186)를 통해 제2 도전성 라인(176)과 연결되어, 결국 제1 게이트 라인(155)과 연결된다. 벌크 패드(198)는 충간 절연막(180) 상에 형성된 벌크 패드 연결 라인(197) 및 충간 절연막(180)을 관통하는 제4 플러그(188)를 통해 제3 액티브 영역(140)과 연결된다. 이때, 각 연결 라인들(191, 193, 197) 및 제1 내지 제4 플러그들(182, 184, 186, 188)은 금속 및/또는 금속 질화물과 같은 도전성 물질을 포함할 수 있다.

[0055] 제3 액티브 영역(140)은 스크라이브 레인 영역(110)의 일부에 형성된다. 본 발명의 일 실시예에 따르면, 제3 액티브 영역(140)은 제1 액티브 영역(120)의 주변에 형성된다. 제3 액티브 영역(140)은 기판(100) 일부에 형성된 웰(well) 영역(107)에 전기적 신호를 인가하는 일종의 통로 구실을 할 수 있다. 즉, 벌크 패드(198)에 인가된 전기적 신호는 벌크 패드 연결 라인(197), 제4 플러그(188) 및 제3 액티브 영역(140)을 거쳐 웰 영역(107)에 인가될 수 있다. 웰 영역(107)은 P형 혹은 N형 불순물을 포함할 수 있다.

[0056] 한편, 각 패드들(192, 194, 196, 198)의 순서 또는 위치는 변경 가능하다.

[0057] 도시하지는 않았으나, 상술한 각종 패턴들 이외에, 비트 라인이나 커페시터, 각종 배선들이 더 형성될 수 있다.

[0058] 전술한 구성을 갖는 반도체 장치의 테스트 구조물은 문턱 전압과 같은 소자 특성을 측정하여 상기 넷 다이 영역에 형성된 소자의 특성을 추정하기 위한 트랜지스터(150)뿐만 아니라, 더미 트랜지스터(160)를 함께 구비하고 있다. 이에 따라, 플라즈마를 사용하는 각각 공정에 의해 트랜지스터(150)의 제1 게이트 라인(155)이 받는 플라즈마 테미지가 더미 트랜지스터(160)의 더미 게이트 라인(165)으로 분산되며, 상기 반도체 장치의 테스트 구조

물은 트랜지스터(150)의 문턱 전압 등의 소자 특성을 보다 정확하게 측정할 수 있다.

[0059] 도 1 및 도 2에서, 상기 반도체 장치의 테스트 구조물은 스크라이브 레인 영역(110)에 형성되는 것으로 도시되었으나, 상기 넷 다이 영역에 형성될 수도 있으며, 이 경우 전술한 본 발명의 특징을 포함하는 반도체 장치의 테스트 구조물이라면 본 발명의 범주에 속함은 당업자에게 자명하다 할 것이다.

[0060] 도 3은 본 발명의 다른 실시예들에 따른 반도체 장치의 테스트 구조물을 설명하기 위한 평면도이다. 도 3에 도시된 반도체 장치의 테스트 구조물은 도 1에 도시된 반도체 장치의 테스트 구조물과 비교할 때, 제3 도전성 라인이 없다는 것을 제외하고는 실질적으로 동일하거나 유사하다. 이에 따라, 동일한 구성 요소에는 동일한 참조 부호를 붙이고, 중복 설명을 피하기 위해 다른 점에 대해서만 설명한다.

[0061] 도 3을 참조하면, 더미 트랜지스터(160)의 더미 게이트 라인(165)은 제1 도전성 라인(174)에 의해 트랜지스터(150)의 제1 게이트 라인(155)에 연결된다. 이때, 더미 게이트 라인(165)은 제2 게이트 라인들(173)에도 연결된다. 이 경우에는 도 1에 도시된 반도체 장치의 테스트 구조물과는 달리, 제1 도전성 라인(174)은 하나 이상으로 형성되며, 형성되지 않는 경우는 없다. 다만, 더미 트랜지스터(160)는 트랜지스터(150)에만 연결되면 되므로, 제1 도전성 라인(174)은 더미 게이트 라인(165)과 제1 게이트 라인(155)을 연결하도록 형성되면 좋하다. 즉 예를 들어, 제2 방향으로 순차적으로 제1 게이트 라인(155), 더미 게이트 라인(165) 및 제2 게이트 라인들(173)이 형성되는 경우, 제1 도전성 라인(174)은 제1 게이트 라인(155)과 더미 게이트 라인(165)의 양단 혹은 일단에만 형성되면 되고, 제2 게이트 라인들(173)의 각 양단 혹은 일단에 반드시 형성될 필요는 없다.

[0062] 도 4a 내지 도 4d는 본 발명의 실시예들에 따른 반도체 장치의 테스트 구조물 형성 방법을 설명하기 위한 평면도들이다. 도 4a 내지 도 4d에 있어서, 도 1에 도시한 바와 실질적으로 동일한 구조를 갖는 반도체 장치의 테스트 구조물의 형성 방법을 예시적으로 설명하지만, 도 4a 내지 도 4d를 참조하여 설명하는 반도체 장치의 테스트 구조물 형성 방법이 이에 한정되는 것은 아니다.

[0063] 도 4a를 참조하면, 기판(도시하지 않음)의 스크라이브 레인 영역(110)에 제1 액티브 영역(120), 제2 액티브 영역(130) 및 제3 액티브 영역(140)을 정의하는 소자 분리막(105)을 형성한다. 소자 분리막(105)은 셀로우 트렌치 공정(Shallow Trench Isolation: STI) 혹은 실리콘 부분 산화(Local Oxidation of Silicon: LOCOS) 공정 등의 소자 분리 공정을 통해 형성될 수 있다. 이후, 상기 기판에 이온 주입 공정을 수행하여, 스크라이브 레인 영역(110)에 웨爾 영역(107, 도 2 참조)을 형성한다.

[0064] 한편, 도 4a에는 제1 액티브 영역(120)이 하나로 형성되어 있으나, 경우에 따라 복수 개로 형성될 수도 있다. 또한, 제2 액티브 영역(130)은 두 개로 형성되어 있으나, 경우에 따라 하나 혹은 세 개 이상으로 형성될 수도 있다. 제3 액티브 영역(140)은 제1 액티브 영역(120)의 주변에 'ㄷ'자 형상으로 형성되어 있으나, 이밖에 다양한 형상을 가질 수도 있다.

[0065] 도 4b를 참조하면, 제1 액티브 영역(120) 및 제2 액티브 영역(130) 상에 각각 트랜지스터(150) 및 더미 트랜지스터(160)가 형성된다. 또한, 복수 개의 제2 게이트 라인들(173) 및 제1 내지 제3 도전성 라인들(174, 176, 178)이 형성된다.

[0066] 구체적으로, 스크라이브 레인 영역(110) 상에 절연막(도시하지 않음)을 형성한다. 상기 절연막은 산화물, 질화물 및/또는 산질화물을 사용하여 형성될 수 있다. 또한, 상기 절연막은 화학 기상 증착 공정, 저압 화학 기상 증착 공정, 플라즈마 증대 화학 기상 증착 공정, 고밀도 플라즈마 화학 기상 증착 공정 등을 통해 형성될 수 있다.

[0067] 상기 절연막 상에 불순물이 도핑된 폴리실리콘, 금속 및/또는 금속 실리사이드를 사용하여 제1 도전막을 형성한다. 상기 제1 도전막은 화학 기상 증착 공정, 원자층 적층 공정, 고밀도 플라즈마 화학 기상 증착 공정 등을 이용하여 형성될 수 있다.

[0068] 상기 제1 도전막 상에 포토레지스트 패턴(도시하지 않음)을 형성하고, 상기 포토레지스트 패턴을 식각 마스크로 사용하는 식각 공정을 통해 상기 제1 도전막 및 상기 절연막 일부를 제거함으로써, 제1 게이트 라인(155), 더미 게이트 라인(165), 제2 게이트 라인(173) 및 제1 내지 제3 도전성 라인들(174, 176, 178)을 형성한다. 제1 게이트 라인(155)은 제1 게이트 절연막(151, 도 2 참조) 및 제1 게이트 전극(153, 도 2 참조)을 구비하고, 더미 게이트 라인(165)은 더미 게이트 절연막(161) 및 더미 게이트 전극(163)을 구비하며, 제2 게이트 라인(173)은 제2 게이트 절연막(171, 도 2 참조) 및 제2 게이트 전극(172)을 구비한다.

[0069] 이후, 이온 주입 공정을 통해 제1 액티브 영역(120) 및 제2 액티브 영역(130)에 불순물을 주입한다. 이에 따라,

제1 게이트 라인(155)에 인접하는 제1 액티브 영역(120) 상부에 제1 소스 영역(156) 및 제1 드레인 영역(158)이 형성되고, 더미 게이트 라인(165)에 인접한 제2 액티브 영역(130) 상부에 제2 소스 영역(166) 및 제2 드레인 영역(168)이 형성된다. 제1 게이트 라인(155), 제1 소스 영역(156) 및 제1 드레인 영역(158)은 트랜지스터(150)를 형성하고, 더미 게이트 라인(165), 제2 소스 영역(166) 및 제2 드레인 영역(168)은 더미 트랜지스터(160)를 형성한다.

[0070] 본 발명의 일 실시예에 따르면, 제1 게이트 라인(165), 더미 게이트 라인(165) 및 제2 게이트 라인들(173)은 각각 제1 방향으로 연장되도록 형성된다. 또한, 본 발명의 일 실시예에 따르면, 제1 게이트 라인(165) 및 제2 게이트 라인들(173)은 상기 제1 방향에 실질적으로 수직한 제2 방향으로 연장된 제1 도전성 라인(174)에 의해 서로 연결된다. 한편, 제1 게이트 라인(155)과 더미 게이트 라인(165)은 제2 도전성 라인(176) 및 제3 도전성 라인(178)에 의해 서로 연결된다.

[0071] 도 4c를 참조하면, 트랜지스터(150), 더미 트랜지스터(160), 제2 게이트 라인들(173) 및 제1 내지 제3 도전성 라인들(174, 176, 178)을 덮으면서 스크라이브 레인 영역(110) 상에 충간 절연막(180, 도 2 참조)을 형성한다. 충간 절연막(180)은 산화물, 질화물 및/또는 산질화물을 사용하여 형성할 수 있다. 충간 절연막(180)은 화학 기상 증착 공정, 저압 화학 기상 증착 공정, 플라즈마 증대 화학 기상 증착 공정, 고밀도 플라즈마 화학 기상 증착 공정 등을 통해 형성될 수 있다.

[0072] 이후, 충간 절연막(180)을 관통하는 제1 플러그(182), 제2 플러그(184), 제3 플러그(186) 및 제4 플러그(188)를 제1 소스 영역(156), 제1 드레인 영역(158), 제3 도전성 라인(177) 및 제3 액티브 영역(140) 상에 각각 형성한다.

[0073] 구체적으로, 제1 소스 영역(156), 제1 드레인 영역(158), 제3 도전성 라인(177) 및 제3 액티브 영역(140)을 부분적으로 노출시키는 개구부들(도시하지 않음)을 충간 절연막(180)에 형성한다. 이후, 금속 및/또는 금속 질화물을 사용하는 화학 기상 증착 공정, 원자층 적층 공정, 고밀도 플라즈마 화학 기상 증착 공정 등을 수행하여, 상기 개구부들을 매립하도록 충간 절연막(180) 상에 제2 도전막을 형성한다. 화학적 기계적 연마 공정 및/또는 에치 백 공정을 사용하여 충간 절연막(180) 상의 상기 제2 도전막 부분을 제거함으로써, 제1 소스 영역(156), 제1 드레인 영역(158), 제3 도전성 라인(177) 및 제3 액티브 영역(140)과 연결된 제1 내지 제4 플러그들(182, 184, 186, 188)을 형성한다.

[0074] 도 4d를 참조하면, 소스 패드(192), 드레인 패드(194), 게이트 패드(196) 및 벌크 패드(198)를 형성하여, 각각 제1 소스 영역(156), 제1 드레인 영역(158), 제1 게이트 라인(165) 및 제3 액티브 영역(140)과 연결한다.

[0075] 구체적으로, 충간 절연막(180) 및 제1 내지 제4 플러그들(182, 184, 186, 188) 상에 제3 도전막을 형성한다. 상기 제3 도전막은 금속 및/또는 금속 질화물을 사용하는 화학 기상 증착 공정, 원자층 적층 공정, 고밀도 플라즈마 화학 기상 증착 공정 등을 수행하여 형성할 수 있다. 이후, 포토레지스트 패턴(도시하지 않음)을 사용하는 사진 식각 공정을 통해 상기 제3 도전막을 패터닝하여, 제3 플러그(186)와 연결되는 게이트 패드(196)를 형성하고, 게이트 패드와 상기 제1 방향으로 일정 간격 이격되도록 소스 패드(192), 드레인 패드(194) 및 벌크 패드(198)를 형성한다. 이때, 소스 패드(192), 드레인 패드(194), 게이트 패드(196) 및 벌크 패드의 위치는 서로 바뀌어도 무방하다. 또한, 소스 패드(192)와 제1 플러그(182)를 연결하는 소스 패드 연결 라인(191), 드레인 패드(194)와 제2 플러그(184)를 연결하는 드레인 패드 연결 라인(193) 및 벌크 패드(198)와 제4 플러그(188)를 연결하는 벌크 패드 연결 라인(197)도 함께 형성한다. 이에 따라, 소스 패드(192), 드레인 패드(194), 게이트 패드(196) 및 벌크 패드(198)는 각각 제1 소스 영역(156), 제1 드레인 영역(158), 제1 게이트 라인(165) 및 제3 액티브 영역(140)과 연결될 수 있으며, 벌크 패드(198)는 제3 액티브 영역(140)을 통해 웨爾 영역(107)과 연결될 수 있다.

[0076] 전술한 공정을 통해 본 발명의 실시예들에 따른 반도체 장치의 테스트 구조물이 형성된다. 도시하지는 않았으나, 상술한 각종 패턴들 이외에, 비트 라인이나 커퍼시터, 각종 배선들이 더 형성될 수 있다. 이때, 발생하는 플라즈마 데미지는 트랜지스터(150) 뿐만 아니라 더미 트랜지스터(160)에도 가해지므로, 결과적으로 트랜지스터(150)에 가해지는 플라즈마 데미지의 양이 감소하게 된다.

[0077] 도 5는 본 발명의 실시예들에 따른 반도체 장치를 설명하기 위한 평면도이다.

[0078] 도 5를 참조하면, 반도체 장치는 기판(도시하지 않음)의 넷 다이 영역(210) 상에 형성된 트랜지스터(240) 및 더미 트랜지스터(250)를 구비한다.

[0079] 상기 기판은 실리콘 기판, 게르마늄 기판, 실리콘-게르마늄 기판, SOI 기판, GOI 기판 등을 포함할 수 있다. 상

기 기판은 각종 회로 패턴들을 구비하는 넷 다이 영역(210) 및 상기 넷 다이 영역 사이에 형성되어 각종 테스트 구조물, 얼라인 패턴 및 오버레이 패턴을 구비하는 스크라이브 레인 영역(도시하지 않음)으로 구분된다.

[0080] 상기 기판은 또한 소자 분리막(205)이 형성된 필드 영역과 액티브 영역으로 구분될 수 있다. 소자 분리막(205)은 실리콘 산화물을 포함한다. 상기 액티브 영역은 제1 액티브 영역(220) 및 제2 액티브 영역(230)을 포함한다. 본 발명의 일 실시예에 따르면, 제1 액티브 영역(220)은 복수 개로 형성되어 어레이를 이룬다. 한편, 제2 액티브 영역(230)은 하나 혹은 두 개 이상으로 형성될 수 있다.

[0081] 트랜지스터(240)는 제1 액티브 영역(220) 상에 형성된 게이트 라인(245)과, 게이트 라인(245)에 인접하는 제1 액티브 영역(220)의 상부에 형성된 제1 소스 영역(246) 및 제1 드레인 영역(248)을 포함한다.

[0082] 게이트 라인(245)은 게이트 절연막(도시하지 않음) 및 게이트 전극(도시하지 않음)을 구비한다. 상기 게이트 절연막은 실리콘 산화물 혹은 금속 산화물을 포함할 수 있으며, 상기 게이트 전극은 불순물이 도핑된 폴리실리콘, 금속 및/또는 금속 실리사이드를 포함할 수 있다. 한편, 게이트 라인(245)의 측벽에는 실리콘 질화물 혹은 실리콘 산질화물을 포함하는 게이트 스페이서(도시하지 않음)가 더 형성될 수도 있다.

[0083] 본 발명의 일 실시예에 따르면, 게이트 라인(245)은 제1 방향으로 연장되며, 하나의 게이트 라인(245)은 복수 개의 제1 액티브 영역(220) 상에 형성될 수 있다. 또한, 게이트 라인(245)은 복수 개로 형성될 수 있으며, 각 게이트 라인들(245)은 상기 제1 방향과 실질적으로 수직한 제2 방향으로 일정 간격 이격되어 형성될 수 있다. 본 발명의 일 실시예에 따르면, 하나의 제1 액티브 영역(220) 상에 두 개의 게이트 라인들(245)이 형성된다.

[0084] 제1 소스 및 드레인 영역들(246, 248)은 봉소, 갈륨, 인듐 등의 P형 불순물 혹은 인, 비소, 안티몬 등의 N형 불순물을 포함할 수 있다. 도 5에 도시된 바와 달리, 제1 소스 영역(246) 및 제1 드레인 영역(248)의 위치는 서로 바뀌어도 무방하다.

[0085] 더미 트랜지스터(250)는 제2 액티브 영역(230) 상에 형성된 더미 게이트 라인(255)과, 더미 게이트 라인(255)에 인접하는 제2 액티브 영역(230)의 상부에 형성된 제2 소스 영역(256) 및 제2 드레인 영역(258)을 포함한다.

[0086] 더미 게이트 라인(255)은 더미 게이트 절연막(도시하지 않음) 및 더미 게이트 전극(도시하지 않음)을 구비한다. 상기 더미 게이트 절연막 및 상기 더미 게이트 전극은 각각 상기 게이트 절연막 및 상기 게이트 전극과 실질적으로 동일한 물질을 포함할 수 있다. 또한, 더미 게이트 라인들(255)의 각 측벽에는 게이트 스페이서(도시하지 않음)들이 더 형성될 수 있다.

[0087] 본 발명의 일 실시예에 따르면, 더미 게이트 라인(255)은 상기 제1 방향으로 연장되며, 하나의 더미 게이트 라인(255)은 하나 혹은 복수 개의 제2 액티브 영역(230) 상에 형성될 수 있다. 또한, 더미 게이트 라인(255)은 복수 개로 형성될 수 있으며, 각 더미 게이트 라인들(255)은 상기 제1 방향과 실질적으로 수직한 제2 방향으로 일정 간격 이격되어 형성될 수 있다. 이때, 각 더미 게이트 라인들(255)은 후술할 도전성 라인(259)에 의해 서로 연결될 수 있다. 본 발명의 일 실시예에 따르면, 하나의 제2 액티브 영역(230) 상에 두 개의 더미 게이트 라인들(255)이 형성된다.

[0088] 한편, 더미 게이트 라인(255)은 게이트 라인(245)과 연결된다. 본 발명의 일 실시예에 따르면, 상기 제2 방향으로 연장된 도전성 라인(259)에 의해 더미 게이트 라인(255)과 게이트 라인(245)이 연결된다. 도전성 라인(259)은 게이트 라인(245) 및 더미 게이트 라인(255)과 실질적으로 동일한 물질을 포함할 수 있다.

[0089] 제2 소스 및 드레인 영역들(256, 258)은 제1 소스 및 드레인 영역들(246, 248)과 실질적으로 동일한 불순물을 포함할 수 있다.

[0090] 더미 트랜지스터(250)는 트랜지스터(240)와 실질적으로 동일하거나 유사한 구성을 가질 수 있으나, 후술할 비트 라인(270)에는 연결되지 않는다. 즉, 트랜지스터(240)와는 달리 비트 라인(270)에 연결되지 않으므로, 더미 트랜지스터(250)에는 일정한 전기적 신호가 인가되지 않는다.

[0091] 하지만, 더미 게이트 라인(255)이 게이트 라인(245)과 연결됨으로써, 후속 공정에서 발생하는 플라즈마 데미지가 트랜지스터(240) 뿐만 아니라 더미 트랜지스터(250)에도 영향을 미치며, 이는 결국 트랜지스터(240)가 받는 플라즈마 데미지를 분산시키는 효과를 갖는다.

[0092] 도시하지는 않았지만, 충간 절연막이 트랜지스터(240), 더미 트랜지스터(250) 및 도전성 라인(259)을 덮으면서 상기 기판 상에 형성된다. 상기 충간 절연막은 산화물, 질화물 및/또는 산질화물을 포함할 수 있다.

[0093] 비트 라인(270)은 상기 충간 절연막을 관통하는 플러그(260)를 통해 드레인 영역(248)과 연결된다. 비트 라인

(270) 및 플러그(260)는 금속 및/또는 금속 질화물과 같은 도전성 물질을 포함할 수 있다.

[0094] 한편, 비트 라인(270) 및 상기 층간 절연막 상에 제1 소스 영역(246)과 연결되는 커패시터 구조물(도시하지 않음) 및 각종 배선이 더 형성할 수 있다.

[0095] 전술한 구성을 갖는 반도체 장치는 스위칭 소자로서 사용되는 트랜지스터(240) 뿐만 아니라, 더미 트랜지스터(250)를 함께 구비하고 있다. 이에 따라, 플라즈마를 사용하는 식각 공정에 의해 트랜지스터(240)의 게이트 라인(245)이 받는 플라즈마 데미지가 더미 트랜지스터(250)의 더미 게이트 라인(255)으로 분산된다. 결과적으로, 트랜지스터(240)를 포함하는 상기 반도체 장치는 높은 신뢰성 및 우수한 전기적 특성을 가질 수 있다.

[0096] 도 6a 내지 도 6d는 본 발명의 실시예들에 따른 반도체 장치의 제조 방법을 설명하기 위한 평면도들이다. 도 6a 내지 도 6d에 있어서, 도 5에 도시한 바와 실질적으로 동일한 구조를 갖는 반도체 장치의 제조 방법을 예시적으로 설명하지만, 도 6a 내지 도 6d를 참조하여 설명하는 반도체 장치의 제조 방법이 이에 한정되는 것은 아니다.

[0097] 도 6a를 참조하면, 기판(도시하지 않음)의 넷 다이 영역(210)에 제1 액티브 영역(220) 및 제2 액티브 영역(230)을 정의하는 소자 분리막(205)을 형성한다. 소자 분리막(205)은 셀로우 트렌치 공정 혹은 실리콘 부분 산화 공정 등의 소자 분리 공정을 통해 형성될 수 있다.

[0098] 본 발명의 일 실시예에 따르면, 제1 액티브 영역(220)은 복수 개로 형성되어 어레이를 이룬다. 한편, 제2 액티브 영역(230)은 하나 혹은 두 개 이상으로 형성될 수 있다.

[0099] 도 6b를 참조하면, 제1 액티브 영역(220) 및 제2 액티브 영역(230) 상에 각각 트랜지스터(240) 및 더미 트랜지스터(250)가 형성된다.

[0100] 구체적으로, 넷 다이 영역(210) 상에 절연막(도시하지 않음)을 형성한다. 상기 절연막은 산화물, 질화물 및/또는 산질화물을 사용하여 형성될 수 있다. 또한, 상기 절연막은 화학 기상 증착 공정, 저압 화학 기상 증착 공정, 플라즈마 증대 화학 기상 증착 공정, 고밀도 플라즈마 화학 기상 증착 공정 등을 통해 형성될 수 있다.

[0101] 상기 절연막 상에 불순물이 도핑된 폴리실리콘, 금속 및/또는 금속 실리사이드를 사용하여 제1 도전막을 형성한다. 상기 제1 도전막은 화학 기상 증착 공정, 원자층 적층 공정, 고밀도 플라즈마 화학 기상 증착 공정 등을 이용하여 형성될 수 있다.

[0102] 상기 제1 도전막 상에 포토레지스트 패턴(도시하지 않음)을 형성하고, 상기 포토레지스트 패턴을 식각 마스크로 사용하는 식각 공정을 통해 상기 제1 도전막 및 상기 절연막 일부를 제거함으로써, 게이트 라인(245), 더미 게이트 라인(255) 및 도전성 라인(259)을 형성한다. 게이트 라인(245)은 게이트 절연막(도시하지 않음) 및 게이트 전극(도시하지 않음)을 구비하고, 더미 게이트 라인(255)은 더미 게이트 절연막(도시하지 않음) 및 더미 게이트 전극(도시하지 않음)을 구비한다.

[0103] 본 발명의 일 실시예에 따르면, 게이트 라인(245)은 복수 개로 형성된다. 이때, 각 게이트 라인들(245)은 제1 방향으로 연장되며, 상기 제1 방향과 실질적으로 수직한 제2 방향으로 일정 간격 이격되도록 형성된다. 한편, 더미 게이트 라인(255)은 하나 혹은 복수 개로 형성될 수 있다. 더미 게이트 라인(255)은 도전성 라인(259)에 의해 게이트 라인(245)에 연결된다. 본 발명의 일 실시예에 따르면, 더미 게이트 라인(255)은 상기 제1 방향으로 연장되며, 하나의 제2 액티브 영역(230) 상에 두 개의 더미 게이트 라인(255)이 형성된다. 이때, 각 더미 게이트 라인들(255)도 도전성 라인(259)에 의해 서로 연결된다.

[0104] 이후, 이온 주입 공정을 통해 제1 액티브 영역(220) 및 제2 액티브 영역(230)에 불순물을 주입한다. 이에 따라, 제1 게이트 라인(245)에 인접하는 제1 액티브 영역(220) 상부에 제1 소스 영역(246) 및 제1 드레인 영역(248)이 형성되고, 더미 게이트 라인(255)에 인접한 제2 액티브 영역(230) 상부에 제2 소스 영역(256) 및 제2 드레인 영역(258)이 형성된다. 게이트 라인(245), 제1 소스 영역(246) 및 제1 드레인 영역(248)은 트랜지스터(240)를 형성하고, 더미 게이트 라인(255), 제2 소스 영역(256) 및 제2 드레인 영역(258)은 더미 트랜지스터(250)를 형성한다.

[0105] 도 6c를 참조하면, 트랜지스터(240), 더미 트랜지스터(250) 및 도전성 라인(259)을 덮으면서 넷 다이 영역(210) 상에 층간 절연막(도시하지 않음)을 형성한다. 상기 층간 절연막은 산화물, 질화물 및/또는 산질화물을 사용하여 형성할 수 있다. 또한, 상기 층간 절연막은 화학 기상 증착 공정, 저압 화학 기상 증착 공정, 플라즈마 증대 화학 기상 증착 공정, 고밀도 플라즈마 화학 기상 증착 공정 등을 통해 형성될 수 있다.

[0106] 이후, 상기 층간 절연막을 관통하는 플러그(260)를 제1 드레인 영역(248) 상에 형성한다.

- [0107] 구체적으로, 제1 드레인 영역(248)을 부분적으로 노출시키는 개구부들(도시하지 않음)을 상기 층간 절연막에 형성한다. 이후, 금속 및/또는 금속 질화물을 사용하는 화학 기상 증착 공정, 원자층 적층 공정, 고밀도 플라즈마 화학 기상 증착 공정 등을 수행하여, 상기 개구부들을 매립하도록 상기 층간 절연막(180) 상에 제2 도전막을 형성한다. 화학적 기계적 연마 공정 및/또는 에치 백 공정을 사용하여 상기 층간 절연막 상의 상기 제2 도전막 부분을 제거함으로써, 제1 드레인 영역(248)과 연결된 플러그(260)를 형성한다. 플러그(260)는 제1 드레인 영역(248)의 개수에 대응하여, 복수 개로 형성된다.
- [0108] 이후 비트 라인(270)을 형성하여, 제1 드레인 영역(248)과 연결한다.
- [0109] 구체적으로, 상기 층간 절연막 및 플러그(260) 상에 제3 도전막을 형성한다. 상기 제3 도전막은 금속 및/또는 금속 질화물을 사용하는 화학 기상 증착 공정, 원자층 적층 공정, 고밀도 플라즈마 화학 기상 증착 공정 등을 수행하여 형성할 수 있다. 이후, 포토레지스트 패턴(도시하지 않음)을 사용하는 사진 식각 공정을 통해 상기 제3 도전막을 패터닝하여, 플러그(260)와 연결되는 비트 라인(270)을 형성한다. 본 발명의 일 실시예에 따르면, 비트 라인(270)은 상기 제2 방향으로 연장되도록 형성된다.
- [0110] 한편, 비트 라인(270) 및 상기 층간 절연막 상에 제1 소스 영역(246)과 연결되는 커페시터 구조물(도시하지 않음) 및 각종 배선을 더 형성할 수 있다.

산업이용 가능성

- [0111] 본 발명에 따르면, 반도체 장치의 테스트 구조물에서, 플라즈마를 사용하는 식각 공정에 의해 트랜지스터가 받는 플라즈마 데미지가 더미 트랜지스터로 분산된다. 이에 따라, 상기 반도체 장치의 테스트 구조물은 상기 트랜지스터의 문턱 전압 등의 소자 특성을 보다 정확하게 측정할 수 있다.
- [0112] 또한, 반도체 장치는 스위칭 소자로서 사용되는 트랜지스터뿐만 아니라, 플라즈마를 사용하는 식각 공정에 의해 발생하는 플라즈마 데미지를 분산시키는 더미 트랜지스터를 함께 구비하고 있다. 이에 따라, 상기 트랜지스터를 포함하는 상기 반도체 장치는 높은 신뢰성 및 우수한 전기적 특성을 가질 수 있다.
- [0113] 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

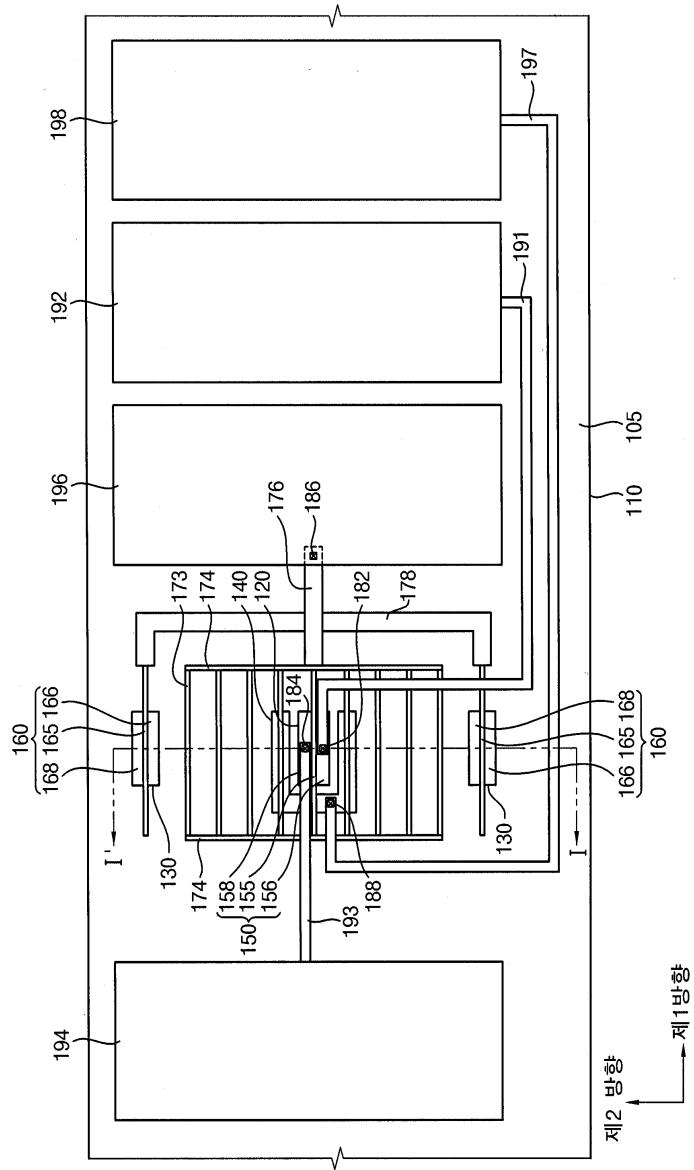
도면의 간단한 설명

- [0114] 도 1은 본 발명의 실시예들에 따른 반도체 장치의 테스트 구조물을 설명하기 위한 평면도이다.
- [0115] 도 2는 도 1에서 I-I' 선을 따라 절단한 단면도이다.
- [0116] 도 3은 본 발명의 다른 실시예들에 따른 반도체 장치의 테스트 구조물을 설명하기 위한 평면도이다.
- [0117] 도 4a 내지 도 4d는 본 발명의 실시예들에 따른 반도체 장치의 테스트 구조물 형성 방법을 설명하기 위한 평면도들이다.
- [0118] 도 5는 본 발명의 실시예들에 따른 반도체 장치를 설명하기 위한 평면도이다.
- [0119] 도 6a 내지 도 6c는 본 발명의 실시예들에 따른 반도체 장치의 제조 방법을 설명하기 위한 평면도들이다.
- [0120] <도면의 주요 부분에 대한 부호의 설명>
- | | | |
|--------|---------------------------------|----------------------|
| [0121] | 100 : 기판 | 105, 205 : 소자 분리막 |
| [0122] | 110 : 스크라이브 레인 영역 | |
| [0123] | 120, 220 : 제1 액티브 영역 | 130, 230 : 제2 액티브 영역 |
| [0124] | 140 : 제3 액티브 영역 | 150, 240 : 트랜지스터 |
| [0125] | 155 : 제1 게이트 라인 | 160, 250 : 더미 트랜지스터 |
| [0126] | 165, 255 : 더미 게이트 라인 | 173 : 제2 게이트 라인 |
| [0127] | 174, 176, 178 : 제1 내지 제3 도전성 라인 | |

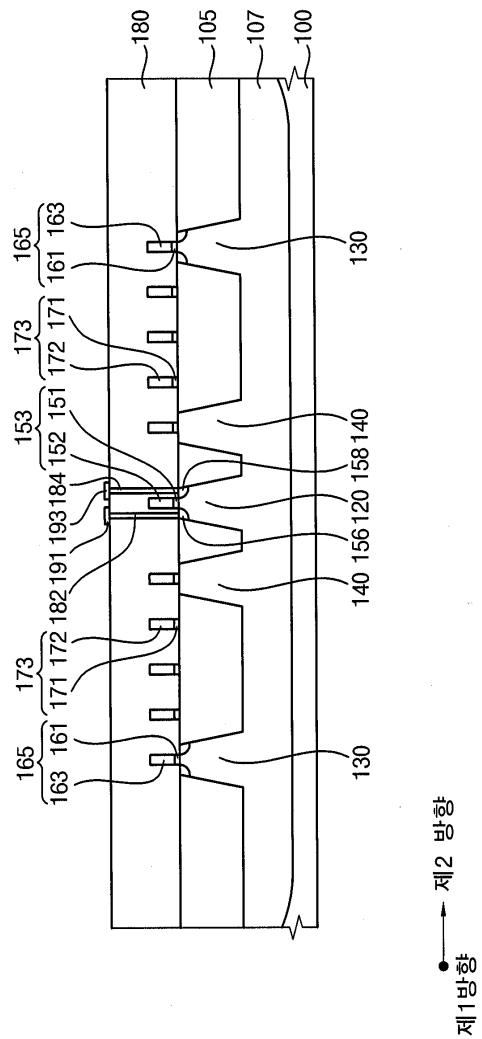
- [0128] 182, 184, 186, 188 : 제1 내지 제4 플러그
 [0129] 192 : 소스 패드 194 : 드레인 패드
 [0130] 196 : 게이트 패드 198 : 벌크 패드
 [0131] 210 : 넷 다이 영역 245 : 게이트 라인
 [0132] 260 : 플러그 270 : 비트 라인
 [0133] 259 : 도전성 라인

도면

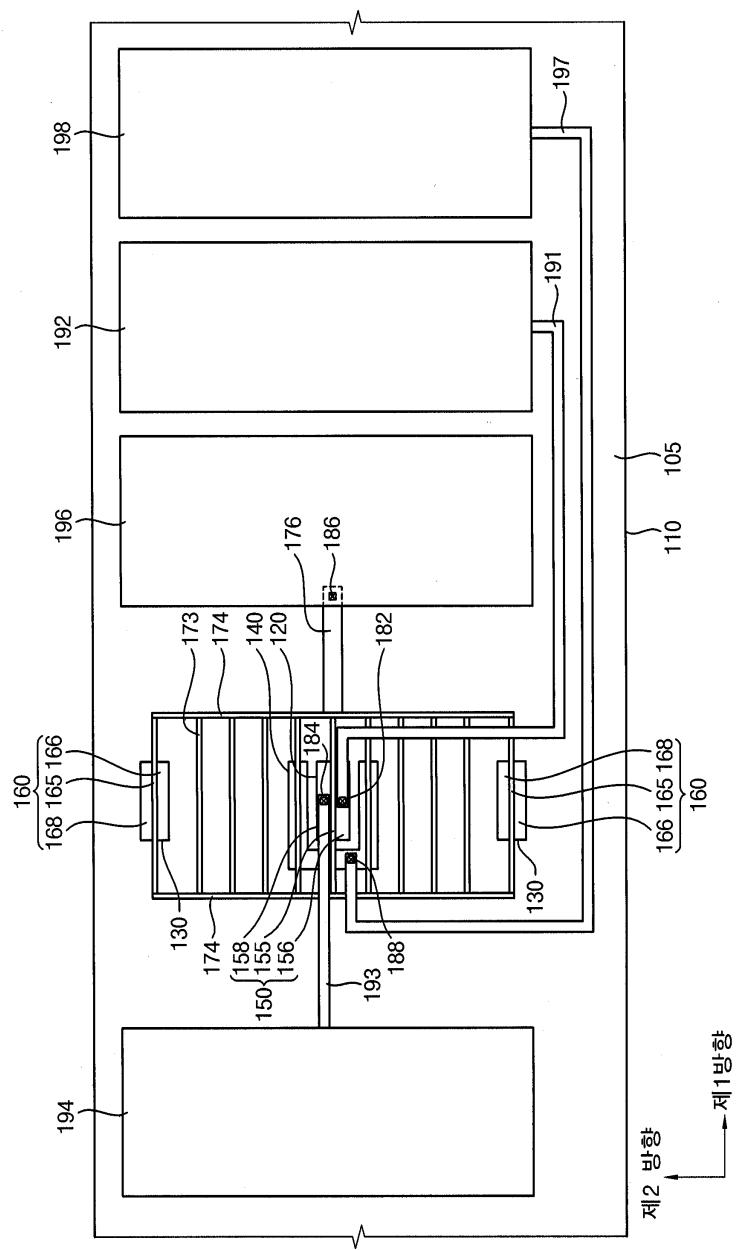
도면1



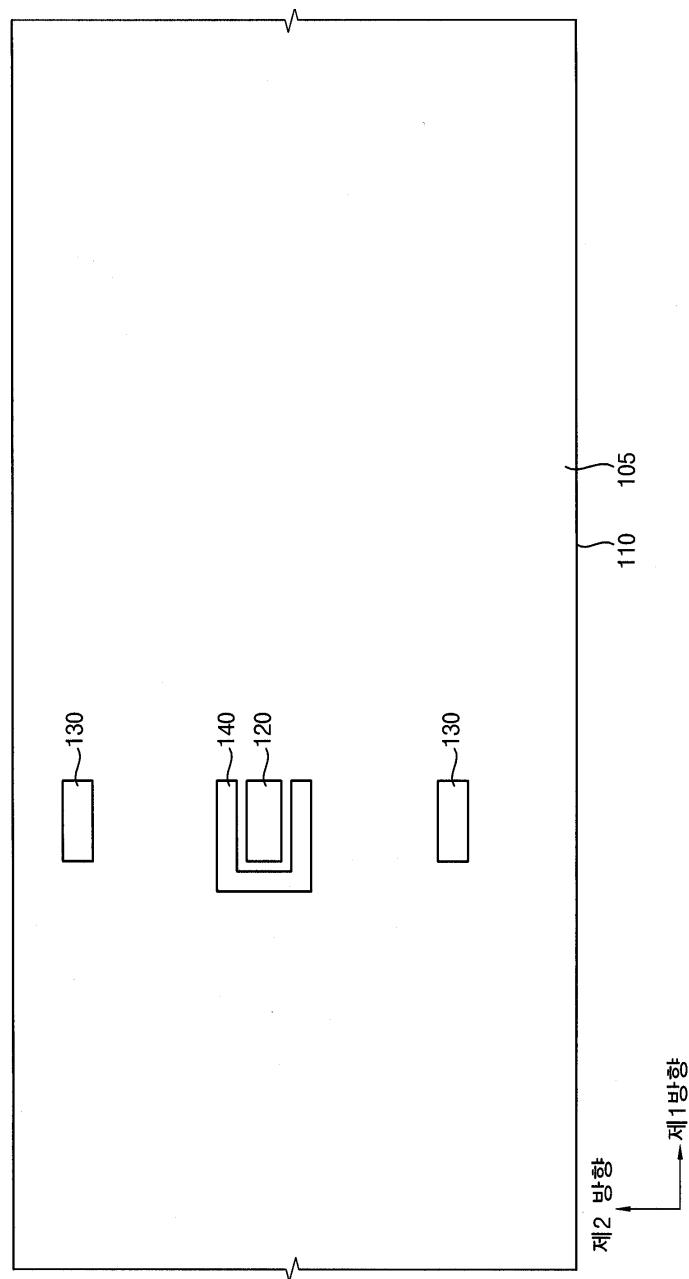
도면2



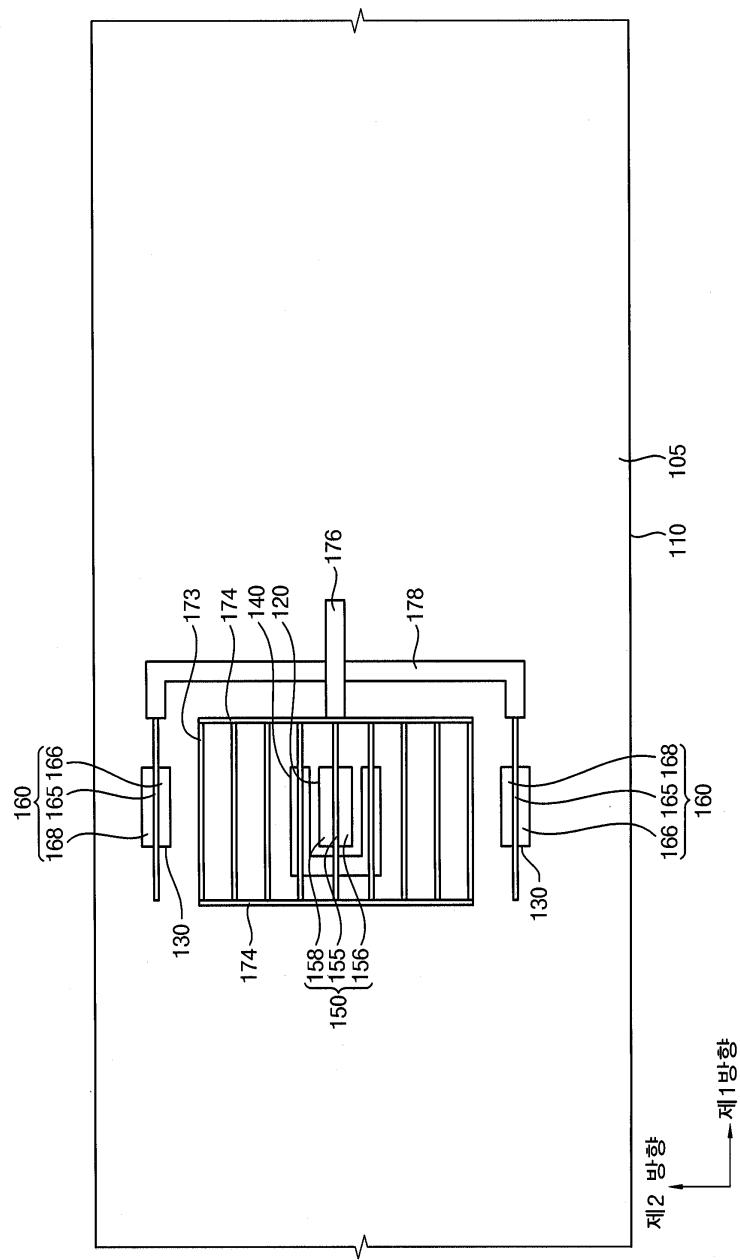
도면3



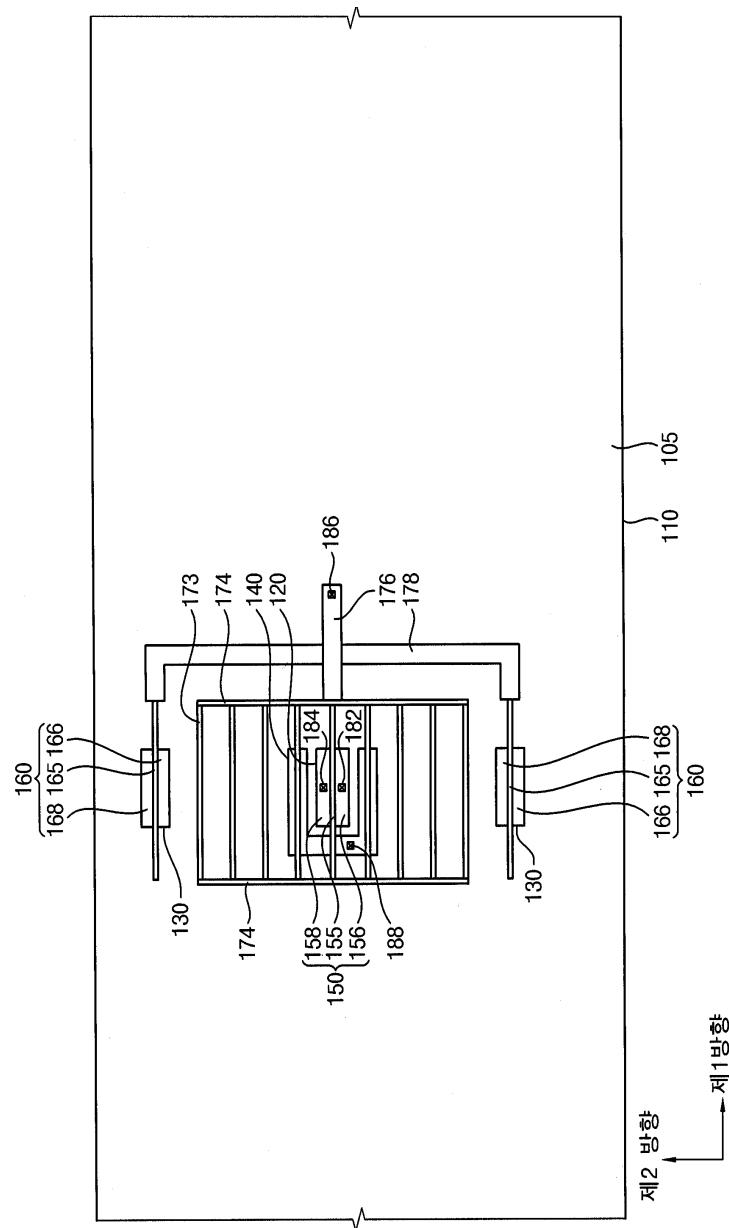
도면4a



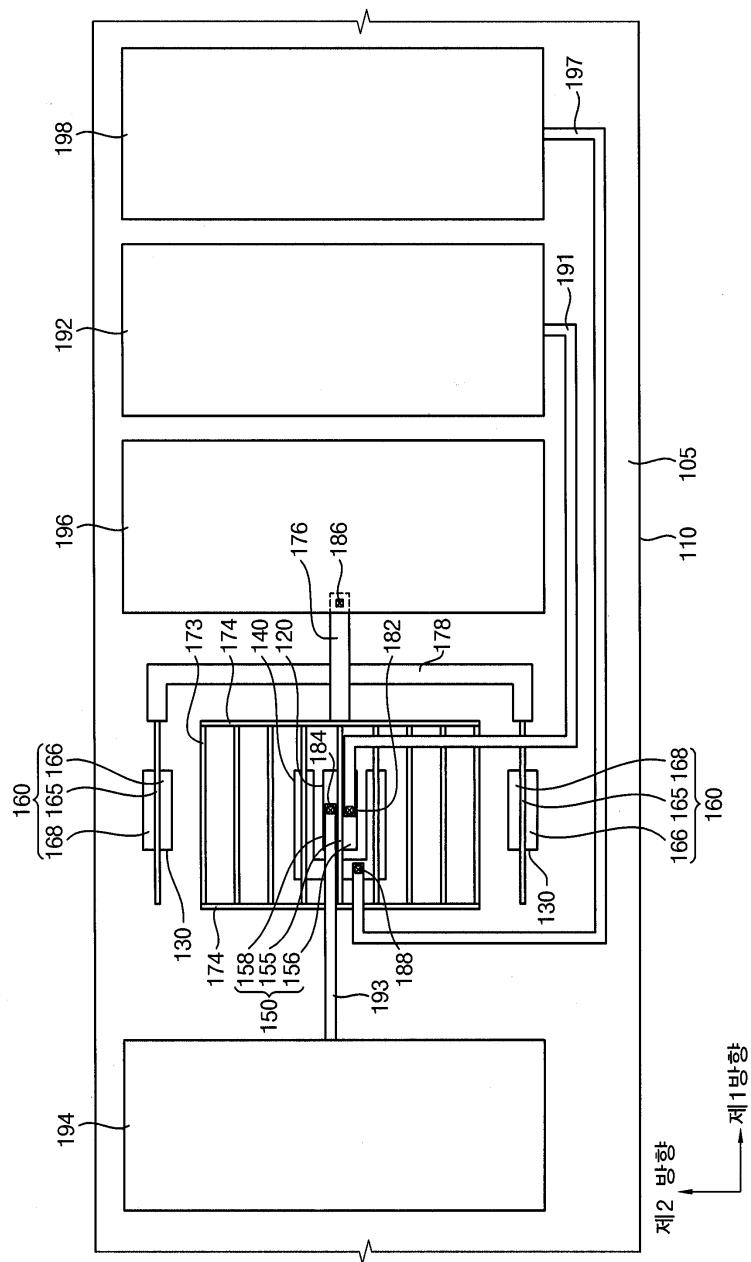
도면4b



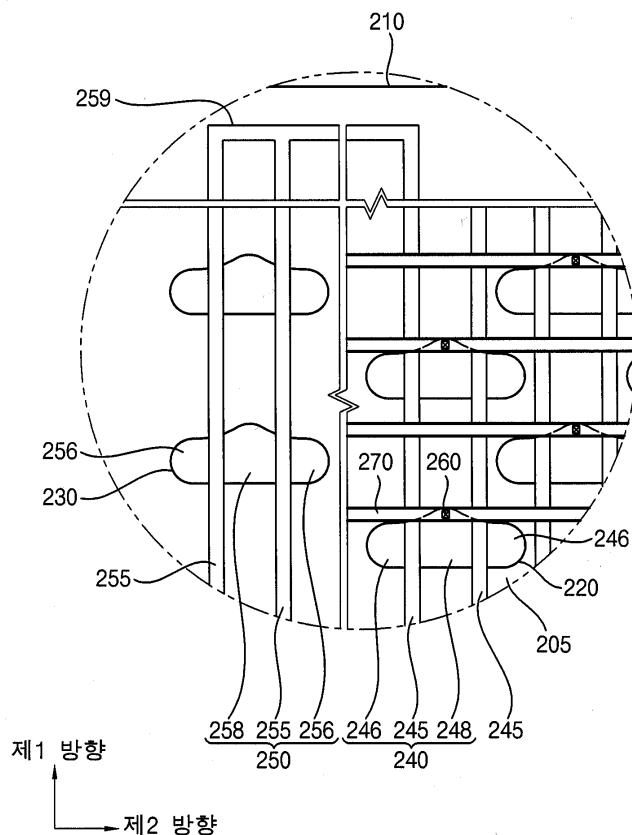
도면4c



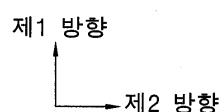
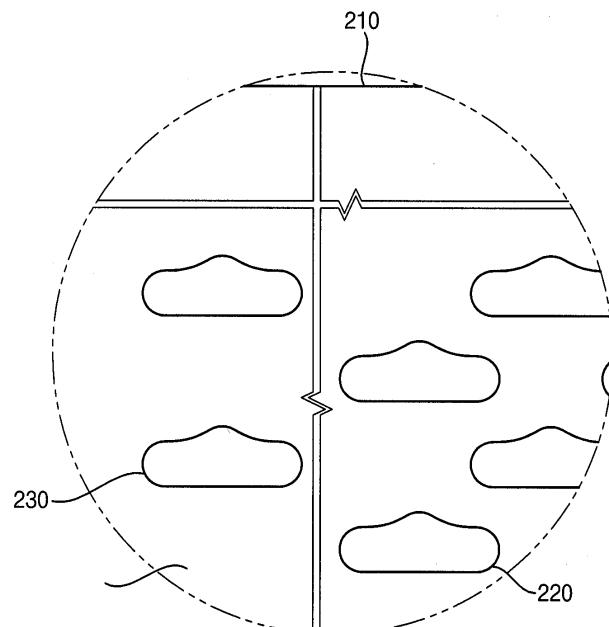
도면4d



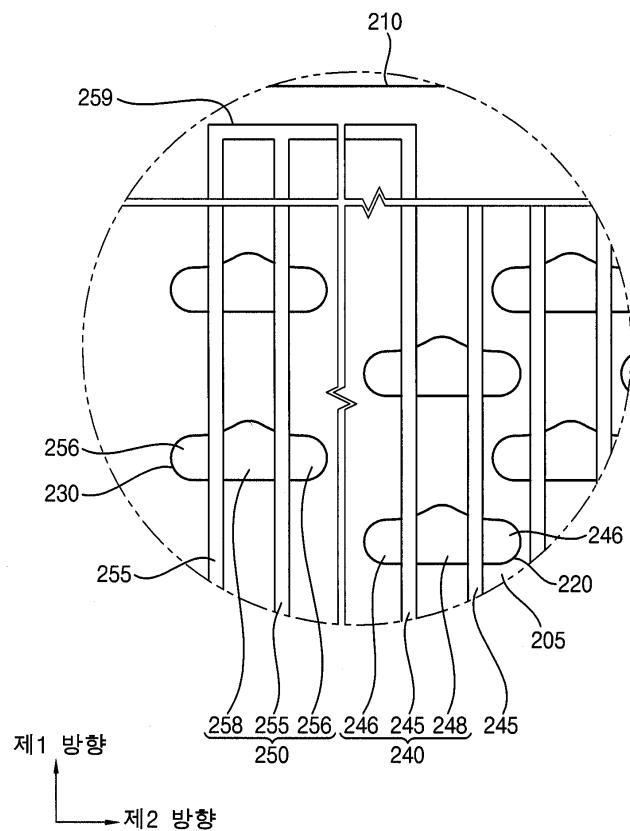
도면5



도면6a



도면6b



도면6c

