



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년04월11일

(11) 등록번호 10-1384590

(24) 등록일자 2014년04월07일

- (51) 국제특허분류(Int. Cl.)
H01L 21/336 (2006.01)
- (21) 출원번호 10-2014-7001310(분할)
- (22) 출원일자(국제) 2010년10월02일
심사청구일자 2014년01월17일
- (85) 번역문제출일자 2014년01월17일
- (65) 공개번호 10-2014-0016433
- (43) 공개일자 2014년02월07일
- (62) 원출원 특허 10-2012-7008779
원출원일자(국제) 2010년10월02일
심사청구일자 2012년04월04일
- (86) 국제출원번호 PCT/JP2010/005926
- (87) 국제공개번호 WO 2011/040047
국제공개일자 2011년04월07일
- (30) 우선권주장
12/573,138 2009년10월04일 미국(US)

(56) 선행기술조사문현

KR100353590 B1

JP2009059850 A

전체 청구항 수 : 총 14 항

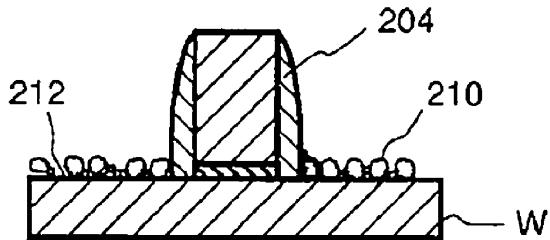
심사관 : 박기용

(54) 발명의 명칭 반도체 디바이스 제조 방법 및 반도체 디바이스 제조 장치

(57) 요약

반도체 디바이스를 제조하는 방법은, 게이트 절연막을 개재하여 기판의 표면에 게이트 전극을 형성하는 게이트 전극 형성 단계; 게이트 전극의 측면에 절연막을 형성하는 절연막 형성 단계; 및 기판의 표면에 산소 플라즈마를 노출하는 플라즈마 노출 단계를 포함한다. 절연막 형성 단계에서, 풀루오르 탄소를 포함하는 증착물이 발생하고, 플라즈마 노출 단계에서 기판의 표면에 산소 플라즈마를 노출함으로써 증착물이 제거된다. 기판의 표면의 근방의 산소 플라즈마의 전자 온도(electron temperature)는 1.5eV 이하이고, 산소 플라즈마는 100mTorr 이상 200mTorr 이하의 압력으로 조사(flash)된다.

대표 도 - 도1c



특허청구의 범위

청구항 1

반도체 디바이스의 제조 방법으로서,

게이트 절연막을 개재하여 기판의 표면에 게이트 전극을 형성하는 게이트 전극 형성 단계;

상기 게이트 전극의 측면에 절연막을 형성하는 절연막 형성 단계; 및

상기 기판의 표면에 산소 플라즈마를 노출하는 플라즈마 노출 단계를 포함하고,

상기 절연막 형성 단계에서, 폴루오르 탄소를 포함하는 증착물이 발생하고,

상기 플라즈마 노출 단계에서 상기 기판의 표면에 상기 산소 플라즈마를 노출함으로써, 상기 증착물을 제거하고,

상기 기판의 표면의 근방의 상기 산소 플라즈마의 전자 온도(electron temperature)가 1.5eV 이하이고,

상기 산소 플라즈마는 100mTorr 이상 200mTorr 이하의 압력으로 조사(flash)되는 반도체 디바이스의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 절연막이 오프셋 스페이서(offset spacer)인 반도체 디바이스의 제조 방법.

청구항 3

제 2 항에 있어서,

측벽 스페이서가 상기 오프셋 스페이서 상에 형성되어 있는 반도체 디바이스의 제조 방법.

청구항 4

제 1 항에 있어서,

상기 절연막이 측벽 스페이서인 반도체 디바이스의 제조 방법.

청구항 5

제 1 항에 있어서,

상기 플라즈마 노출 단계는,

래디얼 라인 슬롯 안테나(Radial Line Slot Antenna)를 사용하여 생성된 표면과 마이크로파 플라즈마를 이용하여 수행되는 반도체 디바이스의 제조 방법.

청구항 6

제 1 항에 있어서,

오프셋 스페이서와 측벽 스페이서 중 하나 이상이 처리 챔버 내에서 형성되고, 상기 산소 플라즈마가 상기 처리 챔버 내에서 조사되는 반도체 디바이스의 제조 방법.

청구항 7

제 1 항에 있어서,

상기 산소 플라즈마는 Si를 포함하는 상기 기판의 표면으로 조사되는 반도체 디바이스의 제조 방법.

청구항 8

제 1 항에 있어서,

상기 기판의 표면으로부터 20mm에 있는 상기 산소 플라즈마의 상기 전자 온도가 1.0eV 내지 1.5eV인 반도체 디바이스의 제조 방법.

청구항 9

제 8 항에 있어서,

상기 기판의 표면으로부터 20mm에 있는 상기 산소 플라즈마의 상기 전자 온도가 1.0eV 내지 1.2eV인 반도체 디바이스의 제조 방법.

청구항 10

제 1 항에 있어서,

상기 산소 플라즈마가 조사되는 동안, 온도가 섭씨 20도 내지 섭씨 30도인 서셉터에 상기 기판이 재치되어 있는 반도체 디바이스의 제조 방법.

청구항 11

제 1 항에 있어서,

플라즈마를 생성하기 위한 마이크로파 전력은 2000W 내지 3000W인 반도체 디바이스의 제조 방법.

청구항 12

반도체 디바이스 제조 장치로서,

게이트 절연막을 개재하여 기판의 표면에 게이트 전극을 형성하는 유닛과,

상기 게이트 전극의 측면에 절연막을 형성하는 유닛과,

상기 기판의 표면에 산소 플라즈마를 노출하여, 상기 절연막을 형성할 때 발생하는 플루오르 탄소를 포함하는 증착물을 제거하는 유닛을 포함하며,

상기 산소 플라즈마는 100mtorr 이상 200mtorr 이하의 압력으로 조사(flash)되고, 상기 기판의 표면의 근방의 상기 산소 플라즈마의 전자 온도(electron temperature)가 1.5eV 이하인 반도체 디바이스 제조 장치.

청구항 13

제 1 항에 있어서,

상기 절연막 형성 단계에서, 상기 게이트 전극의 측면에 상기 절연막이 형성되도록, 탄소 원자 및 플루오르 원

자를 포함하는 가스를 이용하는 플라즈마에 의해 에칭을 행하는 반도체 디바이스의 제조 방법.

청구항 14

제 1 항에 있어서,

상기 기판의 표면을 상기 산소 플라즈마에 노출하여 상기 기판의 표면에 1nm 보다 작은 두께를 가지는 산화부가 형성되는 반도체 디바이스의 제조 방법.

명세서

기술 분야

[0001]

본 발명은 반도체 디바이스 제조 방법 및 반도체 디바이스 제조 장치에 관한 것이다.

배경기술

[0002]

PTL1은 반도체 디바이스 제조 방법을 개시한다. 이 방법에서 금속 배선이 반도체 기판상에 형성된다. 그 후, 플라즈마 TEOS 막이 금속 배선을 덮기 위하여 반도체 기판상에 형성된다. 유기 SOG 막이 플라즈마 TEOS 막 위에 형성된 후, 유기 SOG 막이 다시 에칭된다. 에칭하는 동안에 유기 SOG 막과 플라즈마 TEOS 막 위에 물질 X가 증착된다. 증착된 물질 X를 제거하기 위해서 2.2torr의 산소 플라즈마가 이용된다. 이 간행물의 개시 내용은 전체적으로 본 명세서에 참조로서 포함된다.

선행기술문현

특허문현

[0003]

(특허문현 0001) PTL1: 일본 특허 출원 공개 No. 10-22382

발명의 내용

과제의 해결 수단

[0004]

본 발명의 한 측면에 따르면, 반도체 디바이스를 제조하는 방법은 게이트 절연막을 개재하여 기판의 표면에 게이트 전극을 형성하는 게이트 전극 형성 단계, 게이트 전극의 측면에 절연막을 형성하는 절연막 형성 단계 및 기판의 표면에 산소 플라즈마를 노출하는 플라즈마 노출 단계를 포함한다. 플라즈마 노출 단계에서 기판의 표면에 산소 플라즈마를 노출함으로써, 증착물이 제거된다. 기판의 표면 근방의 산소 플라즈마의 전자 온도(electron temperature)는 대략 1.5eV 이하이고, 산소 플라즈마는 100mTorr 이상 200mTorr 이하의 압력으로 조사(flash)된다. 절연막은 오프셋 스페이서, 측벽 스페이서 또는 오프셋 스페이서 상에 형성된 측벽 스페이서일 수 있다.

[0005]

본 발명의 다른 측면에 따르면, 플라즈마 노출 단계는, 래디얼 라인 슬롯 안테나(Radial Line Slot Antenna)를 사용하여 생성된 표면과 마이크로파 플라즈마를 이용하여 수행된다. 오프셋 스페이서와 측벽 스페이서 중 하나 이상은 처리 챔버 내에서 형성되고, 산소 플라즈마가 처리 챔버 내에서 조사된다. 산소 플라즈마는 Si를 포함하는 기판의 표면으로 조사되고, 기판의 표면으로부터 20mm에 있는 산소 플라즈마의 전자 온도는 1.0eV 내지 1.5eV일 수 있다. 산소 플라즈마가 조사되는 동안, 온도가 섭씨 20도 내지 섭씨 30도인 서셉터에 기판이 재치되어 있으며, 플라즈마를 생성하기 위한 마이크로파 전력은 2000W 내지 3000W일 수 있다.

[0006]

본 발명의 다른 측면에 따르면, 절연막 형성 단계에서, 게이트 전극의 측면에 절연막이 형성되도록, 탄소 원자 및 플루오르 원자를 포함하는 가스를 이용하는 플라즈마에 의해 에칭을 행한다. 기판의 표면을 산소 플라즈마에 노출함으로써 기판의 표면에 1nm 보다 작은 두께를 가지는 산화부가 형성될 수 있다.

[0007]

본 발명의 다른 측면에 따르면, 반도체 디바이스는 소스 영역 및 드레인 영역을 가지는 반도체 기판을 포함한다. 게이트 전극은 게이트 절연막을 개재하여 반도체 기판의 표면에 형성된다. 절연막은 게이트 전극의

측면에 형성된다. 소스 영역 및 드레인 영역 상의 표면의 영역은 실질적으로 산화부를 포함하지 않는다.

[0008] 본 발명의 또 다른 측면에 따르면, 반도체 디바이스를 제조하기 위한 장치는 게이트 절연막을 개재하여 기판의 표면에 게이트 전극을 형성하는 유닛, 게이트 전극의 측면에 절연막을 형성하는 유닛, 기판의 표면에 산소 플라즈마를 노출하여, 절연막을 형성할 때 발생하는 플루오르 탄소를 포함하는 증착물을 제거하는 유닛을 포함한다. 산소 플라즈마는 100mtorr 이상 200mtorr 이하의 압력으로 조사(flash)되고, 기판의 표면 근방의 산소 플라즈마의 전자 온도는 1.5eV 이하이다. 절연막은 오프셋 스페이서, 측벽 스페이서 또는 오프셋 스페이서 상에 형성된 측벽 스페이서일 수 있다.

도면의 간단한 설명

[0009] 첨부한 된 도면과 관련하여 고려될 때 후술할 상세한 설명의 참조에 의하여 본 발명이 더 잘 이해되는 것과 마찬가지로, 본 발명의 완전한 이해와 그것의 많은 부수적인 장점은 쉽게 얻어질 것이다.

[도 1a] 도 1a는 본 발명의 실시예에 따른, 반도체 디바이스를 제조하는 방법을 설명하기 위한 도면이다.

[도 1b] 도 1b는 본 발명의 실시예에 따른, 반도체 디바이스를 제조하는 방법을 설명하기 위한 도면이다.

[도 1c] 도 1c는 본 발명의 실시예에 따른, 반도체 디바이스를 제조하는 방법을 설명하기 위한 도면이다.

[도 1d] 도 1d는 본 발명의 실시예에 따른, 반도체 디바이스를 제조하는 방법을 설명하기 위한 도면이다.

[도 1e] 도 1e는 본 발명의 실시예에 따른, 반도체 디바이스를 제조하는 방법을 설명하기 위한 도면이다.

[도 1f] 도 1f는 본 발명의 실시예에 따른, 반도체 디바이스를 제조하는 방법을 설명하기 위한 도면이다.

[도 1g] 도 1g는 본 발명의 실시예에 따른, 반도체 디바이스를 제조하는 방법을 설명하기 위한 도면이다.

[도 2a] 도 2a는 상이한 압력 하의 증착물을 제거율을 설명하기 위한 도면이다.

[도 2b] 도 2b는 상이한 압력 하의 증착물을 제거율을 설명하기 위한 도면이다.

[도 2c] 도 2c는 상이한 압력 하의 산화량을 설명하기 위한 도면이다.

[도 2d] 도 2d는 상이한 압력 하의 산화량을 설명하기 위한 도면이다.

[도 3] 도 3은 본 발명의 실시예에 따른 반도체 디바이스를 제조하기 위한 기구를 보여주는 조직도이다.

[도 4] 도 4는 RLSA 에칭 장치의 단면도이다.

[도 5] 도 5는 도 4에 보여진 RLSA 에칭 장치의 부분 확대도이다.

[도 6] 도 6은 도 4에 보여진 RLSA 에칭 장치의 슬롯 안테나의 배치도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이제, 실시예들이 첨부 도면을 참조하여 기술될 것이고, 다양한 도면에서 유사한 참조 번호는 대응하는 또는 동일한 구성 요소를 지칭한다.

[0011] 도 1a 내지 도 1g을 참조하여, 예컨대 MOSFET과 같은 반도체 디바이스의 제조 방법이 본 발명의 일 실시예에 따라 설명된다. 도 1a를 참조하면, 예를 들면 산화실리콘(SiO_2)과 같은 절연막(202)을 개재하여, 기판(W)의 표면(212) 위에 폴리실리콘으로 만들어진 게이트 전극(203)이 형성된다. 도 1b를 참조하면, 예를 들면 SiH_4 등의 Si 함유 가스와 산소 가스를 공급함으로써 RLSA CVD 기구에서 화학적 기상 증착을 이용하여 표면(212)과 게이트 전극(203)에 SiO_2 (220)가 증착된다. RLSA CVD 장치는 래디얼 라인 슬롯 안테나(Radial Line Slot Antenna)를 포함한다.

[0012] 그리고 나서 실리콘 기판(W)은 RLSA 에칭 장치로 반송된다. RLSA 에칭 장치에서, 증착된 SiO_2 은 게이트 전극(203)의 측면에 오프셋 스페이서(offset spacer)(204)를 형성하기 위해서 에칭된다(도 1c 참조). 이 에칭 프로세스는 두 단계를 가진다. 표 1은 제 1 단계와 제 2 단계에서의 조건을 보여준다. 각 단계가 멈춰야 할 타이밍은 각각 제 1 단계와 제 2 단계가 수행되는 지속 시간에 따라 결정된다. 제 1 에칭 프로세스 후에, 약 1 nm 내지 2 nm 의 두께를 가지는 증착된 물질이 남겨진다. 제 2 에칭 프로세스에서, 에칭될 대부분의 모든 증착

된 물질이 제거된다.

[0013] 제 1 단계와 제 2 단계 동안, 마이크로파의 전력은 약 1,500W에서 약 4,000W가 될 수 있고, 압력은 약 5mTorr에서 200mTorr가 될 수 있고, 서셉터의 바이어스는 약 30W에서 약 200W가 될 수 있고, 실리콘 기판(W)을 위에 보지하고 있는 서셉터의 온도는 약 섭씨 0도에서 약 섭씨 80도가 될 수 있다. 사용되는 가스는 예를 들면 CHF₃, CH₂F₂, O₂, N₂ 및/또는 H₂가 될 수 있다. 에칭에 사용되는 가스는 에칭될 물질에 의해 결정된다. 에칭 프로세스의 지속 시간은 에칭될 물질의 두께에 따라 정해질 수 있다. 예를 들면 5 nm를 에칭하는 데 1분이 걸린다. 그러나 최대 지속 시간은 3분 내여야 한다.

표 1

사용되는 가스	제1단계	제2단계
	CH ₂ F ₂ :1000sccm	CH ₂ F ₂ :360sccm
	O ₂ :5sccm	O ₂ :20sccm
	Ar:2sccm	Ar:2sccm
마이크로파 전력	2000W	2000W
압력	20mT	10mT
바이어스	150W	90W

[0015] 실리콘 기판의 표면에서 실리콘 간의 결합 에너지는 에칭될 SiO₂ 막에서 실리콘과 산소 간의 결합 에너지보다 작다. 따라서 실리콘 기판의 표면이 더 쉽게 에칭된다. 또한, 실리콘 간의 결합 에너지는 에칭될 SiN 막의 실리콘과 질소 간의 결합 에너지보다 작다. 따라서 실리콘 막은 SiN보다 더 쉽게 에칭된다. 노출된 실리콘과 SiO₂을 모두 포함하는 기판이 에칭되게 될 때, 실리콘은 보호되는 반면 SiO₂은 에칭될 것이고, 따라서, 에칭될 막에 대한 높은 선택성이 이 프로세스에서 요구된다. 측벽 스페이서로서의 SiN은 SiN과 실리콘의 높은 에칭 선택성이 요구되는 곳에서 이용될 수 있다.

[0016] 본 일 실시예에서, 상이한 에칭 조건을 가지는 제 1 에칭단계와 제 2 에칭단계가 모두 표 1에 보여진 대로 수행된다. 본 프로세스에서, 주로 증착에 기여하는 가스와 주로 에칭하는 데 기여하는 다른 가스는 실리콘 표면을 보호하기 위해 증착과 에칭의 균형을 맞추면서 사용된다. 따라서 에칭이 수행되는 동안 표면에 증착물(주로 CFx)이 축적된다. 따라서 실리콘 기판의 표면은 실질적으로 에칭으로부터 보호된다. 결과적으로, 실리콘 기판의 표면은 에칭 공정 동안 보호된다.

[0017] 증착물은 적어도 탄소와 플루오르를 포함하는 반응물(주로 CFx)이다. CFx 증착물은 산소를 포함하는 가스를 사용하여 제거된다. 애싱(ashing)은 그러한 증착물을 제거하기 위하여 이용되어 왔다. 애싱 공정에서, 비교적 두꺼운 산화 영역이 형성된다. 그러므로 애싱 공정 동안 실리콘 기판의 표면이 산화되는 것을 방지하는 것이 필수적이다.

[0018] 에칭 공정 동안, 증착물(210)은 표면(212) 위에 증착되고, 이 표면(212) 아래의 기판(W)은 실리콘(Si)으로 만들어진다(도 1c 참조). 증착물(210)을 제거하기 위해서, 에칭 공정 후에 RLSA 에칭 장치에서 기판(W)의 표면(212) 위에 산소 플라즈마가 조사(flash)된다. 산소 조사 동안, 산소 플라즈마는 표 2에 나타난 바와 같은 조건 하에서 조사된다.

표 2

사용되는 가스	산소(350sccm)
전력	2000W
압력	100m Torr 이상
바이어스	없음
서셉터 온도	약 섭씨 20도에서 약 섭씨 30도
시간	5초

[0020] 실리콘 기판(W)이 놓여지는 서셉터의 온도는 약 섭씨 20도에서 약 섭씨 30도이다. 산소 조사 동안, 전력은 약 2,000W에서 약 3,000W 사이일 수 있고 압력은 약 100mTorr 이상 일 수 있다. 실리콘 기판(W)의 표면(212) 부근

의 산소 플라즈마의 전자온도(electron temperature)는, 예를 들면, 실리콘 기판(W)의 표면(212)으로부터 20mm에 있는 산소 플라즈마의 전자온도는 약 1eV에서 약 1.5eV인 것이 바람직하다.(플라즈마 포텐셜은 약 5eV에서 7eV이다). 보다 바람직하게는 실리콘 기판(W)의 표면(212)으로부터 20mm에 있는 산소 플라즈마의 전자온도는 약 1eV에서 약 1.2eV이다. 일반적으로, 플라즈마 포텐셜은 플라즈마의 전자온도의 약 3 배 내지 5 배이다. 그래서 플라즈마의 전자온도가 1.0eV에서 1.5eV인 경우, 그 플라즈마 포텐셜은 약 3eV에서 7.5eV이다. 플라즈마의 전자온도가 1.0eV에서 약 1.2eV인 경우, 그 플라즈마 포텐셜은 약 3eV에서 6eV이다. 예를 들면, 플라즈마 포텐셜은 실리콘 기판의 표면(212)으로부터 약 10mm 위의 측정 위치에서 측정된다. 예를 들면, 측정 위치는 챔버(chamber) 벽면이다. 플라즈마 포텐셜은 서셉터에 인가되는 바이어스 포텐셜에 따라 변화한다는 점에 주목해야 한다. 그러나, 산소 조사를 사용하는 본 발명의 일 실시예에 따르면, 바이어스는 서셉터에 인가되지 않는다. 따라서, 바이어스에 의해 야기되는 변화는 고려되지 않을 수 있다. 만약 실리콘 기판(W)의 표면(212) 부근의 산소 플라즈마의 전자 온도가 높다면, 실리콘 기판(W)의 표면(212)은 산소 조사 동안에 더 산화되고 손상된다. 따라서, 소스 영역(source region)과 드레인 영역(drain region) 상의 표면(212)의 영역은 산화부(의도되지 않은 오목부)를 포함하게 된다. 이러한 산화부 때문에, 반도체 디바이스가 설계된 대로 제조될 수 없다.

[0021] 도 2a 및 2b는 상이한 압력에서의 증착물 제거율을 보여준다. 증착물 제거율을 측정하기 위해서, KrF 레지스트(증착물)에 3,000W의 전력을 가지는 마이크로파를 인가하여 10초 동안 애칭(산소 조사)이 수행된다. 이 실험에서 KrF 레지스트가 증착물이라고 가정된다. 도 2c 및 2d는 상이한 압력에서의 산화량을 보여준다. 산화량을 측정하기 위해서, 무처리(bare) 실리콘 기판에 3,000W의 전력을 가지는 마이크로파를 인가하여 10초 동안 애칭(산소 조사)이 수행된다. 그 산화량은 실리콘 기판에서의 산화의 양이다. 도 2a 내지 2d에서, 가로 좌표의 단위는 미리미터(mm)이고 세로 좌표의 단위는 앵글스토롬(angstrom)이다.

[0022] 도 2a의 왼쪽 도면과 도 2c의 왼쪽 도면에 따르면, 20mT 하에서 증착제거율이 높게 유지되는 동안에 산화량도 높게 유지된다. 산화량을 감소시키기 위해서, 산소 조사가 20mT보다 더 높은 압력 하에서 수행될 수 있다.

[0023] 도 2c의 왼쪽 도면에 따르면, 20mT 하에서, 산화량은 2.1nm/10sec+3.9%이다(10sec에 2.1nm 두께). 본 발명의 일 실시예에서, 산소 조사는 5초 동안 수행된다. 따라서, 본 실시예에서, 산화량은 1.05nm여야 한다.

[0024] 도 2a의 오른쪽 도면과 도 2c의 오른쪽 도면에 따르면, 60mT 하에서, 증착제거율이 높게 유지되는 동안에 산화량도 여전히 높게 유지된다. 산화량을 감소시키기 위해서, 산소 조사는 60mT보다 더 높은 압력 하에서 수행될 수 있다.

[0025] 도 2c의 오른쪽 도면에 따르면, 60mT 하에서, 산화량이 1.6nm/10sec+5.8%이다(10sec에 1.6nm 두께). 본 발명의 일 실시예에서, 산소 조사는 5초 동안 수행된다. 따라서, 본 실시예에서, 산화량은 0.8nm여야 한다.

[0026] 도 2b의 왼쪽 도면과 도 2d의 왼쪽 도면에 따르면, 100mT 하에서, 증착제거율이 높게 유지되는 동안에 산화량은 낮게 유지된다. 산화량을 감소시키기 위해서, 산소 조사는 여전히 높은 압력 하에서 수행될 수 있다.

[0027] 도 2d의 왼쪽 도면에 따르면, 100mT하에서, 산화량은 1.2nm/10sec+8.0%이다(10sec에 1.2nm 두께). 본 발명의 일 실시예에서, 산소 조사는 5초 동안 수행된다. 따라서, 본 실시예에서, 산화량은 0.6nm여야 한다.

[0028] 도 2b의 오른쪽 도면과 도 2d의 오른쪽 도면에 따르면, 200mT 하에서, 증착제거율이 높게 유지되는 동안에 산화량은 낮게 유지된다. 따라서, 100mT 인 경우, 산화량이 낮기 때문에, 산소 조사는 200mT 하에서 수행될 수 있다.

[0029] 도 2d의 오른쪽 도면에 따르면, 200mT 하에서, 산화량은 0.9nm/10sec+3.7%이다(10sec에 0.9nm 두께). 본 발명의 일 실시예에서, 산소 조사는 5초 동안 수행된다. 따라서, 본 실시예에서 산화량은 0.45nm여야 한다.

[0030] 사실, 실리콘 기판이 교체될 때 실리콘 기판이 산소에 노출되기 때문에 자연적으로 산화된 막이 의도치 않게 실리콘 기판 위에 형성된다. 자연적으로 산화되는 막의 두께는 약 1nm이다.

[0031] 산소 조사가 두 배로 수행된다고 해서, 단순히 산화되는 막의 두께가 두 배가 되는 것이 아님을 유념해야한다. 두께가 증가하는 대신에, SiO₂의 농도가 증가할 수 있다.

[0032] 본 실시예에서, 예를 들면 실리콘 기판(W)의 표면(212)으로부터 20mm에서 산소 플라즈마의 전자 온도는, 실리콘 기판(W) 위의 소스 영역과 드레인 영역 상의 표면(212)의 영역에서 깊은 산화부를 형성하지 않을 만큼 충분히 낮다. 본 실시예에 따르면, 산소 조사 동안에 소스 영역과 드레인 영역 상의 표면(212)의 영역에서 실질적으로

산화부는 형성되지 않는다(도 1d 참조). 본 실시예에 따르면, 산소 조사 동안 소스 영역과 드레인 영역 상의 표면(212)의 영역에 산화부가 형성된다고 하여도, 바람직하게는, 그 산화부의 두께는 약 1nm 이하일 수 있다.

[0033] 본 실시예에서, 에칭 공정이 수행되는 RLSA 에칭 장치에서 산소 조사가 수행된다. 따라서, 실리콘 기판(W)이 에칭을 위한 하나의 처리 챔버로부터 산소 조사를 위한 다른 처리 챔버로 반송될 때, 실리콘 기판(W)이 대기에 노출되지 않고 다른 처리 챔버 이전에 에칭 증착물이 제거될 수 있기 때문에, 실리콘 기판(W) 위에 형성된 막의 열화는 실질적으로 방지될 수 있다.

[0034] 인(phosphorus) 이온은 익스텐션(extention)(208)을 형성하기 위해서 실리콘 기판(W)으로 주입된다(도 1e 참조). 그 후, 측벽 스페이서(216)를 형성하기 위해서, 산소 막이나 질소 막, 예를 들면, SiN 막(214)이 오프셋 스페이서(204)와 함께 게이트 전극(203) 및 표면(212)을 덮기 위해서 실리콘 기판(W)의 표면 위에 형성된다(도 1f 참조). SiN이 RLSA CVD 장치에서 화학적 기상 증착을 이용하여 실리콘 기판(W)의 표면에 증착된다. SiN 막(214)의 두께는 그 익스텐션의 길이에 의해 결정된다. 그 후, RLSA 에칭 장치에서, 증착된 SiN은 게이트 전극(203) 측의 측벽 스페이서(216)를 형성하기 위해서 에칭된다(도 1g 참조).

[0035] 에칭 공정 동안, 실리콘으로 만들어진 기판(W)의 표면(212) 위에 증착물(210)이 증착된다. 증착물(210)을 제거하기 위해서, 에칭 공정 후에 RLSA 에칭 장치에서 기판(W)의 표면(212)에 산소 플라즈마가 조사된다. 산소 조사 동안, 산소 플라즈마는 표 2에 나타난 조건 하에서 조사된다.

[0036] 실리콘 기판(W)이 재치된 서셉터의 온도는 약 섭씨 20도에서 약 섭씨 30도이다. 산소 조사 동안, 전력은 약 2,000W에서 약 3,000W일 수 있고, 압력은 100mtorr 이상일 수 있다. 실리콘 기판(W)의 표면(212) 부근의 산소 플라즈마의 전자 온도는, 예를 들면, 실리콘 기판(W) 위의 표면(212)으로부터 20mm의 산소 플라즈마의 전자 온도는 약 1eV에서 약 1.5eV인 것이 바람직하다. 더욱 바람직하게는, 실리콘 기판(W)의 표면(212)으로부터 20mm에서 산소 플라즈마의 전자 온도는 약 1eV에서 약 1.2eV이다. 만약 실리콘 기판(W)의 표면(212)의 부근의 산소 플라즈마 전자 온도가 높으면, 실리콘 기판(W)의 표면(212)이 산소 조사하는 동안에 쉽게 산화된다. 따라서, 소스 영역과 드레인 영역 상의 표면(212)의 영역은 산화부(의도되지 않은 오목부)를 포함하게 된다. 이런 산화부 때문에, 반도체 디바이스가 설계된 대로 제조될 수 없다.

[0037] 본 실시예에서, 예를 들면, 실리콘 기판(W)의 표면(212)으로부터 20mm에서의 산소 플라즈마의 전자 온도는 소스 영역과 드레인 영역 상의 표면(212)의 영역에서 깊은 산화부가 형성되지 않을 만큼 충분히 낮다. 본 실시예에 따르면, 산소 조사 동안, 소스 영역과 드레인 영역 상의 표면(212)의 영역에서 실질적으로 산화부가 형성되지 않는다(도 1g 참조). 본 일 실시예에 따르면, 산소 조사 동안 소스 영역과 드레인 영역 상의 표면(212)의 영역에 산화부가 형성되어도, 바람직하게는, 그 산화부의 두께는 약 1nm 이하일 수 있다.

[0038] 그 후, 소스/드레인 영역을 형성하기 위해서 실리콘 기판(W)에 비소(arsenic) 이온이 주입된다(도 1g 참조). 측벽 스페이서(216)의 두께로 인하여, 높은 농도를 가진 소스/드레인 영역(218)이 익스텐션(208) 외측에 형성된다.

[0039] 상기 설명한 방법에 따르면, 예를 들어, 도 1g에 나타나는 MOSFET이 제조된다. 이 반도체 디바이스는 소스 영역과 드레인 영역(218)을 가진다. 소스 영역과 드레인 영역(218) 상의 표면(212)의 영역에서 산화부의 두께는 실질적으로 1nm 이하일 수 있다.

[0040] 본 일 실시예에서, 오프셋 스페이서(204)와 측벽 스페이서(216)가 모두 형성되고 산소 조사 공정은 두 번 수행된다. 그러나 오프셋 스페이서(204)를 형성하지 않고 측벽 스페이서(216)만 형성될 수도 있다. 이러한 경우에, 산소 조사 공정은 한 번만 수행된다.

[0041] 예를 들어, 산소 조사는 플라즈마 처리 장치를 이용하여 수행된다. 실리콘 기판(W)의 부근에서, 약 1.5eV 이하의 낮은 전자 온도를 가지는 산소 플라즈마를 생성하는 것이 가능한 임의의 플라즈마 처리 장치가 산소 조사를 수행하는 데 사용될 수 있다. 예로서, 이하에서는 RLSA 에칭 장치를 설명한다.

[0042] 도 3은 반도체 디바이스를 제조하기 위한 시스템(300)을 도시하고 있다. 시스템(300)은 처리 장치(301, 302, 303, 304), 반송 챔버(305), 로드락모듈(load rock module)(306 및 307), 로더 챔버(308), 셔터(shutter)(309, 310, 311), 제 1 반송 기구(312), 오리엔테이션 유닛(orientation unit)(313), 및 제 2 반송 기구(314)를 포함한다. 이러한 종류의 시스템은 일반적으로 반송 챔버(305) 주위에 여러 처리 장치(301, 302, 303, 304)를 포함하는 클러스터 툴(cluster tool)이라고 불린다. 각 처리 장치는 에칭이나 성막 그리고 다른 처리들과 같이, 요구되는 공정에 따라 선택될 수 있다. 기판(W)은 로더 챔버(308)에 있는 제 2 반송 기구(314)에 의해 카세트(C)로부터 처리 장치(301, 302, 303, 304)로 반송된다. 그 후, 기판(W)은 기설정된 공정이 진공상태에서 수행

되는 반송 챔버(305) 안에 있는 제 1 반송 기구(312)에 의해서 처리 챔버로 반송된다. 기판(W)을 처리하는 동안에 처리 장치(301, 302, 303, 304) 및 반송 챔버(305)의 내부 공간은 각각의 배기 펌프(미도시)에 의해서 배기되고 기설정된 진공 상태로 유지된다. 공정이 완료된 후, 기판은 카세트(C)로 되돌려진다. 이 처리 장치의 상세는 후술될 것이다.

[0043] 도 4는 RLSA 에칭 장치(180)의 개략적인 단면도를 보여준다. 도 4를 참조하면, 평면 표면과 플라즈마 타입 플라즈마 처리 장치로 구성된 마이크로파 플라즈마 에칭 장치(180)는 알루미늄이나 스테인레스 스틸과 같은 금속으로 만들어진 실린더 형상의 챔버(처리 챔버)(10)를 가지고 있다. 챔버(10)는 안전 문제상 지면에 접지된다.

[0044] 우선, 마이크로파 플라즈마 에칭 장치(180)의 챔버(10)에서 마이크로파 플라즈마를 생성시키는 데에 직접적으로 기여하지 않는 구성 요소나 부재를 설명한다.

[0045] 챔버(10)의 하단부 중앙에, 반도체 기판(W)(이하, 기판(W)이라 칭함)이 재치되는 서셉터(12)가 있다. 서셉터(12)는 챔버(10)의 바닥으로부터 상방향으로 연장된 원통형의 지지부(14)에 의해서 수평상태로 고정되어 있다. 원통형의 지지부(14)는 절연 물질로 만들어진다. 또한, 서셉터(12)는 원형의 플레이트 형상이고, 예를 들면 고주파(radio frequency wave)가 인가되는 하부전극으로서 또한 기능을 하기 위해 알루미늄으로 만들어진다.

[0046] 챔버(10)의 바닥에서부터 위쪽으로 원통형의 지지부(14)의 외주면을 따라 연장하는 또 다른 원통형의 지지부(16)와 챔버(10)의 안쪽 벽 사이에 링 형상의 배기로(18)가 형성된다. 원통형의 지지부(16)는 전기적으로 전도성이 있다. 링 형상의 배플판(baffle plate)(20)이 배기로(18)의 상부(주입구)에 배치되어 있고 배기 포트(22)가 배기로(18) 아래에 설치된다. 챔버(10)의 서셉터(12) 위의 기판(W)에 관하여 대칭으로 분배되는 균일한 가스 흐름 패턴을 얻기 위해서 복수의 배기 포트(22)가 원주 방향을 따라 동일한 각도 간격으로 제공된다. 각 배기 포트(22)는 배기판(24)을 개재하여 배기 장치(26)와 연결된다. 배기 장치(26)는 원하는 감소 압력까지 챔버(10)를 배기할 수 있는 터보 분자 펌프(turbo molecular pump, TMP)와 같은 진공 펌프를 가질 수 있다. 게이트 밸브(28)는 챔버(10)의 외벽에 설치된다. 게이트 밸브(28)는, 기판(W)이 챔버(10)의 안팎으로 반송되기 위한 반송 개구를 열고 닫는다.

[0047] 서셉터(12)는, 고주파(RF) 바이어스 전압을 매칭 유닛(matching unit)(32) 및 전력 공급로드(34)를 개재하여 서셉터(12)에 인가하는 고주파 전원(30)에 전기적으로 연결된다. 기설정된 전력 레벨에서, 전원(30)은, 예를 들면, 13.56MHz의 비교적 낮은 주파수를 가지는 고주파 전력을 출력한다. 이러한 낮은 주파수는 서셉터(12) 위의 기판(W)에 인입된 이온의 에너지를 조절하기에 적합하다. 매칭 유닛(32)은 전극(서셉터), 챔버(10)에서 발생된 플라즈마, 그리고 챔버(10)를 포함하는 부하의 임피던스와 전원(30)의 출력 임피던스를 매칭하기 위한 매칭 요소를 포함한다. 매칭 요소는 셀프 바이어스를 생성하기 위한 블로킹 컨덴서(blocking condenser)를 가진다.

[0048] 정전 척(36)은 서셉터(12)의 상면에 설치된다. 정전 척(36)은 서셉터(12) 위에서 정전력(electrostatic force)으로 기판(W)을 보지한다. 정전 척(36)은 전도성 막으로 형성된 전극(36a)과 전극(36a)을 개재한 한 쌍의 절연막(36b, 36c)을 가진다. DC 전원(40)은 스위치(42)를 개재하여 전극(36a)에 전기적으로 연결되어 있다. DC 전원(40)으로부터 정전 척(36)에 인가된 DC 전압은, 정전 척(36) 위의 기판(W)을 보지하는 콜롱력(coulomb force)을 생성한다. 정전 척(36) 외측의 포커스 링(focus ring, 38)은 기판(W)을 둘러싸도록 제공된다.

[0049] 냉매 챔버(44)는 서셉터(12) 내에 형성된다. 그 냉매 챔버(44)는 원주 방향을 따라 연장하는 링 형상을 가진다. 기설정된 온도의 냉매나 냉각수는 냉매 챔버(44)와 도관(46, 48)을 통해 순환하기 위해서, 칠리 유닛(chiller unit)(미도시)으로부터 도관(46, 48)을 통하여 냉매 챔버(44)로 공급된다. 온도 조절된 냉매 등으로 인해, 정전 척(36) 위의 기판(W)의 온도가 조절될 수 있다. 게다가, 헬륨 가스와 같은 열전 가스가 열전 가스 공급부(미도시)로부터 가스 공급관(50)을 통하여 기판(W)과 정전 척(36)사이에 공급된다. 또한, 챔버(10)는 기판(W)이 챔버(10)로 반입되거나 챔버(10)로부터 반출되는 때에 서셉터(12)를 수직으로 관통하여 기판(W)을 승강시키는 승강 가능한 리프트 펀(미도시)을 포함한다. 리프트 펀은 승강 기구(미도시)에 의해 동작될 수 있다.

[0050] 다음으로, 마이크로파 플라즈마 에칭 장치(180) 중 챔버(10) 내에서 마이크로파 플라즈마 생성에 기여하는 요소나 부재를 설명한다. 마이크로파를 챔버(10) 안으로 도입하기 위해 평면 안테나(55)가 서셉터(12) 위에 설치된다.

[0051] 평면 안테나(55)는 유전체창으로서의 원형의 석영판(52)과 래디얼 라인 슬롯 안테나(RLSA)(54)를 포함한다. 상세하게는, 석영판(52)은 챔버(10)에 기밀하게 설치되고, 서셉터(12)에 대향하는 챔버(11)의 천장면으로서의 역할을 한다. RLSA(54)는 석영판(52)의 상면에 배치되고 동심원을 따라서 배치된 복수의 슬롯을 갖고 있다. RLSA(54)는, 예컨대 석영과 같은 유전물질로 형성된 지파판(56)을 거쳐 마이크로파 전송 라인(58)에 전자기적으로

로 연결되어 있다.

[0052] 마이크로파 전송 라인(58)은 도파관(waveguide pipe)(62), 도파관/동축관(coaxial pipe) 컨버터(64) 및 동축관(66)을 가지고, 마이크로파 생성기(60)로부터 RLSA(54)로 마이크로파 출력을 전송한다. 도파관(62)은, 예를 들면, 방향으로 형성되고 도파관-동축관 컨버터(64)를 통해서 마이크로파 생성기(60)로부터 TE 모드로 마이크로파를 전송한다.

[0053] 도파관/동축관 컨버터(64)는 동축관(66)과 함께 도파관(62)과 결합하고, 도파관(62)의 TE 모드 마이크로파를 동축관(66)의 TEM 모드 마이크로파로 변환한다. 고 전압 전송 레벨에서 존재할 수 있는 집중된 전자기장을 피하기 위해서, 도파관(62)과 연결된 상부에서 더 큰 직경을 가지고, 동축관(66)의 내부 컨덕터(68)에 연결되어 있는 하부에서 더 작은 직경을 가지는 것이 바람직하다. 즉, 컨버터(64)는 도 4와 도 5에서 나타낸 바와 같이 역(반전된) 원뿔형(또는 문손잡이형)으로 형성되는 것이 바람직하다. 컨버터(64)는 이하에서 설명을 간단하게 하기 위해 역 원뿔부(68a)로 지칭될 수 있다.

[0054] 동축관(66)은 컨버터(64)로부터 챔버(10)의 중심 상부까지 연직 하방으로 뻗어있고, RLSA(54)와 결합되어 있다. 상세하게는, 동축관(66)은 외부 컨덕터(70)와 내부 컨덕터(68)를 가진다. 외부 컨덕터(70)의 상단은 도파관(62)과 연결되어 있고, 지파판(56)에 닿도록 하방으로 연장되어 있다. 내부 컨덕터(68)는 상단에는 컨버터(64)와 연결되어 있고, RLSA(54)에 닿도록 하방으로 연장되어 있다. 마이크로파는 TEM 모드에서 내부 컨덕터(68)와 외부 컨덕터(70) 사이로 전파한다.

[0055] 마이크로파 생성기(60)로부터의 마이크로파 출력은 도파관(62), 컨버터(64) 및 동축관(66)을 포함하는 마이크로파 전송 라인(58)을 통하여 전송되고, 지파판(56)을 통하여 RLSA(54)에 공급된다. 그 후, 마이크로파는 지파판(56)에서 방사상의 방향으로 퍼지고 RLSA(54)의 슬롯을 통해서 챔버(10) 측으로 방출된다. 슬롯을 통해서 방출된 마이크로파는 석영판(52)의 하부면을 따라서 전파하고 석영판(52)의 하부면 근방의 가스를 이온화하여, 챔버(10) 안에서 플라즈마를 생성한다.

[0056] 안테나 후면판(72)은 지파판(56)의 상면에 설치된다. 예를 들어, 안테나 후면판(72)은 알루미늄으로 만들어진다. 안테나 후면판(72)은 기설정된 온도의 냉매 또는 냉각수가 도관(74)과 파이프(76, 78)를 통하여 순환되도록 하기 위해서 칠러 유닛(chiller unit)(미도시)이 연결되어 있는 유체 도관(74)을 포함한다. 즉, 안테나 후면판(72)은 석영판(52)에서 발생된 열을 흡수하여 밖으로 열을 내보내는 냉각 쟈켓(jacket)으로서의 역할을 한다.

[0057] 도 4에 나타난 바와 같이, 가스관(80)은 일 실시예에서 동축관(66)의 내부 컨덕터(68)를 관통하도록 설치된다. 또한, 제 1 가스 공급관(84)(도 4)의 일단은 가스관(80)의 상부 개구에 연결되어 있고 타단은 프로세스 가스 공급원(82)에 연결되어 있다. 또한, 가스 방출 개구(86)는 석영판(52)의 중심 부분에 형성되고 챔버(10) 측을 향해 열려있다. 상기 구성을 가지는 제 1 프로세스 가스 도입부(88)에서, 프로세스 가스 공급원(82)로부터의 프로세스 가스는 제 1 가스 공급관(84)과 동축관(66) 안에 있는 가스관(80)을 통해서 흐르고, 가스 방출 개구(86)로부터 가스 방출 개구(86) 아래에 위치된 서셉터(12) 쪽으로 방출된다. 프로세스 가스는 부분적으로 배기 장치(26)에 의해서 서셉터(12) 주위의 배기로(18) 쪽으로 끌어당겨지기 때문에, 방출된 프로세스 가스는 챔버(10) 안에서 방사상의 방향으로 바깥으로 확산된다. 한편, 제 1 가스 공급관(84)의 도중에 매스 플로우 콘트롤러(MFC)(90) 및 온오프밸브(92)가 설치된다.

[0058] 본 실시예에서 제 2 프로세스 가스 도입부(94)는 제 1 프로세스 가스 도입부(88)에 추가적으로 프로세스 가스를 챔버(10)로 도입하기 위해서 제공된다. 제 2 프로세스 가스 도입부(94)는 베틀 챔버(96), 복수의 측면 방출 홀(98), 및 가스 공급관(100)을 포함한다. 베틀 챔버(96)는 챔버(10)의 측벽부 안쪽으로, 측벽부의 원주방향을 따라 연장되어 있는 중공의 링(hollow ring) 형상이고 석영판(52)보다 약간 아래에 위치된다. 복수의 측면 방출 홀(98)은 챔버(10) 안의 플라즈마 영역을 향해 열려있고, 챔버(10)의 안쪽 벽을 따라 동일한 간격의 각도로, 베틀 챔버(96)와 함께 가스의 전달수단으로서 배열되어 있다. 가스 공급관(100)은 베틀 챔버(96)를 프로세스 가스 공급원(82)에 연결한다. 가스 공급관(100)의 도중에 MFC(102) 및 온오프밸브(104)가 설치된다.

[0059] 제 2 프로세스 가스 도입부(94)에서, 제 2 프로세스 가스 공급관(100)을 통하여 프로세스 가스 공급원(82)으로부터 챔버(10)의 측벽부에 있는 베틀 챔버(96)로 프로세스 가스가 도입된다. 프로세스 가스로 채워진 베틀 챔버(96) 안의 압력은 베틀 챔버(96)의 원주 방향을 따라 균일하게 된다. 이것은 프로세스 가스가 복수의 방출 홀(98)로부터 챔버(10)의 플라즈마 영역을 향하여 균일하고 수평하게 도입되도록 하는 것을 가능하게 한다. 이 경우에, 프로세스 가스는 그 프로세스 가스가 배기로(18) 위로 흐를 때 배기 포트(22) 쪽으로 끌어당겨지기 때

문에, 기관(W) 위의 방출 홀(98)로부터 도입되는 프로세스 가스를 균일하게 분산시키는 것은 어려울 수 있다. 그러나 석영판(52)의 중앙에 위치된 가스 방출 개구(86)로부터 방출된 프로세스 가스가 바깥쪽으로 방사상의 방향으로 확산되고, 상술한 바와 같이 배기로(18)를 향하여 흐르기 때문에, 측면 방출 홀(98)으로부터 방출된 프로세스 가스는 본 실시예에서 배기 장치(26)에 의해 크게 영향을 받지 않는다. 그러므로 플라즈마는 셔셉터(12) 위의 기관(W) 위로 균일하게 분포될 수 있다.

[0060] 제 1 프로세스 가스 도입부(88)와 제 2 프로세스 가스 도입부(94)로부터 챔버(10)로 각각 도입되는 프로세스 가스들은 같거나 상이할 수 있다. 가스의 유량은 각각 MFC(90 및 102)에 의해 조절될 수 있거나, 가스들은 기설정된 유량비로 챔버 안으로 도입되어 가스들과 플라즈마가 직경방향을 따라 균일하게 분포된다.

[0061] 도 5를 참조하면, 도파관-동축관 컨버터(64)와 동축관(66)이 상세히 도시되어 있다. 내부 컨덕터(68)는, 예를 들면 알루미늄으로 제조된다. 가스관(80)은 내부 컨덕터(68)의 중심 축을 따라서 내부 컨덕터(68)를 관통한다. 또한, 냉매관(106)은 가스관(80)과 평행하게 배치된다.

[0062] 냉매관(106)은 수직 파티션(미도시)으로 나누어져 있는 인입로(incoming path)(106a)와 인출로(outgoing path)(106b)를 포함한다. 역 원뿔부(68a)의 상부에는 파이프(108)가 냉매관(106)의 인입로(106a)에 연결되어 있다. 그 파이프(108)의 반대쪽 끝은 칠러 유닛(미도시)에 연결되어 있다. 또한, 파이프(110)는 냉매관(106)의 인출로(106b)에 연결되어 있다. 파이프(110)의 반대쪽 끝은 동일한 칠러 유닛에 연결되어 있다. 이러한 구성에서, 칠러 유닛으로부터 제공된 냉매나 냉각수는 인입로(106a)의 바닥에 닿도록 인입로(106a)를 통하여 아래로 흐르고, 파이프(110) 안으로 흐르도록 인출로(106b)를 통하여 상부로 다시 돌아온다. 이러한 방식으로, 내부 컨덕터(68)는 냉각될 수 있다.

[0063] 도 5에 나타난 것과 같이, RLSA(54)의 중앙에 가스관(80)이 맞춰진 개구(54a)가 있다. 또한, 개구(54a)는 석영판(52)의 가스 방출 개구(86)와 동축 정렬로 위치된다. 이러한 구성으로, RLSA(54)로부터 방사된 전자기파(마이크로파)가 가스 방출 개구(86)에 닿지 않고, 따라서, 가스 방출 개구(86)에서 방전이 일어나지 않는다. 한편, 가스 방출 개구(86)는 석영판(52) 안의 복수의 홀로 분기될 수 있다. 이 복수의 홀은 석영판(52)의 직경 방향에서 소정 범위 안에 위치될 수 있다.

[0064] 도 6은 본 실시예에 따른 RLSA(54)의 슬롯 패턴을 보여준다. 도시된 바와 같이, RLSA(54)는 동심원상에 분포된 복수의 슬롯을 가진다. 상세하게는, 길이 방향으로 대략 직각인 두 가지 종류의 슬롯(54b 및 54c)이 교호로 동심원상에 분포된다. 이러한 동심원들은 RLSA(54)의 직경 방향으로 전파하는 마이크로파의 파장에 따른 간격으로 배열된다. 이러한 슬롯 패턴에 의하면, 마이크로파는 서로 교차하는 두 개의 분극 요소(polarization components)를 가지고 있는 원형으로 분극된 평면파들(circularly polarized planar waves)로 변환되고, 그 평면파들은 RLSA(54)로부터 방사된다. 상술한 바와 같이 구성된 RLSA(54)는 실질적으로 안테나의 모든 영역으로부터 챔버(10)(도 4)로 균일하게 마이크로파가 방사될 수 있다는 점에서 유용하고, 균일하고 안정적인 플라즈마를 생성하는 데도 적합하다.

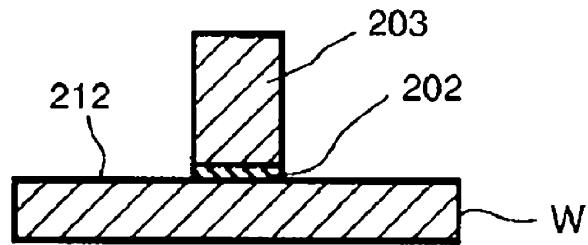
[0065] 한편, 배기 장치(26), RF 전원(30), DC 전원(40)의 스위치(42), 마이크로파 생성기(60), 프로세스 가스 도입부(88 및 94), 칠러 유닛 및 열전 가스 공급부(미도시)의 다양한 작동, 및 전체적으로 봤을 때의 모든 작동들이, 예를 들면, 본 발명의 첫 번째 실시예에 따른 마이크로파 플라즈마 예칭 장치(180)의 마이크로 컴퓨터로 구성된 제어부(미도시)에 의해 제어된다.

[0066] 유전체창의 직하의 수 eV의 전자 온도를 가진 장치(180)에서 2.45GHz 마이크로파에 의해 생성된 플라즈마가 하방으로 확산한다. 그 후, 플라즈마의 전자 온도는 피처리기판 주위에서 대략 수 eV만큼 낮아진다. 전자 온도가 낮아짐에 따라, 플라즈마 데미지는 기판 상의 막에 거의 발생하지 않는다. 또한, 고밀도의 플라즈마가 RLSA를 사용함으로서 실현되고, 처리율이 높아질 수 있다.

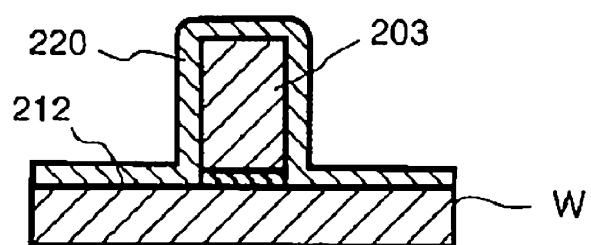
[0067] 상기와 같은 설명으로부터 본 발명은 다양한 변형과 변경이 가능하다. 그러므로 본 발명은 첨부된 청구항의 범위 내에서 이해되고, 여기서 상세히 설명된 것 이외의 방법으로 실행될 수도 있다.

도면

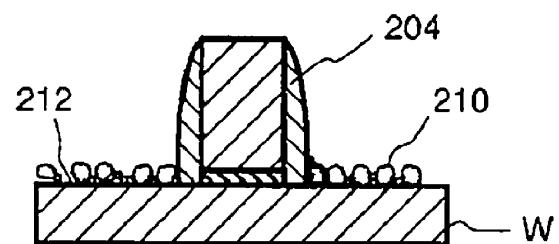
도면1a



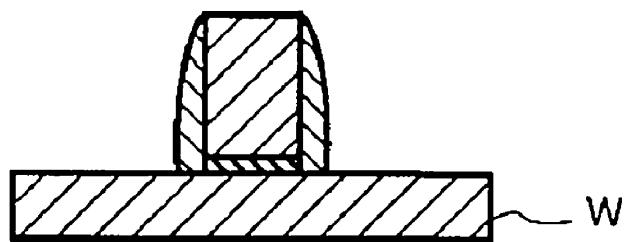
도면1b



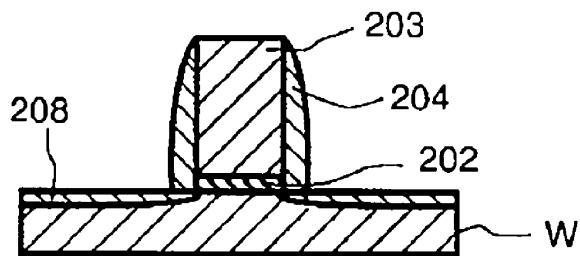
도면1c



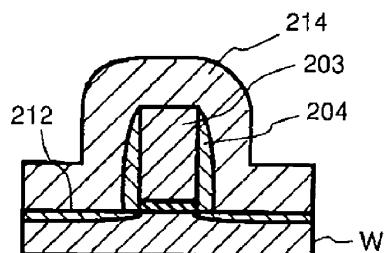
도면1d



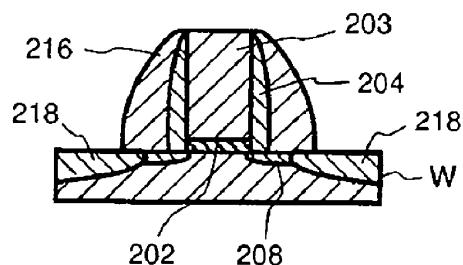
도면1e



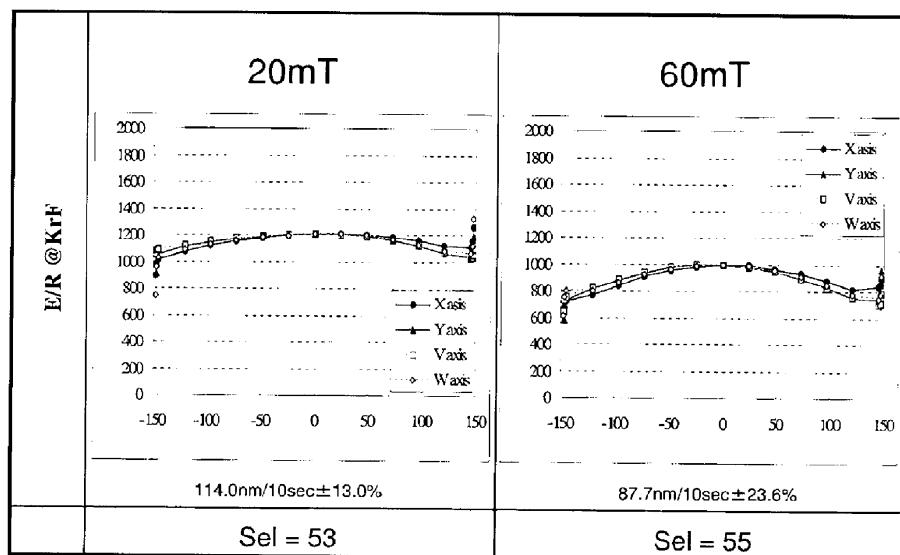
도면1f



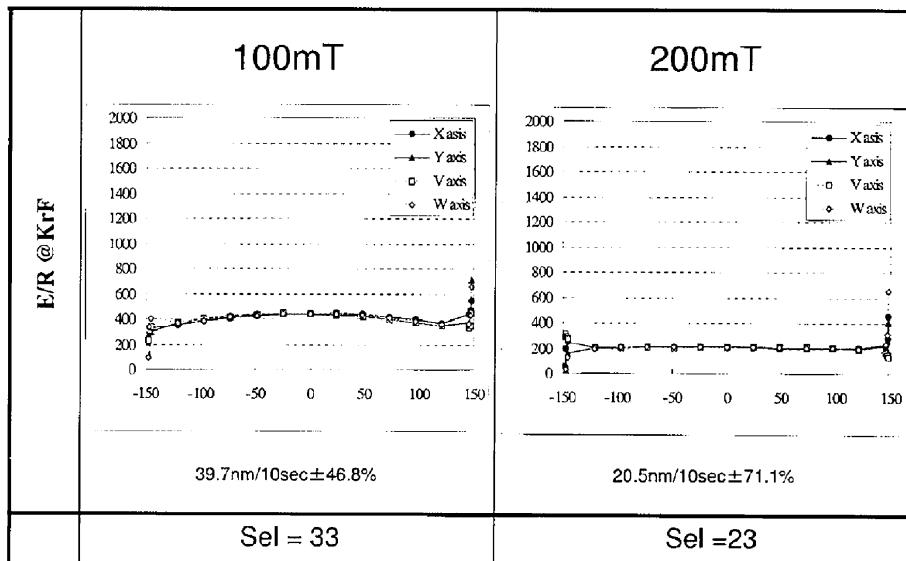
도면1g



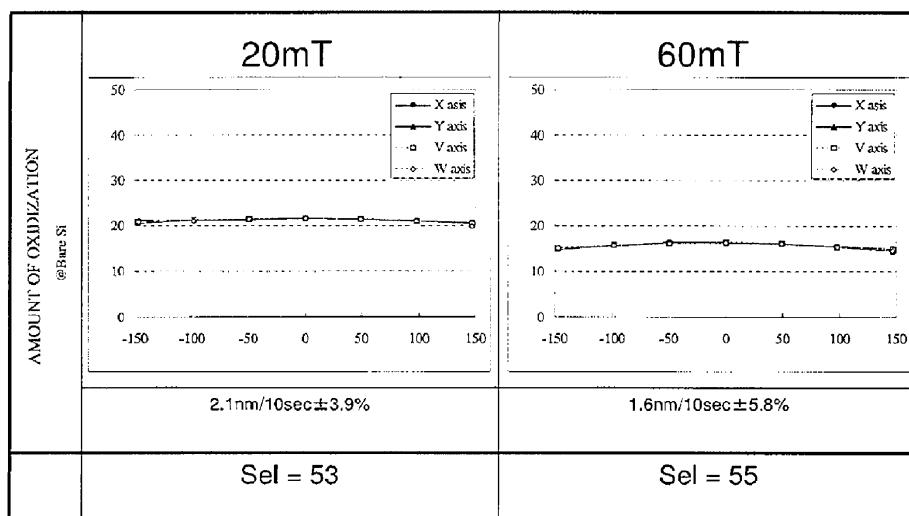
도면2a



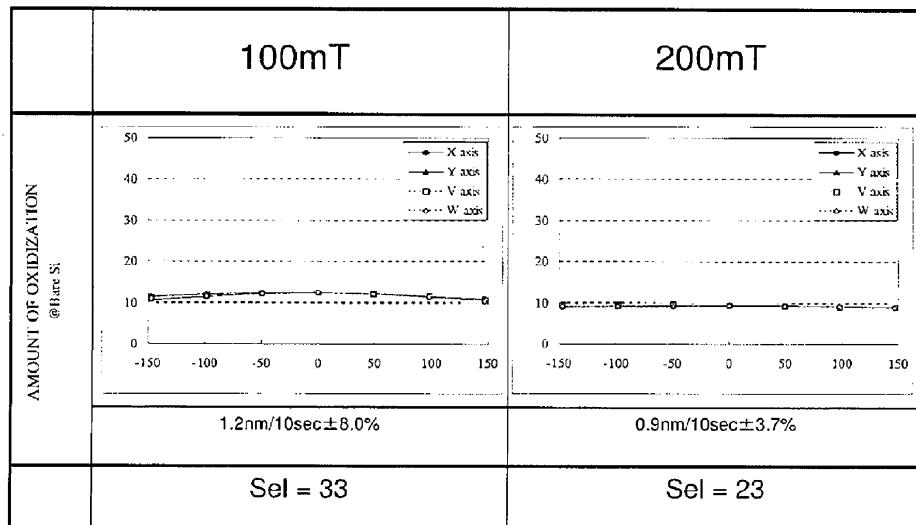
도면2b



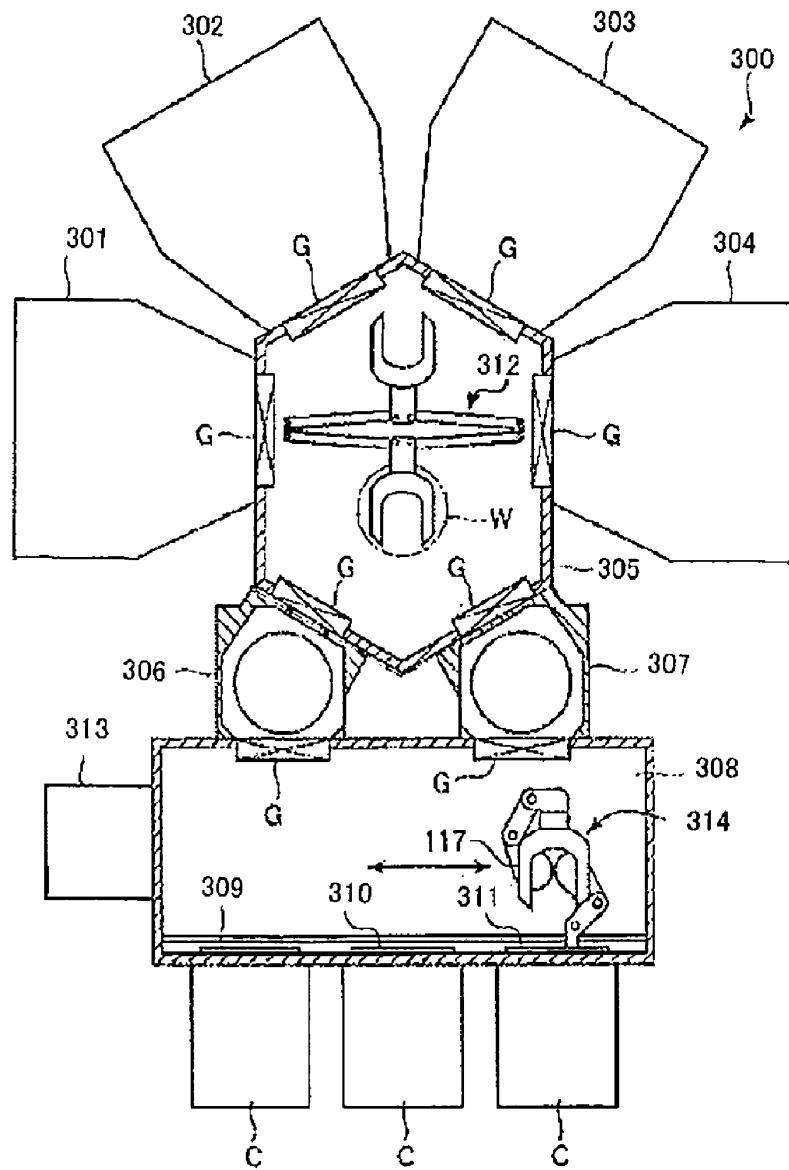
도면2c



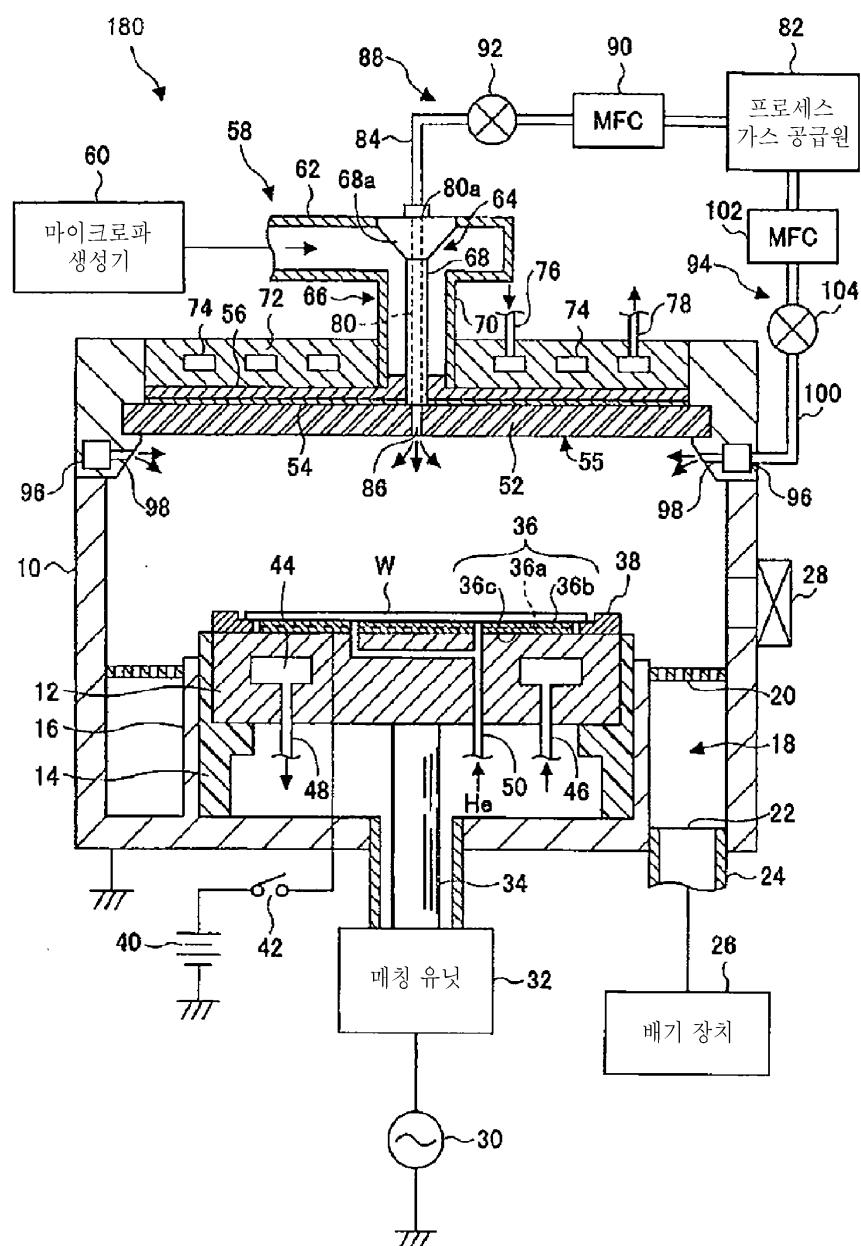
도면2d



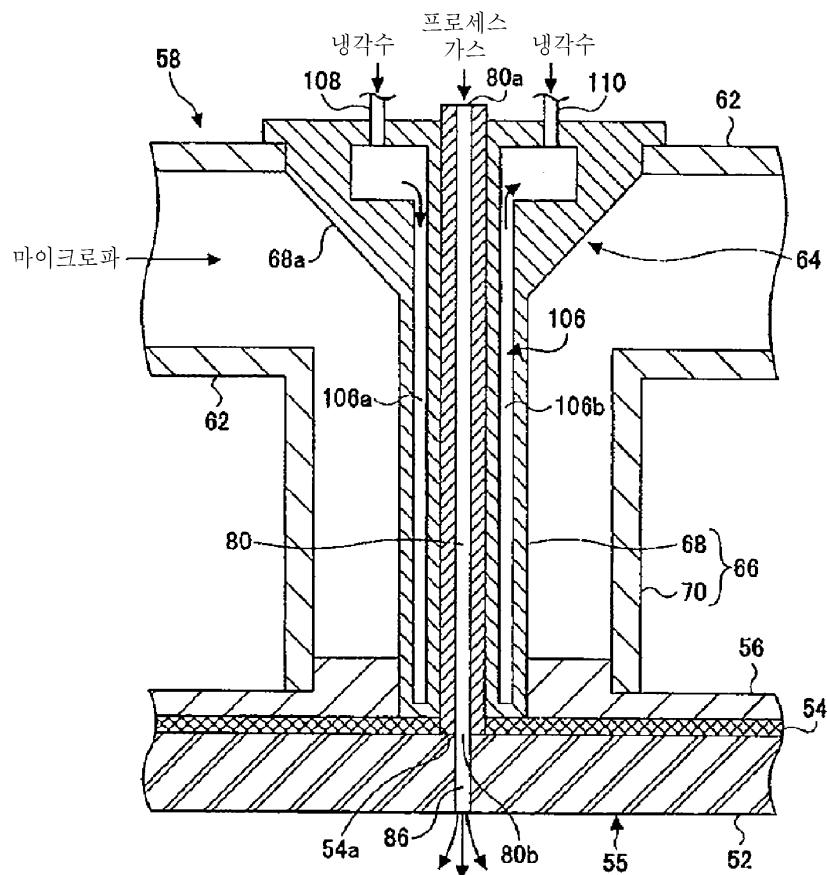
도면3



도면4



도면5



도면6

