

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-147787

(P2017-147787A)

(43) 公開日 平成29年8月24日(2017.8.24)

(51) Int.Cl.	F I	テーマコード (参考)
HO2M 3/155 (2006.01)	HO2M 3/155 H	5H730
	HO2M 3/155 F	
	HO2M 3/155 V	

審査請求 未請求 請求項の数 9 O L (全 17 頁)

(21) 出願番号 特願2016-26003 (P2016-26003)
 (22) 出願日 平成28年2月15日 (2016.2.15)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100091982
 弁理士 永井 浩之
 (74) 代理人 100091487
 弁理士 中村 行孝
 (74) 代理人 100082991
 弁理士 佐藤 泰和
 (74) 代理人 100105153
 弁理士 朝倉 悟
 (74) 代理人 100107582
 弁理士 関根 毅
 (74) 代理人 100118876
 弁理士 鈴木 順生

最終頁に続く

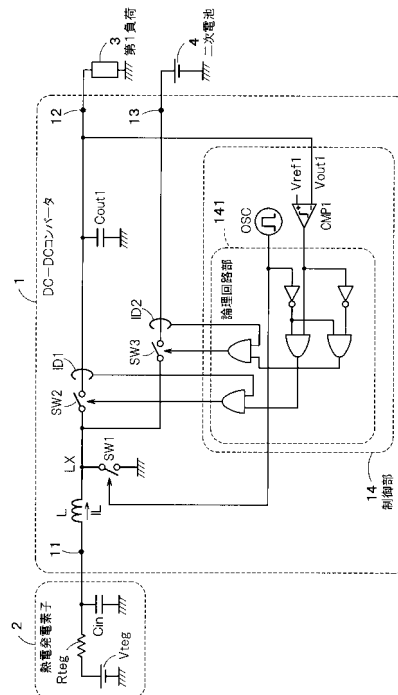
(54) 【発明の名称】 多出力DC-DCコンバータ

(57) 【要約】 (修正有)

【課題】 多出力DC-DCコンバータにおいて、優先させる出力先に電力供給が開始されるまでに要する時間を短縮することを目的とする。

【解決手段】 DC-DCコンバータ1は、入力電圧が入力される入力端子11と、出力電圧を出力する複数の出力端子12, 13と、入力端子に一端が接続されたインダクタLと、オンオフ制御されることにより、インダクタに流れる電流を変化させる第1スイッチSW1と、インダクタと、複数の出力端子のうちの1つである第1出力端子12との間に一端が接続され、他端がグラウンドに接続される第1コンデンサCout1と、インダクタと第1コンデンサとの間に接続された第2スイッチSW2と、第1出力端子からの第1出力電圧が予め定められた第1閾値より小さい場合に、第1のスイッチがオフとなったときは、第2スイッチをオンにするよう制御するスイッチ制御部14と、を備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

入力電圧が入力される入力端子と、
出力電圧を出力する複数の出力端子と、
前記入力端子に一端が接続されたインダクタと、
オンオフ制御されることにより、前記インダクタに流れる電流を変化させる第 1 スイッチと、

前記インダクタと、前記複数の出力端子のうちの 1 つである第 1 出力端子との間に一端が接続され、他端がグラウンドに接続される第 1 コンデンサと、

前記インダクタと前記第 1 コンデンサとの間に接続された第 2 スイッチと、
前記第 1 出力端子からの第 1 出力電圧が予め定められた第 1 閾値より小さい場合に、前記第 1 のスイッチがオフとなったときは、前記第 2 スイッチをオンにするよう制御するスイッチ制御部と

を備える DC - DC コンバータ。

【請求項 2】

前記インダクタと、前記複数の出力端子のうちの 1 つである第 2 出力端子との間に接続された第 3 スイッチ

をさらに備え、

前記スイッチ制御部は、前記第 1 のスイッチがオフとなったときに、前記第 2 のスイッチをオンにするときは、前記第 3 スイッチをオフに制御する

請求項 1 に記載の DC - DC コンバータ。

【請求項 3】

前記インダクタは、前記入力端子と前記第 1 スイッチの間に接続され、
前記第 1 スイッチは、一端が前記インダクタの他端に接続され、他端がグラウンドに接続される

請求項 1 または 2 に記載の DC - DC コンバータ。

【請求項 4】

前記第 3 スイッチと前記第 2 出力端子の間に接続される第 2 コンデンサ

をさらに備え、

前記スイッチ制御部は、前記第 2 出力端子からの第 2 出力電圧が予め定められた第 2 閾値より小さい場合に、前記第 1 のスイッチがオフとなったときに、前記第 2 のスイッチがオンとならないときは、前記第 3 スイッチをオンとする

請求項 2 または請求項 2 に従属する請求項 3 に記載の DC - DC コンバータ。

【請求項 5】

前記スイッチ制御部は、前記第 1 出力電圧を電源とする

請求項 1 ないし 4 のいずれか一項に記載の DC - DC コンバータ。

【請求項 6】

前記第 1 出力電圧は、前記第 2 出力電圧以下である

請求項 4 に従属する請求項 5 に記載の DC - DC コンバータ。

【請求項 7】

前記第 2 スイッチは、
前記インダクタから前記第 1 コンデンサへ向かう方向の電流は通すが、前記第 1 コンデンサから前記インダクタへ向かう方向の電流は通さない整流部

を備える請求項 1 ないし 6 のいずれか一項に記載の DC - DC コンバータ。

【請求項 8】

前記第 2 スイッチは、

前記整流部であり、前記インダクタに一端が接続されたダイオードと、

前記ダイオードの他端に一端が接続され、前記第 1 コンデンサに他端が接続された MOSFET と、

を備える請求項 7 に記載の DC - DC コンバータ。

10

20

30

40

50

【請求項 9】

前記第 2 スイッチは、

前記第 2 スイッチがオンとなった後、前記第 1 出力電圧が予め定められた第 3 閾値より大きい場合に前記第 1 のスイッチがオフとなったときまで、オンであり続ける

請求項 1 ないし 8 のいずれか一項に記載の DC - DC コンバータ。

【発明の詳細な説明】

【技術分野】

【0001】

この発明の実施形態は、多出力 DC - DC コンバータに関する。

【背景技術】

10

【0002】

多出力 DC - DC コンバータは、既定の順序にて、既定の回数ごとに、複数の出力先に電流を供給する。出力先は、複数の出力先に接続されているスイッチのいずれか 1 つを所定の周期ごとにオンにするという時分割制御にて、決定される。また、各出力は、外部からの制御信号に基づき、任意のタイミングにて、停止することもできる。但し、制御信号に基づき出力の 1 つを停止させた場合、停止させた出力が本来出力されている期間においては、いずれの出力先も電流が供給されない。

【0003】

また、多出力 DC - DC コンバータの出力先の 1 つを、自身が備える制御回路の電源として用いている場合に、その制御回路への出力電力が低下し制御回路が停止すると、回路全体が停止してしまうという問題がある。この問題に対し、制御回路の電源用の出力の電圧が閾値以下になった際に、他のすべての出力を停止する回路を付加するという方法が知られている。しかし、時分割制御においては、各出力に割り当てられた時間配分は変化しないため、必要な出力先への電力供給が開始されるまでに待ち時間が生ずる。ゆえに、制御回路への出力電圧の回復には時間を要する。このように、他の出力を停止させたとしても、優先したい出力先に電力供給が開始されるまでに時間を要し、効率が悪いという問題があった。

20

【先行技術文献】

【特許文献】

【0004】

30

【特許文献 1】特開 2005 - 117886 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

多出力 DC - DC コンバータにおいて、優先させる出力先に電力供給が開始されるまでに要する時間を短縮することを目的とする。

【課題を解決するための手段】

【0006】

本発明の実施形態としての DC - DC コンバータは、入力電圧が入力される入力端子と、出力電圧を出力する複数の出力端子と、入力端子に一端が接続されたインダクタと、オンオフ制御されることにより、インダクタに流れる電流を変化させる第 1 スイッチと、インダクタと、複数の出力端子のうちの 1 つである第 1 出力端子との間に一端が接続され、他端がグランドに接続される第 1 コンデンサと、インダクタと第 1 コンデンサとの間に接続された第 2 スイッチと、第 1 出力端子からの第 1 出力電圧が予め定められた第 1 閾値より小さい場合に、第 1 のスイッチがオフとなったときは、第 2 スイッチをオンにするよう制御するスイッチ制御部と、を備える。

40

【図面の簡単な説明】

【0007】

【図 1】第 1 の実施形態に係る DC - DC コンバータを有する回路構成の一例を示す図。

【図 2】第 1 の実施形態に係る各スイッチのスイッチングの制御を説明する図。

50

【図3】第2の実施形態に係るDC-DCコンバータを有する回路構成の一例を示す図。

【図4】第2の実施形態に係る各スイッチのスイッチングの制御を説明する図。

【図5】第3の実施形態に係るDC-DCコンバータを有する回路構成の一例を示す図。

【図6】第3の実施形態に係る各スイッチのスイッチングの制御を説明する図。

【図7】第4の実施形態に係るDC-DCコンバータを有する回路構成の一例を示す図。

【図8】ダイオードとP型MOSFETの接続構成の一例を示す図。

【図9】第4の実施形態に係る各スイッチのスイッチングの制御を説明する図。

【発明を実施するための形態】

【0008】

以下、図面を参照しながら、本発明の実施形態について説明する。

10

【0009】

(第1の実施形態)

図1は、第1の実施形態に係るDC-DCコンバータを有する回路構成の一例を示す図である。第1の実施形態に係るDC-DCコンバータ1と、熱電発電素子2とからなる熱電発電装置(電源装置)の回路図が示されている。第1の実施形態に係るDC-DCコンバータ1は、入力端子11と、第1出力端子12と、第2出力端子13と、インダクタLと、第1スイッチSW1と、第2スイッチSW2と、第3スイッチSW3と、コンデンサCout1と、2つの電流検知回路ID1およびID2と、制御部14とを備える。

【0010】

制御部14は、発振器OSCと、比較器(コンパレータ)CMP1と、論理回路部141を備える。論理回路部141は、発振器OSCおよび比較器CMP1からの出力を処理し、第1スイッチSW1、第2スイッチSW2、および第3スイッチSW3のスイッチのオンまたはオフの動作(スイッチング)を制御できるものとする。図1では、4つのAND回路(ANDゲート)と、2つのNOT回路(インバータ)とにより、所望のスイッチング制御を実現する。

20

【0011】

なお、この図で表したDC-DCコンバータ1の構成は一例であり、異なる構成であっても、図示しない構成要素を含んでもよい。例えば、電流検知回路ID1およびID2は、電流の逆流を防ぐために用いられているが、電流の逆流を防ぐ他のものを使用してもよい。その他にも、例えば、制御部14は、第1の実施形態が行うスイッチの制御を実現することができるものであれば、制御部14が備える論理回路部141の構成は、任意に決めてよい。

30

【0012】

熱電発電素子2は、起電力Vteg、出力抵抗Rtegでモデル化された熱電発電装置である。起電力Vtegは、熱電発電素子2を構成する高温側部材と低温側部材との温度差に比例する。例えば、数程度の温度差では、一般的に数10mV~数100mVとなる。また出力抵抗Rtegは、温度に関わらずほぼ一定の値であり、数~数100程度の値となる。熱電発電素子2の出力電圧Vinは、コンバータ入力容量Cinにより平滑化され、DC-DCコンバータ1の入力電圧Vinともなる。通常の電子回路は1V以上の電源電圧で動作する。そのため一般的に、熱電発電素子と昇圧型DC-DCコンバータとが組み合わされて用いられる。なお、発電素子は起電力が小さければ、熱電発電素子によらずともよい。

40

【0013】

次に、DC-DCコンバータ1を構成する各部について説明する。

【0014】

DC-DCコンバータ1の入力端子11は、熱電発電素子2に接続され、入力電圧Vinが入力される。第1出力端子12は、第1負荷3に接続され、第1出力電圧Vout1を出力(供給)する。第2出力端子13は、二次電池4に接続され、第2出力電圧Vout2を出力(供給)する。

【0015】

50

第1出力電圧 V_{out1} および第2出力電圧 V_{out2} は、インダクタ L 、第1スイッチ $SW1$ 、第2スイッチ $SW2$ 、第3スイッチ $SW3$ 、およびスイッチの開閉を制御する発振器 OSC の働きにより、入力電圧 V_{in} よりも高い電圧となる。第1出力電圧 V_{out1} はコンデンサ C_{out1} により平滑化され、第1負荷3に対し供給される。第2出力端子13には二次電池4が接続されている。第2出力端子13からの第2出力電圧 V_{out2} により、二次電池4は充電される。

【0016】

このように、第1の実施形態に係るDC-DCコンバータ1は、入力電圧 V_{in} を所定の電圧に変換した上で、負荷および二次電池4などの供給先に出力するものである。なお、図1では、一例として、入力端子11を介して熱電発電素子2と、第1出力端子12を介して第1負荷3と、第2出力端子13を介して二次電池4と接続されていることを想定したが、接続先の構成も限られるものではない。

10

【0017】

インダクタ L は、一端が入力端子11に接続され、他端(片側端子 LX)が第1スイッチ $SW1$ 、第2スイッチ $SW2$ および第3スイッチ $SW3$ に接続されている。インダクタ L は、第1スイッチ $SW1$ 、第2スイッチ $SW2$ 、および第3スイッチ $SW3$ の開閉により、入力電圧 V_{in} を第1出力電圧 V_{out1} または第2出力電圧 V_{out2} に変換する。

【0018】

電流検知回路 $ID1$ および $ID2$ はそれぞれ、第2スイッチ $SW2$ および第3スイッチ $SW3$ のインダクタ L と接続されていない側の他端のそれぞれと接続されている。電流検知回路 $ID1$ は、電流の逆流を防止するために、第2スイッチ $SW2$ に流れる電流が出力端子側の方向に正の値であれば $High$ を、0以下であれば Low を出力する。同様に、電流検知回路 $ID2$ は、第3スイッチ $SW3$ に流れる電流が出力端子側の方向に正の値であれば $High$ を、0以下であれば Low を出力する。

20

【0019】

コンデンサ C_{out1} は、電流検知回路 $ID1$ の、第2スイッチ $SW2$ に接続されていない方の他端に接続され、第1出力電圧 V_{out1} を平滑化して、第1負荷3に供給する。

【0020】

制御部14は、第1スイッチ $SW1$ 、第2スイッチ $SW2$ 、および第3スイッチ $SW3$ のスイッチングを制御する。制御部14の比較器 $CMP1$ は、第1出力電圧 V_{out1} と、制御部内部からの第1参照電圧 V_{ref1} とを比較する。これは、第1参照電圧 V_{ref1} を基準値として、第1出力電圧 V_{out1} と所定の基準値との大小関係に基づき、出力先を切り替えるためである。図1の例では、比較器 $CMP1$ からの出力信号を2つに分岐し、一方をインバータにより反転させる。これにより、所定の条件下において、第2スイッチ $SW2$ と第3スイッチ $SW3$ の一方がオンで、他方がオフである状況を作り出す。

30

【0021】

制御部14の発振器 OSC は、各スイッチのスイッチングをするタイミングを制御するためのものである。以下に、各スイッチのスイッチングの制御について説明する。

40

【0022】

第1スイッチ $SW1$ は、発振器 OSC に基づき、オンまたはオフの状態が決定される。発振器 OSC の出力が $High$ のときはオン、 Low のときはオフになる。なお、発振器 OSC の出力が $High$ を出力している期間と Low を出力している期間の長さは、同じでも異なってもよい。

【0023】

第2スイッチ $SW2$ は、発振器 OSC と比較器 $CMP1$ と電流検知回路 $ID1$ に基づき、オンまたはオフの状態が決定される。発振器 OSC の出力が $High$ のときはオフになる。一方、発振器 OSC の出力が Low であっても、比較器 $CMP1$ の出力が $High$ ($V_{ref1} > V_{out1}$)でなければ、オンにならない。また、電流検知回路 $ID1$ が L

50

ow、つまり第1出力端子12側から入力端子11側の方向に電流が流れようとするとならなくなる。

【0024】

第3スイッチSW3は、発振器OSCと比較器CMP1と電流検知回路ID2に基づき、オンまたはオフの状態が決定される。発振器OSCの出力がHighのときは必ずオフになる。発振器OSCの出力がLowであっても、比較器CMP1の出力がLow ($V_{ref1} < V_{out1}$) でなければ、オンにならない。また、電流検知回路ID2がLow、つまり第2出力端子13側から入力端子11側の方向に電流が流れようとするとならなくなる。

【0025】

図2は、第1の実施形態における各スイッチのスイッチングの制御を説明する図である。図2には、発振器OSCの出力信号と第1スイッチSW1の状態、インダクタ電流IL、第1出力電圧Vout1、第2スイッチSW2の状態、および第3スイッチSW3の状態が示されている。第1スイッチSW1、第2スイッチSW2、および第3スイッチSW3の状態は、オンが1、オフが0にて示されている。

【0026】

第1スイッチSW1のスイッチングは、発振器OSCに基づき決定されるため、第1スイッチSW1の状態と発振器OSCの出力信号の波形は同じであり、一番上の波形にて合わせて示されている。

【0027】

発振器OSCの出力がHighを出力している間は、第1スイッチSW1がオン、第2スイッチSW2と第3スイッチSW3はともにオフとなる。ゆえに、この期間内において、上から2番目の波形に示すように、インダクタ電流ILは増加していく。一方、第2スイッチSW2がオフであることから、この期間内において、上から3番目の波形に示すように、第1出力電圧Vout1は減少していく。ここで、時刻t1に、第1出力電圧Vout1が第1参照電圧Vref1を下回るとする。そうすると、時刻t1の後、比較器CMP1の出力はLowからHighへと切り替わる。なお、比較器CMP1が入力を受け付けてから出力を切り替えるまでには、タイムラグがあるものとする。

【0028】

そして、時刻t1の後の時刻t2にて、発振器OSCの出力がLowを出力するようになると、第1スイッチSW1がオフとなり、また比較器CMP1の出力がHighであることから、第2スイッチSW2がオンとなる。また、第3スイッチSW3はオフのままである。これにより、インダクタ電流ILが第1負荷3に流れ込み、Vout1は増加する。一方、インダクタ電流ILは逆に下降していき、電流が流れなくなると、電流検知回路ID1の出力がLowに切り替わる。ゆえに、第2スイッチSW2がオフとなるため、第1出力端子12側からの電流がインダクタLに流れることは防がれる。

【0029】

なお、時刻t3に第1出力電圧Vout1が第1参照電圧Vref1を上回るとする。第1出力電圧Vout1が第1参照電圧Vref1を上回ると、比較器CMP1の出力はLowへ切り替わる。但し、第1出力電圧Vout1が第1参照電圧Vref1を上回る時刻と、比較器CMP1の出力がLowへ切り替わる時刻とはタイムラグがある。このタイムラグを調整し、比較器CMP1の出力がLowへ切り替わる前に、インダクタ電流ILが0(ゼロ)になるようにする。このインダクタ電流ILが流れなくなる時刻t4において、第2スイッチSW2はオフになる。

【0030】

時刻t4の後、時刻t5に発振器OSCの出力がHighとなると、第1スイッチSW1がオンとなり、第2スイッチSW2および第3スイッチSW3はオフのままであるため、インダクタ電流ILは上昇する。そして、次に第1スイッチSW1がオフされる時刻t6においては、まだ第1出力電圧Vout1は第1参照電圧Vref1よりも高いものとする。そうすると、比較器CMP1の出力がLowのままであるから、時刻t6において

10

20

30

40

50

第2スイッチSW2ではなく、第3スイッチSW3がオンとなる。ゆえに、インダクタ電流ILが第2出力端子13に流れこみ、二次電池4が充電される。やがてインダクタ電流ILが下降し流れなくなると、電流検知回路ID2の出力がLowへ切り替わる。そうすると、第3スイッチSW3がオフとなるため、第2出力端子13側からの電流がインダクタLに流れることは防がれる。

【0031】

時刻t4の後、第1出力電圧Vout1は、第1負荷3に電流が流れることにより、下降していくが、第1出力電圧Vout1が第1参照電圧Vref1を下回るまでは、第2スイッチSW2はオンとならず、第3スイッチSW3のスイッチングと第1スイッチSW1のスイッチングとが繰り返されていく。そして、再度第1出力電圧Vout1が第1参照電圧Vref1を下回った時刻t7の後、第1スイッチSW1がオフとなる時刻t8に第2スイッチSW2がオンになる。

10

【0032】

なお、図2では、時刻t6において、第1出力電圧Vout1が第1参照電圧Vref1を超えているため、時刻t6においては、第2スイッチSW2はオンにならずに、第3スイッチSW3がオンとなった。しかし、第1出力電圧Vout1の増加率が小さいなどにより、時刻t6において、第1出力電圧Vout1が第1参照電圧Vref1を超えていないときは、再び第2スイッチSW2がオンとなる場合もあり得る。このように第1出力電圧Vout1と第1参照電圧Vref1の大小関係に基づいて、第2スイッチSW2および第3スイッチSW3のオンオフが決定される。

20

【0033】

以上のように、第1の実施形態は、複数の出力先のうちの1つの電圧が低下し、閾値である参照電圧以下になると、その出力先のためのスイッチをオンにし、他の出力先のためのスイッチをすべてオフにする制御を行う。これにより、予め定められた時間配分で出力先を制御するのではなく、基準電圧との比較結果に基づき出力先を決定することができる。そのため、既定の順序で出力先を決定する場合に存在していた待ち時間なしで、出力電圧が低下した場合に対応できる。また、優先すべき出力が低下した場合に、出力が閾値を超えるまで、他の出力先に出力せずに、優先すべき出力先に出力することができる。

【0034】

(第2の実施形態)

図3は、第2の実施形態に係るDC-DCコンバータを有する回路構成の一例を示す図である。第2の実施形態では、第1の実施形態における制御部14と、第2出力端子13に関連する部分が、第1の実施形態と異なる。第1の実施形態と同様な点は、説明を省略する。

30

【0035】

第2の実施形態の第2出力端子13に接続されているのは、二次電池4ではなく、第2負荷5とする。また、電流検知回路ID2と第2出力端子13の間に第2コンデンサCout2を設置し、第2出力端子13に係る第2出力電圧Vout2の平滑化を図るものとする。

【0036】

第2の実施形態の制御部14は、比較器CMP2をさらに備える。比較器CMP2は、第2出力電圧Vout2と第2参照電圧Vref2を比較し、 $Vref2 > Vout2$ のときはHighを、 $Vref2 < Vout2$ のときはLowを出力する。これにより、第1出力電圧Vout1だけでなくVout2も監視することができる。なお、第1参照電圧Vref1と第2参照電圧Vref2とは、出力先である第1負荷3と第2負荷5に与えようとする電圧値により定まる。

40

【0037】

制御部14は、比較器CMP1とCMP2がともにLowを出力するとき($Vref1 < Vout1$ かつ $Vref2 < Vout2$)、発振器OSCの出力が第1スイッチSW1に入力されないように構成されている。図3では、比較器CMP1とCMP2がともにL

50

owのときだけLowを出力するOR回路と、OR回路の出力がLowのときには、発振器OSCの出力によらずにLowを出力するAND回路により、上記構成を実現している。なお、本実施形態は、図3の構成に限られるものではない。

【0038】

このように、第1出力電圧 V_{out1} と第2出力電圧 V_{out2} とが大きいときは、第1スイッチSW1のスイッチングを停止させることにより、消費電力を削減することができる。また、第2スイッチSW2と第3スイッチSW3がともにオフの場合において、第1スイッチSW1のスイッチングが行われると、インダクタ電流の流れ先がないことにより、インダクタLの片側端子LXが高電圧になる。しかし、本実施形態では、第2スイッチSW2と第3スイッチSW3がともにオフの場合においては、第1スイッチSW1がスイッチングしないようにし、片側端子LXが高電圧になることを防ぐことができる。

10

【0039】

また、第2の実施形態では、制御部14の電源に、第1出力電圧 V_{out1} を用いるものとする。また、この場合、第1出力電圧 V_{out1} を第2出力電圧 V_{out2} よりも小さくするように($V_{out1} < V_{out2}$)制御すると、制御部14にて消費される電力を抑えることができ、DC-DCコンバータ1の効率を向上させることができる。 $V_{out1} < V_{out2}$ となるようにするには、例えば、第1参照電圧 V_{ref1} を第2参照電圧 V_{ref2} よりも小さく設定すればよい。

【0040】

次に、各スイッチのスイッチングの制御について説明する。

20

【0041】

第1スイッチSW1は、第1の実施形態と異なり、発振器OSCのみならず、発振器OSC、比較器CMP1、および比較器CMP2に基づき、オンまたはオフの状態が決定される。発振器OSCの出力がLowのとき、第1スイッチSW1はオフになるが、発振器OSCの出力がHighのときでも、オンになるとは限らない。発振器OSCの出力がHighであり、かつ比較器CMP1またはCMP2の出力がHighのとき、第1スイッチSW1はオンになる。

【0042】

第2スイッチSW2は、第1の実施形態と同じく、発振器OSCと比較器CMP1と電流検知回路ID1に基づき、オンまたはオフの状態が決定される。発振器OSCの出力がHighのときは必ずオフになる。発振器OSCの出力がLowであっても、比較器CMP1の出力がLow($V_{ref1} < V_{out1}$)ならば、オンにならない。また、電流検知回路ID1がLow、つまり第1出力端子12側から入力端子11側の方向に電流が流れようとするときもオフになる。

30

【0043】

第3スイッチSW3は、第1の実施形態と異なり、発振器OSCと比較器CMP1とCMP2と電流検知回路ID2に基づき、オンまたはオフの状態が決定される。発振器OSCの出力がHighのときはオフになる。発振器OSCの出力がLowであっても、比較器CMP1の出力がLow($V_{ref1} < V_{out1}$)かつCMP2の出力がHigh($V_{ref2} > V_{out2}$)でなければ、オンにならない。つまり、ここでは第2スイッチSW2が第3スイッチSW3よりも優先されている。また、電流検知回路ID2がLow、つまり第2出力端子13側から入力端子11側の方向に電流が流れようとするときもオフになる。

40

【0044】

図4は、第2の実施形態に係る各スイッチのスイッチングの制御を説明する図である。図4には、発振器OSCの出力信号、第1スイッチSW1の状態、インダクタ電流IL、第1出力電圧 V_{out1} 、第2出力電圧 V_{out2} 、第2スイッチSW2の状態、および第3スイッチSW3の状態の波形が示されている。

【0045】

図4で示すように、時刻 t_1 において、第1出力電圧 V_{out1} は V_{ref1} を下回る

50

とする。その後の時刻 t_2 までは、比較器 CMP_1 の出力は $High$ であって、比較器 CMP_1 および CMP_2 の出力がともに Low ではないため、第 1 スイッチ SW_1 に発振器 OSC の出力が入力されることにより、第 1 スイッチ SW_1 はオンである。そして、第 1 の実施形態と同様、第 1 スイッチ SW_1 がオンの間、インダクタ電流 I_L が増加する。

【0046】

時刻 t_2 にて発振器 OSC の出力が Low に反転した後、第 1 スイッチ SW_1 はオフになる。また、比較器 CMP_1 の出力が $High$ のため、第 2 スイッチ SW_2 はオンになる。したがって、第 1 の実施形態同様、インダクタ電流 I_L は次第に下降する。一方、第 1 出力電圧 V_{out1} は上昇する。

【0047】

また、第 1 の実施形態同様、時刻 t_3 にて $V_{out1} > V_{ref1}$ となっても、比較器 CMP_1 の出力は $High$ から Low へすぐに切り替わらず、インダクタ電流 I_L が 0 (ゼロ) になる時刻 t_4 において、第 2 スイッチ SW_2 はオフになる。

【0048】

また、図 4 で示すように、時刻 t_4 の後も、 $V_{out2} < V_{ref2}$ とする。そうすると、 CMP_2 の出力は $High$ であるため、発振器 OSC の出力が第 1 スイッチ SW_1 へと入力されることにより、発振器 OSC の出力が $High$ となる時刻 t_5 において、第 1 スイッチ SW_1 はオンとなる。そして、発振器 OSC の出力が Low に反転した時刻 t_6 において、第 3 スイッチ SW_3 の入力 I_L が $High$ となり、第 3 スイッチ SW_3 がオンとなる。インダクタ電流 I_L は、第 3 スイッチ SW_3 を介して、第 2 出力端子 13 へと流れ、 V_{out2} が上昇する。やがてインダクタ電流 I_L が下降していき 0 となると電流検知回路 ID_2 の出力が Low へ切り替わり、第 3 スイッチ SW_3 がオフになる。

【0049】

図 4 のように、1 度目の第 3 スイッチ SW_3 のオンによっても、 V_{out2} が第 2 参照電圧 V_{ref2} を超えず、かつ第 1 出力電圧 V_{out1} が V_{ref1} であるときは、再び発振器 OSC の出力が Low となる時刻 t_7 においても、第 3 スイッチ SW_3 がオンとなる。このように、第 3 スイッチ SW_3 のスイッチング、つまり第 2 負荷 5 への出力が繰り返し替えされることもあり得る。なお、第 2 負荷 5 への出力を繰り返す間、第 2 スイッチ SW_2 はオンとならずに電力が供給されないことから、第 1 出力電圧 V_{out1} は下降し続ける。

【0050】

第 1 出力電圧 V_{out1} の低下により、時刻 t_8 に再び $V_{out1} < V_{ref1}$ となったときは、 CMP_2 の出力が $High$ へと切り替わり、発振器 OSC の出力が Low となる時刻 t_9 において、第 2 スイッチ SW_2 が優先的にオンとなる。このとき、第 3 スイッチ SW_3 は、 V_{out2} と第 2 参照電圧 V_{ref2} の関係に関わらず、オフである。

【0051】

時刻 t_9 における第 2 スイッチ SW_2 のオンにより、 V_{out1} が V_{ref1} を上回ったため、次に発振器 OSC が $High$ を出力する時刻 t_{10} では、第 3 スイッチ SW_3 がオンになる。そして、発振器 OSC が $High$ を出力するさらに次のタイミングである時刻 t_{11} では、 $V_{out1} > V_{ref1}$ かつ $V_{out2} > V_{ref2}$ であるため、比較器 CMP_1 および CMP_2 はともに Low を出力する。したがって、時刻 t_{11} では、第 1 スイッチ SW_1 はオンとはならず、全てのスイッチがオフとなる。また、このスイッチングの停止は、 $V_{out1} < V_{ref1}$ 、または $V_{out2} < V_{ref2}$ となるまで続く。

【0052】

以上のように、第 2 の実施形態では、出力の 1 つをコンバータ自身の制御回路の電源として用いる。そして、電源とする電圧がある閾値以下となった場合、その出力が経由するスイッチをオンにし、出力が経由する他の全てのスイッチをオフにし、制御回路用の電源に対して優先的に出力する。これにより、制御部 14 の電源電圧が低下しても優先して回復させることができ、DC-DC コンバータ 1 が停止しにくくなり、安定して動作させることができる。また第 1 出力電圧 V_{out1} を第 2 出力電圧 V_{out2} よりも低く設定す

10

20

30

40

50

ることで、制御部 14 の消費電力を削減することができ、DC - DC コンバータ 1 の効率を向上させることができる。

【0053】

(第3の実施形態)

図5は、第3の実施形態に係るDC - DC コンバータを有する回路構成の一例を示す図である。第1の実施形態との相違点を説明し、同様な点は説明を省略する。

【0054】

第3の実施形態の第2スイッチSW2は、ダイオードD2とサブスイッチSubSW2にて構成される。また、第3スイッチSW3は、ダイオードD3とサブスイッチSubSW3にて構成される。

【0055】

第2スイッチSW2と第3スイッチSW3に対する制御信号も第1の実施形態と異なる。第3の実施形態における制御部14は、発振器OSCの信号を合成せずに、比較器CMP1の比較結果をSubSW2に出力する。また、比較器CMP1の比較結果を反転して、サブスイッチSubSW3に出力する。ゆえに、これまでの実施形態では、第1スイッチSW1がオンの間は、他のスイッチはスイッチングされずにいたが、第3の実施形態では、第1スイッチSW1がオンの間でも、比較器CMP1の出力が切り替わった時点で、他のスイッチはスイッチングする。

【0056】

また、第2スイッチSW2と第3スイッチSW3に接続されていた電流検知回路ID1とID2は、第3の実施形態は備えられていない。

【0057】

図6は、第3の実施形態に係る各スイッチのスイッチングの制御を説明する図である。図6には、発振器OSCの出力信号と第1スイッチSW1の状態、インダクタ電流IL、第1出力電圧Vout1、サブスイッチSubSW2、およびサブスイッチSubSW3の状態の波形が示されている。

【0058】

発振器OSCの出力がHighのときは第1スイッチSW1がオンであり、インダクタ電流ILは上昇していくが、Vout1は下降していく。時刻t1に第1出力電圧Vout1がVref1を下回ると、その後、比較器CMP1の出力はLowからHighへと切り替わり、サブスイッチSubSW2はオン、サブスイッチSubSW3はオフとなる。

【0059】

このとき、第1スイッチSW1はオンであるが、ダイオードD2の逆バイアスとなるため、インダクタ電流ILはそのまま上昇を続ける。

【0060】

時刻t2に発振器OSCの出力がLowに切り替わると第1スイッチSW1がオフし、インダクタLの端子LXの電圧は、第2スイッチSW2のダイオードD2が導通するまで上昇する。ダイオードD2が順バイアスになると、インダクタ電流ILはダイオードD2とサブスイッチSubSW2を通り、第1出力電圧Vout1が上昇していく。このとき、インダクタ電流ILは下降していくが、ダイオードD2により、入力端子11側へと電流が流れることはない。

【0061】

時刻t3に第1出力電圧Vout1が第1参照電圧Vref1を上回ると、比較器CMP1の出力はLowへ切り替わり、サブスイッチSubSW2はオフ、サブスイッチSubSW3はオンとなる。但し、比較器CMP1のタイムラグにより、時刻t4にサブスイッチSubSW2とサブスイッチSubSW3は、スイッチングするとする。時刻t4の後、第1出力電圧Vout1は徐々に下降する。

【0062】

その後の時刻t5において、発振器OSCの出力がHighに切り替わると、インダク

10

20

30

40

50

タ電流 I_L は上昇していく。その後の時刻 t_6 において、発振器 OSC の出力が Low に切り替わると、第 1 スイッチ SW_1 がオフになり、端子 LX の電圧は、第 3 スイッチ SW_3 のダイオード D_3 が導通するまで上昇していく。ダイオード D_3 が順バイアスになると、インダクタ電流 I_L はダイオード D_3 とサブスイッチ $SubSW_3$ を通り、第 2 出力端子 13 に接続された二次電池 4 が充電される。このとき、インダクタ電流 I_L は下降していくが、ダイオード D_3 により、入力端子 11 側へと電流が流れることはない。

【0063】

第 1 出力電圧 V_{out1} が第 1 参照電圧 V_{ref1} を下回るまで、第 2 出力端子 13 に接続された二次電池 4 の充電が繰り返し行われる。また、第 2 スイッチ SW_2 はオンとならずに電力が供給されないことから、第 1 出力電圧 V_{out1} は下降し続ける。時刻 t_7 に再度第 1 出力電圧 V_{out1} が第 1 参照電圧 V_{ref1} を下回ると、サブスイッチ $SubSW_2$ はオン、サブスイッチ $SubSW_3$ はオフとなり、その後、第 1 出力電圧 V_{out1} が上昇する。

10

【0064】

これまでの実施形態では、電流の逆流を防ぐために、インダクタ電流 I_L に基づき、第 2 スイッチ SW_2 または第 3 スイッチ SW_3 をオフしなければならなかった。しかし、本実施形態では、図 6 に示すように、出力先を切り替えない限り、オフにする必要はない。

【0065】

以上のように、第 3 の実施形態では、ダイオードを用いることにより、第 2 スイッチ SW_2 および第 3 スイッチ SW_3 への電流の逆流を防ぐ。これにより、逆流を阻止または検知する回路を別途備える必要がなく、また制御回路を簡素化することができる。

20

【0066】

(第 4 の実施形態)

図 7 は、第 4 の実施形態に係る $DC-DC$ コンバータを有する回路構成の一例を示す図である。第 3 の実施形態との相違点を説明し、同様な点は説明を省略する。

【0067】

第 4 の実施形態では、第 3 の実施の形態の比較器 CMP_1 が、ヒステリシスコンパレータ HYS_CMP に変更されている。ヒステリシスコンパレータ HYS_CMP は、 $V_{refL} < V_{ref1} < V_{refH}$ が成り立つ第 1 基準電圧 (上限電圧) V_{refH} および、第 2 基準電圧 (下限電圧) V_{refL} を用いて、第 1 出力電圧 V_{out1} の判定を行う。 $V_{out1} > V_{refH}$ となれば Low を、 $V_{out1} < V_{refL}$ となれば $High$ を出力する。

30

【0068】

またヒステリシスコンパレータ HYS_CMP は、一度 $V_{out1} < V_{refL}$ と判定すると、 $V_{out1} > V_{refH}$ となるまで $High$ を出力し続け、一度 $V_{out1} > V_{refH}$ と判定すると、次に $V_{out1} < V_{refL}$ になるまで Low を出力し続ける。

【0069】

第 2 スイッチ SW_2 はダイオード D_2 、 P 型 $MOSFET$ ($PMOS$) 2 で構成される。また、第 3 スイッチ SW_3 はダイオード D_3 、 $PMOS$ 3 で構成される。 $PMOS$ 2 および $PMOS$ 3 はゲートに Low の信号が入力されるとオンとなり、 $High$ の信号が入力されるとオフとなる。 $PMOS$ 2 および $PMOS$ 3 のゲート信号を切り替えると、ゲート容量の充放電が行われるため、電力が消費される。

40

【0070】

図 8 は、ダイオードと $PMOS$ の接続構成の一例を示す図である。図 8 では、ダイオードの寄生容量を C_{parad} (C_{pd})、 $PMOS$ の寄生容量 C_{parat} (C_{pt}) と表している。図 8 (A) は、インダクタ端子 LX とダイオードとが接続され、ダイオードと出力端子 12 または 13 との間に $PMOS$ が接続されている。図 8 (B) は、順番が逆となり、インダクタ端子 LX と $PMOS$ とが接続され、 $PMOS$ と出力端子 12 または 13 との間にダイオードが接続されている。

【0071】

50

PMOSはオン抵抗を減らすために大型のものが使われる。一方、ダイオードの抵抗値は大きさにそれほど依存しない。ゆえに、一般的に $C_{pd} < C_{pt}$ となる。

【0072】

インダクタ端子LX側に寄生容量がつくと、第1スイッチSW1がオフのときに電荷がたまり、インダクタL側へと還っていく逆流電流が生じてしまう。図8(A)では、 C_{pd} の値は C_{pt} の値より小さく、また C_{pt} による逆流電流はダイオードにより防がれる。一方、図8(B)では、 C_{pd} による逆流電流と C_{pt} による逆流電流の両方が、インダクタLに流れてしまうこととなる。したがって、逆流電流防止の観点では、図8(A)の配置のほうが、図8(B)の配置よりも優れている。

【0073】

またダイオードには、電流が流れている間、順方向の電圧降下 V_f が生じる。一方、PMOSのドレインソース電位差は、オン抵抗が小さい場合、 V_f に比べて無視できるほど小さい。ゆえに、図8(A)の配置におけるダイオードとPMOSの接続点Mの電位は、ほぼ V_{out} と等しい。一方、図8(B)の配置におけるダイオードとPMOSの接続点Mの電位は、 V_{out} と V_f の和となる。PMOSにおいて、ドレイン端子やソース端子の電位が高くなると、PMOSをオフするために必要なゲート電位も高くなる。したがって、図8(B)の配置は、PMOSをオフしにくくなり、漏れ電流が生じやすくなる。

【0074】

以上のことから、第2スイッチSW2および第3スイッチSW3は、寄生容量が比較的小さいダイオードをLX側に、PMOSを出力端子側に配置する構成が、逆流電流の防止および漏れ電流の抑制に効果がある。

【0075】

図9は、第4の実施形態に係る各スイッチのスイッチングの制御を説明する図である。図9には、発振器OSCの出力信号と第1スイッチSW1の状態、インダクタ電流IL、第1出力電圧 V_{out1} 、第2スイッチSW2の状態、および第3スイッチSW3の状態の波形が示されている。

【0076】

時刻 t_1 にて第1出力電圧 V_{out1} が下限電圧 V_{refL} を下回ると、その後、ヒステリシスコンパレータHYSCMPの出力はHighに切り替わる。PMOS2のゲートには、ヒステリシスコンパレータHYSCMPの出力が反転されて入力されるため、Lowが入力される。PMOS2はゲートにLowが入力されるとオンになるため、第2スイッチSW2はオフからオンに切り替わる。一方、PMOS3のゲートには、Highが入力される。PMOS3はゲートにHighが入力されるとオフになるため、第3スイッチSW3はオンからオフに切り替わる。

【0077】

発振器OSCの出力がHighのとき、第1スイッチSW1はオンであり、またダイオードD2が逆バイアスであるため、出力端子側へと電流は流れず、インダクタ電流ILは引き続き上昇していく。発振器OSCの出力が時刻 t_2 にLowに切り替わると第1スイッチSW1がオフし、インダクタ端子LXの電圧はダイオードD2が導通するまで上昇する。ダイオードD2が順バイアスになると、インダクタ電流ILは、ダイオードD2とPMOS2を通り、第1出力電圧 V_{out1} が上昇していく。これにより、逆にインダクタ電流ILは下降していくが、ダイオードD2により負になることはなく、逆流することはない。

【0078】

また、ヒステリシスコンパレータHYSCMPのヒステリシス特性のために、時刻 t_3 にて第1出力電圧 V_{out1} が下限電圧 V_{refL} を超えてもヒステリシスコンパレータHYSCMPの出力がLowに切り替わることはない。ゆえに、第1出力電圧 V_{out1} が上限電圧 V_{refH} を超えるまで、第2スイッチSW2および第3スイッチSW3の状態は変化しない。また、時刻 t_4 にインダクタ電流ILが流れなくなると、第1出力電圧 V_{out1} は減少するが、再び時刻 t_5 にて第1スイッチSW1がオンからオフとなった

10

20

30

40

50

ときは、第1出力電圧 V_{out1} は上昇する。このように、第1出力電圧 V_{out1} が段階的に上昇していく。

【0079】

時刻 t_6 にて、第1出力電圧 V_{out1} が上限電圧 V_{refH} を上回ると、その後の時刻 t_7 にてヒステリシスコンパレータ $HYSCMP$ の出力は Low へと切り替わり、第2スイッチ $SW2$ はオフ、第3スイッチ $SW3$ はオンとなる。発振器 OSC の出力が $High$ のときは、前述のとおり、第1スイッチ $SW1$ がオンで、出力端子側へと電流が流れることはなく、インダクタ電流 I_L は上昇していく。発振器 OSC の出力が Low に切り替わると、第1スイッチ $SW1$ がオフし、端子 LX の電圧はダイオード $D3$ が導通するまで上昇する。ダイオード $D3$ が順バイアスになると、インダクタ電流 I_L はダイオード $D3$ と $PMOS3$ を通り、出力端子13に接続された二次電池4が充電される。これによりインダクタ電流 I_L は下降していくが、ダイオード $D3$ により、入力端子11側へと電流が流れることはない。この期間、出力端子12側への電力供給はされず、第1出力電圧 V_{out1} は下降していく。

10

【0080】

ヒステリシスコンパレータ $HYSCMP$ のヒステリシス特性により、第1出力電圧 V_{out1} が上限電圧 V_{refH} を下回った後も、第1出力電圧 V_{out1} が下限電圧 V_{refL} を下回るまで、ヒステリシスコンパレータ $HYSCMP$ の出力が $High$ に切り替わらずに、第2出力端子13に接続された二次電池4への充電が行われることになる。そして、第1出力電圧 V_{out1} が下限電圧 V_{refL} を下回るとヒステリシスコンパレータ $HYSCMP$ の出力が $High$ となり、第1出力端子12への出力を開始する。

20

【0081】

以上のように、ヒステリシスコンパレータを用いると、第1出力電圧 V_{out1} は下限電圧 V_{refL} から上限電圧 V_{refH} にかけての領域付近を推移する。これにより、コンパレータの出力が切り替わる回数の減少による消費電力削減、 $PMOS2$ および $PMOS3$ の開閉の回数が減ることによるゲート容量の充放電の消費電力削減といった効果を得られる。またダイオードと $PMOS$ の位置関係は、ダイオードをインダクタ L 側、 $PMOS$ を出力側に配置することにより、インダクタ L への逆流防止、 $PMOS$ におけるオフリークの抑制という効果も得ることができる。

30

【0082】

なお、本発明は上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより、種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。さらに、異なる実施形態にわたる構成要素を適宜組み合わせてもよい。

【符号の説明】

【0083】

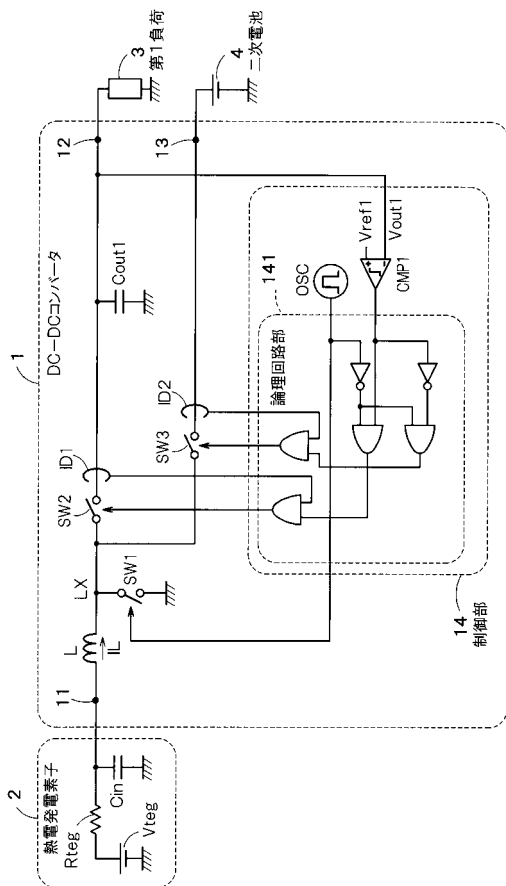
- 1 DC-DCコンバータ
- 11 入力端子
- 12 第1出力端子
- 13 第2出力端子
- 14 制御部
- 141 論理回路
- 2 熱電発電素子
- 3 第1負荷
- 4 二次電池
- 5 第2負荷
- L インダクタ
- I_L インダクタ電流
- LX インダクタの片側端子

40

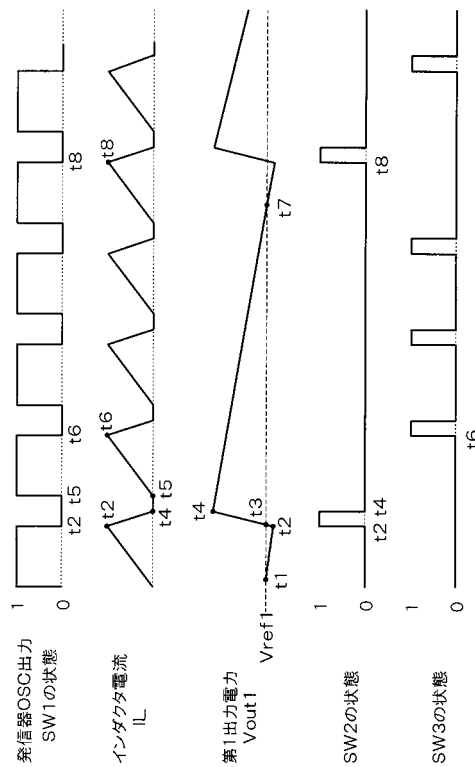
50

- Cout1、Cout2 平滑コンデンサ
- OSC 発振器
- CMP1、CMP2 比較器
- Vout1、Vout2 出力電圧
- Vref1、Vref2 参照電圧
- ID1、ID2 電流検知回路
- SW1、SW2、SW3、SubSW2、SubSW3 スイッチ
- D、D2、D3 ダイオード
- PMOS、PMOS2、PMOS3 P型MOSFET
- VTEGa 開放電圧
- RTEG 内部抵抗
- Cin 平滑コンデンサ
- Cpd ダイオードの寄生容量
- Cpt PMOSの寄生容量
- Vf 電圧降下
- M 接続点

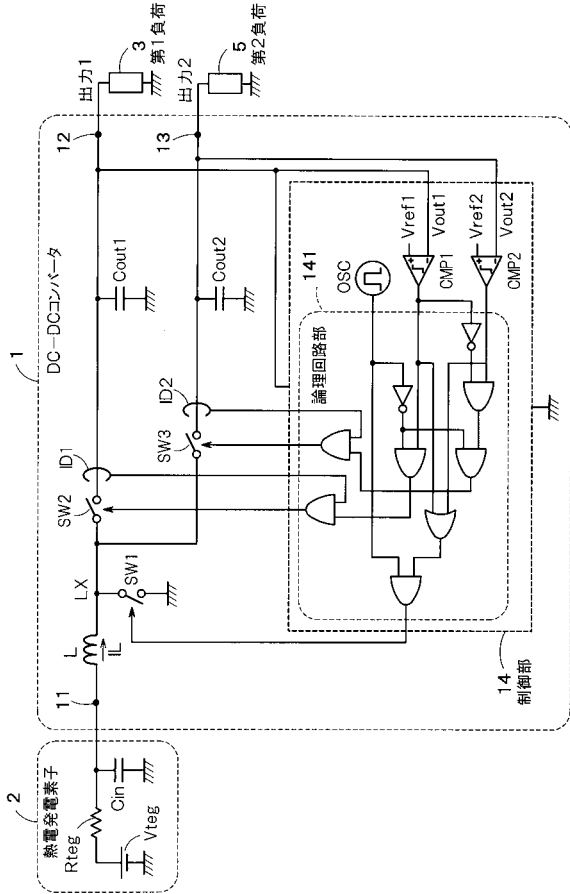
【 図 1 】



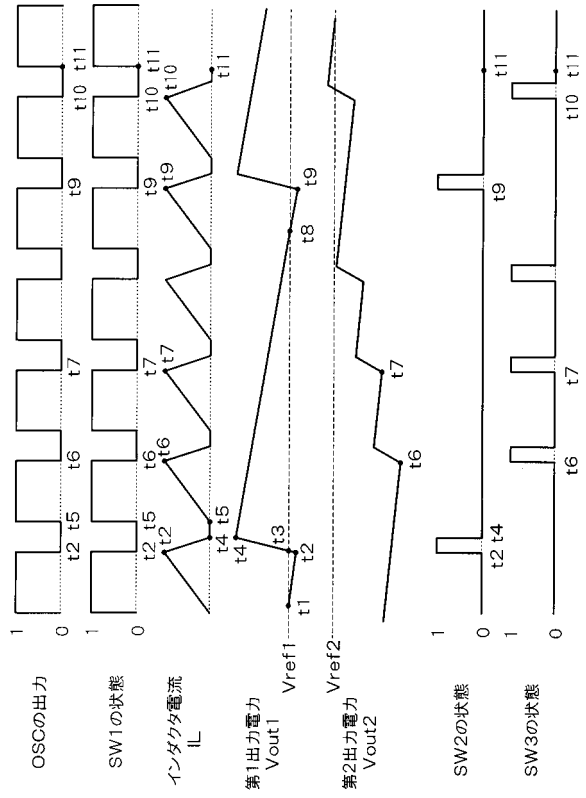
【 図 2 】



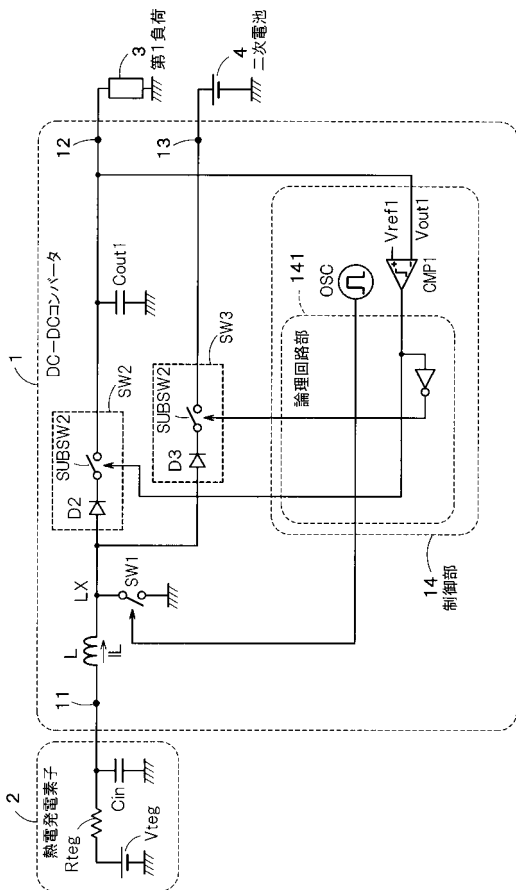
【図3】



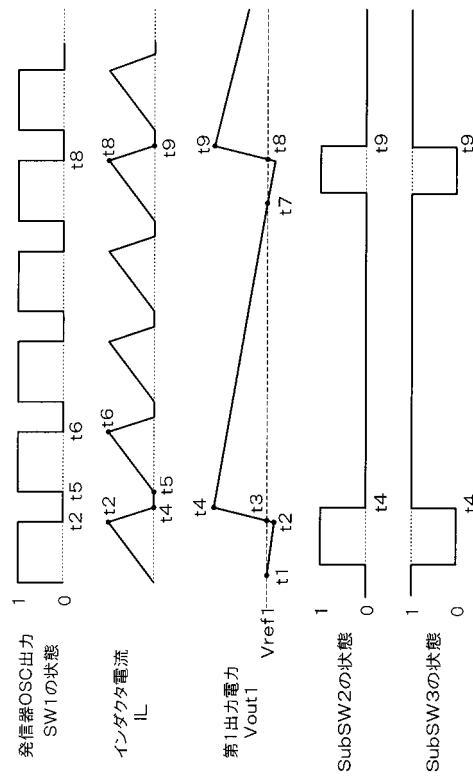
【図4】



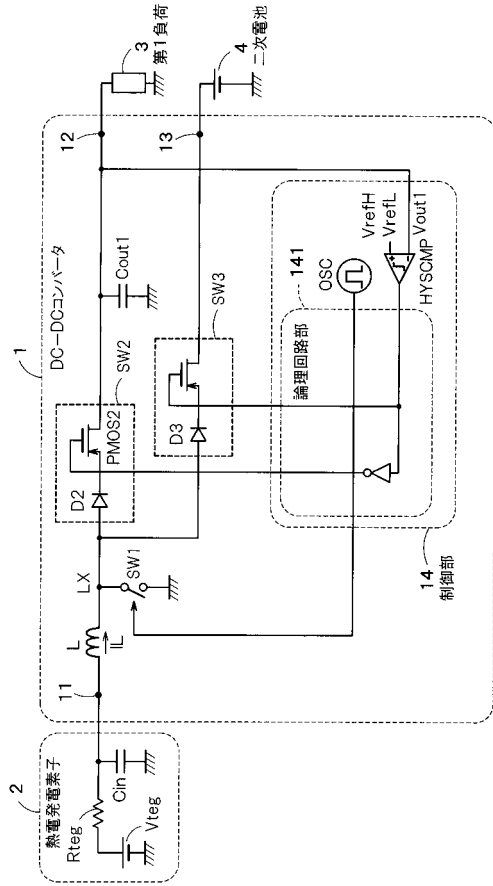
【図5】



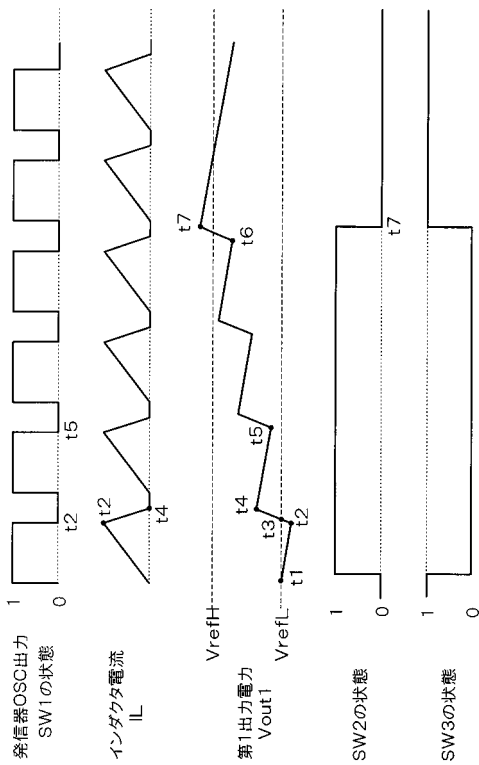
【図6】



【 図 7 】

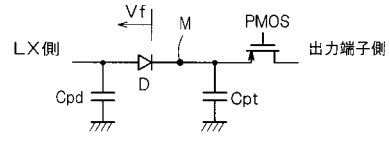


【 図 9 】

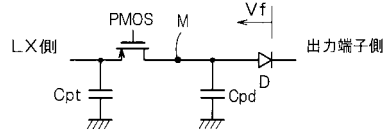


【 図 8 】

(A)



(B)



フロントページの続き

- (72)発明者 富山 陽介
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 小川 太一
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 上野 武司
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 板倉 哲朗
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 渡辺 理
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 宮崎 隆行
東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5H730 AS01 AS04 BB14 BB57 BB98 CC12 CC16 CC17 DD04 EE59
EE60 FD01 FF05 FG01