



(12) 发明专利申请

(10) 申请公布号 CN 104969540 A

(43) 申请公布日 2015. 10. 07

(21) 申请号 201480007227. 7

(51) Int. Cl.

(22) 申请日 2014. 12. 03

H04N 5/374(2011. 01)

(30) 优先权数据

H01L 27/146(2006. 01)

2013-257294 2013. 12. 12 JP

2014-109412 2014. 05. 27 JP

(85) PCT国际申请进入国家阶段日

2015. 08. 03

(86) PCT国际申请的申请数据

PCT/JP2014/006045 2014. 12. 03

(87) PCT国际申请的公布数据

W02015/087515 EN 2015. 06. 18

(71) 申请人 索尼公司

地址 日本东京

(72) 发明人 田舍中博士 井上裕士 中田征志

(74) 专利代理机构 北京信慧永光知识产权代理有限公司 11290

代理人 陈桂香 曹正建

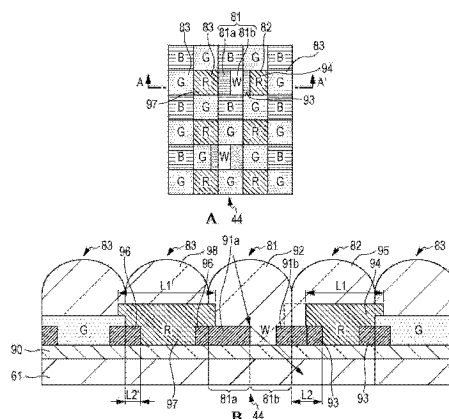
权利要求书2页 说明书21页 附图38页

(54) 发明名称

固态成像器件、固态成像器件的制造方法和电子设备

(57) 摘要

本发明公开了一种固态成像器件,其包括:相位差检测像素,所述相位差检测像素是用于相位差检测的像素;第一成像像素,所述第一成像像素是用于成像的像素并且与所述相位差检测像素相邻;和第二成像像素,所述第二成像像素是所述第一成像像素以外的用于成像的像素。所述第一成像像素的滤色器的面积小于所述第二成像像素的滤色器的面积。



1. 一种固态成像器件,其包括:
相位差检测像素;
第一成像像素,所述第一成像像素与所述相位差检测像素相邻;
第一滤色器,所述第一滤色器与所述第一成像像素对齐;
第二成像像素;和
第二滤色器,所述第二滤色器与所述第二成像像素对齐;
其中,所述第一滤色器的面积小于所述第二滤色器的面积,且
其中,所述第一成像像素的遮光膜的面积大于所述第二成像像素的遮光膜的面积。
2. 根据权利要求1所述的固态成像器件,其中,所述第一滤色器的与相邻于所述相位差检测像素的一侧相反的一侧的位置与在垂直方向上排成一列的所述第二滤色器的这一侧的位置相同。
3. 根据权利要求1所述的固态成像器件,还包括绝缘膜和额外遮光膜,所述绝缘膜和所述额外遮光膜设置在所述第一成像像素的所述遮光膜和所述第二成像像素的所述遮光膜之中的至少一者的下方。
4. 根据权利要求3所述的固态成像器件,其中,所述绝缘膜和所述额外遮光膜被设置为仅穿透光电二极管。
5. 根据权利要求1所述的固态成像器件,还包括第一额外遮光膜和第二额外遮光膜,所述第一额外遮光膜设置在所述第一成像像素的所述遮光膜的下方,所述第二额外遮光膜设置在所述第二成像像素的所述遮光膜的下方,所述第一额外遮光膜和所述第二额外遮光膜具有不同的宽度。
6. 根据权利要求5所述的固态成像器件,其中,所述第一额外遮光膜的宽度大于所述第二额外遮光膜的宽度。
7. 根据权利要求1所述的固态成像器件,其中,所述固态成像器件包括 2×2 像素阵列的像素阵列单元,且其中,所述相位差检测像素和所述第一成像像素是同色的。
8. 根据权利要求1所述的固态成像器件,其中,所述固态成像器件包括 2×2 像素阵列的像素阵列单元,其中,所述相位差检测像素和所述第一成像像素是同色的,且其中,所述相位差检测像素也是成像像素。
9. 根据权利要求8所述的固态成像器件,还包括绝缘膜和额外遮光膜,所述绝缘膜和所述额外遮光膜设置在所述第一成像像素的所述遮光膜和所述第二成像像素的所述遮光膜之中的至少一者的下方。
10. 根据权利要求9所述的固态成像器件,其中,与所述第一成像像素相对应的光在所述相位差检测像素中被接收。
11. 根据权利要求1所述的固态成像器件,其中,所述固态成像器件包括这样的像素阵列单元:其中,阵列方向相对于正常阵列方向旋转了45度。
12. 根据权利要求1所述的固态成像器件,还包括放电晶体管,所述放电晶体管连接至光电二极管,其中,所述放电晶体管受到溢流栅极的控制。
13. 根据权利要求1所述的固态成像器件,其中,所述固态成像器件包括布置在同一半导体基板上的像素阵列单元、控制电路和逻辑电路。
14. 根据权利要求1所述的固态成像器件,其中,所述固态成像器件包括像素阵列单

元、控制电路和逻辑电路；所述像素阵列单元和所述控制电路布置在第一半导体基板上；所述逻辑电路布置在第二半导体基板上；且所述第一半导体基板与所述第二半导体基板层叠设置。

15. 根据权利要求 1 所述的固态成像器件，其中，所述固态成像器件包括像素阵列单元、控制电路和逻辑电路；所述像素阵列单元布置在第一半导体基板上；所述逻辑电路和所述控制电路布置在第二半导体基板上；且所述第一半导体基板与所述第二半导体基板层叠设置。

16. 根据权利要求 1 所述的固态成像器件，其中，所述第一滤色器的宽度与所述第二滤色器的宽度相差的量等于所述第一滤色器和所述第二滤色器的加工差异的算术平均值与三倍的标准差之和。

17. 根据权利要求 3 所述的固态成像器件，其中，所述额外遮光膜中的一者通过所述绝缘连接至所述第一成像像素的所述遮光膜。

18. 根据权利要求 8 所述的固态成像器件，其中，所述相位差检测像素和所述第一成像像素共用滤色器。

19. 一种固态成像器件的制造方法，所述方法包括：

形成相位差检测像素；

形成第一成像像素，所述第一成像像素与所述相位差检测像素相邻；且

形成第二成像像素；

其中，所述第一成像像素的滤色器的面积小于所述第二成像像素的滤色器的面积，且

其中，所述第一成像像素的遮光膜的面积大于所述第二成像像素的遮光膜的面积。

20. 一种电子装置，其包括：

固态成像器件，所述固态成像器件包括：

相位差检测像素；

第一成像像素，所述第一成像像素与所述相位差检测像素相邻；

第一滤色器，所述第一滤色器与所述第一成像像素对齐；

第二成像像素；和

第二滤色器，所述第二滤色器与所述第二成像像素对齐；

其中，所述第一滤色器的面积小于所述第二滤色器的面积，且

其中，所述第一成像像素的遮光膜的面积大于所述第二成像像素的遮光膜的面积。

固态成像器件、固态成像器件的制造方法和电子设备

技术领域

[0001] 本发明涉及固态成像器件、固态成像器件的制造方法和电子设备。特别地，本发明涉及能够抑制用于相位差检测的像素中的混色和灵敏度降低的固态成像器件、固态成像器件的制造方法和电子设备。

[0002] 相关申请的交叉参考

[0003] 本申请主张享有于 2013 年 12 月 12 日提交的日本优先权专利申请 JP2013-257294 和于 2014 年 5 月 27 日提交的日本优先权专利申请 JP2014-109412 的优先权，并且将上述日本优先权申请的全部内容以引用的方式并入本文。

背景技术

[0004] 近年来，已经广泛采用利用固态成像器件对诸如人或动物等被拍摄体进行成像且对作为结果而获得的图像数据进行记录的诸如数码相机和数码摄像机等成像装置，所述固态成像器件是互补金属氧化物半导体（CMOS）传感器等。

[0005] 在上述成像装置中，在相关领域中存在这样的技术：通过将相位差检测功能添加至固态成像器件，能够在不使用专用自动焦点检测传感器的情况下实现相位差检测型自动对焦（AF，这里也被称为“自动对焦”）（例如，参考专利文献 1 和专利文献 2）。具有相位差检测功能的固态成像器件被构造为包括用于相位差检测的像素和用于成像的像素，且一部分用于相位差检测的像素形成光学黑区域。

[0006] 与此同时，随着固态成像器件的清晰度的增加，为了防止灵敏度的下降，存在着使滤色器（滤色器与像素的光电转换区域相对应地设置）之间的布置间距尽可能窄的需求。

[0007] 然而，存在这样的情况：当滤色器之间的布置间距窄时，由于因滤色器的光刻工艺的对准期间发生的位移而造成的加工差异，发生了混色和色差（颜色不均匀）。

[0008] 因此，关于成像用（图像生成用）像素，已经想出了这样的方法：通过在不同颜色的滤色器之间设置光学透明区域，来防止由于滤色器的加工差异而造成的混色和色差（例如，参考专利文献 3）。

[0009] 引用列表

[0010] 专利文献

[0011] [专利文献 1]

[0012] 日本待审查专利申请公开第 2000-156823 号

[0013] [专利文献 2]

[0014] 日本待审查专利申请公开第 2009-244862 号

[0015] [专利文献 3]

[0016] 日本待审查专利申请公开第 2007-147738 号

发明内容

[0017] 技术问题

[0018] 然而,还没有考虑到具有相位差检测功能的固态成像器件中的用于相位差检测的像素中的混色和灵敏度降低的抑制方法。

[0019] 考虑到这些情况而做出了本发明,且本文中的实施方式能够抑制用于相位差检测的像素中的混色和灵敏度降低。

[0020] 问题的解决方案

[0021] 根据本发明的第一说明性实施例,提出了一种固态成像器件,其包括:相位差检测像素,所述相位差检测像素是用于相位差检测的像素;第一成像像素,所述第一成像像素是用于成像的像素并且与所述相位差检测像素相邻;和第二成像像素,所述第二成像像素是所述第一成像像素以外的用于成像的像素,且所述第一成像像素的滤色器的面积小于所述第二成像像素的滤色器的面积。在各种说明性实施例中,第一滤色器与第一成像像素对齐且第二滤色器与第二成像像素对齐。

[0022] 在本发明的第一说明性实施例中,所述固态成像器件被构造为包括:相位差检测像素,所述相位差检测像素是用于相位差检测的像素;第一成像像素,所述第一成像像素是用于成像的像素并且与所述相位差检测像素相邻;和第二成像像素,所述第二成像像素是所述第一成像像素以外的用于成像的像素。所述第一成像像素的滤色器的面积小于所述第二成像像素的滤色器的面积。

[0023] 根据本发明的第二说明性实施例,提出了一种固态成像器件的制造方法,所述方法包括形成固态成像器件,所述固态成像器件包括:相位差检测像素,所述相位差检测像素是用于相位差检测的像素;第一成像像素,所述第一成像像素是用于成像的像素并且与所述相位差检测像素相邻;和第二成像像素,所述第二成像像素是所述第一成像像素以外的用于成像的像素。所述第一成像像素的滤色器的面积小于所述第二成像像素的滤色器的面积。

[0024] 在本发明的第二说明性实施例中,形成有固态成像器件,其被构造为包括:相位差检测像素,所述相位差检测像素是用于相位差检测的像素;第一成像像素,所述第一成像像素是用于成像的像素并且与所述相位差检测像素相邻;和第二成像像素,所述第二成像像素是所述第一成像像素以外的用于成像的像素。所述第一成像像素的滤色器的面积小于所述第二成像像素的滤色器的面积。

[0025] 根据本发明的第三说明性实施例,提出了一种电子设备,所述电子设备包括:相位差检测像素,所述相位差检测像素是用于相位差检测的像素;第一成像像素,所述第一成像像素是用于成像的像素并且与所述相位差检测像素相邻;和第二成像像素,所述第二成像像素是所述第一成像像素以外的用于成像的像素。所述第一成像像素的滤色器的面积小于所述第二成像像素的滤色器的面积。

[0026] 在本发明的第三说明性实施例中,所述电子设备被构造为包括:相位差检测像素,所述相位差检测像素是用于相位差检测的像素;第一成像像素,所述第一成像像素是用于成像的像素并且与所述相位差检测像素相邻;和第二成像像素,所述第二成像像素是所述第一成像像素以外的用于成像的像素。所述第一成像像素的滤色器的面积小于所述第二成像像素的滤色器的面积。

[0027] 根据本发明的第四说明性实施例,提出了一种固态成像器件,其包括:相位差检测像素,所述相位差检测像素是用于相位差检测的像素;第一成像像素,所述第一成像像素是

用于成像的像素并且与所述相位差检测像素相邻 ; 和第二成像像素, 所述第二成像像素是所述第一成像像素以外的用于成像的像素。所述第一成像像素的遮光膜的面积大于所述第二成像像素的遮光膜的面积。

[0028] 在本发明的第四说明性实施例中, 所述固态成像器件被构造为包括 : 相位差检测像素, 所述相位差检测像素是用于相位差检测的像素 ; 第一成像像素, 所述第一成像像素是用于成像的像素并且与所述相位差检测像素相邻 ; 和第二成像像素, 所述第二成像像素是所述第一成像像素以外的用于成像的像素。所述第一成像像素的遮光膜的面积大于所述第二成像像素的遮光膜的面积。

[0029] 根据本发明的第五说明性实施例, 提出了一种固态成像器件的制造方法, 所述方法包括形成固态成像器件, 所述固态成像器件包括 : 相位差检测像素, 所述相位差检测像素是用于相位差检测的像素 ; 第一成像像素, 所述第一成像像素是用于成像的像素并且与所述相位差检测像素相邻 ; 和第二成像像素, 所述第二成像像素是所述第一成像像素以外的用于成像的像素。所述第一成像像素的遮光膜的面积大于所述第二成像像素的遮光膜的面积。

[0030] 在本发明的第五说明性实施例中, 提出了一种固态成像器件, 其包括 : 相位差检测像素, 所述相位差检测像素是用于相位差检测的像素 ; 第一成像像素, 所述第一成像像素是用于成像的像素并且与所述相位差检测像素相邻 ; 和第二成像像素, 所述第二成像像素是所述第一成像像素以外的用于成像的像素。所述第一成像像素的遮光膜的面积大于所述第二成像像素的遮光膜的面积。

[0031] 根据本发明的第六说明性实施例, 提出了一种电子设备, 其包括 : 相位差检测像素, 所述相位差检测像素是用于相位差检测的像素 ; 第一成像像素, 所述第一成像像素是用于成像的像素并且与所述相位差检测像素相邻 ; 和第二成像像素, 所述第二成像像素是所述第一成像像素以外的用于成像的像素。所述第一成像像素的遮光膜的面积大于所述第二成像像素的遮光膜的面积。

[0032] 在本发明的第六说明性实施例中, 所述电子设备被构造为包括 : 相位差检测像素, 所述相位差检测像素是用于相位差检测的像素 ; 第一成像像素, 所述第一成像像素是用于成像的像素并且与所述相位差检测像素相邻 ; 和第二成像像素, 所述第二成像像素是所述第一成像像素以外的用于成像的像素。所述第一成像像素的遮光膜的面积大于所述第二成像像素的遮光膜的面积。

[0033] 本发明的有益效果

[0034] 根据本发明, 能够检测相位差。根据本发明, 能够抑制用于相位差检测的像素中的混色和灵敏度降低。此外, 根据本发明, 能够抑制与用于相位差检测的像素相邻的像素中的混色。

[0035] 注意, 本发明不一定限于本文中所述的效果, 且本发明所述的任何效果都是可以接受的。

附图说明

[0036] 图 1 是示出了应用了本发明的固态成像器件的实施例的说明性构造示例的框图。

[0037] 图 2 示出了像素的说明性第一构造示例的等效电路。

- [0038] 图 3A 示出了像素阵列单元的说明性第一结构示例。
- [0039] 图 3B 是示出了像素阵列单元的第一结构示例的说明图。
- [0040] 图 4A 是示出了当加工差异发生时像素阵列单元的第一结构示例的说明图。
- [0041] 图 4B 是示出了当加工差异发生时像素阵列单元的第一结构示例的说明图。
- [0042] 图 5A 是示出了图 3A 和图 3B 的像素阵列单元中的遮光膜的形状示例的说明性上表面示意图。
- [0043] 图 5B 是示出了图 3A 和图 3B 的像素阵列单元中的遮光膜的形状示例的说明性上表面示意图。
- [0044] 图 6A 是用于图示图 3A 和图 3B 的像素阵列单元的制造方法的说明图。
- [0045] 图 6B 是用于图示图 3A 和图 3B 的像素阵列单元的制造方法的说明图。
- [0046] 图 6C 是用于图示图 3A 和图 3B 的像素阵列单元的制造方法的说明图。
- [0047] 图 6D 是用于图示图 3A 和图 3B 的像素阵列单元的制造方法的说明图。
- [0048] 图 6E 是用于图示图 3A 和图 3B 的像素阵列单元的制造方法的说明图。
- [0049] 图 6F 是用于图示图 3A 和图 3B 的像素阵列单元的制造方法的说明图。
- [0050] 图 7A 示出了像素阵列单元的说明性第二结构示例。
- [0051] 图 7B 是示出了像素阵列单元的第二结构示例的说明图。
- [0052] 图 8 是示出了像素阵列单元的说明性第三结构示例的上表面示意图。
- [0053] 图 9 示出了开口区域的布置的另一个说明性示例。
- [0054] 图 10A 是示出了像素阵列单元的说明性第四结构示例的上表面示意图。
- [0055] 图 10B 是示出了像素阵列单元的第四结构示例的说明性示意图。
- [0056] 图 11A 示出了像素阵列单元的说明性第五结构示例。
- [0057] 图 11B 是示出了像素阵列单元的第五结构示例的说明图。
- [0058] 图 12A 是示出了像素阵列单元的第五结构示例的另一个示例的说明图。
- [0059] 图 12B 是示出了像素阵列单元的第五结构示例的另一个示例的说明图。
- [0060] 图 13A 示出了像素阵列单元的说明性第六结构示例。
- [0061] 图 13B 是示出了像素阵列单元的第六结构示例的说明图。
- [0062] 图 14A 是示出了像素阵列单元的第六结构示例的另一个示例的说明图。
- [0063] 图 14B 是示出了像素阵列单元的第六结构示例的另一个示例的说明图。
- [0064] 图 15A 是示出了当使用 2×2 像素阵列时像素阵列单元的第一结构示例的说明图。
- [0065] 图 15B 是示出了当使用 2×2 像素阵列时像素阵列单元的第一结构示例的说明图。
- [0066] 图 16A 是示出了当使用 2×2 像素阵列时像素阵列单元的第二结构示例的说明图。
- [0067] 图 16B 是示出了当使用 2×2 像素阵列时像素阵列单元的第二结构示例的说明图。
- [0068] 图 17A 是示出了当使用 2×2 像素阵列时像素阵列单元的第三结构示例的说明图。
- [0069] 图 17B 是示出了当使用 2×2 像素阵列时像素阵列单元的第三结构示例的说明图。
- [0070] 图 18A 是示出了当使用 2×2 像素阵列时像素阵列单元的第四结构示例的说明图。
- [0071] 图 18B 是示出了当使用 2×2 像素阵列时像素阵列单元的第四结构示例的说明图。
- [0072] 图 19A 是示出了当使用 2×2 像素阵列时像素之间的电气配线的示例的说明图。
- [0073] 图 19B 是示出了当使用 2×2 像素阵列时像素之间的电气配线的示例的说明图。
- [0074] 图 19C 是示出了当使用 2×2 像素阵列时像素之间的电气配线的示例的说明图。

- [0075] 图 19D 是示出了当使用 2×2 像素阵列时像素之间的电气配线的示例的说明图。
- [0076] 图 19E 是示出了当使用 2×2 像素阵列时像素之间的电气配线的示例的说明图。
- [0077] 图 20A 是示出了当使用 2×2 像素阵列时像素阵列单元的第一结构的另一个示例的说明图。
- [0078] 图 20B 是示出了当使用 2×2 像素阵列时像素阵列单元的第一结构的另一个示例的说明图。
- [0079] 图 21A 是示出了当使用 2×2 像素阵列时像素阵列单元的第二结构的另一个示例的说明图。
- [0080] 图 21B 是示出了当使用 2×2 像素阵列时像素阵列单元的第二结构的另一个示例的说明图。
- [0081] 图 22A 是示出了当使用 2×2 像素阵列时像素阵列单元的第三结构的另一个示例的说明图。
- [0082] 图 22B 是示出了当使用 2×2 像素阵列时像素阵列单元的第三结构的另一个示例的说明图。
- [0083] 图 23A 是示出了当使用 2×2 像素阵列时像素阵列单元的第四结构的另一个示例的说明图。
- [0084] 图 23B 是示出了当使用 2×2 像素阵列时像素阵列单元的第四结构的另一个示例的说明图。
- [0085] 图 24A 是示出了当使用 2×2 像素阵列时像素阵列单元的第五结构示例的说明图。
- [0086] 图 24B 是示出了当使用 2×2 像素阵列时像素阵列单元的第五结构示例的说明图。
- [0087] 图 25A 是示出了当使用 2×2 像素阵列时像素阵列单元的第五结构的另一个示例的说明图。
- [0088] 图 25B 是示出了当使用 2×2 像素阵列时像素阵列单元的第五结构的另一个示例的说明图。
- [0089] 图 26A 是示出了像素阵列单元的第八结构示例的说明图。
- [0090] 图 26B 是示出了像素阵列单元的第八结构示例的说明图。
- [0091] 图 27 是示出了像素阵列单元的第九结构示例的说明图。
- [0092] 图 28 示出了像素的说明性第二构造的等效电路。
- [0093] 图 29A 示出了固态成像器件的组件的说明性布置示例。
- [0094] 图 29B 示出了固态成像器件的组件的说明性布置示例。
- [0095] 图 29C 示出了固态成像器件的组件的说明性布置示例。
- [0096] 图 30 示出了作为应用了本发明的电子设备的说明性成像装置的构造示例。

具体实施方式

- [0097] < 第一说明性实施例 >
- [0098] (固态成像器件的说明性实施例的构造示例)
- [0099] 图 1 是示出了应用了本发明的固态成像器件的实施例的说明性构造示例的框图。
- [0100] 图 1 的固态成像器件 41 被构造为包括半导体基板 (未示出) 上的时序控制单元 42、垂直扫描电路 43、像素阵列单元 44、恒流源电路单元 45、参考信号产生单元 46、列 AD 转

换单元 47、水平扫描电路 48、水平输出线 49 和输出电路 50。

[0101] 时序控制单元 42 在预定频率的主时钟的基础上将预定操作所需的时钟信号或时序信号供给至垂直扫描电路 43 和水平扫描电路 48。例如,时序控制单元 42 将像素 51 的快门操作或读取操作的时序信号供给至垂直扫描电路 43 和水平扫描电路 48。虽然图中省略了,但是时序控制单元 42 也将预定操作所需的时钟信号或时序信号供给至参考信号产生单元 46 和列 AD 转换单元 47。

[0102] 垂直扫描电路 43 在预定时刻依次将对像素信号的输出进行控制的信号供给至像素阵列单元 44 的在垂直方向上排列的各像素 51。

[0103] 多个像素 51 以二维阵列模式(矩阵模式)布置于像素阵列单元 44 中。

[0104] 以二维阵列模式布置的多个像素 51 以行为单位通过水平信号线 52 连接至垂直扫描电路 43。换言之,像素阵列单元 44 内的布置于同一行的多个像素 51 通过同一条水平信号线 52 与垂直扫描电路 43 连接。注意,在图 1 中,水平信号线 52 示意为单条配线;然而,水平信号线 52 不限于单条配线。

[0105] 以二维阵列模式布置的多个像素 51 以列为单位通过垂直信号线 53 连接至水平扫描电路 48。换言之,像素阵列单元 44 内的布置于同一列的多个像素 51 通过同一条垂直信号线 53 与水平扫描电路 48 连接。

[0106] 像素阵列单元 44 内的各像素 51 根据经由水平信号线 52 从垂直扫描电路 43 供给来的信号将与像素 51 内部累积的电荷相对应的像素信号输出至垂直信号线 53。像素 51 起到用于成像的像素或用于相位差检测的像素的作用。后面将参照图 2 等说明像素 51 的详细构造。

[0107] 恒流源电路单元 45 包括多个负载 MOS 54,且垂直信号线 53 分别与一个负载 MOS 54 连接。在负载 MOS 54 中,偏置电压施加于栅极且源极接地。负载 MOS 54 与经由垂直信号线 53 连接的像素 51 内的晶体管一起形成源级跟随器电路。

[0108] 参考信号产生单元 46 被构造为包括数字模拟转换器(DAC)46a,产生斜坡波形参考信号并且根据来自时序控制单元 42 的时钟信号将参考信号供给至列 AD 转换单元 47。

[0109] 列 AD 转换单元 47 包括多个模拟数字转换器(ADC)55,像素阵列单元 44 的每一列设置有一个 ADC 55。因此,多个像素 51、一个负载 MOS 54 和一个 ADC 55 连接至一条垂直信号线 53。

[0110] ADC 55 使经由垂直信号线 53 从同一列像素 51 供给来的像素信号经受相关双采样(CDS)处理,并且还对上述像素信号进行 AD 转换处理。

[0111] 各 ADC 55 暂时存储 AD 转换后的像素数据,并且根据水平扫描电路 48 的控制将该数据输出至水平输出线 49。

[0112] 水平扫描电路 48 在预定时刻依次将存储于多个 ADC 55 中的像素数据输出至水平输出线 49。

[0113] 水平输出线 49 连接至输出电路(放大电路)50,且从 ADC 55 输出的 AD 转换后的像素数据经由水平输出线 49 从输出电路 50 输出至固态成像器件 41 的外部。例如,存在输出电路 50(信号处理单元)仅进行缓冲的情况;且存在输出电路 50 进行黑电平调整和列差异校正等各种数字信号处理的情况。

[0114] 如上所述构造的固态成像器件 41 是被称为列 AD 型的 CMOS 图像传感器,其中,针

对各垂直列都布置有进行 CDS 处理和 AD 转换处理的 ADC 55。

[0115] (像素的第一说明性构造示例)

[0116] 图 2 示出了像素 51 的第一构造示例的说明性等效电路。

[0117] 像素 51 包括光电二极管 61(作为光电转换元件)、传输晶体管 62、浮动扩散区域(FD)63、复位晶体管 64、放大晶体管 65 和选择晶体管 66。

[0118] 光电二极管 61 是产生并累积与受光量相对应的电荷(信号电荷)的光电转换单元。在光电二极管 61 中,阳极端子接地且阴极端子经由传输晶体管 62 连接至 FD 63。

[0119] 当传输晶体管 62 被传输信号 TX 导通时,传输晶体管 62 读取光电二极管 61 产生的电荷并将电荷转移至 FD 63。

[0120] FD 63 保持从光电二极管 61 读取的电荷。当复位晶体管 64 被复位信号 RST 导通时,复位晶体管 64 通过使累积于 FD 63 中的电荷排出至恒压源 VDD 使 FD 63 的电势复位。

[0121] 放大晶体管 65 输出与 FD 63 的电势相对应的像素信号。换言之,放大晶体管 65 与作为恒流源的负载 MOS 54 一起形成源级跟随器电路,并且表明与 FD 63 中累积的电流相对应的电平的像素信号从放大晶体管 65 经由选择晶体管 66 被输出至 ADC 55。

[0122] 当选择信号 SEL 选择像素 51 时选择晶体管 66 导通,且选择晶体管 66 经由垂直信号线 53 将像素 51 的像素信号输出至 ADC 55。传输信号 TX、复位信号 RST 和选择信号 SEL 经由水平信号线 52 从垂直扫描电路 43 供给(图 1)。

[0123] (像素阵列单元的第一说明性结构示例)

[0124] 图 3A 和图 3B 是示出了像素阵列单元 44 的第一结构示例的说明图。

[0125] 图 3A 是示出了像素阵列单元 44 的第一结构示例的上表面示意图,图 3B 是沿着图 3A 的线 A-A' 截取的横截面图。注意,在图 3A 和图 3B 中,仅绘出了像素阵列单元 44 的 5×6 个像素 51 的光电二极管 61 的区域。这同样适用于后面所述的图 4A、4B、7A 至 8B、10A 至 18B 和 20A 至 26B。在图 3A 中,未绘出片上透镜。这同样适用于后面所述的图 4A、4B、7A 至 18B 和 20A 至 27。

[0126] 如图 3A 所示,像素阵列单元 44 的各像素 51 通常是拜耳(Bayer)阵列的用于成像的像素,且一部分用于成像的像素已经被用于相位差检测的像素替代。注意,在下文中,当特别区分像素 51 之中的用于相位差检测的像素时,将使用术语相位差检测像素 81。

[0127] 相位差检测像素 81 的光电二极管 61 被构造为包括光学黑区域 81a 和对白色(W)光进行成像的开口区域 81b。在外部装置(未图示)中,与利用开口区域 81b 的成像而获得的像素信号相对应的图像数据被用于相位差的检测。检测出的相位差被用于焦点确定等。

[0128] 在下文中,当特别区分像素 51 之中的相邻于与布置有相位差检测像素 81 的光学黑区域 81a 的这一侧相反的一侧的用于成像的像素,即,与布置有开口区域 81b 的这一侧(图 3B 的中心的右侧)相邻的用于成像的像素时,将使用术语第一成像像素 82。当特别区分像素 51 之中的除第一成像像素 82 以外的用于成像的像素时,将使用术语第二成像像素 83。

[0129] 如图 3B 所示,在像素 51 的光电二极管 61 上形成有透明膜 90。形成在透明膜 90 上的材料根据像素 51 的类型而不同。

[0130] 具体地,遮光膜 91a 和遮光膜 91b 分别形成在与相位差检测像素 81 的透明膜 90 上的光学黑区域 81a 的整个表面以及与开口区域 81b 内的形成与另一个像素 51 的边界的

部分相对应的区域中。片上透镜 92 被形成为覆盖相位差检测像素 81 的其上形成有遮光膜 91a 和遮光膜 91b 的透明膜 90。

[0131] 除了具有将来自外部的光会聚至相位差检测像素 81 的光电二极管 61 上的作用以外,片上透镜 92 还起到白色滤色器的作用。在这里,片上透镜 92 也起到白色滤色器的作用;然而,可以设置片上透镜 92 以外的白色滤色器。

[0132] 在第一成像像素 82 的透明膜 90 上的形成与另一个像素 51 的边界的部分上形成有遮光膜 93。此外,在第一成像像素 82 的其上形成有遮光膜 93 的透明膜 90 上形成有红色、绿色或蓝色(图 3B 中为红色)的滤色器 94。片上透镜 95 被形成为覆盖第一成像像素 82 的其上形成有遮光膜 93 和滤色器 94 的透明膜 90。片上透镜 95 将来自外部的光会聚至第一成像像素 82 的光电二极管 61 上。

[0133] 在第二成像像素 83 的透明膜 90 上的形成与另一个像素 51 的边界的部分上形成有遮光膜 96。此外,在第二成像像素 83 的其上形成有遮光膜 96 的透明膜 90 上形成有红色、绿色或蓝色(图 3B 中为红色或绿色)的滤色器 97。片上透镜 98 被形成为覆盖第二成像像素 83 的其上形成有遮光膜 96 和滤色器 97 的透明膜 90。片上透镜 98 将来自外部的光会聚至第二成像像素 83 的光电二极管 61 上。

[0134] 在固态成像器件 41 中,滤色器 94 的面积小于滤色器 97 的面积。具体地,第一成像像素 82 的滤色器 94 在水平方向(相位差检测像素 81 与第一成像像素 82 相邻的方向)上的宽度 L1 比第二成像像素 83 的滤色器 97 的宽度 L1' 窄。例如,可以将宽度 L1 与宽度 L1' 之间的差值设定为通过将滤色器 94 的加工差异的算术平均值加上三倍的标准差(σ)而获得的值或以上(以下被称为变化值)。

[0135] 滤色器 94 的加工差异是由滤色器 94(97)的光刻工艺(光刻)引起的并且取决于进行光刻工艺的装置和光刻工艺中使用的光源的波长等。例如,当 i 光束(i-beam)用作光刻工艺的光源时,变化值约是几十 nm 至几百 nm。除了 i 光束以外,KrF 和 ArF 等等也可以用作光刻工艺的光源。

[0136] 如图 3A 所示,第一成像像素 82 的滤色器 94 的与邻近于相位差检测像素 81 这侧相反的一侧(图 3B 中的右侧)的位置与在垂直方向上排列的第二成像像素 83(例如,图 3A 的红色第一成像像素 82 下方的绿色第二成像像素 83)的滤色器 97 的位置相同。

[0137] 如图 3B 所示,遮光膜 93 的面积大于遮光膜 96 的面积。具体地,第一成像像素 82 的遮光膜 93 内与相位差检测像素 81 相邻这一侧的在水平方向上的宽度 L2 比第二成像像素 83 的遮光膜 96 的宽度 L2' 宽。例如,能够将宽度 L2 与宽度 L2' 之间的差值设定为变化值或更大。

[0138] 以这样的方式,因为遮光膜 93 的面积大于遮光膜 96 的面积,滤色器 94 的面积小于滤色器 97 的面积,因此,能够防止未通过滤色器 94 的光入射至第一成像像素 82 的光电二极管 61。

[0139] 如上所述,滤色器 94 的面积比滤色器 97 的面积小。因此,如图 4A 和图 4B 所示,即使当红色滤色器 94 和 97 由于加工差异而斜移向图 4A 的左下方时,也能够防止通过滤色器 94 的光入射至开口区域 81b。

[0140] 换言之,图 4A 是当红色滤色器 94 和 97 由于加工差异而斜移向左下方时图 3A 和图 3B 的像素阵列单元 44 的说明性上表面示意图,图 4B 是沿着图 4A 的线 A-A' 而获得的横

截面图。

[0141] 当红色滤色器 97 由于加工差异而斜移向图 4A 的左下方时,如图 4B 说明性地所示,在未形成有相邻的绿色滤色器 97 的遮光膜 96 的区域上也形成有红色滤色器 97。因此,除了通过绿色滤色器 97 的光以外,既通过红色滤色器 97 又通过绿色滤色器 97 的光入射至绿色第二成像像素 83 的光电二极管 61。

[0142] 然而,因为第二成像像素 83 的未形成有遮光膜 96 的区域的面积大,所以既通过红色滤色器 97 又通过绿色滤色器 97 的光导致的第二成像像素 83 的灵敏度降低的影响几乎不存在。因为既经由红色滤色器 97 又经由绿色滤色器 97 入射的光量少,所以混色的影响也小。

[0143] 与此同时,因为滤色器 94 的宽度 L1 比滤色器 97 的宽度 L1' 窄,所以即使红色滤色器 94 斜移向图 4A 的左下方,红色滤色器 94 也不会被形成在未形成有遮光膜 91b 的区域。因此,因为通过片上透镜 92 的光在不被红色滤色器 94 遮挡的情况下直接进入开口区域 81b,所以抑制了灵敏度的降低。经过红色滤色器 94 的光不会入射至开口区域 81b,从而抑制了混色。

[0144] 在这里,开口区域 81b 的面积比第二成像像素 83 中的未形成有遮光膜 96 的区域小。因此,当在尺寸上简单地减小各像素 51 的滤色器的面积时,相位差检测像素 81 的灵敏度降低且相位差检测精度下降。因此,在固态成像器件 41 中,在尺寸上仅减小第一成像像素 82 的滤色器 94 的面积。因此,能够在不降低相位差检测像素 81 的灵敏度的情况下抑制相位差检测像素 81 中的混色。

[0145] 相位差检测像素 81 的滤色器是白色的。因此,与光既通过红色滤色器 97 又通过绿色滤色器 97 并且到达光电二极管 61 的情况相比,当既通过片上透镜 92 又通过红色滤色器 94 的光到达光电二极管 61 时,到达光电二极管 61 的光的量并且混色的影响大。

[0146] 因此,相位差检测像素 81 中的混色的抑制效果大。

[0147] 如上所述,因为遮光膜 93 的面积比遮光膜 96 的面积大,所以与第二成像像素 83 的灵敏度相比,第一成像像素 82 的灵敏度降低。因此,输出电路 50 将第一成像像素 82 获得的像素数据乘以增益(进行增益校正),以使当片上透镜 95 和片上透镜 98 会聚的光是相同的光时,第一成像像素 82 和第二成像像素 83 的像素数据是相同的。

[0148] 在相位差检测像素 81 的透明膜 90 上的未形成有遮光膜的区域内,光被不规则地反射且一部分光入射至第一成像像素 82。因此,第一成像像素 82 中发生混色。因此,输出电路 50 对第一成像像素 82 的像素数据进行混色校正。

[0149] 在图 4A 和图 4B 中,对红色滤色器 94 和 97 由于加工差异而移位的情况进行了说明;然而,在绿色或蓝色滤色器 94 和 97 移位的情况下,也能够抑制相位差检测像素 81 中的灵敏度降低和混色。

[0150] (遮光膜的形状例)

[0151] 图 5A 和图 5B 是示出了图 3A 和图 3B 的像素阵列单元 44 中遮光膜 91a、91b、93 和 96 的形状例的上表面示意图。图 5A 和图 5B 表示图 3A 的 A-A' 线的位置的 5×1 个像素的遮光膜。

[0152] 如图 5A 说明性地所示,图 3A 和图 3B 的像素阵列单元 44 的相位差检测像素 81 的遮光膜 91a 和 91b 被形成为使得未形成有遮光膜的开口部 101 是矩形的。遮光膜 93 被形

成为使得未形成有遮光膜的开口部 102 是矩形的,且遮光膜 96 被形成成为使得未形成有遮光膜的开口部 103 是矩形的。

[0153] 如图 5B 说明性地所示,遮光膜 91a、91b、93 和 96 可以被形成成为使得开口部 101 和开口部 102 具有椭圆形状且开口部 103 具有圆形形状。自然地,开口部 101 至 103 的形状不限于图 5A 和图 5B 的形状,且可以是梯形或三角形等。

[0154] (像素阵列单元的说明性制造方法)

[0155] 图 6A 至图 6F 是用于图示图 3A 和图 3B 的像素阵列单元 44 内的光电二极管 61 的制造方法的说明图。

[0156] 如图 6A 所示,首先,在半导体基板上形成具有波导(未示出)的光电二极管 61。接着,如图 6B 所示,在光电二极管 61 上形成高透光率的无机膜(例如, SiO_2 膜、 SiN 膜或 TiO_x 膜等)作为透明膜 90。注意,透明膜 90 可以是有机膜。例如,滤色器 94(97) 和片上透镜 92(95,98) 的有机材料可以是硅氧烷等。

[0157] 接着,如图 6C 所示,利用光刻和干法蚀刻在透明膜 90 上形成遮光膜 91a、91b、93 和 96。

[0158] 如图 6D 所示,利用光刻和干法蚀刻在透明膜 90 上形成绿色滤色器 94 和 97。接着,如图 6E 所示,在透明膜 90 上形成红色滤色器 94 和 97;其后,利用光刻和干法蚀刻在透明膜 90 上形成蓝色滤色器 94 和 97。最后,如图 6F 所示,形成片上透镜 92、95 和 98 以覆盖像素 51 的透明膜 90。

[0159] 如上所述,在固态成像器件 41 中,第一成像像素 82 的滤色器 94 的面积小于第二成像像素 83 的滤色器 97 的面积。因此,当滤色器 94 由于滤色器 94 的加工差异而移位时,能够抑制用于相位差检测的像素中的灵敏度降低和混色。

[0160] 相反地,通过在遮光膜 91b 与另一个像素 51 相邻的方向上增加宽度,能够抑制混色。然而,在这种情况下,因为开口部 101 变窄,所以灵敏度降低。因为相位差检测像素 81 的开口部 101 比第一成像像素 82 或第二成像像素 83 都小,所以灵敏度降低的影响大,并且例如存在这样的情况:在暗处难以在摄影期间内检测出相位差。

[0161] 在上面给出的说明中,将与相位差检测像素 81 的布置有开口区域 81b 的这一侧相邻的像素 51 设定为第一成像像素 82;然而,可以将垂直方向上与相位差检测像素 81 相邻的像素 51 设定为第一成像像素 82。

[0162] 在这种情况下,滤色器 94 布置为:第一成像像素 82 的滤色器 94 的不与相位差检测像素 81 相邻的一侧的位置与在水平方向上排列的第二成像像素 83 的滤色器的位置相同。第一成像像素 82 的滤色器 94 的在第一成像像素 82 与相位差检测像素 81 相邻这一方向上的宽度比滤色器 97 的宽度小。因此,能够抑制由于在垂直方向上与相位差检测像素 81 相邻的第一成像像素 82 的滤色器 94 的加工差异而造成的相位差检测像素 81 的灵敏度降低和混色。

[0163] 与相位差检测像素 81 的布置有开口区域 81b 的这一侧相邻的像素 51 和在垂直方向上与相位差检测像素 81 相邻的像素 51 都能够设定为第一成像像素 82。

[0164] (像素阵列单元的第二说明性结构示例)

[0165] 图 7A 和图 7B 是示出了像素阵列单元 44 的第二结构示例的说明图。

[0166] 在图 7A 和图 7B 所示的组件中,用相同的附图标记表示与图 3A 和图 3B 中的组件

相同的组件。将适当地省略多余的说明。

[0167] 图 7A 和图 7B 的像素阵列单元 44 的构造与图 3A 和图 3B 的构造的不同之处在于：设置有遮光膜 111 来代替遮光膜 91b。在图 7A 和图 7B 的像素阵列单元 44 中，通过设置具有比遮光膜 91b 更大面积的遮光膜 111 来抑制第一成像像素 82 中的混色。

[0168] 具体地，遮光膜 111 形成在与下述部分相对应的区域汇中：该部分是相位差检测像素 81 的透明膜 90 上的开口区域 81b 内的形成与另一个像素 51 的边界的部分。遮光膜 111 的面积大于遮光膜 91b 的面积。遮光膜 111 的在水平方向上的宽度比遮光膜 96 的与相位差检测像素 81 相邻侧的在水平方向上的宽度大。

[0169] 遮光膜 111 遮挡了在相位差检测像素 81 的透明膜 90 上未形成有遮光膜的区域内被不规则地反射的光，并且防止所述光入射至第一成像像素 82 的光电二极管 61。因此，能够抑制第一成像像素 82 中的混色。

[0170] （像素阵列单元的第三说明性结构示例）

[0171] 图 8 是示出了像素阵列单元 44 的第三结构示例的说明性上表面示意图。

[0172] 在图 8 所示的组件中，用相同的附图标记表示与图 3A 和图 3B 中的组件相同的组件。将适当地省略多余的说明。

[0173] 图 8 的像素阵列单元 44 的构造与图 3A 和图 3B 的构造的不同之处在于：设置了光学黑区域 111a、开口区域 111b、滤色器 112 和遮光膜 112a 来分别代替光学黑区域 81a、开口区域 81b、滤色器 94 和遮光膜 93。在图 8 的像素阵列单元 44 中，当从上方观察时开口区域 111b 具有方形形状，且在水平方向和垂直方向上与相位差检测像素 81 相邻的像素 51 成为第一成像像素 82。

[0174] 具体地，开口区域 111b 是通过将相位差检测像素 81 的光电二极管 61 的区域分成四个区域而获得的其中一个区域，且光学黑区域 111a 是剩余的三个区域。

[0175] 在水平方向上与相位差检测像素 81 相邻的第一成像像素 82 的滤色器 112 的在垂直方向上的位置不同于相位差检测像素 81 的开口区域 111b 的位置。换言之，当开口区域 111b 是光电二极管 61 的左上方或右上方的区域时，滤色器 112 被布置在第一成像像素 82 的光电二极管 61 的下侧。当开口区域 111b 是光电二极管 61 的左下方或右下方的区域时，滤色器 112 布置在第一成像像素 82 的光电二极管 61 的上侧。

[0176] 在垂直方向上与相位差检测像素 81 相邻的第一成像像素 82 的滤色器 112 的在水平方向上的位置不同于相位差检测像素 81 的开口区域 111b 的位置。换言之，当开口区域 111b 是光电二极管 61 的右上方或右下方的区域时，滤色器 112 布置在第一成像像素 82 的光电二极管 61 的左侧。当开口区域 111b 是光电二极管 61 的左上方或左下方的区域时，滤色器 112 布置在第一成像像素 82 的光电二极管 61 的右侧。

[0177] 滤色器 112 的在滤色器 112 与相位差检测像素 81 相邻这一方向上的宽度比第二成像像素 83 的滤色器 94 的宽度窄。滤色器 112 的与邻近相位差检测像素 81 的一侧相反的一侧的位置和在与邻近于相位差检测像素 81 的方向垂直的方向上排列的第二成像像素 83 的滤色器 94 的位置相同。

[0178] 注意，在图 8 的示例中，在垂直方向上排列的开口区域 111b 的在垂直方向上的位置是相同的，且水平方向上的位置是不同的；然而，如图 9 说明性地所示，在垂直方向上排列的开口区域 111b 的在水平方向上的位置可以是相同的，且在垂直方向上的位置可以是

不同的。在这种情况下,例如,如图 9 所示,在水平方向上排列的开口区域 111b 的垂直方向上的位置是相同的,且在水平方向上的位置设置为是不同的。通过采用这样的构造,能够利用相位差检测像素 81 的像素信号来检测水平方向和垂直方向上的相位差。

[0179] (像素阵列单元的第四说明性结构示例)

[0180] 图 10A 和图 10B 是示出了像素阵列单元 44 的第四结构示例的说明图。

[0181] 在图 10A 和图 10B 所示的组件中,用相同的附图标记表示与图 3A 和图 3B 中的组件相同的组件。将适当地省略多余的说明。

[0182] 图 10A 和图 10B 的像素阵列单元 44 的构造与图 3A 和图 3B 的构造的不同之处在于:相位差检测像素 81 设置有滤色器 121。在图 10A 和图 10B 的像素阵列单元 44 中,相位差检测像素 81 除了用作用于相位差检测的像素以外还用作用于成像的像素。

[0183] 具体地,在形成有遮光膜 91a 和遮光膜 91b 的与开口区域 81b 相对应的透明膜 90 上形成有滤色器 121。在图 10A 和图 10B 的示例中,滤色器 121 是绿色 (G) 的。因此,相位差检测像素 81 的像素数据除了用于相位差检测以外还能够用作成像用绿色像素的像素数据。

[0184] 注意,因为开口部 101 比开口部 102 或开口部 103 小,所以相位差检测像素 81 的灵敏度比第一成像像素 82 或第二成像像素 83 的灵敏度低。因此,当相位差检测像素 81 获得的像素数据事实上用作成像用绿色像素的像素数据时,存在这样的情况:在暗处,摄影期间内可能无法精确地获得像素数据。因此,输出电路 50 可以将相位差检测像素 81 获得的像素数据乘以增益(进行增益校正),以使当片上透镜 92 和片上透镜 98 会聚的光是相同的光时,相位差检测像素 81 和第二成像像素 83 的像素数据是相同的。

[0185] 在图 10A 和图 10B 中,滤色器 121 是绿色的;然而,滤色器 121 可以是红色或蓝色的。

[0186] (像素阵列单元的第五说明性结构示例)

[0187] 图 11A 和图 11B 是示出了像素阵列单元 44 的第五结构示例的说明图。

[0188] 在图 11A 和图 11B 所示的组件中,用相同的附图标记表示与图 3A 和图 3B 中的组件相同的组件。将适当地省略多余的说明。

[0189] 图 11A 和图 11B 的像素阵列单元 44 的构造与图 3A 和图 3B 的构造的不同之处在于:在遮光膜 96(91a、91b 和 93) 的下方设置有绝缘膜 141 和遮光膜 142。

[0190] 绝缘膜 141 被设置为覆盖遮光膜 142。遮光膜 142 设置在像素 51 的边界的遮光膜 96(91a、91b 和 93) 的下方并且穿透透明膜 90 和光电二极管 61。因此,遮光膜 142 和遮光膜 96(91a、91b 和 93) 经由绝缘膜 141 彼此连接。

[0191] 如图 12A 和图 12B 说明性地所示,遮光膜 142 可以设置为仅穿透光电二极管 61,且遮光膜 142 和遮光膜 96(91a、91b 和 93) 可以分开。可以不设置有遮光膜 142。

[0192] (像素阵列单元的第六说明性结构示例)

[0193] 图 13A 和图 13B 是示出了像素阵列单元 44 的第六结构示例的说明图。

[0194] 在图 13A 和图 13B 所示的组件中,用相同的附图标记表示与图 3A 和图 3B 中的组件相同的组件。将适当地省略多余的说明。

[0195] 图 13A 和图 13B 的像素阵列单元 44 的构造与图 3A 和图 3B 的构造的不同之处在于:在遮光膜 96(91a、91b 和 93) 的下方设置有遮光膜 161 或 162。

[0196] 遮光膜 161 设置在第二成像像素 83 之间的边界且设置在第二成像像素 83 与相位差检测像素 81 之间的边界,并且穿透透明膜 90 和光电二极管 61。与此同时,遮光膜 162 设置在相位差检测像素 81 与第一成像像素 82 之间的边界并且穿透透明膜 90 和光电二极管 61。

[0197] 遮光膜 162 在水平方向上的宽度 L12 比遮光膜 161 在水平方向上的宽度 L11 宽。具体地,在图 13A 和图 13B 的示例中,遮光膜 162 的在遮光膜 91b 下方的在水平方向上的宽度与遮光膜 161 的在遮光膜 96(91a 和 93) 下方的在水平方向上的宽度相同;然而,遮光膜 162 的在遮光膜 93 下方的在水平方向上的宽度比遮光膜 161 的在遮光膜 96(91a 和 93) 下方的在水平方向上的宽度更大。

[0198] 如图 14A 和图 14B 说明性地所示,遮光膜 162 的在遮光膜 93 下方的在水平方向上的宽度与遮光膜 161 的在遮光膜 96(91a 和 93) 下方的在水平方向上的宽度相同;然而,遮光膜 162 的在遮光膜 91b 下方的在水平方向上的宽度比遮光膜 161 的在遮光膜 96(91a 和 93) 下方的在水平方向上的宽度更大;因此,遮光膜 162 的在水平方向上的宽度 L12 可以大于遮光膜 161 的在水平方向上的宽度 L11。遮光膜 161(162) 可以被绝缘膜覆盖。

[0199] 在上面给出的说明中,说明了像素阵列单元 44 的像素 51 的阵列是拜耳阵列的情况;然而,像素阵列单元 44 的像素 51 的阵列不限于拜耳阵列。例如,像素阵列单元 44 的像素 51 的阵列可以是这样的阵列:其中,相同的颜色被分配给每 2×2 个像素 51(以下被称为 2×2 像素阵列)。

[0200] (像素阵列单元的第七说明性结构示例)

[0201] 图 15A 和图 15B 是示出了当像素 51 的阵列是 2×2 像素阵列时的像素阵列单元 44 的第一结构示例的说明图。

[0202] 在图 15A 和图 15B 所示的组件中,用相同的附图标记表示与图 3A、图 3B、图 11A 和图 11B 中的组件相同的组件。将适当地省略多余的说明。

[0203] 如图 15A 所示,当像素 51 的阵列是 2×2 像素阵列时,例如, 2×2 个绿色像素 51 中的一个像素 51 被替换为既用于相位差检测又用于成像的相位差检测像素 181。与相位差检测像素 181 相邻的绿色像素被设定为第一成像像素 182。在图 15A 和图 15B 的示例中,绿色像素 51 之中除了相位差检测像素 181 和第一成像像素 182 以外的像素 51 以及红色和蓝色像素 51 被设定为第二成像像素 183。

[0204] 除了同色的相邻像素 51 之间共用滤色器 191 并且除了在第二成像像素 183 的边界未设置有绝缘膜 141、遮光膜 142 和遮光膜 96 以外,相位差检测像素 181、第一成像像素 182 和第二成像像素 183 的构造分别与图 11A 和图 11B 的相位差检测像素 81、第一成像像素 82 和第二成像像素 83 的构造相同。

[0205] 因此,第一成像像素 182 的遮光膜 93 的面积大于第二成像像素 183 的遮光膜 96 的面积。因此,能够抑制相位差检测像素 181 与第一成像像素 182 之间的混色,且能够提高信噪比。因此,能够抑制固态成像器件的灵敏度降低。

[0206] 因为在相位差检测像素 181 与第一成像像素 182 之间的边界处设置有遮光膜 142,所以与第一成像像素 182 相对应的光在相位差检测像素 181 中被接收,且能够抑制混色的发生。

[0207] 在图 15A 和图 15B 的示例中,相位差检测像素 181 既用于相位差检测又用于成像;

然而,如图 16A 和图 16B 说明性地所示,相位差检测像素 181 可以仅用于相位差检测。在这种情况下,相位差检测像素 181 不设置有滤色器 191。换言之,相位差检测像素 181 对白光进行成像。

[0208] 在图 16A 和图 16B 的示例中,绿色像素 51 被设定为相位差检测像素 181;然而,如图 17A 和图 17B 说明性地所示,红色像素 51 可以被设定为相位差检测像素 181。在这种情况下,与相位差检测像素 181 相邻的红色像素 51 被设定为第一成像像素 182。同样,在图 15A 和图 15B 的示例中,红色像素 51 可以被设定为相位差检测像素 181。

[0209] 如图 18A 和图 18B 说明性地所示,2×2 个绿色像素 51 的在垂直方向上排列的两个像素 51 可以被替换为既用于相位差检测又用于成像的相位差检测像素 181。在这种情况下,剩余的两个绿色像素 51 被设定为第一成像像素 182。

[0210] (像素之间的说明性电气配线的示例)

[0211] 图 19A 至图 19E 是示出了当像素 51 的阵列是 2×2 像素阵列时的像素 51 之间电气配线的示例的说明图。

[0212] 在图 19A 至图 19E 中,给出了绿色像素 51 的说明;然而,这同样适用于红色和蓝色像素 51。

[0213] 如图 19A 所示,当 2×2 个绿色像素 51 是第二成像像素 183 时,第二成像像素 183 通过电气配线 201 彼此连接。

[0214] 与此同时,当像素阵列单元 44 的结构是图 15A 至图 16B 的结构时,如图 19B 和图 19C 所示,第一成像像素 182 和第二成像像素 183 通过电气配线 202 彼此连接;然而,相位差检测像素 181 独立地设置有电气配线 203。

[0215] 在像素阵列单元 44 的结构是图 18A 和图 18B 的结构的情况下或在图 18A 和图 18B 中的相位差检测像素 181 仅用于相位差检测的情况下,如图 19D 和图 19E 所示,第一成像像素 182 和相位差检测像素 181 分别通过电气配线 204 和电气配线 205 彼此连接。

[0216] 如上所述,在相位差检测像素 181 与相位差检测像素 181 以外的组件之间区分电气配线。

[0217] 在图 15A 至图 18B 的示例中,各像素 51 都设置有片上透镜;然而,同色的相邻像素 51 之间可以共用片上透镜。

[0218] 在这种情况下,以与图 15A 和图 15B 的情况相同的方式,当 2×2 个绿色像素 51 中的一个像素 51 被替换为既用于相位差检测又用于成像的相位差检测像素 181 时,如图 20A 和图 20B 说明性地所示,同色的 2×2 像素 51 共用片上透镜 211。

[0219] 以与图 16A 和图 16B 的情况相同的方式,当相位差检测像素 181 仅用于相位差检测时,例如,如图 21A 和图 21B 说明性地所示,同色或白色的 2×2 个像素 51 共用片上透镜 211。

[0220] 以与图 17A 和图 17B 的情况相同的方式,当红色像素 51 被设定为相位差检测像素 181 时,例如,如图 22A 和图 22B 说明性地所示,同色的 2×2 个像素 51 共用片上透镜 211。2×2 个红色或白色像素 51 中的三个红色像素 51 共用片上透镜 212。相位差检测像素 181 单独地包括片上透镜 92。

[0221] 在这种情况下,以与图 18A 和图 18B 的情况相同的方式,当 2×2 个绿色像素 51 的在垂直方向上排列的两个像素 51 被替换为既用于相位差检测又用于成像的相位差检测

像素 181 时,例如,如图 23A 和图 23B 说明性地所示,同色的 2×2 个像素 51 的在水平方向上相邻的两个像素 51 共用片上透镜 213。

[0222] 当 2×2 个绿色像素 51 中的在垂直方向上排列的两个像素 51 被替换为仅用于相位差检测的相位差检测像素 181 时,例如,如图 24A 和图 24B 说明性地所示,同色的 2×2 个第二成像像素 183 的在水平方向上相邻的两个第二成像像素 183 共用片上透镜 213。由两个相位差检测像素 181 和两个第一成像像素 182 形成的 2×2 个绿色像素 51 单独地包括片上透镜 92(95)。

[0223] 在这种情况下,如图 25A 和图 25B 说明性地所示,例如,同色或白色的 2×2 个像素 51 中的在水平方向上相邻的两个像素 51 可以共用片上透镜 213。上述的片上透镜的共用是示例,且共用片上透镜的像素 51 的组合不限于上述的示例。

[0224] 如图 26A 和图 26B 说明性地所示,像素阵列单元 44 的像素 51 的阵列可以是这样的阵列:绿色、红色、蓝色和白色以棋格图案布置。在这种情况下,相位差检测像素 81 既用于相位差检测又用于成像。注意,可以不设置图 15A 至图 18、图 26A 和图 26B 的遮光膜 142。

[0225] 如图 27 说明性地所示,像素阵列单元 44 的像素 51 的阵列可以是下述的 ClearVid 阵列:其中,阵列方向相对于正常阵列方向旋转了 45 度。在这种情况下,因为相位差检测像素 181 上下左右四侧的像素 51 是同色的,所以相位差检测像素 181 中的混色极少。

[0226] (像素的第二说明性构造示例)

[0227] 图 28 说明性地示出了像素 51 的第二构造的等效电路。

[0228] 图 28 的像素 51 是实现电子全局快门功能的像素。在图 28 中,用相同的符号表示与图 2 中的部件相对应的部件,并将适当地省略该部件的说明。

[0229] 当第二构造的像素 51 与上述的第一构造的像素 51 相比较时,在传输晶体管 62 与 FD 63 之间还设置有用于传输电荷的又一个传输晶体管 231 以及在将电荷传输至 FD 63 之前暂时保持电荷的存储单元 (MEM) 232。在下文中,将传输晶体管 62 称为第一传输晶体管 62,并将传输晶体管 231 称为第二传输晶体管 231。

[0230] 在第二构造的像素 51 中,光电二极管 61 新连接有用于排出不需要的电荷的放电晶体管 233。

[0231] 将给出图 28 的像素 51 的操作的基本说明。

[0232] 首先,在开始曝光前,被供给至放电晶体管 233 的高电平放电信号 OFG 使放电晶体管 233 导通,累积在光电二极管 61 中的电荷被排出至恒压源 VDD,并且光电二极管 61 被复位。

[0233] 在光电二极管 61 复位后,当低电平放电信号 OFG 使放电晶体管 233 截止时,在所有像素中开始曝光。

[0234] 当已经经过了预定的曝光时间,在像素阵列单元 44 的所有像素中,第一传输信号 TX1 使第一传输晶体管 62 导通,且累积于光电二极管 61 的电荷被传输至存储单元 232。

[0235] 在第一传输晶体管 62 截止后,像素 51 的存储单元 232 保持的电荷以行为单位被依次读取至 ADC 55。该读取操作与上述的第一构造中的读取操作相同,第二传输信号 TX2 使正被读取的行的像素 51 的第二传输晶体管 231 导通,并且被保持于存储单元 232 中的电荷被传输至 FD 63。通过选择信号 SEL 导通选择晶体管 66,表明与累积在 FD 63 中的电荷相对应的电平的信号从放大晶体管 65 经由选择晶体管 66 被输出至 ADC55。

[0236] (固态成像器件的组件的说明性布置示例)

[0237] 图 29A 至图 29C 是示出了固态成像器件 41 的组件的布置示例的说明图。

[0238] 例如,在图 29A 至图 29C 所示的第一至第三布置中的任一布置中,固态成像器件 41 的像素阵列单元 44、控制电路 251 和逻辑电路 252 设置在半导体基板上。例如,控制电路 251 是由时序控制单元 42、垂直扫描电路 43、恒流源电路单元 45、参考信号产生单元 46、列 AD 转换单元 47 和水平扫描电路 48 形成的电路。例如,逻辑电路 252 是由输出电路 50 形成的电路。

[0239] 如图 29A 所示,在第一布置中,像素阵列单元 44、控制电路 251 和逻辑电路 252 都布置在同一半导体基板 261 上。

[0240] 如图 29B 所示,在第二布置中,像素阵列单元 44 和控制电路 251 布置在半导体基板 262 和半导体基板 263 中的一者上并且逻辑电路 252 布置在另一者上,半导体基板 262 和半导体基板 263 层叠在一起。在图 29B 的示例中,像素阵列单元 44 和控制电路 251 布置在半导体基板 262 上,且逻辑电路 252 布置在半导体基板 263 上。

[0241] 如图 29C 所示,在第三布置中,像素阵列单元 44 布置在半导体基板 264 和半导体基板 265 中的一者上且控制电路 251 和逻辑电路 252 布置在另一者上,半导体基板 264 和半导体基板 265 层叠在一起。在图 29C 的示例中,像素阵列单元 44 布置在半导体基板 264 上,且控制电路 251 和逻辑电路 252 布置在半导体基板 265 上。

[0242] 注意,在上面的说明中,固态成像器件 41 的半导体基板的层数是一层或两层;然而,所述层数可以是两层或以上。

[0243] 在固态成像器件 41 中,随着相位差检测像素 81 的像素阵列单元 44 内的位置从中心移至周边,相位差检测像素 81 的遮光膜 91a 和 91b(111) 的尺寸可以阶段性地变化。换言之,遮光膜 91a 和 91b(111) 的尺寸可以随着图像高度而阶段性地变化。以相同的方式,起到白色滤色器作用的片上透镜 92 的尺寸也可以随着图像高度而阶段性地变化。

[0244] 以此方式,通过使遮光膜 91a、91b(111) 和片上透镜 92 的尺寸随着图像高度而阶段性地变化从而进行光瞳校正,能够进一步改进混色性能和色差性能。

[0245] 注意,以相同的方式,第一成像像素 82 的遮光膜 93、第二成像像素 83 的遮光膜 96、滤色器 94 和滤色器 97 的尺寸也可以随着图像高度而阶段性地变化。

[0246] < 说明性第二实施例的构造示例 >

[0247] (电子设备的说明性实施例的构造示例)

[0248] 图 30 是示出了作为应用了本发明的电子设备的成像装置的构造示例的说明性框图。

[0249] 图 30 的成像装置 900 是摄像机或数码相机等。成像装置 900 由透镜组 901、固态成像器件 902、DSP 电路 903、帧存储器 904、显示单元 905、记录单元 906、操作单元 907 和电源单元 908 形成。DSP 电路 903、帧存储器 904、显示单元 905、记录单元 906、操作单元 907 和电源单元 908 经由总线 909 彼此连接。

[0250] 透镜组 901 摄取来自被摄体的入射光(图像光) 并且在固态成像器件 902 的成像面上形成图像。固态成像器件 902 由上述的固态成像器件 41 形成。固态成像器件 902 以像素为单位将由于透镜组 901 而在成像面上形成图像的入射光的量转换成电信号,并且将电信号作为像素信号供给至 DSP 电路 903。

[0251] DSP 电路 903 对从固态成像器件 902 供给来的像素信号进行预定的图像处理,将图像处理后的图像信号以帧为单位供给至帧存储器 904,并且使帧存储器 904 暂时存储图像信号。

[0252] 例如,显示单元 905 由诸如液晶面板或有机电致发光 (EL) 面板等面板型显示装置形成,并且基于暂时存储在帧存储器 904 中的帧单位的像素信号显示图像。

[0253] 记录单元 906 由数字通用盘 (DVD) 或闪存等形成,读取暂时存储在帧存储器 904 中的帧单元的像素信号,并且记录像素信号。

[0254] 操作单元 907 在用户操作的基础上给出与成像装置 900 实施的各种功能相关的操作指令。电源单元 908 适当地将电力供给至 DSP 电路 903、帧存储器 904、显示单元 905、记录单元 906 和操作单元 907。

[0255] 应用了本发明的电子设备可以是将固态成像器件用于摄像单元 (光电转换单元) 的电子设备,且除了成像装置 900 以外,还存在具有成像功能的便携式终端装置以及将固态成像器件用于图像读取单元的复印机等。

[0256] 注意,固态成像器件 41 可以通过被形成一个芯片来体现,且也可以以具有成像功能的被封装为包括光学部等的模块形式来体现。

[0257] 本发明能够应用于背面照射型 CMOS 传感器且能够应用于正面照射型 CMOS 传感器。

[0258] 本发明在高清晰度的固态成像器件中特别有效。换言之,在高清晰度的固态成像器件中,滤色器 94 的加工差异的大小相对于开口区域 81b 的大小而言是大的。例如,当像素 51 的尺寸是 1.0 微米 $\times$ 1.0 微米时,如果变化值大约是从几十 nm 至几百 nm,那么变化值占据像素 51 的尺寸的比例为百分之几至百分之几十。因此,由于滤色器 94 的加工差异而造成的相位差检测像素 81 的灵敏度降低和混色的影响大,且本发明的效果显著。

[0259] 在上面的说明中,滤色器 94、滤色器 97 和滤色器 121 是红色、绿色或蓝色中的一者;然而,它们的颜色可以是白色、青色或品红色等。

[0260] 本说明书公开的效果仅是示例,实施例不限于此且也可以存在其它效果。

[0261] 本发明的实施例不限于上述的实施例,且可以在不脱离本发明主旨的情况下做出各种修改。

[0262] 例如,可以使用有机光电转换膜代替光电二极管作为光电转换元件。此外,有机光电转换膜可以用来代替滤色器。在本申请人已经申请的日本待审查专利申请公开第 2011-29337 号中详细说明了这样的有机光电转换膜。

[0263] 注意,本发明可以采用下面的构造。

[0264] (A1) 一种固态成像器件,其包括:相位差检测像素,所述相位差检测像素是用于相位差检测的像素;第一成像像素,所述第一成像像素是用于成像的像素并且与所述相位差检测像素相邻;和第二成像像素,所述第二成像像素是所述第一成像像素以外的用于成像的像素。所述第一成像像素的滤色器的面积小于所述第二成像像素的滤色器的面积。

[0265] (A2) 在根据 (A1) 所述的固态成像器件中,所述第一成像像素的滤色器的与相邻于所述相位差检测像素的一侧相反的一侧的位置与在与相邻于所述相位差检测像素的方向垂直的方向上排列的所述第二成像像素的滤色器的位置相同。

[0266] (A3) 在根据 (A2) 所述的固态成像器件中,所述第一成像像素的所述滤色器的在

所述滤色器与所述相位差检测像素相邻的方向上的宽度相比于所述第二成像像素的所述滤色器的对应的宽度,窄了通过将所述滤色器的加工差异的算术平均值与三倍的标准差相加而获得的值或以上。

[0267] (A4) 在根据 (A1) 至 (A3) 中任一项所述的固态成像器件中,在所述第一成像像素和所述第二成像像素的一部分上形成有遮光膜,且所述第一成像像素的所述遮光膜的面积大于所述第二成像像素的所述遮光膜的面积。

[0268] (A5) 在根据 (A4) 所述的固态成像器件中,所述第一成像像素的所述遮光膜的与所述相位差检测像素相邻的一侧在所述遮光膜与所述相位差检测像素相邻的方向上的宽度比所述第二成像像素的所述遮光膜的对应的宽度大。

[0269] (A6) 在根据 (A5) 所述的固态成像器件中,所述第一成像像素的所述遮光膜的与所述相位差检测像素相邻的一侧在所述遮光膜与所述相位差检测像素相邻的方向上的宽度与所述第二成像像素的所述遮光膜的对应的宽度相比,长了通过将所述滤色器的加工差异的算术平均值与三倍的标准差相加而获得的值或以上。

[0270] (A7) 在根据 (A1) 至 (A6) 中任一项所述的固态成像器件中,在相位差检测像素中布置有光学黑区域,且所述第一成像像素相邻于与布置有所述光学黑区域的一侧相反的一侧。

[0271] (A8) 根据 (A7) 所述的固态成像器件,在所述第二成像像素和所述相位差检测像素的一部分上形成有遮光膜,且所述相位差检测像素的所述遮光膜的与所述第一成像像素相邻的一侧的在所述遮光膜与所述第一成像像素相邻的方向上的宽度比所述第二成像像素的所述遮光膜的对应的宽度大。

[0272] (A9) 根据 (A1) 至 (A8) 中任一项所述的固态成像器件,还包括信号处理单元,所述信号处理单元对所述第一成像像素中获得的像素信号进行处理。

[0273] (A10) 在根据 (A9) 所述的固态成像器件中,所述信号处理单元对所述像素信号进行增益校正。

[0274] (A11) 在根据 (A9) 或 (A10) 所述的固态成像器件中,所述信号处理单元校正所述像素信号的混色。

[0275] (A12) 一种固态成像器件的制造方法,所述方法包括形成固态成像器件,所述固态成像器件包括:相位差检测像素,所述相位差检测像素是用于相位差检测的像素;第一成像像素,所述第一成像像素是用于成像的像素并且与所述相位差检测像素相邻;和第二成像像素,所述第二成像像素是所述第一成像像素以外的用于成像的像素。所述第一成像像素的滤色器的面积小于所述第二成像像素的滤色器的面积。

[0276] (A13) 一种电子设备,其包括:相位差检测像素,所述相位差检测像素是用于相位差检测的像素;第一成像像素,所述第一成像像素是用于成像的像素并且与所述相位差检测像素相邻;和第二成像像素,所述第二成像像素是所述第一成像像素以外的用于成像的像素。所述第一成像像素的滤色器的面积小于所述第二成像像素的滤色器的面积。

[0277] (A14) 一种固态成像器件,其包括:相位差检测像素,所述相位差检测像素是用于相位差检测的像素;第一成像像素,所述第一成像像素是用于成像的像素并且与所述相位差检测像素相邻;和第二成像像素,所述第二成像像素是所述第一成像像素以外的用于成像的像素。所述第一成像像素的遮光膜的面积大于所述第二成像像素的遮光膜的面积。

[0278] (A15) 在根据 (A14) 所述的固态成像器件中,在所述第一成像像素与另一个像素之间的边界和所述第二成像像素与另一个像素之间的边界均形成有绝缘膜。

[0279] (A16) 在根据 (A14) 或 (A15) 所述的固态成像器件中,在所述第一成像像素与另一个像素之间的边界和所述第二成像像素与另一个像素之间的边界均形成有遮光膜。

[0280] (A17) 在根据 (A16) 所述的固态成像器件中,设置在所述第一成像像素与所述相位差检测像素之间的边界的所述遮光膜的宽度比其它的遮光膜的宽度更宽。

[0281] (A18) 一种固态成像器件的制造方法,所述方法包括形成固态成像器件,所述固态成像器件包括:相位差检测像素,所述相位差检测像素是用于相位差检测的像素;第一成像像素,所述第一成像像素是用于成像的像素并且与所述相位差检测像素相邻;和第二成像像素,所述第二成像像素是所述第一成像像素以外的用于成像的像素。所述第一成像像素的遮光膜的面积大于所述第二成像像素的遮光膜的面积。

[0282] (A19) 一种电子设备,其包括:相位差检测像素,所述相位差检测像素是用于相位差检测的像素;第一成像像素,所述第一成像像素是用于成像的像素并且与所述相位差检测像素相邻;和第二成像像素,所述第二成像像素是所述第一成像像素以外的用于成像的像素。所述第一成像像素的遮光膜的面积大于所述第二成像像素的遮光膜的面积。

[0283] (B1) 一种固态成像器件,其包括:相位差检测像素;第一成像像素,所述第一成像像素与所述相位差检测像素相邻;第一滤色器,所述第一滤色器与所述第一成像像素对齐;第二成像像素;和第二滤色器,所述第二滤色器与所述第二成像像素对齐;其中,所述第一滤色器的面积小于所述第二滤色器的面积,并且其中,所述第一成像像素的遮光膜的面积大于所述第二成像像素的遮光膜的面积。

[0284] (B2) 根据 (B1) 所述的固态成像器件,其中,所述第一滤色器的与相邻于所述相位差检测像素的一侧相反的一侧的位置与在垂直方向上排成一列的所述第二滤色器的这一侧的位置相同。

[0285] (B3) 根据 (B1) 所述的固态成像器件,还包括绝缘膜和额外遮光膜,所述绝缘膜和所述额外遮光膜设置在所述第一成像像素的所述遮光膜和所述第二成像像素的所述遮光膜之中的至少一者的下方。

[0286] (B4) 根据 (B3) 所述的固态成像器件,其中,所述绝缘膜和所述额外遮光膜被设置为仅穿透光电二极管。

[0287] (B5) 根据 (B1) 所述的固态成像器件,还包括第一额外遮光膜和第二额外遮光膜,所述第一额外遮光膜设置在所述第一成像像素的所述遮光膜的下方,所述第二额外遮光膜设置在所述第二成像像素的所述遮光膜的下方,所述第一额外遮光膜和所述第二额外遮光膜具有不同的宽度。

[0288] (B6) 根据 (B5) 所述的固态成像器件,其中,所述第一额外遮光膜的宽度大于所述第二额外遮光膜的宽度。

[0289] (B7) 根据 (B1) 所述的固态成像器件,其中,所述固态成像器件包括 2×2 像素阵列的像素阵列单元,且其中,所述相位差检测像素和所述第一成像像素是同色的。

[0290] (B8) 根据 (B1) 所述的固态成像器件,其中,所述固态成像器件包括 2×2 像素阵列的像素阵列单元,其中,所述相位差检测像素和所述第一成像像素是同色的,且其中,所述相位差检测像素也是成像像素。

[0291] (B9) 根据 (B8) 所述的固态成像器件,还包括绝缘膜和额外遮光膜,所述绝缘膜和所述额外遮光膜设置在所述第一成像像素的所述遮光膜和所述第二成像像素的所述遮光膜之中的至少一者的下方。

[0292] (B10) 根据 (B9) 所述的固态成像器件,其中,与所述第一成像像素相对应的光在所述相位差检测像素中被接收。

[0293] (B11) 根据 (B1) 所述的固态成像器件,其中,所述固态成像器件包括这样的像素阵列单元;其中,阵列方向相对于正常阵列方向旋转了 45 度。

[0294] (B12) 根据 (B1) 所述的固态成像器件,还包括放电晶体管,所述放电晶体管连接至光电二极管,其中,所述放电晶体管受到溢流栅极的控制。

[0295] (B13) 根据 (B1) 所述的固态成像器件,其中,所述固态成像器件包括布置在同一半导体基板上的像素阵列单元、控制电路和逻辑电路。

[0296] (B14) 根据 (B1) 所述的固态成像器件,其中,所述固态成像器件包括像素阵列单元、控制电路和逻辑电路;所述像素阵列单元和所述控制电路布置在第一半导体基板上;所述逻辑电路布置在第二半导体基板上;且所述第一半导体基板与所述第二半导体基板层叠设置。

[0297] (B15) 根据 (B1) 所述的固态成像器件,其中,所述固态成像器件包括像素阵列单元、控制电路和逻辑电路;所述像素阵列单元布置在第一半导体基板上;所述逻辑电路和所述控制电路布置在第二半导体基板上;且所述第一半导体基板与所述第二半导体基板层叠设置。

[0298] (B16) 根据 (B1) 所述的固态成像器件,其中,所述第一滤色器的宽度与所述第二滤色器的宽度相差的量等于所述第一滤色器和所述第二滤色器的加工差异的算术平均值与三倍的标准差之和。

[0299] (B17) 根据 (B3) 所述的固态成像器件,其中,所述额外遮光膜中的一者通过所述绝缘连接至所述第一成像像素的所述遮光膜。

[0300] (B18) 根据 (B8) 所述的固态成像器件,其中,所述相位差检测像素和所述第一成像像素共用滤色器。

[0301] (B19) 一种固态成像器件的制造方法,所述方法包括:形成相位差检测像素;形成第一成像像素,所述第一成像像素与所述相位差检测像素相邻;且形成第二成像像素;其中,所述第一成像像素的滤色器的面积小于所述第二成像像素的滤色器的面积,且其中,所述第一成像像素的遮光膜的面积大于所述第二成像像素的遮光膜的面积。

[0302] (B20) 一种电子装置,其包括:固态成像器件,所述固态成像器件包括:相位差检测像素;第一成像像素,所述第一成像像素与所述相位差检测像素相邻;第一滤色器,所述第一滤色器与所述第一成像像素对齐;第二成像像素;和第二滤色器,所述第二滤色器与所述第二成像像素对齐;其中,所述第一滤色器的面积小于所述第二滤色器的面积,且其中,所述第一成像像素的遮光膜的面积大于所述第二成像像素的遮光膜的面积。

[0303] 本领域技术人员应当理解,依据设计要求和和其他因素,可以在本发明随附的权利要求或其等同物的范围内进行各种修改、组合、次组合以及改变。

[0304] 参考符号列表

[0305] 41 固态成像器件

- [0306] 50 输出电路
- [0307] 81 相位差检测像素
- [0308] 81a 光学黑区域
- [0309] 82 第一成像像素
- [0310] 83 第二成像像素
- [0311] 93 遮光膜
- [0312] 94 滤色器
- [0313] 96 遮光膜
- [0314] 97、121 滤色器
- [0315] 141 绝缘膜
- [0316] 142 遮光膜

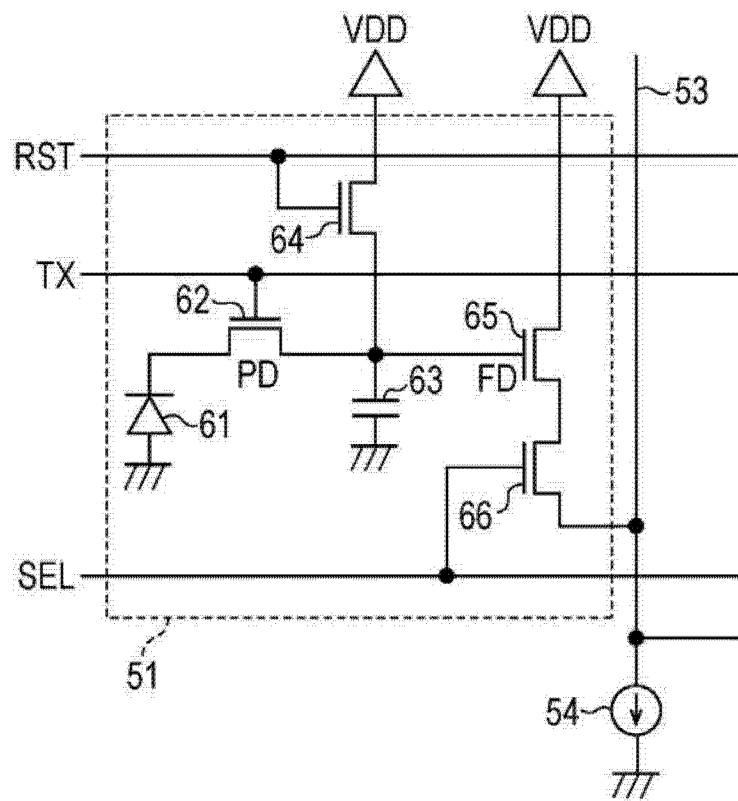


图 2

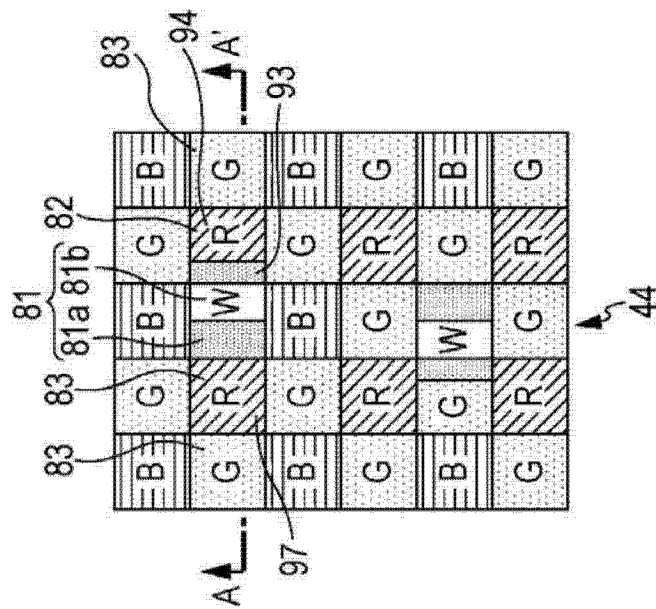


图 3A

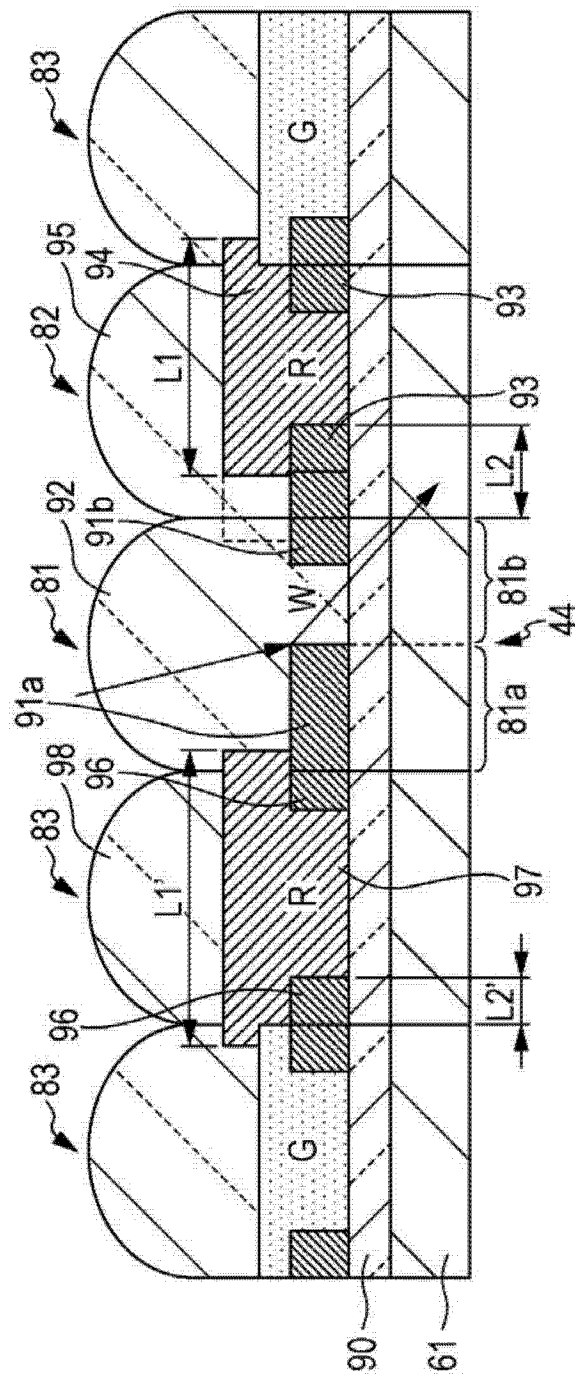


图 3B

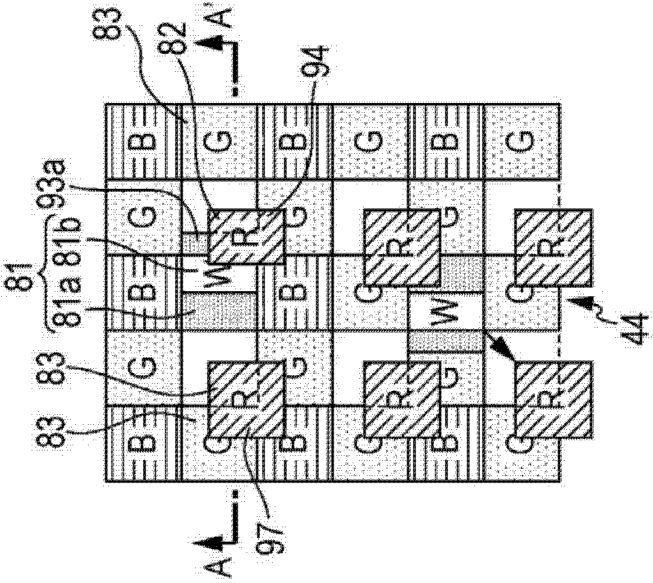


图 4A

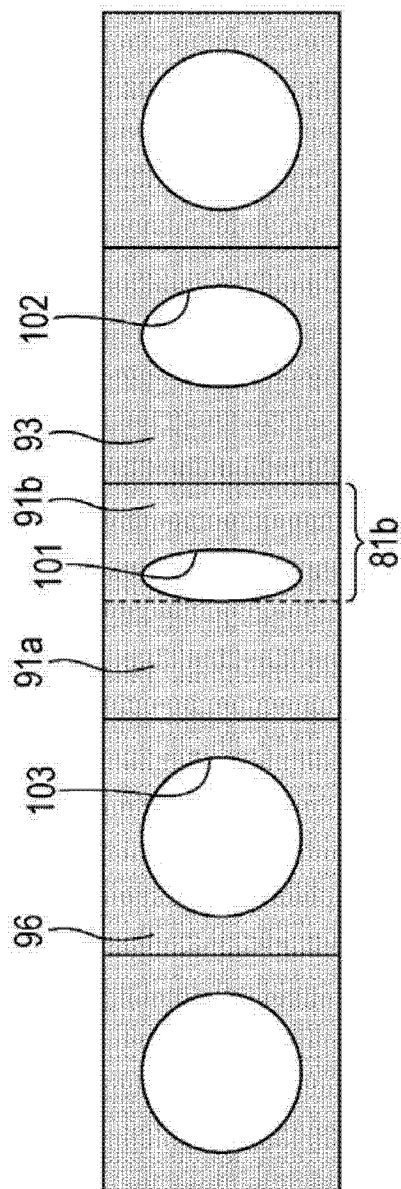


图 5B



图 6A



图 6B

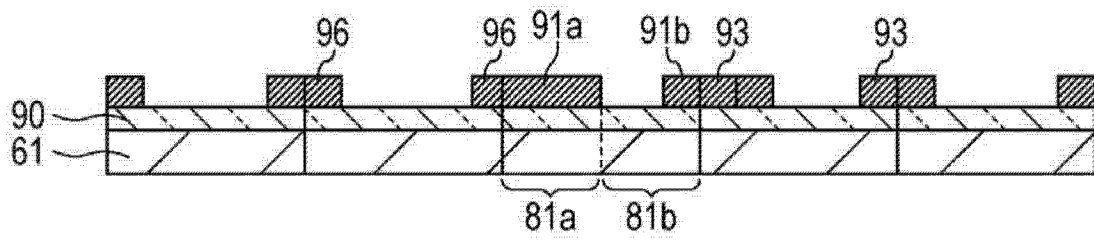


图 6C

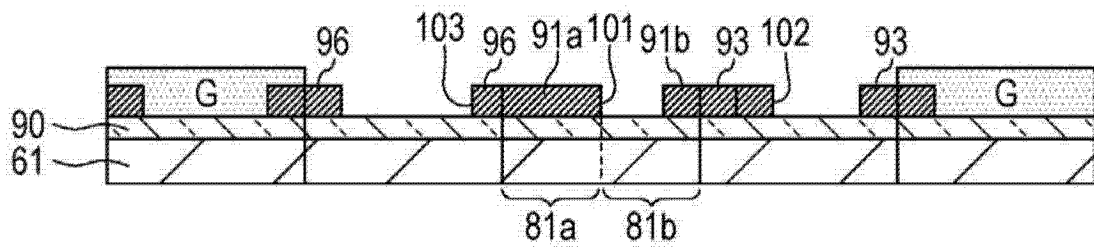


图 6D

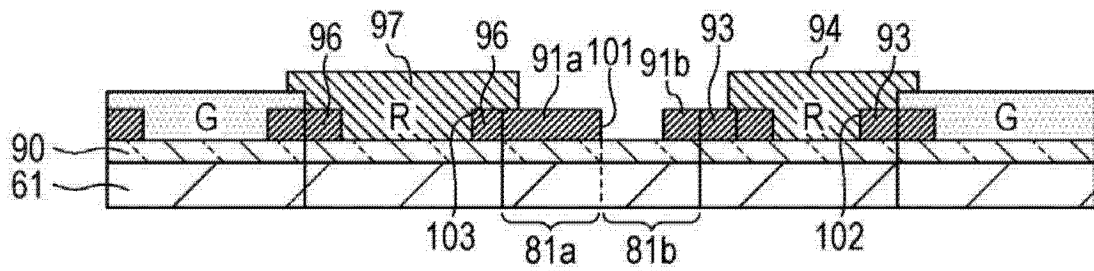


图 6E

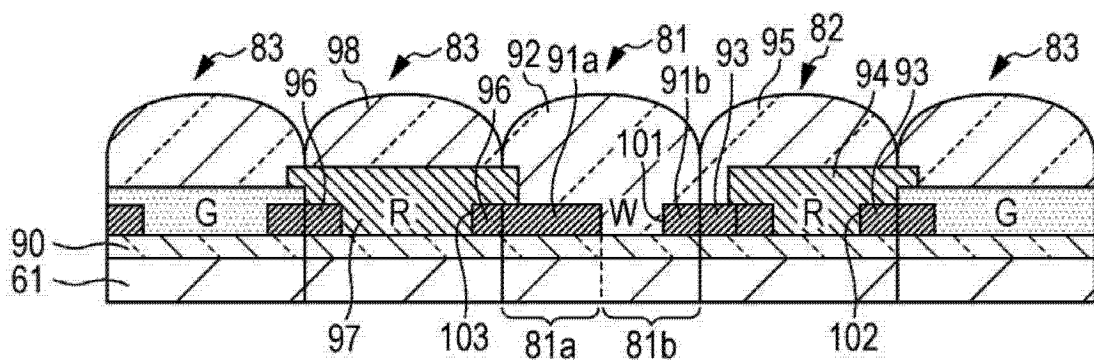


图 6F

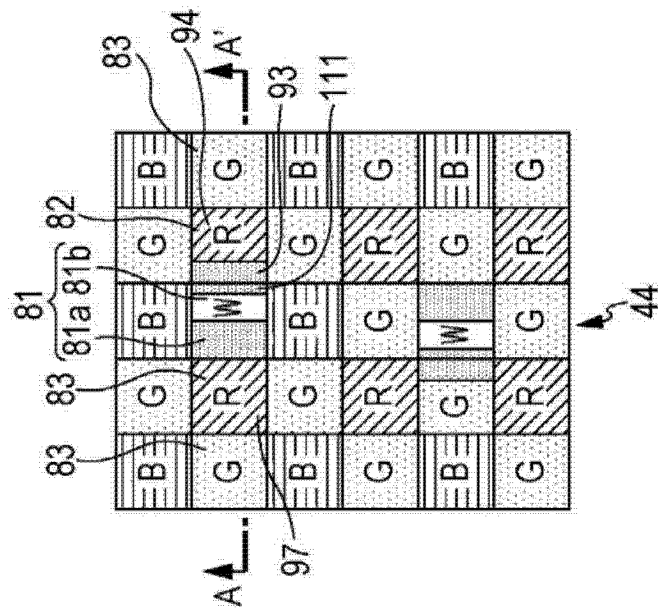


图 7A

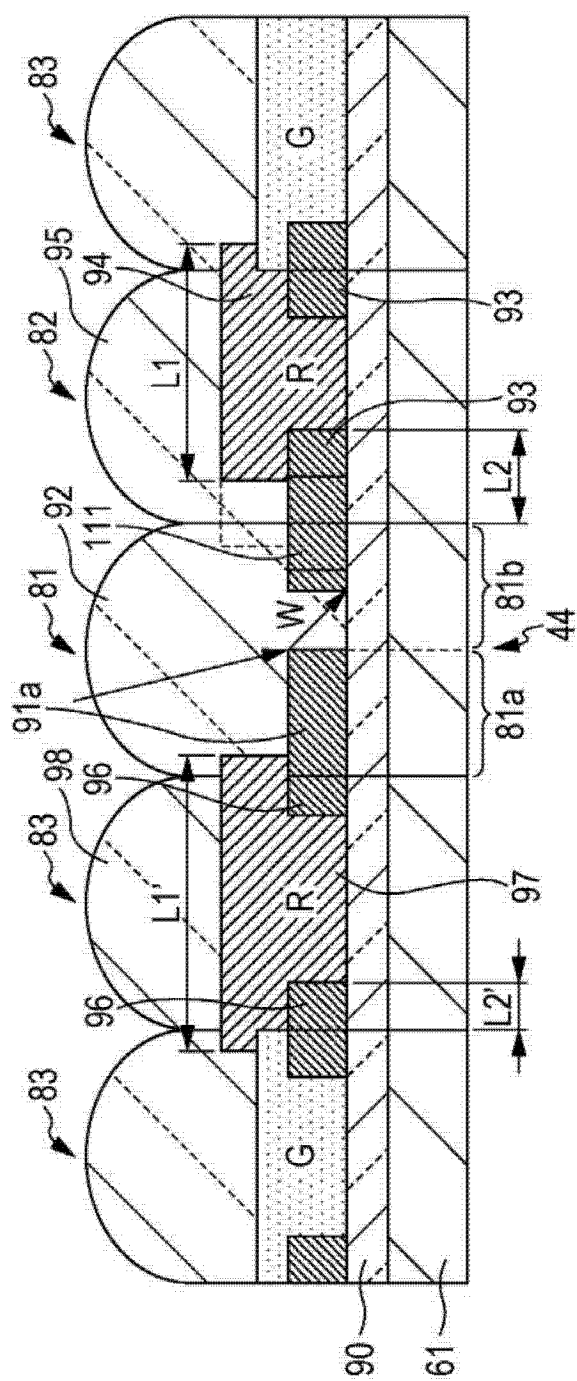


图 7B

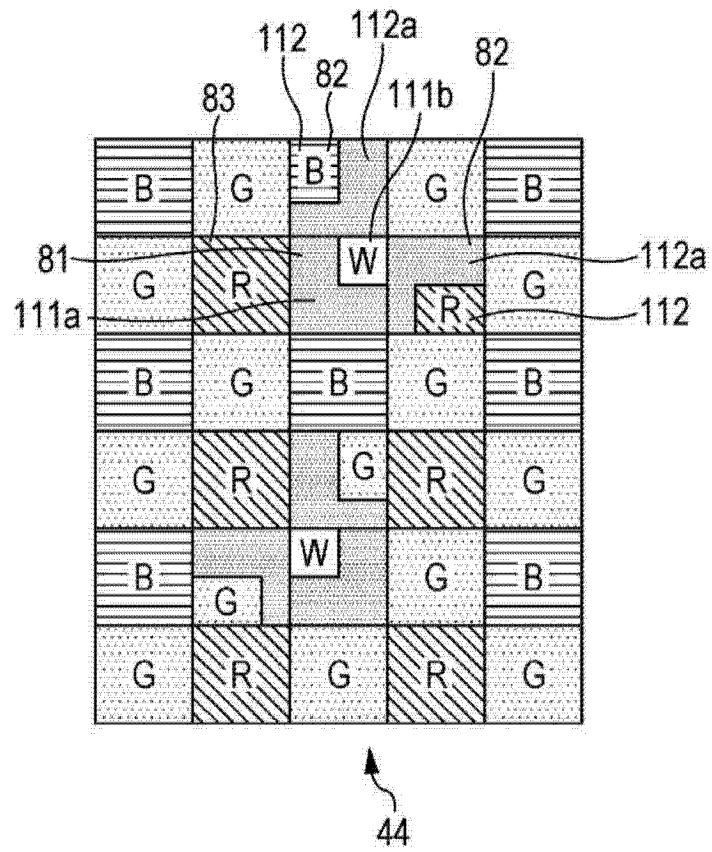


图 8

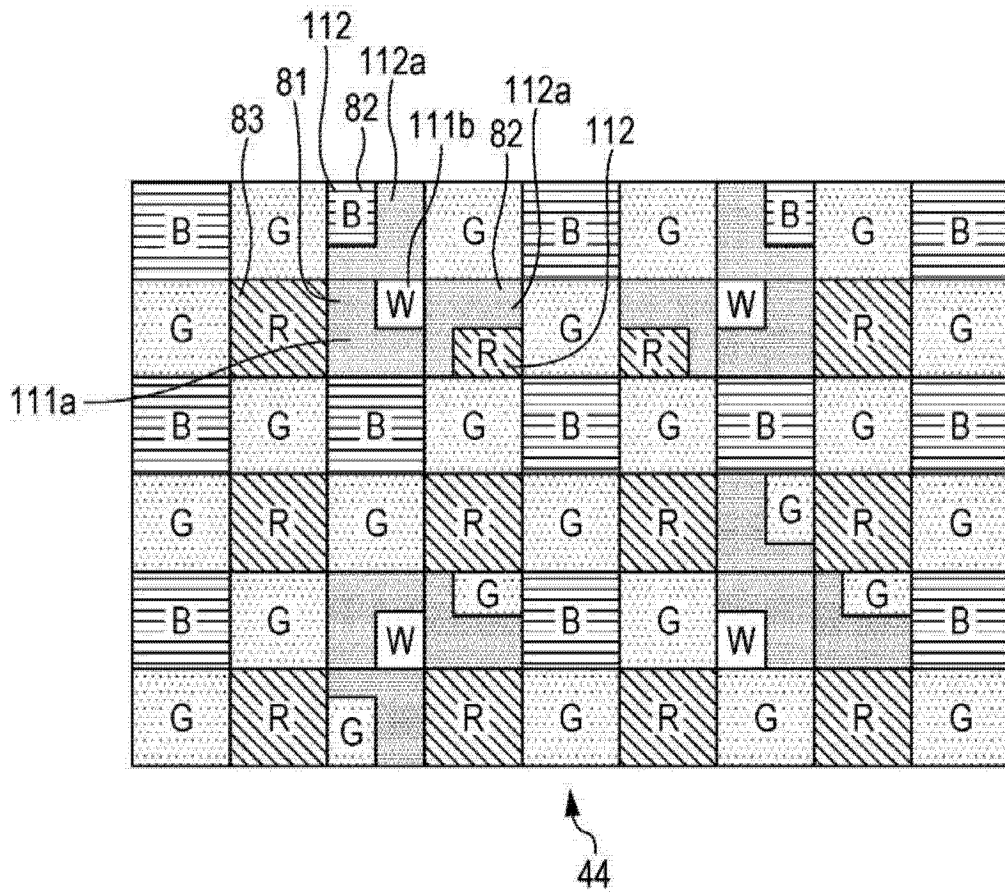


图 9

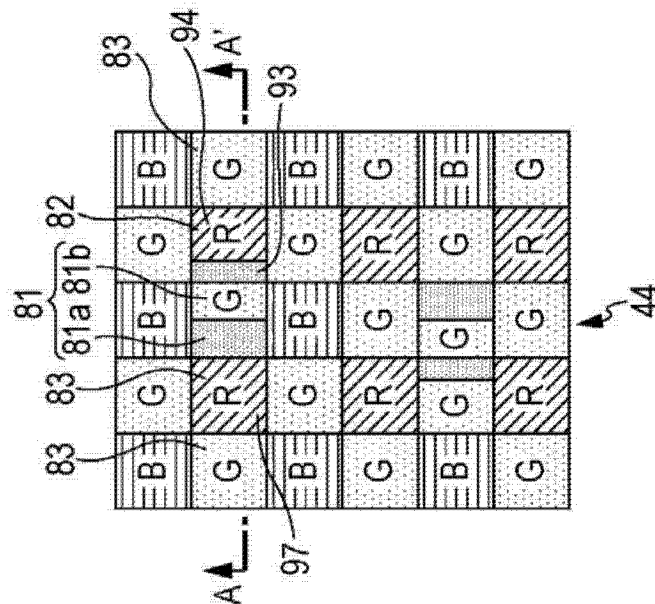


图 10A

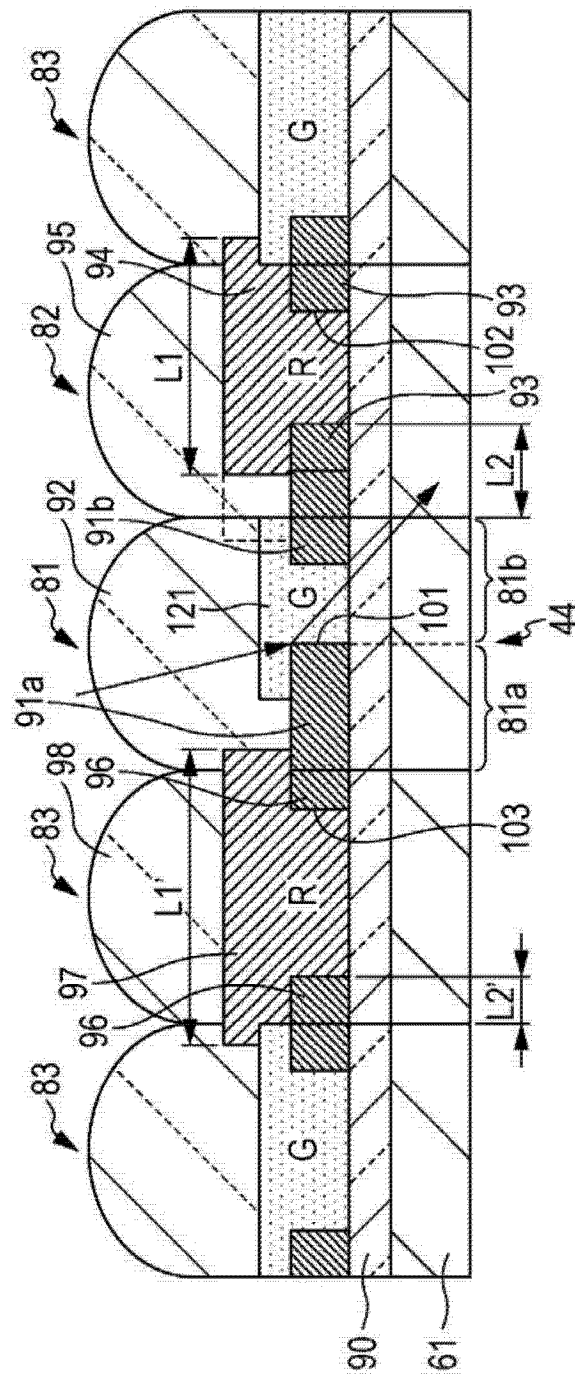


图 10B

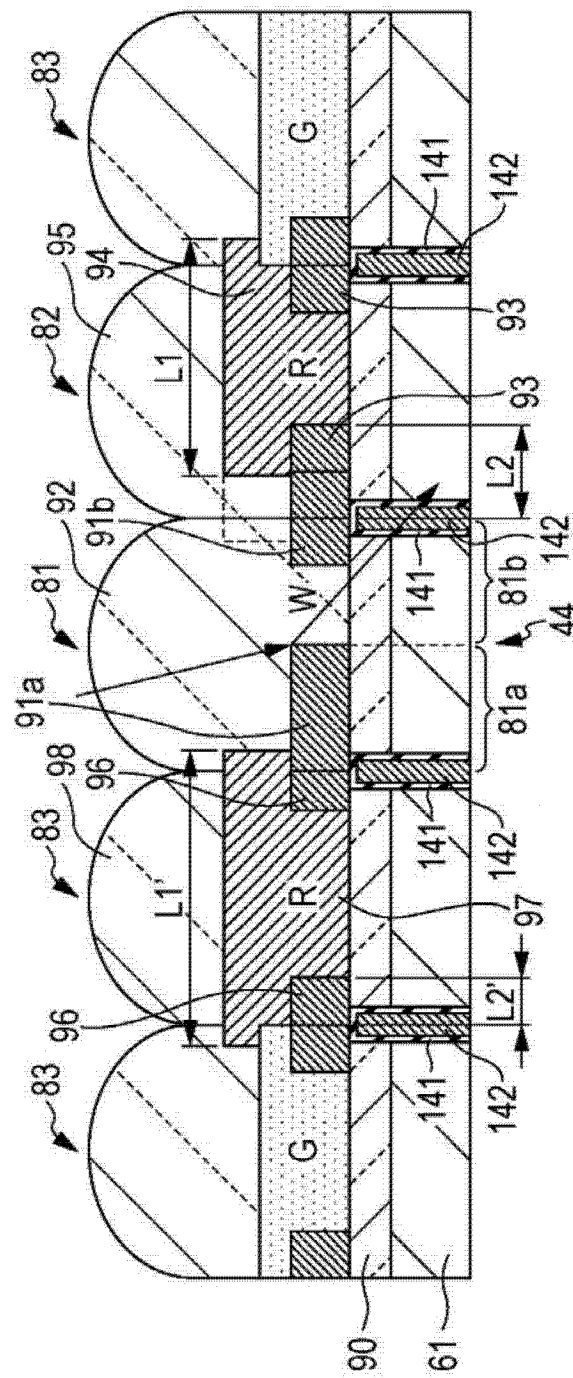


图 11B

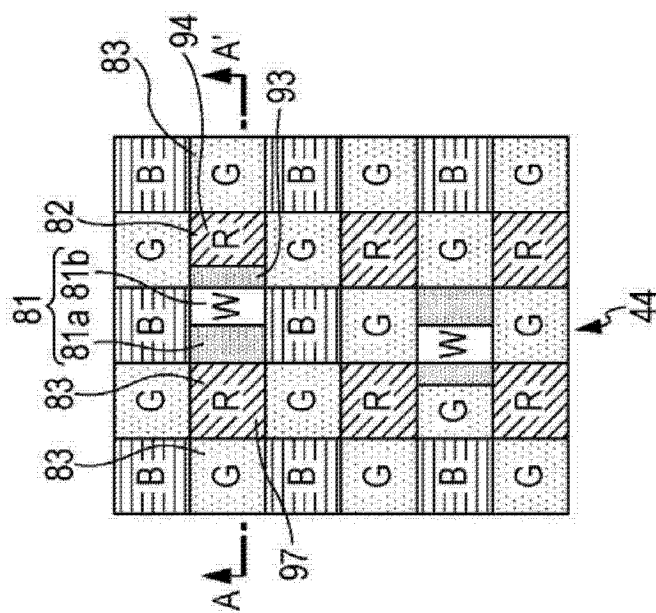


图 12A

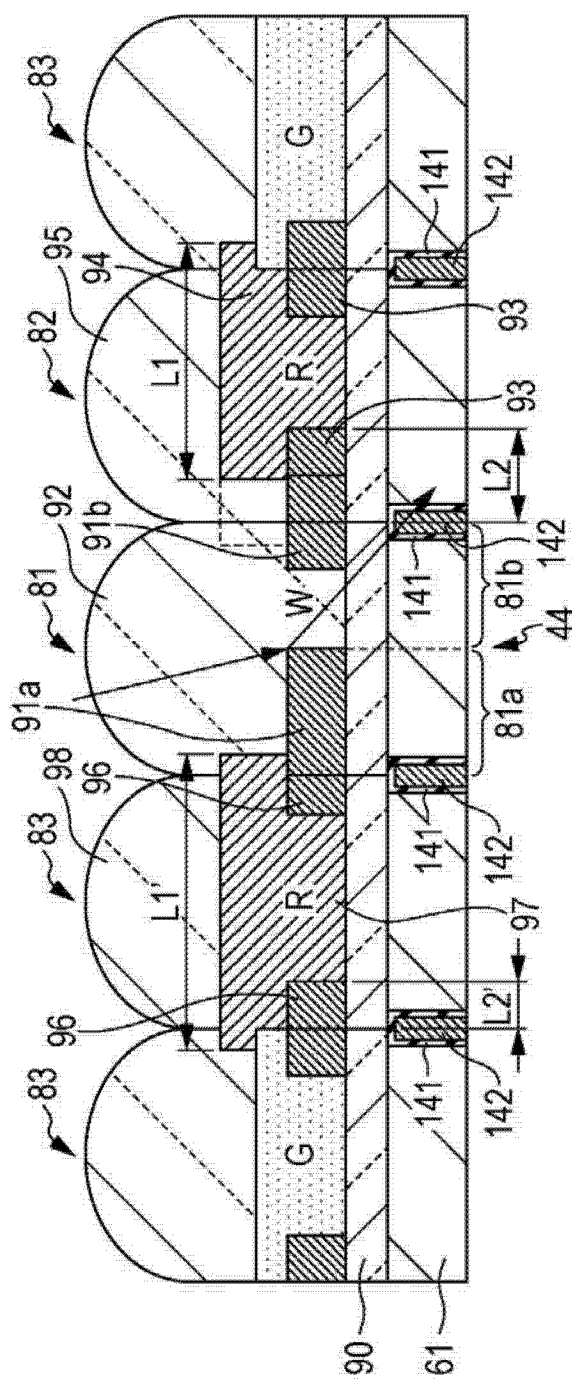


图 12B

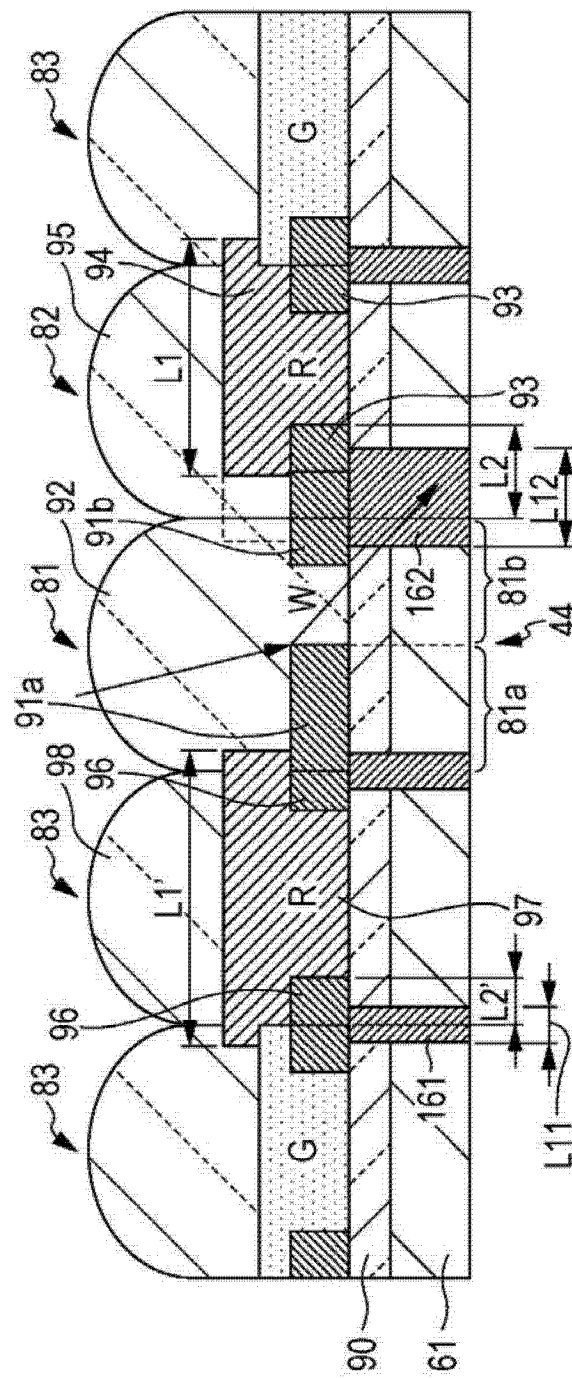


图 13B

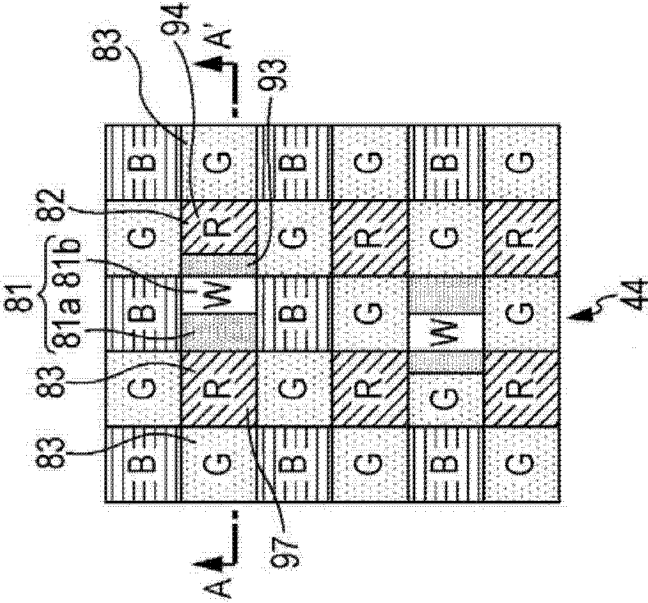


图 14A

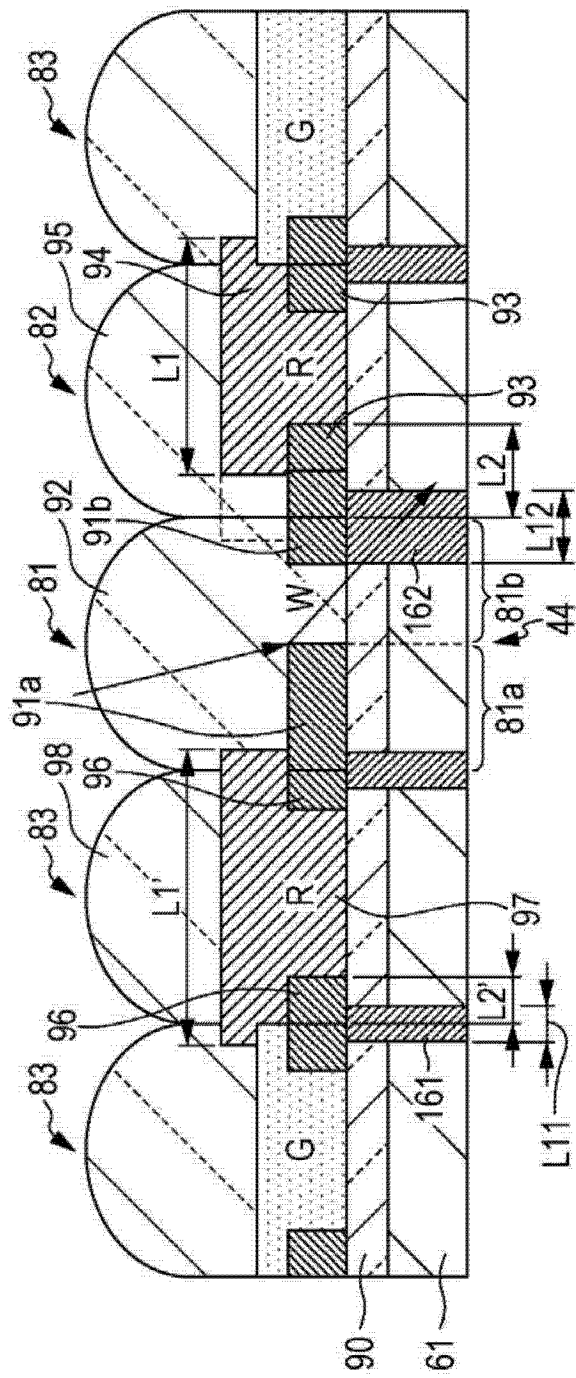


图 14B

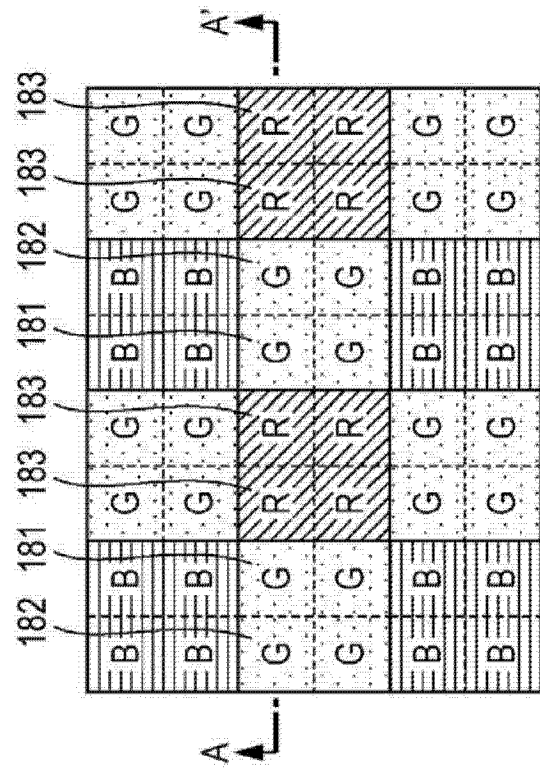


图 15A

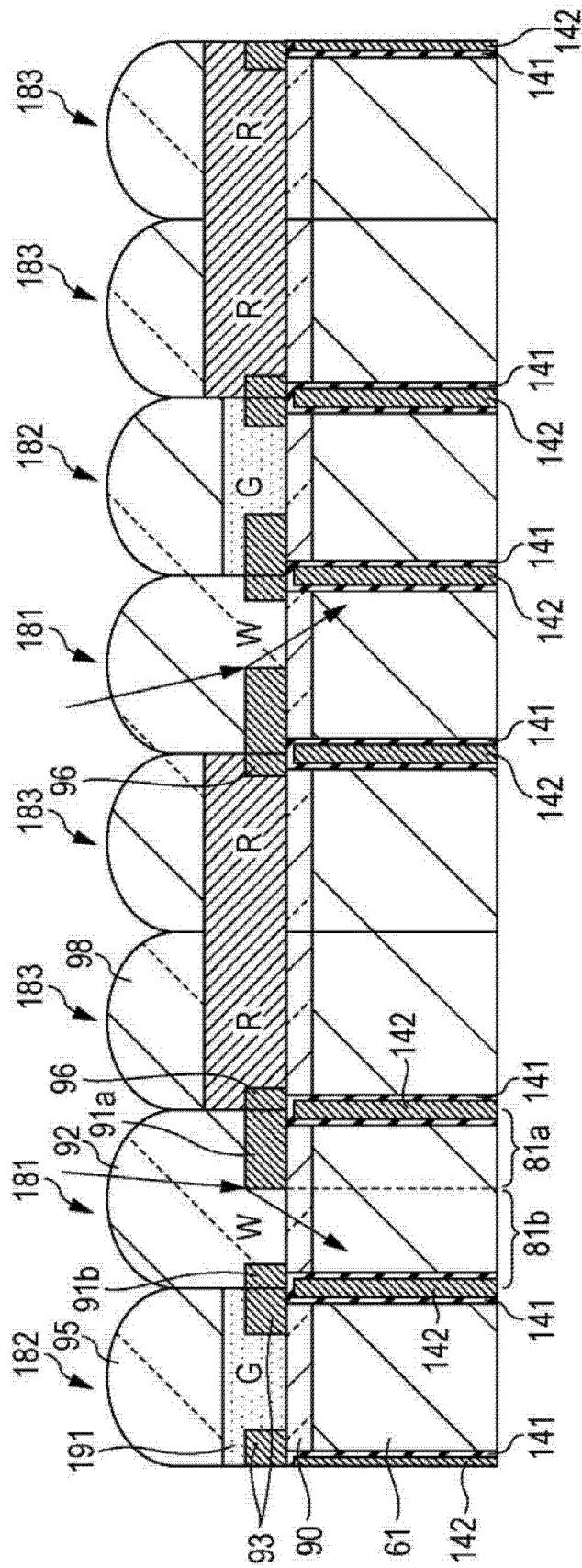


图 16B

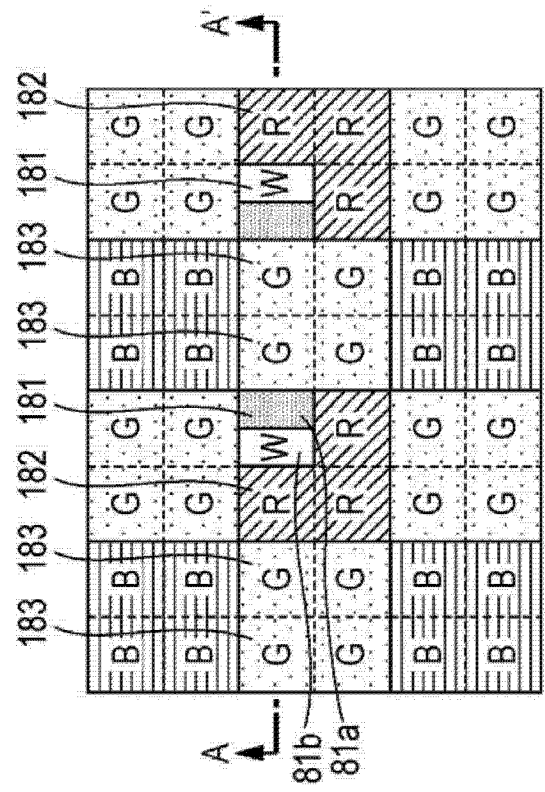


图 17A

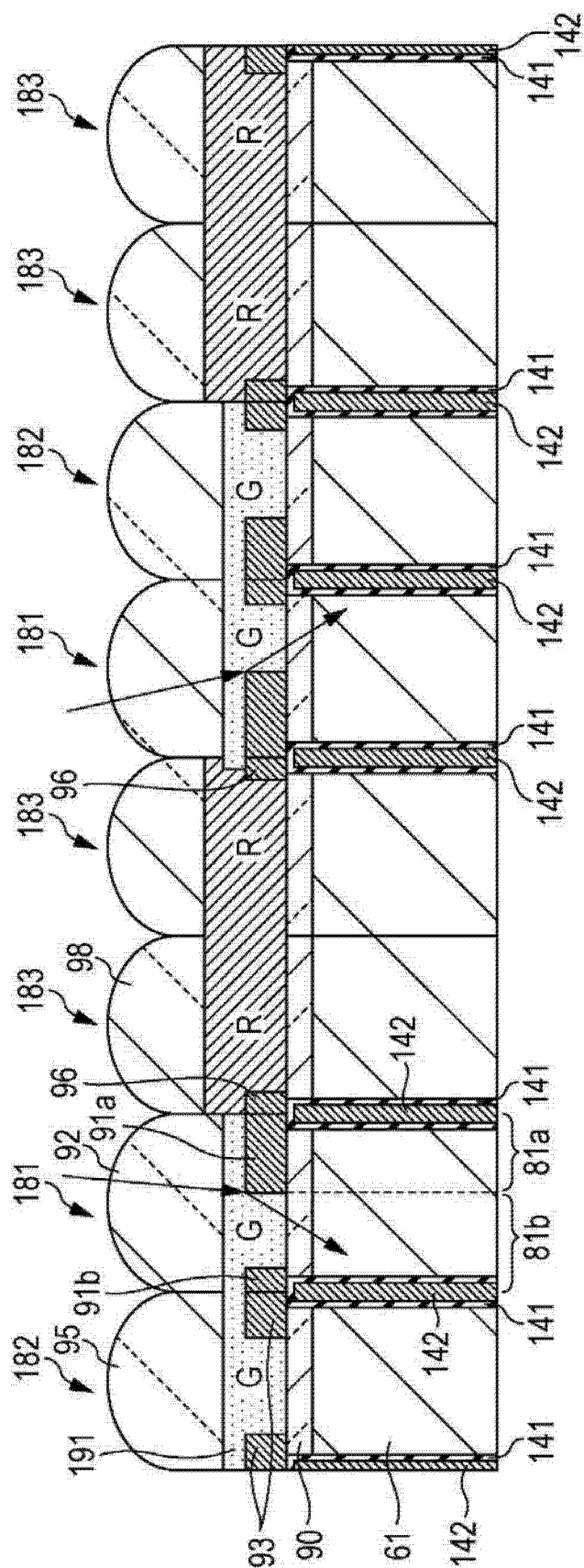


图 18B

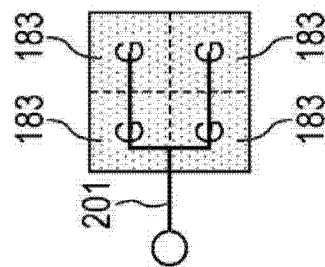


图 19A

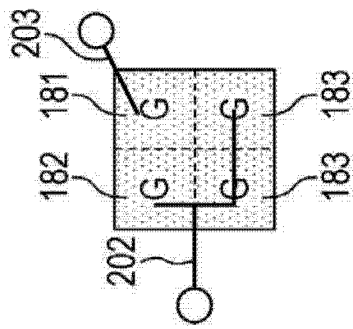


图 19B

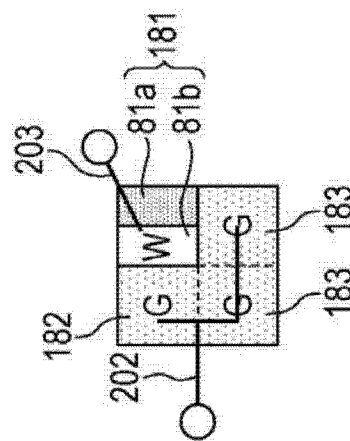


图 19C

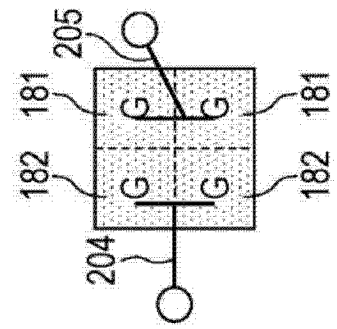


图 19D

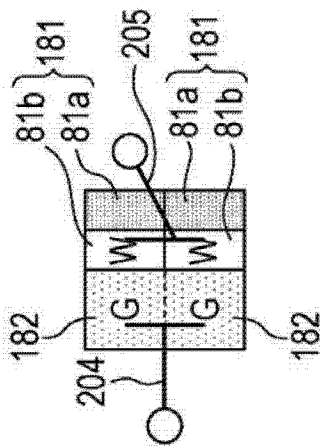


图 19E

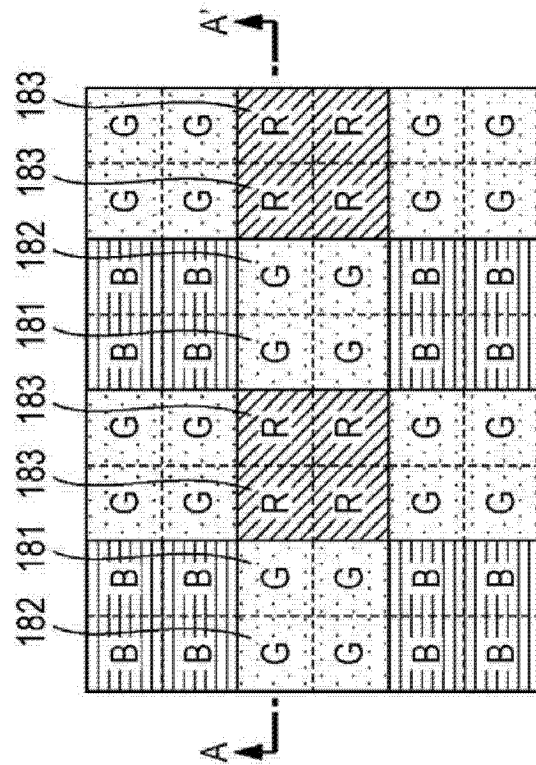


图 20A

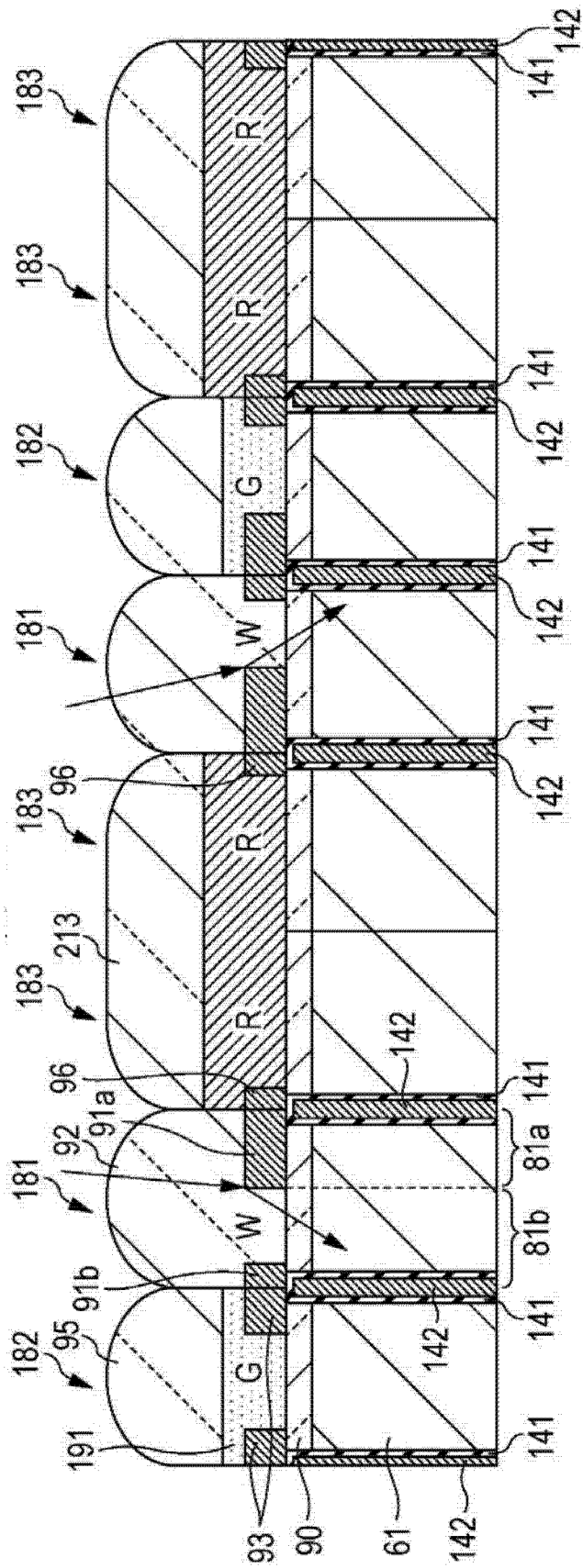


图 24B

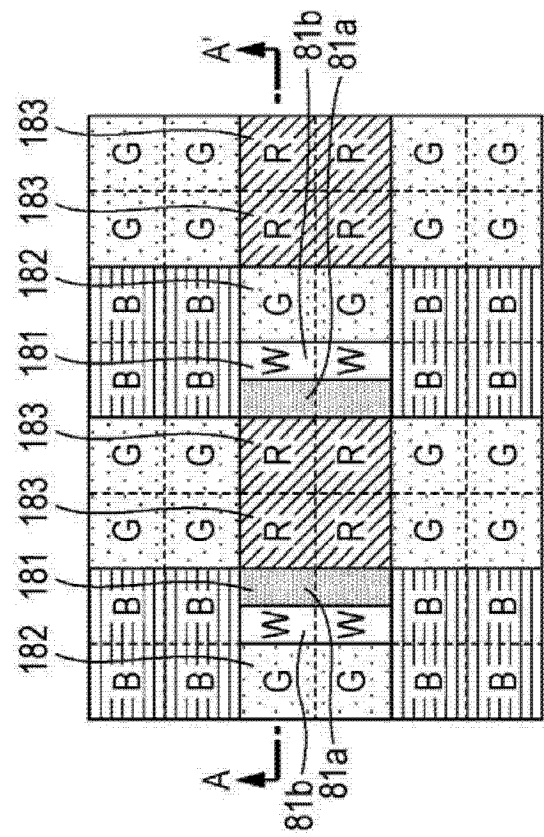


图 25A

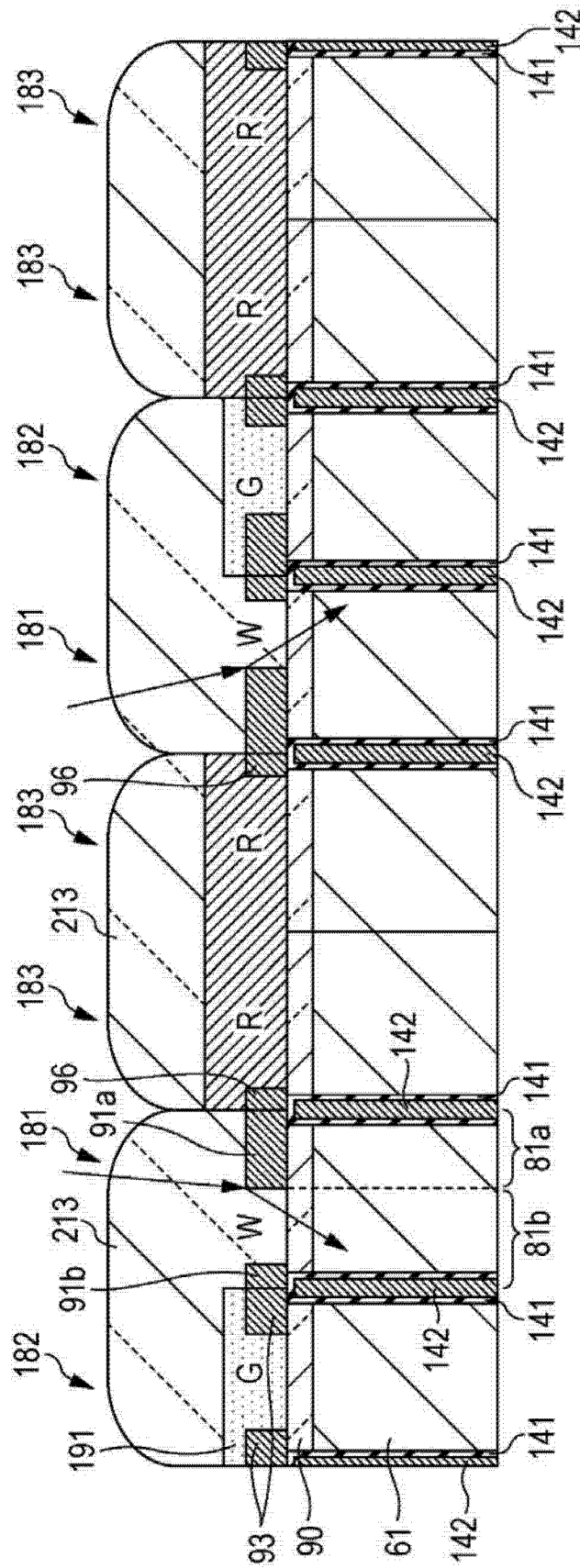


图 25B

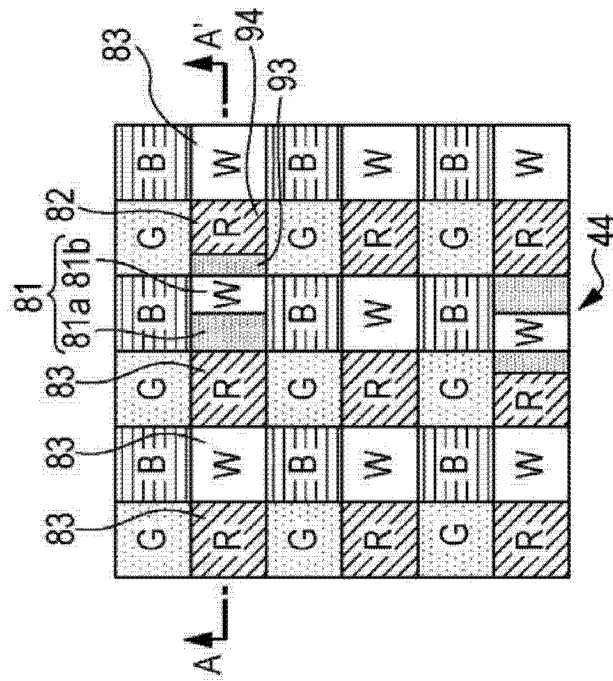


图 26A

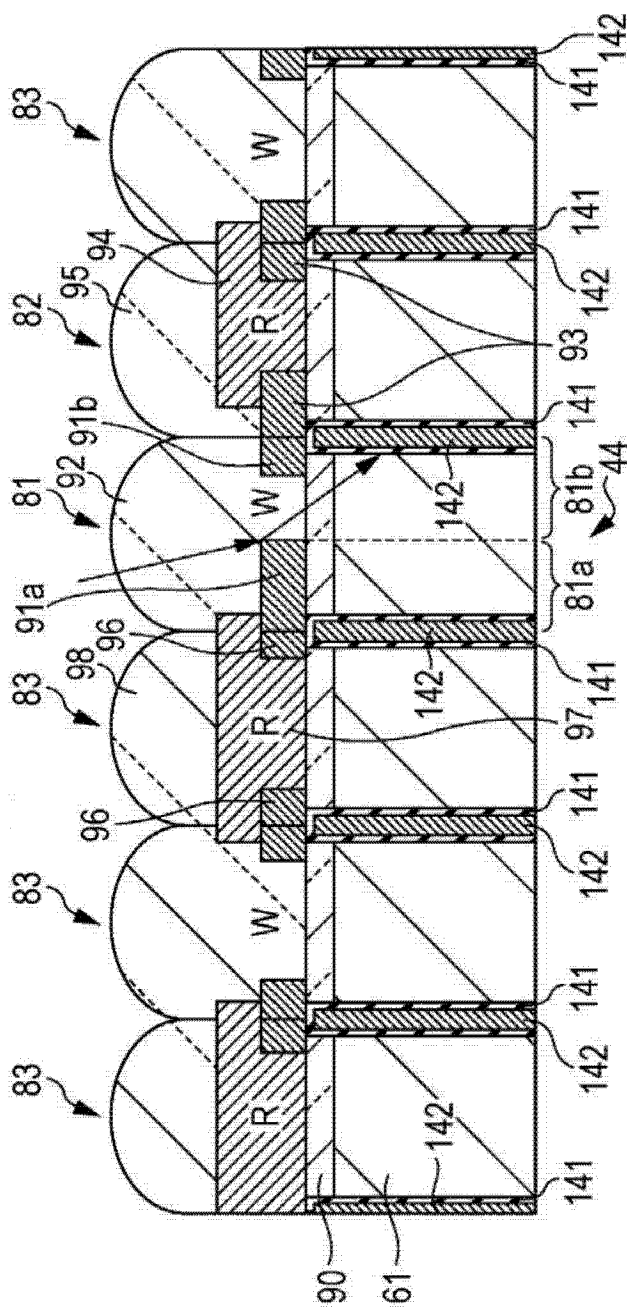


图 26B

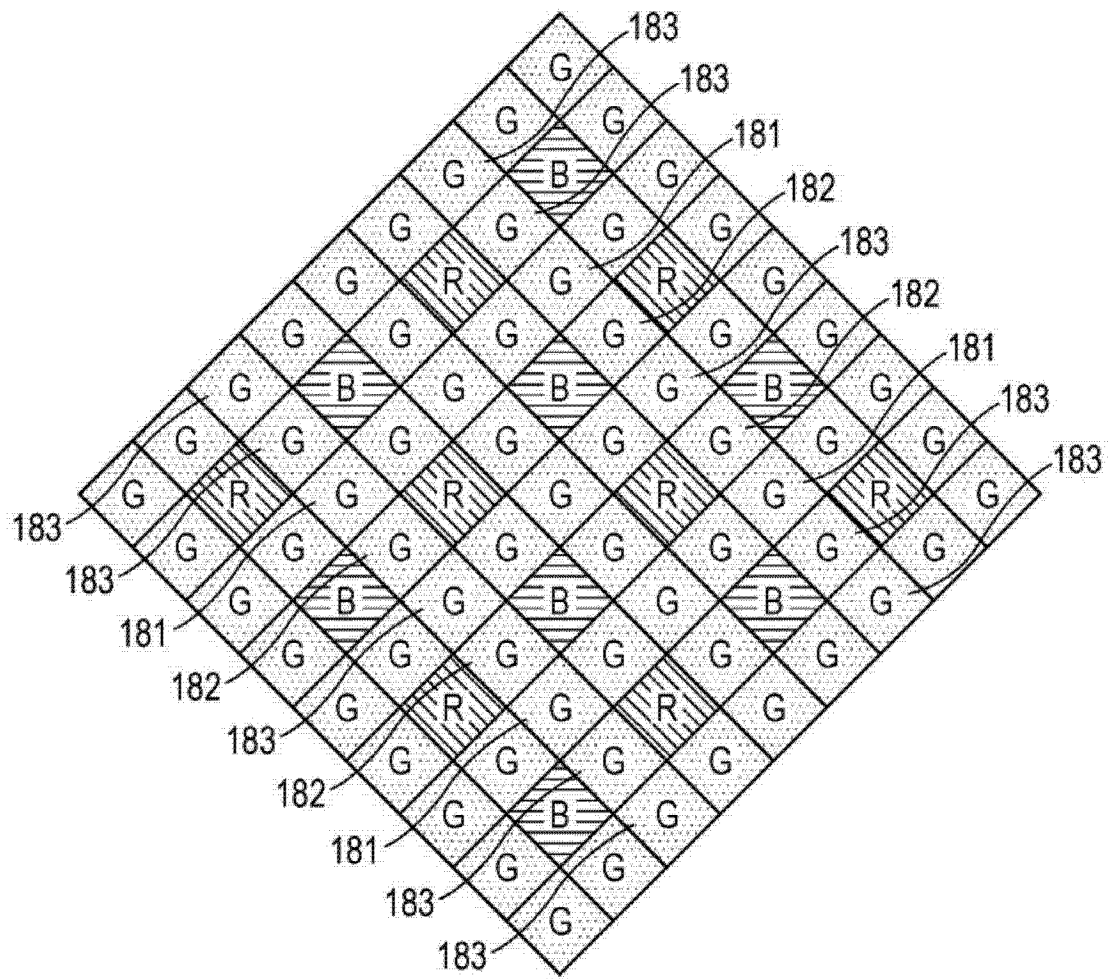


图 27

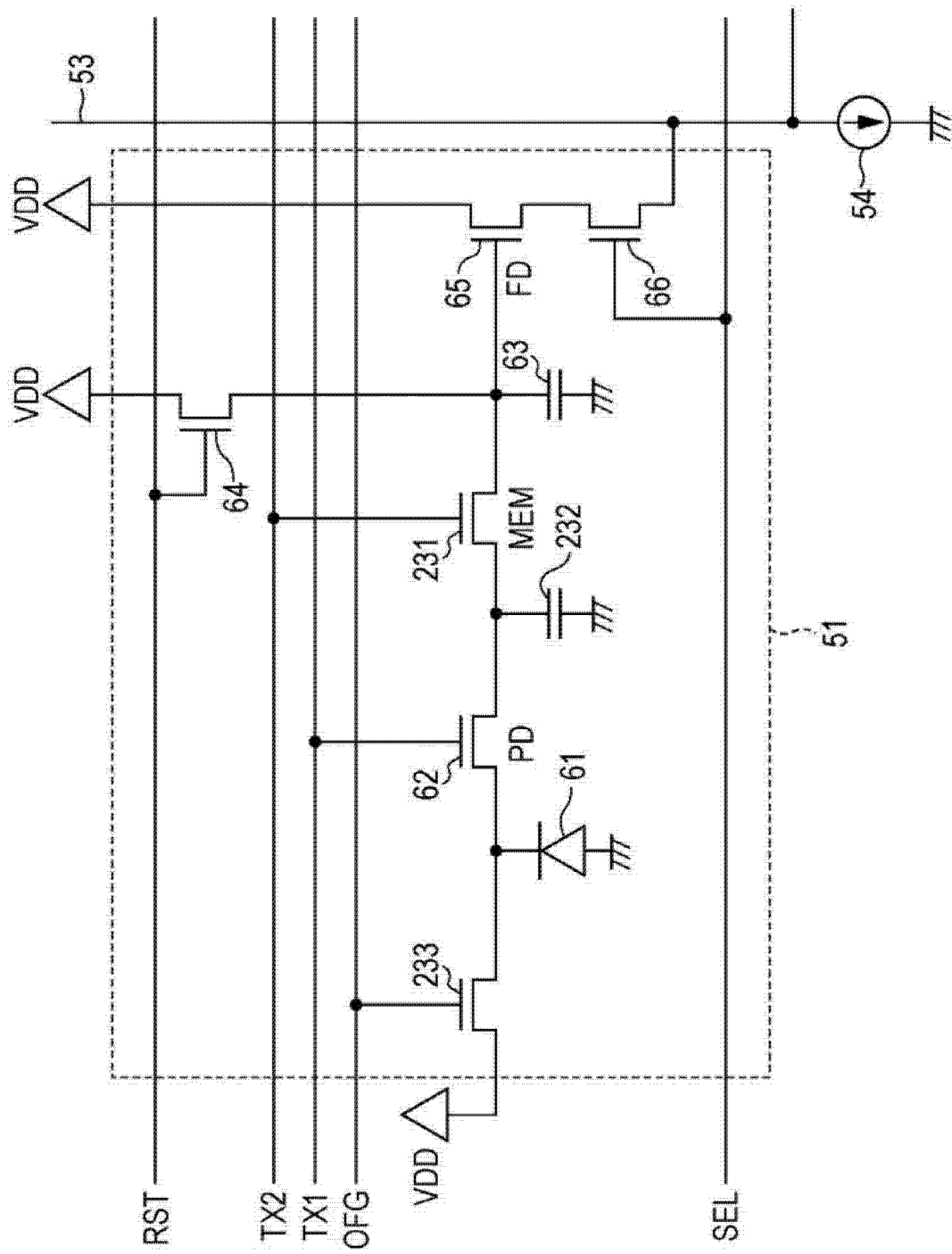


图 28

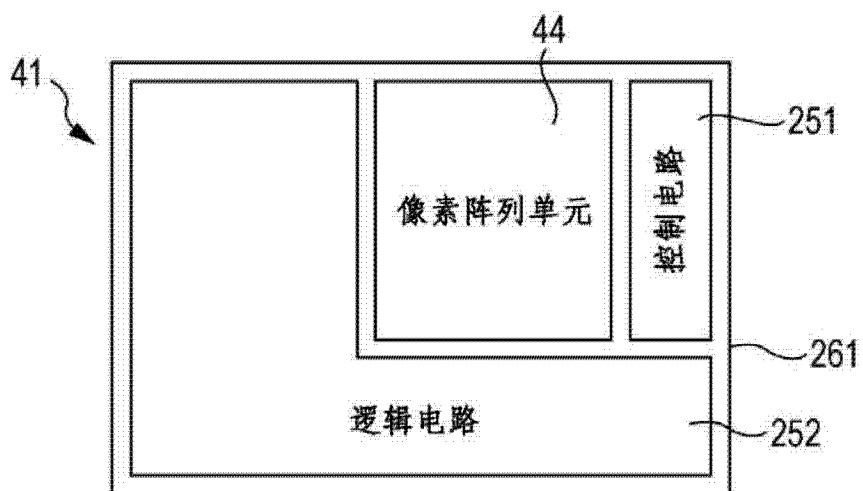


图 29A

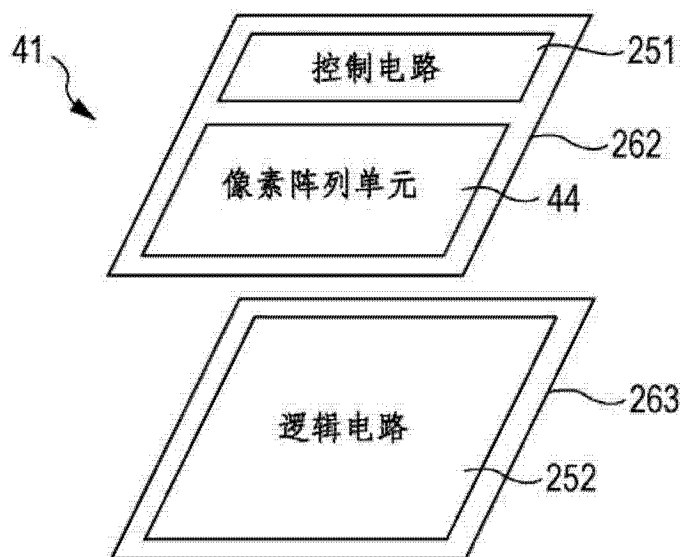


图 29B

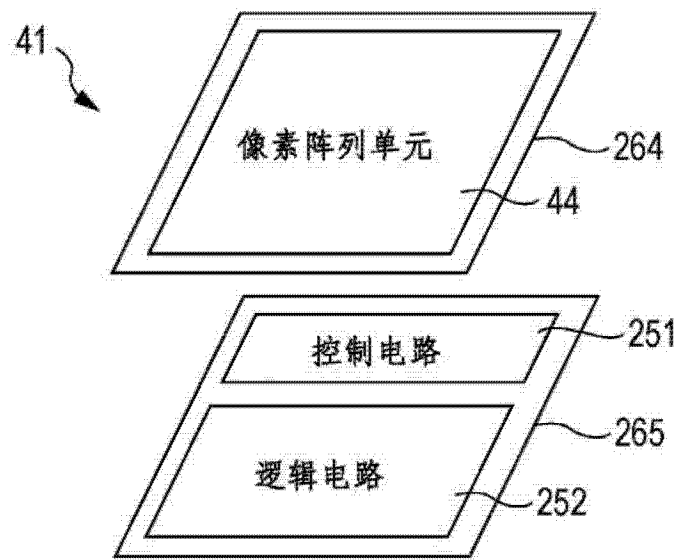


图 29C

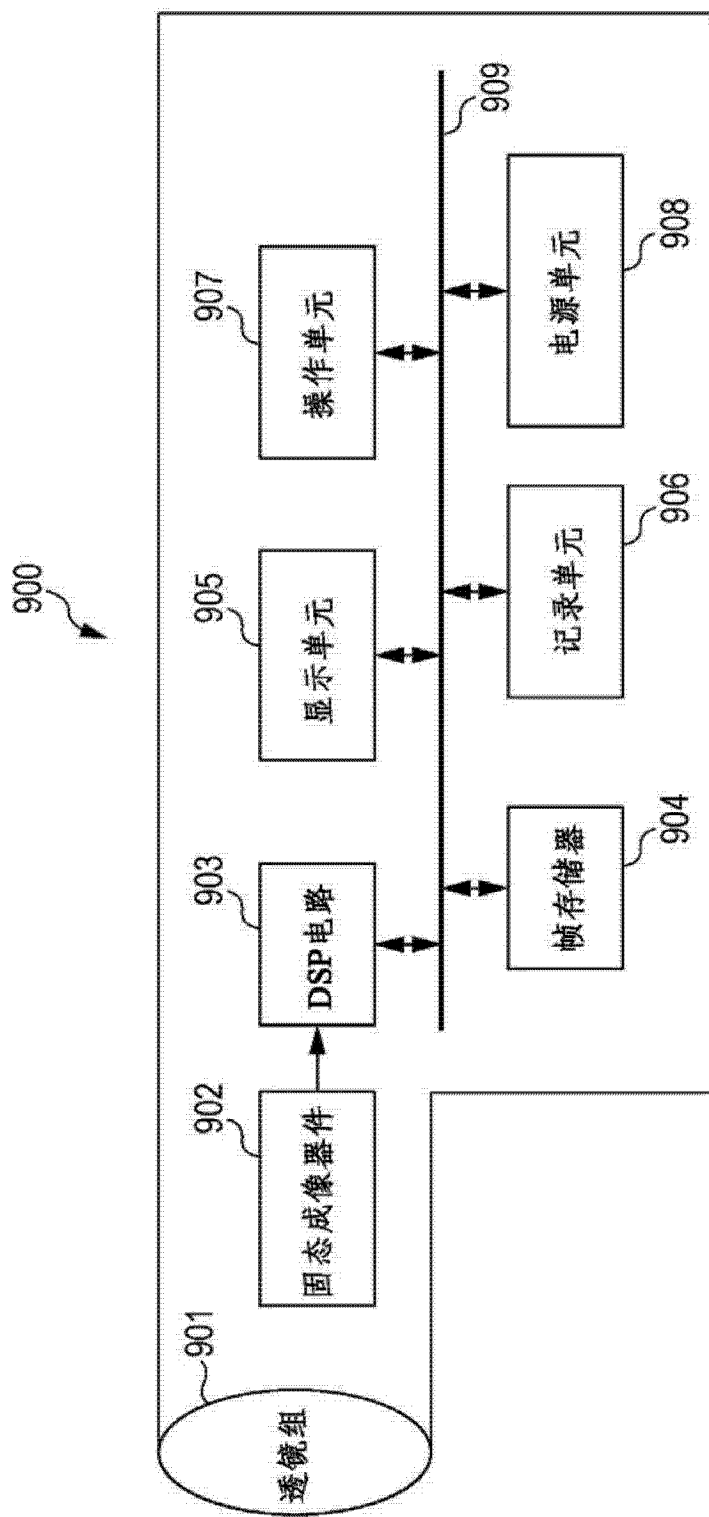


图 30