

(11)特許出願公開番号

特開2012-208342

(P2012-208342A)

(43) 公開日 平成24年10月25日(2012. 10. 25)

(51) Int.Cl.

F 1

テーマコード (参考)

G O 9 G 5/00 (2006.01)

G09G 5/00 550P

5C021

G09G 3/20 (2006.01)

G09G 5/00 550R

5C080

HO4N 5/14 (2006.01)

G O 9 G 3/20 6 3 1 B

5C082

G09G 3/20 612L

G O 9 G 3/20 6 3 3 G

審査請求 未請求 請求項の数 16 O L (全 29 頁) 最終頁に続く

(21) 出願番号 特願2011-74348 (P2011-74348)

(22) 出願日 平成23年3月30日 (2011. 3. 30)

(71) 出願人 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 100093241

弁理士 宮田 正昭

(74) 代理人 100101801

弁理士 山田 英治

(74) 代理人 100095496

弁理士 佐々木 榮二

(74) 代理人 100086531

弁理士 澤田 俊夫

(74) 代理人 1100000763

特許業務法人大同特許事務所

[最終頁に続く](#)

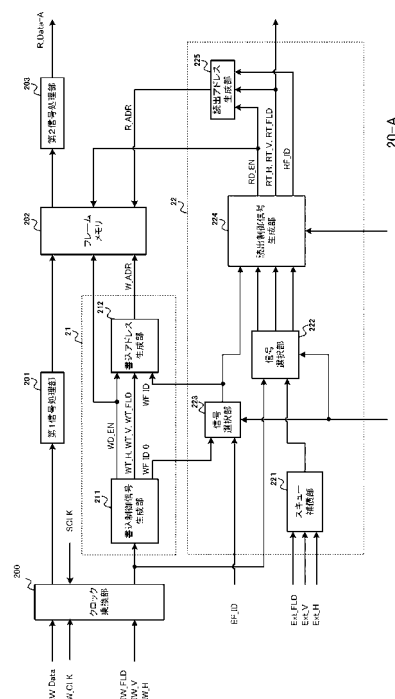
(54) 【発明の名称】 信号処理回路と信号処理方法および表示装置

(57) 【要約】

【課題】フレームバッファを用いることなく高解像度の映像表示を行うことができるようにする。

【解決手段】書込制御部 2 1 は、入力映像信号に同期した書込制御信号とフレーム識別情報を生成して、入力映像信号をフレーム識別情報と対応させてフレームメモリ 2 0 2 に蓄積する。読出制御部 2 2 は、外部から供給された垂直同期信号を出力水平周波数のタイミング信号で取り込んで読出制御信号を生成して、外部から供給されたフレーム識別情報に対応する映像信号をフレームメモリ 2 0 2 から読み出す。外部から供給された同期信号やフレーム識別信号を複数の信号処理回路に供給した場合に信号処理回路から出力される映像信号の位相差が少なくなるので、ラインバッファを用いて、信号処理回路から出力される映像信号の位相を一致させて、高解像度の映像表示を行うことができる。

【選択図】 図 3



【特許請求の範囲】**【請求項 1】**

映像信号を蓄積するメモリと、

入力映像信号に同期した書込制御信号と、フレーム識別情報を生成して、該書込制御信号に基づき前記入力映像信号を前記フレーム識別情報と対応させて前記メモリに蓄積させる書込制御部と、

外部から供給された垂直同期信号を出力水平周波数のタイミング信号で取り込み読出制御信号を生成して、該読出制御信号と外部から供給されたフレーム識別情報に基づき、該フレーム識別情報に対応する映像信号を前記メモリから読み出す読出制御部とを備える信号処理回路。

10

【請求項 2】

前記読出制御部は、複数の信号処理回路を同時に用いて映像表示を行う場合に、前記読出制御信号を生成して、該読出制御信号と前記フレーム識別情報に基づき、該フレーム識別情報に対応する映像信号を前記メモリから読み出す請求項 1 記載の信号処理回路。

【請求項 3】

前記読出制御部は、出力水平周波数のタイミング信号に基づいて生成した垂直同期信号と前記外部から供給された垂直同期信号との位相差、前記出力水平周波数のタイミング信号と外部から供給された水平同期信号の位相差を検出して、該位相差が所定未満となるように、前記出力水平周波数のタイミング信号と該タイミング信号に基づいて生成した垂直同期信号の位相を調整して、該調整後の信号を用いて前記読出制御信号を生成する請求項 1 記載の信号処理回路。

20

【請求項 4】

前記入力映像信号と他の信号処理回路に入力される入力映像信号がスキューを生じてても、前記読出制御信号と前記フレーム識別情報に基づき、前記フレーム識別情報に対応する映像信号を前記メモリから読み出すことができるように、前記外部から供給された同期信号を遅延させるスキュー補償部を有する請求項 1 記載の信号処理回路。

【請求項 5】

表示停止指示信号が供給された場合、入力ラッチ信号に基づいて前記表示停止指示信号の取り込みを行い、取り込んだ前記表示停止指示信号を前記書込制御部と前記読出制御部に出力する表示停止制御部をさらに備え、

30

前記書込制御部は、前記表示停止指示信号に基づき、表示停止期間中は前記メモリへの前記入力映像信号の蓄積を停止し、

前記読出制御部は、前記表示停止指示信号に基づき、表示停止期間中は表示停止前に読み出していたフレーム識別情報に対応する映像信号を前記メモリから読み出す請求項 1 記載の信号処理回路。

【請求項 6】

表示停止制御部は、フレーム単位または複数フレーム単位で、入力ラッチ信号に基づいて前記表示停止指示信号の取り込みを行う請求項 5 記載の信号処理回路。

【請求項 7】

前記読出制御部は、外部から供給されたフレーム識別情報に基づき、該フレーム識別情報に対応する映像信号を前記メモリから読み出してキャプチャ映像信号として外部に出力させる請求項 5 記載の信号処理回路。

40

【請求項 8】

前記書込制御部は、外部から供給されたフレーム識別情報に基づき、該フレーム識別情報に対応させて差し替え映像信号を前記メモリに記憶する請求項 5 記載の信号処理回路。

【請求項 9】

前記読出制御部は、前記外部から供給されたフレーム識別情報に基づき、該フレーム識別情報に対応させて前記メモリに記憶されている差し替え映像信号を読み出す請求項 8 記載の信号処理回路。

【請求項 10】

50

表示停止制御部は、フレーム単位または複数フレーム単位で、入力ラッチ信号に基づいて前記表示停止指示信号の取り込みを行う請求項 5 記載の信号処理回路。

【請求項 1 1】

前記メモリは、信号処理に用いる映像信号を蓄積する請求項 1 記載の信号処理回路。

【請求項 1 2】

入力映像信号に同期した書込制御信号と、フレーム識別情報を生成して、該書込制御信号に基づき前記入力映像信号を前記フレーム識別情報と対応させてメモリに蓄積させる工程と、

外部から供給された垂直同期信号を出力水平周波数のタイミング信号で取り込んで読出制御信号を生成して、該読出制御信号と前記外部から供給されたフレーム識別情報に基づき、該フレーム識別情報に対応する映像信号を前記メモリから読み出す工程とを含む映像信号処理方法。

10

【請求項 1 3】

1 画面を構成する複数の表示領域毎に信号処理回路を設けて、各信号処理回路は対応する表示領域の映像信号の処理を行う表示装置であり、

前記各信号処理回路は、

映像信号を蓄積するメモリと、

入力映像信号に同期した書込制御信号と、フレーム識別情報を生成して、該書込制御信号に基づき前記入力映像信号を前記フレーム識別情報と対応させて前記メモリに蓄積させる書込制御部と、

20

外部から前記各信号処理回路に共通に供給された垂直同期信号を出力水平周波数のタイミング信号で取り込んで読出制御信号を生成して、該読出制御信号と外部から前記各信号処理回路に共通に供給されたフレーム識別情報に基づき、該フレーム識別情報に対応する映像信号を前記メモリから読み出す読出制御部とを備える表示装置。

【請求項 1 4】

基準周波数信号を生成する発振部をさらに有し、

前記発振部は、前記生成した基準周波数信号を前記信号処理回路のそれぞれに供給し、

前記各信号処理回路の読出制御部は、前記出力水平周波数のタイミング信号に基づいて生成した垂直同期信号と前記外部から供給された垂直同期信号との位相差、前記出力水平周波数のタイミング信号と外部から供給された水平同期信号の位相差を検出して、該位相差が所定未満となるように、前記出力水平周波数のタイミング信号と該タイミング信号に基づいて生成した垂直同期信号の位相を調整して、該調整後の信号を用いて前記読出制御信号を生成する請求項 1 3 記載の表示装置。

30

【請求項 1 5】

前記複数の信号処理回路は、前記複数の信号処理回路に入力される入力映像信号が信号処理回路間でスキューを生じて、前記読出制御信号と前記フレーム識別情報に基づき、前記フレーム識別情報に対応する映像信号を前記メモリから読み出すことができるように、前記外部から供給された同期信号を遅延させるスキュー補償部を有する請求項 1 3 記載の表示装置。

40

【請求項 1 6】

前記複数の信号処理回路は、表示停止指示信号が供給された場合、入力ラッチ信号に基づいて前記表示停止指示信号の取り込みを行い、取り込んだ前記表示停止指示信号を前記書込制御部と前記読出制御部に出力する表示停止制御部をさらに備え、

前記書込制御部は、前記表示停止指示信号に基づき、表示停止期間中は前記メモリへの前記入力映像信号の蓄積を停止し、

前記読出制御部は、前記表示停止指示信号に基づき、表示停止期間中は表示停止前に読み出していたフレーム識別情報に対応する映像信号を前記メモリから読み出す請求項 1 3 記載の表示装置。

【発明の詳細な説明】

50

【技術分野】

【0001】

この技術は、信号処理回路と信号処理方法および表示装置に関する。詳しくは、信号処理回路を複数用いたマルチチップ構成で高解像度の映像表示を行う場合に、低遅延かつ回路規模の縮小を可能とする。

【背景技術】

【0002】

従来、タイリング処理を用いて高解像度の映像表示が行われている。例えば特許文献1の発明では、複数のサブスクリーンに表示領域が仮想的に分割されるスクリーンを備え、各サブスクリーンにグラフィックアダプタを設けることが行われている。グラフィックアダプタは、2つのフレームバッファを有している。グラフィックアダプタは、一方のバッファに映像信号を書き込みながら他方のバッファに記憶されている映像信号の読み出しを行い、映像信号の読み出しが完了したバッファに対して次のフレームの映像信号を書き込むことが行われている。

【0003】

図1は、信号処理回路を複数用いたマルチチップ構成で高解像度の映像表示を行う従来の表示装置の構成を例示している。表示装置50は、信号処理回路60-A~60-D、フレームバッファ70-A~70-D、タイミングコントロール回路(T-Con)75-A~75-D、フレームバッファ制御部80、発振器85-A~85-D、を備えている。

【0004】

信号処理回路60-Aには、映像信号IW_Data、映像信号IW_Dataに対応したクロック信号IW_CLK、水平同期信号IW_H、垂直同期信号IW_V、フレーム信号IW_FLDが供給されている。なお、フレーム信号は、インタレース信号に基づいたネイティブ表示を行う場合に第1フレームと第2フレームを識別するため、または例えば左視点と右視点の映像信号を用いて3D表示を行うために、各視点の映像信号を識別するために用いられる。信号処理回路60-Aは、表示領域に対応する映像信号の信号処理を行う。

【0005】

また、信号処理回路60-B~60-Dにも、信号処理回路60-Aと同様に、映像信号、映像信号に対応した水平同期信号、垂直同期信号、フレーム信号が供給されており、それぞれ表示領域に対応する映像信号の信号処理を行う。例えば、1画面を上下左右に4分割して、信号処理回路60-Aは、例えば左上の表示領域に対応する映像信号の信号処理を行う。同様に、信号処理回路60-Bは、例えば右上の領域、信号処理回路60-Cは、左下の領域、信号処理回路60-Dは、例えば右下の表示領域に対応する映像信号の信号処理を行う。

【0006】

信号処理回路60-Aで処理が行われた映像信号は、フレームバッファ70-Aに記憶させる。また、信号処理回路60-B~60-Dで処理が行われた映像信号は、フレームバッファ70-B~70-Dに記憶させる。

【0007】

フレームバッファ70-A~70-Dに記憶された映像信号は、同期して読み出されてタイミングコントロール回路75-A~75-Dに供給される。タイミングコントロール回路75-Aは、フレームバッファ70-Aから読み出された映像信号を受けて、所定フォーマットおよびタイミングの信号として表示素子のドライバ(図示せず)に出力する。同様に、タイミングコントロール回路75-B~75-Dは、フレームバッファ70-B~70-Dから読み出された映像信号を受けて、所定フォーマットおよびタイミングの信号として表示素子のドライバ(図示せず)に出力する。

【0008】

フレームバッファ制御部80は、各フレームバッファ70-A~70-Dの動作を制御する。フレームバッファ制御部80は、信号処理回路60-Aから供給された同期信号やフレーム信号に基づき書込信号WCTを生成する。フレームバッファ制御部80は、生成した書

10

20

30

40

50

込信号 W C T をフレームバッファ 7 0 -A に供給して、信号処理回路 6 0 -A から出力された映像信号を記憶させる。同様に、フレームバッファ制御部 8 0 は、信号処理回路 6 0 -B ~ 6 0 -D から供給された同期信号やフレーム信号に基づき書込信号を生成する。フレームバッファ制御部 8 0 は、生成した書込信号をフレームバッファ 7 0 -B ~ 7 0 -D に供給して、信号処理回路 6 0 -B ~ 6 0 -D から出力された映像信号を記憶させる。また、フレームバッファ制御部 8 0 は、読出信号 R C T を生成して各フレームバッファ 7 0 -A ~ 7 0 -D に供給して、記憶されている映像信号を同期して読み出してタイミングコントロール回路 7 5 -A ~ 7 5 -D に出力させる。

【 0 0 0 9 】

発振器 8 5 -A は、信号処理回路 6 0 -A を動作させるための基準周波数信号であるシステムクロック信号を生成する。同様に、発振器 8 5 -B ~ 8 5 -D は、信号処理回路 6 0 -B ~ 6 0 -D を動作させるための基準周波数信号であるシステムクロック信号を生成する。

【 先行技術文献 】

【 特許文献 】

【 0 0 1 0 】

【 特許文献 1 】 特開 2 0 0 1 - 1 9 5 0 5 3 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 1 】

ところで、マルチチップ構成で高解像度の映像表示を行う場合、全体で 1 画面の表示を行うだけでなく、信号処理回路毎に独立したフレーム周波数の入力信号の表示対応も必要になる。このため、フレームバッファ 7 0 -A ~ 7 0 -D を大容量としなければならない。例えば信号処理回路に入力された映像信号のフレーム周波数が 4 8 H z 、フレームバッファから出力する映像信号のフレーム周波数を 6 0 H z とする。この場合、フレームバッファ 7 0 -A ~ 7 0 -D を 2 フレーム分のメモリ容量として、一方の 1 フレーム分のメモリ領域に映像信号が書き込まれている期間中は、他方の 1 フレーム分のメモリ領域に記憶されている映像信号の読み出しを行う。このように、フレームバッファを大容量とすることで、独立したフレーム周波数の入力信号の表示対応が可能となる。しかし、大容量のフレームバッファを用いることで、低コスト化や小規模回路化等が困難となる。

【 0 0 1 2 】

そこで、この技術では、フレームバッファを用いることなく高解像度の映像表示を行うことができる信号処理回路と信号処理方法および表示装置を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 3 】

本技術の第 1 の側面は、映像信号を蓄積するメモリと、入力映像信号に同期した書込制御信号と、フレーム識別情報を生成して、該書込制御信号に基づき前記入力映像信号を前記フレーム識別情報と対応させて前記メモリに蓄積させる書込制御部と、外部から供給された垂直同期信号を出力水平周波数のタイミング信号で取り込んで読出制御信号を生成して、該読出制御信号と外部から供給されたフレーム識別情報に基づき、該フレーム識別情報に対応する映像信号を前記メモリから読み出す読出制御部とを備える信号処理回路にある。

【 0 0 1 4 】

本技術の信号処理回路では、メモリに対して信号処理に用いる映像信号が蓄積される。書込制御部は、入力映像信号に同期した書込制御信号と、フレーム識別情報を生成して、該書込制御信号に基づき入力映像信号をフレーム識別情報と対応させてメモリに蓄積させる。また、読出制御部は、複数の信号処理回路を同時に用いて映像表示を行う場合に、外部から供給された垂直同期信号を出力水平周波数のタイミング信号で取り込んで読出制御信号を生成する。読出制御信号の生成では、出力水平周波数のタイミング信号に基づいて生成した垂直同期信号と外部から供給された垂直同期信号との位相差、出力水平周波数のタイミング信号と外部から供給された水平同期信号の位相差を検出して、位相差が所定未

10

20

30

40

50

満となるように、出力水平周波数のタイミング信号と該タイミング信号に基づいて生成した垂直同期信号の位相を調整して、調整後の信号を用いて読出制御信号を生成する。この生成した読出制御信号と外部から供給されたフレーム識別情報に基づき、フレーム識別情報に対応する映像信号をメモリから読み出す。

【 0 0 1 5 】

また、スキュー補償部が設けられて、入力映像信号と他の信号処理回路に入力される入力映像信号がスキューを生じて、読出制御信号とフレーム識別情報に基づき、フレーム識別情報に対応する映像信号をメモリから読み出すことができるように、外部から供給された同期信号が遅延される。

【 0 0 1 6 】

さらに、表示停止制御部が設けられて、表示停止指示信号が供給された場合、入力ラッチ信号に基づいて表示停止指示信号の取り込みがフレーム単位または複数フレーム単位で行われて、取り込んだ表示停止指示信号が書込制御部と読出制御部に出力される。書込制御部では、表示停止指示信号に基づき、表示停止期間中はメモリへの入力映像信号の蓄積が停止される。また、読出制御部では、表示停止指示信号に基づき、表示停止期間中は表示停止前に読み出した映像信号が繰り返し読み出される。また、外部から供給されたフレーム識別情報に基づき、フレーム識別情報に対応する映像信号がメモリから読み出されて、例えば外部機器に供給されて、静止画のキャプチャが行われる。また、外部から供給されたフレーム識別情報に基づき、フレーム識別情報に対応させて差し替え映像信号がメモリに記憶される。その後、外部から供給されたフレーム識別情報に基づき、該フレーム識別情報に対応させてメモリに記憶されている差し替え映像信号を読み出すことで、マルチチップ構成でも、静止画を外部機器から供給された静止画に容易に差し替えることができる。

【 0 0 1 7 】

本技術の第2の側面は、入力映像信号に同期した書込制御信号と、フレーム識別情報を生成して、該書込制御信号に基づき前記入力映像信号を前記フレーム識別情報と対応させてメモリに蓄積させる工程と、外部から供給された垂直同期信号を出力水平周波数のタイミング信号で取り込んで読出制御信号を生成して、該読出制御信号と前記外部から供給されたフレーム識別情報に基づき、該フレーム識別情報に対応する映像信号を前記メモリから読み出す工程とを含む信号処理方法にある。

【 0 0 1 8 】

本技術の第3の側面は、1画面を構成する複数の表示領域毎に信号処理回路を設けて、各信号処理回路は対応する表示領域の映像信号の処理を行う表示装置であり、前記各信号処理回路は、映像信号を蓄積するメモリと、入力映像信号に同期した書込制御信号と、フレーム識別情報を生成して、該書込制御信号に基づき前記入力映像信号を前記フレーム識別情報と対応させて前記メモリに蓄積させる書込制御部と、外部から前記各信号処理回路に共通に供給された垂直同期信号を出力水平周波数のタイミング信号で取り込んで読出制御信号を生成して、該読出制御信号と外部から前記各信号処理回路に共通に供給されたフレーム識別情報に基づき、該フレーム識別情報に対応する映像信号を前記メモリから読み出す読出制御部とを備える表示装置にある。

【 0 0 1 9 】

本技術の表示装置では、1画面を構成する複数の表示領域毎に信号処理回路を設けて、各信号処理回路では対応する表示領域の映像信号の処理を行う。各信号処理回路では、メモリに対して信号処理に用いる映像信号が蓄積される。各信号処理回路の書込制御部は、入力映像信号に同期した書込制御信号と、フレーム識別情報を生成して、該書込制御信号に基づき入力映像信号をフレーム識別情報と対応させてメモリに蓄積させる。また、各信号処理回路の読出制御部は、各信号処理回路を同時に用いて映像表示を行う場合に、外部から各信号処理回路に共通に供給された垂直同期信号を出力水平周波数のタイミング信号で取り込んで読出制御信号を生成する。読出制御信号の生成では、外部から供給された垂直同期信号を出力水平周波数のタイミング信号で取り込んで読出制御信号を生成する。読

10

20

30

40

50

出制御部は、読出制御信号と外部から各信号処理回路に共通に供給されたフレーム識別情報に基づき、フレーム識別情報に対応する映像信号をメモリから読み出す。

【 0 0 2 0 】

また、スキュー補償部が設けられて、入力映像信号と各信号処理回路に入力される入力映像信号がスキューを生じて、読出制御信号とフレーム識別情報に基づき、フレーム識別情報に対応する映像信号をメモリから読み出すことができるように、外部から供給された同期信号が遅延される。

【 0 0 2 1 】

また、1つの発振部で生成されたシステムクロック信号が信号処理回路のそれぞれに供給されて、各信号処理回路の読出制御部は、出力水平周波数のタイミング信号に基づいて生成した垂直同期信号と外部から供給された垂直同期信号との位相差、出力水平周波数のタイミング信号と外部から供給された水平同期信号の位相差を検出して、この位相差が所定未満となるように、出力水平周波数のタイミング信号と該タイミング信号に基づいて生成した垂直同期信号の位相を調整して、この調整後の信号を用いて読出制御信号が生成される。

【 0 0 2 2 】

さらに、各信号処理回路に表示停止制御部が設けられて、表示停止指示信号が供給された場合、入力ラッチ信号に基づいて表示停止指示信号の取り込みが1フレーム単位または複数フレーム単位で行われて、取り込んだ表示停止指示信号が書込制御部と読出制御部に出力される。書込制御部では、表示停止指示信号に基づき、表示停止期間中はメモリへの入力映像信号の蓄積が停止される。また、読出制御部では、表示停止指示信号に基づき、表示停止期間中は表示停止前に読み出した映像信号が繰り返し読み出される。

【 発明の効果 】

【 0 0 2 3 】

本技術によれば、入力映像信号に同期した書込制御信号と、フレーム識別情報を生成して、書込制御信号に基づき入力映像信号がフレーム識別情報と対応させてメモリに蓄積される。また、外部から供給された垂直同期信号を出力水平周波数のタイミング信号で取り込んで読出制御信号が生成されて、この読出制御信号と外部から供給されたフレーム識別情報に基づき、フレーム識別情報に対応する映像信号がメモリから読み出される。したがって、外部から供給された同期信号を複数の信号処理回路に供給した場合、信号処理回路から出力される映像信号の位相差が少なくなる。このため、ラインバッファを用いて、信号処理回路から出力される映像信号の位相を一致させることが可能となり、低遅延で小規模回路、かつ低消費電力、低コストで高解像度の映像表示を行うことができる。

【 図面の簡単な説明 】

【 0 0 2 4 】

【 図 1 】 従来の表示装置の構成を例示した図である。

【 図 2 】 第 1 の実施の形態の構成を示す図である。

【 図 3 】 信号処理回路の構成を示す図である。

【 図 4 】 信号処理回路の動作を示すタイミング図である。

【 図 5 】 表示モードを説明するための図である。

【 図 6 】 第 1 の表示モードの動作を示すタイミング図である。

【 図 7 】 第 2 の表示モードの動作を示すタイミング図である。

【 図 8 】 第 2 の実施の形態の構成を示す図である。

【 図 9 】 表示停止機能を設けた信号処理回路の構成を示す図である。

【 図 1 0 】 表示停止機能を設けた信号処理回路の動作を示すタイミング図である。

【 図 1 1 】 4 つの信号処理回路の表示停止制御部を示した図である。

【 図 1 2 】 4 つの信号処理回路の動作を示すタイミング図である。

【 図 1 3 】 フィールド（フレーム）シーケンシャル方式の映像信号が信号処理回路に入力される場合の動作を示すタイミング図である。

【 図 1 4 】 静止画のキャプチャを行う場合のタイミング図である。

10

20

30

40

50

【図 1 5】静止画の差し替えを行う場合のタイミング図である。

【発明を実施するための形態】

【0025】

以下、本技術を実施するための形態について説明する。なお、説明は以下の順序で行う。

1. 第 1 の実施の形態

1 - 1. 第 1 の実施の形態の構成

1 - 2. 第 1 の実施の形態の動作

2. 第 2 の実施の形態

2 - 1. 第 2 の実施の形態の構成

2 - 2. 第 2 の実施の形態の動作

3. 第 3 の実施の形態

3 - 1. 第 3 の実施の形態の構成

3 - 2. 第 3 の実施の形態の動作

【0026】

< 1. 第 1 の実施の形態 >

[1 - 1. 第 1 の実施の形態の構成]

図 2 は、第 1 の実施の形態の構成を例示している。表示装置 10 は、信号処理回路 20 -A ~ 20 -D、ラインバッファ 30 -A ~ 30 -D、タイミングコントロール回路 35 -A ~ 35 -D、信号処理回路制御部 40、発振器 45 -A ~ 45 -D を備えている。

【0027】

信号処理回路 20 -A ~ 20 -D は、それぞれ表示領域に対応する映像信号の信号処理を行う。例えば、1 画面を上下左右に 4 分割して、信号処理回路 20 -A は、例えば左上の表示領域に対応する映像信号の信号処理を行う。同様に、信号処理回路 20 -B は、例えば右上の領域、信号処理回路 20 -C は、例えば左下の領域、信号処理回路 20 -D は、例えば右下の表示領域に対応する映像信号の信号処理を行う。

【0028】

信号処理回路 20 -A には、映像信号 I W_Data、映像信号 I W_Data に対応したクロック信号 I W_CLK、水平同期信号 I W_H、垂直同期信号 I W_V、フレーム信号 I W_FLD が供給されている。また、信号処理回路 20 -A には、後述する信号処理回路制御部 40 から水平同期信号 E x t_H、垂直同期信号 E x t_V、フレーム信号 E x t_FLD、フレーム識別信号 E F_ID が供給されている。さらに、信号処理回路 20 -A には、システム制御部（図示せず）から、マルチチップ構成またはシングルチップ構成の何れで動作を行うかを示すチップ構成制御信号 M C_EN が供給されている。信号処理回路 20 -A は、クロック信号 I W_CLK、水平同期信号 I W_H、垂直同期信号 I W_V、フレーム信号 I W_FLD に基づき映像信号 I W_Data を取り込んで表示領域に対応する映像信号の信号処理を行う。信号処理回路 20 -A は、チップ構成制御信号 M C_EN に基づきマルチチップ構成に対応した動作を行う場合、水平同期信号 E x t_H、垂直同期信号 E x t_V、フレーム信号 E x t_FLD 等に基づき、処理後の映像信号 R_Data-A をラインバッファ 30 -A に出力する。

【0029】

信号処理回路 20 -B ~ 20 -D も信号処理回路 20 -A と同様に、それぞれ表示領域に対応する映像信号の信号処理を行い、信号処理後の映像信号 R_Data-B ~ R_Data-D をラインバッファ 30 -B ~ 30 -D に出力する。なお、信号処理回路 20 -A ~ 20 -D は、チップ構成制御信号 M C_EN によって、シングルチップ構成に対応した動作を行う場合、水平同期信号 I W_H、垂直同期信号 I W_V、フレーム信号 I W_FLD 等に基づき映像信号の読み出しを行う。

【0030】

ラインバッファ 30 -A ~ 30 -D に記憶された映像信号は、例えば信号処理回路 20 -A から出力された水平読出タイミング信号 R T_H、垂直読出タイミング信号 R T_V、フレーム信号 R T_FLD に基づき同期して読み出されて、タイミングコントロール回路 35 -A ~ 35

10

20

30

40

50

-Dに供給される。

【0031】

タイミングコントロール回路35-Aは、ラインバッファ30-Aから読み出された映像信号を受けて、所定フォーマットおよびタイミングの信号として表示素子のドライバ（図示せず）に出力する。同様に、タイミングコントロール回路35-B～35-Dは、ラインバッファ30-B～30-Dから読み出された映像信号を受けて、所定フォーマットおよびタイミングの信号として表示素子のドライバ（図示せず）に出力する。

【0032】

信号処理回路制御部40は、信号処理回路をマルチチップ構成で用いる場合に、水平同期信号E x t_Hと垂直同期信号E x t_Vとフレーム信号E x t_FLDとフレーム識別信号E F_IDを生成して信号処理回路20-A～20-Dに供給する。

10

【0033】

発振器45-Aは、信号処理回路20-Aを動作させるための基準周波数信号であるシステムクロック信号S C L Kを生成する。同様に、発振器45-B～45-Dは、信号処理回路20-B～20-Dを動作させるためのシステムクロック信号S C L Kを生成する。なお、発振器45-A～45-Dで生成されるシステムクロック信号S C L Kの周波数は、等しい周波数とされている。

【0034】

図3は、信号処理回路の構成を例示している。なお、信号処理回路20-A～20-Dは等しい構成とされており、以下信号処理回路20-Aについて説明する。

20

【0035】

映像信号I W_Dataは、クロック乗換部200に供給される。クロック乗換部200は、クロック信号の乗り換えを行い、映像信号I W_Data、水平同期信号I W_H、垂直同期信号I W_V、フレーム信号I W_FLDを、クロック信号I W_CLKからシステムクロック信号S C L Kに同期した信号とする。クロック乗換部200は、クロック乗り換え後の映像信号I W_Dataを第1信号処理部201に出力する。また、クロック乗換部200は、クロック乗り換え後の水平同期信号I W_Hと垂直同期信号I W_Vとフレーム信号I W_FLDを、書込制御部21の書込制御信号生成部211と読出制御部22の信号選択部222に出力する。

【0036】

30

第1信号処理部201は、映像信号I W_Dataに対してメモリを用いることのない種々の処理、例えば輝度補正や色補正等の処理をシステム制御部からの指示に応じて行い、処理後の映像信号をフレームメモリ202に供給する。フレームメモリ202は、信号処理に用いる映像信号例えば蓄積されている映像信号を用いて新たな映像信号を生成する信号処理に用いる映像信号を蓄積するためのものである。フレームメモリ202には、第2信号処理部203が接続されている。第2信号処理部203は、フレームメモリ202に蓄積されている映像信号を用いて種々の信号処理例えばインタレース/プログレッシブ変換やサイズ変換、倍速変換等の処理をシステム制御部からの指示に応じて行い、新たな映像信号を生成する。

【0037】

40

書込制御部21の書込制御信号生成部211は、水平同期信号I W_Hと垂直同期信号I W_Vとフレーム信号I W_FLDに基づき水平書込タイミング信号W T_Hと垂直書込タイミング信号W T_Vを生成する。書込制御信号生成部211は、生成した信号をこれらの信号に同期したフレーム信号W T_FLDと共に書込アドレス生成部212に供給する。また、書込制御信号生成部211は、書込イネーブル信号W D_ENを生成して、フレームメモリ202と書込アドレス生成部212に供給する。さらに、書込制御信号生成部211は、フレーム信号I W_FLDに基づき、書込フレーム識別信号W F_ID_0を自走して生成して、信号選択部223に供給する。

【0038】

書込アドレス生成部212は、書込イネーブル信号W D_ENによって書込許可がなされ

50

ている場合、水平書込タイミング信号 $W T_H$ と垂直書込タイミング信号 $W T_V$ とフレーム信号 $W T_FLD$ 、および信号選択部 223 から供給されたフレーム識別信号 $W F_ID$ に基づき、書込アドレス信号 W_ADR を生成する。書込アドレス生成部 212 は、生成した書込アドレス信号 W_ADR をフレームメモリ 202 に供給して、第 1 信号処理部 201 から出力された映像信号をフレームメモリ 202 に蓄積させる。

【0039】

読出制御部 22 のスキュー補償部 221 は、信号処理回路を複数用いたマルチチップ構成で映像表示を行う場合、各信号処理回路間で入力映像信号のスキューを生じてても、このスキューによる誤動作を防止する。スキュー補償部 221 は、信号処理回路制御部 40 から供給された水平同期信号 $E x t_H$ と垂直同期信号 $E x t_V$ とフレーム信号 $E x t_FLD$ に基づき、信号処理後の映像信号を各信号処理回路から位相差を少なくして出力できるようにタイミングを調整する。スキュー補償部 221 は、タイミング調整後の各信号を信号選択部 222 に出力する。例えば各信号処理回路間でシステムクロックの最大 4 クロック分のスキューが発生する場合、水平同期信号 $E x t_H$ を 8 クロック分遅延させる。この場合、遅延後の水平同期信号 $E x t_H$ のタイミングは、最大 4 クロック分のスキューが発生しても、同じ垂直期間およびフィールド期間のタイミングとなる。したがって、遅延した水平同期信号 $E x t_H$ のエッジで垂直同期信号 $E x t_V$ とフレーム信号 $E x t_FLD$ の取り込みを行い、新たな垂直同期信号 $E x t_V$ とフレーム信号 $E x t_FLD$ として出力する。このようにすれば、各信号処理回路間でスキューが発生しても、スキューの影響を防止できる。また、水平同期信号 $E x t_H$ の遅延は、発振器 45-A からのシステムクロック信号 $S C L K$ に基づいて行うことで、信号処理回路制御部 40 から水平同期信号 $E x t_H$ と垂直同期信号 $E x t_V$ とフレーム信号 $E x t_FLD$ と共にクロック信号を供給する必要がない。

【0040】

信号選択部 222 は、チップ構成制御信号 $M C_EN$ でマルチチップ構成での動作が示された場合、スキュー補償部 221 から供給された水平同期信号 $E x t_H$ と垂直同期信号 $E x t_V$ とフレーム信号 $E x t_FLD$ を選択して、読出制御信号生成部 224 に出力する。なお、信号選択部 222 は、シングルチップ構成での動作が指示された場合、映像信号 $I W_Data$ に対応する水平同期信号 $I W_H$ と垂直同期信号 $I W_V$ とフレーム信号 $I W_FLD$ を選択して読出制御信号生成部 224 に出力する。

【0041】

信号選択部 223 には、書込制御信号生成部 211 から書込フレーム識別信号 $W F_ID_0$ と、信号処理回路制御部 40 からフレーム識別信号 $E F_ID$ が供給されている。信号選択部 223 は、システム制御部から供給されたチップ構成制御信号 $M C_EN$ によってマルチチップ構成で映像表示を行うことが指示された場合、信号処理回路制御部 40 から供給されたフレーム識別信号 $E F_ID$ を選択する。また、シングルチップ構成で映像表示を行うことが指示された場合、信号選択部 223 は、書込フレーム識別信号 $W F_ID_0$ を選択する。信号選択部 223 は、選択したフレーム識別信号をフレーム識別信号 $W F_ID$ として、書込アドレス生成部 212 と読出制御信号生成部 224 に出力する。また、後述する第 3 の表示モードのように、信号処理回路 20-A ~ 20-D に供給する映像信号が非同期で異なるフォーマットやフレームレートに対応可能とする場合、フレーム識別信号 $E F_ID$ は、信号処理回路 20-A ~ 20-D に供給する映像信号に同期した信号とすることができない。したがって、第 3 の表示モードでは、チップ構成制御信号 $M C_EN$ によってマルチチップ構成で映像表示を行うことが指示された場合でも、信号選択部 223 は、書込フレーム識別信号 $W F_ID_0$ を選択する。

【0042】

例えばチップ構成制御信号 $M C_EN[1:0] = [x:1]$ の場合、信号選択部 222 は、水平同期信号 $E x t_H$ と垂直同期信号 $E x t_V$ とフレーム信号 $E x t_FLD$ を選択する。チップ構成制御信号 $M C_EN[1:0] = [x:0]$ の場合、信号選択部 222 は、水平同期信号 $I W_H$ と垂直同期信号 $I W_V$ とフレーム信号 $I W_FLD$ を選択する。チップ構成制御信号 $M C_EN[1:0] = [1:x]$ の場合、信号選択部 223 は、フレーム識別信

10

20

30

40

50

号 E F _ID を選択する。チップ構成制御信号 M C _EN [1 : 0] = [0 : x] の場合、信号選択部 2 2 3 は、書込フレーム識別信号 W F _ID_0 を選択する。ここで、マルチチップ構成で用いる場合、第 1 と第 2 の表示モードではチップ構成制御信号 M C _EN [1 : 0] = [1 : 1]、第 3 の表示モードではチップ構成制御信号 M C _EN [1 : 0] = [0 : 1] とする。

【 0 0 4 3 】

読出制御信号生成部 2 2 4 は、信号選択部 2 2 2 で選択された同期信号に基づき水平読出タイミング信号 R T _H と垂直読出タイミング信号 R T _V を生成する。読出制御信号生成部 2 2 4 は、生成した信号をこれらの信号に同期したフレーム信号 R T _FLD と共に読出アドレス生成部 2 2 5 に供給する。また、読出制御信号生成部 2 2 4 は、読出イネーブル信号 R D _EN を生成して、フレームメモリ 2 0 2 と読出アドレス生成部 2 2 5 に供給する。さらに、読出制御信号生成部 2 2 4 は、信号選択部 2 2 3 から供給されたフレーム識別信号 W F _ID に基づき、読出フレーム識別信号 R F _ID を生成して、読出アドレス生成部 2 2 5 に供給する。また、水平読出タイミング信号 R T _H は、ラインジッタモードの場合、フリーランで生成される。ラインジッタモードとは、表示装置は広い周波数範囲のフレームレートの信号を扱うため、出力水平周波数の水平読出タイミング信号 R T _H を自走させて、入力の垂直同期信号を水平読出タイミング信号 R T _H で取り込んで出力の垂直読出タイミング信号 R T _V を生成するモードである。したがって、ラインジッタモードでは、フレーム当たりのライン数が可変する。さらに、読出制御信号生成部 2 2 4 は、L o w L a t e n c y イネーブル信号 L L _EN に基づき、後述する L o w L a t e n c y モードが有効とされているか否かに応じて読み出すフレームを制御する。

10

20

【 0 0 4 4 】

読出アドレス生成部 2 2 5 は、読出イネーブル信号 R D _EN によって映像信号の読み出しが許可されている場合、水平読出タイミング信号 R T _H と垂直読出タイミング信号 R T _V とフレーム信号 R T _FLD および読出フレーム識別信号 R F _ID に基づき、読出アドレス信号 R _ADR を生成する。読出アドレス生成部 2 2 5 は、生成した読出アドレス信号 R _ADR をフレームメモリ 2 0 2 に供給して、フレームメモリ 2 0 2 から読出フレーム識別信号 R F _ID に対応する映像信号を読み出して出力させる。

【 0 0 4 5 】

[1 - 2 . 第 1 の実施の形態の動作]

30

次に、第 1 の実施の形態の動作について説明する。図 4 は、信号処理回路の動作を示すタイミング図である。図 4 の (A) は、各信号処理回路 2 0 -A ~ 2 0 -D に入力される映像信号 I W _Data のフレーム信号 I W _FLD、垂直同期信号 I W _V、水平同期信号 I W _H を示している。図 4 の (B) は、フレーム識別信号 W F _ID を示している。図 4 の (C) は、信号処理回路制御部 4 0 から各信号処理回路 2 0 -A ~ 2 0 -D に供給される水平同期信号 E x t _H と垂直同期信号 E x t _V とフレーム信号 E x t _FLD を示している。

【 0 0 4 6 】

信号処理回路の読出制御信号生成部 2 2 4 は、ラインジッタモードの場合、フリーランで水平読出タイミング信号 R T _H を生成する。したがって、水平読出タイミング信号 R T _H は、最大 1 ライン分のスキューを生じることになる。図 4 の (D) は、信号処理回路 2 0 -A の読出制御信号生成部 2 2 4 で生成されたフレーム信号 R T _FLD、垂直読出タイミング信号 R T _V、水平読出タイミング信号 R T _H を示している。ここで、信号処理回路 2 0 -A で生成された水平読出タイミング信号 R T _H が信号処理回路制御部 4 0 から供給された水平同期信号 E x t _H と位相が一致する場合、信号処理回路 2 0 -A から出力される映像信号は、信号処理回路制御部 4 0 から各信号処理回路に供給された信号と同期する。

40

【 0 0 4 7 】

図 4 の (E) は、信号処理回路 2 0 -B の読出制御信号生成部 2 2 4 で生成されたフレーム信号 R T _FLD、垂直読出タイミング信号 R T _V、水平読出タイミング信号 R T _H を示している。信号処理回路 2 0 -B で生成された水平読出タイミング信号 R T _H が、供給された水平同期信号 E x t _H に対してスキューが最大である場合、信号処理回路 2 0 -B から出力

50

される映像信号は、信号処理回路制御部 40 から供給された信号に対して 1 ライン分遅延した信号となる。

【0048】

図 4 の (F) は、信号処理回路 20-C の読出制御信号生成部 224 で生成されたフレーム信号 R T _FLD、垂直読出タイミング信号 R T _V、水平読出タイミング信号 R T _Hを示している。また、図 4 の (G) は、信号処理回路 20-D の読出制御信号生成部 224 で生成されたフレーム信号 R T _FLD、垂直読出タイミング信号 R T _V、水平読出タイミング信号 R T _Hを示している。信号処理回路 20-C、20-D から出力される映像信号も、信号処理回路 20-A、20-B から出力される映像信号と同様に、生成した水平読出タイミング信号 R T _Hと供給された水平同期信号 E x t _Hとのスキューに応じて遅延した信号となる。

10

【0049】

図 4 の (H) は、ラインバッファ 30-A の動作を示している。ラインバッファ 30-A は、図 4 の (D) に示すタイミングで読み出された映像信号 R _Data-A を図 4 の (H) に示すように順次記憶する。図 4 の (I) は、ラインバッファ 30-B の動作を示している。ラインバッファ 30-B は、図 4 の (E) に示すタイミングで読み出された映像信号 R _Data-B を図 4 の (I) に示すように順次記憶する。図 4 の (J) は、ラインバッファ 30-C の動作を示している。ラインバッファ 30-C は、図 4 の (F) に示すタイミングで読み出された映像信号 R _Data-C を図 4 の (J) に示すように順次記憶する。図 4 の (K) は、ラインバッファ 30-D の動作を示している。ラインバッファ 30-D は、図 4 の (G) に示すタイミングで読み出された映像信号 R _Data-D を図 4 の (J) に示すように順次記憶する。

20

【0050】

また、ラインバッファ 30-A ~ 30-D に記憶された映像信号は、図 4 の (H) ~ (K) に示すように、信号処理回路 20-A から供給されたタイミング信号に基づいて、映像信号 R _Data-A の書き込みから 2 ライン分経過後に読み出す。このように、ラインバッファ 30-A ~ 30-D から映像信号を読み出すと、ラインバッファ 30-A ~ 30-D から出力される映像信号 M R D -A ~ M R D -D は、位相の一致した信号となる。

【0051】

すなわち、2 フレーム分の容量を有するフレームバッファを信号処理回路毎に設ける必要がなく、2 ライン分の容量を有するラインバッファを信号処理回路毎に設けるだけで、各信号処理回路から出力される映像信号の位相を一致させることができる。例えば信号処理回路 20-A の出力に対して、他の信号処理回路の出力が最大 1 ライン分位相の進んだスキューを生じてても、また他の信号処理回路の出力が最大 1 ライン分位相の遅れたスキューを生じてても、各信号処理回路から出力される映像信号の位相を一致させることができる。

30

【0052】

図 5 はタイリング処理の一例として表示モードを示しており、図 5 の (A) は第 1 の表示モード、図 5 の (B) は第 2 の表示モード、図 5 の (C) は第 3 の表示モードである。

【0053】

第 1 の表示モードは、1 画面を縦方向と横方向のそれぞれで 2 等分することにより 4 つの領域 ([2048 (1920) 画素 × 1080 ライン] × 4) に分割して、4 K の映像信号を領域毎に 4 分割してそれぞれ信号処理回路に供給するモードである。例えば、左上の表示領域に対応する映像信号 I W _Data-ul は信号処理回路 20-A に供給する。また、右上の表示領域に対応する映像信号 I W _Data-ur は信号処理回路 20-B、左下の表示領域に対応する映像信号 I W _Data-lr は信号処理回路 20-C、右下の表示領域に対応する映像信号 I W _Data-ll は信号処理回路 20-D に供給する。

40

【0054】

第 2 の表示モードは、2 K の映像信号すなわち [2048 (1920) 画素 × 1080 ライン] の映像信号を各信号処理回路に供給して、表示する領域の映像信号を切り出して拡大するモードである。例えば、信号処理回路 20-A は、2 K の映像信号から左上の領域の映像信号を切り出して縦横それぞれ 2 倍とすることで、4 K × 2 K の映像表示における

50

左上の領域の映像表示を行う。

【 0 0 5 5 】

第 3 の表示モードは、独立した 2 K の映像信号すなわち [2 0 4 8 (1 9 2 0) 画素 × 1 0 8 0 ライン] の映像信号を各信号処理回路に供給して、それぞれ 2 K × 1 K の表示を行うことで、全体として 4 K × 2 K の映像表示を行うモードである。なお、各信号処理回路で用いる映像信号 I W _Data-1 ~ I W _Data-4 は、それぞれ異なる映像信号であり、各映像信号が非同期であったり、異なるフレーム周波数の場合もある。

【 0 0 5 6 】

図 6 は、第 1 の表示モードの動作を示すタイミング図である。図 6 の (A) は、各信号処理回路 2 0 -A ~ 2 0 -D に入力される映像信号 I W _Data のフレーム信号 I W _FLD、垂直同期信号 I W _V、水平同期信号 I W _H を示している。図 6 の (B) は、映像信号 I W _Data を示している。図 6 の (C) は、信号選択部 2 2 3 で選択されたフレーム識別信号 W F _ID (= E F _ID) を示している。

【 0 0 5 7 】

図 6 の (D) は、L o w L a t e n c y モード、図 6 の (E) は、通常モードの場合の動作を示している。信号処理回路 2 0 -A , 2 0 -B と信号処理回路 2 0 -C , 2 0 -D は、信号処理回路制御部 4 0 から供給された同期信号やフレーム信号に基づき、上述のように映像信号を読み出す。すなわち、図 4 を用いて説明したように、信号処理回路間でスキューを生じる場合があることから、信号処理回路制御部 4 0 は、スキューを考慮して、最大スキュー量よりも遅延したタイミングで垂直同期信号 E x t _V を取り込む。各信号処理回路は、スキュー補償後の垂直同期信号 E x t _V を非同期で取り込み、取り込んだ垂直同期信号 E x t _V に基づき垂直読出タイミング信号 R T _V を生成してフレームメモリ 2 0 2 から映像信号の読み出しを行う。ここで、図 6 の (D) に示す L o w L a t e n c y モードでは、1 フレーム分の映像信号の書き込みが終了する前に、書き込まれた映像信号の読み出しを行うことで、映像信号の遅延を少なくする。また、図 6 の (E) に示す通常モードでは、1 フレーム分の映像信号の書き込みが終了した後に、書き込まれた映像信号の読み出しを行う。

【 0 0 5 8 】

このように、第 1 の表示モードの場合、信号処理回路間で入力映像信号のスキューが生じて、垂直同期信号 E x t _V と水平同期信号 E x t _H とフレーム信号 E x t _FLD の位相が調整されて、調整後の同期信号等に基づき映像信号の出力が行われる。したがって、スキューの影響を受けることなく各信号処理回路から映像信号を出力できる。

【 0 0 5 9 】

図 7 は、第 2 の表示モードの動作を示すタイミング図である。図 7 の (A) は、各信号処理回路 2 0 -A ~ 2 0 -D に入力される映像信号 I W _Data のフレーム信号 I W _FLD、垂直同期信号 I W _V を示している。図 7 の (B) は、信号処理回路に入力される映像信号を示している。信号処理回路 2 0 -A , 2 0 -B には、1 フレーム期間における最初の 5 4 0 ライン分の映像信号 I W _Data-A, B、信号処理回路 2 0 -C , 2 0 -D には、その後の 5 4 0 ライン分の映像信号 I W _Data-C, D が入力される。図 7 の (C) は、信号処理回路 2 0 -A , 2 0 -B で処理が行われる映像信号と、信号処理回路 2 0 -C , 2 0 -D で処理が行われる映像信号を示している。第 2 の表示モードの場合、例えば 5 4 0 ライン分の映像信号の拡大処理が行われて 1 フレーム分の映像信号 F C _Data-A, B , F C _Data-C, D として処理が行われる。

【 0 0 6 0 】

図 7 の (D) は、L o w L a t e n c y モード、図 7 の (E) は、通常モードの場合の動作を示している。信号処理回路 2 0 -A , 2 0 -B は、拡大処理された映像信号をフレームメモリに書き込み、信号処理回路制御部 4 0 から供給された同期信号やフレーム信号に基づき、上述のように映像信号を読み出す。同様に、信号処理回路 2 0 -C , 2 0 -D は、拡大処理された映像信号をフレームメモリに書き込み、信号処理回路制御部 4 0 から供給された同期信号やフレーム信号に基づき、上述のように映像信号を読み出す。さらに、信号処

理回路制御部 40 から各信号処理回路に供給する信号の位相を調整して、映像信号の読み出しは、信号処理回路 20-C, 20-Dで拡大処理された映像信号の書き込みが開始されたのち、信号処理回路 20-A~20-Dで同期して行う。ここで、Low Latency モードでは、1 フレーム分の映像信号の書き込みが終了する前に、書き込まれた映像信号の読み出しを行うことで、映像信号 R_Data-A,B, R_Data-C,Dの遅延を少なくする。また、通常モードでは、1 フレーム分の映像信号の書き込みが終了した後に、書き込まれた映像信号の読み出しを行い映像信号 R_Data-A,B, R_Data-C,Dを出力する。なお、図 7 の (F) は、従来の信号処理回路から出力される映像信号とフレームメモリから読み出される映像信号 R_Data-A,B, R_Data-C,Dを示している。従来の信号処理回路では、映像信号 R_Data-C,Dが映像信号 R_Data-A,Bに対して 1 / 2 フレーム期間の遅延を生じている。しかし、本技術の信号処理回路では、図 7 の (D) , (E) に示すように、1 / 2 フレーム期間の遅延を生じさせることなく映像信号を出力できるようになる。

【 0 0 6 1 】

このように、本技術の信号処理回路を用いると、第 2 の表示モードの場合、信号処理回路から 1 / 2 垂直期間の位相差を生じることなく映像信号を出力することができる。また、1 / 2 垂直期間の位相差を生じることなく映像信号を出力することから、上述のように Low Latency モードの動作が可能となる。

【 0 0 6 2 】

さらに、第 3 の表示モードの場合にも、従来のように 2 フレーム分のフレームバッファを設ける必要がない。また、信号処理回路 20-A~20-Dに供給される各映像信号が非同期であったり、異なるフレーム周波数の場合でも、フレームメモリに書き込まれた信号を、信号処理回路制御部 40 から各信号処理回路に供給される信号に基づき同期させて読み出す。したがって、信号処理回路 20-A~20-Dから映像信号を同期させて出力できる。

【 0 0 6 3 】

< 2 . 第 2 の実施の形態 >

第 1 の実施の形態では、信号処理回路毎に設けられた発振器からシステムクロック信号を供給する構成としているが、各信号処理回路に供給するシステムクロック信号を同期させることで、信号処理回路の後段に設けられるラインバッファの容量をさらに削減できる。

【 0 0 6 4 】

[2 - 1 . 第 2 の実施の形態の構成]

次に、第 2 の実施の形態として、各信号処理回路に供給するシステムクロック信号を同期させた場合について説明する。

【 0 0 6 5 】

図 8 は、第 2 の実施の形態の構成を示している。表示装置 10 a は、信号処理回路 20-A~20-D、ラインバッファ 30-A~30-D、タイミングコントロール回路 35-A~35-D、信号処理回路制御部 40、発振器 45 を備えている。

【 0 0 6 6 】

信号処理回路 20-A~20-Dは、それぞれ表示領域に対応する映像信号の信号処理を行う。例えば、1 画面を上下左右に 4 分割して、信号処理回路 20-Aは、例えば左上の表示領域に対応する映像信号の信号処理を行う。同様に、信号処理回路 20-Bは、例えば右上の領域、信号処理回路 20-Cは、例えば左下の領域、信号処理回路 20-Dは、例えば右下の表示領域に対応する映像信号の信号処理を行う。

【 0 0 6 7 】

信号処理回路 20-Aには、映像信号 I W_Data、映像信号 I W_Dataに対応したクロック信号 I W_CLK、水平同期信号 I W_H、垂直同期信号 I W_V、フレーム信号 I W_FLDが供給されている。また、信号処理回路 20-Aには、後述する信号処理回路制御部 40 から水平同期信号 E x t_H、垂直同期信号 E x t_V、フレーム信号 E x t_FLD、フレーム識別信号 E F_IDが供給されている。さらに、信号処理回路 20-Aには、システム制御部 (図示せず) から、マルチチップ構成またはシングルチップ構成の何れで動作を行うかを示すチッ

ブ構成制御信号 M C _EN が供給されている。

【 0 0 6 8 】

信号処理回路 2 0 -A は、クロック信号 I W _CLK、水平同期信号 I W _H、垂直同期信号 I W _V、フレーム信号 I W _FLD に基づき映像信号 I W _Data を取り込んで表示領域に対応する映像信号の信号処理を行う。また、信号処理回路 2 0 -A は、チップ構成制御信号 M C _EN によって、マルチチップ構成に対応した動作を行う場合、水平同期信号 E x t _H、垂直同期信号 E x t _V、フレーム信号 E x t _FLD に基づき処理後の映像信号を読み出して映像信号 R _Data -A としてラインバッファ 3 0 -A に出力する。

【 0 0 6 9 】

信号処理回路 2 0 -B ~ 2 0 -D は、信号処理回路 2 0 -A と同様に、それぞれ表示領域に対応する映像信号の信号処理を行い、信号処理後の映像信号をラインバッファ 3 0 -B ~ 3 0 -D に出力する。なお、信号処理回路 2 0 -A ~ 2 0 -D は、チップ構成制御信号 M C _EN によって、シングルチップ構成に対応した動作を行う場合、水平同期信号 I W _H、垂直同期信号 I W _V、フレーム信号 I W _FLD に基づき映像信号の読み出しを行う。

【 0 0 7 0 】

ラインバッファ 3 0 -A ~ 3 0 -D に記憶された映像信号は、水平読出タイミング信号 R T _H、垂直読出タイミング信号 R T _V、フレーム信号 R T _FLD に基づき同期して読み出されてタイミングコントロール回路 3 5 -A ~ 3 5 -D に供給される。タイミングコントロール回路 3 5 -A は、ラインバッファ 3 0 -A から読み出された映像信号を受けて、所定フォーマットおよびタイミングの信号として表示素子のドライバ（図示せず）に出力する。同様に、タイミングコントロール回路 3 5 -B ~ 3 5 -D は、ラインバッファ 3 0 -B ~ 3 0 -D から読み出された映像信号を受けて、所定フォーマットおよびタイミングの信号として表示素子のドライバ（図示せず）に出力する。

【 0 0 7 1 】

信号処理回路制御部 4 0 は、信号処理回路をマルチチップ構成で用いる場合に、水平同期信号 E x t _H と垂直同期信号 E x t _V とフレーム信号 E x t _FLD とフレーム識別信号 E F _ID を生成して信号処理回路 2 0 -A ~ 2 0 -D に供給する。

【 0 0 7 2 】

発振器 4 5 は、信号処理回路 2 0 -A ~ 2 0 -D を動作させるための基準周波数信号であるシステムクロック信号 S C L K を生成する。

【 0 0 7 3 】

[2 - 2 . 第 2 の実施の形態の動作]

このように構成された表示装置 1 0 a では、信号処理回路において、自走して生成される水平読出タイミング信号 R T _H と信号処理回路制御部 4 0 から供給される水平同期信号 E x t _H の位相関係を計測する。また、垂直読出タイミング信号 R T _V と信号処理回路制御部 4 0 から供給される垂直同期信号 E x t _V の位相関係を計測する。例えば信号選択部 2 2 2 に、位相差を計測する機能を設けて、計測結果を読出制御信号生成部 2 2 4 に出力する。

【 0 0 7 4 】

ここで、システムクロック信号 S C L K が同期している場合、信号処理回路制御部 4 0 では、システムクロック信号に基づいて同期信号等を生成していることから、計測された位相差は、各信号処理回路で固定となる。したがって、読出制御信号生成部 2 2 4 は、位相差が例えば 0 . 1 H 未満になるように、水平読出タイミング信号 R T _H および垂直読出タイミング信号 R T _V 等を生成すると、各信号処理回路から出力される映像信号の位相差は 0 . 2 H 未満となる。したがって、信号処理回路の後段に設けるラインバッファのメモリ容量を 0 . 2 H 分としても、各信号処理回路から出力される映像信号の位相を一致させることができる。すなわち、信号処理回路の後段に設けるラインバッファの容量をさらに削減することができる。

【 0 0 7 5 】

< 3 . 第 3 の実施の形態 >

10

20

30

40

50

第 1 の実施の形態と第 2 の実施の形態では、信号処理回路制御部 40 から供給される信号に基づき各信号処理回路でフレームメモリ 202 から映像信号を読み出すことで、各信号処理回路から出力される映像信号の位相差を少なくしている。ここで、フレームメモリ 202 への映像信号の書き込みや、書き込まれている映像信号の読み出しを制御することで、表示装置のみで映像表示を停止させて動画から静止画の表示に切り替えることができる。

【0076】

[3 - 1 . 第 3 の実施の形態の構成]

図 9 は、第 3 の実施の形態の構成として、表示停止機能を設けた信号処理回路の構成を示している。なお、図 9 において、図 3 に対応する部分については同一符号を付している。また、信号処理回路 20-A ~ 20-D は等しい構成とされており、以下、信号処理回路 20-A について説明する。

10

【0077】

映像信号 IW_Data は、クロック乗換部 200 に供給される。クロック乗換部 200 は、クロック信号の乗り換えを行い、映像信号 IW_Data、水平同期信号 IW_H、垂直同期信号 IW_V、フレーム信号 IW_FLD を、クロック信号 IW_CLK からシステムクロック信号 SCLK に同期した信号とする。クロック乗換部 200 は、クロック乗り換え後の映像信号 IW_Data を第 1 信号処理部 201 に出力する。また、クロック乗換部 200 は、クロック乗り換え後の水平同期信号 IW_H と垂直同期信号 IW_V とフレーム信号 IW_FLD を、書込制御部 21 の書込制御信号生成部 211a と読出制御部 22 の信号選択部 222、表示停止制御部 23-A の信号選択部 234 に出力する。

20

【0078】

第 1 信号処理部 201 は、映像信号 IW_Data に対してメモリを用いることのない種々の処理、例えば輝度補正や色補正等の処理をシステム制御部からの指示に応じて行い、処理後の映像信号をフレームメモリ 202 に供給する。フレームメモリ 202 は、蓄積されている映像信号を用いて新たな映像信号を生成する第 2 信号処理部 203 が接続されている。第 2 信号処理部 203 は、フレームメモリ 202 に蓄積されている映像信号を用いる種々の処理例えばインタレース / プログレッシブ変換やサイズ変換、倍速変換等の処理をシステム制御部からの指示に応じて行う。

30

【0079】

書込制御部 21 の書込制御信号生成部 211a は、水平同期信号 IW_H と垂直同期信号 IW_V とフレーム信号 IW_FLD に基づき水平書込タイミング信号 WT_H と垂直書込タイミング信号 WT_V を生成する。書込制御信号生成部 211a は、生成した信号をこれらの信号に同期したフレーム信号 WT_FLD と共に書込アドレス生成部 212 に供給する。また、書込制御信号生成部 211a は、書込イネーブル信号 WD_EN を生成して、フレームメモリ 202 と書込アドレス生成部 212 に供給する。さらに、書込制御信号生成部 211a は、フレーム信号 IW_FLD に基づき、書込フレーム識別信号 WF_ID_0 を自走して生成して信号選択部 223 に供給する。また、書込制御信号生成部 211a は、後述する表示停止制御部 23 から表示停止信号によって表示を停止する指示がなされた場合、例えば書込フレーム識別信号 WF_ID_0 の生成を停止して、フレームメモリ 202 への映像信号の書込を停止させる。

40

【0080】

書込アドレス生成部 212 は、書込イネーブル信号 WD_EN によって書込許可がなされている場合、水平書込タイミング信号 WT_H と垂直書込タイミング信号 WT_V とフレーム信号 WT_FLD、および信号選択部 223 から供給されたフレーム識別信号 WF_ID に基づき、書込アドレス信号 W_ADR を生成する。書込アドレス生成部 212 は、生成した書込アドレス信号 W_ADR をフレームメモリ 202 に供給して、第 1 信号処理部 201 から出力された映像信号をフレームメモリ 202 に蓄積させる。

【0081】

読出制御部 22 のスキュー補償部 221 は、信号処理回路を複数用いたマルチチップ構

50

成で映像表示を行う場合、各信号処理回路間で入力映像信号のスキューを生じても、このスキューによる映像を防止する。スキュー補償部 221 は、信号処理回路制御部 40 から供給された水平同期信号 $E_x t_H$ と垂直同期信号 $E_x t_V$ とフレーム信号 $E_x t_FLD$ に基づき、信号処理後の映像信号を各信号処理回路から位相差を少なくして出力できるようにタイミングを調整する。スキュー補償部 221 は、タイミング調整後の各信号を信号選択部 222 に出力する。なお、水平同期信号 $E_x t_H$ の遅延は、発振器 45-A からのシステムクロック信号 $SCLK$ に基づいて行うことで、信号処理回路制御部 40 から水平同期信号 $E_x t_H$ と垂直同期信号 $E_x t_V$ とフレーム信号 $E_x t_FLD$ と共にクロック信号を供給する必要がない。

【0082】

信号選択部 222 は、チップ構成制御信号 MC_EN でマルチチップ構成での動作が示された場合、スキュー補償部 221 から供給された水平同期信号 $E_x t_H$ と垂直同期信号 $E_x t_V$ とフレーム信号 $E_x t_FLD$ を選択して読出制御信号生成部 224a に出力する。なお、信号選択部 222 は、シングルチップ構成での動作が示された場合、映像信号 IW_Data に対応する水平同期信号 IW_H と垂直同期信号 IW_V とフレーム信号 IW_FLD を選択して読出制御信号生成部 224a に出力する。

【0083】

信号選択部 223 には、書込制御信号生成部 211 から書込フレーム識別信号 WF_ID_0 と、信号処理回路制御部 40 からフレーム識別信号 EF_ID が供給されている。信号選択部 223 は、システム制御部から供給されたチップ構成制御信号 MC_EN によってマルチチップ構成で映像表示を行うことが指示された場合、信号処理回路制御部 40 から供給されたフレーム識別信号 EF_ID を選択する。また、シングルチップ構成で映像表示を行うことが指示された場合、信号選択部 223 は、書込フレーム識別信号 WF_ID_0 を選択する。信号選択部 223 は、選択したフレーム識別信号をフレーム識別信号 WF_ID として、書込アドレス生成部 212 と読出制御信号生成部 224 に出力する。また、第 3 の表示モードのように、信号処理回路 20-A ~ 20-D に供給する映像信号が非同期で異なるフォーマットやフレームレートに対応可能とする場合、フレーム識別信号 EF_ID は、信号処理回路 20-A ~ 20-D に供給する映像信号に同期した信号とすることができない。したがって、第 3 の表示モードでは、チップ構成制御信号 MC_EN によってマルチチップ構成で映像表示を行うことが指示された場合でも、信号選択部 223 は、書込フレーム識別信号 WF_ID_0 を選択する。

【0084】

読出制御信号生成部 224a は、信号選択部 222 で選択された同期信号に基づき水平読出タイミング信号 RT_H と垂直読出タイミング信号 RT_V を生成する。読出制御信号生成部 224a は、生成した信号をこれらの信号に同期したフレーム信号 RT_FLD と共に読出アドレス生成部 225 に供給する。また、読出制御信号生成部 224a は、読出イネーブル信号 RD_EN を生成して、フレームメモリ 202 と読出アドレス生成部 225 に供給する。さらに、読出制御信号生成部 224a は、信号選択部 223 で選択されたフレーム識別信号に基づき、読出フレーム識別信号 RF_ID を生成して、読出アドレス生成部 225 に供給する。また、水平読出タイミング信号 RT_H は、ラインジッタモードの場合、フリーランで生成される。さらに、読出制御信号生成部 224a は、表示停止制御部 23 から表示停止信号によって表示を停止する指示がなされた場合、例えば同じ読出フレーム識別信号 RF_ID の生成を繰り返して、フレームメモリ 202 から同じ映像信号の読み出しを繰り返す。また、読出制御信号生成部 224a は、 $LowLatency$ イネーブル信号 LL_EN に基づき、 $LowLatency$ モードが有効とされているか否かに応じて読み出すフレームを制御する。

【0085】

読出アドレス生成部 225 は、読出イネーブル信号 RD_EN によって映像信号の読み出しが許可されている場合、水平読出タイミング信号 RT_H と垂直読出タイミング信号 RT_V とフレーム信号 RT_FLD および読出フレーム識別信号 RF_ID に基づき、読出アドレス

10

20

30

40

50

信号 R_ADR を生成する。読出アドレス生成部 225 は、生成した読出アドレス信号 R_ADR をフレームメモリ 202 に供給して、フレームメモリ 202 から読出フレーム識別信号 R_F_ID に対応する映像信号を読み出して出力させる。

【0086】

表示停止制御部 23-A のインタフェース (I/F) 部 231 は、システム制御部から供給された指示、すなわちマルチチップ構成とシングルチップ構成の何れで動作を行うかの指示に応じてチップ構成制御信号 MC_EN を生成する。インタフェース部 231 は、生成したチップ構成制御信号 MC_EN を信号選択部 222、223、232 と読出制御信号生成部 224a に出力する。また、インタフェース部 231 は、システム制御部からの指示に応じて、表示停止指示信号 FZS と停止設定信号 FR_FZ を生成する。インタフェース部 231 は、表示停止指示信号 FZS をラッチ部 233、停止設定信号 FR_FZ を信号選択部 234 に出力する。

10

【0087】

信号選択部 232 は、チップ構成制御信号 MC_EN に基づき、マルチチップ構成で映像表示を行う場合はラッチ信号 TM_Latch を選択して、ラッチ信号 TM_Latch をゲート信号 GT1 としてラッチ部 233 に出力する。また、シングルチップ構成で映像表示を行う場合は「1」を選択して、選択した信号をゲート信号 GT1 としてラッチ部 233 に出力する。

【0088】

ラッチ部 233 は、ゲート信号 GT1 に基づき表示停止指示信号 FZS をラッチして、ゲート信号 GT2 として表示停止信号出力部 235 に出力する。

20

【0089】

信号選択部 234 は、停止設定信号 FR_FZ に応じて、垂直同期信号 IW_V、またはフレーム信号 IW_FLD を選択して、表示停止信号出力部 235 に出力する。信号選択部 234 は、停止設定信号 FR_FZ が例えば「0」とされた場合、垂直同期信号 IW_V を選択して出力する。また、停止設定信号 FR_FZ が例えば「1」とされた場合、フレーム信号 IW_FLD を選択して出力する。

【0090】

表示停止信号出力部 235 は、信号選択部 234 で選択された信号のタイミングで、ラッチ部 233 でラッチされている表示停止指示信号 FZS をラッチして、表示停止制御信号 FZ_ON として書込制御信号生成部 211a と読出制御信号生成部 224a に出力する。

30

【0091】

[3 - 2 . 第 3 の実施の形態の動作]

図 10 は、表示停止機能を設けた信号処理回路の動作を示すタイミング図である。図 10 の (A) は、映像信号 IW_Data と、映像信号 IW_Data のフレーム信号 IW_FLD、垂直同期信号 IW_V を示している。図 10 の (B) は、書込制御信号生成部 211a で生成されるフレーム識別信号 WF_ID を示している。図 10 の (C) は、インタフェース部 231 から出力される表示停止指示信号 FZS と表示停止信号出力部 235 から出力される表示停止制御信号 FZ_ON を示している。また、図 10 の (D) は、信号処理回路制御部 40 から供給された垂直同期信号 Ext_V とフレーム信号 Ext_FLD を示している。さらに、図 10 の (E) は、読出制御信号生成部 224a で生成される読出フレーム識別信号 R_F_ID を示している。

40

【0092】

表示停止指示信号 FZS がラッチされて表示停止信号出力部 235 に供給されると、表示停止信号出力部 235 は、信号選択部 234 で選択された信号に基づくタイミングで表示停止指示信号 FZS を表示停止制御信号 FZ_ON として出力する。例えば、停止設定信号 FR_FZ が「0」とされた場合、信号選択部 234 では、垂直同期信号 IW_V を選択することから、表示停止信号出力部 235 は、垂直同期信号 IW_V に同期して表示停止制御信号 FZ_ON を出力する。したがって、書込制御信号生成部 211a は、図 10 の (B)

50

の一点鎖線で示すように、フレーム識別信号WF_IDの更新を停止することで、フレームメモリ202への映像信号の書き込みを停止する。また、表示停止制御信号FZ_ONを出力されたことにより、読出制御信号生成部224aは、読出フレーム識別信号RF_IDの更新を停止して、図10の(E)の一点鎖線で示すように、読出フレーム識別信号RF_IDが「0」である映像信号を繰り返し読み出す。

【0093】

その後、表示停止指示信号FZSの出力が停止されると、表示停止信号出力部235は、垂直同期信号IW_Vに同期して表示停止制御信号FZ_ONの出力を停止する。また、表示停止制御信号FZ_ONの出力が停止されたことにより、書込制御信号生成部211aは、フレーム識別信号WF_IDの更新を再開し、読出制御信号生成部224aは、読出フレーム識別信号RF_IDの更新を再開する。したがって、書込制御信号生成部211aは、図10の(B)の一点鎖線で示す期間中は映像信号の書き込みを停止して、その後映像信号の書き込みを再開する。また、読出制御信号生成部224aは、図10の(E)の一点鎖線で示す期間中は同じ読出フレーム識別信号RF_IDに対応する映像信号を繰り返し読み出して、その後、読出フレーム識別信号RF_IDを順次更新して新たな映像信号の読み出しを再開する。すなわち、図10の(E)の一点鎖線で示す期間中は静止画を表示することができる。

【0094】

図11は、4つの信号処理回路20-A~20-Dの表示停止制御部23-A~23-Dを示している。表示停止制御部23-A~23-Dには、ラッチ信号TM_Latchがそれぞれ供給されており、等しいタイミングで表示停止指示信号FZSがラッチ部233でラッチされて表示停止信号出力部235に供給される。したがって、信号処理回路20-A~20-Dの表示停止処理を同期して行うことができる。

【0095】

図12は、4つの信号処理回路20-A~20-Dの動作を示すタイミング図である。図12の(A)は、映像信号IW_Dataと垂直同期信号IW_Vを示している。図12の(B)は、信号処理回路20-A~20-Dに供給された表示停止指示信号FZS-A~FZS-Dを示している。表示停止指示信号は、システム制御部から非同期で供給されることから、図のように位相差を生じる。図12の(C)は、ラッチ信号TM_Latchを示しており、信号処理回路20-A~20-Dは、ラッチ信号TM_Latchによって表示停止指示信号FZSをラッチする。図12の(D)は、信号処理回路20-A~20-Dで生成される表示停止制御信号FZ_ON-A~FZ_ON-Dを示している。表示停止制御信号は、表示停止指示信号例えば垂直同期信号IW_Vに同期したタイミングでラッチした信号であることから、各信号処理回路で生成される表示停止制御信号FZ_ON-A~FZ_ON-Dは、図のように同期した信号となる。

【0096】

したがって、マルチチップ構成で高解像度表示を行う場合、複数の信号処理回路では、同期して静止画表示に切り替えが行われる。このため、表示装置に静止画の映像信号を入力しなくとも、各信号処理回路に表示停止指示信号を供給したのちラッチ信号TM_Latchを供給することで、同期したタイミングで領域毎に静止画を表示できるようになる。また、表示停止指示信号の終了後にラッチ信号TM_Latchを供給することで、静止画表示から同時に動画表示に切り替えることができる。

【0097】

また、静止画表示は、多視点の映像でも適用可能である。図13は、例えばフィールド(フレーム)シーケンシャル方式の映像信号が信号処理回路に入力される場合の動作を示すタイミング図である。

【0098】

図13の(A)は、映像信号IW_Dataと、映像信号IW_Dataのフレーム信号IW_FLD、垂直同期信号IW_Vを示している。図13の(B)は、書込制御信号生成部211aで生成されるフレーム識別信号WF_IDを示している。図13の(C)は、インタフェース

部 2 3 1 から出力される表示停止指示信号 F Z S と表示停止信号出力部 2 3 5 から出力される表示停止制御信号 F Z_ON を示している。また、図 1 3 の (D) は、信号処理回路制御部 4 0 から供給された垂直同期信号 E x t _V とフレーム信号 E x t _FLD を示している。さらに、図 1 3 の (E) は、読出制御信号生成部 2 2 4 a で生成される読出フレーム識別信号 R F _ID を示している。

【 0 0 9 9 】

表示停止指示信号 F Z S がラッチされて表示停止信号出力部 2 3 5 に供給されると、表示停止信号出力部 2 3 5 は、信号選択部 2 3 4 で選択された信号に基づくタイミングで表示停止指示信号 F Z S を表示停止制御信号 F Z_ON として出力する。ここで、多視点の映像で静止画表示を行う場合、例えば停止設定信号 F R _FZ を「 1 」とする。この場合、信号選択部 2 3 4 では、フレーム信号 I W _FLD を選択することから、表示停止信号出力部 2 3 5 は、フレーム信号 I W _FLD に同期して表示停止制御信号 F Z_ON を出力する。したがって、書込制御信号生成部 2 1 1 a は、図 1 3 の (B) の一点鎖線で示すように、フレーム識別信号 W F _ID の更新を停止して、フレームメモリ 2 0 2 への映像信号の書き込みを停止する。また、表示停止制御信号 F Z_ON が出力されたことにより、読出制御信号生成部 2 2 4 a は、読出フレーム識別信号 R F _ID の更新を停止して、図 1 3 の (E) の一点鎖線で示すように、読出フレーム識別信号 R F _ID が「 0 」 「 1 」である映像信号を繰り返し読み出す。

10

【 0 1 0 0 】

その後、表示停止指示信号 F Z S の出力が停止されると、表示停止信号出力部 2 3 5 は、垂直同期信号 I W _V に同期して表示停止制御信号 F Z_ON の出力を停止する。また、表示停止制御信号 F Z_ON の出力が停止されたことにより、書込制御信号生成部 2 1 1 a は、フレーム識別信号 W F _ID の更新を再開し、読出制御信号生成部 2 2 4 a は、読出フレーム識別信号 R F _ID の更新を再開する。したがって、書込制御信号生成部 2 1 1 a は、図 1 3 の (B) の一点鎖線で示す期間中は映像信号の書き込みを停止して、その後映像信号の書き込みを再開する。また、読出制御信号生成部 2 2 4 a は、図 1 3 の (E) の一点鎖線で示す期間中は、更新されていない読出フレーム識別信号 R F _ID に対応する映像信号を繰り返し読み出して、その後、読出フレーム識別信号 R F _ID を順次更新して新たな映像信号の読み出しを再開する。すなわち、図 1 3 の (E) の一点鎖線で示す期間中は、右視点と左視点の映像信号を繰り返し読み出すことから、多視点の映像表示を行う場合でも静止画を表示することができる。

20

30

【 0 1 0 1 】

このように、フレーム信号に同期して表示停止制御を行い、1 フレーム分の複数視点の映像信号の読み出しを繰り返すことにより、表示装置に多視点の静止画の映像信号を入力しなくとも、所望のタイミングで多視点の映像を高解像の静止画として表示できるようになる。したがって、例えば 3 D 映像評価を効率よく行うことができる。

【 0 1 0 2 】

ところで、第 3 の実施の形態では、映像信号 I W _Data に基づく映像を動画から静止画に切り替える場合を説明したが、第 1 の表示モードや第 2 の表示モードの場合、静止画をキャプチャして外部機器にキャプチャ映像信号として出力したり、外部機器から所望の静止画の映像信号を信号処理回路に供給して、静止画を所望の静止画に差し替えて表示することも容易にできる。

40

【 0 1 0 3 】

図 9 において、表示停止制御部 2 3 - A の I / F 部 2 3 1 から読出制御部 2 2 の読出アドレス生成部 2 2 5 に供給される静止画読出信号 D M A _RA は、フレームメモリ 2 0 2 に記憶されている静止画をキャプチャして外部機器に出力するための信号である。第 2 信号処理部 2 0 3 からインタフェース部 I / F 部 2 3 1 に供給される映像信号 D M A _RD は、フレームメモリ 2 0 2 から読み出されて外部機器に出力されるキャプチャ映像信号である。

【 0 1 0 4 】

50

また、表示停止制御部 23-A の I / F 部 231 から第 1 信号処理部 201 に供給される差し替え映像信号 D M A _WD は、外部機器から供給された差し替え映像信号である。また、書込制御部 21 の書込アドレス生成部 212 に供給される静止画書込信号 D M A _WA は、外部機器から供給された差し替え映像信号 D M A _WD をフレームメモリ 202 に記憶させるための信号である。

【 0 1 0 5 】

フレームメモリ 202 からの映像信号 D M A _RD の読み出しや、フレームメモリ 202 への差し替え映像信号 D M A _WD の書き込みは、D M A (Direct Memory Access) 方式を用いることで容易に行うことができる。

【 0 1 0 6 】

また、マルチチップ構成において例えば第 1 の表示モードで映像信号 D M A _RD の読み出しを行う場合に、読出フレーム識別信号 R F _ID としてフレーム識別信号 E F _ID を使用して各信号処理回路のフレーム識別信号を共通にしておく。このようにすれば、D M A 方式でフレームメモリ 202 の映像信号を外部機器でキャプチャするときに、フレーム識別信号に相当するアドレスが同じになる。したがって、フレーム識別信号を各信号処理回路で管理する必要がなく、読出アドレス信号 R _ADR の生成が簡単になる。なお、フレーム識別信号 E F _ID を使用しない場合は、各信号処理回路で映像信号を記録する際のフレーム識別信号が異なるため、記憶されている映像信号を読み出す場合にも、フレーム識別信号に相当するアドレスが異なる。したがって、フレーム識別信号 E F _ID を使用した場合に比べて読出アドレス信号 R _ADR の生成が簡単ではない。

【 0 1 0 7 】

さらに、マルチチップ構成において例えば第 1 の表示モードで差し替え映像信号 D M A _WD の書き込みを行う場合に、フレーム識別信号 W F _ID としてフレーム識別信号 E F _ID を使用して各信号処理回路のフレーム識別信号を共通にしておく。このようにすれば、D M A 方式でフレームメモリ 202 に外部機器からの映像信号を記憶するときに、フレーム識別信号に相当するアドレスが同じになる。したがって、フレーム識別信号を各信号処理回路で管理する必要がなく、書込アドレス信号 W _ADR の生成が簡単になる。

【 0 1 0 8 】

図 14 は、静止画のキャプチャを行う場合のタイミング図である。図 14 の (A) は、表示停止指示信号 F Z S を示している。図 14 の (B) は、読出フレーム識別信号 R F _ID (= E F _ID)、図 14 の (C) は読出アドレス信号、図 14 の (D) は読み出される映像信号を示している。ここで、読出アドレス信号が、水平読出タイミング信号 R T _H と垂直読出タイミング信号 R T _V およびフレーム信号 R T _FLD に基づいた本線読出アドレス信号である場合、映像信号 R _Data-A が出力される。また、読出アドレス信号が、静止画読出信号 D M A _RA に基づいた D M A 読出アドレス信号である場合、フレームメモリ 202 から読み出された映像信号 D M A _RD がキャプチャ映像信号として外部に出力される。

【 0 1 0 9 】

図 15 は、静止画の差し替えを行う場合のタイミング図である。図 15 の (A) は、表示停止指示信号 F Z S を示している。図 15 の (B) は、フレーム識別信号 W F _ID (= E F _ID)、図 15 の (C) は書込アドレス信号と読出アドレス信号、図 15 の (D) はフレームメモリ 202 に書き込まれる映像信号とフレームメモリ 202 から読み出される映像信号を示している。ここで、書込アドレス信号が、静止画書込信号 D M A _WA に基づいた書込アドレス信号である場合、フレームメモリ 202 に差し替え映像信号 D M A _WD が記憶される。その後、フレーム識別信号 E F _ID を読出フレーム識別信号 R F _ID として用いて、本線アドレス信号に基づき映像信号を読み出すことで、外部機器から供給された差し替え映像信号が映像信号 R _Data-A として出力される。すなわち、マルチチップ構成で表示されている静止画を外部機器から供給された静止画に容易に差し替えることができる。

【 0 1 1 0 】

このように、各信号処理回路は、マルチチップ構成で外部機器に静止画のキャプチャ映

10

20

30

40

50

像信号を出力する場合、または外部機器から供給された差し替え映像信号に基づいて静止画表示を行う場合、フレーム識別信号EF_IDを用いて映像信号の読み出しや書き込みを行う。したがって、各信号処理回路で個々にフレーム識別信号を設定して映像信号の書き込みや読み出しを行う場合のように、フレーム識別信号を各信号処理回路で管理する必要がなく、上述のようにアドレスの生成等を容易に行うことができる。

【0111】

また、本技術は、上述した実施の形態に限定して解釈されるべきではない。本技術の実施の形態は、例示という形態で本技術を開示しており、本技術の要旨を逸脱しない範囲で当業者が実施の形態の修正や代用をなし得ることは自明である。すなわち、本技術の要旨を判断するためには、特許請求の範囲を参酌すべきである。

10

【0112】

なお、本技術は以下のような構成も取ることができる。

(1) 映像信号を蓄積するメモリと、

入力映像信号に同期した書込制御信号と、フレーム識別情報を生成して、該書込制御信号に基づき前記入力映像信号を前記フレーム識別情報と対応させて前記メモリに蓄積させる書込制御部と、

外部から供給された垂直同期信号を出力水平周波数の水平同期信号で取り込んで読出制御信号を生成して、該読出制御信号と外部から供給されたフレーム識別情報に基づき、該フレーム識別情報に対応する映像信号を前記メモリから読み出す読出制御部とを備える信号処理回路。

20

【0113】

(2) 前記読出制御部は、複数の信号処理回路を同時に用いて映像表示を行う場合に、前記読出制御信号を生成して、該読出制御信号と前記フレーム識別情報に基づき、該フレーム識別情報に対応する映像信号を前記メモリから読み出す(1)記載の信号処理回路。

【0114】

(3) 前記読出制御部は、前記出力水平周波数のタイミング信号に基づいて生成した垂直同期信号と前記外部から供給された垂直同期信号との位相差、前記出力水平周波数のタイミング信号と外部から供給された水平同期信号の位相差を検出して、該位相差が所定未満となるように、前記出力水平周波数のタイミング信号と該タイミング信号に基づいて生成した垂直同期信号の位相を調整して、該調整後の同期信号を用いて前記読出制御信号を生成する(1)または(2)に記載の信号処理回路。

30

【0115】

(4) 前記入力映像信号と他の信号処理回路に入力される入力映像信号がスキューを生じて、前記読出制御信号と前記フレーム識別情報に基づき、前記フレーム識別情報に対応する映像信号を前記メモリから読み出すことができるように、前記外部から供給された同期信号を遅延させるスキュー補償部を有する(1)乃至(3)の何れかに記載の信号処理回路。

【0116】

(5) 外部から表示停止指示信号が供給された場合、入力ラッチ信号に基づいて前記表示停止指示信号の取り込みを行い、取り込んだ前記表示停止指示信号を前記書込制御部と前記読出制御部に出力する表示停止制御部をさらに備え、

40

前記書込制御部は、前記表示停止指示信号に基づき、表示停止期間中は前記メモリへの前記入力映像信号の蓄積を停止し、

前記読出制御部は、前記表示停止指示信号に基づき、表示停止期間中は表示停止前に読み出していたフレーム識別情報に対応する映像信号を前記メモリから読み出す(1)乃至(4)の何れかに記載の信号処理回路。

【0117】

(6) 表示停止制御部は、フレーム単位または複数フレーム単位で、入力ラッチ信号に基づいて前記表示停止指示信号の取り込みを行う(5)に記載の信号処理回路。

50

【 0 1 1 8 】

(7) 前記読出制御部は、外部から供給されたフレーム識別情報に基づき、該フレーム識別情報に対応する映像信号を前記メモリから読み出してキャプチャ映像信号として外部に出力させる (5) に記載の信号処理回路。

【 0 1 1 9 】

(8) 前記書込制御部は、外部から供給されたフレーム識別情報に基づき、該フレーム識別情報に対応させて差し替え映像信号を前記メモリに記憶する (5) に記載の信号処理回路。

【 0 1 2 0 】

(9) 前記読出制御部は、前記外部から供給されたフレーム識別情報に基づき、該フレーム識別情報に対応させて前記メモリに記憶されている差し替え映像信号を読み出す (8) に記載の信号処理回路。

10

【 0 1 2 1 】

(1 0) 前記メモリは、信号処理に用いる映像信号を蓄積する (1) 乃至 (9) の何れかに記載の信号処理回路。

【 0 1 2 2 】

(1 1) 1 画面を構成する複数の表示領域毎に信号処理回路を設けて、各信号処理回路は対応する表示領域の映像信号の処理を行う表示装置であり、

前記各信号処理回路は、

映像信号を蓄積するメモリと、

20

入力映像信号に同期した書込制御信号と、フレーム識別情報を生成して、該書込制御信号に基づき前記入力映像信号を前記フレーム識別情報と対応させて前記メモリに蓄積させる書込制御部と、

外部から前記各信号処理回路に共通に供給された垂直同期信号を出力水平周波数のタイミング信号で取り込んで読出制御信号を生成して、該読出制御信号と外部から前記各信号処理回路に共通に供給されたフレーム識別情報に基づき、該フレーム識別情報に対応する映像信号を前記メモリから読み出す読出制御部とを備える表示装置。

【 0 1 2 3 】

(1 2) 基準周波数信号を生成する発振部をさらに有し、

30

前記発振部は、前記生成した基準周波数信号を前記信号処理回路のそれぞれに供給し、

前記各信号処理回路の読出制御部は、前記出力水平周波数のタイミング信号に基づいて生成した垂直同期信号と前記外部から供給された垂直同期信号との位相差、前記出力水平周波数のタイミング信号と外部から供給された水平同期信号の位相差を検出して、該位相差が所定未満となるように、前記出力水平周波数のタイミング信号と該タイミング信号に基づいて生成した垂直同期信号の位相を調整して、該調整後の同期信号を用いて前記読出制御信号を生成する (1 1) に記載の表示装置。

【 0 1 2 4 】

(1 3) 前記複数の信号処理回路は、前記複数の信号処理回路に入力される入力映像信号が信号処理回路間でスキューを生じて、前記読出制御信号と前記フレーム識別情報に基づき、前記フレーム識別情報に対応する映像信号を前記メモリから読み出すことができるように、前記外部から供給された同期信号を遅延させるスキュー補償部を有する (1 1) または (1 2) の何れかに記載の表示装置。

40

【 0 1 2 5 】

(1 4) 前記複数の信号処理回路は、外部から表示停止指示信号が供給された場合、入力ラッチ信号に基づいて前記表示停止指示信号の取り込みを行い、取り込んだ前記表示停止指示信号を前記書込制御部と前記読出制御部に出力する表示停止制御部をさらに備え、

前記書込制御部は、前記表示停止指示信号に基づき、表示停止期間中は前記メモリへの前記入力映像信号の蓄積を停止し、

50

前記読出制御部は、前記表示停止指示信号に基づき、表示停止期間中は表示停止前に読み出していたフレーム識別情報に対応する映像信号を前記メモリから読み出す（１１）乃至（１３）の何れかに記載の表示装置。

【産業上の利用可能性】

【０１２６】

本技術の信号処理回路と信号処理方法および表示装置では、入力映像信号に同期した書込制御信号と、フレーム識別情報を生成して、書込制御信号に基づき入力映像信号がフレーム識別情報と対応させてメモリに蓄積される。また、外部から供給された垂直同期信号を出力水平周波数のタイミング信号で取り込んで読出制御信号が生成されて、この読出制御信号と外部から供給されたフレーム識別情報に基づき、フレーム識別情報に対応する映像信号がメモリから読み出される。このため、外部から供給された同期信号を複数の信号処理回路に供給した場合、信号処理回路から出力される映像信号の位相差が少なくなるので、ラインバッファを用いて、信号処理回路から出力される映像信号の位相を一致させることが可能となり、低遅延で小規模回路、かつ低消費電力、低コストで高解像度の映像表示を行うことができる。したがって、種々のフレームレートの映像信号を用いて高精細な映像表示を行う表示装置等に適している。

【符号の説明】

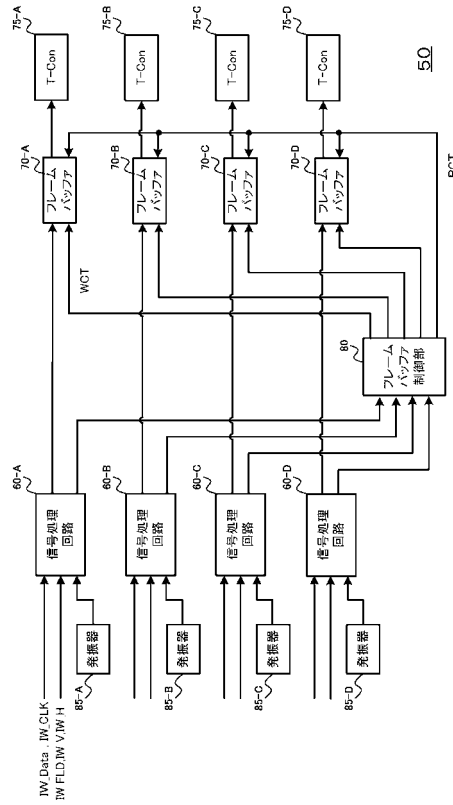
【０１２７】

１０，１０ａ，５０・・・表示装置、２０-A～２０-D，６０-A～６０-D・・・信号処理回路、２１・・・書込制御部、２２・・・読出制御部、２３，２３-A～２３-D・・・表示停止制御部、３０-A～３０-D・・・ラインバッファ、３５-A～３５-D，７５-A～７５-D・・・タイミングコントロール回路、４０・・・信号処理回路制御部、４５，４５-A～４５-D，８５-A～８５-D・・・発振器、７０-A～７０-D・・・フレームバッファ、８０・・・フレームバッファ制御部、２００・・・クロック乗換部、２０１・・・第１信号処理部、２０２・・・フレームメモリ、２０３・・・第２信号処理部、２１１，２１１ａ・・・書込制御信号生成部、２１２・・・書込アドレス生成部、２２１・・・スキュー補償部、２２２，２２３，２２３，２３２，２３４・・・信号選択部、２２４，２２４ａ・・・読出制御信号生成部、２２５・・・読出アドレス生成部、２３１・・・インタフェース（Ｉ／Ｆ）部、２３３・・・ラッチ部、２３５・・・表示停止信号出力部

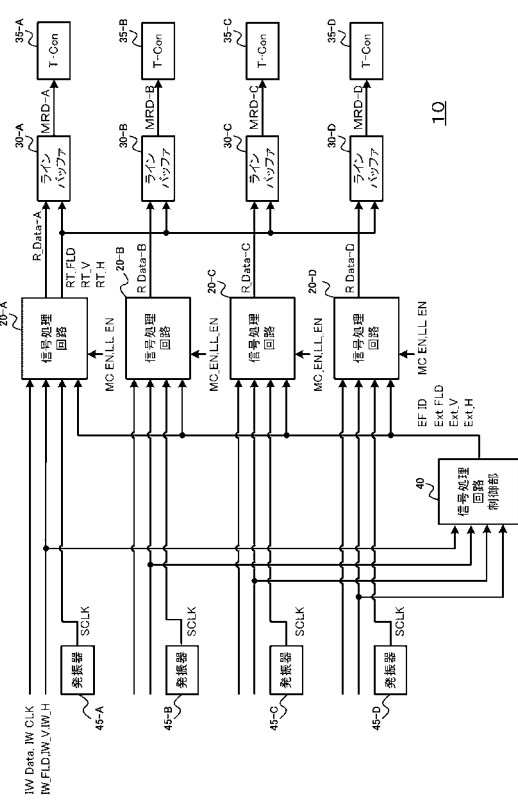
10

20

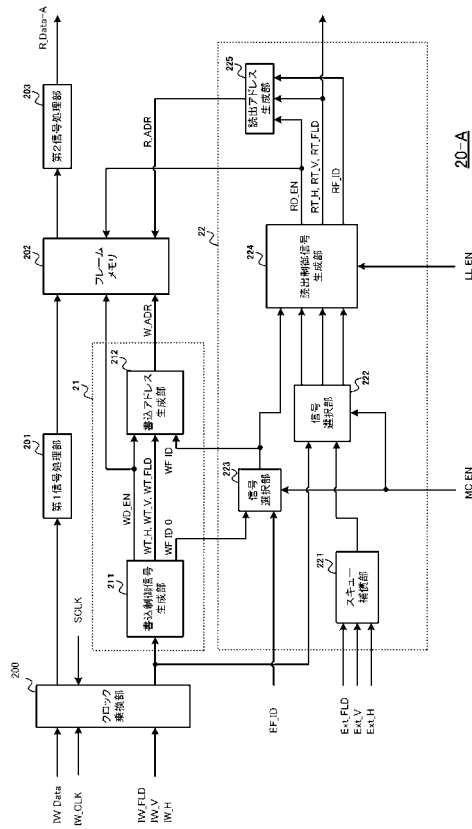
【図 1】



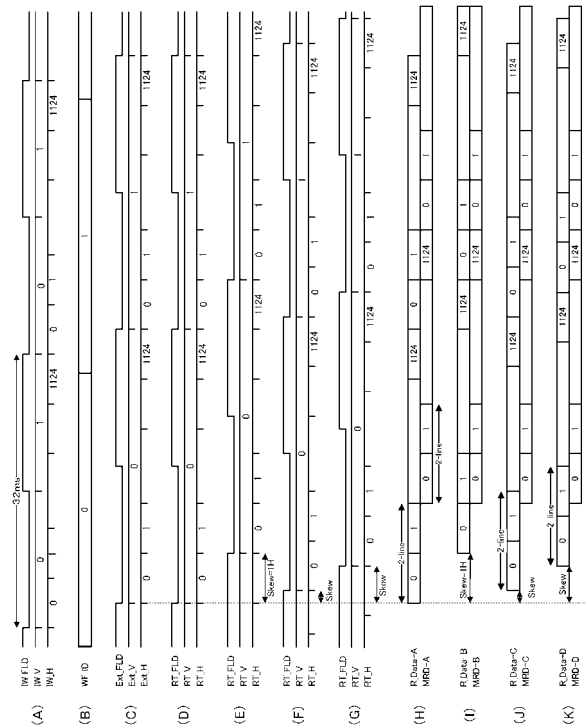
【図 2】



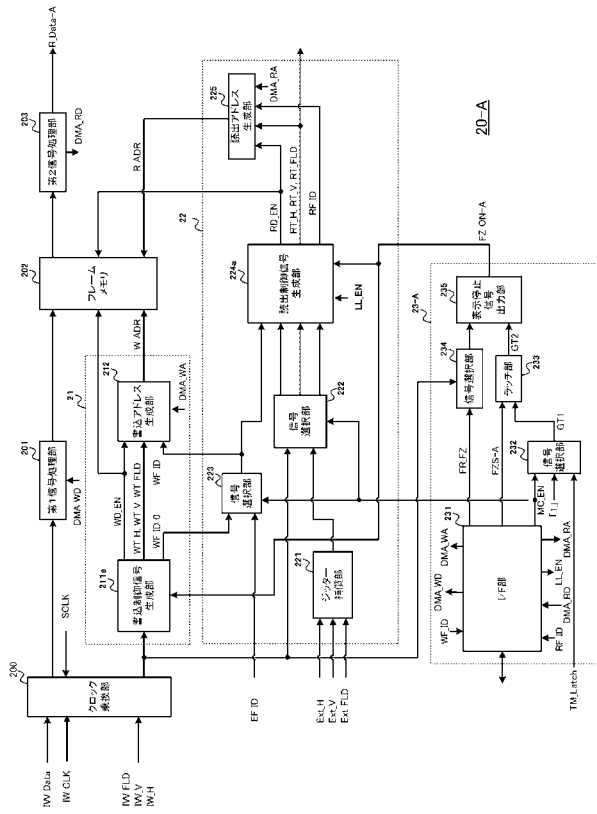
【図 3】



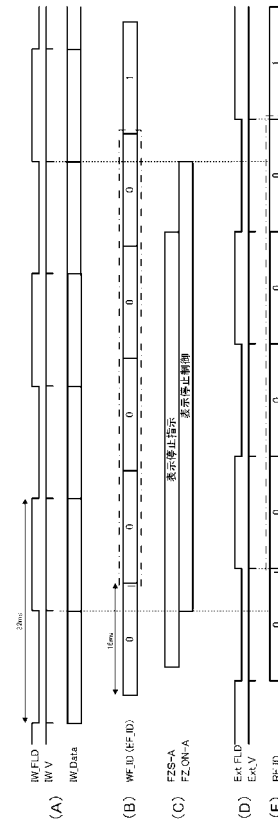
【図 4】



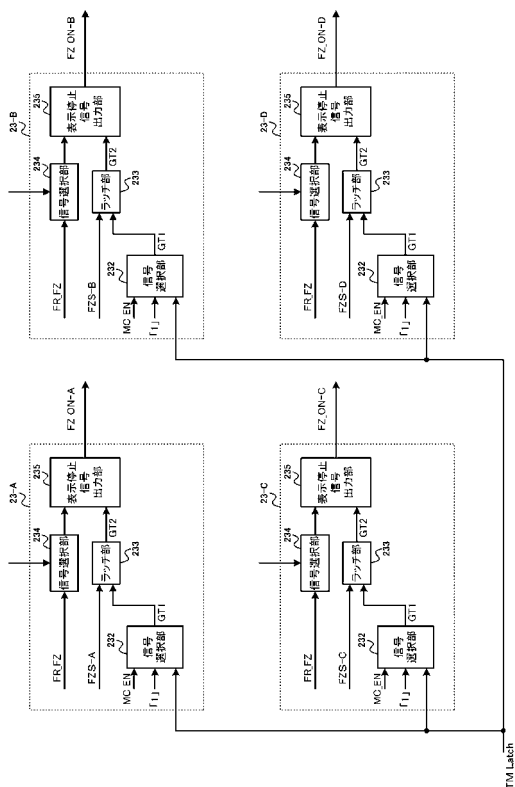
【図 9】



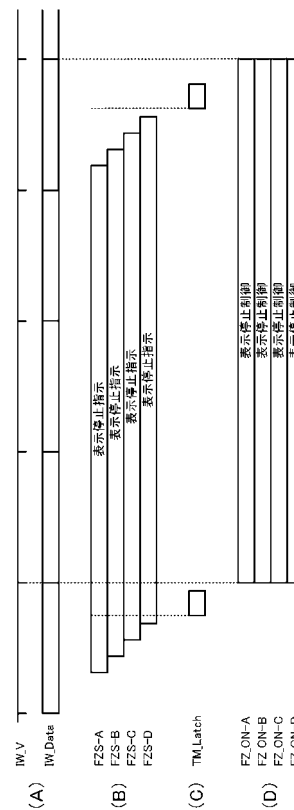
【図 10】



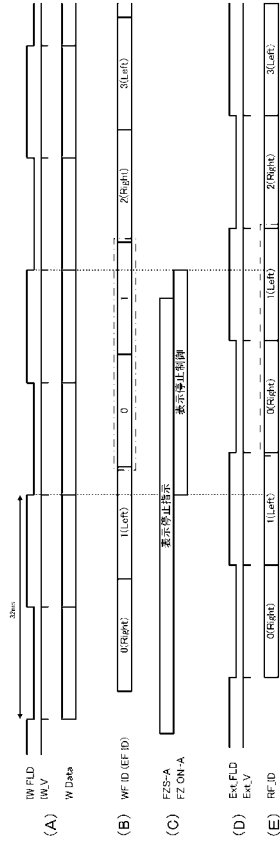
【図 11】



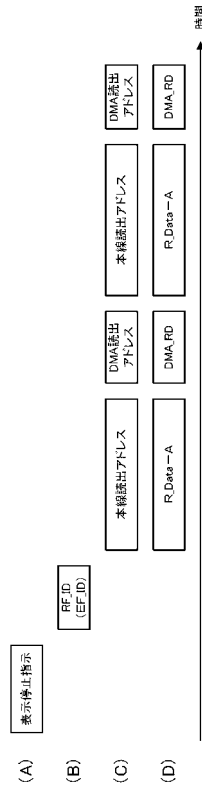
【図 12】



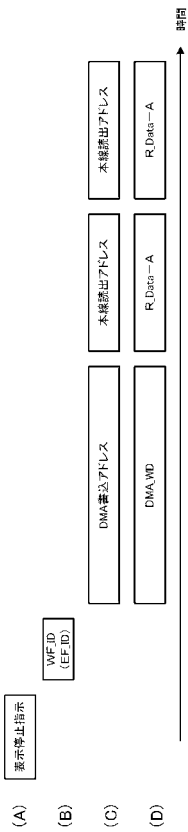
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

G 0 9 G	3/20	6 6 0 U
H 0 4 N	5/14	Z

(72)発明者 石井 幹夫
東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

(72)発明者 武 昌宏
東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

(72)発明者 小菅 庄司
東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

F ターム(参考) 5C021 PA79 SA02 SA03 YB00 YC04
5C080 BB05 CC03 DD22 DD27 EE17 EE21 EE29 EE30 JJ02 JJ04
5C082 BA20 BA26 BA34 BA35 BB01 BB22 BC03 BC06 BC19 BD09
CA11 CA12 CA85 CB01 DA51 DA64 DA65 DA67 DA76 MM04
MM07 MM10