

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H05K 1/02 (2006.01)

H05K 3/46 (2006.01)

H05K 7/18 (2006.01)



# [12] 发明专利申请公开说明书

[21] 申请号 200610057200.6

[43] 公开日 2006年9月27日

[11] 公开号 CN 1838855A

[22] 申请日 2006.3.10

[21] 申请号 200610057200.6

[30] 优先权

[32] 2005.3.23 [33] US [31] 11/086,323

[71] 申请人 安迪克连接科技公司

地址 美国纽约州

[72] 发明人 罗伯特·M·雅普

欧文(NMN)·梅密斯

科斯塔斯·I·帕帕托马斯

[74] 专利代理机构 北京律盟知识产权代理有限责任  
公司

代理人 王允方 刘国伟

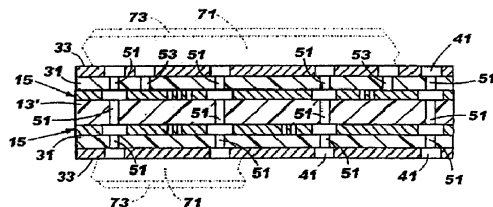
权利要求书 2 页 说明书 17 页 附图 3 页

## [54] 发明名称

电路基底和制法及利用其的多层电路结构和  
信息处理系统

## [57] 摘要

本发明提供一种包括一复合层的电路基底，所述复合层包括一包括具有低热膨胀系数的多股纤维的第一介电层和一具有一低吸湿性树脂的第二介电层，所述第二介电层不包括连续或半连续纤维或类似物作为其一部分。所述基底进一步包括至少一个导电层作为其一部分。本发明还提供一种电气总成和一种制造所述基底的方法以及一种结合本发明的所述电路基底作为其一部分的信息处理系统（例如计算机）。



1. 一种电路基底，其包含：
  - 复合层，其包括—包括具有低热膨胀系数的多股纤维的第一介电子层和—具有—低吸湿性树脂的第二介电子层，所述第二介电子层不包括连续或半连续纤维或类似物作为其一部分；和
  - 安置在所述复合层上的至少一个电路层。
2. 根据权利要求1所述的电路基底，其中所述复合层的所述第二介电子层的所述低吸湿性树脂包含—高 T<sub>g</sub> 热固性聚合物。
3. 根据权利要求2所述的电路基底，其中所述复合层的所述第二介电子层的所述低吸湿性树脂当在约 22℃ 的温度下浸没于水中历时约 24 小时的时间段时，具有小于约 0.27% 的吸湿率。
4. 根据权利要求2所述的电路基底，其中所述复合层的所述第二介电子层的所述低吸湿性树脂占所述第二介电子层的重量的约 10% 到约 80%。
5. 根据权利要求1所述的电路基底，其中所述复合层的所述第一介电子层进一步包括—低吸湿性树脂。
6. 根据权利要求5所述的电路基底，其中所述复合层的所述第一介电子层的所述低吸湿性树脂包含—高 T<sub>g</sub> 热固性聚合物。
7. 根据权利要求1所述的电路基底，其中所述复合层的所述第一介电子层具有—在 x 和 y 方向上小于约 15 ppm/℃ 的热膨胀系数。
8. 根据权利要求7所述的电路基底，其中所述介电复合层的所述第一介电子层的所述低吸湿性树脂当在约 22℃ 的温度下浸没于水中历时约 24 小时的时间段时，具有小于 0.27% 的吸湿率。
9. 根据权利要求7所述的电路基底，其中所述复合层的所述第一介电子层的所述低吸湿性树脂占所述第一介电子层的重量的约 10% 到约 80%。
10. 根据权利要求1所述的电路基底，其中所述复合层的所述第一和所述第二介电子层各自在其中均包括多个通孔，所述电路基底的厚度与所述通孔中的每一个的直径的纵横比在从约 2:1 到约 20:1 的范围内。
11. 根据权利要求1所述的电路基底，其中所述至少一个电路层由铜组成。
12. 根据权利要求1所述的电路基底，其进一步包括—第二电路层，所述第二电路层安置在所述复合层上与所述至少一个电路层相对的一侧上。

13. 根据权利要求 12 所述的电路基底，其进一步包括第二和第三介电层，所述第二和所述第三介电层分别安置在所述至少一个电路层和所述第二电路层上，且分别在所述第二和所述第三介电层上形成第三和第四电路层。
14. 根据权利要求 13 所述的电路基底，其中所述电路基底包含一芯片载体。
15. 根据权利要求 1 所述的电路基底，其进一步包括至少一个电气组件，所述至少一个电气组件安置在所述电路基底上并电耦合到所述电路基底，所述基底和所述组件形成一电气总成。
16. 根据权利要求 15 所述的电路基底，其中所述电气组件包含一半导体芯片。
17. 根据权利要求 15 所述的电路基底，其中所述电气组件包含一芯片载体。
18. 一种制造一电路基底的方法，所述方法包含：
  - 提供一复合层，所述复合层包括一包括具有低热膨胀系数的多股纤维的第一介电子层和一具有一低吸湿性树脂的第二介电子层，所述第二介电子层不包括连续或半连续纤维或类似物作为其一部分；和
  - 将至少一个电路层安置在所述复合层的所述第一介电子层上。
19. 一种多层电路结构，其包含：
  - 一第一电路基底部分，其包括一复合层，所述复合层包括一包括具有低热膨胀系数的多股纤维的第一介电子层和一具有一低吸湿性树脂的第二介电子层，所述第二介电子层不包括连续或半连续纤维或类似物作为其一部分，且至少一个电路层安置在所述复合层上，所述第一和所述第二介电子层包括在其中的导电通孔的一第一图案；和
  - 第二和第三电路基底部分，其安置在所述第一电路基底部分的相对侧上，所述第二和所述第三电路基底部分各自均具有在其中互相连接的通孔的一第二图案，所述第一电路基底部分在所述第二和所述第三电路基底部分之间提供电的互相连接，包括将在所述第二电路基底部分中的所述通孔中的一个选定通孔与在所述第三电路基底部分内的对应通孔互相连接。
20. 一种信息处理系统，其包含：
  - 一外壳；
  - 一电路基底，其大体上安置在所述外壳内并包括一复合层，所述复合层包括一包括具有低热膨胀系数的多股纤维的第一介电子层和一具有一低吸湿性树脂的第二介电子层，所述第二介电子层不包括连续或半连续纤维或类似物作为其一部分，且至少一个电路层安置在所述复合层上；和
  - 至少一个电气组件，其安置在所述电路基底上并电耦合到所述电路基底。

## 电路基底和制法及利用其的多层电路结构和信息处理系统

### 同时待决的申请案的交叉参考

本申请案是 2004 年 3 月 31 日申请的，代理人案号为 EI-2-04-003（发明者：R. Japp 等人），题为“CIRCUITIZED SUBSTRATE, METHOD OF MAKING SAME, ELECTRICAL ASSEMBLY UTILIZING SAME, AND INFORMATION HANDLING SYSTEM UTILIZING SAME”的序列号（S.N.）10/812,890 的部分继续申请案。

在 2004 年 7 月 18 日申请的题为“LOW MOISTURE ABSORPTIVE CIRCUITIZED SUBSTRATE, METHOD OF MAKING SAME, ELECTRICAL ASSEMBLY UTILIZING SAME, AND INFORMATION HANDLING SYSTEM UTILIZING SAME”的 S.N. 10/920,235 中，定义了一种电路基底，其包含一由一介电材料构成的第一层，所述介电材料包括一低吸湿性聚合物树脂，其与一嵌入所述树脂内的结节状含氟聚合物网组合，由此组合形成的所得介电层不包括连续或半连续纤维作为其一部分。所述基底进一步包括安置在所述第一介电层上的至少一个电路层。还提供一种电气总成和一种制造所述基底的方法以及一种结合本发明的电路基底作为其一部分的信息处理系统（例如，计算机）。因此 S.N. 10/920,235 中所教导的介电材料代表一用于 S.N. 10/812,890 中所定义的类型的基础的改进材料。如本文所定义，本发明还代表对所述基底的另一改进。

### 技术领域

本发明涉及电路基底，且尤其涉及那些用于多层电路板、芯片载体和类似物的电路基底，并涉及其制造方法。更明确地说本发明涉及用于所述最终产品以便向其提供增加的电路密度的基底。

### 背景技术

印刷电路板（PCB）、层压芯片载体和类似物允许在最小的体积或空间内形成多个电路。所述结构通常包含由一层介电材料将彼此隔开的一叠信号、接地和/或电源平面（线）层。在一平面上的线经常通过穿过介电层的电镀小孔与另一平面上的线电接触。所述电镀小孔如果位于内部，那么经常被称为“孔（vias）”，如果从外部表面在板内延伸一预定深度，那么经常被称为“盲孔（blind vias）”，或如果大体上延伸于板的整个厚度，那么经常被称为“镀通孔（plated-thru-hole）”（PTH）。本文所使用的术语“通孔”意味着包括所有三种类型的所述板开口或“小孔（hole）”。

用于制造 PCB、芯片载体和类似物的已知方法通常包含独立内层电路（电路层）的制造，其通过将一感光层或膜涂布在具有包铜内层基础材料的铜层上而形成。使感光涂层成像，显影且蚀刻经曝光的铜以形成所要的导线数目。接着从所述铜剥去感光膜，使电路图案留在内层基础材料的表面上。此方法在 PCB 技术中经常被称为光刻处理。考虑到所述已知教导，认为没有必要作更多描述。

在形成所要的内层电路数目后，通过制备内层、接地平面、电源平面等等的叠层，所述叠层通常由一介电“预浸”材料层彼此隔开，所述介电“预浸”材料通常包括经部分固化材料（例如，“B 阶段”环氧树脂）浸渍的一层玻璃布（例如，玻璃纤维），由此形成多层堆叠。所述堆叠的最外（顶部和底部）层通常包含包覆铜的、填充玻璃的环氧树脂平面基底，其具有包含所述堆叠外部表面的铜包层。使用热量和压力使 B 阶段树脂完全凝固来将此堆叠层压以形成一整体结构。如所了解的那样，所得堆叠通常在其两个外部表面上均具有金属（通常为铜）包层。使用与用于形成内层电路的程序类似的程序在所述铜包层中形成外部电路层。在一熟知所述程序中，将感光膜涂覆到铜包层，使其暴露于图案化活化辐射中并显影。接着使用蚀刻剂来移除通过感光膜显影而露出的铜。最终，移除剩下的感光膜以提供外部电路层。接着可将这些外层的各种元件（例如，衬垫）电耦合到安装在所述结构上的选定电子组件，所述组件包括电容器、电阻器、模块和类似物，甚至包括半导体芯片。

导电通孔（或如所属技术中经常所称作的“互相连接”）用于使结构内的个别电路层电连接到彼此和/或外表面，这些通孔穿过“堆叠”的所有或一部分。通常在外表面上形成电路之前，通过在适当位置处经过堆叠钻小孔来形成通孔。在若干预处理步骤后，所述小孔的壁通常通过与一电镀催化剂接触而催化，且通常通过与无电或电解铜电镀液接触而金属化以在电路层之间形成导电通路。在形成导电通孔后，使用上述程序形成外部电路或外导电层。

在所描述的构造后，将前文提及的半导体芯片和/或其它电气组件安装在多层结构的外部电路层上的适当位置处，通常使用焊料固定衬垫来接合所述组件。若有需要，则这些组件通常通过导电通孔与结构内的电路电接触。通常通过将有机焊料掩膜涂料涂布在外部电路层上来形成所述焊料衬垫。可使用一具有限定待形成焊料固定衬垫的区域的开口的筛网，通过将液体焊料掩膜涂料涂布于外部电路层的表面上来施加所述焊料掩膜。或者，可将照片成像焊料掩膜涂布到板上且接着曝光并显影以产生限定衬垫的开口阵列。接着使用所属技术中已知的方法用焊料涂布所述开口，一个已知方法为波动焊接。

重要地，本文描述的所得产品设计的相对复杂性已在过去几年里充分增加。主计算

机 PCB(例如)可能需要多至 36 层电路或更多,同时全部结构具有多达约 0.250 英寸(250 密耳)的厚度。通常将这些板设计为具有约 3 或 5 密耳宽的信号线和 12 密耳直径的通孔。由于目前很多产品(例如 PCB、芯片载体和类似物)中的电路致密化增加,行业希望将信号线的宽度降低到 2 密耳或更少,且将通孔直径降低到 2 密耳或更少。多数已知商业程序,尤其那些本文所述种类的程序,并不能以成本有效方式经济地形成行业所希望的尺寸。

PCB 行业,除了要求减小线的宽度和孔的直径外,还希望避免常常与它们的 PCB 产品、芯片载体和类似物相关的制造问题。如上所述,当前方法利用内层材料,其为具有约 2 到 5 密耳的厚度、在两个表面上经金属(通常为铜)包覆的玻璃增强树脂或其它合适介电材料层。通常利用贯穿于整个最终基底的宽度和长度的连续玻璃纤维股,将玻璃增强材料用于促成最终堆叠的强度和刚度。因为是连续的,所以这些玻璃纤维股通常延伸于结构的整个宽度(或长度)且不包括断裂或其它片段作为其一部分。因此,如本文用以定义纤维材料的术语“连续”意味着一结构,例如长纤维的编织布,所述长纤维包括(如上所述)通常延伸于穿过结构的整个距离的纤维。本文(下文)用以定义纤维材料的术语“半连续”意味着具有长度更加缩短的纤维的结构,所述纤维也称为“短切”纤维,例如短切纤维毡。所述纤维材料占基底总体积的相对较大部分,此尤其在尝试产生高度密集的通孔数目和非常精细的线电路时碰到了新的、更苛刻的设计要求,构成了一劣势。更具体地说,当进行钻小孔(通常使用激光或机械钻孔机)以形成这些所需通孔时,在层压期间玻璃纤维的末端片段可延伸到小孔中,且倘若如此,那么在金属化之前必须将其移除。此移除接着产生对另外预处理步骤(例如,使用玻璃蚀刻剂移除延伸到小孔中的玻璃小纤维、随后的冲洗等)的需要。如果玻璃没有移除,那么在小孔的内壁金属沉积中会出现连续性的丧失。另外,连续和半连续玻璃纤维两者均使整个最终结构的重量和厚度增加,又一劣势与所述纤维相关。此外,由于层压通常在 150℃ 以上的温度下进行,所以层压制件的含树脂部分通常在冷却到刚性铜包层允许的范围期间收缩,对于连续玻璃纤维股或所使用的其它连续增强材料而言情况并非如此。为此,在所述收缩后,所述玻璃纤维股占基底体积的更大部分,并进一步增加制造高密度产品的复杂性。如果对铜蚀刻以形成不连续图案,那么甚至不能使层压制件的收缩抑制到以上铜包层所允许的范围。显然,此问题随着特征件尺寸(线的宽度和厚度及通孔直径)减小而加剧。因此,可出现甚至更进一步的收缩。所述收缩(可能部分归因于在用于形成具有许多所述层的最终产品的个别层中相对大体积百分比的连续或半连续纤维股的存在)可对尺寸稳定性和所述层之间的配准产生不利作用,此给 PCB 制造者增加更多的问题。

玻璃纤维，尤其编织的玻璃纤维的存在，还充分地削弱了使用激光形成高质量、极小通孔的能力。玻璃布较之典型的热固性或热塑性基质树脂具有彻底不同的吸湿和烧蚀热特性。在典型的编织玻璃布中，举例而言，激光可遇到的玻璃密度可从窗口区域中的大约 0 体积%变化到大约 50 体积%或甚至更大，尤其在布“关节”上的区域内即如此。在所遇到的玻璃密度中的此广大变化导致每一通孔获得适当激光功率的问题且可导致通孔质量的广大变化，其显然不能为目前极其高要求的制造标准所接受。

在本文所提及的类型的多层结构中，玻璃纤维的存在还经常促使已知为 CAF 增长的电气故障模式。CAF（阴极/阳极丝）增长经常导致电气短路故障，其在树枝状金属丝沿一界面（通常为一玻璃纤维/环氧树脂界面）增长时发生，在两个应保持电绝缘的特征件之间产生一电路径。不管是连续（如编织布）还是半连续（如短切纤维毡），与绝缘的内部特征件之间的通常距离相比，玻璃纤维是充分长的，且因此玻璃纤维可显著损害 PCB 绝缘电阻的可靠性。而使用由散乱不连续的短切纤维构成的玻璃毡（与在连续结构中发现的较长纤维相比）可很大程度上减少不适当的经激光钻孔的通孔质量问题，所述毡仍含有纤维，所述纤维与内部板特征件间距相比具有充分的长度，且在一些情况下，所述毡实际上并没有减轻此高度不希望的增长类型的问题。

在美国专利 5,246,817 中，描述一种关于例如 PCB 的产品的制造的改进形式。在 5,246,817 中，制造方法由使用感光介电涂料连续形成层和选择性金属沉积程序组成。板的第一层形成于临时或永久载体上，所述载体（如果是后者）将变成板的一整体部分。当所述载体是电路时，所述方法包含在所述电路上形成一介电涂层，伴随成像开口限定通孔。可通过在成像图案中使感光介电涂层经由掩膜暴露于活化辐射，继之是已描述的显影程序来形成成像开口。或者，可通过激光烧蚀来进行成像，在此情况下，介电材料不需要为感光的。将金属沉积到介电涂层内的凹进部分中以形成导电通孔。随后，将另外的介电材料层涂布到第一介电层上，使其成像为一电路图案，且接着以金属电镀凹进部分。在第一介电涂层成像后，或者可将其以第二介电涂层涂布且成像，并以金属电镀凹进部分以同时形成通孔和电路。通过任何一种方法，随着金属在电镀期间沉积并确保所要的沉积截面形状，在介电涂层中经成像的开口或凹进部分的壁含有金属。电镀令人满意地填充了经成像的感光涂层内的整个凹进部分。连续反复进行所述方法以形成连续层电路和通孔，这显然非常复杂且成本高。

在美国专利 6,207,595 中，描述用于 PCB 的介电材料成分的另一实例，其中介电层的构造材料由布成分制成，所述布成分具有足够低含量的微粒和充足量的树脂材料以完全包住包括微粒的布成分，以使得树脂材料延伸到布成分的最高突起处以上（即，构造

材料更厚且将通过某一测试标准（‘595 中，已知的 HAST 水平 A 测试）。因此，知道编织布包括大量微粒，此术语在 ‘595 中意味着包括干燥的膜、过量的耦合物、断裂的丝和粗大的表面碎片。描述一方法，其中在编织前将具有聚乙烯醇、玉米淀粉和润滑油的浆料施加到纤维股中以便改进编织过程并最小化所述纤维股的断裂。在编织后，通过焙烧步骤将所述浆料移除以清除润滑剂和其它材料的丝。然而，一些浆料作为微粒散乱地留下。包住包括微粒的编织布的是大量硬化的树脂材料。所述树脂可为环氧树脂，例如一种经常用于“FR4”复合物（“FR4”已经成为用于由此产生的基底且还常用于形成其一部分的树脂的常规简称，且部分基于这些既定产品的阻燃（“FR”因此定名）等级）的环氧树脂。基于双顺丁烯二酰亚胺-三嗪（BT）的树脂材料也可为此专利中的结构所接受。更优选地，所述树脂为在 PCB 行业中已知的酚系可硬化树脂材料。因此，此专利要求纤维连续（那些延伸于介电层整个宽度（或长度）的纤维），只是由于对最终产品中所需的通孔钻孔时导致可能的无意识中断，使得这些纤维成为可能称为“断裂的”事物是排除在外的。因此在此专利的方法和所得结构中可能出现前文所提及的关于纤维股暴露于小孔的问题。

在美国专利 5,418,689 中，描述一种 PCB 产品，其中介电基底可包括热塑性和/或热固性树脂。在此专利中提及的热固性聚合材料包括环氧树脂、酚系基础材料、聚酰亚胺和聚酰胺。一些酚系型材料的实例包括苯酚、间苯二酚和甲酚的共聚物。一些合适热塑性聚合材料的实例包括：聚烯烃，例如聚丙烯；聚砜；聚碳酸酯；腈橡胶；ABS 聚合物；及碳氟聚合物，例如聚四氟乙烯、三氟氯乙烯聚合物、氟化乙烯丙烯共聚物、聚偏二氯乙烯和聚六氟丙烯。介电材料可为含有填料和/或增强剂的聚合物的模制品，例如玻璃填充聚合物。在此专利中采用的“FR4”环氧成分含有 70-90 份的溴化聚双酚 A 缩水甘油醚和 10-30 份经 3-4 份双氰胺和 0.2-0.4 份的叔胺固化的四(羟苯基)乙烷四缩水甘油醚，所有份数均为以每一百份树脂固体的重量计的份数。另一“FR4”环氧成分可含有：约 25 到约 30 重量份的四溴化双酚 A 二缩水甘油醚，其具有约 350 到约 450 的环氧当量；约 10 到约 15 重量%的四溴化双酚 A 缩水甘油醚，其具有大约 600 到约 750 的环氧当量；和约 55 到约 65 重量份的至少一种经环氧化的非线性酚醛树脂（novolak），其具有至少 6 个末端环氧基团；连同合适的固化和/或硬化剂。又一“FR4”环氧成分含有 70-90 份的溴化聚双酚 A 缩水甘油醚和 10 到 30 份经 2-甲基咪唑的 0.8-1phr 固化的四(羟苯基)乙烷四缩水甘油醚。还有其它的“FR4”环氧成分采用四溴双酚-A 作为固化剂连同 2-甲基咪唑作为催化剂。

在美国专利 6,323,436 中，通过首先浸渍非编织芳族聚酰胺短切纤维毡或热塑性液

晶聚合物 (LCP) 纸而不是通常在电子工业中所使用的增强物 (在此专利中描述为编织玻璃纤维) 来制备 PCB。此芳族聚酰胺增强毡是由对芳族聚酰胺 (聚(对苯二甲酰对苯二胺)) 纤维的任意 (平面内) 定向的毡构成, 所述对芳族聚酰胺纤维由 Kevlar (Kevlar 为 E. I. duPont deNemours and Company 的注册商标) 构成, 且所述芳族聚酰胺增强毡与标准 E-玻璃布的 6.1 的介电常数相比具有 4.0 的介电常数。非编织芳族聚酰胺增强物的低介电常数提供更快的信号传播, 此允许布线密度增加和串扰减少, 其对于高速 I/O 芯片和微型化来说变得愈加重要。由于对芳族聚酰胺纤维为横向各向同性且具有约 -3 到约 -6 ppm/摄氏度 (下文为 C.) 的轴向 CTE。当与热固性树脂组合时, 此专利中描述的最终复合物据说具有一可控制并调节以匹配在约 3 到约 10 ppm/摄氏度的范围中的硅或半导体芯片的 CTE。热塑性液晶聚合物(LCP)纸为一称为 Vecrus (Vecrus 为 Hoechst Celanese Corp.的注册商标) 的材料, 其使用所述公司的 Vectra 聚合物作为其一部分 (Vectra 也为 Hoechst Celanese Corp.的注册商标)。根据此专利, 所述纸具有 3.25 的介电常数、60 赫兹 (Hz) 时 0.024 的耗散因数、UL 94-V0 额定值和小于 10 ppm/摄氏度的平面内 CTE。经由芳族聚酰胺毡的此材料的所谓优势为低介电常数和非常低的吸湿率 (据说小于 0.02%)。非编织芳族聚酰胺或 LCP 纸与热固性树脂结合使用以形成最终复合基底。在此专利中适用的热固性树脂的实例包括环氧树脂、氰酸酯、双顺丁烯二酰亚胺、双顺丁烯二酰亚胺-三嗪、顺丁烯二酰亚胺或其组合。接着经树脂浸渍的低 CTE 增强物部分地凝固到 “B” 阶段以形成预浸物, 且接着将所述预浸物切割、堆叠并层压以形成具有外部铜片的子复合物。

在美国专利 5,314,742 中, 描述使用非编织芳族聚酰胺薄片向所得层压件提供增强作用。经描述增强型芳族聚酰胺薄片具有小于 10 ppm/摄氏度的热膨胀系数 (CTE) 且由 75 到 95 重量%的对芳族聚酰胺絮凝物和由 5 到 25 重量%的聚(间苯二甲酰间苯二胺)制成。在美国专利 4,729,921 中对絮凝物进行了定义。对芳族聚酰胺纤维的强度和模数非常高。在美国专利 3,869,429 中列出对芳族聚酰胺纤维的实例。对芳族聚酰胺材料的特定实例为聚(对苯二甲酰对苯二胺) (PPD-T) 和共聚(对亚苯基-3,4'-氧基对苯二甲酰对苯二胺)。PPD-T 纤维通常是通过例如在美国专利第 3,767,756 号所描述的气隙纺丝方法来制造, 且适宜地如美国专利 3,869,430 中所述加以热处理。优选利用未经提纯的聚(对苯二甲酰对苯二胺)絮凝物。在处理过程 (例如提纯) 中施加于纤维上的高剪切力可损害纤维且不利地影响到增强物的 CTE。还优选采用高定向和相对较低结晶度的对芳族聚酰胺絮凝物。在美国专利 4,729,921 中描述纤条体。为制备所述薄片, 将絮凝物和纤条体以所要比例分散成水性浆状物, 固体浓度通常在 0.005% 与 0.02% 之间变化。未对所述浆状

物进行提纯。可将所述浆状物通过常规方式制成纸。在此专利中提及的实例中，湿的薄片成形于斜网 Deltaformer 造纸机中并使用经加热的干燥罐来干燥。经干燥的薄片适宜具有介于 0.8 与 4.0 oz/yd<sup>2</sup> 之间的基重，并接着在两个硬表面滚筒之间进行轧制。轧制压力介于约 500 与 2500 kg/cm 之间(轧点压力)且滚筒温度介于约 130 与 150 摄氏度之间。接着将纸张以具有高玻璃态转化温度 (T<sub>g</sub>) (例如约 160 摄氏度以上) 的树脂预浸渍。

“膨胀型 PTFE”介电材料代表另一种已知用于电路基底的材料，PTFE 为聚四氟乙烯的命名。所述材料的常见实例为前述的 Teflon，其由 E. I. DuPont de Nemours and Company 出售。在美国专利 5,652,055 中，例如描述一种在各种粘接应用中(例如在电路板层压件、多芯片模块中和在其它电应用中)适合用作粘接层的粘接薄片(或“粘合片”)材料。据描述所述粘接薄片是由膨胀型 PTFE 材料构成，例如美国专利 3,953,566 中所述。优选地将所述材料以无机填料填充且如下构成：将陶瓷填料并入经分散产生的 PTFE 的水性分散液中。细粒子形式的填料的尺寸通常小于 40 微米，且优选小于 15 微米。在共凝聚之前以一定量引入的填料相对于最终经树脂浸渍的复合物来说将在 PTFE 中提供 10 到 60 重量%、优选 40 到 50 重量%的填料。接着通常使用快速搅拌使经填充的 PTFE 分散液共凝聚。接着添加经凝聚、填充的 PTFE。接着将填充材料以常见的糊状挤压润滑剂加以润滑，例如矿油精或二醇类，并接着挤出糊状物。通常将挤出物进行轧制，并接着以每秒 10% 以上的拉伸速率、在介于 35 摄氏度与 327 摄氏度之间的温度下快速拉伸到 1.2 到 5000 倍，优选 2 倍到 100 倍，(根据此专利)。若有需要，则可在拉伸之前将润滑剂从挤出物中移除。接着通过浸渍、轧制或者刀片刮抹约 2% 到 70% 粘接剂在溶剂中的清漆溶液使所得膨胀的、多孔的填充 PTFE 吸收粘接剂。接着将湿的复合物固定于拉幅机，且随后在或约 165 摄氏度下“B 阶段化”1 到 3 分钟。所得的薄片粘接剂通常由以下各物组成：(a) 9 到 65 重量%的 PTFE；(b) 9 到 60 重量%的微粒形式的无机填料；及 (c) 5 到 60 重量%的吸收于多孔网结构内的粘接剂。

其它类型的膨胀型 PTFE 基底材料描述于前述的美国专利 3,953,566 中，且还描述于美国专利 4,187,390 和 4,482,516 中，以及很多其它专利中。美国专利 4,187,390 尤其令人关注，因为其深入研究了用作所述基底材料的一部分的节点和小纤维两者，将这些分解为例如节点高度、节点宽度、节点长度和小纤维长度的尺寸限制。

制造电路基底(例如 PCB)的方法的其它实例描述并说明于在前述的同时待决申请案序列号 10/812,890 中所引用的若干文献中，其教导内容(除上文所列的那些其它专利和申请案之外)以引用的方式并入本文中。

认为在许多上述文献中提及的介电材料的若干实例作为基底电介质由于可将之称

为高吸湿性的事物而具有有限的适用性。即，在处理和其随后的储存期间，这些介电材料趋向于吸收可称为不合乎需要的湿度水平的事物（主要实例为水）。此不可接受的湿气导致介电结构在处理或分层期间具有不能预料的尺寸稳定性，或在最终组件或板装配过程中起泡。本文所使用的术语“高吸湿性”意味着大于约 0.27% 的吸湿（水和其它流体材料，包括在处理、储存和装运期间介电材料所暴露于其中的其它处理液体和甚至气体）率水平，此如在约 22°C 的温度下历时约 24 小时的时间段而测得。用于行业的一特定实例为在此温度下将介电层浸于水中时历时此段时间段。由于上文给出的原因，认为大于约 0.27% 的吸收水平是不可接受的。

本文所定义的本发明代表对例如上文所述的那些产品和过程的重要改进。本发明的一个尤其重要的特征在于提供一复合层，所述复合层包括一包括具有低热膨胀系数的多股纤维的第一介电子层和一具有一低吸湿性树脂的第二介电子层，所述第二介电子层不包括连续或半连续纤维或类似物作为其一部分。因此，本发明独特地能够将纤维使用的重要优势（尤其那些与增强作用有关的优势）与包括低吸湿性树脂的非纤维第二子层相组合以产生多层结构，其中高密度的通孔阵列可能大体上没有前文所提及的与所述纤维使用相关的劣势。本文将低吸湿性聚合物树脂定义为一种在室温（22°C）下浸没于水中时历时 24 小时的时间段后，吸收小于约 0.27 重量% 的湿气的树脂。

相信如此的发明将代表所属技术的重要进步。

## **发明内容**

本发明的主要目标在于提高电路基底的技术。

本发明的另一目标在于提供一种用于一电路基底的新型介电材料，其包括经增强的吸湿特性以产生一可利用本文所教导并描述的方法得以有效处理的介电层。

本发明的另一目标在于提供一种制造一电路基底的新型独特的方法，所述方法可适用于当前制造程序，利用本文所定义的新型介电材料，且其通过其更简化的用法来达成以产生成本降低的产品。

本发明的再一目标在于提供适用于利用具有本文所定义的优势特征的电路基底的产品。

根据本发明的一个实施例，提供一种包含一复合层的电路基底，所述复合层包括一包括具有低热膨胀系数的多股半连续纤维的第一子层和一具有一低吸湿性树脂的第二子层，所述第二子层不包括连续或半连续纤维或类似物作为其一部分。所定义的基底进一步包括安置在所述复合层上的至少一个电路层。

根据本发明的另一实施例，提供一种包含一电路基底的电气总成，所述电路基底包括一复合层，所述复合层包括一包括具有低热膨胀系数的多股半连续纤维的第一子层和一具有一低吸湿性树脂的第二子层，所述第二子层不包括连续或半连续纤维或类似物作为其一部分。所定义的基底进一步包括安置在所述复合层上的至少一个电路层。所述总成进一步包含安置在所述电路基底上并电耦合到所述电路基底的至少一个电气组件。

根据本发明的又一实施例，提供一种制造一电路基底的方法，所述方法包含提供一复合层，所述复合层包括一包括具有低热膨胀系数的多股半连续纤维的第一子层和一具有一低吸湿性树脂的第二子层，此第二子层不包括连续或半连续纤维或类似物作为其一部分。所述方法进一步包括将至少一个电路层安置在所述复合层的所述第一子层上的步骤。

根据本发明的又一实施例，提供一种包含一第一电路基底部分的多层电路结构，所述第一电路基底部分包括一复合层，所述复合层包括一包括具有低热膨胀系数的多股半连续纤维的第一子层和一具有一低吸湿性树脂的第二子层，所述第二子层不包括连续或半连续纤维或类似物作为其一部分。所述第一基底进一步包括安置在所述复合层上的至少一个电路层，这些第一和第二子层包括在其中的导电通孔的一第一图案。所述多层结构进一步包含安置在所述第一电路基底部分的相对侧上的第二和第三电路基底部分，其每一个具有在其中互相连接的通孔的一第二图案，所述第一电路基底部分在这些第二和第三电路基底部分之间提供电的互相连接，包括将在所述第二电路基底部分中的通孔中的一个选定通孔与在所述第三电路基底部分内的对应通孔互相连接。

根据本发明的又一实施例，提供一种信息处理系统，其包含一外壳、一电路基底，所述电路基底大体上安置在所述外壳内且包括一复合层，所述复合层具有一包括具有低热膨胀系数的多股半连续纤维的第一子层和一具有一低吸湿性树脂的第二子层，此第二子层不包括连续或半连续纤维或类似物作为其一部分。此基底进一步包括安置在所述复合层上的至少一个电路层。所述系统进一步包括安置在所述电路基底上并电耦合到所述电路基底的至少一个电气组件。

## **附图说明**

图 1-图 6 代表根据本发明的一个实施例用于产生一电路基底的步骤，图 3-图 6 的比例稍大于图 1 和图 2 的比例；

图 7（其比例比图 1 和图 2 小得多）说明一电气总成，其可利用本文所定义并根据本文教导内容制造的一个或一个以上电路基底；和

图 8 代表根据本发明的一个方面的信息处理系统，其能够利用本文所教导的一个或一个以上电路基底。

### **具体实施方式**

为了更好地了解本发明连同其其它和另外目标、优势和能力，结合上文所述的附图参考以下揭示内容和所附权利要求。从图到图将使用相同的图示符号来标示这些附图中的相同元件。

本文所使用的“信息处理系统”应意谓主要为计算、分类、处理、传输、接收、检索、发起、转换、存储、显示、表明、测量、检测、记录、再现、运用或利用用于商业、科学、控制或其它目的的任何形式的信息、情报或数据而设计的任何手段或手段的集合。实例包括个人计算机和较大处理器（例如计算机服务器和主机）。所述产品在所属技术中已为熟知，且还熟知包括 PCB 和作为其部分的其它形式的电路基底，一些产品视其操作要求而定包括若干所述组件。

上文提供本文所使用的很多术语的其它定义，例如“通孔”、“高吸湿性”、“连续的”（对纤维）等等。

图 1 说明在形成本文所定义的电路基底中的初始步骤。如从下文所了解，本发明的重要特征在于利用介电复合材料作为基底的一部分，其能够在基底内提供高密度通孔阵列，同时大体上防止紧密间隔、邻近的小孔之间的电气短路或类似问题。即，相对狭窄（直径方面）的通孔的极高密集度能够被提供于此独特介电层中，接着可使得所述介电层具有导电性（通常，电镀）以在并入电路基底的最终结构内的指定导电层之间提供高度密集的电路连接（例如，信号、功率和/或接地）。最重要地，此新型介电材料包括一具有极低吸湿性树脂的子层，且同等重要的是，此新型介电材料进一步包含一包括具有低热膨胀系数的纤维的子层。所述低吸湿性子层在其中不包括连续或半连续纤维。如所阐释的，当在小孔形成和电镀阶段期间产生基底时，由于纤维或其材料侵入小孔内，此可构成达至邻近导电小孔的导电路径的基础，所以所述纤维的使用通常是有害的。如本文所教导的介电材料复合层能够充分地解决如此的劣势，而同时借助于一与不具有所述纤维的另一子层相组合的子层格局中放置所述纤维来利用其增强特性。本文所教导的独特材料还能够解决所述相关纤维劣势，同时确保产品在相对薄的最终复合层中具有相对高的介电可靠性，如果使用基底的最终产品（例如，芯片载体或 PCB）要满足现今的很多高密度和小型化要求，那么就高度希望所述两种特征均存在。如上文所提及，本发明的新型介电材料具有低吸湿特性，其非常有利，因为其提供处理的简易性（包括在当

温度会超过 245 摄氏度时的层压期间)和高度理想的低介电性。包括此材料的层具有足够的强度和耐用性以抵挡与按照常规用于制造 PCB 的层压过程相关的严酷条件,尤其是高温和高压。同样,使用标准 PCB 制造方法而不对其作任何重要修改来产生所得产品,从而缩减产品成本。

如所陈述,用于形成本文所定义的本发明各种实施例的电路基底的介电材料呈可包括两个介电层作为其部分的介电材料复合层的形式。一个子层由低吸湿性树脂(优选高 T<sub>g</sub>(玻璃态转化温度)热固性聚合物)构成。当在约 22℃ 的温度下将所述子层浸没于水中历时约 24 小时的时段时,此树脂具有小于 0.27% 的吸湿率。重要地,此子层的树脂占子层重量的约 10% 到约 80%。在鲜明的比较中,其它子层包括具有低热膨胀系数的半连续纤维。此层可具有不同厚度,所述厚度的一个优选范围是从约 20 微米到约 300 微米。这些纤维的优选材料是非编织芳族聚酰胺。所述纤维为半连续类型并随机分布在 x-y 平面内,且与一具有与芳族聚酰胺纤维类似或相同成分的粘结剂熔合或结合固定在一起。更重要的是,含有所述纤维的子层还优选的是由低吸湿性树脂组成,一优选实例是与其它子层所使用的相同的树脂。即,此第二树脂(对于第一子层来说)还具有高玻璃态转化温度, T<sub>g</sub>。具有了所述纤维作为其部分,此子层的热膨胀系数(CTE)在 x 和 y 方向上均优选为每摄氏度约 8 到 12 p.p.m。如在其它子层中那样,在此子层中的树脂也占此第一子层重量的约 10% 到约 80%, 纤维大体上占剩余的重量百分比。

如将通过以下关于附图的描述所展示,第一和第二子层在其中均进一步包括多个通孔,所述电路基底的厚度与每一所述通孔的直径的纵横比在约 2:1 到约 20:1 的范围内。

在一优选实施例中,介电树脂材料是具有高玻璃态转化温度(T<sub>g</sub>)、无双氰胺(DICY)的环氧聚合物树脂,其可从 Huntsman Advanced Materials in Brewster, New York 购得,产品名称为 Araldite LZ-8213。此特定树脂具有约 280-400 的环氧当量、约 300-900 cps 的粘度、约 70-73 的固体含量百分比、约 80 摄氏度的沸点和每莫尔约 1200-1400 克的分子量。Araldite LZ-8213 树脂是热固性聚合物。视情况可使用高分子量、反应性热塑树脂,例如 InChem “PKHS-40”树脂(可从南卡罗来纳州洛克希尔市的 InChem 公司(InChem Corporation in Rock Hill, South Carolina)购得),包括与上文所标示的树脂材料相组合。此材料将赋予韧性和涂层剥离抗性。InChem 的“PKHS-40”树脂具有 0.965 的比重、约 39-41 的固体重量百分比、80 摄氏度的沸点,及重要的是,25 摄氏度时在约 4500 到 7000 厘泊(cp)的范围内的粘度。如果与另一树脂组合使用,那么 PHKS-40 树脂应占总树脂成分重量的约 3% 到约 25%, 且占总层体积的约 1.5% 到约 12.5%。

将二氧化硅成分添加到树脂材料中也属于本发明的范畴。优选实例是触变性二氧化

硅，其由新泽西州的 Degussa Corporation of Teterboro 以 Aerosil R-972 的产品名称出售。Aerosil R-972 二氧化硅是疏水性非晶形煅制二氧化硅，其具有 1700 摄氏度的熔点、2.2 的比重和约 3.6-5.0 的 pH 值，且可将之添加以在含有溶剂的罩光清漆的溶液粘度与 B 阶段的（更多见下文）介电涂层的熔融粘度之间达成改进的平衡。

视情况，无机填料可与体积范围为整个所得介电层体积的约 10 体积%到约 80 体积%的上述低吸湿性树脂组合利用以产生本发明的第二子层（其具有低吸湿性树脂且无纤维）。所述无机填料的实例包括 Tatsumori PLV6 和 PLV4 填料，其可从日本东京 105 的 Tatsumori 购得。这些填料的粒子各自优选具有处于约 200 埃到约 35 微米的范围内的尺寸，一优选尺寸为约 5 微米。由于其它范围可适用于本发明，所以以上范围并不意味着限制本发明。可使用其它导热且电绝缘的填料来改进从装置到周围环境的热能转移。所述填料包括氧化铝、92%氧化铝、96%氧化铝、氮化铝、氮化硅、碳化硅、氧化铍、氮化硼和金刚石粉（以高压或等离子体 CVD 制程制得）。这些填料尤其优选为氧化铝和氮化铝，因为其具有高导热性。

可视情况将优选填料以一偶合剂预处理，所述偶合剂例如来自 Dow-Corning 的  $\gamma$ -氨基丙基三乙氧基硅烷（A1100）、 $\beta$ -(3,4-环氧基环己基)乙基三甲氧基硅烷（A186）或先前描述的  $\gamma$ -缩水甘油基丙基三甲氧基硅烷（Z-6040）。已发现此偶合剂的量为按填料重量计约 0.25%时是令人满意的。所述量不应超过约几个单层。与不包括所述粒子的树脂材料相比，当使用时所述粒子向最终层提供低膨胀。更重要的是，所述粒子确保所完成的第二子层复合结构具有相对低的各向同性的膨胀，其处于 25-35ppm（百万分率）/摄氏度（C）的热膨胀范围内。此外，所述粒子进一步提供抗断裂和抗疲劳性、相对低的吸湿性和足以有助于随后在所形成的通孔或其它（例如）外部表面上进行电镀的粗糙的表面结构。因此，特定体积百分比的粒子的添加使得产品制造者可调整热膨胀系数（CTE）。

适用于环氧树脂的催化剂包括：胺类，例如咪唑，叔胺，如苄基二甲胺、1,3-四甲基丁烷二胺、三(二甲氨基甲基)苯酚、吡啶和三亚乙基二胺；及酸性催化剂，例如辛酸亚锡。可添加例如甲基乙基酮的溶剂以溶解各种树脂且允许选定载体的涂布。

使用以上子层材料所产生的介电复合层具有下列重要的电、热、物理和热膨胀特性，其如由过程发展分析所定义。应了解子层 1 为具有纤维的子层，所述纤维具有所定义的低 CTE；而应了解子层 2 为具有低吸湿性树脂且不具有纤维的子层。这些性质如下：

电特性	子层 1	子层 2
-----	------	------

在 1-2.5 GHz 下的介电常数 (Dk)	3.5	3.6
在 1 MHz 下的损耗系数	0.016	0.013

热特性

Tg (DSC 中点) (摄氏度)	180	181
Tg (TMA) (摄氏度)		175
分解温度 (摄氏度)	320	327

热膨胀

Tg 以下 (ppm/摄氏度)	8-12	28-35
Tg 以上 (ppm/摄氏度)	5-6	111

物理特性

%湿气, 24 小时之后	0.15	0.15
%湿气, 1 小时之后	0.27	0.25
(高压锅条件—121 摄氏度/100%相对湿度)		
伸长率 (%)	3.0	2.5

最终硬化的树脂材料与含纤维的子层的所得层复合结构 (或独立膜) 具有非常低的吸湿率 (在 22°C (室温) 下浸没于水中 24 小时后, 小于约 0.15% 的吸湿率) 且使其作为用于建造 PCB 和芯片载体的基底显得尤为独特。同等重要的是, 当如所定义的那样分阶段时, 此复合层和另外的类似复合层接着容易接收随后的使用常规光刻处理的电路化处理。在一优选实施例中, 所要的线路由铜形成且通过使用所述处理来施加。此类型基底的光刻处理在 PCB 领域中已为熟知, 且认为没有必要作进一步描述。

已经发现当在上述复合材料中钻 (例如下文所述, 通常使用激光) 通孔时, 可获得高密度的所述小孔图案, 而惊人地, 在电镀其侧壁之后不出现所述小孔的电短路。即, 电镀材料 (通常为铜) 不如当连续和/或半连续玻璃纤维和其它纤维材料用于先前的介电成分时有时所发生的那般从通孔迁移到通孔。在本发明的一个实施例中, 有可能在一平方英寸的介电层内钻总数为 10,000 个小孔, 此代表可使用本文的独特教示来获得的高密度小孔图案的极端实例。可通过使用本发明的教示来获得从每平方英寸约 500 个小孔到每平方英寸约 10,000 个小孔的范围内的图案密度。如所陈述, 优选将激光用于所述钻

孔，且特定地说，YAG 激光，其可以每秒 20-50 个通孔的速度操作，每一个小孔具有 2 密耳的直径并穿过介电层延伸。此激光还能够提供高达每秒 250 个通孔，所得小孔具有类似直径，但仅部分地延伸到介电层中（如上文所提及，也称为“盲孔”）。

如根据本文的描述所进一步了解，本文中所形成的电路基底的特定用途是作为芯片载体或 PCB 或其它电子封装产品（例如，那些由本发明的受让方所制造并销售的产品）的一部分。一个特定实例是以 Hyper-BGA 芯片载体的名称销售的芯片载体（Hyper-BGA 是受让方 Endicott Interconnect Technologies 公司的注册商标）。当然，本发明并不限于芯片载体或甚至更高水平的 PCB。还应了解，一个以上的所述电路基底（例如，那些各自还称为“核心”的电路基底，如果所述核心包括一个或一个以上电源平面且因此主要以此能力起作用，那么特定实例为称为“电源核心”的实例）可并入所述载体或 PCB 内，此取决于最终产品所要的操作要求。如下文所定义，所述“核心”可易于与其它层（包括导体和电介质）“堆叠”，且接合在一起（优选使用常规 PCB 层压处理）以形成更厚的多层载体或多层 PCB。接着使如此形成的层压制件经受进一步处理，包括常规光刻处理，在其外导电层上形成电路图案。如本文的下文所描述，所述外部图案可包括导电衬垫，在其上可安置导体（例如，焊球）以将结构连接到其它组件，例如半导体芯片、PCB 和芯片载体（如果需要这样的话）。因此，本发明的独特教导可适用于大量电子封装产品。重要地，本发明使电路基底（例如，如果密集“核心”）能够并入其高度密集的通孔图案中，并能使得在更大多层结构内互相连接的能力能够实现，在所述的更大多层结构中，其它层部分不具有所述的致密化和操作能力。为此，可为了其结构的大部分产生一“标准”多层产品，而本文所教导的独特子组件作为所述“标准”的常规处理的一部分简单地加入。如果将电路基底核心安置在内部，那么其能使多层产品的其它、较不密集的部分之间能够高度密集的连接，由此以至少其一部分提供给所述产品本发明的独特能力。

在图 1 中，展示在形成本文所教导的电路基底中的初始步骤的一个实例。在此步骤中，将两个层部件 11 和 11' 放到一起，每一个层部件包括：一相对薄的介电层 13，其具有多股上文所教导的半连续纤维作为其一部分；和一安置在其上的导电层 15（优选为铜）。在此实施例中，每一个导电层 15 接合到个别介电层。图 1 实施例利用两个具有类似介电材料的独立介电层 13 来形成一复合介电层 13'（图 2）。然而，此不是本发明的要求，因为可使用一具有含纤维的电介质的单独子层 13，使其在其相对侧上与导电层 15 接合到一起。如果是所展示的两个部件 11 和 11' 的实施例，那么介电层 13 各自的厚度（T2）优选为仅约 1 密耳（一英寸的千分之一）到 3 密耳，优选厚度为 2 密耳（0.002 英寸）。每一个导电层的对应厚度（T1）优选为在仅约 0.3 密耳到约 0.7 密耳的范围内。

优选的导电层厚度为 0.5 密耳。介电子层（包括所定义的作为成分的一部分的树脂）中的每一个优选处于所属技术中已知为“B 阶段”的状态。使用常规 PCB 层压处理将层部件 13 和 15' 对准并接合在一起。在一实例中，在约 188 摄氏度的温度下，使用每平方英寸约 400 磅（p.s.i）的总压力，持续约 90 分钟的时间段。结果为一层压结构 21（图 2），其具有外导电层 15（其各自具有大体上与上述厚度一样的厚度）和一共用中间介电子层 13'（其具有约 4 密耳的压缩厚度），整个最终结构的厚度（T3）为约 5 密耳。由于所述层压，中间的、现经组合的介电材料（参看图 2 的数字 13'）现在处于所属技术中称为“C 阶段”的状态中（也如上文所提及）。具有组合子层 13' 和所述两个外导电层 15 的图 2 结构充当本文所定义的电路基底的更大结构的第一部分，所述图 2 结构（如也所定义的）可充当更厚的多层产品（例如 PCB 或芯片载体）的“核心”基底。

在图 3 中，此刻使结构 21（为达到说明目的，现以比图 1 和图 2 中更大的比例来展示）经受常规光刻处理，其中外导电层 15 被“电路化”。即，使用已知处理来处理层 15 以在其上形成所要的图案。此图案在每一层中将（最少）包括若干开口 17，如图所示，其经对准彼此相对。此外，在一个或两个层内提供另外的电路特征件（例如线和/或衬垫 19）也属于本发明的范畴。如果结构 21 最后充当“电源核心”的一部分，那么层 15 在其之中通常将仅包括开口 19。然而，如果一个或两个层 15 以另一能力起作用，例如作为一单独层，那么可提供其它图案。因此图 3（和图 4 到图 6）中的图案并不意味着限制本发明的范畴。

在图 4 中，展示结构 21 在所述结构的相对侧上包括具有介电材料的另外子层 31，这些所添加的子层 31 中的每一个均为不具有半连续纤维的低吸湿性树脂。这些子层 31 在结构 21 的相对侧上充当低吸湿性和低热膨胀性的子层。如图所示，每个子层 31 在其之上优选包括一薄的导电（例如，铜）层 33。在本发明的一实例中，层 31 和层 33 各自均由与图 1 的层 13 和层 15 相同的厚度组成，且使用所属技术中已知的层压过程将其层压到结构 21 上。在层压之后，如在图 5 中所见，导电层 33 中的每一个在其之中均“私有化”地包括多个开口 41，所述开口 41 和与其邻近定位（但由中间层 31 隔开）的导电层 15 中的开口 17 中的个别开口对准。值得注意的是，至少一个开口 41 与一对应开口 17 对准，但还可提供其它、也许更小的开口 41，其并非如此对准，而是与形成于层 15 上的电路（如果一个已经如此形成）中的其它部分对准。在形成开口 41 后，如上文所定义使用 YAG 激光在图 5 结构内钻通孔。如图 6 中所见，所述激光在出现成对、对准开口 17 和对应对准开口 41 的地方经过图 5 结构的整个厚度钻通孔。在一个实施例中，在这些对准方位上，可在所述结构的每平方英寸中提供总共 10,000 个小孔，其各自均具

有仅约 2 密耳的直径。此再次代表可使用本发明的教导来获得高度密集的模式。

除了延伸到图 5 结构的整个厚度的通孔 51 的高度密集图案之外，如图 6 中所见，还可在形成小孔 51 的同时形成较小深度的通孔 53（所属领域的一些技术人员还称其为“盲孔”）以仅达至导电层 15。这些后面的小孔的目的在于最终在导电层 33 与层 15 之间形成电连接（例如，从一个上的选定信号线到另一个上的线，此处又假定层 15 起信号承载导电平面的作用），如果如此使用，那么将更大的多用性添加到本发明中。一个或两个层 15 还可充当一接地层，且因此提供接地（如果需要如此的话）。应了解，接着将通孔 51 和 53 以导电材料电镀（如果使用），优选材料为具有仅约 0.2-0.75 密耳的厚度的铜。对本文所述的这些和其它通孔的优选电镀过程可为电解电镀或无电电镀，此取决于所述电镀可利用的电镀设备。通孔的电解电镀和无电电镀在所属技术中已为熟知，因此认为没有必要作进一步描述。

现在可将图 5 中所示的结构称为电路基底，且其可充当独立基底，例如芯片载体，或（如所提及）在更大的多层结构中充当与其它导电和介电层（包括与其它类似电路基底）组合使用的“核心”结构。

在图 6 中，展示在其中形成通孔的结构相对侧上添加另一这样的介电层 71（以虚线表示），且在所述介电层中的每一个之上添加一另外的导电层 73（以虚线表示）。此附图是意在代表这样的事实：可将若干另外的介电和导电层添加到图 6 结构中以形成更厚的多层最终产品（例如 PCB 或层压芯片载体），其比图 3-6 中所展示的结构具有更多的层数。如所陈述，还有可能将一个以上所述的内部电路基底“核心”（例如图 6 中所示）并入所述更大、更厚的结构中，由此在其中一个以上的位置处以本发明的教导提供最终结构。为此目的，图 5 的实施例（也如所陈述）也可认为是所述的“核心”。最终，利用图 4 所有结构仅形成一多层复合物，在其层压为最终结构期间在各个对准对之间利用已知的“粘贴片”介电层，此也在本发明的范畴内。无论哪个选择，在每一介电-导电子复合物（例如，图 4 中所示）中的通孔都可形成电的互相连接，从而提供穿过最终结构的选定部分（如果需要的话，包括穿过整个结构本身）的导电路径。如果（例如）将本文所示类型的三个子复合物组合以形成一多层最终结构（例如，一多层 PCB），那么清楚的是，中间子复合物的通孔，一旦例如通过在接合在此中间子复合物的相对侧上的两个外部子复合物的通孔之间执行前文所定义的电镀操作而导电，就可提供电的互相连接。

图 7 代表可使用本文所教导的电路基底而形成的电气总成 81 的一个实例。如所陈述，根据本文的教导由此形成的每个基底均可用于已知类型的更大基底（例如，PCB、

芯片载体或类似物)内。图7说明这些更大组件中的两者,一个是芯片载体83且另一个是PCB85。PCB85安置在一电子总成(例如,图8中所示的信息处理系统)内并电耦合到所述电子总成,所述电子总成可呈个人计算机、主机、计算机服务器等等的形式。如图所示,芯片载体83通常安置在一下层基底(例如PCB85)上并电耦合到所述下层基底。所述载体通常还具有一安装在其上并电耦合到所述载体的半导体芯片87。在图7的实施例中,芯片与载体之间的连接和载体与PCB之间的连接分别使用焊球89和89'来达成。所述连接在所属技术中已知,且认为没有必要作进一步描述。图7的重要性在于展示在芯片载体83和PCB85中使用一个或一个以上本发明的电路基底91(以虚线表示),因此形成其一部分。展示两个基底91与PCB85一起使用,而在载体83内仅展示一个基底。如上文所提及,本发明并非限于所展示的数目。举例来说,可利用三个或三个以上基底91来将本发明高度有利的教导提供给PCB,所述三个或三个以上基底91中的每一个在所述PCB内均形成一特定电路化“核心”(例如“电源核心”)。或者,如所陈述,整个PCB或芯片载体层压制件可由此处所教导的介电层所构成。

在图8中,展示根据本发明的一个实施例的信息处理系统101。系统101可包含个人计算机、主计算机、计算机服务器或类似物,其若干类型在所属技术中熟知。如本文所教导,系统101可包括如图7中所示的电气总成,其包括PCB85和载体83两者,这些在图8中由数字103代表。此完成的总成(隐藏展示)可安装在一更大的PCB或其它基底(未图示)上,一个实例是具有大得多的尺寸的“母板”,应该需要所述板。隐藏展示这些组件,因为这些组件密封在一经设计为容纳形成系统101一部分的各种电气组件和其它组件的合适外壳105之内且因此隐藏在所述合适外壳105的里面。PCB85可代替包含系统101中的所述“母板”且因此包括另外的电气总成,其包括安装在其上的另外的印刷电路“卡”,所述另外的“卡”接着还可能包括另外的电子组件作为其一部分。因此应看到并了解,根据本文的独特教导制成的电气总成可用于若干各种结构作为一大得多的系统(例如信息处理系统101)的一部分。认为没有必要作进一步描述。

虽然已经展示并描述了目前认为是本发明的优选实施例的实施例,但是所属领域的技术人员将易于明了,可在不脱离由所附权利要求书所定义的本发明的范畴的前提下,对本文作各种改变和修改。

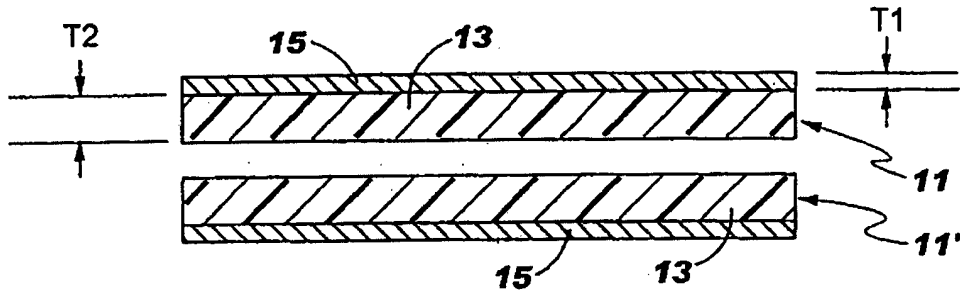


图1

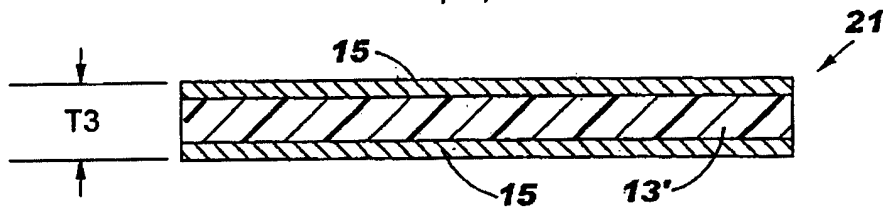


图2

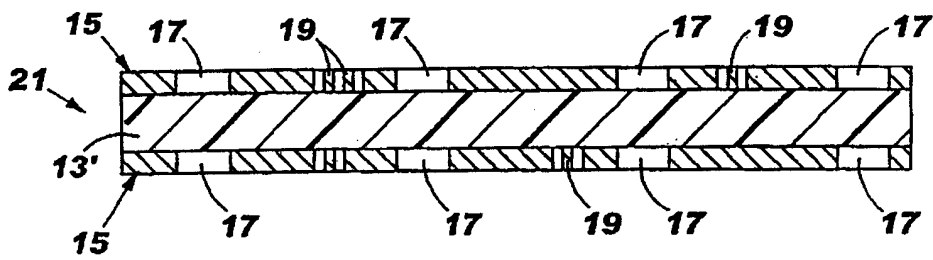


图3

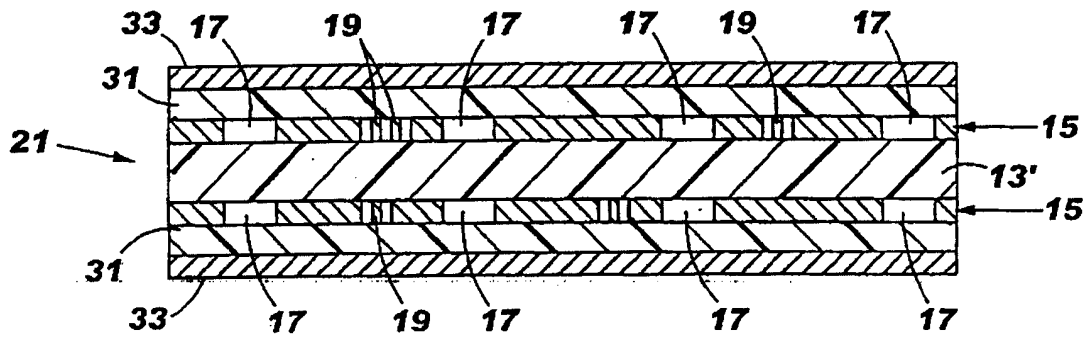


图4

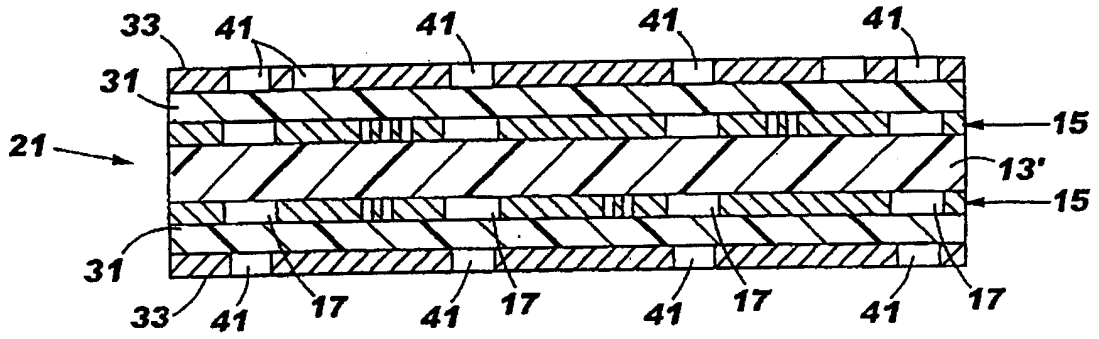


图5

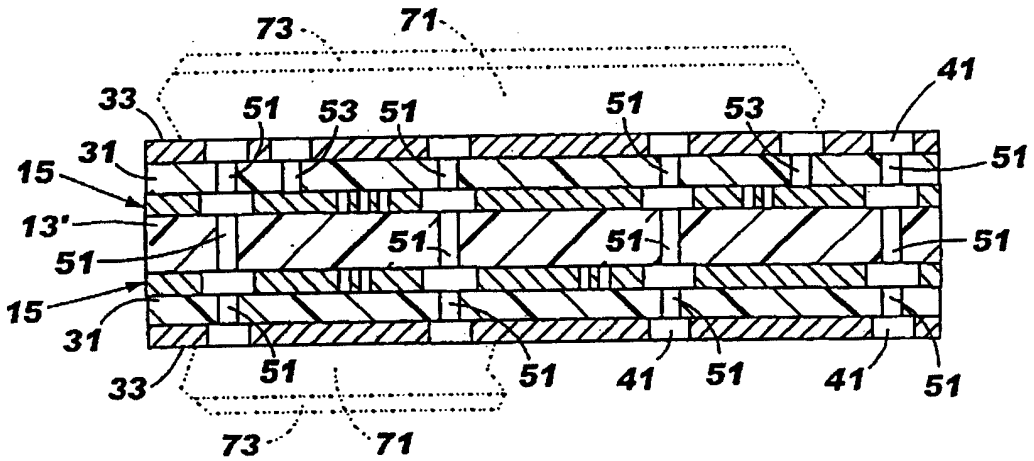


图6

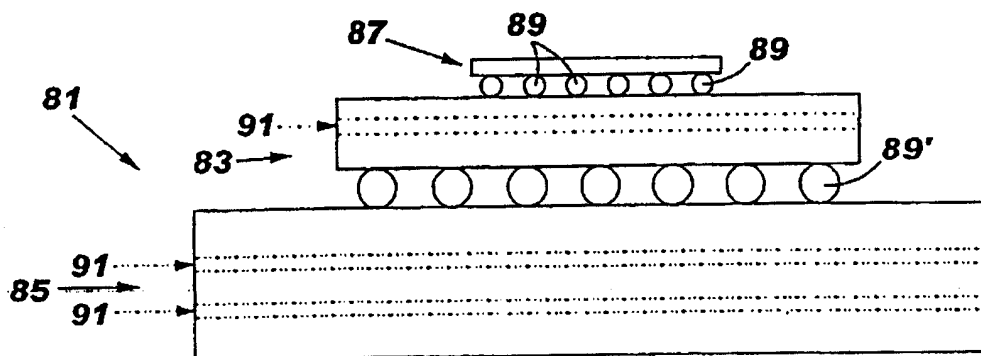


图7

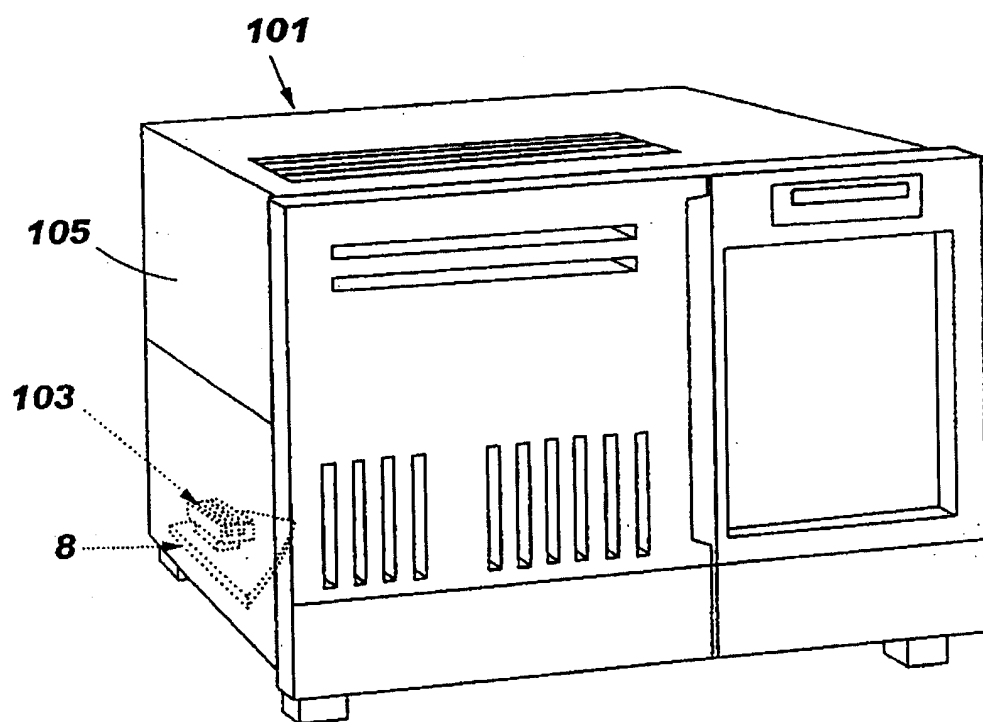


图8