

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3827180号
(P3827180)

(45) 発行日 平成18年9月27日(2006.9.27)

(24) 登録日 平成18年7月14日(2006.7.14)

(51) Int.C1.

F 1

G02F 1/1368 (2006.01)
G02B 26/02 (2006.01)G02F 1/1368
G02B 26/02

請求項の数 5 (全 13 頁)

(21) 出願番号

特願平9-81477

(22) 出願日

平成9年3月31日(1997.3.31)

(65) 公開番号

特開平10-274788

(43) 公開日

平成10年10月13日(1998.10.13)

審査請求日

平成16年3月26日(2004.3.26)

(73) 特許権者 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(74) 代理人 100131071

弁理士 ▲角▼谷 浩

(72) 発明者 神野 優志

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

審査官 白石 光男

(56) 参考文献 特開平07-193245 (JP, A)
特開平02-224253 (JP, A)

最終頁に続く

(54) 【発明の名称】半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板上に半導体層と、絶縁層を挟んで前記半導体層の能動領域に対向する電極を有した半導体素子を複数有した半導体装置の製造方法において、

基板上に電極を形成する工程と、

前記電極を覆って絶縁層、絶縁層上に半導体層、及び、半導体層上に絶縁性の保護膜を、前記絶縁層の膜厚が前記基板内で最も薄くなる領域において、式 $4 n d =$ (ただし、n は保護膜を構成する絶縁膜の屈折率、d は保護膜の膜厚、はレーザー光の波長を示す。) に従う膜厚に形成する工程と、

前記絶縁性の保護膜が形成された側よりレーザー光を照射することにより、前記半導体層にレーザーニールを施す工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 2】

基板上に半導体層と、絶縁層を挟んで前記半導体層の能動領域に対向する電極を有した薄膜トランジスタを複数有した半導体装置の製造方法において、

基板上に、第1の導電層を形成する工程と、

前記第1の導電層をパターニングすることにより第1の電極を形成する工程と、

前記第1の電極を覆って絶縁層、絶縁層上に非晶質半導体層、及び、非晶質半導体層上に、絶縁性の保護膜となる材料膜を、前記絶縁層の膜厚が前記基板内で最も薄くなる領域において、式 $4 n d =$ (ただし、n は保護膜を構成する絶縁膜の屈折率、d は保護膜の膜厚) に従う膜厚に形成する工程と、

10

20

の膜厚、はレーザー光の波長を示す。)に従う膜厚に形成する工程と、

前記材料膜をパターニングして前記非晶質半導体層の前記第1の電極の上方の能動層となる領域に前記絶縁性の保護膜を形成する工程と、

前記絶縁性の保護膜が形成された非晶質半導体層にレーザーアニールを施すことにより、多結晶半導体層を形成する工程と、

前記絶縁性の保護膜が形成された多結晶半導体層上に、絶縁性の注入阻止膜となる材料膜を形成する工程と、

前記材料膜をパターニングして前記保護膜が形成された多結晶半導体層上に、前記絶縁性の保護膜と概ね同じ形状の絶縁性の注入阻止膜を形成する工程と、

少なくとも前記注入阻止膜をマスクとして、前記多結晶半導体層に対する不純物のイオン注入を行うことにより、前記多結晶半導体層の前記能動層の両側に不純物を含有した領域を形成する工程と、

前記多結晶半導体層を覆い、かつ、前記多結晶半導体層の前記不純物を含有した領域上有する開口部を有する層間絶縁層を形成する工程と、

前記層間絶縁層上に第2の導電層を形成する工程と、

前記第2の導電層をパターニングすることにより、前記開口部を介して前記多結晶半導体層の前記不純物を含有した領域に接続された第2の電極を形成する工程と、
を有することを特徴とする半導体装置の製造方法。

【請求項3】

前記絶縁性の保護膜は、あらかじめ前記絶縁性の注入阻止膜よりも少なくとも電気的能動方向に関して大きく形成され、前記注入阻止膜を形成すると同時に、前記絶縁性の保護膜は前記注入阻止膜と同じ大きさに再形成されていることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】

前記絶縁性の保護膜、及び、前記絶縁性の注入阻止膜は、各々の材料膜上にレジストを形成する工程と、前記基板の裏面から光を照射することで、前記レジストの前記第1の電極上方領域以外の領域を感光させて前記第1の電極上方領域以外の領域を現像液に対して可溶に変性させる工程と、前記レジストを現像する工程と、このレジストをマスクとして前記材料膜をエッチングすることにより前記レジストが形成されていない領域を除去する工程とにより形成され、

前記絶縁性の保護膜となる材料膜上のレジストを感光させるために前記基板の裏面から光を照射する工程における光の強度または/および照射時間は、前記絶縁性の注入阻止膜となる材料膜上のレジストを感光させるために前記基板の裏面から光を照射する工程における光の強度または/および照射時間は、弱いまたは/および短いことを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】

前記半導体層上の絶縁性の保護膜の膜厚は、前記絶縁層の基板内での膜厚分布の再現性をあらかじめ測定することで決定することを特徴とする請求項1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置、特に、液晶表示装置(LCD: liquid crystal display)であつて、多結晶半導体層を用いた薄膜トランジスタ(TFT: thin film transistor)を表示部及び周辺部に形成した周辺駆動回路一体型LCDの製造方法に関する。

【0002】

【従来の技術】

基板上に半導体膜を作成する技術を用いることにより、集積回路の集積度を高めて大容量化を図る、あるいは、液晶を間に挟持した一対の基板の一方に、マトリクス画素部のスイッチング素子となるTFTを作り込み、高精細の動画表示を可能とするアクティブマトリ

10

20

30

40

50

クス型のLCDの量産を行う等の開発が行われている。

【0003】

特に、シリコン基板に作製されたMOSFETに近い特性を得るTFTを絶縁基板上に形成することができれば、LCDのマトリクス画素部のスイッチング素子のみならず、周辺にCMOSを形成してマトリクス画素部に所望の駆動信号電圧を供給するための周辺駆動回路を一体的に作り込むことも可能となり、いわゆるドライバー内蔵型LCDの量産を行うことができるようになる。

【0004】

ドライバー内蔵型LCDは、液晶パネルにドライバー素子の外付けを行うことが不要となるため、工程の削減、狭額縫化が可能となる。特に、狭額縫化は、近年の携帯情報端末あるいはハンディビデオカメラのモニター等の用途においては、製品自体の小型化が図られる。

10

このようなTFTとして、数百から数千の粒径を有した多数の単結晶粒（グレイン）が互いに接触した形で存在する多結晶半導体を、チャンネル層に用いることでドライバーパー部にも適用可能な高速素子とすることができます。特に多結晶シリコン即ちポリシリコン（p-Si）は、移動度が数十から数百cm²/V·s程度が得られ、非晶質シリコン即ちアモルファスシリコン（a-Si）よりも2桁大きい。このため、N-ch TFTとP-ch TFTを作成することで、LCDのドライバーとしては十分の速度を有したCMOSが形成される。

【0005】

20

特に出願人は、以前より、コストを下げるために、プロセスの温度を最高でも600程度以下とし、基板として、耐熱性の低い安価な無アルカリガラス基板等の採用を可能とする方法を開発してきた。このような、全プロセスを基板の耐熱性の限界温度以下に抑えたp-Si TFT LCDの製造プロセスは、低温プロセスと呼ばれる。

【0006】

図10に、このようなp-Si TFTの断面構造を示した。図の左側がN-ch TFTで、右側がP-ch TFTである。基板（50）上に、Cr等のメタルからなるゲート電極（51）が形成され、これを覆ってSiNxまたは/及びSiO₂等からなるゲート絶縁膜（52）が形成されている。ゲート絶縁膜（52）上には、p-Si（53）が形成されている。p-Si（53）は、この上にゲート電極（51）の形状にパターニングされたSiO₂等の注入ストッパー（54）を利用して、N-chにおいては、N型不純物を低濃度に含有した（N-）低濃度（LD：lightly doped）領域（LD）、及び、その外側にN型不純物を高濃度に含有した（N+）ソース及びドレイン領域（S、D）が形成されている。P-chにおいては、P型の不純物を高濃度に含有した（P+）ソース及びドレイン領域（S、D）が形成されている。N-ch、P-chのいずれも注入ストッパー（54）の直下は、実質的に不純物が含有されない真性層であり、チャンネル領域（CH）となっている。これら、p-Si（53）を覆ってSiNx等からなる層間絶縁膜（55）が形成され、層間絶縁膜（55）上には、メタルからなるソース電極（56）及びドレイン電極（57）が形成され、各々層間絶縁膜（55）に開けられたコンタクトホールを介して、ソース領域（S）及びドレイン領域（D）に接続されている。ここでは、省略したが、画素部においては、更に、ソース及びドレイン電極（56、57）を覆う層間絶縁膜上に、ITO(indium tin oxide)等の透明導電膜からなる液晶駆動用の表示電極が形成され、ソース電極（56）に接続される。

30

【0007】

40

N-chにおいて、ソース及びドレイン領域（S、D）とチャンネル領域（CH）の間にLD領域（LD）が介在形成された構造は、LDD（lightly doped drain）と呼ばれる。LCDにおいては、このようなLDD構造は、オフ電流の抑制を目的として採用される。

また、チャンネル領域（CH）は、あらかじめ、上述の不純物を注入する前に各々逆の導電形を示す不純物を注入しておくことにより、チャンネルドープ型としても良い。

50

【0008】

このTFTの製造は以下の如く行われる。まず、Crのスパッタリングとエッチングによりゲート電極(51)を形成した後、ゲート絶縁膜(52)となるSiNx及びSiO₂とa-SiをプラズマCVDにより一度も真空を破ることなく連続で成膜する。その後、a-Siにレーザーアニールを施して多結晶化することにより、p-Si(53)を形成する。更に、p-Si(53)上にSiO₂を成膜した後、この上にポジ型レジストを形成し、これを基板(50)側より光を照射する、いわゆる裏面露光により、ゲート電極(51)のパターン形状を反転させて感光させる。続いて、レジストを現像した後、これをマスクとして絶縁膜をエッチングすることにより、注入ストップバー(54)をゲート電極(51)と同じ形状に形成する。そして、注入ストップバー(54)(レジスト)をマスクとして、燐(P)等のN型導電を示す不純物イオンを低濃度にドーピングし、注入ストップバー(54)直下のチャンネル領域(CH)とその両側に、LD領域(LD)を形成する。その後、レジストを注入ストップバー(54)よりも大きな形状に形成し、これをマスクとして、N型不純物のイオンを高濃度のドーピングすることで、ソース及びドレイン領域(S、D)を形成する。これにより、N-chに関し、チャンネル領域(CH)とソース及びドレイン領域(S、D)の間にLD領域(LD)が介在されたLDD構造が完成される。

【0009】

P-chに関しても、同様に、ゲート電極(51)の形状を反映させて、チャンネル領域(CH)の外側に、P型不純物が高濃度にドーピングされたソース及びドレイン領域(S、D)が形成されている。但し、P-chでは、LDD構造は採用されない。その後、N-ch及びP-chのTFTを覆う層間絶縁膜(55)を成膜し、コンタクトホール(CT)を開口し、Al/Mo等のメタルの成膜及びエッチングによりソース及びドレイン電極(56、57)を形成し、各々、コンタクトホール(CT)を介して、ソース及びドレイン領域(S、D)に接続する。

【0010】**【発明が解決しようとする課題】**

ゲート絶縁膜(52)であるSiNxとSiO₂は、プラズマCVDにより成膜されるが、基板の大型化に伴って、基板内での膜厚にはらつきが生じやすくなっている。このようなプラズマ膜の膜厚のはらつきは、成膜チャンバ内における電極による放電分布、材料ガス分布、温度分布等により、不可避的であり、再現性を有して生じる。

【0011】

例えば、ゲート絶縁膜(52)の膜厚が、被処理基板内で異なる場合、ELAにて結晶化する際、ゲート電極(51)及びこれと一緒にゲートラインに沿って熱が拡散され、照射エネルギーに対して結晶化のための実効エネルギーが異なってしまう。即ち、ゲート絶縁膜(52)を介してa-Siの下層にゲート電極(51)及びゲートラインを配した構造において、レーザー光を照射して、a-Siを多結晶する際、照射エネルギーが毎瞬、下層のゲート電極(51)及びゲートラインに沿って熱拡散されるが、この時、ゲート絶縁膜(52)の膜厚が厚いほど熱拡散がされにくく、膜厚が薄い程熱拡散されやすくなる。従って、同一基板内でゲート絶縁膜(52)の膜厚と同様のはらつきが、p-Si(53)のグレインサイズにも生じてしまう。

【0012】

このように、基板面内において、p-Si(53)のグレインサイズにはらつきがあると、素子ごとに、閾値や、オンオフ比が異なり、表示画素部にあっては輝度やコントラスト比のはらつき、駆動回路部にあっては論理動作の誤作動等の問題となっていた。

【0013】**【課題を解決するための手段】**

本発明は、この課題に鑑みてなされ、基板上に半導体層と、絶縁層を挟んで前記半導体層の能動領域に対向する電極を有した半導体素子を複数有した半導体装置の製造方法において、絶縁性の保護膜を、前記半導体層と連続的に、前記絶縁層の膜厚が最も薄い半導体素子

子に最適の膜厚に形成し、この保護膜を有した半導体層にレーザーアニールを施す構成である。

【0014】

これにより、絶縁層の薄く被着した領域の素子に対しては、保護膜により効率的にレーザーエネルギーが付与され、絶縁層が厚く被着した領域の素子に対しては、保護膜により効率を落としてレーザーエネルギーが与えられる。従って、絶縁層の厚みのばらつきによるレーザーエネルギーの付与エネルギー密度のばらつきを、保護膜により吸収することで、全面にわたって均一なレーザーアニールを行うことができ、全ての素子の電気特性を揃えられる。

【0015】

また、基板上に半導体層と、絶縁層を挟んで前記半導体層の能動領域に対向する電極を有した半導体素子を複数有した半導体装置の製造方法において、基板上に電極を形成する工程と、前記電極を覆って絶縁層、絶縁層上に半導体層、及び、半導体層上に絶縁性の保護膜を、前記絶縁層の膜厚が最も薄くなる半導体素子に最適な膜厚に形成する工程と、前記絶縁性の保護膜が形成された側よりレーザー光を照射することにより、前記半導体層にレーザーアニールを施す工程と、を有する構成である。

【0016】

これにより、電極上に絶縁層および半導体層を形成した構造において、絶縁層が薄く被着した領域でレーザーアニール時に電極層により熱拡散されやすく実効エネルギーが低下しても、保護膜により効率的にエネルギーが与えられるとともに、半導体層が厚く被着した領域でレーザーアニール時に電極層により熱拡散されにくく実効エネルギーが低下しなくても、保護膜により効率を落としてエネルギーが与えられる。従って、全面にわたって均一なレーザーアニールが行われ、全ての素子の電気特性が揃えられる。

【0017】

また、基板上に半導体層と、絶縁層を挟んで前記半導体層の能動領域に対向する電極を有した薄膜トランジスタを複数有した半導体装置の製造方法において、基板上に、第1の導電層を形成する工程と、前記第1の導電層をパターニングすることにより第1の電極を形成する工程と、前記第1の電極を覆って絶縁層、絶縁層上に非晶質半導体層、及び、非晶質半導体層上に、絶縁性の保護膜となる材料膜を、前記絶縁層の膜厚が最も厚くなる薄膜トランジスタに最適な膜厚に形成する工程と、前記材料膜をパターニングして前記非晶質半導体層の前記第1の電極の上方の能動層となる領域に前記絶縁性の保護膜を形成する工程と、前記絶縁性の保護膜が形成された非晶質半導体層にレーザーアニールを施すことにより、多結晶半導体層を形成する工程と、前記絶縁性の保護膜が形成された多結晶半導体層上に、絶縁性の注入阻止膜となる材料膜を形成する工程と、前記材料膜をパターニングして前記保護膜が形成された多結晶半導体層上に、前記絶縁性の保護膜と概ね同じ形状の絶縁性の注入阻止膜を形成する工程と、少なくとも前記注入阻止膜をマスクとして、前記多結晶半導体層に対する不純物のイオン注入を行うことにより、前記多結晶半導体層の前記能動層の両側に不純物を含有した領域を形成する工程と、前記多結晶半導体層を覆い、かつ、前記多結晶半導体層の前記不純物を含有した領域上に開口部を有する層間絶縁層を形成する工程と、前記層間絶縁層上に第2の導電層を形成する工程と、前記第2の導電層をパターニングすることにより、前記開口部を介して前記多結晶半導体層の前記不純物を含有した領域に接続された第2の電極を形成する工程と、を有する構成である。

【0018】

これにより、絶縁層が薄く被着された領域には、保護膜により効率的にレーザーエネルギーが付与され、絶縁層が厚く被着された領域には、保護膜により効率を落としてレーザーエネルギーが付与されるので、半導体層に実際に作用する実効エネルギーが均一にされる。また、保護膜は、素子の電気特性に最も大きな影響を及ぼす能動領域にのみ設けられているので、レーザーアニール時に半導体層から不純物気体が離脱生成しても、気体は保護膜のわきから抜け出られるので、不純物が保護膜に飛び込んで、半導体層との界面に格子欠陥等を生じさせ、界面準位密度を上昇させてしまうといったことが防がれる。

10

20

30

40

50

【0019】

【発明の実施の形態】

図1から図8は、本発明の実施の形態にかかる製造方法を示す工程断面図である。これらの図では、N-chについて示している。

まず、図1において、無アルカリガラス、ソーダガラス等の基板(10)上に、Crを成膜しこれをエッチングすることにより、ゲート電極(11)を形成する。ゲート電極(11)は走査信号供給線であるゲートラインと一体で形成される。

【0020】

図2において、ゲート電極(11)を覆って全面に、プラズマCVDによりSiNx及びSiO₂からなるゲート絶縁膜(12)を形成し、引き続き、連続してプラズマCVDによりアモルファスシリコン(a-Si)(13a)及びSiO₂からなる保護膜(14)を一度も真空を破ることなく成膜する。a-Si(13a)は、材料ガスであるモノシリコンSiH₄、あるいは、ジシランSi₂H₄を熱及びプラズマにより分解堆積することで形成される。

10

【0021】

図3において、裏面露光法を用いて、保護膜(14)をゲート電極(11)と同一形状に形成する。即ち、保護膜(14)にポジ型レジストを塗布し、これを基板(10)の下方より光を照射して、ゲート電極(11)の影を転写し、ゲート電極(11)以外の領域を感光して現像液に対して可溶に変性させる。そして、現像後レジストをマスクとしてSiO₂のエッチングを行うことにより、ゲート電極(11)上方のみに保護膜(14)を残し、他の部分を除去する。この工程で、露光は、後に説明するように、比較的弱い光、あるいは、比較的短い時間で行われ、ゲート電極(11)の影領域を比較的大きめに感光させる。即ち、保護膜(14)を後に述べるように注入ストップ(15)よりも大きく形成する。

20

【0022】

図4において、ゲート電極(11)上方にのみ保護膜(14)が形成された状態で、エキシマレーザーアニール(ELA)を行うことにより、a-Si(13a)を結晶化して、p-Si(13)を形成する。この工程において、被処理基板は大気中に取り出され、ELA工程に搬送されるのであるが、a-Si(13a)表面の保護膜(14)が被覆された領域は、大気中の汚染が防がれる。このため、不純物イオンがトランジスタ素子内に存在して、これらの電荷により生ずる電位によりフラットバンド電圧を変動させ、閾値を平行移動させるといった問題が無くされる。また、a-Si(13a)と保護膜(14)は連続CVDにより形成されているので、両層の界面における格子欠陥が少なく、界面準位密度が小さくされている。従って、トラップが少なく、オンオフ比の高い電気特性が得られる。

30

【0023】

また、保護膜(14)は、厚さ520のSiO₂により形成されており、ELA時のレーザー光が、a-Si(13a)の表面での反射率が十分に低くされている。保護膜(14)であるSiO₂は空気よりも屈折率が大きく、かつ、a-Si(13a)よりも小さい。従って、この保護膜(14)の表面で反射される分が少なくされるとともに、保護膜(14)内で上面と下面の間に複数回反射する。この際、レーザー光の波長を λ 、SiO₂の屈折率をn、保護膜の膜厚をdとすると、

40

【0024】

【数1】

$$4nd = \lambda \quad (1)$$

【0025】

50

の式が成り立つが、 λ を308 nm、nを1.46として、d = 527 nmが得られる。従って、保護膜(14)の膜厚をこのように設定することにより、保護膜(14)とa-Si(13a)との界面を固定端として保護膜(14)内で反射光が互いに干渉して強め合う。保護膜(14)であるSiO₂の表面での反射率は、p-Si(13)表面での反射率よりも小さいので、p-Si(13)の上に保護膜(14)を形成することで、p-Si(13)へ照射される光の割合が高められる。

【0026】

そして本発明では、このような保護膜(14)の膜厚によって、照射レーザーエネルギーに対して、実際にa-Si(13a)に付与されるエネルギーの割合を制御している。通常、被処理基板の大型化に伴って、プラズマCVDにより成膜された膜の厚さには不可避的なばらつきが生ずる。特に、本実施例の構造において、ゲート絶縁膜(12)の膜厚が薄くなるほど、ゲート絶縁膜(12)の上にあるa-Si(13a)に与えたエネルギーが、ゲート絶縁膜(12)の下にあるゲート電極(11)及びそのラインに沿って熱拡散されやすくなる。即ち、熱容量が小さくなる。この結果、照射エネルギーに対する実際の結晶化のための実効エネルギーの割合が低下してしまい、p-Si(13)のグレインサイズが小さくなってしまう。

【0027】

このため、本発明では、プラズマCVDにより成膜された膜のばらつきの再現性から先算的に、ゲート絶縁膜(12)の薄く被着する領域について、(1)式に基づいた最適な膜厚に設定された保護膜(14)を形成する。例えば、本実施の形態において、ゲート絶縁膜(12)の膜厚はSiO₂が1300、SiNxが500の合計1800に設定しているが、この時、実際の膜厚のばらつきによって、最も薄く被着する領域は、SiO₂が1150、SiNxが450の合計1600程度となる。従って、保護膜(14)をこのような領域において、最適となる膜厚になるように形成することで、他の、よりゲート絶縁膜(12)の膜厚の厚い領域において、保護膜(14)の膜厚も同様のばらつきのため、最適の膜厚とは異なった厚さになる。そして、保護膜(14)の膜厚が(1)式で指定される値から離れ、保護膜(14)内での反射光が干渉して互いに弱め合う。このため、ゲート絶縁膜(12)が薄く被着した領域においては、保護膜(14)により、照射レーザーエネルギーが効率よくa-Si(13a)に付与され、逆に、ゲート絶縁膜(12)が厚く被着した領域には、保護膜(14)により照射レーザーエネルギーが減衰されて付与される。この結果、ゲート絶縁膜(12)の膜厚が薄く実効エネルギーの小さい領域においては高めのエネルギーが与えられ、ゲート絶縁膜(12)の膜厚が厚く実効エネルギーの大きい領域においては低めのエネルギーが与えられ、ゲート絶縁膜(12)の膜厚のばらつきによる熱容量のばらつきを吸収する形で、全面にわたって、均一なレーザーアニールが行われ、均質なp-Si(13)を得ることができる。

【0028】

また、このレーザーアニールにおいて、a-Si(13a)中に多量に含まれた水素が離脱するが、保護膜(14)がチャンネル領域(CH)上にのみ形成されているので、水素は保護膜(14)のわきから抜け出していく。即ち、保護膜(14)が全面に設けられた場合、水素が離脱する際に、保護膜(14)に飛び込み、p-Si(13)と保護膜(14)との良好な界面に、再び格子欠陥が生じるといった問題が防がれる。

【0029】

図5において、p-Si(13)が形成された基板上に、SiO₂を成膜し、これを図3の工程と同じ裏面露光法を用いてエッティングすることにより、保護膜(14)と同様に、ゲート電極(11)の上方に注入ストップ(15)を形成する。この時の露光は、図3の工程よりも、強い光、または、長い時間で行い、光の回り込み効果等を利用して、ゲート電極(11)の影を小さめに感光する。即ち、注入ストップ(15)を保護膜(14)よりも小さめに形成する。そして、注入ストップ(15)をエッティングする際、同じ、SiO₂からなる保護膜(14)の飛び出た部分(E)もエッティングすることにより、保護膜(14)を注入ストップ(15)と同一の形状に再形成する。

10

20

30

40

50

【0030】

そして、この注入ストップ(15)をマスクとして、p-Si(13)に対して、N型の導電形を示す燐(P)のイオン注入を、10の13乗程度の低ドーズ量で行い、注入ストップ(15)以外の領域を低濃度にドーピングする(N-)。この時、注入ストップ(15)直下即ちゲート電極(11)の直上領域は真性層に維持され、TFTのチャンネル領域(CH)となる。注入ストップ(15)をエッチングしたときのレジストはイオン注入時には残しておき、イオン注入後に剥離してもよい。

【0031】

この時、再エッチングされる前に保護膜(14)により保護されたチャンネル領域(CH)の両端は、再エッチングされた注入ストップ(15)および保護膜(14)からはみ出される。従って、注入ストップ(15)および保護膜(14)のエッジにより、エッジが規定された低濃度領域(N-)は、膜質の良好なチャンネル領域(CH)から離間されることなく形成される。

【0032】

通常、チャンネル領域(CH)において、可動イオンや界面準位が閾値特性に影響を及ぼし、チャンネル領域(CH)領域端部ではリーク電流を招くのであるが、LD領域(LD)や、ソースおよびドレイン領域(S、D)では、不純物イオンの濃度が電気抵抗に大きな影響を与える。従って、チャンネル領域(CH)の端部で、保護膜(14)によって保護されない領域が存在して電気特性に影響を与えることを防ぐことにより、良好な電気特性を有した素子を得ることができる。

【0033】

図6において、ゲート電極(11)よりも少なくともチャンネル長方向に大きなレジスト(R)を形成し、これをマスクとして、p-Si(13)に対する燐(P)のイオン注入を、10の15乗程度の高ドーズ量で行い、レジスト(R)以外の領域を高濃度にドーピングする(N+)。この時、レジスト(R)の直下領域には、低濃度領域(N-)及びチャンネル領域(CH)が維持されている。これにより、チャンネル領域(CH)の両側に各々低濃度のLD領域(LD)を挟んで高濃度のソース及びドレイン領域(S、D)が存在したLDD構造が形成される。

【0034】

レジスト(R)の剥離後、不純物イオンのドーピングを行ったp-Si膜の結晶性の回復と、不純物の格子置換を目的として、加熱、あるいはレーザー照射等の活性化アニールを行う。

続いて、このp-Si(14)をエッチングすることによりTFTの必要領域にのみ残し島状化する。

【0035】

図7において、SiNx等からなる層間絶縁層(16)を形成し、ソース及びドレイン領域(S、D)に対応する部分をエッチングで除去することによりコンタクトホール(CT)を形成し、p-Si(13)を一部露出させる。

図8において、Al/Mo等を成膜し、これをエッチングすることにより、各々コンタクトホール(CT)を介してソース領域(S)に接続するソース電極(17)、及び、ドレイン領域(D)に接続するドレイン電極(18)を形成し、TFTが完成する。

【0036】

図9は、本発明に関し、図4のELA工程における被処理基板(1)の様子を示す平面図である。即ち、被処理基板(1)は、無アルカリガラス等の基板(10)上に、ゲート電極(11)及びそのライン、ゲート絶縁膜(12)、a-Si(13a)、保護膜(14)が形成されたものである。そして、表示画素がマトリクス状に配置形成される予定の表示画素部(2)と、その周辺に配置形成される予定のゲートドライバー(3)及びドレインドライバー(4)とからなるLCD(5)が6枚含まれている。表示画素部(5)では、前述のTFTがマトリクス状に配置形成され、各々、液晶駆動用の画素容量の一方の電極に接続されている。後に完成されるTFTのゲート電極(11)は図の横方向の同一行

10

20

30

40

50

に関して、同一のラインに接続され、ドレイン電極(18)は図の縦方向の同一列に関して同一のラインに接続されている。ゲートドライバー(4)は主にシフトレジスタからなり、ドレインドライバー(5)は主にシフトレジスタ及びサンプル回路からなり、これらのドライバーは、N-chおよびP-ch TFTからなるCMOSにより構成されている。

【0037】

ELAは、シートビーム状のパルスレーザー照射であり、図のCで示すようなライン状のエッジラインを有したシートビームを順次ずらしていくことで全面をアニールするものである。

前述の如く、プラズマCVDにより形成されたゲート絶縁膜(12)及び保護膜(14)は、装置に固有的な膜厚のばらつきが生成している。例えば、ゲート絶縁膜(12)が、図の2点鎖線で囲まれた領域に薄く被着し、その他の領域では厚く被着しているとする。この時、前述の如く、ELAを均一に行っても、ゲート絶縁膜(12)の膜厚が薄い領域は熱容量が小さく、a-Si(13a)に与えられる実効エネルギーが小さくなり、逆に、ゲート絶縁膜(12)の膜厚が厚い領域については熱容量が大きく実効エネルギーも大きくなる。このように実際に与えられるエネルギーが異なると、p-Si(13)のグレインサイズも面内で異なってしまう。図に示すように、1枚のLCD(5)に関して、p-Si(13)のグレインサイズが異なった領域が存在すると、TFTの電気特性が不均一となり、表示画素部(5)で輝度やコントラスト比の分布が生じたり、ドライバー(4、5)の動作不良となったりする。

【0038】

このため、本発明では、あらかじめゲート絶縁膜(12)の膜厚のばらつきの再現性を調べ、図の2点鎖線で囲まれた、ゲート絶縁膜(12)が薄く被着する領域において、保護膜(14)の膜厚を前記(1)式に基づいて最適に設定する。保護膜(14)であるSiO₂はゲート絶縁膜(12)と同じプラズマCVDにより成膜されるので、ゲート絶縁膜(12)と同様の膜厚のばらつきが生じる。このため、2点鎖線で囲まれた領域は、膜厚が最適設定された保護膜(14)により、高い割合でレーザーエネルギーが与えられて実効エネルギーを比較的高めるように作用し、逆に、2点鎖線で囲まれた以外の領域では、膜厚が最適値からずれてレーザーエネルギーを減衰させて与えられる。このため、被処理基板(1)の全域にわたって均一なレーザーアニールが行われ、均質なp-Si(13)が得られる。

【0039】

【発明の効果】

以上の説明から明らかな如く、本発明で、基板上に、電極と半導体層を形成した半導体装置の製造において、能動層となる半導体層上に、半導体層と同様の方法で成膜した絶縁性の保護膜を配する構造とすることにより、半導体層へレーザーアニールを行う際、半導体層の膜厚のばらつきによるアニールの実効性の差異が、保護膜の同様の膜厚のばらつきにより逆転的に吸収される。このため、全域にわたって均一なレーザーアニールが成されて均質な半導体層が得られ、全面の半導体素子の電気特性が統一され、高品質な半導体装置が作製される。

【図面の簡単な説明】

【図1】本発明の実施の形態にかかる半導体装置の製造方法を示す工程断面図である。

【図2】本発明の実施の形態にかかる半導体装置の製造方法を示す工程断面図である。

【図3】本発明の実施の形態にかかる半導体装置の製造方法を示す工程断面図である。

【図4】本発明の実施の形態にかかる半導体装置の製造方法を示す工程断面図である。

【図5】本発明の実施の形態にかかる半導体装置の製造方法を示す工程断面図である。

【図6】本発明の実施の形態にかかる半導体装置の製造方法を示す工程断面図である。

【図7】本発明の実施の形態にかかる半導体装置の製造方法を示す工程断面図である。

【図8】本発明の実施の形態にかかる半導体装置の製造方法を示す工程断面図である。

【図9】本発明の作用効果実施を示す工程平面図である。

10

20

30

40

50

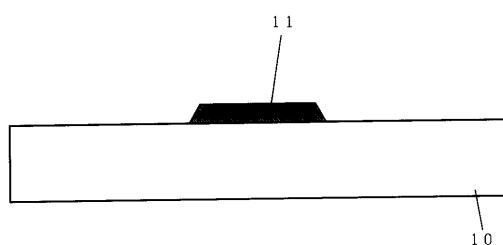
【図10】従来の半導体装置の断面図である。

【符号の説明】

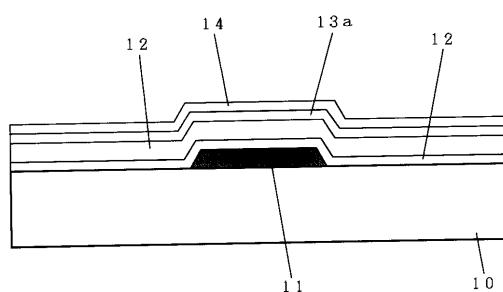
- 10 基板
- 11 ゲート電極
- 12 ゲート絶縁膜
- 13 p-Si
- 14 保護膜
- 15 注入ストッパ
- 16 層間絶縁層
- 17 ソース電極
- 18 ドレイン電極

10

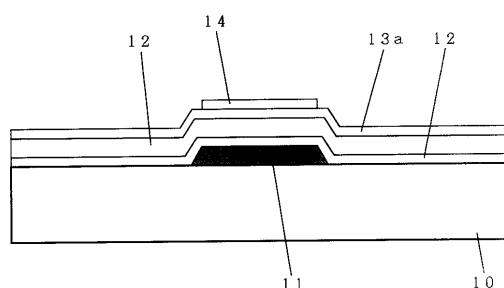
【図1】



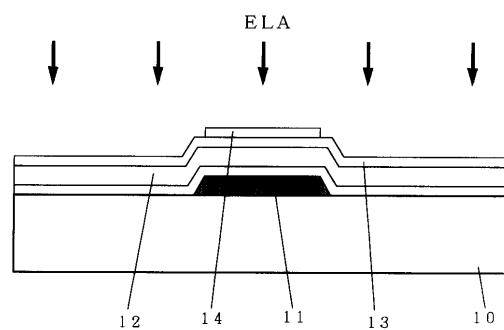
【図2】



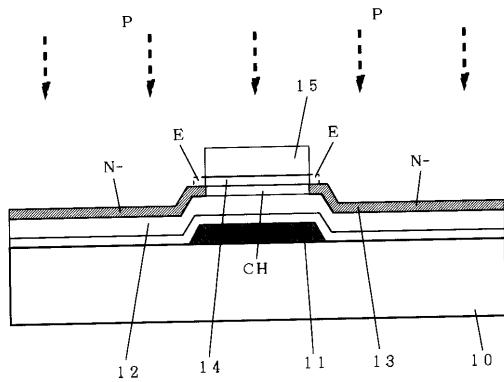
【図3】



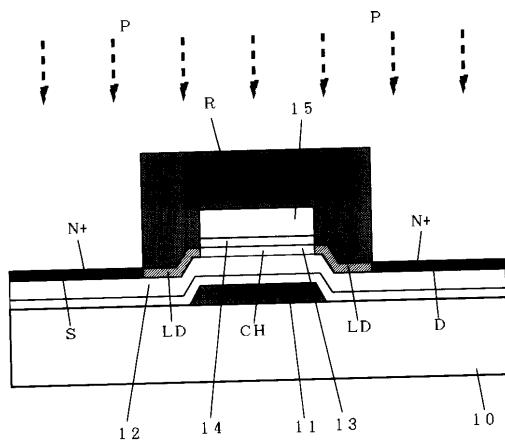
【図4】



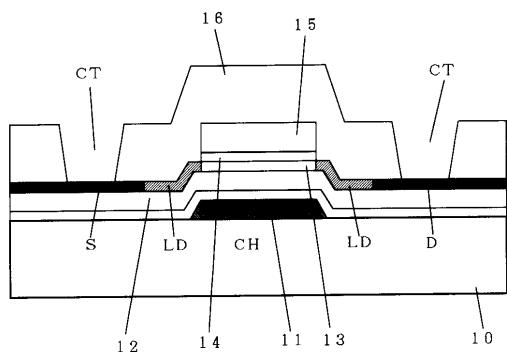
【図5】



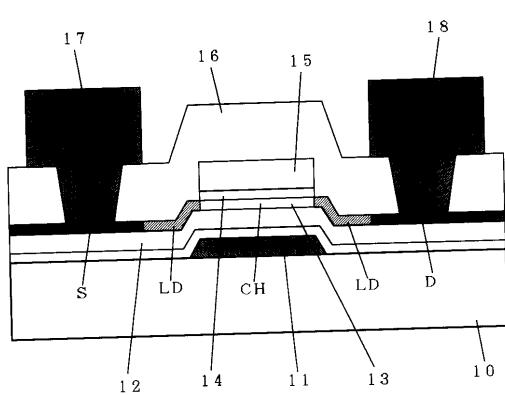
【図6】



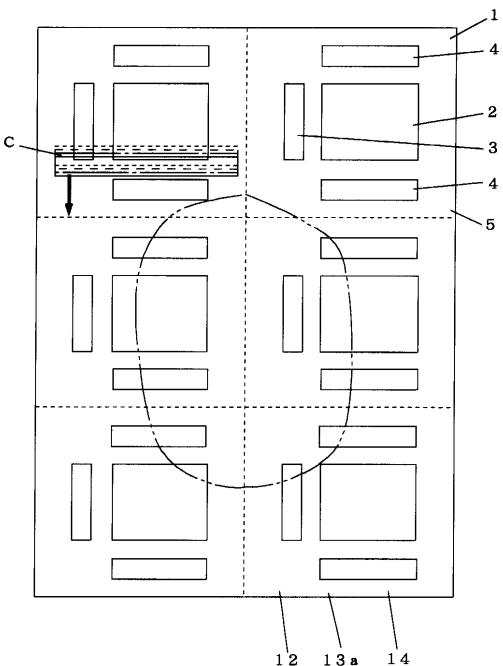
【図7】



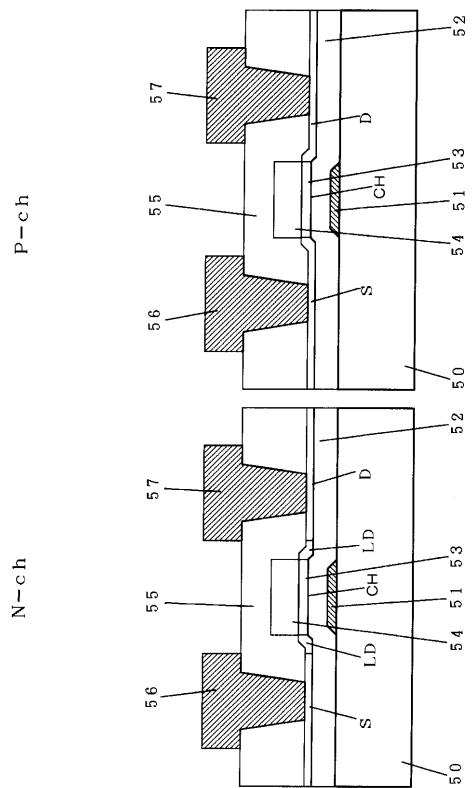
【図8】



【図9】



【図10】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

G02F 1/1368

G02B 26/02