

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 9 月 10 日(10.09.2010)

PCT

(10) 国際公開番号
WO 2010/100741 A1

(51) 国際特許分類:

H03F 3/08 (2006.01) H03F 3/50 (2006.01)
H03F 1/22 (2006.01) H04B 10/00 (2006.01)
H03F 1/34 (2006.01)

(21) 国際出願番号: PCT/JP2009/054172

(22) 国際出願日: 2009 年 3 月 5 日(05.03.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒1008280 東京都千代田区丸の内一丁目 6 番 6 号 Tokyo (JP).

(72) 発明者: および

(75) 発明者/出願人 (米国についてのみ): 竹本 享史 (TAKEMOTO, Takashi) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 山下 寛樹 (YAMASHITA, Hiroki) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 齊藤 達也 (SAITO, Tatsuya) [JP/JP]; 〒1858601 東京都国分

寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内 Tokyo (JP).

(74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒1600022 東京都新宿区新宿 2 丁目 3 番 1 0 号 新宿御苑ビル 3 階 筒井国際特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

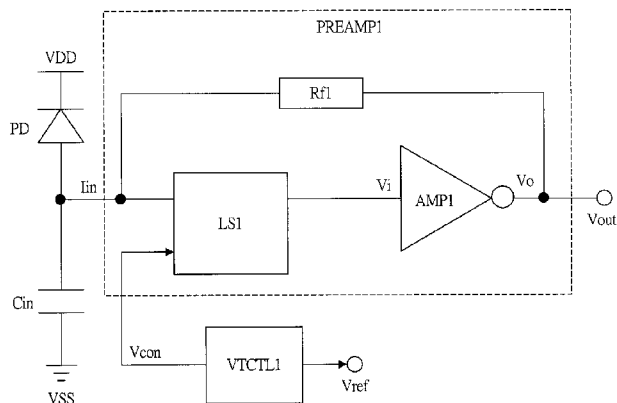
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF,

[続葉有]

(54) Title: OPTICAL COMMUNICATION APPARATUS

(54) 発明の名称: 光通信装置

図 1



(57) Abstract: Provided is an optical communication apparatus capable of operating at high speed. For example, there are included a preamplifier circuit (PREAMP1) that amplifies and converts a current signal (I_{in}) input from a photodiode (PD) to a voltage signal; and an operating point control circuit (VTCTL1) that controls the operation of the preamplifier circuit (PREAMP1). The preamplifier circuit (PREAMP1) includes a negative feedback path using a feedback resistor (R_{f1}) and comprises a level shift circuit (LS1) that performs a level shift in accordance with an operating point control signal (V_{con}) and an amplifier circuit (AMP1) that is connected in the stage next to the level shift circuit (LS1) and performs a high-gain amplification. The operating point control circuit (VTCTL1) includes a replica circuit, which is constituted by the same circuit and circuit parameter as the amplifier circuit (AMP1) and the input and output of which are electrically connected to each other, and is operative to generate the operating point control signal (V_{con}) such that the output DC level of the replica circuit is identical to the input DC level of the amplifier circuit (AMP1).

(57) 要約:

[続葉有]



WO 2010/100741 A1



CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, 添付公開書類:
TG).

— 国際調査報告 (条約第 21 条(3))

高速動作可能な光通信装置を提供する。例えば、フォトダイオードPDからの電流信号 I_{in} を増幅すると共に電圧信号に変換するプリアンプ回路 $PREAMP1$ と、 $PREAMP1$ の動作を制御する動作点制御回路 $VTCTL1$ を備える。 $PREAMP1$ は、帰還抵抗 R_{f1} による負帰還経路を含んでおり、動作点制御信号 V_{con} に応じてレベルシフトを行うレベルシフト回路 $LS1$ と、その次段に接続され、高利得な増幅を行うアンプ回路 $AMP1$ を備えている。 $VTCTL1$ は、その内部に、 $AMP1$ と同一の回路および回路パラメータで形成されると共に入出力間が電氣的に接続されたレプリカ回路を含み、このレプリカ回路の出力DCレベルと $AMP1$ の入力DCレベルが一致するような V_{con} を生成する。

明 細 書

光通信装置

技術分野

[0001] 本発明は、光通信装置に関し、特に、トランスインピーダンスアンプ (TIA: trans impedance amplifier) を備えた光通信装置に適用して有効な技術に関する。

背景技術

[0002] 例えば、非特許文献1のFig. 4やFig. 5には、アンプ回路と、このアンプ回路の入出力間に帰還抵抗を備えた負帰還構成のTIAが示されている。Fig. 5では、このアンプ回路が、ゲート接地増幅段、ソース接地増幅段、およびソースフォロワ段からなる3段で構成されている。また、Fig. 4では、ゲート接地増幅段においてノイズを低減するための回路パラメータ設定方法が示され、Fig. 5では、ゲート接地増幅段やソース接地増幅段の負荷素子にインダクタンスを用いて帯域を延ばす方式が示されている。

[0003] 非特許文献2のFig. 2には、オープンループ構成のTIAが示されている。このTIAは、初段にゲート接地増幅段、後段にソース接地段およびゲート接地増幅段からなる増幅段を備え、後段のゲート接地段がソース接地段によってゲインブーストされた構成となっている。各MOSTランジスタは、大きいゲート幅で形成され、これによって帯域の向上が図られている。

非特許文献1: Chih-Fan Liao, Shen-Iuan Liu, “40 Gb/s Transimpedance-AGC Amplifier and CDR Circuit for Broadband Data Receivers in 90 nm CMOS”, IEEE Journal of Solid-State Circuits, Vol. 43, No. 3, 2008年3月, p. 642—648

非特許文献2: C.Kromer、他5名、“A 40 Gb/s Optical Receiver in 80-nm CMOS for Short-Distance High-Density Interconnects”, IEEE Asian Solid-State Circuits Conference 2006(ASSCC 2006)、2006年11月, p. 395—398

発明の開示

発明が解決しようとする課題

[0004] 図16は、本発明の前提として検討した光通信装置において、その構成の一例を示

す概略図である。図16に示す光通信装置は、光入力に伴い生成されたフォトダイオードPDからの電流信号を増幅すると共に電圧信号に変換するプリアンプ回路PREAMP__Cと、その出力を増幅するポストアンプ回路PSAMPと、その出力を更に増幅するリミットアンプ回路LMTAMPによって構成される。特に、限定はされないが、PREAMP__Cは、数十～数百 μ Aの電流信号を10mV程度の電圧信号に変換し、それを受けてPSAMPは、200mV～300mVの電圧信号を生成し、それを受けてLMTAMPは500mV程度の電圧信号を生成する。LMTAMPは、その後段される図示しないロジック回路(例えばCDR(Clock Data Recovery)回路など)の論理レベルまで増幅する回路である。

[0005] 前述したように、PDに入力される電流信号は微小であり、また、近年では数十Gbpsを超える通信が行われることから、PREAMP__Cでは、高い増幅率(例えば50dB程度)や高速性に加えて、特に、低雑音化が重要となる。PSAMPは、PREAMP__Cを介して十分な入力電圧信号が得られれば、増幅率(例えば20dB程度)や低雑音化等よりも高速性に重点に置く必要がある。例えば、PREAMP__Cの4/3倍程度の帯域とすることが望ましい。なお、図16では、PREAMP__Cがシングル入出力のアンプ回路であり、PSAMPが差動入出力のアンプ回路であるため、PSAMPの一端には、基準電圧を生成する基準電圧生成回路VREFGが設けられる。VREFGは、例えば、PREAMP__Cの出力に対してロウパスフィルタによりDC成分を検出すること等で実現できるが、この場合、面積の増大が懸念される。

[0006] 図17(a)～(c)は、図16におけるプリアンプ回路PREAMP__Cの詳細を示した説明図である。図17(a)に示すように、PREAMP__Cは、負の増幅率(G)となるアンプ回路AMP__Cとその入出力間に接続された帰還抵抗 R_f からなる負帰還回路となっている。このようなPREAMP__Cでは、その入力容量を C_{in} とすると、図17(b)に示すように、トランスインピーダンスは $G/(1+G) \times R_f$ となり、高域遮断周波数は $G/(2\pi \cdot R_f \cdot C_{in})$ となる。したがって、増幅率(G)を上げれば、帯域を延ばすことができる。

[0007] ここで、増幅率(G)を上げる場合には、例えば、非特許文献1に示されるように複数の増幅段(ゲート接地増幅段およびソース接地増幅段)を設けることが考えられる。し

かしながら、通常、増幅段の段数を増やすとその分ノイズ量も増大し、また、初段がゲート接地増幅段の場合には、入力インピーダンスを小さくできる利点はあるものの、特にノイズに対する感度が大きくなる。

[0008] そこで、例えば、増幅率が非常に高い1段構成のアンプ回路を用いることが考えられる。しかしながら、増幅率が高いと、図17(c)に示すように、その動作点を精度よく定めることが困難となる。図17(c)では、AMP_Cの入力電圧 V_i と出力電圧 V_o の特性例が示されており、増幅率が高いということは、その傾き(V_o/V_i)が急峻となることを意味する。この場合、例えば、プロセスばらつき等に伴い動作点が設計値から僅かにずれた際にも、その増幅率が大きく変わってしまい、所定の性能が得られない恐れがある。

[0009] 一方、例えば、非特許文献2に示されるオープンループ構成のアンプ回路を用いると、初段のゲート接地段によって、ノイズの問題はあるものの低入力インピーダンス(これによる帯域の向上)を実現でき、後段の増幅段によって増幅率の向上(帯域の向上にも寄与する)を実現できる。しかしながら、この非特許文献2の構成では、各MOSトランジスタが、大きいゲート幅で構成されるため、回路内部の寄生容量に伴い帯域が制限される恐れがある。

[0010] 本発明は、このようなことを鑑みてなされたものであり、その目的の一つは、高速動作可能な光通信装置を提供することにある。本発明の前記並びにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

課題を解決するための手段

[0011] 本願において開示される発明のうち、代表的な実施の形態の概要を簡単に説明すれば、次のとおりである。

[0012] 本実施の形態による光通信装置は、フォトダイオードからの電流信号を増幅すると共に電圧信号に変換するプリアンプ回路と、このプリアンプ回路を制御する動作点制御回路を備えるものとなっている。プリアンプ回路は、増幅経路と、帰還抵抗を含むフィードバック経路を含んだ負帰還構成となっており、増幅経路に、第1レベルシフト回路とその次段に接続された第1アンプ回路を含んでいる。第1レベルシフト回路は、動作点制御回路からの第1制御信号に応じてレベルシフト動作を行う。動作点制御

回路は、第1アンプ回路と同一の回路および回路パラメータで構成されると共に入出力間が電氣的に接続されたレプリカ回路を含み、このレプリカ回路の出力信号の直流電圧レベルと、第1アンプ回路の入力信号の直流電圧レベルとが一致するように第1制御信号を生成する。

[0013] このような構成を用いると、レプリカ回路の出力から得られる論理しきい値電圧を第1アンプ回路の動作点として設定することができ、これに伴い、第1アンプ回路に、高利得かつ安定した動作を行わせることが可能になる。その結果、負帰還構成となるプリアンプ回路の高周波帯域が拡大し、光通信装置の高速化が実現可能になる。

[0014] ここで、動作点制御回路は、レプリカ回路に加えて、例えば、フォトダイオードからの電流信号の直流レベルと同一の直流電流を生成する第1電流源と、レプリカ用プリアンプ回路と、第2アンプ回路によって構成することができる。レプリカ用プリアンプ回路は、プリアンプ回路と同一の回路および回路パラメータで構成され、第1電流源からの直流電流を入力として増幅動作を行う。第2アンプ回路は、レプリカ用プリアンプ回路内の第1アンプ回路の入力信号とレプリカ回路の出力信号とを差動増幅し、第1制御信号を出力する。そして、プリアンプ回路およびレプリカ用プリアンプ回路内の各第1レベルシフト回路は、この第1制御信号を受けてレベルシフト動作を行う。

[0015] このように、プリアンプ回路のDC的な動作を擬似した動作点制御回路を用いて第1制御信号を生成することで、プリアンプ回路内の第1アンプ回路の動作点を常に安定して定めることが可能となる。その結果、光通信装置の高速化が図れる。さらに、レプリカ用プリアンプ回路の出力は、プリアンプ回路の後段に通常設けられるポストアンプ回路のリファレンス信号として用いることも可能である。すなわち、ポストアンプ回路は、このリファレンス信号を基準として、プリアンプ回路からの出力信号を差動増幅する。これによって、このリファレンス信号を生成する回路(例えばロウパスフィルタ)が別途必要でなくなる。更に、このリファレンス信号の電圧レベルは、最適な値(プリアンプ回路の出力電圧振幅の中心)となるため、ポストアンプ回路の高速化も図ることが可能となる。

発明の効果

[0016] 本願において開示される発明のうち、代表的な実施の形態によって得られる効果を

簡単に説明すると、光通信装置の高速化が実現可能になる。

図面の簡単な説明

- [0017] [図1]本発明の実施の形態1による光通信装置において、その主要部の構成例を示すブロック図である。
- [図2]図1の光通信装置において、その動作点制御回路の構成例を示すブロック図である。
- [図3]図1および図2を備えた光通信装置において、その詳細な構成例を示す回路図である。
- [図4](a)～(f)は、図1のプリアンプ回路において、そのアンプ回路の詳細な構成例を示す回路図である。
- [図5]本発明の実施の形態2による光通信装置において、その主要部の構成例を示す回路図である。
- [図6]本発明の実施の形態3による光通信装置において、その主要部の構成例を示すものであり、(a)はそのブロック図、(b)は(a)におけるプリアンプ回路の詳細な構成例を示す回路図である。
- [図7]本発明の実施の形態4による光通信装置において、その主要部の構成例を示すブロック図である。
- [図8]図7のプリアンプ回路において、そのアンプ回路の詳細な構成例を示す回路図である。
- [図9]本発明の実施の形態5による光通信装置において、(a)はその主要部の構成例を示すブロック図であり、(b)は(a)におけるプリアンプ回路の詳細な構成例を示す回路図である。
- [図10]本発明の実施の形態6による光通信装置において、その構成の一例を示すブロック図である。
- [図11]図10の光通信装置において、そのポストアンプ回路の一例を示すものであり、(a)はその構成例を示す概念図、(b)は(a)の動作例を示す説明図である。
- [図12]本発明の実施の形態7による光通信装置を示すものであり、(a)はその構成例を示すブロック図、(b)は(a)の効果の一例を示す説明図である。

[図13]本発明の実施の形態8による光通信装置において、その構成の一例を示すブロック図である。

[図14]図13の光通信装置において、(a)、(b)のそれぞれは、そのプリアンプ回路の詳細な構成例を示す回路図である。

[図15]図12の比較対象として検討した光通信装置の構成例を示すブロック図である。

[図16]本発明の前提として検討した光通信装置において、その構成の一例を示す概略図である。

[図17](a)～(c)は、図16におけるプリアンプ回路の詳細を示した説明図である。

符号の説明

- [0018] AMP アンプ回路
 Cin 入力容量
 Cos 容量
 DRV 出力ドライバ回路
 IS 定電流源
 ISV 可変電流源
 L インダクタ
 LMTAMP リミットアンプ回路
 LS レベルシフト回路
 MN NMOSトランジスタ
 MP PMOSトランジスタ
 OSCTL オフセット補正回路
 PD フォトダイオード
 PREAMP プリアンプ回路
 PSAMP ポストアンプ回路
 R, Ros 抵抗
 REP レプリカ回路
 Rf 帰還抵抗

VDD, VCC 電源電圧

VREFG 基準電圧生成回路

VREG レギュレータ回路

VSS 接地電圧

VTCTL 動作点制御回路

Vc 動作点補正信号

Vcon 動作点制御信号

Vos オフセット電圧

Vref 基準電圧

発明を実施するための最良の形態

[0019] 以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらは互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等(個数、数値、量、範囲等を含む)に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

[0020] さらに、以下の実施の形態において、その構成要素(要素ステップ等も含む)は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

[0021] また、実施の形態の各機能ブロックを構成する回路素子は、特に制限されないが、公知のCMOS(相補型MOSトランジスタ)等の集積回路技術によって、単結晶シリコンのような半導体基板上に形成される。なお、実施の形態では、MISFET(Metal Insulator Semiconductor Field Effect Transistor)の一例としてMOS(Met

al Oxide Semiconductor)トランジスタを用いる。図面において、Pチャネル型MOSトランジスタ(PMOSトランジスタ)にはゲートに丸印の記号を付すことで、Nチャネル型MOSトランジスタ(NMOSトランジスタ)と区別することとする。図面にはMOSトランジスタの基板電位の接続は特に明記していないが、MOSトランジスタが正常動作可能な範囲であれば、その接続方法は特に限定しない。

[0022] 以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

[0023] (実施の形態1)

図1は、本発明の実施の形態1による光通信装置において、その主要部の構成例を示すブロック図である。図1に示す光通信装置は、光入力に伴うフォトダイオードPDからの電流信号 I_{in} を受けて、それを増幅すると共に電圧信号に変換するプリアンプ回路PREAMP1と、動作点制御回路VTCTL1によって構成される。PREAMP1は、図16に示したプリアンプ回路PREAMP_Cの代わりに適用されるものである。

[0024] PREAMP1は、負帰還構成のトランスインピーダンスアンプ(TIA)となっており、レベルシフト回路LS1と、その出力を入力とし、負の増幅率を備えたアンプ回路AMP1と、AMP1の出力とLS1の入力の間に接続された帰還抵抗 R_{f1} によって構成される。PDからの電流信号 I_{in} は、 R_{f1} を介して電圧信号に変換され、 R_{f1} の一端およびAMP1の出力となる出力ノード V_{out} に生成される電圧信号は、AMP1の増幅率が高い場合は、ほぼ $I_{in} \times R_{f1}$ となる。

[0025] AMP1は、1段の増幅段で構成され、その増幅率(出力電圧信号 V_o /入力電圧信号 V_i)は非常に大きい値に設計されている。これによって、図16および図17で述べたように、低雑音特性と高速性を実現できる。しかしながら、図17(c)に示したように、プロセスばらつき等に伴いAMP1の動作点の変動した場合には、所望の増幅率が得られず、PREAMP1の高速性が阻害される恐れがある。

[0026] そこで、VTCTL1が設けられる。VTCTL1は、詳細は後述するが、AMP1と同一の回路構成ならびに素子パラメータを備えたレプリカ回路を含み、このレプリカ回路を利用してAMP1の動作点を定めるための動作点制御信号 V_{con} を生成する。LS1

は、代表的にはソースフォロワ回路で構成され、 I_{in} に伴う極微小な電圧信号が持つDCレベルを V_{con} に応じてレベルシフトし、それをAMP1に出力する。これによって、AMP1の動作点は、このレベルシフトを介して適切な値に定められ、その結果、AMP1にて所望の増幅率が得られると共に、PREAMP1の高速化が図れる。また、LS1を、ソースフォロワ回路等のようにゲート入力 of トランジスタで構成することで、低雑音化も図ることが可能となる。なお、VTCTL1は、詳細は後述するが、 V_{con} に加えて、出力ノード V_{out} における出力信号のDC成分となる基準電圧 V_{ref} も生成する。

[0027] 図2は、図1の光通信装置において、その動作点制御回路VTCTL1の構成例を示すブロック図である。図2に示す動作点制御回路VTCTL1は、図1のフォトダイオードPDを反映した回路となる定電流源IS1と、図1のプリアンプ回路PREAMP1を反映したレプリカ用プリアンプ回路となる、レベルシフト回路LS2、アンプ回路AMP1a、および帰還抵抗 R_{f1a} を備え、加えてアンプ回路AMP2およびレプリカ回路REPを有している。図2のIS1、LS2、AMP1a、 R_{f1a} 間の接続関係は、図1のPD、LS1、AMP1、 R_{f1} 間の接続関係と同一である。AMP1aおよび R_{f1a} は、図1のPREAMP1におけるAMP1および R_{f1} と同一の回路(回路パラメータも含む)で構成される。IS1は、図1におけるPDのDC電流と同じ電流を生成する。

[0028] レプリカ回路REPは、図1のAMP1および図2のAMP1aと同一の回路(回路パラメータも含む)となるアンプ回路AMP1bと、その入出力間に接続された帰還抵抗 R_{f2} を備えている。 R_{f2} は、AMP1bの発振を防止すると共に、AMP1bの入出力間を電氣的に短絡するためのものである。このような構成によって、AMP1bの出力は、その論理閾値レベルに収束することになる。AMP2は、このAMP1bの出力を(−)入力、LS2の出力(AMP1aの入力)を(+)入力として差動増幅動作を行い、動作点制御信号 V_{con} を出力する。この V_{con} は、前述した図1のPREAMP1のLS1に出力されると共に、図2のLS2にも出力される。

[0029] LS2は、図1のPREAMP1のLS1とほぼ同様の回路(回路パラメータも含む)で構成され、 V_{con} に基づいてIS1に伴うDC電圧信号をレベルシフトし、AMP1aおよびAMP2に向けて出力する。AMP2は、十分に大きな増幅率を備え、このLS2を介した帰還によって、AMP1aへの入力電圧レベルとAMP1bの出力となる論理閾値レ

ベルとが一致するような値となる動作点制御信号 V_{con} を生成する。そして、この V_{con} は、図1のPREAMP1におけるLS1に供給され、その結果、PREAMP1におけるAMP1への入力電圧信号 V_i も、図2のAMP1bからの論理閾値レベルに一致することになる。したがって、AMP1は、増幅率が高い論理閾値レベルを動作点として増幅動作を行うことになるため、前述したように、PREAMP1の高速化を図ることが可能となる。

[0030] なお、図2のLS2と図1のLS1との違いは、LS2が、動作点補正信号 V_c によってもレベルシフト量を補正可能になっている点にある。AMP1、AMP1aおよびAMP1bは、同一の回路であり、同一の半導体チップ上に形成された場合には通常同様のプロセスばらつきを受けるため、動作点補正信号 V_c は、必ずしも設ける必要はない。ただし、例えば、これらのばらつき度合いが異なるような場合には、 V_c によって補正を行うこともできる。また、図2のAMP1aの出力は、前述した基準電圧 V_{ref} として使用される。

[0031] 図3は、図1および図2を備えた光通信装置において、その詳細な構成例を示す回路図である。図3のプリアンプ回路PREAMP1において、レベルシフト回路LS1は、NMOSTランジスタMN20と、そのソースに接続された可変電流源ISV1とを備えたソースフォロワ回路となっている。MN20は、ゲートにフォトダイオードPDと帰還抵抗 R_{f1} が並列に接続され、ソースから出力信号 V_{th} を出力する。ISV1は、動作点制御信号 V_{con} に応じてその電流値が制御され、これに伴い V_{th} のDCレベルを制御する。アンプ回路AMP1は、PMOSTランジスタMP10およびNMOSTランジスタMN10からなるCMOSインバータ回路で構成され、LS1からの V_{th} を入力として動作を行う。AMP1の出力は、出力ノード V_{out} に接続されると共に、帰還抵抗 R_{f1} を介してMN20のゲートに接続される。

[0032] 図3の動作点制御回路VTCTL1において、レベルシフト回路LS2は、NMOSTランジスタMN20aと、そのソースに接続された2つの可変電流源ISV1a、ISV2とを備えたソースフォロワ回路となっている。MN20aは、前述したMN20と同一の回路パラメータを備え、ゲートに定電流源IS1と帰還抵抗 R_{f1a} が並列に接続され、ソースから出力信号 V_{th}' を出力する。IS1は、図3に示すように、PDの電流信号 I_{in} におけるD

Cレベルの電流値 I_b に設定される。ISV1aは、前述したISV1と同一の回路パラメータを備え、 V_{con} に応じてその電流値が制御され、これに伴い V_{th}' のDCレベルを制御する。ISV2は、動作点補正信号 V_c に応じてその電流値が制御され、 V_{th}' のDCレベルを微調整する。

[0033] アンプ回路AMP1aは、PMOSTランジスタMP10aおよびNMOSTランジスタMN10aからなるCMOSインバータ回路で構成され、AMP1のCMOSインバータ回路と同一の回路パラメータで形成される。AMP1aは、LS2からの V_{th}' を入力として動作を行い、その出力となる基準電圧 V_{ref} が、帰還抵抗 R_{f1a} を介してMN20aのゲートに入力される。レプリカ回路REPは、PMOSTランジスタMP10bおよびNMOSTランジスタMN10bからなるCMOSインバータ回路と、その入出力間に接続された帰還抵抗 R_{f2} とで構成され、このCMOSインバータ回路は、AMP1のCMOSインバータ回路と同一の回路パラメータで形成される。AMP2は、REPのCMOSインバータ回路からの出力信号 V_{th}'' とLS2の出力信号 V_{th}' を入力として、制御信号 V_{con} を出力する。

[0034] この図3のように、プリアンプ回路PREAMP1内のアンプ回路AMP1を1段のCMOSインバータ回路で構成することで、高利得化と低雑音化が図れる。また、PREAMP1内のレベルシフト回路LS1をソースフォロワ回路で構成することでも低雑音化が図れる。したがって、前述したように、動作点制御回路VTCTL1を用いてAMP1の動作点を適切に定めることで、プリアンプ回路の高速化と低雑音化が実現可能になる。

[0035] 図4(a)～(f)は、図1のプリアンプ回路PREAMP1において、そのアンプ回路AMP1のそれぞれ異なる詳細な構成例を示す回路図である。図4(a)に示すアンプ回路は、図3の場合と同様に、PMOSTランジスタMP40およびNMOSTランジスタMN40からなるCMOSインバータ回路で構成される。図4(b)に示すアンプ回路は、図4(a)と同様のMP40およびMN40からなるCMOSインバータ回路において、更に、その出力ノード(V_o)とMN40のドレインの間に、固定電圧 V_b をゲート電圧とするゲート接地のNMOSTランジスタMN41が挿入された構成となっている。MN40とMN41は、所謂カスコード接続となる。これによって、MN40のミラー容量(ゲートドレイン

間容量 C_{gd})が低減されると共に、MN41のドレインでの出力インピーダンスが増大するため、アンプ回路自身の高周波特性の向上や高利得化が図れる。

[0036] 図4(c)に示すアンプ回路は、図4(b)と同様のMP40, MN40, MN41からなるカスコード接続付きのCMOSインバータ回路において、更に、その出力ノード(V_o)とMP40のドレインの間に、インダクタ L_1 が挿入された構成となっている。アンプ回路の高利得化を図るためには、各MOSTランジスタのサイズを大きく設計して、相互コンダクタンス g_m を大きくする必要がある。そうすると、自身の寄生容量に伴う帯域の低下が懸念される。特に、NMOSTランジスタよりもドライブ能力が低いPMOSTランジスタMP40に伴う帯域低下が問題となる。そこで、 L_1 を設けると、高周波領域において、インピーダンスの上昇に伴い利得の向上(すなわちピーキング)が図れるため、図4(b)の場合よりも更に高周波特性を向上させることができる。

[0037] 図4(d)～(f)に示すアンプ回路は、それぞれ、図4(a)～(c)に示すアンプ回路におけるPMOSTランジスタMP40を抵抗 R_1 に置き換えた構成となっている。前述したように、PMOSTランジスタは駆動能力が低いため、図4(d)～(f)に示すように、それを抵抗に置き換えることで、更なる高周波特性の向上ならびに高利得化が図れる。

[0038] 以上のように、図4(a)～(f) (特に図4(b)、(c)、(e)、(f))に示す各アンプ回路は、1段で高利得を実現する構成となっている。したがって、安定した増幅特性を発揮させるためには動作点を最適に定めることが望ましく、図1および図2に示した構成例を用いることが有益となる。なお、図4(b)～(f)のアンプ回路を図2の構成例に適用する場合、図4(a)のアンプ回路を適用した図3の構成例と同様に、図3の各アンプ回路AMP1, AMP1a, AMP1bを図4(b)～(f)のアンプ回路に置き換えればよい。

[0039] 以上、本実施の形態1の光通信装置を用いることで、代表的には、高速動作が実現可能になる。なお、ここでは、プリアンプ回路PREAMP1におけるアンプ回路AMP1の入力(V_i)および出力(V_o)のDC成分を検出するため、図2のようにPREAMP1全体のDC動作を擬似した動作点制御回路VTCTL1を用いた。VTCTL1は、DC的な動作を行うため、動作点制御信号 V_{con} の値も一定となり、PREAMP1内のAMP1の動作点を常に一定に保つことができる。ここで、場合によっては、例えば、VTCTL1を、図2のアンプ回路AMP2とレプリカ回路REPのみで構成することも考えら

れる。すなわち、AMP2の(+)入力ノードをPREAMP1内のレベルシフト回路LS1の出力ノードに接続し、AMP2からのVconによってLS1を制御する。このような構成例を用いた場合、図2の構成例ほどには動作点の安定化は図れず、また基準電圧Vrefも生成できないが、小さい回路面積で動作点の制御をある程度実現可能になる。

[0040] (実施の形態2)

本実施の形態2では、前述した図3の変形例について説明する。図5は、本発明の実施の形態2による光通信装置において、その主要部の構成例を示す回路図である。図5に示す光通信装置は、図3の構成例と比較して、動作点制御回路VTCTL1内のレベルシフト回路LS2'内の回路構成が異なっており、更に、レギュレータ回路VREG1、VREG2が加わっている点が異なっている。それ以外の構成に関しては、図3の構成例と同様であるため、詳細な説明は省略する。

[0041] 図5に示すVTCTL1内のLS2'は、図3に示したVTCTL1内のLS2から可変電流源ISV2が削除された構成となっている。また、図5において、VREG1は、プリアンプ回路PREAMP1内のアンプ回路AMP1に電源電圧を供給し、VREG2は、動作点制御回路VTCTL1内のアンプ回路AMP1aに電源電圧を供給している。前述した図3の構成例においては、ISV2へ動作点補正信号Vcを供給することで各アンプ回路AMP1、AMP1a、AMP1bのプロセスばらつきの補正を行ったが、図5の構成例においては、AMP1およびAMP1aの電源電圧を微調整することで前述した補正で行う。

[0042] したがって、図3の場合と同様に、仮に各アンプ回路AMP1、AMP1a、AMP1bの特性がプロセスばらつきによって若干異なった場合でも、それが同一となるように補正することが可能となる。その結果、光通信装置の高速動作が実現可能になる。

[0043] (実施の形態3)

本実施の形態3では、前述した図1の変形例について説明する。図6は、本発明の実施の形態3による光通信装置において、その主要部の構成例を示すものであり、(a)はそのブロック図、(b)は(a)におけるプリアンプ回路の詳細な構成例を示す回路図である。図6(a)に示す光通信装置は、図1のプリアンプ回路PREAMP1の代わりにプリアンプ回路PREAMP2を備えている。PREAMP2は、PREAMP1と比較して

、アンプ回路AMP1の出力にレベルシフト回路LS3が接続され、このLS3の出力が出力ノードVoutになると共に、帰還抵抗Rf1を介してレベルシフト回路LS1に帰還されている点が異なっている。それ以外の構成に関しては、図1と同様であるため、詳細な説明は省略する。

[0044] PREAMP2は、図6 (b)に示すように、レベルシフト回路LS1と、その後段に接続されたアンプ回路AMP1と、その後段に接続されたレベルシフト回路LS3と、その出力をLS1に帰還する帰還抵抗Rf1を備える。LS1とAMP1は、図3と同様に、それぞれソースフォロワ回路とCMOSインバータ回路で構成される。LS3は、このCMOSインバータ回路の出力をゲート入力とするNMOSTランジスタMN30と、MN30のソースに接続された定電流源IS2からなるソースフォロワ回路で構成される。

[0045] AMP1のCMOSインバータ回路は、高利得化のためトランジスタサイズが大きく形成される。したがって、図6 (b)に示すように、PREAMP2の後段に接続されるポストアンプ回路PSAMPを高速に駆動するためには、AMP1のCMOSインバータ回路の負荷と、PSAMPの入力容量Cin1とを分離することが望ましい。さらに、PSAMPを高速で動作させるため、その動作点も適切に調整することが望ましい。そこで、ソースフォロワ回路からなるレベルシフト回路LS3を設けることで、AMP1の負荷とPSAMPのCin1とを分離でき、加えてPSAMPの動作点も適切に調整することが可能になる。

[0046] 以上、本実施の形態3の光通信装置を用いることで、代表的には、高速動作が実現可能になる。なお、ここでは、アンプ回路AMP1としてCMOSインバータ回路を用いる例を示したが、勿論、その代わりに図4 (b) ~ (f) に示したような回路を用いることも可能である。

[0047] (実施の形態4)

本実施の形態4では、前述した図1の他の変形例について説明する。図7は、本発明の実施の形態4による光通信装置において、その主要部の構成例を示すブロック図である。図7に示す光通信装置は、図1のプリアンプ回路PREAMP1の代わりにプリアンプ回路PREAMP3を備えている。PREAMP3は、PREAMP1と比較して、PREAMP1内の1段のアンプ回路AMP1の代わりに、複数段からなるアンプ回路A

MP3が備わっている点が異なっている。それ以外の構成に関しては、図1と同様であるため、詳細な説明は省略する。AMP3は、PREAMP3を負帰還構成とするため、全体として負の利得となるように構成される。

[0048] 前述したように、プリアンプ回路内のアンプ回路は、低雑音化のため少ない段数（望ましくは1段）で構成することが望ましい。しかしながら、実際上は、アンプ回路内の寄生容量等の影響で、1段構成では高利得かつ高速性を実現することが困難となる場合も考えられ、雑音特性を若干犠牲にしても高利得かつ高速性を求められる場合がある。このような場合に、図7のような構成例が有益となる。

[0049] 図8は、図7のプリアンプ回路PREAMP3において、そのアンプ回路AMP3の詳細な構成例を示す回路図である。図8に示すアンプ回路AMP3は、PMOSトランジスタMP50およびNMOSトランジスタMN50からなるCMOSインバータ回路と、その後段に接続され、NMOSトランジスタMN51、定電流源IS7、および抵抗R2からなるゲート接地増幅段によって構成される。MN51は、ゲートに固定電圧Vbが印加され、ソースが、IS7に接続されると共にこれと並列に前段のCMOSインバータ回路の出力に接続される。MN51のドレインは、抵抗R2に接続されると共に出力電圧信号Voを出力する。

[0050] このような構成を用いると、前段のCMOSインバータ回路と後段のゲート接地増幅段によって高利得なアンプ回路が実現できる。前段のCMOSインバータ回路は、前述したように、図7(図2)の動作点制御回路VTCTL1によってその入力動作点が最適に定められるため、所望の増幅率で安定した動作を行う。このCMOSインバータ回路は、後段にゲート接地増幅段を設けているため、高速性に重点を置き、寄生成分が小さくなるように設計すればよい。なお、図8の構成例を用いる場合のVTCTL1は、図3の構成例において、各アンプ回路AMP1, AMP1a, AMP1bを図8のアンプ回路に置き換えた構成にすればよい。

[0051] 以上、本実施の形態4の光通信装置を用いることで、代表的には、高速動作が実現可能になる。なお、ここでは、アンプ回路AMP3をCMOSインバータ回路とゲート接地増幅段で構成したが、これに限定されるものではなく、負の増幅率が得られる限り様々な構成が適用可能である。例えば、図4に示した各アンプ回路とゲート接地増

幅段とを組み合わせた構成を用いることができ、また場合によっては、3段のCMOSインバータ回路によって構成することなども可能である。

[0052] (実施の形態5)

本実施の形態5では、前述した図1の他の変形例について説明する。図9(a)は、本発明の実施の形態5による光通信装置において、その主要部の構成例を示すブロック図であり、図9(b)は、図9(a)におけるプリアンプ回路PREAMP4の詳細な構成例を示す回路図である。図9(a)に示す光通信装置は、図1のプリアンプ回路PREAMP1の代わりにプリアンプ回路PREAMP4を備えている。PREAMP4は、PREAMP1と比較して、PREAMP1内のレベルシフト回路LS1の前段にアンプ回路AMP4が備わっており、このAMP4が、フォトダイオードPDからの電流信号 I_{in} と帰還抵抗 R_{f1} からのフィードバック信号を受ける点が異なっている。それ以外の構成に関しては、図1と同様であるため、詳細な説明は省略する。AMP4は、正の利得となるように構成される。

[0053] 図9(b)に示すように、AMP4は、NMOSトランジスタMN60、定電流源IS3、インダクタL2、および抵抗R3からなるゲート接地増幅段となっている。MN60は、そのゲートに固定電圧 V_b が印加され、そのソースが、 R_{f1} の一端とIS3に並列に接続されると共にPDからの電流信号 I_{in} を受ける。R3およびL2は、電源電圧VCCとMN60のドレインの間に直列に接続される。このL2は、図4で述べたようにピーキング用として機能する。

[0054] AMP4の後段に設けられたレベルシフト回路LS1は、NMOSトランジスタMN20と、そのソースに接続された可変電流源ISV1を備えたソースフォロワ回路となっている。MN20は、そのゲートにMN60のドレインからの出力信号を受ける。ISV1は、前述した動作点制御信号 V_{con} によって電流値が制御される。LS1の後段に設けられたAMP1は、PMOSトランジスタMP10およびNMOSトランジスタMN10からなるCMOSインバータ回路で構成される。このCMOSインバータ回路は、MN20のソースからの出力信号を入力電圧信号 V_i として増幅動作を行い、出力電圧信号 V_o を出力する。このCMOSインバータ回路からの出力は、 R_{f1} を介してAMP4の入力へ帰還される。

[0055] このような構成を用いると、PDからの電流信号 I_{in} をゲート接地増幅段からなるAMP4で受けるため、その入力インピーダンスを低減でき、高周波特性を向上させることが可能になる。また、その出力信号は、前述したように、LS1によってAMP1(CMOSインバータ回路)にて最適な動作点となるようにレベルシフトされる。したがって、AMP1は、所望の増幅率で安定した動作を行う。この際に、AMP1は、前段にゲート接地増幅段が備わっているため、高速性に重点を置き、寄生成分が小さくなるように設計すればよい。なお、図9(b)の構成例を用いる場合のVTCTL1は、図3の構成例において、PREAMP1内のLS1の前段とVTCTL1内のLS2の前段にAMP4が挿入されるような構成にすればよい。

[0056] 以上、本実施の形態5の光通信装置を用いることで、代表的には、高速動作が実現可能になる。なお、ここでは、アンプ回路AMP1としてCMOSインバータ回路を用いる例を示したが、勿論、その代わりに図4(b)～(f)に示したような回路を用いることも可能である。

[0057] (実施の形態6)

本実施の形態6では、図1の構成例を用いて光通信装置を構築した場合の、その全体の構成例について説明する。図10は、本発明の実施の形態6による光通信装置において、その構成の一例を示すブロック図である。図10に示す光通信装置は、図1に示したフォトダイオードPD、プリアンプ回路PREAMP1、および動作点制御回路VTCTL1に加えて、PREAMP1の後段に、ポストアンプ回路PSAMPと、リミットアンプ回路LMTAMPが備わっている。図10の光通信装置は、前述した図16の光通信装置と比較して、プリアンプ回路PREAMP__CがPREAMP1に置き換わり、また、VTCTL1が加わり、更に、基準電圧生成回路VREFGが削除された構成となっている。

[0058] 図16で述べたように、VREFGは、PSAMPが差動入出力構成であるため、ローパスフィルタによってPREAMP__Cの出力のDC成分を検出する回路となっている。しかしながら、図10の構成例では、図2等にしたように、VTCTL1が、PREAMP1の出力のDC成分を基準電圧 V_{ref} として生成可能な構成になっているため、この V_{ref} を用いることでVREFGが不要となる。したがって、通常、大きな面積を占めること

になるVREFGを削減できるため、回路面積の低減が図れる。さらに、DC的な動作を行うVTCTL1によってVrefを生成することで、ロウパスフィルタを用いる場合と比較して、より安定した基準電圧を生成することができ、結果的にPSAMPによる高速な増幅動作に寄与することが可能になる。

[0059] 図11は、図10の光通信装置において、そのポストアンプ回路PSAMPの一例を示すものであり、(a)はその構成例を示す概念図、(b)は(a)の動作例を示す説明図である。図11(a)に示すポストアンプ回路PSAMPは、差動構成となるアンプ回路AMP10a, AMP10bによって構成される。AMP10aは、例えば、差動対となる2つのトランジスタと、各トランジスタにそれぞれ接続された負荷素子とを含んだ一般的な差動増幅回路において、負荷素子に図4(f)等と同様のインダクタ素子を用いることでなどでピーキングを行える構成となっている。差動対となるトランジスタの片方には、図10に示したように、動作点制御回路VTCTL1からの基準電圧Vrefが入力される。また、AMP10aの後段に接続されるAMP10bは、特にピーキング機能を備えずに、一般的な差動増幅回路となっている。

[0060] このような構成を用いると、図11(b)に示すように、前段のAMP10aは、低～中周波数帯での利得は低くなるものの、高周波数帯においてピーキング機能に伴い利得が高くなる。一方、後段のAMP10bは、低～中周波数帯での利得は高いものの、高周波数帯において寄生成分に伴い利得が低下する。したがって、これらのアンプ回路AMP10a, AMP10bを組み合わせることで、全体として、ある程度の利得と、ある程度の周波数帯域を確保することが可能となる。

[0061] 以上、本実施の形態6の光通信装置を用いることで、代表的には、高速動作が実現可能になる。なお、ここでは、プリアンプ回路として図1の構成例を用いたが、勿論、図6、図7、図9等の構成例を用いることも可能である。

[0062] (実施の形態7)

本実施の形態7では、前述した図10の光通信装置に対して、そのポストアンプ回路PSAMPの性能を更に向上させた構成例について説明する。図12は、本発明の実施の形態7による光通信装置を示すものであり、(a)はその構成例を示すブロック図、(b)は(a)の効果の一例を示す説明図である。図15は、図12の比較対象として検討

した光通信装置の構成例を示すブロック図である。

[0063] まず、図15に示す光通信装置は、前述した図16の光通信装置に対して、そのポストアンプ回路PSAMPの入出力間にオフセット補正回路OSCTL_Cが加わった構成となっている。PSAMPは、複数段の差動増幅回路からなり、その全体の利得を A_{pa} とするアンプ回路AMP10を備える。AMP10は、通常、そのプロセスばらつき等により、ノイズ成分となるオフセット電圧 V_{os} を備えている。OSCTL_Cは、この V_{os} を低減するために設けられる。OSCTL_Cは、AMP10からの(+)出力および(−)出力のそれぞれに対してDC成分を検出するロウパスフィルタと、このロウパスフィルタを介した(+)出力および(−)出力の間を利得 A_{os} にて差動増幅するアンプ回路AMP11を備えている。このAMP11の(+)出力および(−)出力は、AMP10の(−)入力および(+)入力に向けて負帰還される。ロウパスフィルタは、AMP10の出力とAMP11の入力の間に直列接続された抵抗 R_{os} と、AMP11の入力と接地電圧 V_{SS} の間に接続された容量 C_{os} によって構成される。

[0064] 図16で述べたように、プリアンプ回路PREAMP_Cからの出力電圧の振幅は例えば10mV程度と小さく、例えば、ポストアンプ回路PSAMPにこれと同程度のオフセット電圧 V_{os} が生じた場合、所望の動作が得られないため、これを補償することが重要となる。そこで、図15のような構成例を用いると、DC成分となるオフセット電圧 V_{os} は、AMP10の出力においてほぼ $1/(A_{pa} \cdot A_{os})$ に圧縮され、例えば、 $100 \mu V$ 以下程度に低減することが可能となる。一方、AC成分となるAMP10の入出力信号は、OSCTL_C内のロウパスフィルタによる遮断に伴い殆ど負帰還が作用しないため、AMP10の出力信号は、入力信号がほぼ A_{pa} で増幅されたものとなる。また、AMP10の出力信号の低域遮断周波数は、ほぼ $A_{pa} \cdot A_{os} / (2\pi \cdot R_{os} \cdot C_{os})$ となる。

[0065] しかしながら、この場合、低域遮断周波数が高過ぎることにより、AMP10の出力信号に波形の歪み等が生じてしまう恐れがある。PSAMPは、低オフセットかつ例えば100kHz程度の低域信号も増幅できるように構成されることが望ましい。すなわち、理想的には、OSCTL_C内のロウパスフィルタは、DC成分のみを通過させるように構成されることが望ましい。そのためには、例えば、 C_{os} 等を大きく形成することが考えられるが、そうすると回路面積の増大を招き、現実的には半導体チップ内に形成する

ことが困難となる恐れがある。

[0066] そこで、図12の構成例を用いることが有益となる。図12に示す光通信装置は、前述した図10の構成例に対して、そのポストアンプ回路PSAMPの入出力間にオフセット補正回路OSCTLが加わった構成例となっている。図12におけるOSCTLは、図15のOSCTL_Cと異なり、容量Cosがアンプ回路AMP11の入出力間に備わっている。そうすると、Cosがミラー容量として機能するため、PSAMP内のAMP10の出力信号における低域遮断周波数は、ほぼ $A_{pa} / (2\pi \cdot R_{os} \cdot C_{os})$ となる。したがって、図12(b)に示すようにAMP11の利得 A_{os} の分だけ低域遮断周波数が低下するため、前述したような問題を解決することが可能となる。

[0067] 以上、本実施の形態7の光通信装置を用いることで、代表的には、ポストアンプ回路におけるオフセット電圧を低減し、また、周波数帯域を拡大させることが可能となる。

[0068] (実施の形態8)

本実施の形態8では、プリアンプ回路として、負帰還構成のプリアンプ回路ではなく、オープンループ構成のプリアンプ回路を用いた場合の一例について説明する。図13は、本発明の実施の形態8による光通信装置において、その構成の一例を示すブロック図である。図13に示す光通信装置は、フォトダイオードPDからの電流信号を入力とするオープンループ構成のプリアンプ回路PREAMP_OPと、その後段に順次接続されたポストアンプ回路PSAMP、リミットアンプ回路LMTAMP、および出力ドライバ回路DRVと、基準電圧生成回路VREFGと、オフセット補正回路OSCTL等から構成される。

[0069] VREFG、PSAMP、LMTAMPの構成および動作に関しては、図16での説明と同様である。また、OSCTLの構成および動作に関しても、図12での説明と同様である。DRVは、外部負荷を駆動するために設置する。仮に、プリアンプ回路を独立したチップとして形成する場合は、このようにDRVを設けて外部駆動を行わせることが望ましいが、プリアンプ回路の後段回路も含めて同一チップに形成する場合には、特にDRVを設けなくてもよい。

[0070] 図14(a)、(b)のそれぞれは、図13の光通信装置において、そのプリアンプ回路P

REAMP__OPの詳細な構成例を示す回路図である。図14(a)に示すプリアンプ回路PREAMP__OP1は、NMOSTランジスタMN70～MN74と、抵抗R4, R5と、定電流源IS4, IS5によって構成される。MN70、MN71およびR5は、カスコード接続を備えたソース接地増幅段を構成し、MN72、MN73、R4およびIS4は、カスコード接続を備えたゲート接地増幅段を構成し、MN74およびIS5はソースフォロワ段を構成する。

[0071] MN70は、ソースが接地電圧VSSに、ゲートがPDからの電流信号Iinの入力ノードに、ドレインがMN71のソースにそれぞれ接続される。MN71は、ゲートに固定電圧Vb1が印加され、ドレインがR5の一端ならびにMN72のゲートに接続される。MN72は、ソースがIinの入力ノードに接続され、ドレインがMN73のソースに接続される。IS4は、Iinの入力ノードとVSSの間に接続される。MN73は、ゲートに固定電圧Vb2が印加され、ドレインがR4の一端ならびにMN74のゲートに接続される。MN74は、ソースが出力ノードVoutに接続され、ドレインが電源電圧VCCに接続される。IS5は、VoutとVSSの間に接続される。また、R4とR5の他端はVCCに接続される。

[0072] 図14(a)の構成例において、Iinは、ゲート接地増幅段で増幅ならびに電圧信号に変換された後、ソースフォロワ段を介して電圧信号としてVoutより出力される。このゲート接地増幅段での増幅の際には、ソース接地増幅段からの出力によってMN72がゲインブーストされるため、高利得な増幅が可能となる。一方、このようなオープンループ構成のプリアンプ回路では、図1等のような負帰還構成に伴う入力インピーダンスの低減効果が得られないため、MN70およびMN72のランジスタサイズを大きく形成することで、入力インピーダンスを可能な限り下げることが望ましい。

[0073] しかしながら、この場合、MN70およびMN72の寄生容量が大きくなってしまい、これに伴う極(ポール)の低下によって高速化が阻害される恐れがある。そこで、MN70およびMN72との間でそれぞれカスコード接続を構成するMN71およびMN73を備えることが有益となる。MN71およびMN73は、それぞれ小さいランジスタサイズで形成され、MN70およびMN72のゲートドレイン間容量Cgdのミラー効果を低減する。したがって、各増幅段における入力容量の増大が抑制され、プリアンプ回路の高速化が実現可能になる。

[0074] また、図14(b)に示すプリアンプ回路PREAMP__OP2は、図14(a)のPREAMP__OP1と比較して、MN71のドレインとMN72のゲートの間にインダクタL3が挿入されている点が異なっている。それ以外の構成に関しては、図14(a)と同様である。図14(a)の回路構成では、MN70～72の負帰還ループで高利得化し、入力インピーダンスを小さくすることで高速化を実現している。図14(b)に示すように、このループ内にインダクタL3を挿入することで、更なる高利得化が可能となり、高速化が実現できる。

[0075] 以上、本実施の形態8の光通信装置を用いることで、代表的には、非特許文献2に示されるような構成と比較して回路内部の寄生成分が低減され、これに伴い高速動作が実現可能になる。

[0076] 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。

産業上の利用可能性

[0077] 本実施の形態による光通信装置は、特に、数十Gbpsを超える通信速度を備えた光通信システムにおいて、その受信部の回路に適用して有効なものである。

請求の範囲

- [1] フォトダイオードからの電流信号が入力される入力ノードと、出力ノードとを含み、前記入力ノードからの電流信号を増幅すると共に電圧信号に変換して前記出力ノードに出力するプリアンプ回路と、
- 前記プリアンプ回路を制御する第1制御回路とを備え、
- 前記プリアンプ回路は、
- 前記入力ノードと前記出力ノード間の第1経路上に設けられ、前記入力ノードを介して入力された信号の電圧レベルを第1制御信号に応じた分だけレベルシフトする第1レベルシフト回路と、
- 前記第1経路上で前記第1レベルシフト回路の次段に接続され、前記第1レベルシフト回路の出力信号を負の利得で増幅し、前記出力ノードに向けて出力する第1アンプ回路と、
- 前記入力ノードと前記出力ノード間で前記第1経路と並列接続となる第2経路上に設けられた帰還抵抗とを含み、
- 前記第1制御回路は、前記第1アンプ回路と同一の回路および回路パラメータで構成されると共に入出力間が電氣的に接続されたレプリカ回路を含み、前記レプリカ回路の出力信号の直流電圧レベルと、前記第1アンプ回路の入力信号の直流電圧レベルとが一致するように前記第1制御信号を生成することを特徴とする光通信装置。
- [2] 請求項1記載の光通信装置において、
- 前記第1制御回路は、
- 前記フォトダイオードからの電流信号の直流レベルと同一の直流電流を生成する第1電流源と、
- 前記プリアンプ回路と同一の回路および回路パラメータで構成され、前記第1電流源からの直流電流を入力として増幅動作を行うレプリカ用プリアンプ回路と、
- 前記レプリカ用プリアンプ回路内の前記第1アンプ回路の入力信号と前記レプリカ回路の出力信号とを差動入力として増幅動作を行い前記第1制御信号を出力する第2アンプ回路とを備え、
- 前記第1制御信号を受けて、前記プリアンプ回路内の前記第1レベルシフト回路と

前記レプリカ用プリアンプ回路内の前記第1レベルシフト回路が動作するように構成されたことを特徴とする光通信装置。

[3] 請求項2記載の光通信装置において、

前記レプリカ用プリアンプ回路内の前記第1レベルシフト回路は、前記第1制御信号に加えて、更に第2制御信号が入力され、前記第2制御信号に応じた分だけレベルシフト量を微調整可能となっていることを特徴とする光通信装置。

[4] 請求項1記載の光通信装置において、

前記第1レベルシフト回路は、前記第1制御信号に応じて電流値が調整される第1可変電流源を含んだソースフォロワ回路であり、

前記第1アンプ回路は、CMOSインバータ回路であることを特徴とする光通信装置。

[5] 請求項1記載の光通信装置において、

前記第1レベルシフト回路は、前記第1制御信号に応じて電流値が調整される第1可変電流源を含んだソースフォロワ回路であり、

前記第1アンプ回路は、第1NMOSTランジスタと、ソースが前記第1NMOSTランジスタのドレインにカスコード接続された第2NMOSTランジスタと、ドレインが前記第2NMOSTランジスタのドレインに接続された第1PMOSTランジスタからなるカスコード接続付きのCMOSインバータ回路であることを特徴とする光通信装置。

[6] 請求項5記載の光通信装置において、

前記カスコード接続付きのCMOSインバータ回路は、更に、前記第1PMOSTランジスタのドレインと前記第2NMOSTランジスタのドレインの間に、ピーキング用の第1インダクタが挿入された構成となっていることを特徴とする光通信装置。

[7] 請求項1記載の光通信装置において、

前記第1レベルシフト回路は、前記第1制御信号に応じて電流値が調整される第1可変電流源を含んだソースフォロワ回路であり、

前記第1アンプ回路は、第3NMOSTランジスタと、前記第3NMOSTランジスタのドレインに接続された第1抵抗からなるソース接地増幅回路であることを特徴とする光通信装置。

- [8] 請求項1記載の光通信装置において、
前記第1レベルシフト回路は、前記第1制御信号に応じて電流値が調整される第1可変電流源を含んだソースフォロワ回路であり、
前記第1アンプ回路は、第4NMOSトランジスタと、ソースが前記第4NMOSトランジスタのドレインにカスコード接続された第5NMOSトランジスタと、一端が前記第5NMOSトランジスタのドレインに接続された第2抵抗からなるカスコード接続付きのソース接地増幅回路であることを特徴とする光通信装置。
- [9] 請求項8記載の光通信装置において、
前記カスコード接続付きのソース接地増幅回路は、更に、前記第2抵抗の一端と前記第5NMOSトランジスタのドレインの間に、ピーキング用の第2インダクタが挿入された構成となっていることを特徴とする光通信装置。
- [10] フォトダイオードからの電流信号が入力される入力ノードと、出力ノードとを含み、前記入力ノードからの電流信号を増幅すると共に電圧信号に変換して前記出力ノードに出力するプリアンプ回路と、
前記プリアンプ回路の次段に接続され、前記プリアンプ回路からの出力信号を差動増幅するポストアンプ回路と、
前記プリアンプ回路および前記ポストアンプ回路に向けて制御信号を供給する第1制御回路とを備え、
前記プリアンプ回路は、
前記入力ノードと前記出力ノード間の第1経路上に設けられ、前記入力ノードを介して入力された信号の電圧レベルを第1制御信号に応じた分だけレベルシフトする第1レベルシフト回路と、
前記第1経路上で前記第1レベルシフト回路の次段に接続され、前記第1レベルシフト回路の出力信号を負の利得で増幅し、前記出力ノードに向けて出力する第1アンプ回路と、
前記入力ノードと前記出力ノード間で前記第1経路と並列接続となる第2経路上に設けられた帰還抵抗とを含み、
前記第1制御回路は、

前記第1アンプ回路と同一の回路および回路パラメータで構成され、入出力間が電氣的に接続されたレプリカ回路と、

前記フォトダイオードからの電流信号の直流レベルと同一の直流電流を生成する第1電流源と、

前記プリアンプ回路と同一の回路および回路パラメータで構成され、前記第1電流源からの直流電流を入力として増幅動作を行うレプリカ用プリアンプ回路と、

前記レプリカ用プリアンプ回路内の前記第1アンプ回路の入力信号と前記レプリカ回路の出力信号とを差動入力として増幅動作を行い前記第1制御信号を出力する第2アンプ回路とを備え、

前記プリアンプ回路内の前記第1レベルシフト回路と前記レプリカ用プリアンプ回路内の前記第1レベルシフト回路は、前記第1制御信号を受けて動作を行い、

前記ポストアンプ回路は、前記レプリカ用プリアンプ回路内の前記出力ノードの電圧を基準として前記プリアンプ回路内の前記出力ノードの電圧を差動増幅するように構成されたことを特徴とする光通信装置。

[11] 請求項10記載の光通信装置において、

前記ポストアンプ回路は、複数段の差動アンプ回路から構成され、

前記複数段の差動アンプ回路の内の少なくとも一つは、インダクタを備えることで高周波領域において利得を増大させる構成となっていることを特徴とする光通信装置。

[12] 請求項10記載の光通信装置において、

更に、前記ポストアンプ回路の入出力間にオフセット補正回路を含んだフィードバック経路が設けられ、

前記オフセット補正回路は、

前記ポストアンプ回路の出力信号をフィルタリングし、第1抵抗および第1容量を含んだロウパスフィルタ回路と、

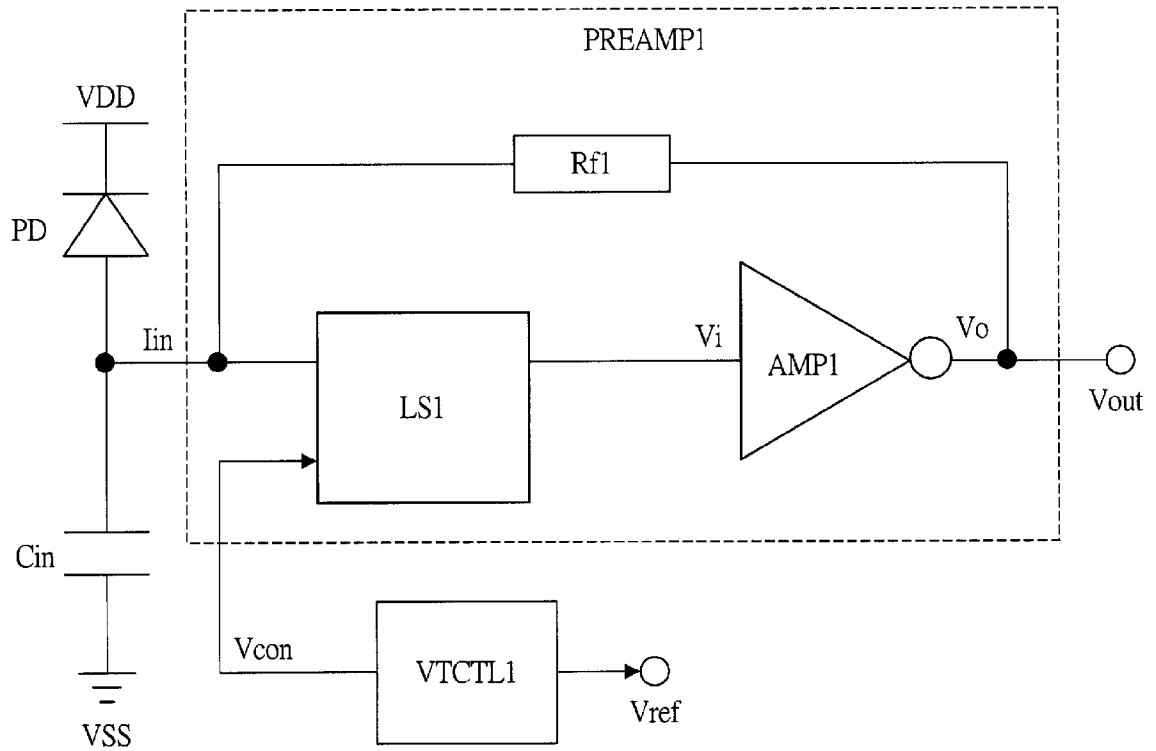
前記ロウパスフィルタ回路の出力信号を増幅し、前記ポストアンプ回路の入力に帰還する第3アンプ回路とを備え、

前記第1容量は、前記第3アンプ回路の入出力間に接続されていることを特徴とする光通信装置。

- [13] 第1ノードから入力されたフォトダイオードからの電流信号を増幅すると共に電圧信号に変換するゲート接地増幅回路およびソース接地増幅回路と、
前記ゲート接地増幅回路およびソース接地増幅回路の次段に接続されたソースフォロフ回路とを備え、
前記ゲート接地増幅回路は、
ソースが前記第1ノードに接続された第1導電型の第1MISTランジスタと、
ソースが前記第1MISTランジスタのドレインにカスコード接続された前記第1導電型の第2MISTランジスタと、
前記第2MISTランジスタのドレインに一端が接続された第1抵抗と、
前記第1ノードに接続された第1電流源とを備え、
前記ソース接地増幅回路は、
ゲートが前記第1ノードに接続された前記第1導電型の第3MISTランジスタと、
ソースが前記第3MISTランジスタのドレインにカスコード接続され、ドレインが前記第1MISTランジスタのゲートに接続された前記第1導電型の第4MISTランジスタと、
前記第4MISTランジスタのドレインに一端が接続された第2抵抗とを備え、
前記ソースフォロフ回路は、
ゲートが前記第2MISTランジスタのドレインに接続された前記第1導電型の第5MISTランジスタと、
前記第5MISTランジスタのソースに接続された第2電流源とを備えることを特徴とする光通信装置。
- [14] 請求項13記載の光通信装置において、
前記ソース接地増幅回路は、更に、インダクタを備え、
前記第4MISTランジスタのドレインは、前記インダクタを介して前記第1MISTランジスタのゲートおよび前記第2抵抗の一端に接続されるように構成されたことを特徴とする光通信装置。

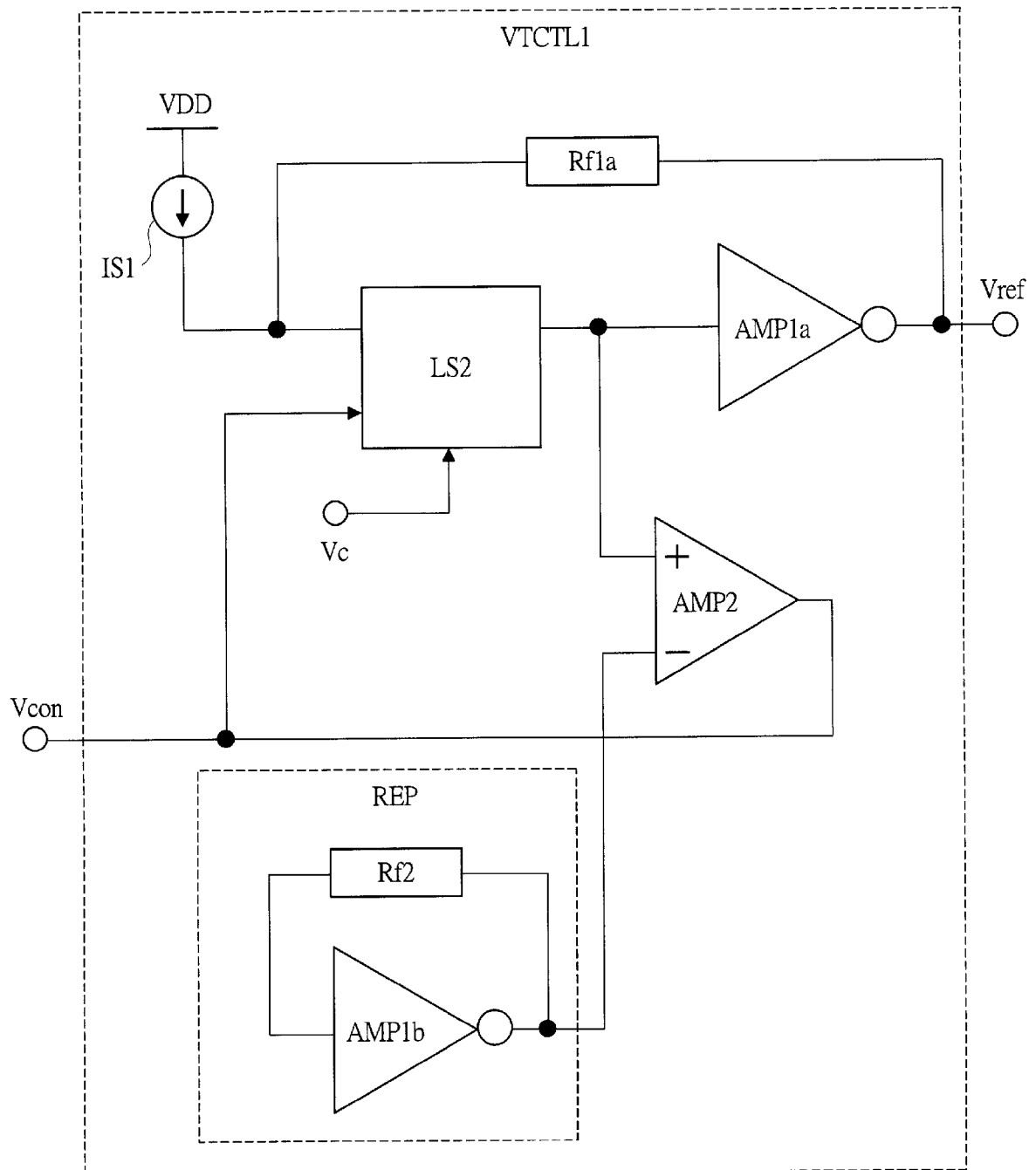
[図1]

図 1



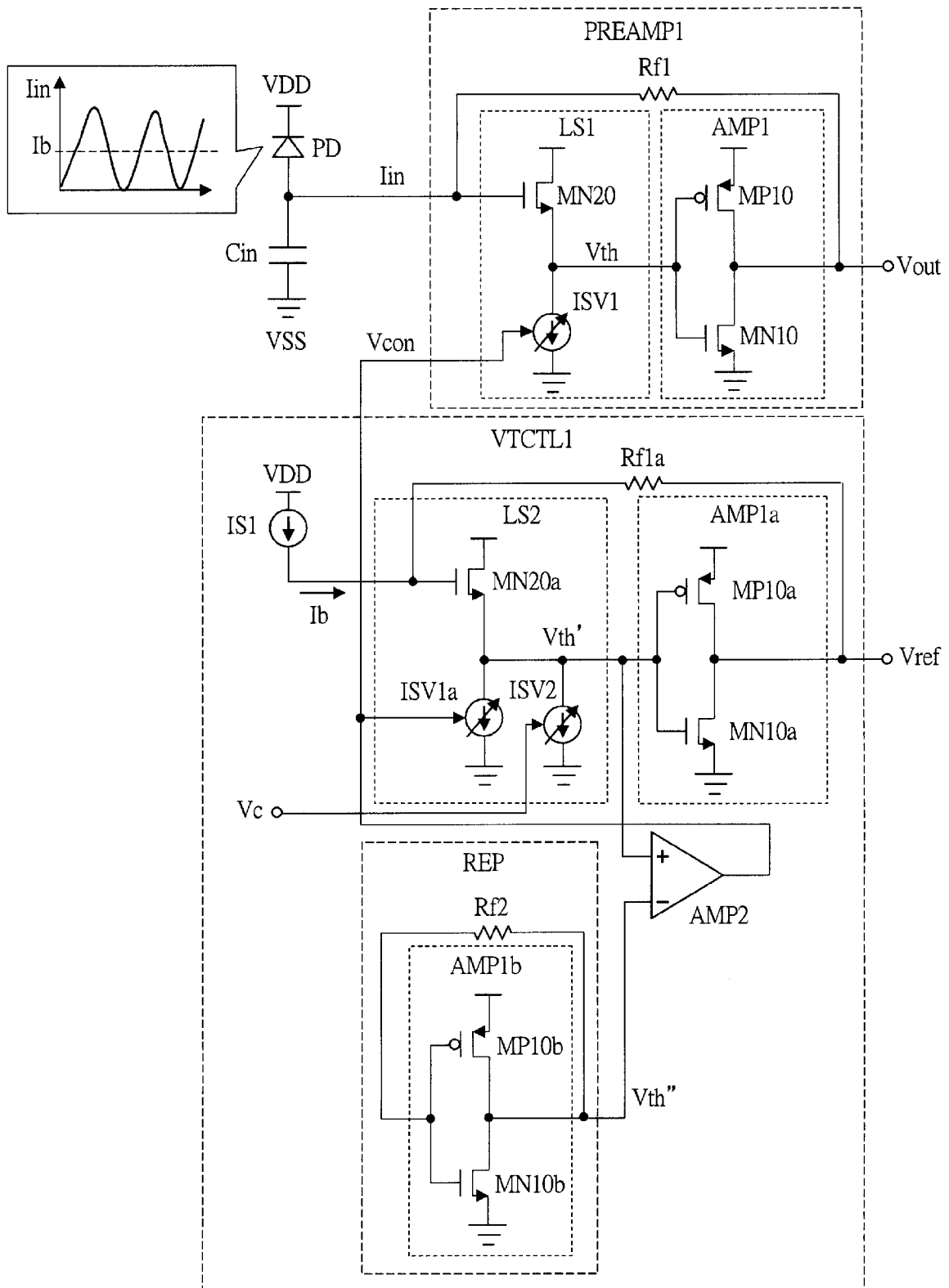
[図2]

図 2



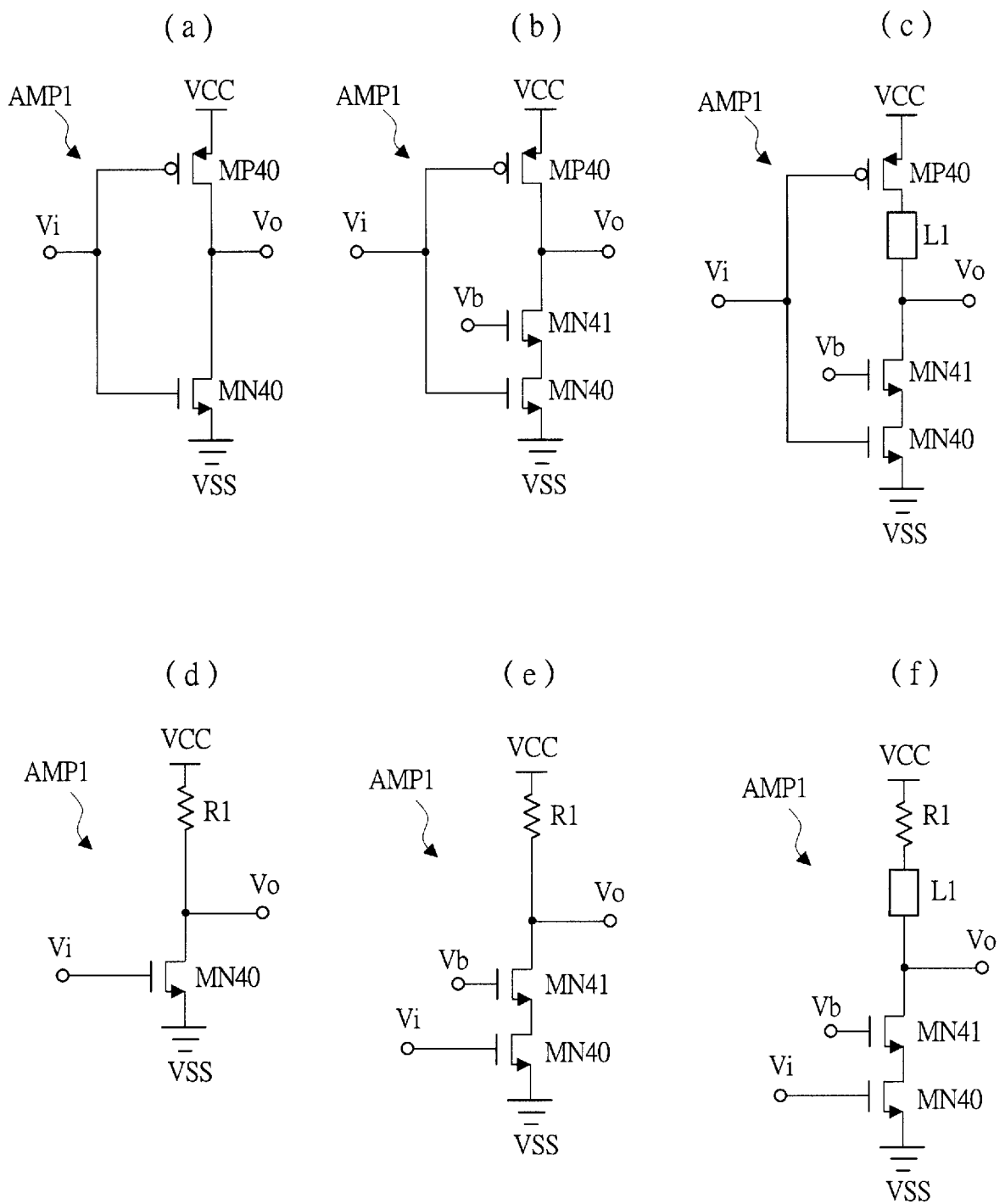
[図3]

図 3



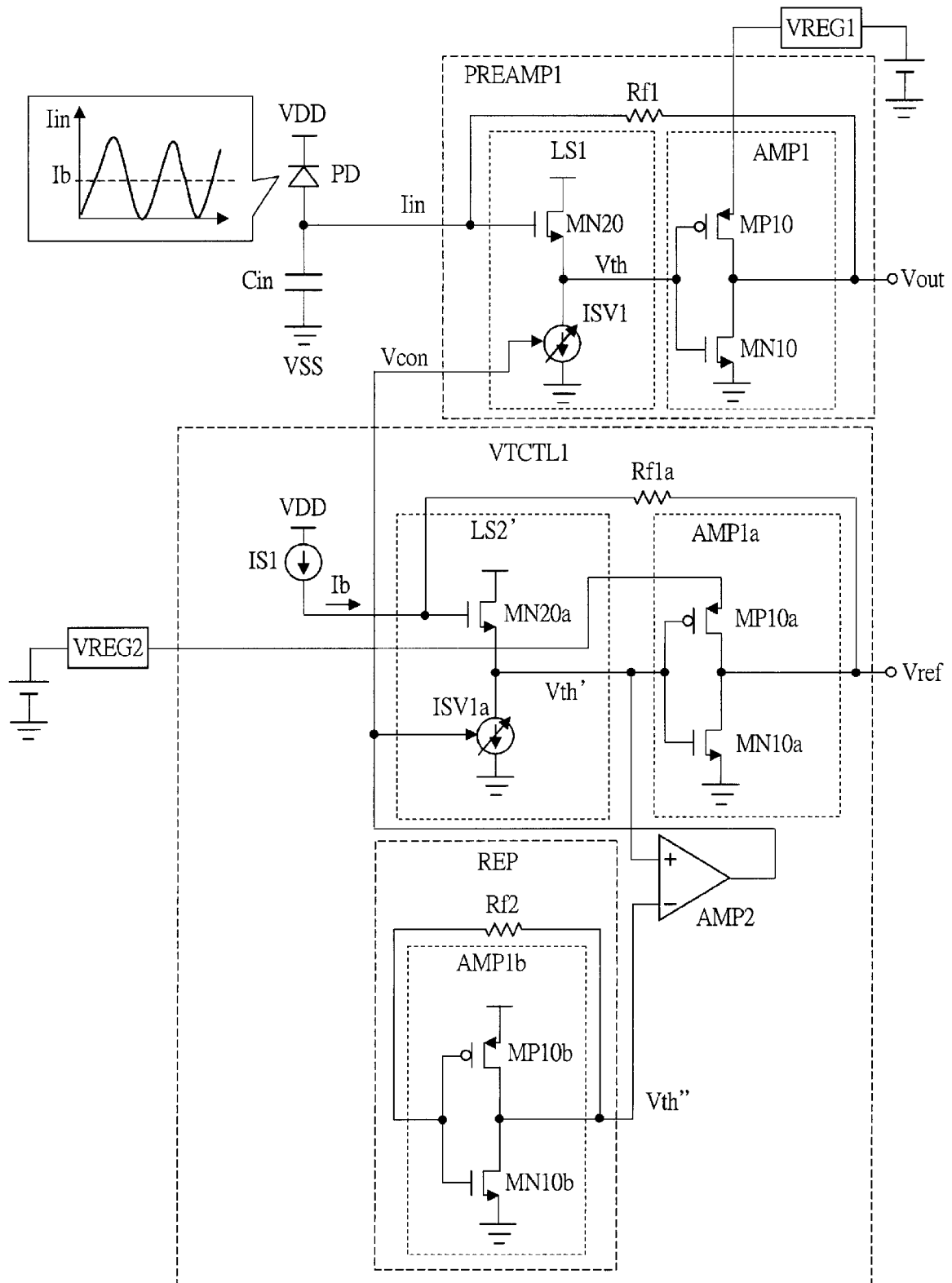
[図4]

図 4



[図5]

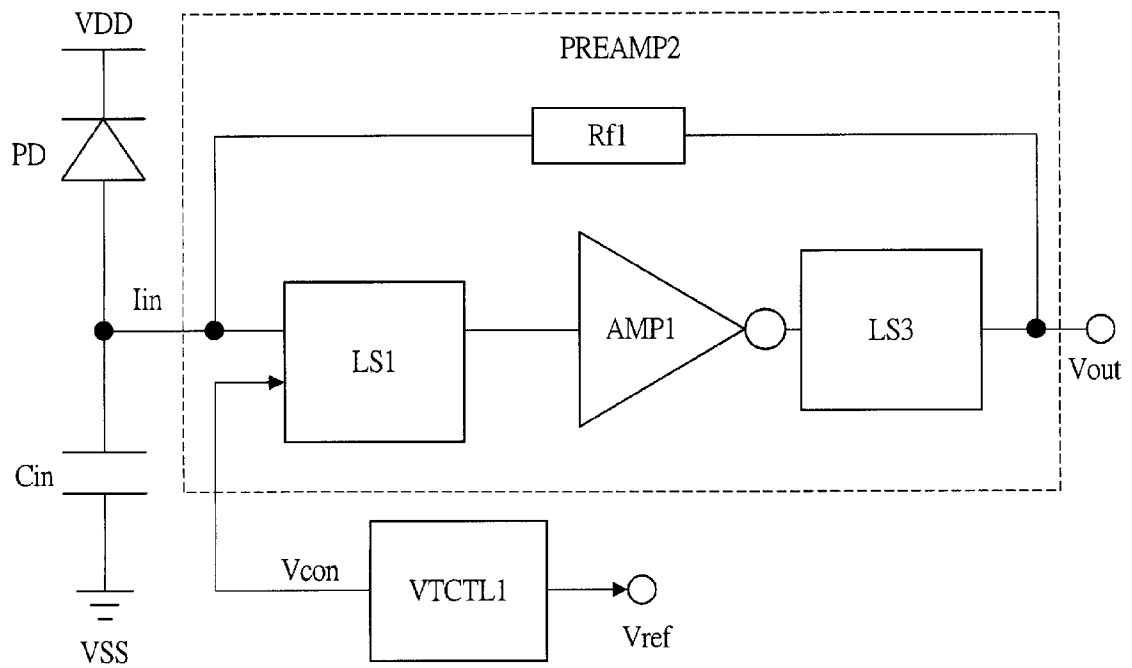
図 5



[図6]

図 6

(a)



(b)

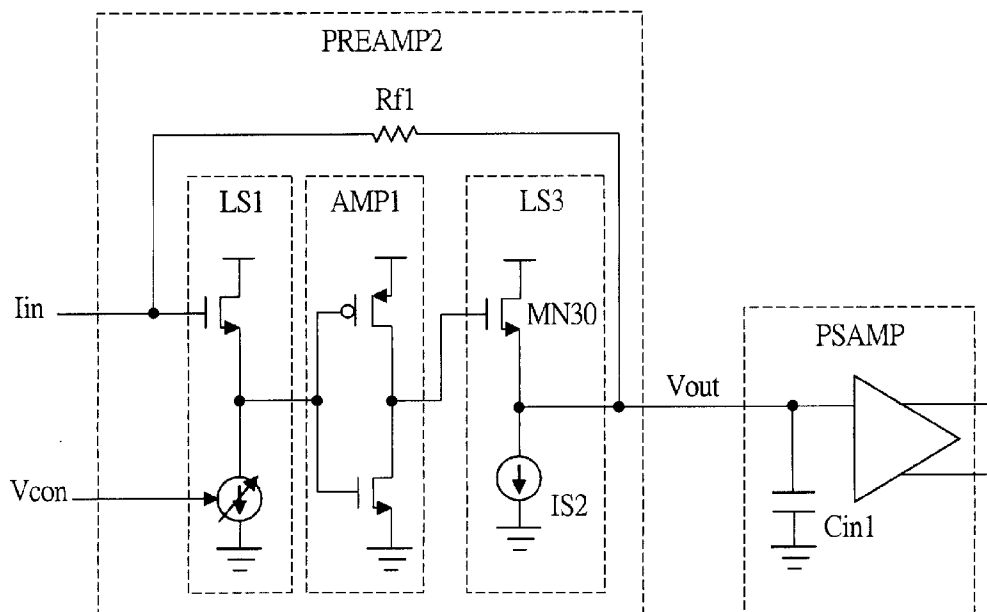
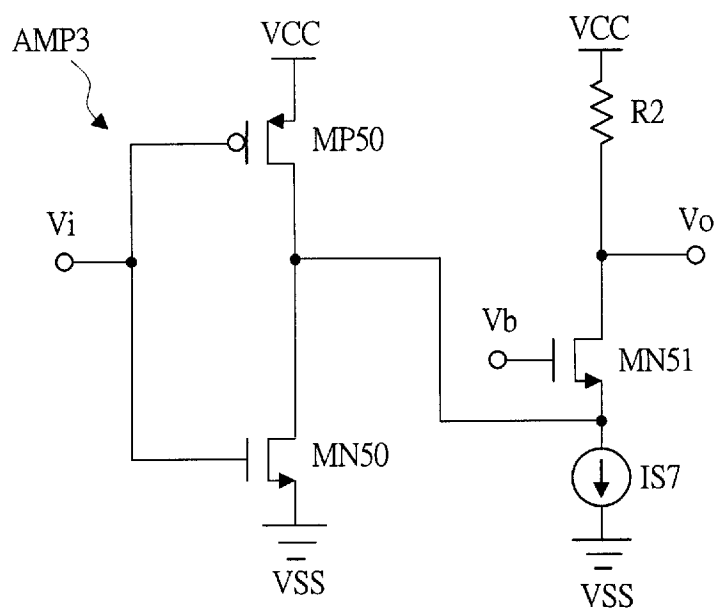
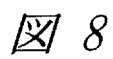


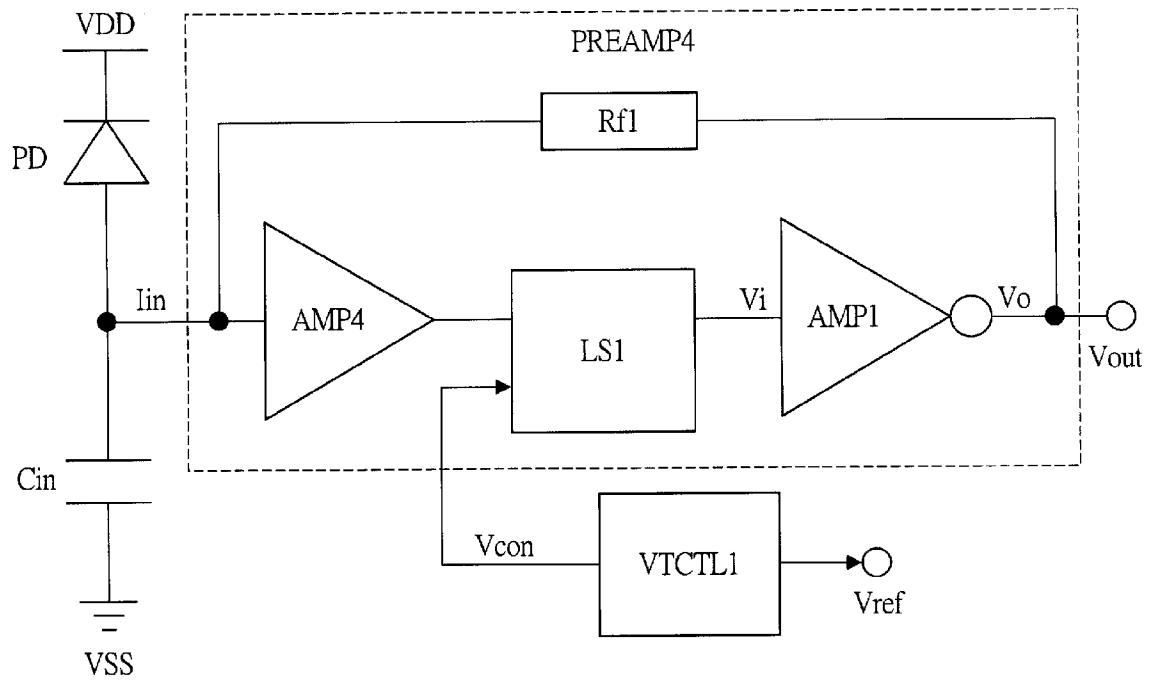
図 7



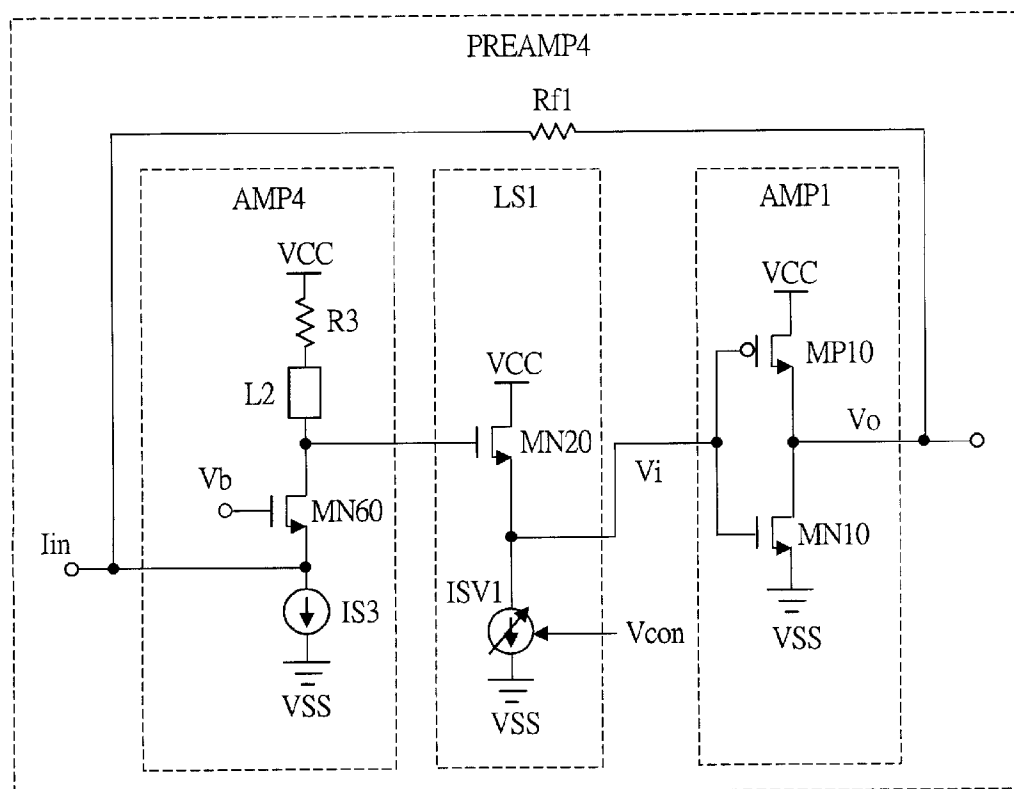
[図9]

図 9

(a)

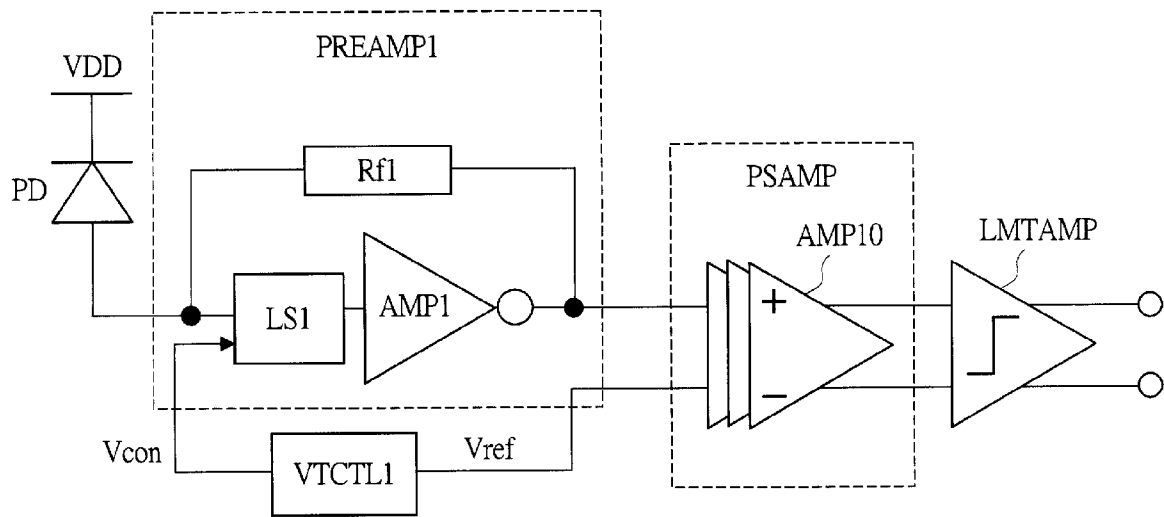


(b)



[図10]

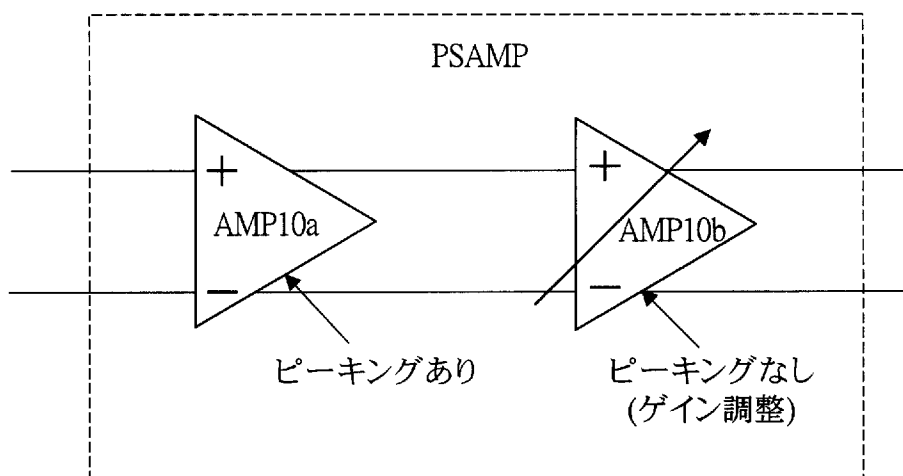
図 10



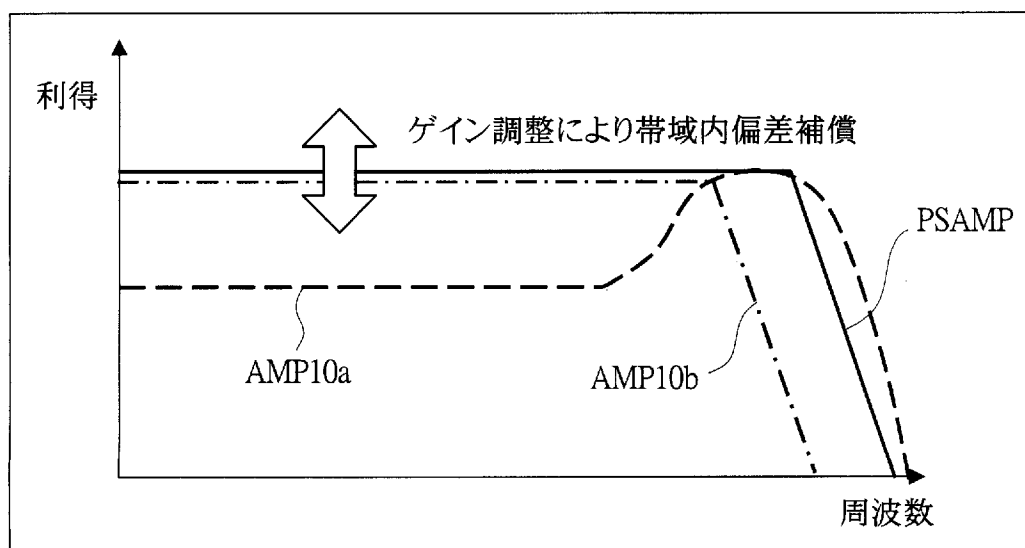
[図11]

図 11

(a)



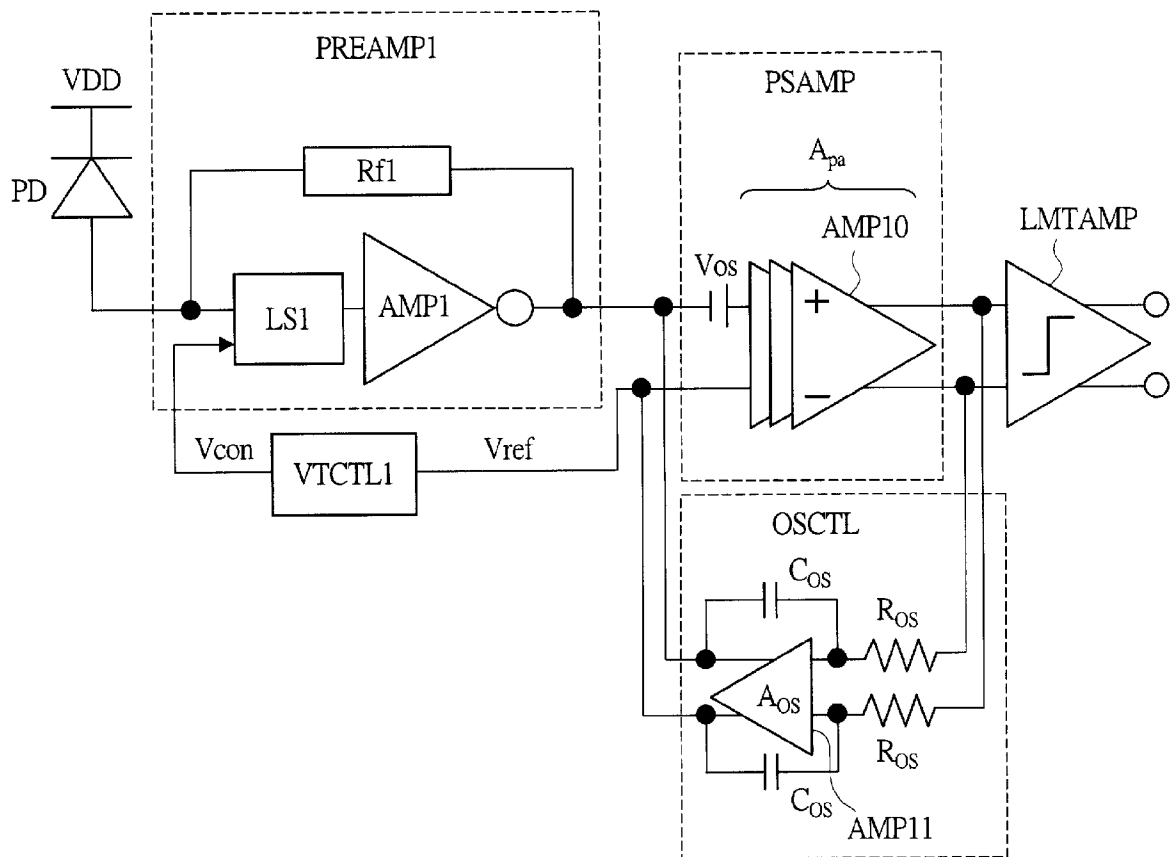
(b)



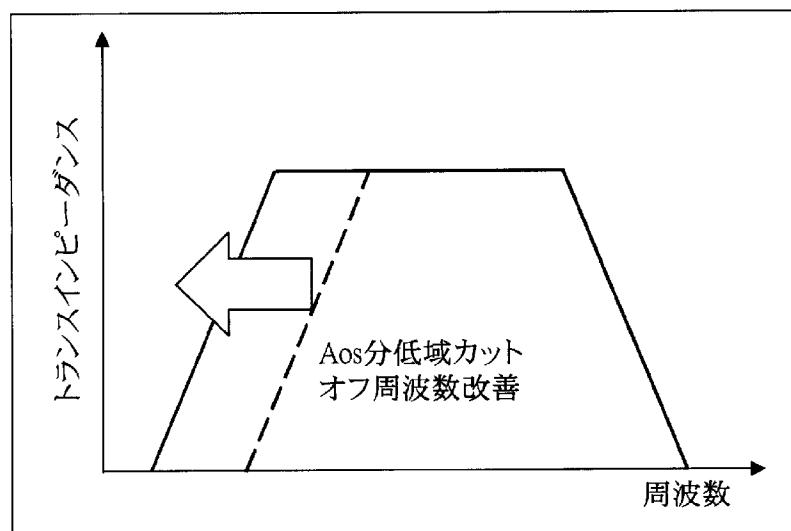
[図12]

図 12

(a)

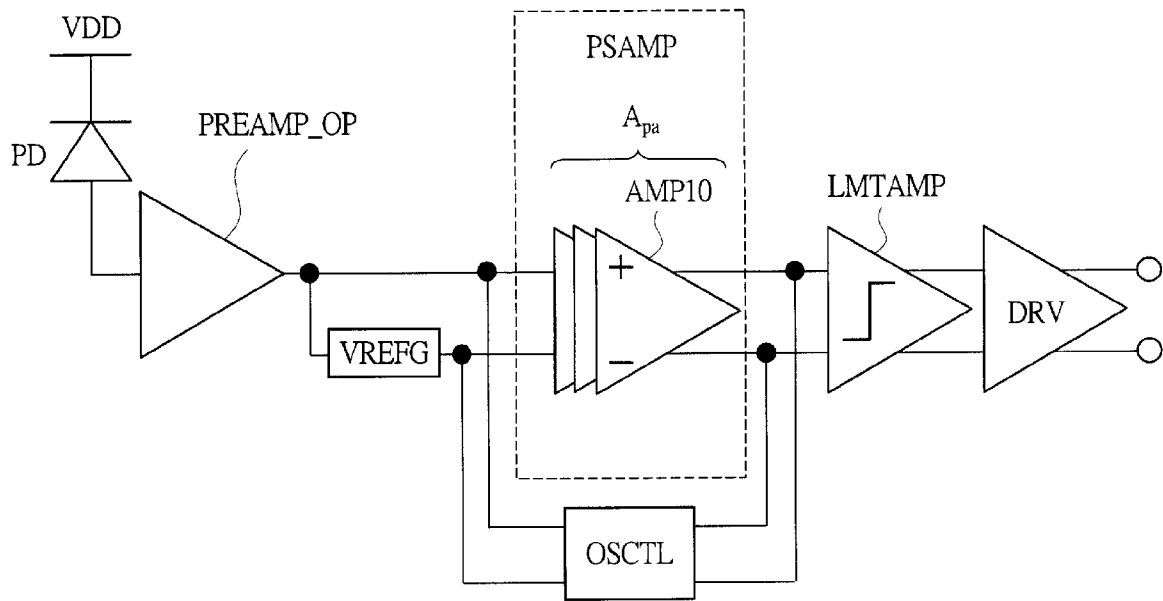


(b)



[図13]

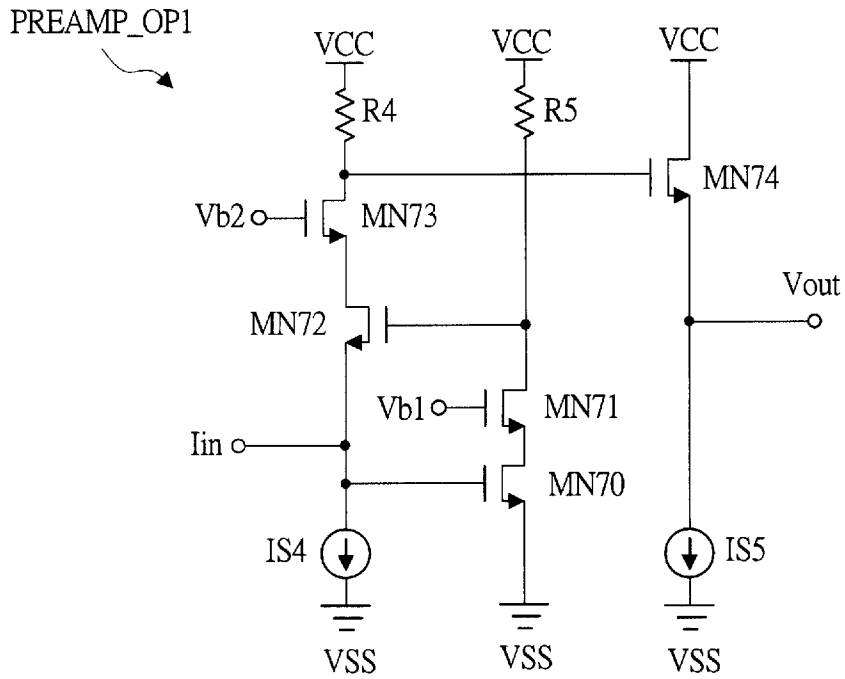
図 13



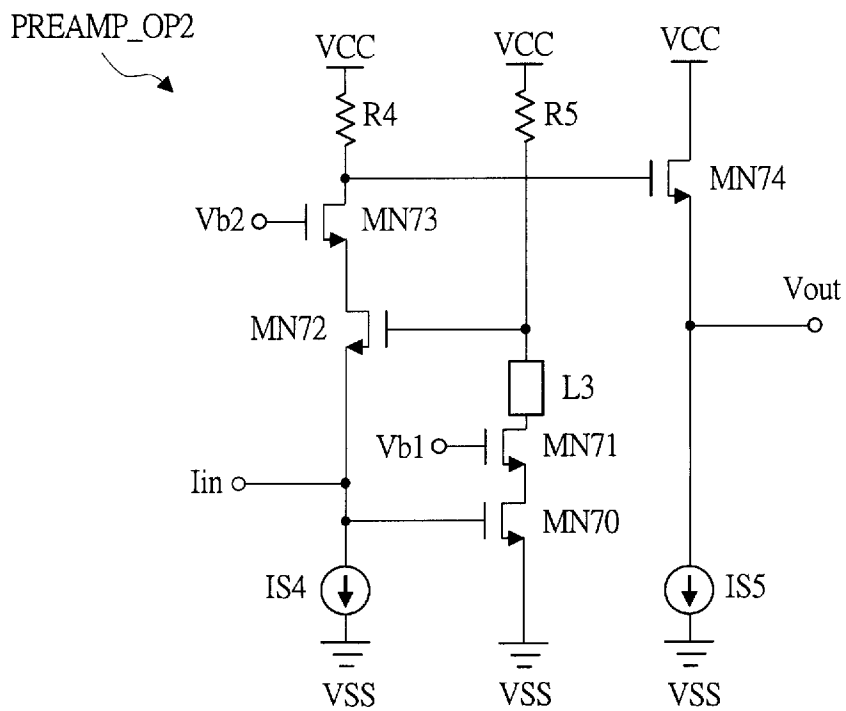
[図14]

図 14

(a)

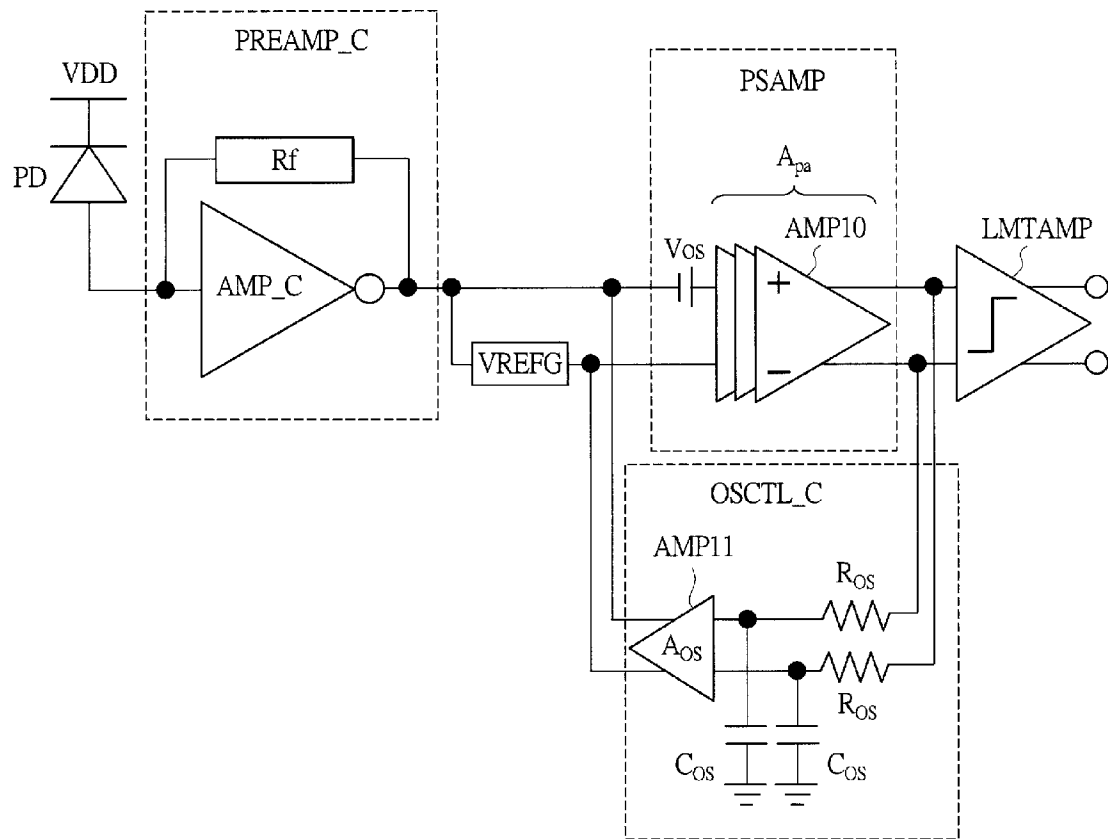


(b)



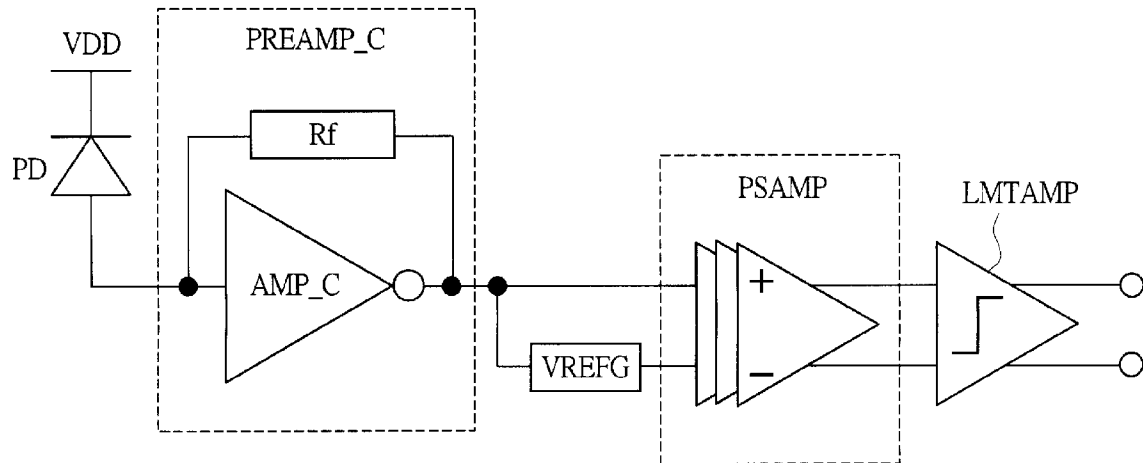
[図15]

図 15



[図16]

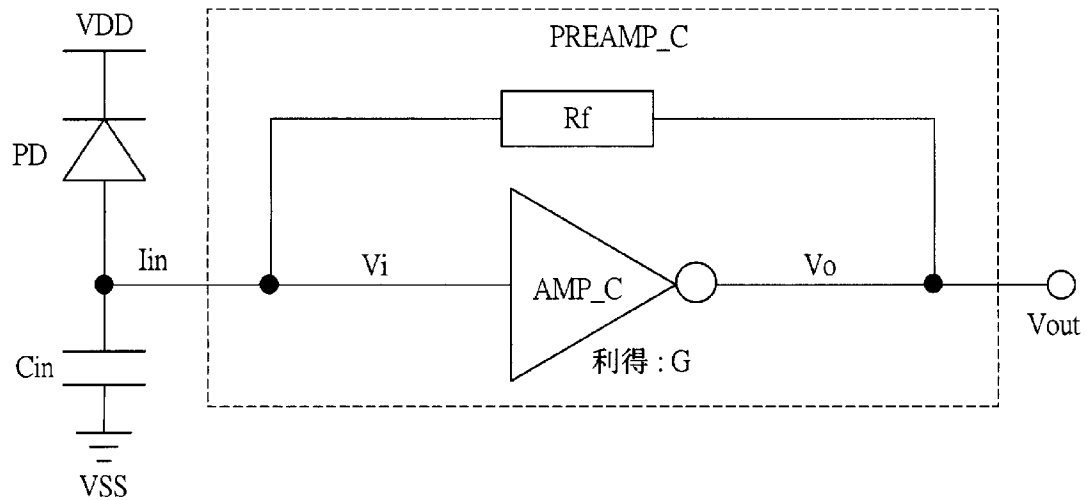
図 16



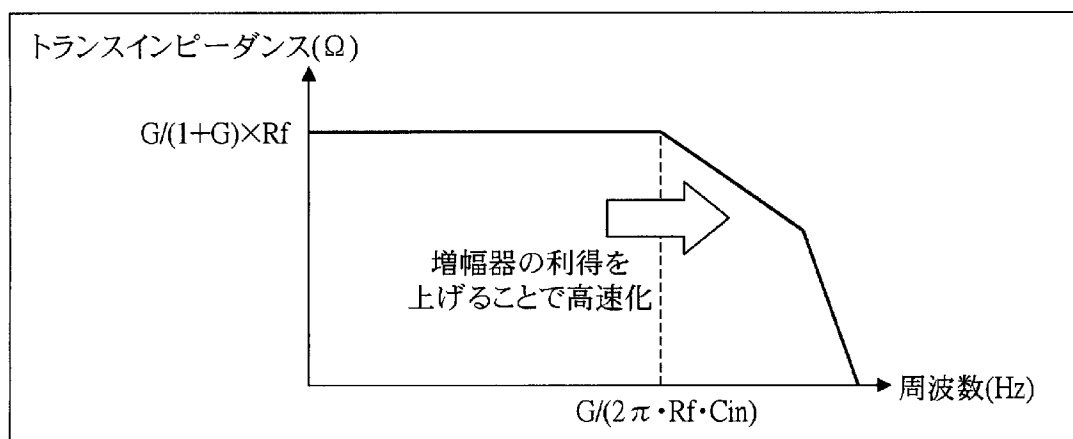
[図17]

図 17

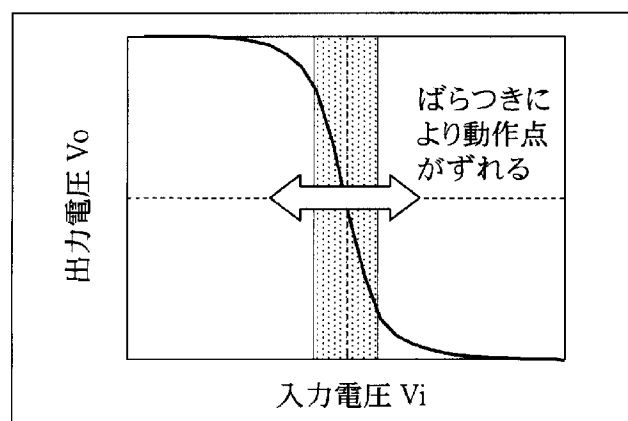
(a)



(b)



(c)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/054172

A. CLASSIFICATION OF SUBJECT MATTER

H03F3/08(2006.01)i, H03F1/22(2006.01)i, H03F1/34(2006.01)i, H03F3/50
(2006.01)i, H04B10/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03F3/08, H03F1/22, H03F1/34, H03F3/50, H04B10/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-261866 A (Sumitomo Electric Industries, Ltd.), 28 September, 2006 (28.09.06), Fig. 5 (Family: none)	1-14
A	JP 2002-76793 A (Nippon Telegraph And Telephone Corp.), 15 March, 2002 (15.03.02), Fig. 4 (Family: none)	1-14
A	JP 6-204761 A (Mitsubishi Electric Corp.), 22 July, 1994 (22.07.94), Fig. 13 (Family: none)	1-14

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 May, 2009 (20.05.09)

Date of mailing of the international search report
02 June, 2009 (02.06.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/054172

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 7-135489 A (Matsushita Electric Industrial Co., Ltd.), 23 May, 1995 (23.05.95), Fig. 3 (Family: none)	4-9
A	JP 2004-274109 A (Sharp Corp.), 30 September, 2004 (30.09.04), Fig. 11 & US 2004/0173729 A1 & CN 1527254 A	4
A	JP 10-117137 A (National Semiconductor Corp.), 06 May, 1998 (06.05.98), Fig. 1A & US 5818260 A1 & DE 19717331 A & KR 10-0235927 B	5
A	JP 62-51812 A (NEC Corp.), 06 March, 1987 (06.03.87), Fig. 1 (Family: none)	6, 9, 11, 14
A	JP 2002-141758 A (NEC Corp.), 17 May, 2002 (17.05.02), Fig. 1 (Family: none)	8
A	JP 11-205047 A (NEC Corp.), 30 July, 1999 (30.07.99), Fig. 4 (Family: none)	13-14

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03F3/08(2006.01)i, H03F1/22(2006.01)i, H03F1/34(2006.01)i, H03F3/50(2006.01)i, H04B10/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03F3/08, H03F1/22, H03F1/34, H03F3/50, H04B10/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-261866 A（住友電気工業株式会社）2006.09.28, 図5 （ファミリーなし）	1-14
A	JP 2002-76793 A（日本電信電話株式会社）2002.03.15, 図4 （ファミリーなし）	1-14
A	JP 6-204761 A（三菱電機株式会社）1994.07.22, 図1 3 （ファミリーなし）	1-14

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 0 . 0 5 . 2 0 0 9

国際調査報告の発送日

0 2 . 0 6 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

儀同 孝信

電話番号 03-3581-1101 内線 3568

5 T

3 5 6 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 7-135489 A (松下電器産業株式会社) 1995. 05. 23, 図 3 (ファミリーなし)	4-9
A	JP 2004-274109 A (シャープ株式会社) 2004. 09. 30, 図 1 1 & US 2004/0173729 A1 & CN 1527254 A	4
A	JP 10-117137 A (ナショナル セミコンダクタ コーポレイション) 1998. 05. 06, 図 1 A & US 5818260 A1 & DE 19717331 A & KR 10-0235927 B	5
A	JP 62-51812 A (日本電気株式会社) 1987. 03. 06, 第 1 図 (ファミリーなし)	6, 9, 11, 14
A	JP 2002-141758 A (日本電気株式会社) 2002. 05. 17, 図 1 (ファミリーなし)	8
A	JP 11-205047 A (日本電気株式会社) 1999. 07. 30, 図 4 (ファミリーなし)	13-14